(19) **RU** (11) **2 237 274** (13) **C2**

(51) МПК[7] **G 06 F 7/72, H 03 M 7/18**

РОССИЙСКОЕ АГЕНТСТВО
ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

# (12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(21), (22) Заявка: 2002129033/09, 30.10.2002

(24) Дата начала действия патента: 30.10.2002

(45) Дата публикации: 27.09.2004

(56) Ссылки: SU 1667066 A, 30.07.1991. SU 1683013 A, 07.10.1991. SU 1541605 A1, 07.02.1990. SU 1756887 A1, 23.08.1992. RU 2187886 C1, 20.08.2002.

(98) Адрес для переписки:
125993, Москва, ул. Часовая, 22/2, РГОТУПС, проректору по научной работе В.М. Алексееву

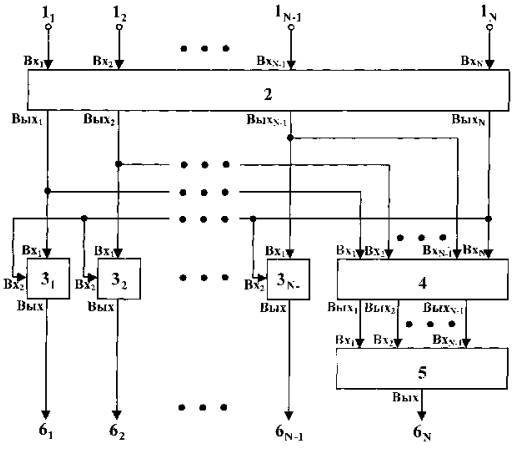
(72) Изобретатель: Овчаренко Л.А. (RU), Лопатин Д.С. (RU), Чекалин С.С. (RU)

(73) Патентообладатель:
Российский государственный открытый технический университет путей сообщения (RU)

## (54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ ЧИСЛА В МОДУЛЯРНОМ КОДЕ НА ОСНОВАНИЕ СИСТЕМЫ СЧИСЛЕНИЯ

(57)

Устройство относится к вычислительной технике, предназначено для деления числа в модулярной системе счисления (МСС) на одно из ее оснований и может быть использовано в цифровых вычислительных устройствах. Техническим результатом является повышение быстродействия выполнения операции деления числа в модулярном коде на основание системы счисления. Технический результат достигается за счет того, что устройство содержит регистр модулярного кода числа, (N-1) табличный вычислитель (N - число оснований МСС), устройство преобразования модулярного кода в полиадический код, сумматор (N-1) чисел по модулю $p_N$ ($p_N$ - N-е основание МСС, на которое осуществляется деление). 1 ил.




RU 2237274 C2

RU 2237274 C2

(19) **RU** (11) **2 237 274** (13) **C2**

(51) Int. Cl.[7] **G 06 F 7/72, H 03 M 7/18**

RUSSIAN AGENCY
FOR PATENTS AND TRADEMARKS

## (12) ABSTRACT OF INVENTION

(21), (22) Application: 2002129033/09, 30.10.2002

(24) Effective date for property rights: 30.10.2002

(45) Date of publication: 27.09.2004

(98) Mail address:
125993, Moskva, ul. Chasovaja, 22/2,
RGOTUPS, prorektoru po nauchnoj rabote V.M. Alekseevu

(72) Inventor: Ovcharenko L.A. (RU),
Lopatin D.S. (RU), Chekalin S.S. (RU)

(73) Proprietor:
Rossijskij gosudarstvennyj otkrytyj
tekhnicheskij universitet putej soobshchenija (RU)

### (54) DEVICE FOR DIVIDING NUMBER IN MODULAR CODE ON BASE OF SCALE OF NOTATION

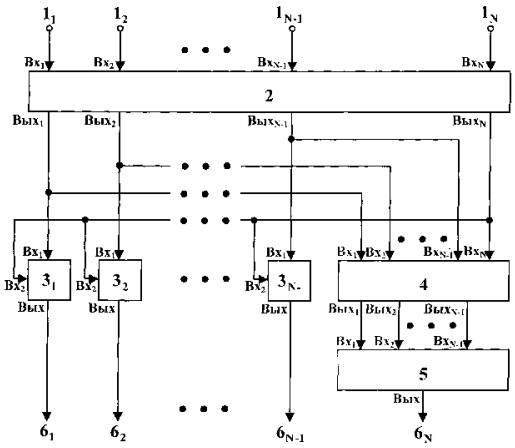
(57) Abstract:

FIELD: computer engineering.

SUBSTANCE: device has register of number modular code, (N-1), table calculator (N-number of modular scale of notation bases), device for converting modular code into polyadic code, adder (N-1) of numbers, module $p_N$ ($p_N$ - N base of modular scale of notation, on which division is performed).

EFFECT: higher speed of operation.

1 dwg, 1ex




RU 2237274 C2

RU 2237274 C2

Изобретение относится к вычислительной технике, предназначено для деления числа в модулярной системе счисления (МСС) на одно из ее оснований и может быть использовано в цифровых вычислительных устройствах.

Известно устройство (аналог) (Авторское свидетельство СССР №1683013, МКИ G 06 F 7/72, БИ №37, 1991 г.), содержащее регистры делимого и делителя, регистр сдвига, вспомогательный регистр, блок вычитания, блок умножения, блок сложения, параллельно-конвейерный формирователь, счетчик, элемент ИЛИ-НЕ, элементы И, элемент задержки, регистр частного и элемент ИЛИ.

Недостаток устройства - низкая скорость выполнения операции деления в МСС.

Наиболее близким по технической сущности (прототипом к предлагаемому изобретению) является устройство (Авторское свидетельство СССР №1667066, МКИ G 06 F 7/72, БИ №28, 1991 г.), содержащее блок элементов задержки, блок вычисления интервального индекса числа, элемент задержки, два регистра сдвига, регистр модулярного кода числа, регистр интервального индекса, два блока мультиплексоров, два блока хранения констант, блок управления и два блока элементов ИЛИ.

Недостаток прототипа - низкая скорость выполнения операции деления в МСС вследствие большого количества тактов, в ходе которых реализуется данная операция, и конечного времени переключения полупроводниковых логических вентилей, составляющих основу прототипа.

Задача, на решение которой направлено заявляемое устройство, состоит в повышении производительности перспективных образцов специализированной вычислительной техники.

Технический результат выражается в повышении быстродействия (уменьшении временных затрат) выполнения операции деления числа в модулярном коде на основание системы счисления.

Технический результат достигается тем, что в устройство, содержащее регистр модулярного кода числа, введены (N-1) (N - число оснований МСС) табличных вычислителей, устройство преобразования модулярного кода в полиадический код и сумматор (N-1) чисел по модулю $p_N$ ($p_N$ - N-е основание МСС, на которое осуществляется деление), причем N входов регистра модулярного кода числа являются входами устройства, N выходов регистра модулярного кода числа соединены с соответствующими входами устройства преобразования модулярного кода в полиадический код, при этом n-й $(n = \overline{1, N-1})$ выход регистра модулярного кода числа подключен к первому входу n-го табличного вычислителя, а N-й выход регистра модулярного кода числа - ко вторым входам табличных вычислителей, выход n-го табличного вычислителя является n-м выходом устройства, n-й выход устройства преобразования модулярного кода в полиадический код соединен с соответствующим входом сумматора (N-1) чисел по модулю $p_N$, выход которого является N-м выходом устройства.

Сущность изобретения заключается в получении остатка модулярного кода по N-му основанию путем преобразования этого кода в полиадический позиционный код и суммировании первых (N-1) разрядов полиадического кода, умноженных на веса этих разрядов, в сумматоре (N-1) чисел по модулю $p_N$.

Преобразование модулярного кода в полиадический позиционный код и суммирование (N-1) чисел по модулю $p_N$ могут быть реализованы на основе использования свойства периодичности гармонической функции, аналогичного свойству арифметических операций в конечном кольце целых чисел.

Известно, что

$$\cos(x) = \cos(x + 2\cdot\pi\cdot\delta) = \cos((x) \bmod 2\cdot\pi), \qquad (1)$$

где $\delta$ =1, 2, 3,...

Если гармонический сигнал с амплитудой U и частотой $\omega$

$$u(t) = U\cdot\cos(\omega t) \qquad (2)$$

проходит через m (m - число слагаемых) последовательно соединенных фазовращателей, то на выходе последнего (m-го) фазовращателя гармонический сигнал будет описываться выражением

$$U_m(t) = U\cdot\cos\left(\omega\cdot t - \sum_{i=1}^{m}\Delta\varphi_i\right), \qquad (3)$$

где $\Delta\varphi_i$ - сдвиг фазы в i-м фазовращателе, $i = \overline{1,m}$.

Положим, что в i-м фазовращателе сдвиг фазы $\Delta\varphi_i$ прямо пропорционален значению i-го слагаемого $A_i$ $(A_i = \overline{0, p-1}; i = \overline{1,m})$:

$$\Delta\varphi_i = \frac{2\cdot\pi}{p}\cdot A_i, \qquad (4)$$

где p - величина модуля.

Тогда (3) с учетом (4) можно представить в виде

$$u_m(t) = U\cdot\cos\left(\omega\cdot t - \frac{2\cdot\pi}{p}\cdot\sum_{i=1}^{m}A_i\right). \qquad (5)$$

Так как

$$\left(\omega\cdot t - \frac{2\cdot\pi}{p}\cdot\sum_{i=1}^{m}A_i\right)\bmod(2\cdot\pi) = \left((\omega\cdot t)\bmod(2\cdot\pi) - \left(\frac{2\cdot\pi}{p}\cdot\sum_{i=1}^{m}A_i\right)\bmod(2\cdot\pi)\right)\bmod(2\cdot\pi),$$

а в свою очередь

$$\left(\frac{2\cdot\pi}{p}\cdot\sum_{i=1}^{n}A_i\right)\bmod(2\cdot\pi) = \frac{2\cdot\pi}{p}\cdot\left(\sum_{i=1}^{n}A_i - \left[\frac{\sum_{i=1}^{n}A_i}{p}\right]\cdot p\right) = \frac{2\cdot\pi}{p}\cdot\left(\sum_{i=1}^{n}A_i\right)\bmod p, \qquad (6)$$

то на основании (3)-(6) получим

$$u_m(t) = U\cdot\cos\left(\omega\cdot t - \frac{2\cdot\pi}{p}\cdot\left(\sum_{i=1}^{m}A_i\right)\bmod p\right), \qquad (7)$$

где [•] - символ округления в меньшую сторону до ближайшего целого.

Таким образом, после прохождения гармонического сигнала через m фазовращателей, сдвиги фазы в которых прямо пропорциональны значению слагаемых $A_i$ $\left(A_i = \overline{0, p-1; i = 1, m}\right)$, фаза гармонического сигнала (7) на выходе m-го фазовращателя будет прямо пропорциональна значению модуля суммы m чисел:



RU 2237274 C2

RU 2237274 C2

$$\alpha = \left( \sum_{i=1}^{m} A_i \right) \mathrm{mod} p. \qquad (8)$$

Для определения $\alpha$ (8) необходимо измерить разность фаз на выходе генератора гармонического сигнала и сигнала на выходе линейки фазовращателей:

$$U_m(t) = U \cdot \cos\left( \omega \cdot t - \frac{2 \cdot \pi}{p} \cdot \sum_{i=1}^{m} A_i \right). \qquad (9)$$

Измеритель сдвига фазы можно построить на основе оптимального измерителя параметра сигнала известной формы [1, с.488, рис. 12.1], в котором опорные сигналы формируются из гармонического сигнала (2) путем сдвигов фазы на 0, $\frac{2\pi}{p}$,

$$\frac{2\pi}{p} \cdot 2, \ldots, \frac{2\pi}{p} \cdot (p-1).$$

Необходимые для реализации устройства сложения m чисел по модулю p m фазовращателей должны быть управляемыми и могут быть реализованы на основе различных схемных решений. Например, в СВЧ-диапазоне [2, с.102] такой фазовращатель наиболее просто реализовать на основе линий задержки (ЛЗ) на время

$$\Delta t_s = \frac{2 \cdot \pi}{\omega \cdot p} \cdot s, \; s = \overline{0, p-1}, \qquad (10)$$

где $\omega$ - несущая частота гармонического сигнала.

Если на входе ЛЗ на время $\Delta t_s$ действует гармонический сигнал (2), то на выходе ЛЗ с учетом (11) будет сигнал

$$u_{ЛЗ} = U \cdot \cos(\omega \cdot (t - \Delta t_s)) = U \cdot \cos\left( \omega \cdot t - \frac{2 \cdot \pi}{p} \cdot s \right),$$

то есть фаза сигнала $u_{ЛЗ}(t)$ будет соответствовать (4) при $s=A_i$.

Следовательно, подключая линию задержки в соответствии с унитарным кодом слагаемого $A_i = \overline{0, p-1}; \quad i = \overline{1, m},$ можно получить значение фазового сдвига в i-м управляемом фазовращателе, прямо пропорциональное величине этого слагаемого.

Выполнение операции деления числа A в модулярном коде на основание системы счисления $p_N$ сводится к нахождению остатков частного $\gamma_k \left( k = \overline{1, N} \right)$ по модулю $p_k$. Условием деления нацело числа A на $p_N$ является выполнение сравнения $\alpha_N = A \, \mathrm{mod} p_N \equiv 0$ [3, с.146 и 147], в противном случае можно рассматривать в качестве делимого число $(A-\alpha_N = A - A \mathrm{mod} p_N)$, что эквивалентно округлению результата деления в меньшую сторону до ближайшего целого числа. Тогда [3, с.147] значения остатков $\gamma_n (n = \overline{1, N-1})$ модулярного кода частного $((A-\alpha_N)/p_N)$ по основаниям $p_n$ определяются формальным делением остатков $(\alpha_n - (\alpha_N) \mathrm{mod} p_n)$ на число $(p_N \mathrm{mod} p_n)$, то есть

$$\gamma_n = (\mu_n \cdot (\alpha_n - (\alpha_N) \mathrm{mod} p_n)) \mathrm{mod} p_n, \qquad (11)$$

где $\mu_n (n = \overline{1, N-1})$ находится из решения сравнения $(\mu_n \cdot p_N) \mathrm{mod} p_n \equiv 1$. Неопределенность вида $\frac{0}{0}$ при вычислении остатка частного $\gamma_N$ по основанию $p_N$ раскрывается путем представления $\gamma_N$ в полиадической позиционной системе счисления (ППСС) [4, с.21].

Произвольное число B в полиадической системе счисления представляется в виде последовательности разрядов $\beta_1, \beta_2, \ldots, \beta_N$, при этом связь числа с значениями его разрядов характеризуется соотношением

$$B = \sum_{k=1}^{N} \left( \beta_k \cdot \prod_{j=0}^{k-1} p_j \right), \qquad (12)$$

где $\prod_{j=0}^{k-1} p_j$ - вес k-го разряда;

$\beta_k = \overline{0, p_k - 1}; \quad k = \overline{1, N};$ $p_1, p_2, \ldots, p_N$ - основания МСС; $p_0=1$.

При нахождении частного $((A-\alpha_N)/p_N)$ учтем, что $0 \le A < M$, $\left( M = \prod_{k=1}^{N} p_k \right)$ [3, с.12 и 13]. Тогда $0 \le ((A-\alpha_N)/p_N) < (M/p_N)$. В этом случае из выражения (12) следует, что в полиадическом коде числа $((A-\alpha_N)/p_N)$ старший разряд ($\beta_N$) всегда будет равен нулю.

Действительно, положим, что все разряды полиадического кода частного, за исключением последнего (N-го), равны максимальным значениям, то есть $\beta_n = p_n - 1$, $n = \overline{1, N-1}$, а $\beta_N = 0$. Тогда в соответствии с (12) получим число, равное

$$\left( \prod_{n=1}^{N-1} p_n \right) - 1 = (M / p_N) - 1.$$

Следовательно, для представления в полиадическом коде частного $((A-\alpha_N)/p_N)$ достаточно вычислить разряды $\beta_1, \beta_2, \ldots \beta_{N-1}$, для получения которых необходимы только остатки $\gamma_1, \gamma_2, \ldots \gamma_{N-1}$ модулярного кода [4, с.21 и 22].

Алгоритм [5, с.41] перевода числа $((A-\alpha_N)/p_N)$ из модулярного кода $\gamma_1, \gamma_2, \ldots \gamma_{N-1}$ в полиадический код заключается в последовательном вычислении значений $\beta_k = \left( k = \overline{1, N} \right)$, начиная с младшего разряда (k=1), по формулам

$\beta_1 = \gamma_1$,

$$\beta_2 = ((\gamma_2 + (d_2 \cdot \beta_1) \mathrm{mod} p_2) \cdot c_{1,2}) \mathrm{mod} p_2 =$$
$$= ((\alpha_2 \cdot c_{1,2}) \mathrm{mod} p_2 + (d_2 \cdot \beta_1 \cdot c_{1,2}) \mathrm{mod} p_2) \mathrm{mod} p_2,$$

.....

$$\beta_r = \left( \left( \gamma_r \cdot \prod_{k=1}^{r-1} c_{k,r} \right) \mathrm{mod} p_r + \sum_{i=1}^{r-1} \left( d_i \cdot \beta_i \cdot \prod_{k=1}^{r-1} c_{k,r} \right) \mathrm{mod} p_r \right) \mathrm{mod} p_r,$$

где $r = \overline{2, N}$, $d_r = p_r - 1$; $c_{k,r}$ - обратная мультипликативная величина [4, с.22], определяемая как решение сравнения



RU 2237274 C2

RU 2237274 C2

$(c_{k,r} \cdot p) \bmod p_r \equiv 1$; $k = \overline{1, r-1}$.

Таким образом, остаток частного $\gamma_N$ по основанию $p_N$ можно определить по формуле

$$\gamma_N = \left( \beta_1 + \sum_{n=2}^{N-1} \left( \beta_n \cdot \prod_{k=1}^{n-1} p_k \right) \right) \bmod p_N, \qquad (13)$$

где разряды $\beta_k (k = \overline{1, N})$ с учетом взаимосвязи $\gamma_k$ с $\alpha_k$ и $\alpha_N$ (11) определяются по формуле

$$\beta_1 = ((\alpha_1 - (\alpha_N) \bmod p_1) \cdot \mu_1) \bmod p_1 = (\alpha_1 \cdot \mu_1) \bmod p_1 + (\alpha_N \cdot d_1 \cdot \mu_1) \bmod p_1,$$

$$\beta_2 = (((\alpha_2 - (\alpha_N) \bmod p_2) \cdot \mu_2 + (d_2 \cdot \beta_1) \bmod p_2) \cdot c_{1,2}) \bmod p_2 =$$
$$= \left( \begin{array}{l} (\alpha_2 \cdot \mu_2 \cdot c_{1,2}) \bmod p_2 + (\alpha_N \cdot d_2 \cdot \mu_2 \cdot c_{1,2}) \bmod p_2 + \\ + (d_2 \cdot \beta_1 \cdot c_{1,2}) \bmod p_2 \end{array} \right) \bmod p_2, \qquad (14)$$

$$\beta_r = \left( \begin{array}{l} \left( \alpha_r \cdot \mu_r \cdot \prod_{k=1}^{r-1} c_{k,r} \right) \bmod p_r + \left( \alpha_N \cdot d_N \cdot \mu_r \cdot \prod_{k=1}^{r-1} c_{k,r} \right) \bmod p_r + \\ + \sum_{s=1}^{r-1} \left( d_s \cdot \beta_1 \cdot \prod_{k=1}^{r-1} c_{k,r} \right) \bmod p_r \end{array} \right) \bmod p_r,$$

где $r = \overline{2, N}$.

Из (14) видно, что для получения n-го, $n = \overline{1, N-1}$, разряда $\beta_n$ полиадического кода необходимо сложить (n+1) чисел по модулю $p_n$. В соответствии с (1)-(9) устройство преобразования модулярного кода в полиадический код будет содержать сумматор (n+1) чисел, который может быть выполнен на основе устройства, включающего генератор гармонического сигнала (2), (n+1) управляемых фазовращателей и измеритель сдвига фазы. При этом выход генератора гармонического сигнала соединен с первым входом первого управляемого фазовращателя, выход i-го $\{i = \overline{1, n}\}$ управляемого фазовращателя - с первым входом (n+1)-го управляемого фазовращателя, выход (n+1)-го управляемого фазовращателя подключен к первому входу измерителя сдвига фазы, на второй вход которого поступает сигнал с выхода генератора гармонического сигнала. При этом выход измерителя сдвига фазы является выходом сумматора, а на вторые входы управляемых фазовращателей поступают соответствующие слагаемые из выражения (14). Управляемые фазовращатели обеспечивают поворот фазы на величину, определяемую формулой (4), в которой p заменяется на $p_n$, а $A_i$ - на величину соответствующего слагаемого из (14). Например, при расчете $\beta_2$, первый управляемый фазовращатель сдвигает фазу на $\frac{2 \cdot \pi}{p_2} \cdot (\alpha_2 \cdot \mu_2 \cdot c_{1,2}) \bmod p_2$, второй - на $\frac{2 \cdot \pi}{p_2} \cdot (\alpha_N \cdot d_2 \cdot \mu_2 \cdot c_{1,2}) \bmod p_2$, третий - на $\frac{2 \cdot \pi}{p_2} \cdot (d_2 \cdot \beta_1 \cdot c_{1,2}) \bmod p_2$. Так как $\mu_2$, $d_2$ и $c_{1,2}$ - константы, то сдвиг фазы зависит только от $\alpha_2$, $\alpha_N$ и $\beta_1$.

Соответственно на второй вход первого управляемого фазовращателя поступают данные со второго выхода регистра модулярного кода числа, на второй вход второго управляемого фазовращателя - с N-го выхода регистра модулярного кода числа, на второй вход третьего управляемого фазовращателя - значение первого разряда $\beta_1$ полиадического кода, снимаемое с выхода сумматора, в котором осуществляется расчет этого разряда. Примеры устройств, осуществляющих сложение (n+1) чисел по модулю $p_N$, приведены в [5, с.41-44] и [6, с.10].

Аналогично вышеизложенному может быть построен сумматор (N-1) чисел по модулю $p_N$. В этом сумматоре, в соответствии с выражением (13), в первом управляемом фазовращателе осуществляется сдвиг фазы на $\frac{2 \cdot \pi}{p_N} \cdot (\beta_1) \bmod p_N$, во втором - на $\frac{2 \cdot \pi}{p_N} \cdot (\beta_2 \cdot p_1) \bmod p_N$, в третьем - на $\frac{2 \cdot \pi}{p_N} \cdot (\beta_3 \cdot p_1 \cdot p_2) \bmod p_N$ и т.д.

Сравним быстродействие прототипа и предлагаемого устройства. Вычисление остатка от деления числа в МСС в прототипе происходит за $]\log_2 N[+2)$ тактов. Следовательно, время выполнения операции деления в прототипе составляет

$$T_{ПР} = (]\log_2 N[+2) \cdot \tau_\Sigma, \qquad (15)$$

где $\tau_\Sigma$ - суммарное время переключения цифровых логических схем в блоке хранения констант прототипа, ]•[ - символ округления в большую сторону.

Основу узла, обеспечивающего операцию деления по модулю p в блоке хранения констант прототипа, составляет матричный дешифратор [4, с.16 и 17], построенный на двухвходовых элементах И, расположенных в местах пересечений p горизонтальных и p вертикальных входных шин. Выходы элементов И подключены к входу соответствующих элементов ИЛИ, число которых равно p. Таким образом, сигнал от входа к выходу в этом дешифраторе проходит через 2 логических элемента - И и ИЛИ. Поэтому

$$\tau_\Sigma = \tau_И + \tau_{ИЛИ} \approx 2\tau_{ЛЭ}. \qquad (16)$$

Как показано в [7, с.173], время $\tau_{ЛЭ} \approx 10^{-10}$ с является практическим пределом для логических элементов на транзисторах, которое достигается только при жидкостном охлаждении до криогенных температур.

Поэтому минимальное время выполнения операции деления по модулю в прототипе на основании (15) и (16) составляет

$$T_{ПР} \approx (]\log_2 N[+2) \cdot 2 \cdot 10^{-10} \text{ с}. \qquad (17)$$

Время выполнения модульной операции в предлагаемом устройстве ($T_{ПУ}$) будет равно:

$$T_{ПУ} = \max(T_{ТВ}, T_{ПК} + T_\Sigma), \qquad (18)$$

где $T_{ТВ}$ - временной сдвиг в табличном вычислителе, $T_{ПК}$ - временной сдвиг в устройстве преобразования модулярного кода в полиадический код, $T_\Sigma$ - временной сдвиг в сумматоре (N-1) чисел по модулю $p_N$.

Временной сдвиг $T_{ТВ}$ в табличном



RU 2237274 C2

RU 2237274 C2

вычислителе, построенном по схеме матричного дешифратора, как было указано ранее в (16), составляет

$$T_{TB} \approx 2\tau_{ЛЭ} = 2 \cdot 10^{-10} c. \qquad (19)$$

В [5, с.43] и [6, с.11] показано, что при реализации входящего в состав сумматоров (n+1) чисел по модулю $p_n$ и сумматора (N-1) чисел по модулю $p_N$ генератора гармонического сигнала на частоте 400 ГГц, время $T_{ПК}+T_{\Sigma}$ может быть не более:

$$T_{ПК} + T_{\Sigma} = 3 \cdot 10^{-11} \cdot N + (0{,}25 \cdot (N-1) + 1{,}75) \cdot 10^{-11} = (3{,}25 \cdot N + 1{,}5) \cdot 10^{-11} c. \qquad (20)$$

Поэтому максимальное время выполнения модульной операции в предлагаемом устройстве на основании (18)-(20) составляет (при N<62)

$$T_{ПУ} \approx 2 \cdot 10^{-10} c. \qquad (21)$$

Из (17) и (21) видно, что предлагаемое устройство предпочтительнее прототипа, так как операция формирования остатка от деления числа в модулярном коде на основание системы счисления в предлагаемом устройстве происходит быстрее примерно в ()$\log_2 N$[+2) раз.

На чертеже представлена структурная схема предлагаемого устройства, где $1_1$-$1_N$ - информационные входы устройства, 2 - регистр модулярного кода числа, $3_1$-$3_{N-1}$ - табличные вычислители, 4 - устройство преобразования модулярного кода в полиадический код, 5 - сумматор (N-1) чисел по модулю $p_N$, $6_1$-$6_N$ - выходы устройства.

Вход $Bx_k \left(k = \overline{1, N}\right)$ регистра 2 модулярного кода числа соединен с входом $1_k$ устройства, а n-й $\left(n = \overline{1, N-1}\right)$ выход регистра 2 модулярного кода числа соединен с первым входом табличного вычислителя $3_n$, выход которого соединен с выходом $6_n$ устройства, k-й выход регистра 2 модулярного кода числа соединен с k-м входом устройства преобразования 4 модулярного кода в полиадический код, а N-й выход регистра модулярного кода числа соединен со вторыми входами табличных вычислителей $3_1$-$3_{N-1}$, n-й выход устройства преобразования 4 модулярного кода в полиадический код соединен с n-м входом сумматора 5 (N-1) чисел по модулю $p_N$, выход которого является выходом $6_N$ устройства.

Рассмотрим работу устройства. Остаток делимого $A.\ \alpha_k \left(k = \overline{1, N}\right)$ по модулю $p_k$ поступает на информационный вход $1_k$ устройства и далее на вход $Bx_k$ регистра 2 модулярного кода числа, с выхода $Вых_k$ которого остаток $\alpha_k$ поступает на вход $Bx_k$ устройства преобразования 4 модулярного кода в полиадический код, где происходит преобразование по формуле (14). Полиадический код $(\beta_1, \beta_2, \ldots \beta_n)$ остатка $\gamma_N$ от деления $((A-\alpha_N)/p_N)$ с выхода $Вых_n \left(n = \overline{1, N-1}\right)$ устройства преобразования 4 модулярного кода в полиадический код поступает на вход $Bx_n$ сумматора 5 (N-1) чисел по модулю $p_N$, где, согласно выражению (13), происходит суммирование по модулю $p_N$. С выхода сумматора 5 (N-1) чисел по модулю $p_N$ модулярный код остатка $\gamma_N$ поступает на выход $6_N$ устройства. С выхода $Вых_n$ регистра 2 модулярного кода числа остаток $\alpha_n$ поступает на вход $Bx_1$ табличного вычислителя $3_n$, на вход $Bx_2$, которого поступает остаток $\alpha_N$ с выхода $Вых_N$ регистра 2 модулярного кода числа. С выхода табличного вычислителя $3_n$, осуществляющего вычисление остатка $\gamma_n$ согласно выражению (11), модулярный код этого остатка поступает на выход $6_n$ устройства.

Пример: Пусть основания МСС равны $p_1=3$, $p_2=5$, $p_3=7$ (N=3). При этом заранее известны величины: $c_{1,2}=2$, $d_1=2$, $d_2=4$, $\mu_1=4$, $\mu_2=3$. Найдем результат деления числа A=61 ($\alpha_1=1$, $\alpha_2=1$, $\alpha_3=5$) на основание МСС $p_3=7$.

Значения $\alpha_1=1$ и $\alpha_2=1$ через регистр 2 модулярного кода числа поступают на первые входы соответственно первого $3_1$ и второго $3_2$ табличных вычислителей, на второй вход которых поступает значение $\alpha_3=5$. В результате с выхода табличных вычислителей $3_1$ и $3_2$ на выходы $6_1$ и $6_2$ устройства поступают модулярные коды частного $\gamma_1$ и $\gamma_2$, значения которых соответственно определены в табличных вычислителях $3_1$ и $3_2$ по формуле (11):

$$\gamma_1 = ((\alpha_1 - \alpha_3 \bmod p_1) \cdot \mu_1) \bmod p_1 = ((1-5 \bmod 3) \cdot 4) \bmod 3 = -4 \bmod 3 = 2$$

$$\gamma_2 = ((\alpha_2 - \alpha_3 \bmod p_2) \cdot \mu_1) \bmod p_2 = ((1-5 \bmod 5) \cdot 3) \bmod 5 = 3 \bmod 5 = 3$$

В то же время значения $\alpha_1=1$, $\alpha_2=1$ и $\alpha_3=5$ через регистр 2 модулярного кода числа поступают на соответствующие входы устройства преобразования 4 модулярного кода в полиадический код, в котором происходит вычисление разрядов полиадического кода числа $((A-\alpha_3)/p_3)$ по формуле (14):

$$\beta_1 = (\alpha_1 \cdot \mu_1 + \alpha_3 \cdot d_1 \cdot \mu_1) \bmod p_1 = (1 \cdot 4 + 5 \cdot 2 \cdot 4) \bmod 3 = 44 \bmod 3 = 2$$

$$\beta_2 = (\alpha_2 \cdot \mu_2 \cdot c_{1,2} + \alpha_3 \cdot d_2 \cdot \mu_2 \cdot c_{1,2} + d_2 \cdot \beta_1 \cdot c_{1,2}) \bmod p_2 =$$
$$= (1 \cdot 3 \cdot 2 + 5 \cdot 4 \cdot 3 \cdot 2 + 4 \cdot 2 \cdot 2) \bmod 5 = 142 \bmod 5 = 2$$

Полиадический код с выхода устройства преобразования 4 модулярного кода в полиадический код поступает на вход сумматора 5 двух чисел по модулю $p_3=7$, где происходит вычисление остатка $\gamma_3$ частного по формуле (13):

$$\gamma_3 = (\beta_1 + \beta_2 \cdot p_1) \bmod p_3 = (2 + 2 \cdot 3) \bmod 7 = 8 \bmod 7 = 1$$

Проверка:

$$\frac{A - \alpha_3}{p_3} = \frac{61-5}{7} = 8 = (\gamma_1, \gamma_2, \gamma_3) = (2,3,1)$$

Источники информации

1. Тихонов В.И. Статистическая радиотехника. - М.: Сов. радио, 1966, 678 с.

2. Радиоприемные устройства: Учеб. пособие для радиотехнич. спец. ВУЗов./ Ю.Т. Давыдов, Ю.С. Данилич. - М.: Высш. шк., 1989, 342 с.

3. Акушский И.Я., Юдицкий Д.И. Машинная арифметика в остаточных классах. - М.: Сов. радио, 1968. - 440 с.

4. Долгов А.И. Диагностика устройств, функционирующих в системе остаточных



RU 2237274 C2

RU 2237274 C2

классов. - М.: Радио и связь, 1982, 64 с.

5. Овчаренко Л.А. Когерентный преобразователь модулярного кода. -Телекоммуникации, 2001, №6.

6. Овчаренко Л.А. Вариант реализации основных операций в модулярном арифметическом устройстве.// Телекоммуникации, №3, 2001, с.8-11.

7. Акаев А.А., Майоров С.А. Оптические методы обработки информации. - М.: Высш. шк., 1988, 237 с.

## Формула изобретения:

Устройство для деления числа в модулярном коде на основание системы счисления, содержащее регистр модулярного кода числа, отличающееся тем, что в него введены N-l (N - число оснований модулярной системы счисления (МСС)) табличных вычислителей, предназначенных для вычисления

остатков $\gamma_n(n = \overline{1, N-1})$, причем $\gamma_n=(\mu_n(\alpha_n-(\alpha_N) \bmod p_n)) \bmod p_n$, где $\alpha_n=A \bmod p_n$; $\alpha_N=A \bmod p_N$; A - целое число; $p_n$ - n-е основание МСС; $p_N$ - N-е основание МСС, на которое осуществляется деление, а $\mu_n$ находится из решения сравнения $(\mu_n \cdot p_N) \bmod p_n \equiv 1$, устройство преобразования модулярного кода в полиадический код и сумматор N-1 чисел по модулю $p_N$, причем N входов регистра модулярного кода числа являются входами устройства, N выходов регистра модулярного кода числа соединены с соответствующими входами устройства преобразования модулярного кода в полиадический код, при этом n-й выход регистра модулярного кода числа подключен к первому входу n-го табличного вычислителя, а N-й выход регистра модулярного кода числа - ко вторым входам табличных вычислителей, выход n-го табличного вычислителя является n-м выходом устройства, n-й выход устройства преобразования модулярного кода в полиадический код соединен с соответствующим входом сумматора N-1 чисел по модулю $p_N$, выход которого является N-м выходом устройства.

RU 2237274 C2

RU 2237274 C2