(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 21/18

(45) 공고일자 2005년11월29일
(11) 등록번호 10-0531001
(24) 등록일자 2005년11월18일

(21) 출원번호 10-2004-7019417(분할)
(22) 출원일자 2004년11월29일
(62) 원출원 특허10-1999-7008357
원출원일자 : 1999년09월14일
번역문 제출일자 2004년11월29일
(86) 국제출원번호 PCT/US1998/005001
국제출원일자 1998년03월13일

(65) 공개번호 10-2005-0004896
(43) 공개일자 2005년01월12일
심사청구일자 2002년03월19일
(87) 국제공개번호 WO 1998/40909
국제공개일자 1998년09월17일

(81) 지정국

국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바르바도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬랜드, 일본, 케냐, 키르키즈스탐, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 슬로베니아, 슬로바키아, 타지키스탄, 투르크맨, 터어키, 트리니아드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탐, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크맨,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 핀란드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고,

(30) 우선권주장 08/818,660 1997년03월14일 미국(US)

(73) 특허권자
마이크론 테크놀로지, 인크.
미국 83716-9632 아이다호주 보이스 피.오. 박스 6 사우쓰 페드럴 웨이 8000

(72) 발명자
우,지퀴앙
미합중국 텍사스 75252 달라스 프랭크포드 로드 7575 아프트먼트# 314

리,리
미합중국 아이다호 83642 메리디안 노스 올드스톤웨이 2790

피구라,토마스에이
미합중국 아이다호 83705 보이즈 엘크호른 애비뉴 5745

파레크,쿠날알
미합중국 아이다호 83712 보이즈 댄모어 드라이브 2099

판,파이-홍
미합중국 아이다호 83706 이스트 미그라토리 드라이브 2773

(74) 대리인 손경한

심사관 : 이윤직

(54) 이식된 구조와 형성 방법

요약

본 발명은 이온이식으로써 그리고 이온의 얼마의 농도로 이식된 실리콘 함유물질에 대해 선택적인 에칭공정 또는 상대적으로 비이식된 실리콘 함유물질에 대해 선택적인 에칭공정으로서 실리콘 함유물질로된 형상화된 구조를 형성하는 방법들을 개시하고 있다. 일반적으로, 형성화구조 형성방버들은 우선적으로 반도체기판상에 폴리실리콘이나 에피탁셜 실리콘과 같은 실리콘 함유물질의 측을 제공하는 단계를 포함한다. 실리콘 함유물질층은 그다음 마스크되고, 이온들은 실리콘 함유물질층의 노출된 부분으로 이식된다. 마스크는 제거되고, 그리고 상기한 선택적인 에칭공정이 실행되어 결국 실리콘 함유물질층의 이식된 부분 및 상대적으로 이식이 되지 않은 부분중에 에칭되고 나머지는 남아있게 되어 실리콘 함유물질의 형상화 구조를 형성시키게 된다. 대표적인 1선택적인 에칭공정은 비이온화된 물에 선택된 중량%의 테트라메틸 암모늄 히드록사이드를 포함하는 에칭제 용액을 이용한다. 에칭제 용액은 이온의 최소농도 이상으로 이식된 실리콘 함유물질을 에칭시키는 것보다 60배까지 더 빠르게 이식된 상대적으로 비이식된 실리콘 함유물질을 에칭한다. 상승된 형상화된 구조, 형상화된 개구, 폴리실리콘 플럭, 캐패시터 저장노드, 서라운드 게이트 트랜지스터, 프리-스탠딩벽, 접속라인, 트랜치 캐패시터, 및 트랜치 절연영역들을 형성하는 데 다양한 방법이 이용된다.

대표도

도 1

색인어

반도체 이식 구조 및 형성방법

명세서

도면의 간단한 설명

본 발명의 상술한 방법과 다른 이점 그리고 목적을 더 잘 이해하고, 본 발명의 좀더 특별히 묘사된 실시예를 간단히 구현함으로써 도면을 단순화 하였다. 본 발명의 대표적인 실시예만을 도시하였고 그 범위의 한계를 고려한 것은 아니며, 본 발명은 첨부된 도면을 참조하여 구현하고 좀더 특별하고 상세히 설명한다.

도1은 본 발명의 제 1 방법의 초기화 공정에서 마스크가 패턴화된 기판 상부에 형성된 폴리실리콘층을 가지는 반도체 웨이퍼의 횡단면도.

도2는 본 발명의 제 1 방법의 다음 공정을 나타낸 것으로 도1의 폴리실리콘층으로 덮여있지 않은 부분에 이온들을 이식한 것을 나타낸 횡단면도.

도3은 도2의 폴리실리콘층으로 마스크된 부분의 변환 농도로 하부 에지에 복합 변성단계로 이식된 이온등의 이식 패턴의 깊이를 나타낸 그래프.

도4는 본 발명에 따른 제 1 공정에서 도3의 기판 상에 마스크된 폴리실리콘층을 제거한 반도체 웨이퍼를 나타낸 횡단면도.

도5는 변환 유니트들에서, 이식된 이온농도의 함수처럼 본 발명의 이식된 실리콘 함유물질에 선택하여 식각 공정의 식각률과의 관계를 도시한 그래프.

도6은 본 발명의 제 1 방법의 다음 공정을 나타낸 것으로, 도4의 노출된 부분으로부터 폴리실리콘층의 상대적으로 이식되지 않은 부분을 식각한 것을 나타낸 반도체 웨이퍼의 횡단면도.

도7은 도6의 노출된 부분으로부터 하층의 편평한 방향으로 도6의 노출된 부분을 갖도록 폴리실리콘층을 도1내지 도6의 다른 실시예를 사용한 공정을 나타낸 도 1내지 도5의 반도체 웨이퍼의 횡단면도.

도8은 하드 마스크 처럼 도7의 하층을 노출된 부분을 식각하여 도7의 실시예의 다음 공정을 나타낸 도7의 반도체 웨이퍼의 횡단면도.

도9는 도8의 노출된 부분에 프로그램가능한 저항기 형태의 칼코제니드제를 나타낸 도8의 반도체 웨이퍼의 횡단면도.

도10은 본 발명에 따른 제 2 방법의 공정에서 반도체 기판 상부에 형성된 폴리실리콘층을 나타낸 반포체 웨이퍼의 횡단면도.

도11은 도10의 폴리실리콘층 상부에 마스크 기판이 형성된 본 발명의 제 2 방법의 다음 공정을 나타낸 도10의 반도체 웨이퍼의 횡단면도.

도12는 도11의 폴리시리콘층으로 이온들이 이식된 본 발명의 제 2 방법의 다음 공정을 나타낸 도11의 반도체 웨이퍼의 횡단면도.

도13은 도12의 폴리실리콘층을 이방성 식각으로 제 1 식각을 실시한 본 발명의 제 2 방법의 다음 공정을 나타낸 도12의 실리콘 웨이퍼의 횡단면도.

도14는 폴리실리콘층을 이방성 식각을 실시하고 그 결과의 모양에서 이식되지 않은 실리콘 함유물질을 선택적 제 2 식각을 실시한 본 발명의 제 2 방법의 다음 공정을 나타낸 도13의 반도체 웨이퍼의 횡단면도.

도15는 도14의 구조물 상부에 하층이 형성된 본 발명의 제 2 방법의 한 실시예의 공정을 나타낸 도14의 반도체 웨이퍼의 횡단면도.

도16은 도15의 하층을 식각하기 위해 하드마스크 처럼 사용한 본 발명의 제 2 방법의 다음 공정을 나타낸 도15의 반도체 웨이퍼의 횡단면도.

도17은 도14의 구조 형상 상부에 산화층을 형성한 제 2 방법의 다음 공정을 나타낸 도14의 반도체 웨이퍼의 횡단면도.

도18은 도17의 산화층으로 감싼 나머지 부분을 평탄화한 제 2 방법의 다음 공정을 나타낸 도17의 반도체 웨이퍼의 횡단면도.

도19는 도18의 산화층이 노출되어 패턴화된 나머지 부분을 식각한 도18의 한 실시예의 다음 공정을 나타낸 도18의 반도체 웨이퍼의 횡단면도.

도20은 특정 게이트 영역 사이에 특정 활성영역을 제공한 본 발명의 제 3 방법의 공정을 나타낸 반도체 웨이퍼의 횡단면도.

도21은 도20의 활성 영역 상부에 폴리실리콘층을 형성한 본 발명의 제 3 방법의 다음 공정을 나타낸 도20의 반도체 웨이퍼의 횡단면도.

도22는 본 발명의 제 3 방법의 다음 공정으로 도21의 폴리실리콘층 상부에 하드 마스크를 형성하고, 도21의 폴리실리콘층의 확장된 부분에 이온들을 이식시킨 것을 나타낸 도21의 반도체 웨이퍼의 횡단면도.

도23은 본 발명의 제 3 방법의 다음공정으로 도22의 활성영역 상부에 이식된 실리콘 함유물질을 선택하고 다수의 폴리실리콘 플러그의 형태로 실행되는 식각공정을 나타낸 도22의 반도체 웨이퍼의 횡단면도.

도24는 본 발명의 제 4 방법의 초기공정으로 도22의 활성영역 상부에 도22의 하드 마스크 개구의 내부 에지상에 스페이서들을 형성하고 도22의 폴리실리콘층에 이온들을 이식시킨 것을 나타낸 반도체 웨이퍼의 횡단면도.

도25는 제 4 방법의 다음 공정으로 선택적으로 이식시킨 실리콘 함유물질의 식각공정을 실시하고 결과적으로 캐패시터 저장 노드와 폴리실리콘 플러그가 형성되는 것을 나타낸 반도체 웨이퍼의 횡단면도.

도26은 본 발명의 제 5 방법의 초기 공정으로 다수의 게이트 영역이 형성되도록 CMOS 진행 흐름을 실행하고 다수의 게이트 영역들 상에 절연층을 형성한 것을 나타낸 반도체 웨이퍼의 횡단면도.

도27은 본 발명에 따른 제 5 방법의 다음 공정으로 반도체 웨이퍼의 PMOS 부분이 마스크되고 상기 반도체 웨이퍼의 NMOS 부분에 이온들이 이식된 것을 나타낸 도26의 반도체 웨이퍼의 횡단면도.

도28은 본 발명에 따른 제 5 방법의 다음 공정으로 도27의 구조물 상부에 폴리실리콘층을 형성하고, 하드 마스크를 형성하여 패턴화하고 상기 폴리실리콘층 상부의 확장 부분에 이온들을 이식시킨 것을 나타낸 도27의 반도체 웨이퍼의 횡단면도.

도29는 본 발명에 따른 제 5 방법의 다음 공정으로 도28의 하드 마스크를 제거하고 도28의 폴리실리콘 층을 폴리실리콘 플러그를 형성하도록 이식된 실리콘 함유물질을 식각공정으로 식각한 것을 나타낸 도28의 반도체 웨이퍼의 횡단면도.

도30은 본 발명에 따른 제 5 방법의 다음 공정으로 반도체 웨이퍼의 NMOS부분을 마스크하고 반도체 웨이퍼의 PMOS부분에 이온들을 이식시킨 것을 나타낸 도29의 반도체 웨이퍼의 횡단면도.

도31은 본 발명에 따른 제 6 방법의 초기 공정으로 폴리실리콘층을 기판에 섬상 마스크를 갖도록 패턴화시킨 것을 나타낸 반도체 웨이퍼의 횡단면도.

도32는 제 6 방법의 다음 공정으로 폴리실리콘층을 폴리실리콘 블럭이 형성되도록 이방성 식각을 실시하고 폴리실리콘 블럭의 측벽에 이온들을 지향성 이식시키는 것을 나타낸 도31의 반도체 웨이퍼의 횡단면도.

도33은 도32의 이온 이식 작업으로 인해 생성된 이온 집중 모양을 나타낸 도32의 폴리실리콘 블럭 측벽의 횡단면 확대도.

도34는 제 6 방법의 다음 공정의 결과로 다숭의 프리-스탠딩 벽들이 형성되도록 이식된 실리콘 함유물질을 선택적으로 식각 공정을 실시한 것을 나타낸 도31의 반도체 웨이퍼의 횡단면도.

도35는 본 발명에 따른 제 7 방법의 초기 공정으로 폴리실리콘층 상부에 마스크 기판을 형성하고 패턴으로 보여지는 원형 개구들을 패턴화한 것을 나나탠 반도체 웨이퍼의 사시도.

도36은 제 7 방법의 다음 공정으로 폴리실리콘층으로 한쌍의 원형 개구를 형성하기 위해 도35의 폴리실리콘층을 이방성 식각하고, 외부로 노출된 원형 개구의 측벽에 이온들을 이식시킨 것을 나나탠 도35의 반도체 웨이퍼의 사시도.

도37은 도35의 이온 이식 작업으로 인해 생성된 이온 집중 모양을 나타낸 도36의 폴리실리콘 블럭 측벽의 횡단면 확대도.

도38은 제 7 방법의 다음 공정의 결과로 한쌍의 프리-스탠딩 벽을 형성하기 위해 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 실시한 것을 나타낸 도36의 반도체 웨이퍼의 사시도.

도39는 본 발명의 제 8 방법의 초기 공정으로 MOS 서라운드 게이트 트랜지스터가 원뿔 측벽을 갖도록 형성하고 MOS 서라운드 게이트 트랜지스터의 불순물이 첨가된 소오스/드레인 영역을 형성하기 위해 이온을 이식시킨 것을 나타낸 반도체 웨이퍼의 횡단면도.

도40은 완성된 MOS 서라운드 게이트 트랜지스터를 나타낸 도39의 반도체 웨이퍼의 평면도.

도41은 도40의 MOS 서라운드 게이트 트랜지스터를 메모리 셀에 통합하여 형성하는데 사용된 공정을 나타낸 도40의 반도체 웨이퍼의 횡단면도.

도42는 본 발명에 따른 제 9 방법의 초기 공정으로 반도체 웨이퍼 상에 게이트 구조의 열이 제공되고 폴리실리콘층과 질화 실리콘층으로 덮인 것을 나타낸 반도체 웨이퍼의 횡단면도.

도43은 본 발명에 따른 제 9 방법의 다음 공정으로 도42의 실리콘 질화층과 폴리실리콘층을 식각한 원뿔 개구를 나타낸 도42의 반도체 웨이퍼의 횡단면도.

도44는 본 발명에 따른 제 9 방법의 다음 공정으로 제2폴리실리콘층이 침전되고 이온들이 이식된 것을 나타낸 도43의 반도체 웨이퍼의 횡단면도.

도45는 본 발명에 따른 제 9 방법의 다음 공정으로 한쌍의 작은 표면적 폴리실리콘 캐패시터 저장 노드를 얻도록 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 실시한 것을 나타낸 도44의 반도체 웨이퍼 횡단면도.

도46은 본 발명에 따른 제 10 방법의 초기 공정으로 한쌍의 게이트 영역과 중재 휠성영역이 반도체 웨이퍼 상에 형성되고 그 상부에 폴리실리콘층이 형성된 것을 나타낸 반도체 웨이퍼의 횡단면도.

도47은 본 발명에 따른 제 10 방법의 다음 공정으로 마스크 기판이 도46의 활성 영역 상부에 형성되고 패턴화된 것을 나타낸 도46의 반도체 웨이퍼의 횡단면도.

도48은 본 발명에 따른 제 10 방법의 다음 공정으로 폴리실리콘층의 확장영역이 부분 식각되고 이온들이 폴리실리콘층의 부분식각되어 확장된 영역에 이식된 것을 나타낸 도47의 반도체 웨이퍼의 횡단면도.

도49는 본 발명에 따른 제 10 방법의 다음공정으로 폴리실리콘 플러그를 얻을 수 있도록 이식되지 않은 폴리실리콘을 선택적으로 식각하는 공정을 실시한 것을 나타낸 도48의 반도체 웨이퍼의 횡단면도.

도50은 본 발명에 따른 제 11 방법의 초기공정으로 다수의 게이트 영역들과 중재 활성영역이 반도체 웨이퍼상에 형성되어 있고 그 상부에 폴리실리콘층이 형성되어 있는 것을 나타낸 반도체 웨이퍼의 횡단면도.

도51은 본 발명에 따른 제 11 방법의 다음공정으로 도50의 폴리실리콘층이 도50의 게이트 영역들의 높이로 평탄화된 것을 나타낸 도50의 반도체 웨이퍼의 횡단면도.

도52는 제 11 방법의 다음 공정으로 절연층이 도51의 폴리실리콘층 상부에 형성되고 개구는 상기 절연층에 형성되었으며 상기 절연층의 개구 하부에 도51의 게이트 영역들 사이의 폴리실리콘층 영역으로 이식된 것을 나타낸 도51의 번도체 웨이퍼의 횡단면도.

도53은 본 발명에 따른 제 11 방법의 다음 공정으로 절연층은 제거되고 폴리실리콘층은 한쌍의 폴리실리콘 플러그를 얻기 위해 이식된 실리콘 함유물질을 선택적으로 식각하는 공정으로 식각된 것을 나타낸 도52의 반도체 웨이퍼의 횡단면도.

도54는 본 발명에 따른 제 12방법의 초기 공정으로 한벌의 게이트 영역과 중재 활성 영역이 반도체 웨이퍼 상에 형성되고 그 상부에 폴리실리콘층이 형성된 것을 나타낸 반도체 웨이퍼의 횡단면도.

도55는 본 발명에 따른 제 12방법의 다음 공정으로 도54의 폴리실리콘층이 도54의 상기 게이트 영역들의 상부 높이로 평탄화된 것을 나타낸 도54의 반도체 웨이퍼의 횡단면도.

도56은 본 발명에 따른 제 12방법의 다음 공정으로 절연층은 도55의 폴리실리콘층 상부에 형성되고, 개구는 절연층 내에 형성되며 이온은 절연층의 개구 하부의 게이트 영역사이의 폴리실리콘 영역에 이식된 것을 나타낸 도55의 반도체 웨이퍼의 횡단면도.

도57은 본 발명에 따른 제 12방법의 다음 공정으로 도56의 절연층은 제거되고 도56의 폴리실리콘층은 한쌍의 폴리실리콘 플러그를 얻기 위해 이식된 실리콘 함유물질을 선택적으로 식각하는 공정으로 식각된 것을 나타낸 도56의 반도체 웨이퍼의 횡단면도.

도58은 본 발명에 따른 제 12방법의 다음 공정으로 절연층은 도57의 게이트 영역 상부에 형성되고 개구는 도58의 하나의 폴리실리콘 플러그 아래로 식각된 것을 나타낸 도57의 반도체 웨이퍼의 횡단면도.

도59는 본 발명에 따른 제 12방법의 다음 공정으로 도58의 폴리실리콘 플러그는 확장된 깊이를 상호연결 구조 개구를 형성하도록 제거된 것을 나타낸 도58의 반도체 웨이퍼의 횡단면도.

도60은 본 발명에 따른 제 13 방법의 초기 공정으로 개구를 두개의 게이트 영역 사이에 위치된 폴리실리콘층 상부에 위치된 산화층으로 형성하는 것을 나타낸 반도체 웨이퍼의 횡단면도.

도61은 본 발명에 따른 제 13 방법의 다음 공정으로 3중으로 인접한 폴리실리콘층을 도60의 개구내에 형성하는 것을 나타낸 도60의 반도체 웨이퍼의 횡단면도.

도62는 제 13 방법의 다음 공정으로 이온들이 도61의 3중으로 인접한 폴리실리콘층의 중간 폴리실리콘층 밑바닥의 중앙부분에 이식된 것을 나타낸 도61의 반도체 웨이퍼의 횡단면도.

도63은 제 13 방법의 다음 공정으로 도62의 중간 폴리실리콘층의 상대적으로 이식되지 않은 부분을 제거하도록 이식된 실리콘 함유물질을 선택적으로 식각 공정을 실시한 것을 나타낸 도62의 반도체 웨이퍼의 횡단면도.

도64는 본 발명에 다른 제 13 방법의 다음 공정으로 유전층을 도63의 마무리 저장 노드 상부에 형성하고 상부 캐패시터 평판은 상기 유전층 상부에 축적시킨 것을 나타낸 도63의 반도체 웨이퍼의 횡단면도.

도65는 본 발명에 따른 제 14 방법의 초기 공정으로 두개의 게이트 영역들 사이에 위치하여 접합되도록 절연층에 개구를 형성하고 상기 개구에 폴리실리콘층을 형성한 것을 나타낸 반도체 웨이퍼의 황단면도.

도66은 본 발명에 다른 제 14 방법의 다음 공정으로 선택된 형태의 이온들이 이식된 영역 하부의 이식되지 않은 영역을 남기고 이식된 영역을 형성하도록 도65의 폴리실리콘층에 이식시킨 것을 나타낸 도65의 반도체 웨이퍼의 횡단면도.

도67은 본 발명에 따른 제 14 방법의 다음 공정으로 도66의 개구가 포토레지스트물질로 채워지고 개구 상부에 위치한 폴리시리콘층 부분을 평탄화한 것을 나타낸 도66의 반도체 웨이퍼의 횡단면도.

도68은 본 발명에 따른 제 14 방법의 다음 공정으로 폴리실리콘층의 이식되지 않은 내부를 제거하기 위해 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 실시하고 HSG 폴리실리콘은 그것으로 인해 형성하여 프리-스탠딩 벽의 내외면상에 축적한 것을 나타낸 도66의 반도체 웨이퍼의 횡단면도.

도69는 본 발명에 따른 제 15 방법의 초기 공정으로 폴리실리콘층 상부에 형성된 포토레지스트 마스크와 상기 포토레지스트 마스크와 폴리실리콘층의 한쌍의 개구를 통해 이식된 이온들을 나타낸 반도체 웨이퍼의 횡단면도.

도70은 본 발명의 제 15 방법의 다음 공정으로 제2포토레지스트 마스크가 도69의 폴리실리콘층 상부에 형성되고 이온들은 상기 포토레지스트 마스크와 도69의 폴리실리콘층의 제2개구를 통해 이식된 것을 나타낸 도69의 반도체 웨이퍼의 횡단면도.

도71은 본 발명에 따른 제 15 방법의 다음 공정으로 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 실시하고 상기 폴리실리콘층의 상대적으로 침부되지 않은 부분은 프리-스탠딩 브리지를 형성하기 위해 제거한 것을 나타낸 도70의 반도체 웨이퍼의 횡단면도.

도72는 본 발명에 따른 제 15 방법의 다른 실시예로 형성된 레버를 나타낸 반도체 웨이퍼의 횡단면도.

도73은 본 발명에 따른 제 15 방법의 또다른 실시예로 형성된 오버랩핑 브리지를 나타낸 반도체 웨이퍼의 횡단면도.

도74a는 본 발명에 따른 제 15 방법의 또 다른 실시예로 형성된 오버랩핑 브리지를 나타낸 반도체 웨이퍼의 횡단면도이고 도74b는 도74a의 측면도이다.

도75는 본 발명에 따른 제 15 방법의 또 다른 실시예의 초기 공정으로 포토레지스트 마스크가 선택된 영역 이외의 모든 부분에 선택된 이온들을 갖도록 이식시킨 폴리실리콘 상부에 형성한 것을 나타낸 반도체 웨이퍼의 횡단면도.

도76은 본 발명에 따른 제 15 방법의 다른 실시예의 다음 공정으로 확장된 개구를 가지는 폴리실리콘 블럭을 중앙에 형성하도록 포토레지스트 마스크를 사용하여 건식 공정을 실시한 것을 나타낸 도70의 반도체 웨이퍼의 횡단면도.

도77은 본 발명에 따른 또제 15 방법의 또다른 실시예로서 터널이 형성된 것을 나타낸 반도체 웨이퍼의 횡단면도.

도78은 본 발명에 따른 제 16 방법의 제 1 실시예의 초기 공정으로 이온들이 두개의 게이트들 사이에 분포된 트랜치의 측벽에 포토레지스트 마스크를 통해 이식된 것을 나타낸 반도체 웨이퍼의 횡단면도.

도79는 본 발명에 따른 제 16 방법의 제 1 실시예의 다음 공정으로 도78의 트랜치내의 측벽의 상대적으로 이식되지 않은 부분을 제거하기 위해 이식되지 않은 실리콘 함유물질을 선택적으로 식각하는 공정을 실시한 것을 나타낸 도78의 반도체 웨이퍼의 횡단면도.

도80은 본 발명의 제 16 방법의 제 1 실시예의 다음공정으로 캐패시터 저장노드, 유전층, 그리고 상부평판이 트랜치 캐패시터로부터 도97의 트랜치 내에 축적되는 것을 나타낸 도79의 반도체 웨이퍼의 횡단면도.

도81은 본 발명의 제 16 방법의 제 2 실시예의 공정으로 절연층이 성장하고 산화 충전재는 트랜치 절연영역으로부터 트랜치 속에 축적된 것을 나타낸 도 79의 반도체 웨이퍼의 횡단면도.

도82는 본 발명의 제 17 방법의 제 1 실시예의 초기공정으로 폴리실리콘층이 게이트 영역 상부에 형성되고 선택된 형태의 이온들이 상기 폴리실리콘의 수평면에 이식한 것을 나타낸 반도체 웨이퍼의 횡단면도.

도83은 열일곱번째 방법의 제 1 실시예의 다음공정으로 상기 폴리실리콘의 이식부분을 제거하기 위해 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 실행하고 상기 폴리실리콘은 할로(halo) 주입동작을 위해 마스크와 같이 사용되는 것을 나타낸 도82의 반도체 웨이퍼의 횡단면도.

도84는 본 발명에 따른 제 17 방법의 제 2 실시예로서 폴리실리콘이 알루미늄 상호연결 라인 상에 형성되고 선택된 형태의 이온들은 상기 폴리실리콘의 수평면에 이식되는 것을 나타낸 반도체 웨이퍼의 횡단면도.

도85는 본 발명에 따른 제 17 방법의 제 2 실시예의 다음 공정으로 도84의 폴리실리콘층의 상대적으로 이식되지 않은 부분을 제거하기 위해 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 실시하고 상기 폴리실리콘층의 수평면 상부에 티타늄층을 축적하는 것을 나타낸 도84의 반도체 웨이퍼의 횡단면도.

도86은 본 발명에 따른 제 17 방법의 제 2 실시예의 다음공정으로 티타늄 실리사이드를 폴리실리콘층의 수평면에 변환시키기 위해 열처리동작을 실시하는 것을 나타낸 도85의 반도체 웨이퍼의 횡단면도.

도87은 본 발명에 따른 제 18 방법의 초기 공정으로 폴리실리콘층의 선택된 영역이 포토레지스트 마스크를 통해 이식되는 것을 나타낸 반도체 웨이퍼의 횡단면도.

도88은 본 발명에 따른 제 18 방법의 다음 공정으로 도87의 폴리실리콘층이 선택된 표면 형태를 가지도록 패턴화된 폴리실리콘층을 감소시키고 소멸될 스페이서 블럭들은 패턴화된 폴리실리콘 블럭의 선택된 위치에 인접하게 형성된 것을 나타낸 도87의 반도체 웨이퍼의 평면도.

도89는 본 발명에 따른 제 18 방법의 다음 공정으로 도88의 패턴화된 폴리실리콘 블럭의 측면 확장 표면들에 이온들이 이식된 것을 나타낸 도88의 반도체 웨이퍼의 횡단면도.

도90은 본 발명에 따른 제 18 방법의 다음공정으로 패턴화된 폴리실리콘 블럭과 소멸될 스페이서 블럭의 상대적으로 이식되지 않은 부분을 제거하기 위해 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 실시하고, 그것으로 인해 전체 접촉 패드들이 한쌍의 상호연결라인으로 형성된 것을 나타낸 도89의 반도체 웨이퍼의 횡단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

1. 본 발명의 분야

본 발명은 반도체 기판 상에서 다량의 실리콘 함유물질을 패터닝하는 방법에 관한 것이다. 더욱 상세하게는 본 발명은, 반도체 기판상에서 이온 이식과 식각 공정 - 식각 공정은 이식된 실리콘 함유물질 또는 이식되지 않은 실리콘 함유물질에 선택적이다 - 을 이용하여 다량의 실리콘 함유물질로부터 성형 구조를 형성하는 방법에 관한 것이다. 본 발명은 특히 폴리실리콘 플러그, 상호연결라인, 트랜지스터 게이트, 트랜치 그리고 캐패시터 저장 노드와 같은 성형된 실리콘 함유물질의 구조를, 효율적인 방법으로 그리고 산출되는 성형구조의 모양을 고도로 제어하면서 형성하는데 유용하다.

2. 관련기술

이 서면에서, "반도체 기판"이라는 용어는, 반도체적 성질을 가진 물질을 함유하는 구성이라면 어떤 것이든 족하다는 의미로 정의된다. 그리고 여기의 반도체 기판에는 반도체적 성질을 가진 웨이퍼-그것 하나만이든 또는 거기에 다른 물질들이 함유된 어셈블리이든 관계없다-나 반도체적 성질을 가진 물질 층-그것 하나만이든 또는 거기에 다른 물질들이 함유된 어셈블리이든 관계없다-과 같은, 반도체적 성질을 가진 물질이 포함된다. 다만, 이에 한정되는 것은 아니다. "기판"이라는 용어는, 전술한 반도체 기판을 포함한 지지구조이면 어느 것이든 족하다는-다만, 이에 한정되는 것은 아니다-의미로서 사용된다.

전자칩 상의 통합 회로들은 컴퓨터의 로직과 메모리, 그리고 기타의 정보처리 전자 장치를 제공한다. 이들 통합 회로들은 고도의 기능적 수준에까지 진보해 옴으로써 컴퓨터나 다른 정보처리 전자 장치들에 도움이 되고 있다. 통합회로의 방대한 기능은 또한 경제적인 가격에서 제공되고 있으며, 이로 인하여 소비자들은 컴퓨터와 정보처리 전자 장치들을 적절한 가격에서 제공받고 있다. 통합회로들은 현재 정교한 공정에 의해서 제조되는데, 이 공정에서 반도체 장치들, 절연막, 그리고 패턴화된 도전막은 반도체 기판상의 미리 결정된 정렬 안에서 연속적으로 구성된다. 반도체 웨이퍼 상에서 형성되는 재래의 반도체 장치들에는 캐패시터, 레지스터, 트랜지스터, 다이오드 등이 있다. 진보된 통합 회로 제조에서는, 이들 수십만의 반도체 장치들은 하나의 반도체 웨이퍼 상에서 형성된다.

컴퓨터와 전자 산업은, 속도와 기능은 증가시키고 통합 회로의 비용은 줄이려 하는 시장의 요구에 항시 지배받는다. 이러한 과제를 완수하는 하나의 방법은 반도체 장치들이 반도체 웨이퍼의 주어진 표면 영역 상에서 형성되도록 밀도를 증가시키는 것이다. 그렇게 하기 위해서는, 반도체 장치들은 초소형화로 알려진 공정에서 크기가 감소되어야 한다. 통합 회로를 최소형화하는데 있어서의 난점은, 통합회로를 제조하는 공정의 비용을 크게 증가시키지 않고 그와 같이 하여야 한다는 것이다.

따라서, 통합 회로 제조상에서 개선이 요구되는 부문은 통합 회로 제조 공정의 복잡성이다. 통합 회로가 점점 복잡해져 옴에 따라, 통합 회로를 형성하는 공정단계도 길어졌다. 제조 공정단계의 수 또한, 통합 회로의 증가된 복잡성에 비례하여 증가해 왔다. 통합 회로의 제조공정들의 복잡성이 증가하며 그에 상응하여 통합 회로의 생산비용이 증가한다는 것은 자명하다. 따라서, 개선되고 더욱 기능적인 컴퓨터나 다른 정보처리 전자 장치들의 생산비용을 적정하게 유지하기 위해서는, 통합 회로의 제조상 새로운 방법-더욱더 단순하고 효율적이고, 초소형화 공정에 도움이 되며, 통합회로의 질이나 성능을 손상시키지 않는-이 필요하다.

재래의 통합회로 제조공정의 필수적 단계의 하나는, 반도체 장치나 또는 반도체 장치들-MOS 트랜지스터 게이트 영역과 캐패시터 저장노드와 같은-의 개별 모양을 형성시키는데 이용되는 성형구조의 형성이다. 이러한 성형구조들은 일반적으

로 반도체 웨이퍼 상의 구조적 층들을 패터닝함으로써 형성된다. 구조적 층들은 일반적으로, 그 구조적 층을 축적하고, 구조적 층을 포토레지스트 마스크로 덮고, 그리고 포토레지스트 마스크로 덮히지 않은 부분들을 식각하여 떨어뜨리는는 것을 포함하는 공정과 함께 패터닝 된다. 구조적 층에 있어 포토레지스트 마스크로 덮힌 부분이나 부분들은 성형구조를 형성한다.

구조적 층이 식각되는 포토레지스트 마스크는 재래적으로 포토리쏘그라피로 알려진 공정에 의해 형성된다. 포토리쏘그라피는 일반적으로 자외선과 같은 광선을 이용하며, 이미징 렌즈를 통하여 패턴을 포토리쏘그라피 템평판로부터 구조층이 패터닝되는데 적용되어 온 포토레지스트 코팅으로 전환시킨다. 포토리쏘그라피 템평판의 패턴은, 그에 상응하는 개구와 포토레지스트 코팅으로 형성되도록 되어 있는 본래 부분에 부합하는 선택된 모양을 가진 불투명하고 투명한 부분을 포함한다. 포토리쏘그라피 템평판는 재래적으로 컴퓨터를 이용한 설계에 의해 디자인되며, 포토레지스트 코팅이 노출되는 부분인 반도체 웨이퍼 영역보다 훨씬 크다. 빛은 포토리쏘그라피 템평판를 통과하여, 포토리쏘그라피 템평판의 패턴을 웨이퍼 상에서 요구되는 크기에 이르도록 감소시키는 방법을 통하여 포토레지스트 코팅에 초점이 맞추어진다. 포지티브 포토레지스트를 위하여 마스크되지 않은 포토레지스트 코팅 부분은 발전과 떨어져 있다.

패턴이 포토리쏘그라피 평판로부터 포토레지스트 코팅으로 전환되는데 있어서의 라솔루션은 창조될 수 있는 모양 크기를 제한한다. 포토레지스트 마스크에 있어서 개구와 본래 부분의 크기, 결과적으로 포토레지스트 마스크를 사용하여 형성된 성형구조의 크기는 상응하여 제한된다. 그리하여 포토리쏘그라피 라솔루션 한계는 통합 회로를 더 소형화하는데 장애물이 된다. 따라서, 0.2 마이크론 이하의 모양 크기를 갖는 성형구조를 형성하는 진보적 방법이 필요하다.

감소된 크기로 형성될 필요가 있는 성형구조의 한 예는 프로그램 가능한 오보닉 셀이다. 오보닉 셀은, 저항을 가진 칼코제닉(chalcogenide) 물질의 부분인데, 이 저항은 오보닉 셀을 통과한 전하에 의해 프로그램화할 수 있다. 일반적으로 오보닉 셀은, 다량의 물질로부터 개구를 식각한 후에 칼코제닉 물질을 개구에 축적함으로써 형성된다. 오보닉 셀을 프로그램화하는데 있어서는 높은 전하 밀도가 적절하기 때문에, 개구는 작은 횡단면 영역과 함께 형성되는 것이 바람직하며, 그 횡단면 영역은 거기에 가해지는 전하 밀도를 증가시키도록 돕는다. 개구는 재래적으로 포토리쏘그라피에 의해 패터닝된다. 약 0.2 마이크론 보다 좁은 폭을 가진 개구를 형성하는 방법으로서 상업적으로 실행가능한 방법을 찾는다면 바람직할 것이다.

포토리쏘그라피의 경우에 가능한 수치보다 더 높은 리졸류션을 가진 반도체 장치의 성형구조를 형성하기 위한 방법으로서, 포토리쏘그라피에 대안적인 어떤 방법이 현재 존재하고 있다. 그러나, 이러한 대안적 방법들은 널리 쓰여지기에는 어려운 어떤 결점과 한계를 가지고 있다. 예를 들면, 그러한 대안적 방법들 중의 하나는 축적가능한 공간 흐름 공정(disposable spacer flow process)로 지칭된다. 추적가능한 공간 흐름 공정은 우선 물질의 희생적인 블럭을 형성한 후 물질의 희생적인 블럭의 끝 부분에서 스페이서들을 형성하는 것을 포함한다. 물질의 희생적인 블럭은, 산출되는 높은 라솔루션 성형구조가 위치하는 곳에서 스페이서들이 형성되는 상황에 놓여진다. 스페이서들이 한 번 형성되면, 물질의 희생적인 블럭은 제거되고, 스페이서들은 성형구조를 형성하기 위해서 남는다. 포토리쏘그라피는 스페이서들을 형성하는데 사용되지 않으므로 스페이서들은 현재의 포토리쏘그라피 라솔루션 한계에 제한받지 않으며, 0.2마이크론과 같거나 그보다 더 작은 크기로 형성될 수 있다.

그러나, 축적가능한 공간 흐름 공정이 갖고 있는 한 가지 문제는, 그것에 의해서 형성되는 성형구조의 형태에 제한이 있다는 것이다. 일반적으로 그러한 성형구조는 하나의 폭만을 가진다. 즉, 연결선과 같은 하나의 서브-포토리쏘그라피 모양이 서브-포토리쏘그라피 라솔루션 폭에서 축적가능한 공간 흐름 공정과 함께 형성된다면, 전체 연결선은 서브-포토리쏘그라피 라솔루션 폭이 된다. 그렇게 되면 연결선은, 더 큰 크기의 구조가 이어질 수 있는 연결선의 더 넓은 부분을 형성하기 위한 추가적인 디포지션과 마스킹 단계 없이는, 더 큰 크기의 구조와 연결될 수 없다.

현재 존재하는 공정 흐름보다 더 단순하고 효율적인 방법으로, 반도체 장치 모양과 같은 성형구조를 형성하는 방법상의 기술에는 한 가지 요구가 있다. 앞선 논의로부터, 그러한 방법은 게다가, 만일 그것이, 재래의 포토리쏘그라피로 성취될 수 있는 것들로부터 크기가 감소된 성형구조를, 축적가능한 공간 흐름과 같은 포토리쏘그라피보다 더욱 유연한 방법으로 형성하는데 사용된다면 이로울 것이라는 것은 명백하다.

효율성 있게 고립된 표면을 선택적으로 식각하는 식각 공정은 흔히 볼 수 있는 것이다. 덜 흔한 것은 도전층을 효율적으로 그리고 유연하게 식각하는 식각 공정이다. 성형구조, 그리고 특히 전기에 전도성이 있는 성형구조를 형성하는데 자주 사용되는 구조 층의 한 형태는 폴리실리콘이다. 폴리실리콘은 통합 회로 형성에 자주 이용되며, 부분적으로는 쉽게 축적된다는 이유에서 선호된다. 폴리실리콘의 축적은 전형적으로 CVD(chemical vapor deposition)을 이용하여 실시되는데, CVD는 전형적으로 시레인(silane), 디시레인(disilane), 또는 디클로로시레인(dichlorosilane)과 같은 전구 물질의 열분해(pyrolitic decomposition)를 포함한 화학반응이 일어나는 축적 챔버에서 실시된다.

폴리실리콘으로부터 성형구조를 형성하기 위해서, 폴리실리콘은 하나의 구조층으로서 축적되고 그 다음 패턴된다. 폴리실리콘 층의 패터닝은 재래적으로 포토리지스트 패터닝과 그에 수반하는 전술한 단점을 포함하는 공정에 의해 실시된다. 폴리실리콘을 패터닝하는데 있어 재래의 공정은 또한, 일반적으로 플라스마 식각 공정이 있는 건식 식각을 포함하는데, 이 또한 후술하는 바와 같은 단점을 가지고 있다.

일반적으로, 성형구조를 형성하기 위하여 식각을 할 때에는, 식각되는 물질 속에 직교로 식각할 수 있는 것이 바람직하다. 그러한 식각 공정은 이방성 식각 공정로 불리운다. 이방성 건식 식각은, 하나 또는 그 이상의 식각 가스들의 흐름속에서 형성된 플라즈마에 의해 생성된 이온에 의해 반도체 웨이퍼가 충돌되는 식각형태이다. 전형적으로, 하나 또는 그 이상의 할로 카본 및/또는 하나 또는 그 이상의 할로겐화 화합물이 식각 가스로서 사용된다. 예를 들면, CF4, CHF3(Freon 23), SF6, NF3, 그리고 다른 기체들이 재래적으로 식각가스로 사용된다. 게다가, O2, Ar, N2, 그리고 기타의 것들이 또한 그 기체의 흐름에 추가된다. 사용되는 특별한 기체 혼합물은, 예를 들면, 식각되는 물질의 특성, 공정의 단계, 이용되는 식각 시스템의 형태, 그리고 식각늘과 이방성의 정도와 같은 바람직한 식각 특징 등에 달려 있다.

건식 식각의 이방성 성질은 바람직하다. 다만, 그것은 다른 형태의 층들에 대하여 높은 선택성을 갖지 못한다는 결점을 가지고 있다. 이러한 결점 때문에 명확한 윤곽을 가진 성형구조를 형성하기 위하여 원하는 깊이에서 정확히 건식 식각 공정을 끝내기는 어렵다. 또한, 하나의 포토레지스트 마스크와 건식 식각 단계에 의해 형성될 수 있는 패턴은, 단일 깊이 그리고 포토레지스트로 형성될 수 있는 패턴들로 제한된다.

발명이 이루고자 하는 기술적 과제

따라서, 복잡한 윤곽을 가진 성형구조를 형성함에는 여러 번의 반복적인 마스킹과 건식 식각 단계가 필요하며, 이는 비용을 증가시킨다. 그러므로, 폴리실리콘 층과 같은 구조층을 이방적으로 패터닝할 수 있으며 그럼에도 불구하고 동시에 낮은 비용으로 모양크기와 윤곽을 많이 조절할 수 있으며, 더 제어가 가능한 식각 공정을 디자인하는 것이 바람직하다.

그러한 개선된 방법은 위와 같은 점 외에도 수많은 부수적 이점을 제공할 것이다. 예를 들면, 통합 회로의 기능을 증가시키기 위해서는, 그것에 의해서 형성될 수 있는 성형구조의 윤곽의 형태에 유연성을 주는 개선된 방법을 사용하면 좋을 것이다. 또한, 위에서 기술한 감소된 비용이라는 요구를 만족시키기 위해, 개선된 방법이 어떤 반도체 장치 제조 공정의 공정 흐름을 단순화한다면 좋을 것이다. 이러한 점들과 기타 통합회로 제조 공정의 필요성을 더 설명하기 위하여, 몇 가지 대표적 재래의 공정 흐름과 그들의 한계가 여기에서 논의될 것이다.

개선을 필요로 하는 공정 흐름의 제 1 예는 아래와 같다. 특히, 물질의 절연층에서 개구를 형성하는 것은 통합회로 제조 공정 동안의 몇 단계에서 필요하다. 전도성 물질은, 이를 밑에 있는 반도체 장치나 반도체 장치의 별개 모양에 전기접촉시키기 위하여 개구안에 축적된다. 일반적으로 활성부분을 노출시키고 있는 절연층을 통하고 있는 개구는 경로 개구라 불리운다. 여기에서 상호연결 고조 개구는 집합적으로, 절연층을 통한 개구라 불리운다. 접촉하는 개구와 경로 개구는 컨택트나 경로를 형성하는 전도성 물질로 채워진다. 폴리실리콘으로 채워진 컨택트 또는 결로 개구는 일반적으로 폴리실리콘 플러그로 불린다. 여기에서 사용되는 바와 같이 상호연결 구조물라는 용어는 컨택트, 경로, 그리고 반도체 웨이퍼의 다른 수준에 위치한 별개 반도체 장치 모양을 전기적으로 연결하는 플러그들과 같은 유도성 구조를 집합적으로 가리키기 위하여 사용될 것이다.

하나의 상호연결 구조 개구 재래의 공정 흐름하에서 절연층을 통한 다른 하나의 그러한 개구를 형성하기 위하여, 절연층 위로 포토레지스트 마스크가 형성되고, 이는 상호연결 구조 개구가 형성되도록 되어 있는 절연층이 위치한 곳의 위쪽 영역을 노출시킨채 남도록 패터닝된다. 그 다음 물질은 식각 공정와 함께 개구를 형성하도록 절연층으로부터 제거되는데, 식각 공정은, 현재의 재래적 공정 흐름에서는 전형적으로 위에서 말한 건식 식각 공정이다.

건식 식각 공정은, 상술한 바와 같이 물질의 다른 타잎에 대하여 선택성을 결여하고 있기 때문에 문제가 있는 것으로 알려져 있다. 높은 밀도로 상호연결 구조물을 형성함에는 높은 가로세비의 상호연결 구조 개구가 필요하다. 여기에서 사용되는 개구의 가로세로비는, 개구의 일차 세로 치수를 개구의 일차 가로 치수로 나눈 비율을 가리킨다. 높은 가로세로비를 가진 상호연결 구조물을 형성하려면, 식각 공정이 밑에 있는 실리콘에까지 식각하는 것과 같이 과도하게 식각하지 않도록 하는 식각 공정의 높은 선택성이 필요하다. 선택성의 조치는 전형적으로 질화 실리콘 싯각 차단층의 사용에 의하여 이루어진다. 그럼에도 불구하고, 가로세로비가 증가함에 따라, 이와 일치하여 재래의 건식 식각 공정을 사용하면서 높은 가로세로비를 갖는 상호연결 구조 개구를 형성하는 것은 점점 더 어려워진다.

재래의 건식 식각 공정은 또한, 전체 웨이퍼 표면을 재래의 건식 식각 공정로 일정하게 식각할 수 없기 때문에, 낮은 균등성을 나타낸다. 건식 식각과 관련된 또 하나의 문제는 매끄럽지 않고 일정하지도 않은 형태를 가진 식각 표면을 건식하기가 어렵다는 점이다. 상호연결 구조물 개구와 같은 식각을 건식식각할 때는, 일정성 문제가 일어나는 바, 즉, 열린 표면이 휴지하고 있는 표면보다 더 빨리 식각되며, 건식 식각 공정의 선택성은 식각되는 모양의 깊이 때문에 변화한다. 그리하여, 일정하지 않은 형태를 가진 표면에서는 높은 선택성을 유지하기가 어렵다.

상호연결 구조 개구 형성에 있어서의 또 하나의 제한 요소는 상호연결 구조물 개구를 식각하기 전의 마스킹 과정에 있는 어려움이다. 마스크는 높은 밀도의 컨택트 개구를 형성할 때 극히 작은 상호연결 구조물를 위한 개구로부터 형성되는데, 이것이 마스크 개구를 반도체 기판상의 적당한 위치에 정렬시키는 것을 어렵게 한다.

상호연결 구조물을 완성시키기 위하여 한번 상호연결 구조 개구가 형성되면, 상호연결 구조 개구는 알루미늄이나 텅스텐 같은 금속으로 채워진다. 그러나, 상호연결 구조 개구를 금속으로 채우는 것은, 알루미늄과 텅스텐은 밑에 있는 활성영역의 에피택셜 실리콘과 함께 고 전도성 인터페이스를 형성하지 않는다는 점에서 부가적인 문제들을 야기한다. 알루미늄은 활성영역 속으로 퍼지며, 활성영역를 쇼트 아웃시키는 전도성 스파이크를 형성할 수 있다. 텅스텐은 화학적으로 반응하며, 상호연결 구조물의 전도율을 감소시키는 활성영역에서 피하는 경향이 있다. 따라서 알루미늄이나 텅스텐을 채우기용 물질로 사용할 경우 선형층의 형성의 정교한 단계들은 전도되어야 한다. 그러나, 선형층의 축적은 컨택트 개구를 좁게 하는 경향이 있어 채우기용 물질을 효과적으로 축적하기 어렵게 하므로, 선형층의 형성 또한 어려움을 제기한다.

상호연결 구조물 개구를 채우는 것과 관련된 문제를 극복하는데 사용되는 상호연결 구조물의 한 유형은 폴리실리콘 플러그이다. 폴리실리콘 플러그를 형성하기 위하여, 우선, 폴리실리콘 플러그에 의해 전기 통신이 제공될 반도체 장치 모양위에 절연층이 형성된다. 반도체 장치 모양는 전형적으로 트랜지스터의 활성영역로 이루어져 있다. MOS 트랜지스터에서, 활성영역은 소오스/드레인 영역이다. 일단 활성영역이 형성되면, 보로포스포실리케잇 글래스(BPSG)와 같은 절연층이 이어서 형성되며, 그 다음 재흐름된다. 다음 컨택트 개구는 포토리쏘그라피와 건식 식각을 이용하여 절연층을 통하여 식각된다. 컨택트 개구는 이어 폴리실리콘으로 채워진다. 폴리실리콘은 전형적으로 전체 절연층 위의 폴리실리콘으로 된 블랭킷층으로서 화학 증착에 의해 축적된다. 그 다음 절연층 위로 펼쳐진 블랭킷 폴리실리콘층 부위는 CMP나 건식 식각와 같은 평탄화 공정을 이용하여 제거된다. 대안으로, 폴리실리콘 플러그 위에 위치한 폴리실리콘 층 부분은, 폴리실리콘을 마스킹하고 폴리실리콘 층의 나머지를 식각으로 떼어냄으로써 제거될 수 있다.

폴리실리콘 플러그는, 그것들이 활성영역의 밑에 있는 결정성의 실리콘에 고 전도성 인터페이스를 형성하며, 이에 따라 전도성의 채우기용 물질로서 금속을 이용하는 상호연결 구조물 형성 공정의 확산문제를 극복하게 된다는 잇점이 있다. 한편, 위에서 논의한 건식 식각 공정은 여전히 폴리실리콘 플러그가 형성되는 상호연결 구조물 개구의 형성에서 처리되어야만 한다는 점에서, 폴리실리콘 플러그는 문제가 있다. 재래의 폴리실리콘 플러그 형성 공정은 복잡하다. 그러한 복잡성은 처리량을 제한하고 에러의 기회를 증가시키며, 그에 따라 통합회로 제조 비용을 늘린다. 따라서, 상호연결 구조물, 그리고 특히 고 가로세로비의 상호연결 개구를 위한 폴리실리콘 플러그가 효율적으로, 그리고 간단히, 그리고 고 가로세비의 상호연결 구조물 개구를 형성하기 위하여 건식 식각을 할 필요 없이 형성될 수 있도록 하는 방법의 필요성 또한 존재한다.

그 외, 통합 회로 제조에 있어 빈번하게 형성되는 성형구조는 캐패시터이다. 캐패시터는 저장 노드, 셀 평판, 그리고 사이에 있는 절연층으로 형성된다. 저장 노드와 셀 평판은 빈번하게 폴리실리콘으로부터 형성된다. 저장 노드와 셀 평판의 폴리실리콘은 일반적으로 따로 저장되며 전통적인 포토리쏘그라피와 건식 식각에 의해 패터닝된다. 사이에 있는 절연층은, 전형적으로 산소에의 노출을 통한 실리콘 이산화물의 증가에 의하여 저장 노드와 셀 평판의 형성 사이에서 형성된다.

통합 회로의 캐패시터를 형성하는데 중요한 고려사항은 표면 영역이다. 저장 노드와 위쪽 캐패시터 셀 평판의 더 큰 표면 영역은 더 큰 용량을 제공한다. 이러한 요구와 균형을 맞추어 요구되는 필요성은, 캐패시터가 반도체 웨이퍼의 실리콘 기판 위의 최소공간을 차지하여야 한다는 것이다. 종래 기술이, 실리콘 기판상에 차지하고 있는 공간을 증가시키지 않고 더 큰 표면 영역을 얻기 위하여 캐패시터 형성에 접근하여 온 방법은, 실리콘 기판위로 어느 정도 떨어진 거리에서 캐패시터를 형성하는 것이다. 그렇게 했을 때, 저장 노드와 셀 평판의 하나는 전형적으로 밀집한 영역에서 다른 것을 둘러싸게 되어, 중첩 캐패시터로 알려져 있는 것을 형성한다.

중첩 캐패시터의 다양한 배열과 그것들을 형성하는데 사용되는 공정상에서 통상 있게 되는 문제는, 그 공정이 일반적으로 복잡하고 길어서 나쁜 조건을 발생시킬 기회를 증가시키고 비용을 증가시킨다는 점이다. 따라서, 간단하고 효율적인 방법으로 큰 표면 영역을 가지면서도 실리콘 기판상의 최소공간을 차지하는 중첩 캐패시터를 형성하는 방법이 필요하다. 중첩 캐패시터 저장 노드와 밑에 있는 상호연결 구조물을 일체로 형성함으로써 더 큰 충전 영역을 얻는 것 또한 바람직하다.

중첩 캐패시터를 형성하는데 따르는 부가적인 문제는, 중첩 캐패시터는 전기 통신에서 캐패시터 저장 노드 밑에 있는 실리콘 기판 위의 활성영역에 연결되어야만 한다는 점이다. 통합 회로의 빠른 속도를 유지하는데 있어, 중첩 캐패시터가 높은 비율의 전하 보유를 유지하는 것은 위험하다. 이는, DRAM(dynamically refreshable random access memory) 통합 회로와 같이 기억 기능을 제공하는 통합 회로를 형성하는데 있어 특히 그러하다. 저장 노드에서 높은 전하 보유를 유지하기 위해서, 중첩 캐패시터는 일반적으로 실리콘 기판으로부터 분리된다.

그러나, 실리콘 기판상의 활성영역로부터 중첩 캐패시터까지 상호연결 구조물를 형성하는 것은 어떤 어려움을 제기한다. 예를 들어, 저장 노드와 밑에 있는 활성영역을 연결하여 전기적으로 상호연결 구조물을 형성하는 재래의 방법은, 전형적으로, 확장된 깊이의 상호연결 구조물 개구의 형성과 상호연결 구조 개구를 (전형적으로) 폴리실리콘으로 채우는 것을 포함하고 있다. 그러나, 그와 같은 공정은 처리하기에 어렵다. 왜냐 하면, 그것들은 모든 공정의 파라메터들을 정확히 제어하기 위하여 좁은 공정 창을 가지고 있기 때문이다. 예를 들면, 1에서 2 이상의 가로세로비를 가진 상호연결 구조 개구는 표준적인 건식 식각 공정을 실시하기에는 어려울 것이다.

개선된 제조 공정을 필요로 하는 다른 반도체 장치는 MOS 트랜지스터이다. 트랜지스터는 현대 통합 회로 제조에 있어 대들보이며, 마이크로프로세서와 같은 통합 회로는 종종 하나의 칩에서 수백만 개의 트랜지스터를 이용한다. 현재, MOS 트랜지스터는 통합 회로 형성에 있어서 가장 흔한 형태의 트랜지스터이다. 통합 회로상의 같은 크기의 공간 안에 더 많은 숫자의 트랜지스터를 형성함으로써, 통합 회로로부터 더 큰 기능이 얻어진다. 그리하여, 반도체 웨이퍼의 실리콘 기판의 표면 영역을 더 조금 차지하는 방법이 필요하다.

또한, 트랜지스터는 낮은 전압 수준에서 작동하는 것이 바람직하다. 낮은 전압수준에서 작용하는 MOS 트랜지스터를 형성하는데 있어서의 한 가지 장애는 MOS 트랜지스터의 채널 길이이다. 채널 길이는 일반적으로 MOS 트랜지스터가 형성되는 게이트 부분의 폭에 의하여 결정된다. 다시 게이트 부분의 폭은, 위에서 논의한 포토리쏘그라피 라솔루션 한계에 의한 재래의 제조 공정에서 제한된다. 또한 게이트 부분의 크기는, 어느 정도까지는 트랜지스터가 차지하는 표면 영역의 양을 결정한다. 따라서, 통합 회로에서 감소된 게이트 길이와 낮은 작동 전압 수준으로 트랜지스터를 제조할 수 있는 개선된 공정이 필요하다.

트랜지스터의 형성은 또한, 수많은 단계를 필요로 하는 복잡한 과정이다. 요구되는 많은 단계는 통합 회로 제조 공정의 비용을 증가시키고, 용량은 감소시키며, 그리고 에러가 일어날 기회를 증가시킨다. 그러므로, 트랜지스터 제조 공정을 간소화하는 방법이 또한 요구된다.

개선된 형성 방법이 요구되는 다른 성형구조는, 종종 실리콘 기판으로 식각되는 쉘로우 트랜치(shallow trench)인데, 이는 트랜치 절연 영역과 트랜치 캐패시터와 같은 반도체 장치를 형성하는데 사용된다. 트랜치 캐패시터의 제조에는, 적당한 체적을 가지면서도 트랜치 캐패시터의 높은 용량을 가능하게 하기 위하여 실리콘 기판의 표면 영역을 많이 차지하지도 않는 방법이 필요하다. 또한 적당한 체적을 가진 트랜치를 형성하는 방법은, 트랜치 절연 영역을 개선시킬 것이고, 전형적으로 트랜치 절연 영역의 어느 한 쪽에서 형성되는 MOS 트랜지스터의 소오스/드레인 여역들간의 혼선 누전을 방지하는 것을 도울 것이다.

통합 회로의 형성에 자주 이용되는 다른 성형구조는 상호연결 라인이다. 상호연결 라인이라는 용어는, 여기에서 사용되는 바와 같이, 반도체 장치나 같은 수준에 위치한 반도체 장치의 모양을 전기적으로 연결하거나, 또는 단일한 수준의 반도체 웨이퍼 상에서 형성된 상호연결 구조물들간에 전기적 연결을 해주는 성형구조를 가리킨다. 반도체 웨이퍼의 맨 위 표면에서 형성될 때, 이 구조는 단순히 표면 상호연결 라인이라 불린다. 반도체 웨이퍼의 표면 아래에서 형성될 때, 그 상호연결 라인은 로컬(local) 상호연결이라 불린다.

통합 회로를 초소형화하는데 있어서 한 가지 고려사항은 통합회로내에서 상호연결 라인을 더욱 조밀하게 패킹하는 것이다. 상호연결 라인을 더욱 조밀하게 패킹하는 한 가지 방법은 더 좁은 폭을 가진 상호연결 라인을 형성하는 것이다. 상호연결 라인 폭은 현재 재래의 포토리쏘그라피 공정의 라솔루션 한도에 의해 제한된다. 종래의 기술 이러한 한계를 극복하기 위해 시도해 온 방법은 전술한 디스포저블 스페이서 흐름 공정에 의한다. 거기에 논의된 것처럼 축적가능한 공간 흐름으로 형성된 전도 라인의 두께는 변화할 수 없다. 따라서, 컨덕팅 스페이서를 더 넓은 상호연결 라인이나 또는 더 큰 모양 사이즈를 가진 장치에 연결할 필요가 있을 때에는, 어떤 여분의 물질도 그와 같이 하는 것을 위하여 제공되지 않는다. 그래서, 좁은 상호연결 라인을 제공하는 더 유연한 공정이 필요하다.

다른 성형구조가 또한 통합 회로를 형성하는데 빈번히 사용되며, 이 또한 성형구조를 좀 더 유연하고 단순하고 효율적인 공정로 형성될 있도록 하는 개선된 식각 공정로부터 이익을 얻을 수 있을 것이다. 그러한 성형구조에 대한 한 가지 적용법은, 소형 센서와 액츄에이터(actuators)에 흔히 사용되는 것처럼 마이크로 머신 파트들을 형성하는데에 있다. 최소의 물질 축적, 마스킹, 그리고 식각 단계를 가진 구조를 형성하기 위하여는 하나의 방법이 필요하다.

통합회로의 형성에 사용되는 그외의 성형구조는 프리-스탠딩 벽인데, 이는 캐패시터 저장 노드와 다른 연결 장치를 형성하는데 사용되는 것이다. 산출되는 프리-스탠딩 벽의 두께와 그 프리-스탠딩 벽이 형성될 수 있는 모양에 유연성을 제공하는 방법이 필요하다. 프리-스탠딩 벽을 효율적으로 형성할 수 있고 서브 포토리쏘그라피 라솔루션을 갖는 방법이 또한 필요하다.

발명의 구성 및 작용

본 발명의 요약

기술상에 존재하는 전술한 문제들을 극복하기 위하여, 그리고 여기서의 바람직한 구현예에서 구현되고 광범위하게 기술된 바와 같은 본 발명에 따라서, 열여덟개의 관련 방법이 제공될 것이다. 각각의 방법에서, 성형구조를 형성하기 위하여 많은 양의 실리콘 함유 물질 중 선택된 부분이 제거될 것이다. 일반적으로, 제거된 부분과 제거되지 않은 부분간의 차이는, 각각의 부분에서의 전자 입자 이식의 정도이며, 그러한 이식 이전의 제거된 부분과 제거되지 않은 부분에서의 각각의 불순물 첨가 농도와는 무관하다.

제 1 방법에서, 반도체 기판에 위치한 많은 양의 실리콘 함유 물질 중 선택된 부분은, 성형 개구를 실리콘 함유물층에 남겨놓는 것과 같은 방법으로 제거된다. 먼저, 실리콘 함유물층-이는 하나의 구현예에서는 폴리실리콘층으로 구성되어 있다-이 반도체 기판 위에 제공된다. 마스크 기판이 실리콘 함유물질층 위에서 형성되는데, 이는 적어도 실리콘 함유물질층의 한 영역을 마스크하고 마스크되지 않은 실리콘 함유물질층의 다른 영역을 떠난다.

선택된 형태의 이온들은 그 다음 실리콘 함유물질층의 마스크되지 않은 부분에 이식된다. 그 이온들은, 후술하는 방법으로 이식된 실리콘 함유물질에 대하여 선택적인 식각 공정에 따라 선택된 형태이다. 마스크 기판의 크기에서 성형 개구의 크기를 감소시키기 위하여, 이온들은 이온들이 마스크 기판의 가장자리 아래에 이식되게 하는 원인이 되는 반도체 기판에 수직인 것 외의 이식 각도로 이식될 수 있다. 반도체 기판의 표면에 수직인 이식 각도는 어떤 실질적인 크기의 변화도 가져오지 못하는 반면에, 이온을 반도체 기판에 수직인 것 이외의 이식각도로 이식하는 것은, 마스크 기판의 크기로부터 성형 개구의 크기에 있어서의 감소를 가져올 것이다.

이온 형태, 이식량, 그리고 이식 에너지와 같은 다른 이온 이식 파라메터들은 또한, 이식되는 부분의 크기와 그에 따라 산출되는 성형 개구를 더 고치기 위하여 적당히 선택될 수 있다. 선택된 마스킹 물질의 이온의 불투과성은 또한 산출되는 성형구조를 조각하는 데에 영향을 준다. 일반적으로 실리콘 함유물질 층에서 이식된 이온의 더욱 선명한 윤곽을 유지하기 위하여 열처리하지 않는 것이 바람직하지만, 열처리에 의한 이온 이식후 이온의 확산은 이온의 폴리실리콘 층으로의 투과를 깊게 하며, 산출된 성형 모양의 윤곽을 맞추어 만드는 것을 돕는다.

게다가, 통일된 방법으로 크기를 변화시키기 위하여, 이온 이식 작업은 각 이식 단계에 따라 변화하는 하나의 이온 이식 파라메터를 가진 여러 개의 이식 단계에서 처리될 수 있다. 예를 들어, 여러 개의 이식 단계들의 각각에 대하여 이식 각도를 변화시킴으로써 실체상 이방성 측벽으로부터 깊은 성형 개구가 형성될 수 있다.

연속된 과정에서 마스크 기판은 실리콘 함유물질로부터 제거되며, 그 다음 실리콘 함유물질은 식각 공정에 의해 식각된다. 그 식각 공정은, 한계농도에 이르기까지 이온으로 이식된 많은 양의 실리콘 함유물질의 부분을 식각하는 식각 공정보다 더 빠른 비율로, 한계농도까지 이온으로 이식되지 않는 많은 양의 실리콘 함유물질의 부분을 식각한다. 그러한 식각 공정은, 이 문건에서, 이식된 실리콘 함유물질에 선택적인 식각 공정라 불린다. 한계농도를 구성하는 정확한 농도는 특정한 식각 공정와 식각 공정 파라메터에 따라서 변화한다. 그럼에도 불구하고, 그러한 식각 공정의 어느 것에 대하여도, 한계농도를 초과하여 이온으로 이식된 실리콘 함유물질은, 이식된 실리콘 함유물질에 선택적인 식각 공정에 의하여 사실상 제거되지 않으며, 그리고 한계농도에 못 미치게 이식된 실리콘 물질은 사실상 제거된다.

이식된 실리콘 함유물질에 선택적인 식각 공정의 한 예는, 테트라메틸 암모늄 하이드록사이드(TMAH) 습식 식각이다. TMAH 습식 식각는, 전형적으로, 반도체 웨이퍼가 그 속에 잠기는 식각용액으로서 관리된다. 바람직하게는, 식각용액은, 이온화하지 않은 물에서 TMAH가 약 1 내지 10의 중량 퍼센트로 구성된다. 더욱 바람직하게는, 식각용액은 이온화하지 않은 물에서 TMAH가 약 2.5의 중량 퍼센트로 구성된다.

TMAH 습식 식각는, 그것이 이온의 한계농도에 이식되는 실리콘 함유물질을 식각하는 것보다 적어도 두 배 빠르게, 이온의 한계농도보다 적게 이식된 실리콘 함유물질을 식각하는 것으로 알려져 있다. 20 내지 1의 식각 비율과 40 내지 1의 식각 비율에서의 차이는 쉽게 달성되며, 60 내지 1까지의 식각 비율에서의 차이는 TMAH 농도와 다른 이온 이식의 선택과 식각 공정 파라메터에 따라 획득될 수 있다.

폴리실리콘에 대하여 TMAH 습식 식각를 실시할 때, 적어도 폴리실리콘에 이식된 이온의 한계 농도는, 실리콘 함유물질 ㎤당 약 1X1015 이온으로부터 실리콘 함유물질 ㎤당 약 1X1022까지가 바람직하다. 더욱 바람직하게는, 한계농도는 실리콘 함유물질 ㎤당 약 1X1018 이온으로부터 실리콘 함유물질 ㎤당 약 1X1019까지가 좋다. 가장 바람직하게는, 한계농도는 실리콘 함유물질 ㎤당 약 1X1019까지가 좋다.

이식된 이온으로 사용하기에는 보론이나 포스포러스와 같은 보통의 불순물 첨가가 적당하며, 그외 다른 보통의 불순물 첨가 이온과 통상적으로 불순물 첨가 이온으로 여겨지는 어떤 이온도 좋다. 예를 들면 이온은, 실리콘 함유물질의 전기적 특성을 전기적으로 활성화시키지 않거나 그렇지 않으면 변경시키는 TMAH 습식 식각와 관련하여 성공적으로 이용될 수 있다. 그러한 이온들의 예는 실리콘 이온과 아르곤 이온이다.

이식된 실리콘 함유물질에 선택적인 식각 공정의 결과, 이온의 한계농도까지 이식되지 않은 폴리실리콘 층의 선택된 부분은 성형 개구를 형성하기 위하여 식각으로 떨어지게 된다. 식각의 지속시간과 같은 식각 공정 파라메터는 또한, 성형 개구를 더 맞추어 고치기 위하여 변화될 수 있다. 성형 개구를 사용하는 한 예에서는, 성형 개구를 칼코제니드 물질로 채움으로써 프로그램가능한 레지스터의 오보닉 셀이 형성된다.

관련된 구현예에서는, 성형 개구를 가진 폴리실리콘 층이, 밑에 있는 층을 패턴화하기 위하여 하드 마스크로 사용된다. 그리하여, 예를 들면, 질화 실리콘층과 같은 실리콘 함유물질 외의 물질의 층이 실리콘 함유물질 층 아래에서 우선 형성되며, 그리고 실리콘 함유물질의 층에서 성형 개구를 만들기 위하여 제 1 방법이 실시된다. 식각 공정은 다음 잘화 실리콘층에서 성형 개구를 형성하기 위하여 성형 개구를 통하여 질화 실리콘층을 식각하도록 처리된다.

그리하여, 간편하고 효율적인 성형 개구의 형성방법이 제공된다. 그 방법은 재래의 포토리쏘그라피 공정에 의해 형성할 수 있는 것보다 더 작은 크기를 가진 성형 개구를 형성하는데 사용될 수 있다. 산출되는 성형 개구의 가능한 윤곽에 대하여 더 큰 유연성이 제공되며, 이에 따라 그에 의해서 형성될 수 있는 반도체 장치의 타잎들을 증가시키며, 그 결과 제 1 방법으로 형성되는 통합회로의 잠재적 기능이 증가된다.

본 발명의 제 2 방법에서는, 제 1 방법의 식각 공정과 반대로, 한계농도까지 이온으로 이식되지 않은 실리콘 함유물질을 식각하는 것보다 실질적으로 빠른 속도로 한계농도에 이를때까지 이온으로 이식된 실리콘 함유물질을 식각하는 식각 공정에 의하여, 반도체 웨이퍼상의 실리콘 함유물질의 층으로부터 성형구조가 형성된다. 제 2 방법은 처음에 반도체 기판상에서 폴리실리콘 층과 같은 폴리실리콘 함유 물질을 제공하도록 구성되어 있다. 그 후, 실리콘 함유물질 층 위로 마스크 기판이 형성된다. 마스크 기판은, 실리콘 함유물질 층의 적어도 한 부분을 덮고 마스크되지 않은 실리콘 함유물질 층의 한 부분을 떠나도록 형성된다.

이어서, 이온이 실리콘 함유물질 층의 마스크되지 않은 부분에 이식된다. 이온은 이식되지 않은 실리콘 함유물질에 선택적인 식각 공정에 따라 골라진 선택형이다. 하나의 구현예에서, 이온은 포스포러스나 보론 이온과 같은 불순물 첨가 이온으로 구성된다. 제 1 방법에서처럼 이온 이식 작업은, 한계농도까지 이식된 물질 층의, 그리고 그에 따라 산출되는 성형구조 층의 부분의 윤곽을 맞추어 만들기 위하여 선택된 이온 이식 파라메터들로 처리될 수 있다. 이온 이식 작업은 또한, 제 1 방법에서 이미 말한 바와 같이 여러 개의 이식 단계의 각각에 대하여 변화하는 이온 이식 파라메터를 가진 여러 개의 이식 단계에서 처리될 수 있다.

이온 이식 작업이 처리되고 나면, 초기의 식각 공정이 처리되는데, 이는 실리콘 함유물층의 마스크되지 않은 부분의 높이를 부분적으로 감소시키기 위하여, 실질적으로 이방성으로 실리콘 함유물질의 식각한다.

일단 초기의 식각 공정이 처리되면, 실리콘 함유물질의 층은, 한계농도까지 이온으로 이식되지 않은 실리콘 함유물질의 층 부분을 식각하는 것보다 실질적으로 더 빠른 속도로 한계농도까지 이온으로 이식되는 실리콘 함유물질 층의 부분을 식각하는 식각 공정로 식각된다. 그런 식각 공정은 여기에서, 이식되지 않은 실리콘 함유물질에 선택적인 식각 공정로 불린다. 한계농도를 구성하는 이온의 농도는, 사용되고 있는 이식되지 않은 실리콘 함유물질에 선택적인 특정한 식각 공정 및 이러한 공개로부터 기술에서 숙련된 사람들에 의해 쉽게 이해될 방법 내에서의 이온 이식과 식각 파라메터의 선택에 의하여 결정된다.

예를 통하여 주어진 하나의 구현예에서, 이식되지 않은 실리콘 함유물질에 선택적인 식각 공정은 상업적으로 입수가 가능한 하이드러플루오릭산과 같은 산성의 식각을 사용하거나, 또는 질산 식각용액을 사용할 수도 있다. 또한 KOH 식각 화학이 폴리실리콘 층의 카운터 도핑과 함께 이용될 수도 있다.

이식되지 않은 물질에 선택적인 식각 공정의 결과는, 마스크됨으로써 이온의 한계농도보다 낮게 이식된 실리콘 함유물질층 부분의 위치에서 형성된, 직립 성형구조이다. 이온이 반도체 기판의 표면에 수직 이외의 각으로 이식된 구현예에서, 성형구조는, 실리콘 함유물질의 층의 마스크된 부분의 크기로부터 감소된 크기를 갖는다.

높아진 성형구조는 또한, 밑에 있는 층을 식각하기 위한 희생적인 하드 마스크로 사용될 수도 있다. 높아진 성형구조를 희생적인 하드 마스크로 사용할 때에는, 밑에 있는 층은 물질의 축적된 층에 앞서 형성된다. 다음, 높아진 성형구조는 전술한 방법으로 형성되어, 밑에 있는 층을 식각할 때 하드 마스크로 이바지한다. 밑에 있는 층은, 드라아 식각과 같은 식각 공정에 의해 전형적으로 이방성 식각된다. 높아진 성형구조는 밑에 있는 층을 식각한 후에 제거되며, 밑에 있는 층의 부분은 높아진 성형구조와 실질적으로 같은 크기를 갖으며 실질적으로 같은 위치에 남는다. 다시 한 번, 이들 크기들은 재래의 포토리쏘그라피로 할 수 있는 것보다 더 작아질 수 있다.

본 발명의 세 번째 방법은 상호연결 구조물를 형성하는데 사용된다. 세 번째 방법에서, 활성영역와 같은 전하 전도 영역은 반도체 기판상에서 우선 제공된다. 그 다음, 실리콘 함유물질의 층-하나의 구현예는 폴리실리콘 층이다-이 전하 전도 영역에 걸쳐 형성된다. 다음, 실리콘 함유물질 층은, 활성부분에 위치한 실리콘 함유물질 층의 부분이 마스크되도록 패터닝된 마스크 기판으로 마스크된다.

마스크 기판이 적용된 후에, 이온이 실리콘 함유물질 층의 마스크되지 않은 부분으로 이식된다. 이온은, 제 1 방법에서 말한 바와 같이, 이식되지 않은 실리콘 함유물질에 선택적인 식각 공정에 따라 선택된다. 이온 이식 공정 파라메터는 산출되는 상호연결 구조물의 모양 만들기에 따라 변화될 수 있다. 또한, 이온 이식 작업은 전술한 바와 같이 여러 개의 이식 단계에서 처리될 수 있다.

이온 이식 작업이 끝난 후에, 마스크 기판이 제거되며, 실리콘 함유물질의 층은 이식되지 않은 실리콘 함유물질에 선택적인 식각 공정로 식각된다. 결국, 밑에 있는 마스크 기판이었던 실리콘 함유물층 부분은 제거되며, 활성영역의 위에 있는 실리콘 함유 물질층의 부분은 마스크가 되었고 그리하여 이온으로 이식되지 않은 것인데, 이는 남아서 활성영역에 전기적으로 연결된 상호연결 구조물를 형성한다.

본 발명의 방법의 결과, 상호연결 구조물는, 전술한 재래의 방법으로 구성된 상호연결 구조물보다 더 간단하고 효율적인 방법으로 구성된다. 따라서, 통합회로 제조 처리량은 증가하며 통합회로 제조 비용은 감소한다. 또한 전술한 건식 식각 공정의 필요성과 그에 관련된 문제들도 제거된다.

본 발명의 제 4 방법은 중첩 캐패시터 저장 노드를 형성하는데 사용된다. 제 4 방법에서, 초기에 반도체 기판위에 전하 전도 영역이 제공되며, 그 위에서 중첩 캐패시터 저장 노드가 형성된다. 하나의 구현례에서, 전하 통전 영역은 반도체 웨이퍼의 실리콘 기판에서 형성된 활성 부위로 이루어진다. 일단 활성 부위가 제공되면, 활성 부위 위에 실리콘 함유물질 층이 형성된다. 논의될 구현례에서, 실리콘 함유물질 층은 폴리실리콘 층으로 이루어진다.

폴리실리콘 층은 이어서, 마스크되지 않은 활성 부위 위에 위치한 폴리실리콘 층의 부분을 떠나도록 패터닝된 마스크 기판으로 마스크된다. 마스크 기판은 두 개의 에지를 가진 섬상으로 형성되는데, 에지 각각은 활성 부위의 위와 한쪽 사이드에 위치한다.

마스크 기판이 적용되고 패터닝된 후에, 실리콘 함유물질의 스페이서들이, 마스크 기판의 두 개의 에지의 각각에 이웃한 폴리실리콘 층 위에 형성된다. 스페이서들은 재래의 스페이서 형성 공정에 의해 형성되며, 그들의 모양과 높이는, 형성되는 중첩 캐패시터 저장 노드의 필요에 따라 선택된다.

그 후, 이온들은, 실질적으로 전술한 제 1 방법에서 말한 방법에 따라 폴리실리콘층의 마스크되지 않은 부분에 이식된다. 또한, 이온 이식 작업은 상술한 바와 같이 여러 개의 단계들에서 처리될 수 있다.

이온 이식 작업이 끝난 후, 마스크 기판은 제거되고, 폴리실리콘층은, 전술한 제 1 방법에 따라, 이식된 실리콘 함유물질에 선택적인 식각 공정로 식각된다. 이식된 실리콘 함유물질에 선택적인 식각 공정은, 밑에 있는 마스크 기판이었던 폴리실리콘 층의 부분을 제거하며, 마스크되지 않았던 활성영역의 위에 위치한 폴리실리콘 층의 부분이 남아 있게 해 준다. 스페이서도 또한 남아 있으며, 거기로부터 위로 뻗어 중첩 캐패시터 저장 노드를 형성한다.

제 4 방법의 다른 구현예에서, 상호연결 구조물는 중첩 캐패시터 저장 노드의 형성과 함께 형성된다. 그 과정은, 상호연결 구조물가 형성될 위치에서, 스페이서들이 상호연결 구조물가 위치하게 될 폴리실리콘층의 부분 위에 형성되지 않는다는 점을 제외하고는, 오직 하나의 중첩 캐패시터 저장 노드가 형성되는 제 1 구현예의 과정과 실질적으로 동일하다. 이온 이식 공정 파라메터들은 산출되는 상호연결 구조물의 모양 형성에 따라 변화될 수 있다.

제 4 방법은, 더 큰 전하 보유를 위해 더 큰 저장 영역을 제공하는 통합 저장 노드와 캐패시터 베이스를 가진, 중첩 캐패시터 저장 노드를 형성한다. 중첩 캐패시터 저장 노드는 캐패시터 베이스와 동시에 형성될 수 있으며 이에 따라 분리된 상호연결 구조물 형성 단계를 제거할 수 있다. 따라서, 마스킹과 식각 단계들의 수는 감소하며, 이는 다시 처리량을 증가시키고 비용을 감소시키며, 통합회로 제조 공정에서 에러의 기회를 제거한다. 네 번째 방법은 또한, 폴리실리콘 플러그는 중첩 캐패시터 저장 노드의 형성과 동시에 활성영역 위에 형성될 수 있기 때문에, 중첩 캐패시터 저장 노드 형성 공정에 더 큰 유연성을 가져온다.

제 5 방법은 CMOS 공정 플로우에서 상호연결 구조물를 형성하기 위하여 형성된다. 제 5 방법에서, 재래의 CMOS 통합회로 형성 공정은, 트랜지스터 게이트 영역 형성의 지점에까지 행해진다. 그와 같이 함에 있어서, 실리콘 기판은 PMOS 부분과 NMOS 부분으로 형성된다. 적어도 하나의 게이트 영역이 PMOS 부분과 NMOS 부분의 각각에서 형성된다. 절연 스페이서는 또한 NMOS 부분의 게이트 영역 주위에 형성될 수 있다. 다음, PMOS 부분은 제 1 마스크 기판으로 마스크된다.

적당한 타잎의 도펜트 이온들이 그 후 NMOS 부분에 이식되어, 거기에서 적어도 하나의 활성 영역을 만든다. 그 후, 처음의 마스크 기판은 PMOS 부분으로부터 제거되며, 실리콘 함유물질의 층은 PMOS와 NMOS 부분 위에 축적된다. 논의할 구현예에서, 실리콘 함유물층은 폴리실리콘층이다.

일단 축적되면, 폴리실리콘층은 다른 마스크 기판으로 마스크된다. 제 2 마스크 기판은, NMOS 부분의 선택된 활성영역 위에 위치한 폴리실리콘 층의 마스크되지 않은 부분을 떠나도록 패터닝된다.

이어서, 이온들이 폴리실리콘 층의 마스크되지 않은 부분으로 이식된다. 그렇게 함에 있어서, 제 2 마스크 기판은, 이온들이, 마스크 기판의 밑에 있는 폴리실리콘 층의 부분을 이식하고 실질적으로 충돌하는 것을 방해한다. 이온 이식 작업은 실질적으로 전술한 제 1 방법에 따라 처리된다. 그 다음 제 2 마스크 기판은 제거되며, 폴리실리콘층은 이식된 실리콘 함유물질에 선택적인 식각 공정에 의해 식각되어, 밑에 있는 마스크 기판이었던 폴리실리콘 층을 제거한다. NMOS 부분의 선택된 활성 부위 위의 폴리실리콘 층의 마스크되지 않은 부분은 남아서 폴리실리콘 상호연결 구조물를 형성한다.

이온 이식과 식각 공정 파라메터들은 위 제 1 방법의 기술에서 논의된 방법에 따라 적절하게 선택될 수 있다. 다시 한 번, 이온 이식 작업이 실리콘 기판에 수직인 것 이외의 각도에서 처리될 수 있으며, 여러 개의 단계들에서 처리될 수 있다. 마스크 기판의 형태는 변화될 수도 있으며, 이식된 이온들은, 산출되는 상호연결 구조물의 모양을 맞추어 만들기 위하여 열처리에 의해 임의로 확산될 수 있다.

일단 상호연결 구조물가 형성되면, NMOS 부분은 마스크 기판으로 덮히고, 이온들은 PMOS 부분에 이식되어 거기에 적어도 하나의 활성 영역을 형성한다.

그리하여 제 5 방법에서, 상호연결 구조물는, 종래의 기술 방법에서 요구되던 몇 개의 단계들을 제거한 CMOS 공정 플로우에서 형성된다. 또한, NMOS와 PMOS 영역의 소오스/드레인 영역은, 이온 이식이나 식각 공정로부터의 크로스 컨태미네이션이 없이 도핑된다. 마스킹과 식각 작업의 수는 재래의 CMOS 공정 플로우로부터 감소되며, 이에 따라 통합회로 제조 공정의 처리량이 증가하고, 궁극적으로는 형성되는 통합회로의 비용을 감소시킨다. 다섯 번째 방법은 또한 간단하고 효율적이며, 효과적으로 접촉식각과 캐패시터의 형성을 유도한다.

본 발명의 제 6 방법은 프리-스탠딩 벽을 형성하는데 이용된다. 프리-스탠딩 벽은 중첩 캐패시터 저장 노드를 형성하는데 사용하면 적당하다. 제 6 방법에서는, 초기에 실리콘 함유물질 층-논의할 구현예에서는 폴리실리콘 층임-이 반도체 기판 위에 축적된다. 폴리실리콘층은 가급적이면 고유의 폴리실리콘으로부터 형성되는 것이 좋다.

폴리실리콘층을 형성한 후에, 마스크 기판이 폴리실리콘층 위로 가해지며, 이는 마스크 섬을 형성한다. 그 다음 건식 식각 공정은, 폴리실리콘층의 노출된 부분을 이방성으로 제거하는데 이용된다. 건식 식각 공정은, 마스크 기판의 섬의 표면 크기에 상응하는 표면 크기를 가진 폴리실리콘 층으로부터, 폴리실리콘 블록을 형성한다.

건식 식각 공정을 마친 후, 폴리실리콘 블록의 옆으로 뻗어나간 표면들의 하나 또는 그 이상이 그 자리에 남아 있는 마스크 기판의 이온으로 이식된다. 이온 이식 작업 후에, 마스크 기판이 제거되고 이식된 실리콘 함유물질에 선택적인 식각 공정이 실시된다. 폴리실리콘 블록의 모양 및 이식된 폴리실리콘 블록의 옆으로 뻗어나간 표면에 따라서, 여러 가지 다른 모양의 프리-스탠딩 벽들이 형성될 수 있다. 예를 들면, 적당한 모양으로 폴리실리콘 블록을 형성함으로써, 얇고 옆으로 뻗어나간 폴리실리콘 칼럼이 형성될 수 있으며, 이들의 쌍들은 컨테이너 캐패시터를 형성하기에 적합하다. 상대적으로 작은 두께의 열로 특징화되는 얇은 기둥이 또한 만들어질 수 있다.

폴리실리콘 블록 전체의 주위가 이식되면, 연속적으로 뻗어나간 프리-스탠딩 벽들이 형성된다. 만일 폴리실리콘 블록이 원형이라면, 고리모양의 프리-스탠딩 벽이 형성된다. 산출되는 프리-스탠딩 벽의 두께는 이식의 각도와 이식된 이온의 이식 에너지에 의해 결정된다. 따라서, 프리-스탠딩 벽은 서브 포토리쏘그라피 라솔루션 두께 넓이를 가질 수 있다.

제 6 방법의 프리-스탠딩 벽은, 재래의 포토리쏘그라피와 식각 방법으로는 이룰 수 없는 높은 종횡비로 형성될 수 있다. 다양한 모양을 가진 프리-스탠딩 벽을 형성하는 능력은, 통합회로의 형성 공정에 유연성을 더해준다. 게다가, 프리-스탠딩 벽은 최소의 공정 작동만을 가진 효율적인 방법으로 형성되며, 이에 따라 높은 처리량과 통합회로 제조 공정의 낮은 비용을 유지케 한다.

본 발명의 제 7 방법은 제 6 방법과 유사하며, 또한 중첩 캐패시터 저장 노드를 형성하는데 적합한 프리-스탠딩 벽을 형성하는데 이용된다. 제 7 방법은, 제 6 방법에서와 같이 처음에 폴리실리콘을 축적하고, 그 후 폴리실리콘 층 위로 마스크 기판을 적용하고 패터닝하는 것을 포함하고 있다. 그러나 일곱 번째방법에서, 마스크 기판은 또한 폴리실리콘층에서 상응하는 패터닝된 개구를 형성하는 개구로 패터닝된다. 그 다음, 마스크 기판을 가지고 있는 폴리실리콘층에서의 개구의 옆으로 뻗은 표면에 이온을 이식시키기 위하여, 지향성의 이온 이식이 실시된다. 이온 이식 작업은 실질적으로 제 1 방법에서 기술되었던 방법으로 실시되며, 이는 폴리실리콘 층의 개구의 옆으로 뻗은 표면을 이식하기 위하여 반도체 기판의 표면에 수직인 것 이외의 각도로 실시된다. 마스크 기판은 그 후 제거되며, 이식된 실리콘 함유물질에 선택적인 식각 공정이 실질적으로 제 1 방법에서 기술된 방법으로 실시된다. 그 결과 프리-스탠딩 벽이 산출된다.

프리-스탠딩 벽은, 마스크 기판 개구의 모양과 폴리실리콘 층에서 성형 개구의 옆으로 뻗은 표면이 이식되는 정도에 따라, 다양한 배치로 형성될 수 있다. 예를 들면, 원형의 마스크 기판 개구를 형성하고, 폴리실리콘 층에서 개구의 옆으로 뻗은 표면의 전체를 이식함으로써, 중첩 캐패시터 저장 노드나 서라운드 게이트 트랜지스터 게이트 영역을 형성하기에 적합한, 고리모양의 프리-스탠딩 벽이 형성될 수 있다. 그리하여, 일곱 번째 방법의 프리-스탠딩 벽은 제 6 방법과 비슷한 이점을 가지며, 통합회로 제조 공정에 증가된 유연성을 제공한다.

본 발명의 제 8 방법은 서라운드 게이트 MOS 트랜지스터를 형성하는데 이용된다. 제 8 방법에서는, 처음에 프리-스탠딩 벽이 만들어지는데, 이는 가급적이면 제 6 방법 또는 제 7 방법 중의 하나에서 기술되었던 방법으로 하는 것이 바람직하다. 프리-스탠딩 벽은 가급적이면 연속적인 것이 좋고, 챔버를 한정하며, 사각형이나 육각형을 포함한 어떠한 적당한 모양도 될 수 있다. 바람직한 모양은 고리모양이다. 프리-스탠딩 벽은, 게이트 산화층 위 쪽 반도체 기판 위에 형성되며, 그 후 연속적인 절연 스페이서가 프리-스탠딩 벽의 어느 한 사이드에 형성된다. 다음, 프리-스탠딩 벽의 안쪽과 프리-스탠딩 벽의 바깥쪽에서, 불순물이 첨가된 실리콘 기판에 이식된다. 불순물 첨가는, 형성되는 트랜지스터가 N 채널 트랜지스터냐 P 채널 트랜지스터냐에 따라, 각각 N 타잎이나 P 형태 불순물 첨가로 선택된다. 프리-스탠딩 벽 영역의 이식된 안쪽과 바깥쪽은, 서라운드 게이트 트랜지스터의 소오스/드레인 영역을 형성한다.

그렇게 형성된 것이, 프리-스탠딩 벽로부터 형성된 게이트 영역, 게이트 영역의 안쪽에서 형성된 또 하나의 소오스/드레인 영역, 그리고 게이트 영역의 바깥쪽에서 형성된 또 하나의 소오스/드레인 영역을 가진, 서라운드 게이트 트랜지스터이다. MOS 트랜지스터 채널은 게이트 영역 아래에서 퍼져 나가며, 프리-스탠딩 벽의 두께에 의해 결정되는 짧은 채널 길이를 가지고 있다. 프리-스탠딩 벽의 두께는 재래의 포토리쏘그라피 이졸루션 레벨에 의존하지 않기 때문에, MOS 트랜지스터 채널은 이에 따라 상당히 짧을 수 있다. 가급적이면, 채널은 약 0.25 마이크론보다 작은 길이를 갖는 것이 좋다.

또한 제 8 방법에서는 DRAM 메모리 셀이 형성될 수 있다. 그렇게 함에 있어서는, 기술한 바와 같이 서라운드 게이트 트랜지스터가 형성된다. 다음, 서라운드 게이트 트랜지스터 위로 낮은 절연층이 형성된다. 낮은 절연층을 통하여 서라운드 게이트 트랜지스터의 소오스/드레인 영역에 상호연결 구조물 개구가 열린다. 상호연결 구조물 개구는 전도성 물질로 채워져 컨택트를 형성한다. 하나의 컨택트가, 게이트 영역의 안쪽에서 소오스/드레인 영역 아래쪽으로 퍼지면서 구성되며, 또 하나는 게이트 영역의 바깥쪽에서 소오스/드레인 아래쪽으로 퍼지면서 구성된다.

DRAM 메모리 셀을 형성하는 이후의 과정에서는, 낮은 절연층 위에 저장 노드가 형성되어, 게이트 영역의 안쪽에서 소오스/드레인 영역의 아래쪽으로 퍼진 컨택트와 연결된다. 절연층이 저장 노드 위에 형성되며, 위의 캐패시터 평판가 절연층 위에 형성된다. 그 다음, 위의 절연층은 캐패시터 위에 형성되며, 게이트 영역의 바깥쪽에서 소오스/드레인 영역의 아래쪽으로 퍼진 컨택트와 연결된 꼭대기에 디지트 라인이 형성된다.

MOS 서라운드 게이트 트랜지스터는 반도체 기판 상에서 최소의 공간을 차지하며, 이는 종래 기술의 서라운드 게이트 트랜지스터보다 더욱 간단하고 더욱 효율적인 방법으로 형성된다. MOS 서라운드 게이트 트랜지스터는, 짧은 MOS 트랜지스터 채널로 형성될 수 있는데, 이는 약 0.2 마이크론보다 작은 길이가 될 수 있다. MOS 서라운드 게이트 트랜지스터는 DRAM 메모리 셀에 쉽게 짜넣을 수 있는데, 이는 MOS 서라운드 게이트 트랜지스터와 비슷하게, 반도체 기판 상에서 최소의 표면 영역을 차지한다. DRAM 메모리 셀은 또한, MOS 서라운드 게이트 트랜지스터의 중심 위에 있는 캐패시터의 위치 때문에 적은 양의 누전을 나타낸다.

본 발명의 제 9 방법은, 중첩 커피시터 저장 노드로서 사용되기에 적합한, 콘 모양의 프리-스탠딩 벽을 형성하는데 이용된다. 제 9 방법에서, 실리콘 함유물층-기술할 구현예에서는 폴리실리콘층 임-은 처음에 반도체 기판 위에서 축적된다. 기술한 구현예에서 반도체 기판은, 그 위에 형성된 활성 영역의 측면에, 역시 그 위에 형성된 게이트 영역을 가진 실리콘 기판이다. 폴리실리콘층은 가급적 내재적으로 도핑된 폴리 실리콘으로부터 형성되는 것이 좋다. 폴리실리콘층의 축적후에, 폴리실리콘층 위로 절연층이 형성된다.

일단 절연층이 형성되면, 마스크 기판이 축적되고 절연층 위에서 패터닝된다. 마스크 기판은, 원뿔형의 중첩 캐패시터 저장 노드가 형성될 위치에서 개구로 패터닝된다. 그 다음, 건식 식각 공정은 폴리실리콘층의 노출된 영역을 경사방식으로 식각하는데 이용된다. 그에 의해서, 실리콘 기판에서 활성영역쪽으로 점점 가늘어지는 폴리실리콘층에 원뿔형의 개구가 형성된다. 건식 식각 공정이 끝난 후에, 마스크 기판이 제거되고 또 하나의 폴리실리콘층이 제 1 폴리실리콘층 위와 절연층 위로 축적된다. 다음, 제 2 폴리실리콘층은, 제 1 방법에서 기술된 방법에 따라 이온으로 이식되어 이식된 영역을 그 안에 형성시킨다.

제 2 폴리실리콘층과 절연층의 가장 위 부분은 그 후 평탄화에 의해 제거된다. 평탄화 후에는, 이식된 실리콘 함유물질에 선택적인, 전술한 식각 공정이 실시된다. 제 1 방법에서 기술된 것과 실질적으로 똑같은 방법에 따라, 높은 종횡비와 원뿔형의 모양을 가지고 있고, 밑에 있는 활성영역와의 컨택트 영역이 작으며 이에 따라 실리콘 기판위에 최소한의 영역을 차지하는, 프리-스탠딩 벽이 형성된다.

제 9 방법은, 그것이 종래의 기술인 중첩 캐패시터 저장 노드 형성 공정로부터 마스킹과 물질 디포지션 작동을 제거하며, 이에 따라 통합회로 제조 공정의 처리량을 증가시킨다는 점에서 이점이 있다. 그에 따라 통합회로 제조 공정이 간단해지므로, 산출량이 증가하고 비용이 감소한다. 제 9 방법은 또한, 상대적으로 큰 얼라인먼트 공정 윈도우를 가지므로 산출량을 더욱 증가시키고 제조되는 통합회로의 더 초소형화를 용이하게 한다.

본 발명의 제 10 방법은, 상호연결 구조물를 형성하기 위하여 제 2 방법의 이식되지 않은 실리콘 함유물질에 선택적인 식각 공정을 이용한다. 기술할 구현예에서, 실리콘 도전 물질은 폴리실리콘층으로 이루어진다. 폴리실리콘층은 바람직하게는 intrinsic 폴리실리콘으로부터 형성된다. 제 10 방법은, 초기에 반도체 기판 위에 활성 영역과 게이트 구조물을 형성하는 것을 포함한다. 그 다음, 가볍게 도핑되었거나 도핑되지 않은 폴리실리콘층이 게이트 구조물 위에 형성된다.

일단 폴리실리콘층이 형성되면, 마스크 기판이 폴리실리콘층 위로 가해지며 이는 패터닝되어, 폴리 실리콘 플러그에 의해 전기적으로 연결될 곳인 도전 영역 위에 위치한 폴리실리콘층의 일부분을 덮는다. 기술한 구현예에서, 도전 영역은 활성 영역이다. 제거될 폴리실리콘층의 일부분은 노출된 채 남는다. 마스크 기판을 패터닝한 후에, 마스크 기판에서 개구를 통하여 이방성 식각 공정을 실시한다. 이방성 식각 공정은, 마스크 기판에 의해 덮히지 않은 폴리실리콘층 부분의 높이를 부분적으로 감소시킨다. 폴리실리콘층의 노출된 부분은 결과적으로 그들 본래의 높이보다 작게 감소된다.

이어, 실질적으로 제 2 방법에서 기술된 방법에 의해 이온 이식 작업 실시된다. 이온 이식 공정에 의해 이식되는 이온의 바람직한 형태는 비소 이온이다. 식각 공정은, 위 제 2 방법에서 기술된 바와 같이 이식되지 않은 실리콘 함유물질에 선택적인 이식이 된 후에 실시된다. 다시 한번 더, 이식된 폴리실리콘층의 부분의 윤곽을 맞추어 만들기 위하여, 이온 이식 작업과 선택적 식각 공정의 파라메터들이 적절히 선택될 수 있다. 그에 따라, 전술한 종래기술의 방법보다 더욱 효율적이고 간편한 방법으로 형성된 폴리실리콘 플러그와 같이, 상호연결 구조물이 형성된다.

본 발명의 제 11 방법은, 상호연결 구조물를 형성하기 위하여 높이 감소 작업은 물론 제 1 방법의 이식되지 않은 실리콘 함유물질에 선택적인 식각 공정을 이용한다. 제 11 방법에서, 다수의 고양된 절연 표면이 처음에 반도체 기판 위에 제공된다. 기술할 구현예에서, 고양된 절연 표면들은 여러 개의 게이트 영역으로 이루어진다. 질화 실리콘 캡(cap)들은 바람직하게는 여러 개의 게이트 영역의 꼭대기에서 형성된다. 또한, 적어도 한 개의 전하 도전 영역-바람직하게는 활성 영역-이, 그 바닥에서 게이트 영역 사이에 제공된다. 다음, 활성 영역의 위와, 활성영역의 위나 게이트 영역들 사이에 위치함으로써 사이에 낀 열린 영역을 채우는 게이트의 영역 위에, 폴리실리콘층이 형성된다.

제 11 방법의 이어지는 과정에서, 바람직하게는 평탄화 공정와 함께, 폴리실리콘 층의 높이는 게이트 영역의 꼭대기 수준까지 감소된다. 평탄화 공정은, 더욱 바람직하게는, 게이트 영역 위에 형성되는 질화 실리콘 캡 위에서 멈추는 CMP(chemical mechanical planarization)으로 이루어진다.

이어지는 과정에서, 마스크 기판은 폴리실리콘층과 게이트 영역 위에서 형성되며, 상호연결 구조물가 형성될 활성영역의 위에 있는 폴리실리콘층 부분 위의 개구로 패터닝된다. 마스크 기판에 있는 개구도 또한 게이트 영역의 꼭대기를 약간 오버랩한다. 그에 따라, 마스크 기판의 약간의 미정렬은 결함 있는 상태를 초래하지 않는다는 점에서, 마스크 기판의 개구는 자동 얼라인된다.

그 다음, 제 1 방법에서 논의된 것처럼, 이식된 실리콘 함유물질에 선택적인 식각 공정에 따라 선택된 타잎의 이온들은 활성영역 위에 있는 폴리실리콘층의 선택된 단편 속으로 이식된다. 질화물 스페이서들은 이온들이 게이트 영역에 이식되는 것을 방지하며, 이에 따라 자동 정렬을 돕는다.

그 다음, 마스크 기판이 제거되며, 이식된 실리콘 함유물질에 선택적인 식각 공정이 실질적으로 위 제 1 방법에서 기술된 방법으로 실시된다. 이식된 실리콘 함유물질에 선택적인 식각 공정은, 이온으로 이식된 활성영역 위에 있는 선택된 단편을 제외하고, 폴리실리콘층을 제거한다. 식각되어 떨어지지 않고 남은 선택 단편은 상호연결 구조물를 형성한다. 논의된 구현예에서, 상호연결 구조물는, 활성 부위로부터 게이트 영역의 꼭대기 수준까지 뻗어 있는, 폴리실리콘 플러그이다.

제 11 방법은, BPSG 축적, 재흐름, 그리고 종래기술의 폴리실리콘 플러그 형성 공정에서의 건식 식각 단계를 제거함으로써, 상호연결 구조물 형성 공정을 간단하게 한다. 간편한 공정은 통합 회로 제조 공정 처리량을 증가시키고 비용을 감소시킨다. 또한, 종래 기술의 건식 식각 공정 및 높은 가로세로비의 상호연결 구조물 개구의 형성과 관련된 문제를 피할 수 있다.

*104본 발명의 제 12 방법은, 본 발명의 이식된 실리콘 함유물질에 선택적인 식각 공정와, 희생적인 상호연결 구조물를 형성하는 질화 실리콘 위에서 멈추는 평탄화 공정을 이용한다. 게다가, 제 12 방법은 그 후 일어나는 자동 정렬 상호연결 구조물의 제거로서 확장된 깊이로 상호연결 구조물 개구를 형성하는 것을 포함한다.

제 12 방법에서는 처음에, 희생적인 상호연결 구조물이, 바람직하게는 제 11 방법에서 기술된 방법에 의하여 형성되며, 이는 확장된 깊이로 상호연결 구조물 개구를 형성하는데 있어서 제거할 수 있는 더미(dummy)로 이용된다. 제 12 방법에서, 얇은 절연층이 반도체 기판 표면 위로 형성된다. 확장된 깊이의 상호연결 구조물 개구를 통한 전기적 접촉이 제공될 전하 전도 영역은, 얇은 절연층 아래이자 복수의 고양된 절연 표면에 중심이 되게 위치한다. 그리하여 사이에 낀 열린 영역이, 복수의 고양된 절연 표면들 사이에서 전하 전도 영역 위에 형성된다.

그 후, 희생적인 상호연결 구조물이, 전하 전도 영역으로부터 고양된 절연 표면의 꼭대기까지 뻗은, 사이에 낀 열린 영역에서 형성된다. 희생적인 상호연결 구조물은 바람직하게는 제 11 방법에서 기술된 방법에 따라 형성된다. 일단 희생적인 상호연결 구조물가 형성되면, 절연물질의 블랭킷층이 상호연결 구조물 위에 형성된다.

논의될 하나의 구현예에서, 반도체 기판은 실리콘 기판이고, 전하 전도 영역은 소오스/드레인 영역이며, 희생적인 상호연결 구조물는 폴리실리콘 플러그이고, 고양된 절연 표면은 게이트 영역이다. 게이트 영역은 바람직하게는 질화 실리콘 캡을 가진 꼭대기에 제공된다. 일단 폴리실리콘 플러그가 소오스/드레인 영역 위에 형성되면, 뻗어 있는 폴리실리콘 플러그 위나 폴리실리콘의 어느 정도 위에서 절연 물질의 블랭킷층이 형성된다.

다음, 폴리실리콘 플러그의 꼭대기에 뻗어 있는 절연물질의 블랭킷층을 통하여 상호연결 구조물 개구가 형성되며, 이에 따라 폴리실리콘 플러그의 꼭대기를 노출시킨다. 그와 같이 하는 하나의 방법에서, 마스크 기판이 가해지고 패터닝되며, 폴리 실리콘에 선택적인 절연물질의 블랭킷층의 물질을 식각하는 식각 공정이 실시된다. 자동 정렬하는 방법으로 폴리실리콘 플러그를 형성하기 위하여, 식각 공정은 바람직하게는 게이트 영역의 꼭대기에서 질화 실리콘에 선택적이다. 상호연결 구조 개구는 폴리실리콘 플러그보다 더 넓게 형성될 수 있으며, 이는 게이트 영역의 꼭대기의 질화 실리콘 캡은 식각 공정이 게이트 영역안으로 이식하는 것을 방지할 것이기 때문이다. 그 결과, 상호연결 구조물 개구의 정렬되지 않을 가능성에 있어 게이트 구조물의 폭의 대략 반의 여유가 주어진다.

그 다음, 폴리실리콘 플러그는, 밑에 있는 소오스/드레인 영역을 노출시키도록 제거된다. 폴리실리콘 플러그는, 바람직하게는 폴리실리콘을 선택적으로 식각하고 절연물질이나 게이트 영역 캡의 물질의 블랭킷층을 식각하지 않는 식각 공정을 이용하여 제거된다. 또한 식각 공정은, 바람직하게는 식각 장애물로서 기능하는 얇은 절연층을 가능하게 하고 밑에 있는 소오스/드레인에 더 식각되는 것을 방지하기 위하여 얇은 절연층의 물질에 선택적이다. 그러한 식각 공정은 TMAH 습식 식각로 이루어진 식각를 이용한다. TMAH 습식 식각는, 절연물질의 블랭킷층과 게이트 영역 꼭대기의 질화 실리콘 캡에 선택적인 폴리실리콘 플러그를 제거한다.

일단 폴리실리콘 플러그가 제거되면, 폴리실리콘 플러그 위치에 확장된 깊이로 자동 정렬 상호연결 구조 개구가 형성되며, 이는 소오스/드레인 영역으로부터 절연물질의 블랭킷층의 꼭대기까지 펼쳐진다. 하나의 구현예에서, 확장된 깊이의 자동 정렬 상호연결 구조물 개구는 알루미늄으로 채워져 알루미늄 컨택트를 형성한다. 확장된 깊이의 자동 정렬 상호연결 구조물는 중첩 캐패시터의 형성에 특히 유용한데, 여기에서 중첩 캐패시터의 베이스는 중첩 캐패시터의 저장 노드에 일체적인 것이 바람직하다. 저장 노드에 일체적인 중첩 캐패시터의 베이스를 형성하는 것은, 종래 기술의 일체적이지 않은 폴리실리콘 플러그로 형성된 중첩 캐패시터에 비하여 높은 셀 캐패시턴스를 제공한다.

본 발명의 제 13 방법은, 제 1 방법의 이식된 실리콘 함유물질에 선택적인 식각 공정을 이용하여 큰 표면 영역을 가지는 중첩 캐패시터 저장 노드를 형성한다. 제 13 방법은 처음에, 평탄화된 하부 절연층을 통하여 반도체 기판 위의 전하 전도 영역에 뻗어나간 상호연결 구조물을 형성하는 것을 포함한다. 상호연결 구조물은 바람직하게는 제 11 방법에서 기술된 방법으로 형성되는데, 여기에서 폴리실리콘 플러그는 활성 영역과 반도체 웨이퍼의 실리콘 기판 위의 한 쌍의 게이트 영역들 사이에 뻗어내려와 형성된다.

일단 폴리실리콘 플러그가 형성되면, 위의 절연층은 폴리실리콘 플러그와 게이트 영역 위로 축적된다. 다음 위의 절연층이 평탄화되며, 게이트 영역의 꼭대기 위에 위치한 질화 실리콘 스페이서의 꼭대기로 뻗어 있는 위 절연층에서 개구가 형성된다. 개구는 질화 실리콘 스페이서와 오버랩되어, 개구가 게이트 영역들 사이에 위치한 폴리실리콘 플러그에 자동 정렬되도록 해 준다. 개구는 또한 폴리실리콘 플러그의 꼭대기를 노출시킨다. 개구는 바람직하게는, 수평한 바닥과 수직하게 뻗어있는 사이드를 가진 원형이다.

개구가 형성된 후에, 낮은 실리콘 함유물층이 개구의 표면 위로 형성된다. 낮은 실리콘 함유물층은, 낮은 실리콘 함유물층을 천천히 식각하는 식각 공정을 일으키는 불순물에 의해 내재적으로 불순물이 첨가되며, 여기에서 식각은 제 1 방법에서 기술한 이식된 실리콘 함유물질에 선택적이다. 다음, 약간 불순물이 첨가되었거나 불순물이 첨가되지 않은 중간의 실리콘 함유물층이, 낮은 폴리실리콘층 위에서 형성된다. 다음, 위 쪽 실리콘 함유물층이 중간의 실리콘 함유물층 위에 형성되고, 낮은 절연층의 불순물 첨가에 유사한 방법으로 불순물이 첨가된다. 낮은, 중간의, 그리고 위 쪽의 폴리실리콘층들 각각은, 바람직하게는 수평으로 뻗은 바닥부분과 수직으로 뻗은 측부분, 바닥부분의 가장자리로부터 위로 뻗은 부분으로 이루어진다. 낮은, 중간의, 그리고 위쪽의 실리콘 함유물층은 각각, 바람직하게는 폴리실리콘으로 구성된다.

이온들은 이어서 중간의 실리콘 함유물층의 바닥부분으로 이식된다. 그렇게 함에 있어서, 이온들은 또한, 어떠한 유해한 영향도 갖지 않는 낮은 실리콘 함유물층과 위쪽 실리콘 함유물층에 이식될 수 있다. 이온 이식 작업의 이온들은 바람직하게는, 기판의 면에 수직인 이식 각도로 그리고 선택된 이식 에너지 범위를 가지고, 이식된다. 선택된 이식 에너지 범위는, 개구의 표면 위로 뻗은 아래쪽과 위쪽의 사이드 부분이, 이식된 이온이 중간의 실리콘 함유물층의 사이드 부분에 충돌하는

것을 막아주도록 선택된다. 또한, 위쪽 실리콘 함유물층의 사이드 부분은, 이식된 이온이, 위쪽 폴리실리콘 층의 사이드 부분 위에 있는, 중간의 실리콘 함유물층의 바닥부분의 바깥쪽 가장자리에 충돌하는 것을 막아준다. 따라서, 오직 중간의 실리콘 함유물층의 바닥부위의 중심부분만이 이온으로 이식된다.

그 다음, 낮은, 중간의, 그리고 위쪽 절연층의 꼭대기 위에서 형성된 위쪽의 실리콘 함유물층의 부분들은, 평탄화와 같은 고 감소공정에 의해 제거된다. 선택적으로, 이식에 의해 충격 받았을지도 모르는 중간층을 제거하기 위하여 오버 폴리쉬(over polish)가 있을 수도 있다. 그 다음, 중간의 폴리실리콘층의 비교적 이식되지 않은 영역을 제거하기 위하여, 이식된 실리콘 함유물질에 선택적인 식각 공정이 실시된다. 이온으로 이식된 중간의 폴리실리콘 층의 바닥 부위의 중심부분은 잔존한 채 있으나, 반면에, 바닥부위의 바깥 가장자리와 이온으로 이식되지 않은 중간의 실리콘 함유물층의 측벽은 식각되어 떨어진다. 그리하여, 측벽 전체와 아래쪽과 위쪽 폴리실리콘층의 바닥부위의 부분은 노출되어, 저장 노드의 표면 영역을 증가시킨다. 그에 따라, 성형구조가 중첩 캐패시터의 저장 노드로서 사용되기에 매우 적당하게 해주는 큰 표면 영역을 가진, 성형구조가 형성된다. 중첩 캐패시터를 완성함에 있어서, 얇은 절연층이 저장 노드 위에 형성되며, 셀 평판이 얇은 절연층위에 형성된다.

간단한 습식 식각로 실시되는 오직 하나의 식각 공정만에 의해 간편하고 효율적인 방법으로 저장 노드가 형성된다. 저장 노드는 큰 표면 영역을 가지고 있으나, 반도체 기판 위에서 최소의 공간을 차지한다.

117본 발명의 제 14 방법은, 제 1 방법의 이식된 실리콘 함유물질에 선택적인 식각 공정을 이용하며, 이온 이식 작업의 한 세트의 이식 파라메터들의 선택에 의해 결정되는 두께를 가지고 있는 프리-스탠딩 벽을 가진, 중첩 캐패시터 저장 노드를 형성한다. 중첩 캐패시터 저장 노드는, 또한, 큰 표면 영역에 대하여 거친 표면으로 형성된다. 제 14 방법은, 처음에, 반도체 기판과 중첩 캐패시터 저장 노드가 연결될 전하 전도 영역을 제공하는 것을 포함한다. 하나의 구현예에서, 반도체 기판은 반도체 웨이퍼의 실리콘 기판으로 이루어지며, 전하 전도 영역은 반도체 기판 위에 위치한 활성 부위로 이루어진다. 한 쌍의 게이트 영역이 실리콘 기판위에서 형성되고, 하나는 활성영역의 양 측에서 형성되는 것이 바람직하다. 그 다음, 절연물질의 층이 게이트 영역의 위와, 저장 노드가 게이트 영역 위로 퍼질 때의 원하는 높이에 상응하는 깊이를 가진 활성영역 위에 형성된다.

일단 형성되면, 그 뒤를 이어 절연층은 평탄화되고, 전하 전도 영역 쪽으로 뻗은 절연층에서 개구가 형성된다. 개구는 바람직하게는 제 13 방법으로, 쌍을 이룬 게이트 영역에 자동 정렬 된다.

폴리실리콘 층이 이어서 개구에 형성된다. 폴리실리콘 층은 바람직하게는 블랭킷 층이며, 이는 오직 부분적으로 개구를 채우는 두께로 축적된다. 폴리실리콘 층의 두께는, 형성될 중첩 캐패시터 저장 노드 측벽의 원하는 두께 및 이식된 실리콘 함유물질에 선택적인 식각 공정에 따라 선택된다.

다음, 제 1 방법의 논의에서 기술된 방법으로 이온 이식 공정이 실시된다. 이온이 폴리실리콘층의 바깥 부분에 이식되며 안 부분에는 이식되지 않는다. 그렇게 하기 위하여, 이온은 바람직하게는 반도체 웨이퍼의 면에 수직인 것 이외의 각도로 이식된다. 또한 이온들은 폴리실리콘층을 원하는 깊이까지 이식하는 이식의 각도에 따라 선택된 이식 에너지로 이식된다. 바람직한 깊이는, 폴리실리콘층으로부터 형성될 중첩 캐패시터 저장 노드의 산출되는 프리-스탠딩 벽의 두께에 상응한다. 이온 이식은, 제 1 방법에서 논의된 바와 같이 이식된 부분의 모양을 맞추어 만들기 위한 단계들 사이에 변화하는 이온 이식 파라메터들을 가진 단계들에서 실시될 수 있다.

개구의 나머지는 그후, 높이 감소 공정의 실시을 준비하여, 포토레지스트 또는 다른 적당한 물질로 채워진다. 포토레지스트 또는 다른 적당한 물질은 개구의 폴리실리콘이 높이 감소 공정에 의해 오염되는 것을 방지한다. 그 다음, 절연층의 꼭대기 위에 뻗은 폴리실리콘층의 부분을 제거하도록 하기 위하여, 높이 감소 공정이 실시된다. 높이 감소 공정은 바람직하게는 평탄화 공정이며 더욱 바람직하게는 CMP 공정이다.

중첩 캐패시터 저장 노드의 표면 영역은, 이 단계나 제 14 방법의 나중 단계에서 폴리실리콘 층을 거칠게 함으로써 증가된다. 그렇게 하기 위하여, 반구형 또는 원통형의 그레인 폴리실리콘은, 개구의 폴리실리콘층 위에서 바람직하게는 CVD 공정에 의하여 축적된다.

이후의 과정에서, 이식된 실리콘 함유물질에 선택적인 식각 공정이 실시되고, 이식되지 않은 폴리실리콘 층의 안쪽 부분을 제거한다. 폴리실리콘 층의 이식된 바깥 부분은 그 자리에 남으며, 개구의 바닥에서를 제외하고는 개구를 물리적으로 접촉하지 않고 개구 주위에 프리-스탠딩 벽을 형성한다. 바깥부분은 개구의 바닥에서는 게이트 영역을 접촉하여 밑에 있는 전하 전도 영역과 전기적 교류 상태에 있을 수 있다. 바람직하게는, 개구는 원형이며, 따라서 프리-스탠딩 벽은 환상이다.

만약 제 14 방법의 이전 단계에서 프리-스탠딩 벽의 안쪽이 거칠게 되지 않았다면, 그것은 이 시점에서 거칠게 될 수 있다. 이제 폴리실리콘 층의 안쪽 면과 바깥쪽 면이 모두 노출되기 때문에, 프리-스탠딩 벽의 안쪽 면과 바깥쪽 면 모두에서 반구형 또는 원통형의 그레인 폴리실리콘이 형성될 수 있다. 이전 단계에서 프리-스탠딩 벽 표면을 거칠게 하는 것은 오로지 안쪽 면만을 거칠게 하는 결과를 가져온다. 따라서, 이 나중 단계에서 거칠게 하는 것이 이전 단계에서 거칠게 하는 것보다 바람직하다.

일단 중첩 캐패시터 저장 노드가 형성되면, 중첩 캐패시터를 완성하기 위하여 재래식 공정 흐름이 이어진다. 요약하면, 중첩 캐패시터의 완성은 저장 노드 위에 절연층을 형성하고, 절연층 위에 폴리실리콘이나 다른 전하 유도 물질의 층을 형성하는 것을 포함한다.

제 14 방법은, 그에 따라 형성된 중첩 캐패시터가 큰 표면 영역을 가지고 있으며, 그럼에도 불구하고 반도체 웨이퍼의 실리콘 기판 위에서 최소의 공간을 사용한다는 점에서 장점이 있다.

본 발명의 제 15 방법은, 다양한 범위의 깊이에서 또는 그렇지 않으면 성형 폴리실리콘 구조물을 형성하는 다른 패턴에서의 많은 이온의 이식과 함께, 제 1 방법의 이식된 실리콘 함유물질에 선택적인 식각 공정을 이용한다. 제 15 방법의 기초적 구현예의 변화에 의하여 형성된 몇 개의 대표적 성형구조의 형성방법이 여기에서 논의된다.

제 15 방법의 기본적 구현예는, 처음에, 많은 실리콘 함유물질을 제공하는 것을 포함한다. 여기에서 논의되는 구현예에서, 실리콘 함유물질의 체적은 폴리실리콘 층으로 이루어진다. 일단 폴리실리콘층이 제공되면, 폴리실리콘층의 제 1 선택된 영역은 제 1 깊이 범위에서 이온으로 이식된다. 다음, 폴리실리콘층의 제 2 선택된 영역은 또한 제 2 깊이 범위에서 이온으로 이식된다. 제 2 깊이 범위는 바람직하게는 낮은 이식 에너지로 이식되며, 제 1 깊이 범위보다 더 조금 깊게 폴리실리콘 층 속으로 퍼진다. 이온 이식 후에, 폴리실리콘층은 이식되지 않은 폴리실리콘을 제거하기 위해 이식된 실리콘 함유물질에 선택적인 식각 공정로 식각된다. 식각 공정은 실질적으로 제 1 방법에서 기술된 바에 따라 실시된다.

제 1와 제 2 선택영역은 남은 채로 있으며 성형구조를 형성한다. 다른 깊이 범위에서 이온으로 이식되었거나 다른 윤곽으로 패턴된 그외의 선택 영역들이, 제 1와 제 2 영역에 더해져서 다양한 형태의 성형구조를 형성할 수 있다.

하나의 구현예에서, 폴리실리콘층의 이식하는 지역에 의하여 프리-스탠딩 브리지가 형성되어, 두 개의 업라이트(uprights)와 그 사이에 뻗어 있는 중간의 크로스 바를 형성한다. 프리-스탠딩 브리지는 다른 높이를 가진 여러 개의 크로스-바로 형성될 수 있다. 여러 개의 크로스-바 프리-스탠딩 브리지는, 분리가능한 퓨즈로서 이용하기에 적합하며 PROM(programmable read only memory device)를 형성하는데 이용될 수도 있다.

하나의 업라이트와 그 업라이트에 일체가 되어 부착된 하나의 크로스 바를 형성함으로써, 소형기구를 형성하는데 이용되기에 적합한 레버가 형성된다. 서로 전기적으로 접촉하지 않는, 오버랩이 된 크로스-바가 또한 형성될 수 있다.

다른 구현예에서, 완전히 (폴리실리콘 블록의) 바닥을 통해 뻗어 일체로 형성된 터널을 가진 폴리실리콘 블록이 형성된다. 폴리실리콘 블록은 건식 식각을 통해 모양이 만들어지고 형성되며, 터널은 남아 있는 폴리실리콘 블록의 부분을 이식하고 그 다음 비교적 이식되지 않은 부분을 식각 떨어짐으로써 형성된다.

다른 구현예에서, 터널은 폴리실리콘층의 표면에서 폴리실리콘층의 표면 아래로 뻗으면서 형성된다. 터널 근처에 위치한 폴리실리콘층의 부분은 산화되고, 금속은 터널 속으로 축적되어, 이미 산화된 폴리실리콘층의 표면 아래로 들어갈 도전 상호연결 라인으로 귀결된다.

제 15 방법은, 효율적인 방법으로 아주 다양한 도전 성형구조를 형성하게 함으로써, 산출되는 통합 회로의 더 큰 기능을 얻게 하게 하는 가능성을 제공한다. 제 15 방법의 성형구조는 최소의 물질 축적, 마스킹, 그리고 식각 작업으로 형성된다. 따라서 성형구조는 효율적으로 형성되어, 최소의 통합 회로 제조 공정 시간을 소비한다.

본 발명의 제 16 방법은, 제 1 방법의 이식된 실리콘 함유물질에 선택적인 식각 공정을 이용하여 반도체 기판에서 병모양의 트랜치를 형성한다. 병모양의 트랜치는, 트랜치 캐패시터를 형성하거나 트랜치 절연 영역을 형성하는데 유용하다.

제 16 방법은, 처음에, 반도체 기판 상의 많은 실리콘 함유물질에서 사실상 이방성 트랜치를 형성하는 것을 포함한다. 기술할 하나의 구현예에서, 실리콘 함유물질의 양은 실리콘 기판이며 실리콘 기판은 반도체 웨이퍼이다. 그리하여, 이 구현예에서, 실리콘 기판이 제공되며 마스크 기판이 실리콘 기판 위에 형성된다. 하나의 구현예에서, 마스크 기판은 포토레지

스트 마스크이며 트랜치의 양 측에서 형성된 게이트 영역에 자동 정렬된다. 그 다음, 이온이 트랜치 속으로 이식된다. 이온은 바람직하게는 실리콘 기판의 표면에 수직인 것 이외의 이식 각도로 이식된다. 이식 각도는, 이온들이 트랜치의 꼭대기를 향하기 보다는 주로 트랜치의 바닥부분을 향하도록 선택된다. 그 결과, 트랜치의 바닥은 트랜치의 꼭대기보다 더 큰 범위까지 이식된다.

다음, 선택된 타잎의 이온으로 이식되지 않은 실리콘 함유물질에 선택적인 식각 공정이, 실질적으로 제 2 방법에서 기술된 방법으로 실시된다. 트랜치의 이식된 부분에서 유래한 물질이 제거되어, 트랜치의 꼭대기 보다는 트랜치의 바닥을 확장시키고 트랜치에게 병모양을 부여한다. 병모양의 트랜치는, 트랜치 캐패시터와 트랜치 절연지역의 형성을 표함하여 다양한 응용에 이용될 수 있다.

트랜치 캐패시터를 형성할 때, 트랜치 안에서 저장 노드가 축적되며, 그 다음, 트랜치 캐패시터를 완성하기 위해 절연층과 위쪽 캐패시터 평판이 따른다. 트랜치 절연 영역을 형성할 때, 병모양의 트랜치는 절연 물질로 채워진다. 절연 물질은, 우선 트랜치 사이드 월에서 실리콘 산화물층을 증대시키고 다음으로 절연물질을 트랜치의 나머지 속으로 축적함으로써 형성될 수 있다.

트랜치 캐패시터는, 재래식으로 모양이 만들어지는 트랜치가 형성될 때보다 더 큰 표면 영역으로 형성된다. 더 큰 표면영역은 실리콘 기판의 추가의 표면 영역을 차지하지 않고 획득된다. 그것은 또한 단순하고 효율적인 공정로 이루어진다. 마찬가지로 트랜치 절연 영역은 큰 체적을 가지고 형성되며, 그 결과 많은 양의 실리콘 기판 표면 영역을 소비함이 없이 큰 절연 능력을 제공한다. 큰 체적은, 반도체 장치 밀도나 소량화에 해를 끼침이 없이, 크로스 토크 누설전류에의 높은 저항성을 제공한다.

본 발명의 제 17 방법은, 제 1 방법의 이식된 실리콘 함유물질에 선택적인 식각 공정을 이용한다. 제 17 방법은, 반도체 기판의 하나 또는 그 이상의 노출된 수평 영역의 각각의 위에 실리콘 함유물질의 한 영역을 형성하며, 반면에 노출된 수직 표면의 어디에도 실리콘 함유물질의 영역을 형성하지 않는다.

제 17 방법은, 처음에, 노출된 수평의 표면과 노출된 수직 표면을 갖는 돌출 구조 위에 위치한 반도체 기판을 제공하는 것을 포함한다. 예를 들면, 돌출구조는 반도체 웨이퍼의 실리콘 기판 위의 게이트 영역이 될 수 있다.

실리콘 함유물질 층은, 노출된 수평 표면 위와 노출된 수직 표면 위로 형성된다. 기술될 하나의 구현예에서, 실리콘 함유물질 층은 폴리실리콘 층이다. 폴리실리콘 층은 바람직하게는 고유의 폴리실리콘이다.

계속되는 과정에서, 이온들은 노출된 수평 표면 위에 위치한 폴리실리콘층의 부분 속으로 이식된다. 이온들은, 제 1 구현예에서 기술된 바와 같이 이식된 폴리실리콘에 선택적인 식각 공정에 일치하여 선택된 형태이다. 이온들은 바람직하게는 노출된 수평 표면에 수직인 이식각도로 이식된다.

수직 각도에서 이온을 이식하는 것은, 노출된 수평 표면 위에 위치한 폴리실리콘층의 부분이 이온으로 이식되도록 하고 노출된 수직 표면 위에 위치한 폴리실리콘층의 부분에는 사실상 이온을 이식시키지 않게 한다.

이어지는 과정에서, 제 1 방법의 논의에서 기술된 이식된 실리콘 함유물질에 선택적인 식각 공정이 실시된다. 그리하여, 노출된 수직 표면 위에 위치하였고 그에 따라 이온으로 이식되지 아니한 폴리실리콘 층의 부분이 식각 어웨이된다. 노출된 수평 표면 위에 위치함으로써 이온으로 이식된 폴리실리콘층의 부분은 남아 있다.

*146제 17 방법의 몇 가지 적용들이 제공된다. 하나의 적용에서, 수직으로 돌출한 모양는 MOS 트랜지스터의 게이트 영역이며, 폴리실리콘 영역은, 펀치-쓰로우 프로텍션을 제공하는 할로(halo) 임플랜트를 위한 임플랜트 마스크로 이용되기 위한 게이트 영역의 수평 표면 위에서 형성된다.

다른 적용에서, 폴리실리콘 영역은 상호연결 라인으로서 사용되기 위한 수평 표면 위에서 형성된다. 상호연결 라인을 형성할 때, 상호연결 라인의 돌출 모양s는 절연 물질로부터 형성될 수 있다. 그 결과, 전기적 통신 상태에 있지 않은 돌출 모양의 사이드와 꼭대기에서 형성된 폴리실리콘 영역은 분리된 상호연결 라인을 형성하는데 이용될 수 있다. 그러한 돌출 모양는 또한 존재하는 상호연결 라인이나 게이트 영역이 될 수도 있을 것이며, 돌출 모양를 돌출 모양의 꼭대기에 위치한 폴리실리콘 영역으로부터 전기적으로 절연시키기 위한 절연층을 그 위에 가질 수도 있을 것이다. 그래서, 돌출 모양 위에 위치한 위치한 폴리실리콘의 영역과 돌출 모양는 각각 분리된 상호연결 라인을 형성할 수 있다.

상호연결 라인이나 그러한 다른 컨닥팅 성형구조를 형성할 때, 폴리실리콘 영역이 일단 수평 표면에서 형성되면 그것의 도전률을 증가시키기 위하여 용해하기 어려운 금속의 규소화합물로 전환될 수 있다. 그렇게 함에 있어서, 티타늄과 같은 용해하기 어려운 금속의 층이 전형적으로 블랭킷층으로서 폴리실리콘 영역 위로 축적된다. 그 후, 폴리실리콘의 노출된 영역이 용해하기 어려운 금속과 반응하도록 열처리가 행해진다. 다음, 반응하지 않은 용해하기 어려운 금속의 부분은, 용해하기 어려운 금속의 규소화합물에 선택적인 용해하기 어려운 금속을 식각하는 적합한 식각 공정에 의해 제거될 수 있다. 용해하기 어려운 금속의 규소화합물은 폴리실리콘의 영역이 위치했었던 위치에서 노출된 수평 표면 위에 남는다.

상호연결 라인과 할로 마스크 임플랜트는 각각 커런트 공정 흐름과 양립가능한 단순하고 효율적인 방법으로 형성된다. 상호연결 라인은 고밀도로 빽빽하게 형성될 수 있으며, 할로 임플랜트 마스크는 정확하게 그리고 매우 소량화된 트랜지스터를 형성하기에 유용한 적절한 사이즈의 개구를 갖도록 형성될 수 있다.

*150본 발명의 제 18 방법은, 제 1 방법의 이식된 실리콘 함유물질에 선택적인 식각 공정을 이용한다. 제 18 방법은, 상호연결 라인을 더 큰 구조에 전기적으로 연결하기 위한 커다란 폭을 가진 영역에 통합되어 연결된, 좁은 상호연결 라인을 형성한다. 좁은 상호연결 라인은, 서브-포토리쏘그라피 라솔루션 폭을 갖도록 형성된다.

제 18 방법은, 처음에, 실리콘 함유물질 층-논의될 구현예에서의 예에서는 반도체 기판 위의 폴리실리콘 층이다-을 제공하는 것을 포함한다. 폴리실리콘 층은 바람직하게는 고유의 폴리실리콘으로 형성된다. 일단 폴리실리콘층이 축적되면, 마스크 기판이 적용되고, 이는 폴리실리콘 층의 선택된 영역이 (개구를 통하여) 이온으로 이식되게 될 개구로 패터닝된다. 선택된 영역은 일단 형성되면 상호연결 라인보다 더 큰 폭의 구조를 가지며, 상호연결 라인을 연결하는데 이용된다.

마스크 기판이 적용된 후에, 제 1 이온 이식 공정이 실시되는데, 여기에서 선택된 영역은, 위 제 1 구현예에서 논의되었던 바와 같이 이식된 실리콘 함유물질에 선택적인 식각 공정에 상응하여 선택된 타잎의 이온으로 이식된다. 다음, 마스크 기판은 제거되고 또 하나의 마스크 기판이 폴리실리콘 층 위로 적용되고 선택된 표면 형태를 갖도록 패터닝되는데, 이것의 바깥쪽 주위는 희망하는 상호연결 라인의 위치와 일치한다. 다음, 폴리실리콘 층을, 이방성으로 식각된 측벽과 선택된 표면 형태의 주변을 갖는 폴리실리콘의 블록으로 환원시키기 위하여, 건식 식각 공정 또는 동등한 물질 제거 공정이 실시된다. 선택된 영역은 바람직하게는 폴리실리콘 블록의 주변에 가깝다.

제 2 마스크 기판이 제자리에 있는 반면, 이온들은 또 하나의 이온 이식 공정에 의하여 폴리실리콘 블록의 하나 또는 그 이상의 옆으로 뻗은 표면들에 이식된다. 이온들은, 제 1 구현예에서 논의된 바와 같이 이식된 실리콘 함유물질에 선택적인 식각 공정와 일치하여 선택되는 형태이다. 제 2 이온 이식 작업의 이온들은, 제 1 이온 이식 작업의 이온과 같은 형태일 수도 있고 다른 형태일 수도 있다. 제 2 이온 이식 공정의 이온들은, 이온들이 폴리실리콘 블록의 옆으로 뻗은 표면에 선택된 깊이까지 이식되도록 선택된 각도와 에너지로 이식된다. 선택된 깊이는 완성된 상호연결 라인의 두께에 상응한다. 이식의 각도는 본질적으로 위 제 1와 여섯 번째 방법에서 논의된 방법에 따라 이루어진다.

이온 이식이 이루어진 후, 실질적으로 제 1 방법의 논의에서 기술된 바에 따라, 이식된 실리콘 함유물질에 선택적인 식각 공정이 실시된다. 결과로, 폴리실리콘의 블록의 이식되지 않은 폴리실리콘이 식각 어웨이되고, 이식된 폴리실리콘은 남게 된다. 그리하여, 선택된 영역이 그러하듯이, 하나 또는 그 이상의 사이드월의 이식된 영역이 남는다. 폴리실리콘 층의 선택된 영역은 컨택트 패드를 형성하며 상호연결 라인과 통합되어 연결된다. 물론, 상호연결 라인에서 하나 이상의 컨택트 패드가 형성될 수 있으며, 하나 이상의 상호연결 라인이 형성될 수 있다.

폴리실리콘의 블록을, 상호연결 라인에서 형성된 브레이크에 의해 분리된 둘 또는 그 이상의 분리된 상호연결 라인으로 나누기 위하여, 폴리실리콘 블록의 전체 주변이 이식될 수 있다. 하나의 구현예에서, 그 브레이크는, 폴리실리콘 블록의 바깥쪽 주변에 가까운 희생적인 스페이서 블록을 이용하여 형성된다. 희생적인 스페이서 블록은 제 2 이온 이식 작업에 앞서 -바람직하게는 폴리실리콘 블록의 패터닝과 형성 동안에- 형성된다. 희생적인 스페이서 블록은 이식된 이온을 흡수하고, 이식된 이온이 폴리실리콘 블록의 사이드월의 조각을 이식하는 것을 막는다. 그 결과, 이식되지 않았던 조각의 위치에서 개구가 형성되어, 산출되는 상호연결 라인 안에서 그 안에 브레이크를 일으킨다. 대안으로, 개구는, 분리된 마스킹과 상호연결 라인이 형성된 후에 행해지는 식각 과정으로 형성될 수도 있었을 것이다.

제 18 방법에 의하여 형성된 상호연결 라인은, 포토리쏘그라피 보다는 이식 각도와 이식 에너지에 의해서 결정된 모양을 가지며, 그 결과, 재래의 포토리쏘그라피 공정에 의해 제공될 수 있는 것보다 더 작은 폭을 가질 수 있다. 열 제 8 방법의 상호연결 라인은 또한, 상호연결 라인을 큰 구조에 연결시키시 위한 상호연결 라인보다 더 큰 폭을 가진 일체의 구조로 형성된다. 그 결과, 상호연결 라인은, 다른 반도체 장치나 반도체 장치의 모양에 쉽게 연결될 수 있는 유연성을 유지하면서도

매우 소량화될 수 있다. 게다가, 더 좁은 상호연결 라인은 게이트 영역으로 이용될 수 있으며, 그렇게 이용될 때 짧은 채널 길이를 갖게 될 것이다. 짧은 채널 길이는 MOS 트랜지스터의 낮은 한계 전압을 가능하게 하여 결국 더 빠른 속도를 가능하게 한다.

본 발명에서 이들의 그리고 그외의 모양들은 다음의 설명과 첨부된 클레임으로부터 더 충분히 분명해지거나, 또는 다음에서 설명하는 본 발명의 실시로부터 터득될 것이다.

선택된 실시예의 상세한 설명

1. 이식된 실리콘 함유물질을 선택적으로 식각하는 공정으로 형성화된 구조물의 형성

첨부된 도1 내지 도9는 본 발명의 제 1 방법을 도시한 도면이다. 제 1 방법에서 반도체 기판상의 실리콘 함유물질의 체적은 식각공정을 위해 패턴화된다. 상기 식각공정은 실리콘 함유물질의 부피내에 개구 모양으로 형성하도록 이식된 실리콘 함유물질을 선택한다. 상기 상호연결 형태의 개구는 하나의 상호연결 구조 개구, 트랜치 또는 실리콘 함유물 부피의 선택한 부분을 제거함으로써 형성되는 다른 모양으로된 구조를 포함할 수 있다. 상기 모양으로된 개구는 일반적으로 전통적인 포토리쏘그라피 기술로 형성할 수 있는 것 보다 작은 면적을 갖도록 형성할 수 있다. 상기 실리콘 함유물질과 다른 재료층의 개구는 또한 실리콘 함유물질과 다른 재료층을 식각하기 위한 하드 마스크와 같이 개구를 사용함으로 인해 형성할 수 있다.

도1은 제 1 방법의 초기 공정을 도시한 것이다. 도1에 구현예에 있어서, 구멍형태의 모양으로된 개구는 폴리실리콘을 포함하는 실시예에서 많은 실리콘 함유물질로 형성한다. 반도체 웨이퍼 기판은 반도체 웨이퍼(10)를 포함하는 실시예로 나타난다. 반도체 웨이퍼(10)는 실리콘 기판이 제공되고, 그 상부에는 폴리실리콘층(14)과 같이 나타낸 많은 실리콘 함유물질을 제공한다. 여기 기술한 것으로부터 명백한 것과 같이 폴리실리콘층(14)은 폴리실리콘 이외의 많은 실리콘 함유물질을 대신 사용한다.

폴

당

보다 작은 폴리실리콘으로 한정한다. 고유의 폴리실리콘으로 형성된 폴리실리콘층은 상세하게 후술하는 바와 같이 첨가된 실리콘 함유물질을 선택적으로 식각하는 공정의 사용을 용이하게 한다. 첨가된 원자의수가 1×리실리콘층(14)은 알려져 있고 적당한 방법으로 축적할 수 있고, 드실란(disilane)과 같이 초기재료로부터 CVD 공법으로 전형적으로 축적할 수 있다. 폴리실리콘층(14)은 바람직하게 고유의 폴리실리콘으로부터 형성한다. 고유의 폴리실리콘은 불순물이 첨가되지 않거나 약간의 불순물이 첨가된 폴리실리콘으로 한정한다. 약간의 불순물이 첨가된 폴리실리콘은 폴리실리콘의

또한 도1에 도시된 제 1 방법의 다음 공정은 폴리실리콘층(14) 상부에 마스크 기판을 형성하고 패턴화하는 것을 포함한다. 상기 실시예에서 상기 마스크 기판은 포토레지스트 마스크(16)를 포함한다. 상기 마스크 기판은 이온들을 이식시키기 위해 이식이 불가능한 패턴 가능한 재료를 대신 포함할 수 있다. 적당한 대용물은 실리콘의 질화물 또는 산화물과 포토센시티브 폴리이미드로부터 형성된 패턴화된 층을 포함한다. 포토 마스크(16)는 형성되어 있는 개구의 원하는 수평 분할에 접근된 폴리실리콘층(14)의 선택된 영역을 덮거나 마스크하는 것과 같은 방법으로 적용된다. 원하는 상기 영역 또는 폴리실리콘층의 영역을 남기기 위해 왼쪽은 마스크하지 않는다.

도2는 제 1 방법의 다음 공정을 도시한 것이다. 도2에서 보면, 일단 폴리실콘층(14)은 포토레지스트 마스크(16)에 의해 덮여 있고, 이온들(20)은 폴리실리콘층(14)의 마스크되지 않은 영역에 이식된다. 한 실시예에서 이온들(20)은 반도체 웨이퍼(10)의 수평면에 수직하게 이식시킨다. 상기 이온이식 수직각은 포토레지스트 마스크(16) 하부에 위치한 폴리실리콘 부분에 이방성 이식의 결과이다. 그렇지만 실시예에서 포토레지스트 마스크(16)의 넓이로부터 최종적인 모양으로된 개구의 넓이를 감소시키는 원인이 되며, 이온들(20)은 반도체 웨이퍼의 수평면에 수직한 각과 다른 각으로 이식되고, 포토레지스트 마스크(16)의 에지 하부를 이온들(20)이 파고드는 원인이 된다. 이식 작업으로 인해 이식된 이온들(20)은 후술하는 것으로 부터 이해할 수 있는 방법으로 이식된 실리콘 함유물질을 선택적으로 식각하는 공정에 따라 선택할 수 있다.

상기 이온 이식 작업은 정량 이식, 마스크 기판의 형태, 이식 에너지, 이온이식 형태 그리고 이식각을 포함하는 일정한 이온이식 파라메터를 갖도록 실시된다. 상기 이온이식 파라메터들은 많은 부분을 위해 전통적인 이온이식 공정에 따라 결정된다. 그럼에도 불구하고, 상기 이온 이식 작업은 또한 형성되는 개구의 모양을 재단하기 위해 사용된다. 따라서, 상기 이

온 이식 파라메터들은 폴리실리콘층(14)의 마스크되지 않은 부분에 이온들을 이식시킬 뿐만아니라 이온들이 이식하지 않은 위치에 형성된 상대적으로 이식되지 않은 영역(30)을 재단하기 위해 사용되는 방법을 선택하게 한다. 상기 최종적인 개구의 모양은 이식되지 않은 영역(30)의 위치에 형성되고, 대체로 이식되지 않은 영역(30)과 같은 모양으로 된다.

상대적으로 이식되지 않은 영역(30)의 모양을 재단하기 위한 이온이식 파라메터의 적절한 선택은 전통적인 파라메터들로부터 다양한 이온 이식 파라메터들 또는 종래 이식 작업으로 사용된 그것들로부터 다양한 이온이식 파라메터들을 포함할 수 있다. 상시 실시예에서, 이식되지 않은 영역(30)의 모양은 포토레지스트 마스크(16)의 에지 하부에 이온들이 주입되는 각으로 이온들을 이식시켜 재단하고 그것으로 인해 포토레지스트 마스크(16)의 그것들 보다 작은 넓이의 상대적으로 이식되지 않은 영역(30)이 남게된다. 하부를 잘라내기로 결정된 곳의 넓이와 위치는 포토레지스트 마스크(16)의 넓이로부터 변경된 모양으로된 개구의 넓이로 최종 결정된다.

다음에, 이식 각도의 적절한 선택은 상기 상대적으로 이식하지 않은 부분(30)에 위치한 포토레지스트 마스크(16)의 섬상 넓이로부터 개구 모양의 넓이로 최종적으로 변화되는데 효과가 있다. 실례로, 반도체 웨이퍼(10)에 수직의 이식각을 선택하는 것은 최소로 하부를 자를 수 있고, 포토레지스트 마스크(16)의 섬상으로부터 대체로 한정된 면적의 감소를 가져온다. 수직이 아닌 각도로 이식하면 마스크층(16) 하부와 내부 영역으로 이온들이 상대적으로 다수의 이온들이 이식하게 되고, 다음에 포토레지스트 마스크(16)의 섬상 넓이로부터 개구 넓이가 상대적으로 감소하게 된다.

또한 이식각의 선택은의

을 유지하게 되고, 이온들(20)은 그것들의 모든 측면상의 포토레지스트 마스크(16)의 에지 하부에 일정한 이식깊이로 이식하게 되며, 그리고 다음에 개구의 넓이는 포토레지스트 마스크(16)의 넓이로부터 모든 측면상으로 일정하게 감소한다. 이식각의 궤도(18)를 가지는 이온들(20)이 이식된다. 반도체 웨이퍼의 회전또는 이식된 이온들의 방향 변화로 인해 일정한 이식각 개구의 일정한 모양을 유지하는데 사용할 수 있다. 도2에 도시된 실시예에 있어 폴리실리콘층(14)은 폴리실리콘층(14)의 표면으로부터

개구의 넓이 변화를 위해 이온 이식 파라메터를 선택하는 다음 방법의 예에서처럼, 무거운 이온 적량 이식나 큰 이식에너지를 선택하는 것은 마스크층(16)의 에지 하부에 많은 양이 이식하게 되는 원인이 되고, 다음에 개구의 면적을 최대로 감소시킨다. 재료의 선택은 마스크 에지 하부의 많은 양이 이식하는 작용을 하도록 마스크 기판을 형성하는데 사용된다. 이온들이 이식되는 것을 좀더 방지하기 위한 마스크 기판재의 사용은 마스크 에지 하부의 이식를 감소시키고, 낮은 불이식 마스크 기판을 사용하는 동안은 마스크 에지 하부에 좀더 이식시킨다.

결과로 생긴 개구의 모양을 제어하는 다음 방법은 다중 이식 단계에서 이온 이식 작업을 실시한다. 도3은 이식단계를 세 번으로 가정한 것으로부터 이식이 집중된 모양을 도시한 것으로, 각기 다른 이식각을 갖도록 실현된다. 거기에 나타난 것은 포토레지스트(16) 마스크의 에지 하부에 이온들의 일정한 이식 깊이의 전진라인(22)를 나타낸 것이다.

제 1 이식 집중 모양 커브(24)는 제 1 이식 단계의 결과를 나타낸 것이다. 상기 제 1 이식 단계는 상대적으로 가파른 이식각을 갖고 실시되며, 그리고 그것은 이식 다즈(dose)와 원하는 깊이로 이온들이 이식되도록 선택된 이식 에너지의 범위를 갖고 실시된다. 제 2 이식 집중 모양 커브(26)는 상기 커브(24)의 이식각보다 덜 가파른 이식 각을 갖지고 실시되는 제 2 이식단계를 나타낸 것이다. 상기 제 2 이식 단계는 일정한 다즈(dose)와 제 1 이식단계의 이식 에너지의 범위와 동일하거나 조금 높은 에너지 범위로 실시되고, 다음 제 2 집중 모양 커브(26)는 상기 제 1 이식 집중 모양 커브(24)보다 깊다. 제 3 이식 집중 모양 커브(28)은 상기 모양의 커브(24, 26)의 이식각보다 덜 가파른 이식각을 가지고 실시된 제 3 이식 단계의 결과로 나타난다. 상기 제 3 이식 단계는 바람직하게 동일한 다즈(dose)와 제 1 및 제 2 이식단계의 에너지와 동일하거나 조금 높은 에너지를 가지고 실시되며, 그 결과로서 제 3 이식 집중 커브(28)는 상기 제 1와 제 2 이식 집중 커브(24, 26)보다 폴리실리콘층(14) 내부로 깊이 이식한다.

도3의 도표로부터 쉽게 알수 있는 것처럼, 다중 이식단계는 단일 이식 단계로 제공되지 못하는 일정한 이식 집중 모양에 도달하기 위해 사용된다. 다른 방법으로 변화된 이식각으로 인해, 폴리실리콘층(14)의 상대적으로 이식되지 않은 영역(3)은 또한 다른 선택된 모양으로 재단할 수 있다. 물론, 이식각과 다른 이식 파라메터들은 다중 이식단계에 변화를 줄수 있다. 실례로, 이식에너지와 이식 에너지 범위의 변화는 확장된 다른 깊이의 모양을 가지는 이식된 부분으로 나타난다. 다른 마스크 구조는 다른 이식 단계를 위해 사용할 수 있으며, 마스크 구조의 패턴은 다른 모양을 갖는 이식된 영역으로부터 다른 이식단계를 위해 변화시킬 수 있다.

이온 이식 작업이 실시된 후에, 포토레지스트 마스크(16)는 폴리실리콘층(14)로부터 제거된다. 노출된 이식되지 않은 영역(30)은 상술한 방법에서 이온 이식 파라메터의 선택을 통해 원하는 모양을 가진다. 포토레지스트 마스크(16)을 제거한

후에, 임의의 열처리 동작을 실시할 수 있다. 열처리는 이온들(20)의 보다 부드러운 이식 집중 모양을 위해 이온들(20)을 분산시키며, 그리고 또한 포토레지스트 마스크(16)의 에지 하부에 이식된 이온들(20)의 깊이를 증가시킬 수 있고, 그것으로 인해 개구 모양의 넓이를 좀더 감소 시킬 수 있다. 만약 최종 모양의 개구의 모양이 원하는대로 된다면, 이온들은 종래의 실리콘 함유물질을 선택적으로 식각하는 공정을 실시하기 위해 분산되지는 않는다.

즉, 이온이식 작업을 실시하고 포토레지스트 마스크(16)를 제거하며, 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 실시한다. 상기 실리콘 함유물 체적의 부분 식각 공정은 문턱으로 집중된 이식 이온들을 가지는 실리콘 함유물 체적의 부분 식각 공정보다 빠른 비율로 입구에 집중 이식된 이온들 보다 작다. 이온들이 집중된 문턱하부에 이식된 실리콘 함유물은 이식된 실리콘 함유물질을 선택적으로 식각하는 공정으로 인해 대체적으로 제거되지 않고, 집중된 문턱보다 작은 실리콘 함유물은 대체로 제거된다.

결과적으로, 한계농도 상부에 이온들(20)을 가지고 상대적으로 이식되지 않은 영역(3)은 한계농도 상 또는 위에 이온들이 이식된 폴리실리콘층(14)의 잔여물 보다 빠른 비율로 식각된다. 물론, 만약 폴리실리콘층(14)과 다른 재료층을 사용한다면 식각공정은 한계농도에 이르기까지 이온들이 이식된 명확한 형태의 부분 식각공정보다 빠른 비율로 한계농도에 이를 때까지 이온들이 이식되지 않은 명확한 형태의 부분 식각을 위해 대응되게 사용한다.

이식된 실리콘 함유물질을 선택적으로 식각하는 공정의 한 예는 테트라메틸 암모늄 수산화물(TMAH) 습식각방법을 포함한다. 상기 TMAH 습식각은 바람직하게 반도체 웨이퍼를 담그는 식각용액과 같이 운영된다.

상기 THMAH 습식식각 용액의 우선 집중은 이온이 제거된 물용액과 높은 것으로 TMAH의 중량 퍼센트 약 0.1로부터 포함된다. 좀더 바람직한 용액으로 TMAH의 중량 퍼센트 약 1부터 약 10까지에 집중되고, 그리고 가장 바람직한 용액으로 TMAH의 중량 퍼센트 약 2.5는 TMAH의 습식식각 용액과 같이 사용될 수 있다. 상기 TMAH 습식식각은 바람직하게 약 5℃ 부터 약 50℃ 범위의 온도에서 실시되고, 좀더 바람직하게는 약 20℃ 부터 약 30℃의 범위이다. 좀더 바람직하게, 상기 TMAH 습식식각은 약 30℃에서 실시된다.

실리콘 함유물 체적의 이식된 부분은 바람직하게 실리콘 함유물질의 약 1x1015이온/㎤로부터 약 1x1022이온/㎤의 범위내에서 한계농도를 갖도록 이식된다. 좀더 바람직하게, 한계농도는 실리콘 함유물의 약 1x1018이온/㎤로부터 실리콘 함유물의 약 1x1019이온/㎤ 범위내이다. 좀더 바람직하게는 한계농도가 실리콘 함유물의 약 1x1019이온/㎤이다. 상대적으로 이식되지 않은 영역(30)은 바람직하게는 이온들이 대체적으로 이식되 않은 것이다.

도5는 TMAH 습식식각을 위한 이식된 이온 집중과 식각비율의 관계를 도시한 것으로, 이식된 폴리실리콘의 대표적인 식각률은 옹그스트롱/이온 이식집중에 관련된 시간으로 주어지고, 이온/㎤오 주어진다. 도5에 도시된 실리콘 함유물의 1x1019이온/㎤의 집중 주위에 본 발명의 습식식각을 사용하여 식각률을 낙하시키고, 실리콘 함유물질의 1x1019이온/㎤ 주변에 도달된 굴곡지점까지 낙하를 유지한다.

따라서, 일반적인 이식와 식각 파라메터들에 의해 상기 한계농도는 실리콘 함유물의 5x1019이온/㎤과 5x1018이온/㎤ 사이에 있다. 물론 이식된 부분은 실리콘 함유물질의 5x1019이온/㎤ 을 초과하는 이온들을 갖도록 이식시킬 수 있디만 상기 초과된 이온들은 실리콘 함유물질의 선택적인 이식부분이 대체로 증가된 것을 발견하지 못한다.

상기 TMAH 습식식각을 실시할때, 알려진 폴리실리콘층(14)의 전기적 특성이 변화된 전통적인 첨가 이온은 이온 이식 작업에 유용하게 사용할 수 있다. 주목하게되는 만족할만한 결과의 바람직한 첨가 이온들은 인 함유물이다. 비소와 붕소 또한 만족할 만한 첨가 이온들을 예견할 수 있다. 바람직한 주기율표에 따라 3A족과 5A족을 포함하는 다른 이온들도 선택할 수 있다. 실리콘 이온 또한 만족할 만하다.

폴리실리콘층(14)의 특성을 변경하지 않은 변성되지 않는 이온들은 이식할 수 있다. 실례로 변성되지 않은 이온들의 이식는 유용하며, 실리콘 함유물질 또는 실리콘 함유물질에 인접한 다른 물질은 확실한 전기적 특성을 나타내는데 기인하여 명확한 방법으로 불순물을 첨가하고, 그리고 그것은 다른 전기적 특성을 변성시키지 않게 된다. 하나의 예는 CMOS 통합회로의 구조이다. P-형과 N-형 불순물을 갖는 이식된 폴리실리콘층(14)은 N-형과 P-형 활성 영역에 인접한 불순물의 열처리를 포함하는 후속공정 동안 확산의 원인이 된다. 상기 불순물이 첨가된 영역으로 마주보는 형태의 불순물 이온들의 확산은 N-형 또는 P-형 활성 영역의 기능을 변성시킬 수 있다. 이식된 이온들은 또한 하부의 N-형 또는 P-형 활성영역 속으로 이식된 영역을 의도된 대로 초과할 수 있다. 다음에, 예를 들어 이식되는 인은 P-형 영역의 전기적 특성을 변성시킬 수 있고, 이식된 아르곤은 P-형과 N-형 양 영역의 특정한 전기적인 특성을 유지한다. 이와 같은 경우에는, 활성화되지 않은 이온들은 전기적으로 중립인 활성화되지 않는 이온들의 늦은 확산으로 이식될 수 있다.

본 발명의 다음 관점에서, 이온들은 불순물 이온들과 활성화되지 않은 이온들의 조합을 사용하여 다중 이식 단계들로 이식시킬 수 있다. 다음에, 초기 이온이식 작업은 인과 같이 상대적으로 낮은 이식 에너지 범위와 불순물 이온들을 사용하여 얕은 깊이에 이식시키기 위해 상대적으로 낮은 이식 에너지와 상대적으로 얕은 이식각을 가지고 실시한다. 다음에, 깊은 이온 이식 작업은 아르곤과 같이 불활성 이온들을 가지고 실시한다. 따라서, 폴리실리콘층(14)의 영역속에 이식한 이온이 전기적 특성을 변성시키지 않는 하부 재료의 상부에 위치할 때, 활성 영역과 같이 하부재료속에 주사된 어떤 이온들은 재료의 전기적인 특성을 변성시키지 않는다. 또한 오직 불활성 이온들이 상기 재료하부의 접촉을 차단하는 것처럼 불순물 이온들은 상기 재료 하부 재료속으로 확산되는 것을 방지한다.

그것은 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 성공적으로 실시하는데 기인하여 어떤 구체적인 방법으로 폴리실리콘층(14)에 불순물을 주입하기 위해 반드시 필요한 것은 아니므로, 다른 형태의 이온들은 각각 모두를 이식시키거나 원하는 이식 불순물 집중 모양에 도달하기 위해 각기 다른 시간에 할수 있다. 부가적으로, 폴리실리콘층(14)의 다른 부분, 또는 패턴화된 어떤 다른 실리콘 함유물은 다른 형태의 이온들을 가지고 다른 이식 단계에서 고유의 한계농도까지 이식시킬 수 있고, 그리고 이식된 실리콘 함유물질을 선택적으로 식각하는 공정은 폴리실리콘층(14)의 각기 다른 부분에 선택된다.

추가로 특정 불순물을 필요로 하지 않는 것으로, 본 발명의 이식된 실리콘 함유물질을 선택적으로 식각하는 공정은 활성화 또는 열처리 동작을 가지는 이식된 이온들의 확산에 의존하지 않는다. 다음에, 열처리 동작을 실시하는 것은 선택사항이다. 상술한 바와 같이, 열처리 동작, 일반적으로 식힘과 같은 실시, 일반적인 이온들(20)의 측면 확산은 이식 집중 모양을 재정렬하고 다음에 바람직하지 못하게 될수 있다. 이식 집중 모양의 재정렬은 최종적인 개구의 상부 넓이를 제어하여 줄일 수 있다. 냉각하지 않은 이식된 실리콘 함유물의 선택적인 식각 공정의 실시는 날카로운 이온 집중 모양으로 나타나고, 열처리된 이온들의 확산보다 좀더 원하는 대로 된다.

본 발명의 추가적인 관점에서, 실리콘 함유물에 불순물이 첨가된 원위치는 TMAH 습식식각을 사용할 경우 불순물이 첨가되지 않은 실리콘 함유물의 그것보다 낮은 재료 제거률로 제거된다. 그렇지만 실리콘 함유물에 불순물이 첨가된 원위치는 이식되지 않은 실리콘 함유물질과 같이 낮은 재료 제거율로 제거되지 않는다. 오히려, 상기 재료 제거률은 불순물이 첨가되지 않은 실리콘 함유물보다 약 3배의 시간이 작게 걸린다. 따라서, 폴리실리콘층(14)은 이온이식에 이전 이온의 어떤 형태를 가지고 원위치에 불순물을 주입할 수 있고, 그리고 이온 이식의 상술한 바와 같은 방법과 선택 식각은 성공적으로 실행할 수 있다. 만약 폴리실리콘층(14)이 이온이식 이전에 원위치에 불순물이 주입된다면, 그것은 폴리실리콘의 이온수가 약 1x1019이온/㎤보다 작게 원위치에 불순물이 집중된 것이 바람직하다.

물론, 이식된 실리콘 함유물보다 빠른비율로 이식되지 않은 시리콘 함유물질을 제거하는 만족할만한 식각법은 이식된 실리콘 함유물질을 선택적으로 식각하는 공정에 사용할 수 있다. 실례로, 기존적인 해법은 일 예로 적용할 수 있고, 한 예로 칼륨 수산하물(KOH)를 적용할 수 있다.

도6은 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 실시한 결과를 나타낸 것으로, 홀(32)의 형성으로 최종적인 모양의 개구를 보여준다. 도2에 나타낸 포토레지스트 마스크(16)의 에지 하부의 이온들의 이식는 패턴화된 포토레지스트 마스크(16)의 넓이로부터 감소된 넓이를 가지는 홀(30)의 원인이 된다. 이온 이식 파라메터의 적당한 선택을 통해 홀(32)은 전통적인 포토리쏘그라피에 의해 달성하는 것보다 작은 넓이로 형성할 수 있다. 통상의 포토리쏘그라피 해법으로 포토레지스트 마스크(16)의 폭의 실례로, 0.35미크론, 한 실시예로 홀(32)은 약 0.2미크론 또는 그보다 작은 폭으로 형성된다.

도7 내지 도9는 본 발명의 제 1 방법의 다른 실시예를 도시한 것이다. 이하 다른 실시예로 도6에 나타낸 홀(32)을 가지고 패턴화된 폴리실리콘층(14)은 하부층을 식각하기 위해 하드 마스크와 같이 사용된다. 상기 하층, 실시예에서는 실리콘 질화층(34)은 형성된 폴리실리콘층(14)에 먼저 형성된다. 그후에, 대체로 이미 상술한 바와 같이 도7의 구조물에 결과로 이온이식와 식각장소를 선택하고, 홀은 실리콘 질화층(34) 상부에 형성된 것을 나타낸 것이다.

홀(34)이 실리콘 질화층 상부에 형성되면, 실리콘 질화층(34)은 제 2 식각공정으로 식각하고, 폴리실리콘층(14)은 하드 마스크처럼 사용된다. 상기 제 2 식각공정은 폴리실리콘층(14)을 제거하는 것보다 빠르게 질화 실리콘층(34)을 제거하는 식각법을 사용하기 위해 선택한다. 보다 바람직하게, 상기 제 2 식각공정은 하층을 이방성으로 제거한다. 예를 들어 폴리실리콘의 질화물을 식각하는 식각물은 물화수소산(hydrofluoric acid)이다. 이방성 실리콘 질화물과 선택된 폴리실리콘을 식각하는 건식식각공정은 반응적인 이온 식각자로 CHF3를 사용한다.

도8은 제 2 식각공정의 결과를 나타낸 것이다. 홀(36)은 폴리실리콘층의 홀(32)과 같이 대체로 같은 넓이를 가지고 실리콘 질화층(34)에 형성된다. 다음에, 폴리실리콘층(14)과 다른 층들, 또는 실리콘 함유물이 적용된 특정한 층은 또한 전통적인 포토리쏘그라피보다 작은 넓이로 재단할 수 있는 모양의 개구의 기하와 같이 패턴화 할 수 있다. 도8의 구조로 형성한다면, 폴리실리콘층(14)은 실리콘 질화물을 선택하여 폴리실리콘을 식각하는 공정을 가지고 대체로 제거된다.

도9는 하드 마스크를 형성하기 위해 도7 내지 도9의 형성된 모양의 개구들의 한 실시예를 사용하여 적용된 것을 나타낸 것으로, 폴리실리콘층(14)은 제거되었고, 홀(36)내에 물질을 축적하고 패턴화하는 다음공정을 실시한다. 이 실시예에서 홀(36)내에 축적된 물질은 오보닉 칼코제니드(ovonic chalcogenide) 물질을 포함하고, 프로그램 가능한 레지스터로 사용하기 위해 적당한 플러그(38)를 형성한다. 이 실시예는 서브-포토리쏘그라피 해법 넓이를 가지는 홀 내에 프로그램 가능한 레지스터로 형성된 칼코제니드를 필요로 만나게 된다.

다음 적용에서, 홀(36)은 상호연결라인을 형성하기 위해 전도성 물질로 채울 수 있다. 진행중에, 홀(36)은 바람직하게 도9의 페이지 속으로 바람직한 길이 확장으로 형성된 트랜치(trench)를 가진다.상기 트랜치는 일직선일 필요는 없지만, 비선형일 수 있다. 다른 폭의 통합부분은 또한 트랜치와 큰 구조물에 연결된다. 다음에, 전통적인 포토리쏘그라피 해법 한계내의 폭 즉 0.35미크론을 가지는 포토레지스트 마스크의 사용하는 것은 많고 좁은 상호연결선들을 형성할 수 있다. 한 실시예로 상기 상호연결선들은 약 0.2미크론 또는 그 보다 작은 폭을 가지고 형성된다.

높은 모양으로된 구조는 또한 폴리실리콘층(14)의 튀어나온 변성되지 않은 영역 주위에 개구를 형성하는 제 1 방법으로 형성한다. 상기 높은 모양으로된 구조는 높은 모양으로된 구조를 형성하기 위해 사용한 개구의 모양을 재단함에 의해 재단된 모양을 가진다. 다양한 형태의 높은 모양으로된 구조물의 제 1 방법을 적용한 대표물은 이후에 논의하기로 한다.

여기서 기술한 것 처럼, 상기 제 1 방법은 다양한 융통성, 제어 그리고 정밀도를 갖는 모양으로된 개구의 넓이와 모양을 제어하는데 사용된다. 그 결과로, 상기 개구는 가능한 전통적인 포토리쏘그라피보다 작은 넓이로 형성된다. 프로그램 가능한 레지스터의 오보닉 셀의 구성과 가느다란 상호연결라인의 구성과 같이 필요로하는 넓이의 적용은 본 발명에 의해 실제적으로 된다. 상기 제 1 방법은 포토리쏘그라피의 전통적인 대안보다 단순한 모양의 개구를 형성하는데 사용된 공정 다음에 사용된다. 다양한 물질을 축적하는 동작이 필요없고 건식 식각공정이 필요없는 제 1 방법을 간단히 증명할 수 있다. 따라서, 높은 공정처리율과 낮은 공정비용이 제 1 방법에 의해 제안된다.

2. 이식되지 않은 실리콘 함유물질을 선택적으로 식각하는 공정으로 형성된 형상화된 구조물

도10 내지 도19는 본 발명의 제 2 방법을 도시한 것이다. 상기 제 2 방법에서 형상화된 구조물은 이식되지 않은 실리콘 함유물질에서 실리콘 함유물층의 식각부분을 제 1 방법의 선택적 식각 방법에 반대되는 식각공정으로 반도체 기판상에 형성한다.

형상화된 구조물은 전통적인 포토리쏘그라피 공정의 능력 내에서 그것들보다 작은 넓이를 가지는 제 2 방법하에서 형성된다. 실례로 게이트 영역, 플러그 또는 컨택트와 같은 상기 형상화된 구조물은 반도체 장치 형상을 포함할 수 있다.

제 2 방법을 실시하는 하나의 방법에서, 형상화된 구조물은 폴리실리콘으로부터 형성되고, 그리고 반도체 구조물은 반도체 웨이퍼를 포함한다. 따라서, 실리콘 함유물층은 폴리실리콘층을 포함한다. 다음에, 도10에 도시된 것 처럼, 반도체 웨이퍼(40)가 제공되고 폴리실리콘층(44)은 반도체 웨이퍼(40)의 실리콘 기판(42) 상에 형성된다. 폴리실리콘층(44)은 고유의 폴리실리콘으로 형성되고 상술한 제 1 방법에서 논의한 바와 같이 전통적인 방법으로 축적한다.

폴리실리콘층(44)을 형성한 후에, 폴리실리콘층(44)은 도11에 나타낸 바와 같이 포토레지스트 마스크(46)와 같은 마스크 기판으로 마스크한다. 포토레지스트 마스크(46)는 실리콘의 산화물 또는 질화물 또는 이온이식 가능한 어떤 다른 재료의 하드 마스크를 가지고 대용할 수 있다. 포토레지스트 마스크(46)의 하나의 대용물은 포토센스티브 폴리아미드이다. 포토레지스트 마스크(46)이식되지 않은 실리콘 함유물질을 선택적으로 식각하는 공정을 실시한 후에 남기도록 의도된 폴리실리콘의 영역의 커버 또는 영역에 패턴화된다. 남겨지도록 의도되지 않은 부분은 이온 이식에 의해 왼쪽으로 노출된다.

폴리실리콘이 마스크화 될때, 이온이식 작업은 실시된다. 상기 이온이식 작업은 도12의 화살표(48)로 도시된 것처럼, 포토레지스트 마스크(46)로 닫혀있는 폴리실리콘층(44)의 면상에 촛점을 맞춤에 의해 주사된다. 양자택일로, 상기 이온이식 작업은 폴리실리콘 웨이퍼(40)의 전체 상부에 행해질 수 있다. 상기 이온이식 작업에 의해 이식된 이온들(50)은 이식되지 않은 실리콘 함유물의 선택적인 식각방법의 선택에 따라 선택된 형태이다. 이식되지 않은 실리콘 함유물질의 선택적인 식

각 공정과 이식된 이온 형태의 선택은 차후에 상세히 논의하기로 한다. 상기 이온 이식 파라메터들은 대체로 이식되지 않은 부분들보다 폴리실리콘(44)의 이식된 영역을 제거하는 것처럼 제 1 방법에서 논의된 방법, 결과적으로 형상화된 모양을 재단, 결과물의 역전을 통해 바람직하게 선택한다.

상기 이온이식 작업은 도12에 보이는 것 처럼 폴리실리콘층(44)의 표면으로부터 이식각 β로 실시된다. 상기 이식각은 제 1 방법에서 논의된 것처럼 실리콘 웨이퍼(40)의 표면상부에 직각으로 할 수 있다. 양자택일로, 그리고 도12에 도시된 바와 같이 이식각은 포토레지스트 마스크(46)의 바로밑 이온들의 이식결과에 기인하여 실리콘 웨이퍼(40)의 상부 표면에 직각과 다른 각일 수 있다. 포토레지스트 마스크(46)의 바로 밑에 주사된 이온들(5)의 정도는 이식에너지와 이식각에 의해 선택가능하다.

상기 이온이식 작업은 이식된 이온들의 깊이와 집중을 조정하는데 기인하여 다중 단계로 임의로 실시한다. 다중 단계로 실시된 이온이식의 결과는 상기 제 1 방법에서 논의한 접합으로 도3에 도시한 바와 같다. 형상화된 구조물의 구성에서, 이온 이식 작업은 처음부터 끝까지 이식깊이에 일정하게 집중되는 이식 이온들(50)에 기인하여 몇가지 이식 단계와 몇가지 다른 각으로 실시할 수 있다. 상기 이온 이식 작업은 또한 제 1 방법에서 논의한 바와 같이 형상화된 모양의 재단에 기인하여 각각의 단계에 다른 레벨 또는 이식 에너지의 범위 또는 다른 이온 다즈(doses)를 가지고 실시할 수 있다.

이온 이식 작업을 실시한 후에, 대체로 초기 식각 공정에 속하는 이방성 식각 공정은 도13의 폴리실리콘 블럭(52)의 패턴화 하기 위해 폴리실리콘층(44)을 감소시키도록 실시된다. 폴리실리콘 블럭(52)은 포토레지스 마스크(46)과 측면 넓이가 본질적으로 동일하다. 포토레지스 마스크(46) 하부에 이식된 이온들은 이식영역(52a) 하부에 겹쳐져 발생되는 원인이되고 패턴화된 폴리실리콘 영역을 형성한다.

상기 초기 식각 공정은 포토레지스트 마스크(46)에 선택하는 폴리실리콘의 언떤 적당한 화학적 식각으로 실시할 수 있다. 그것은 초기 식각공정이 유지되는 포토레지스트 마스크(46) 패턴에 기인하여 이방성으로 되는 것이 바람직하고, 그것에 의해 상기 결과로 형상화된 모양의 기하를 보다 쉽게 제어한다. 한 실시예에서, 초기 식각공정은 RIE 또는 MRIE와 같은 건식식각 공정을 포함한다.

초기 식각공정을 실시한 후에, 이식되지 않은 실리콘 함유물질을 선택적으로 식각하는 공정을 실시한다. 상기 이식되지 않은 실리콘 함유물질을 선택적으로 식각 하는 공정은 포토레지스트 마스크(46)를 제거한 후에 실시할 수 있고 또는 이식하지 않은 실리콘 함유물의 선택적인 식각 공정은 포토레지스트 마스크(46)를 남겨두고 실시할 수 있다. 포토레지스트 마스크(46) 제거 옵션은 본 발명의 방법에 융통성있게 추가한다. 포토레지스트 마스크(46)는 결과로 형상화된 구조물의 높이를 감소시킨 장소로 포토레지스트 마스크(46) 없이 식각하기 때문에 임계가 아닌 형상화된 구조물의 높이의 위치로 대체로 식각하여 제거한다.

이식된 이온들(50)의 형태는 폴리실리콘층(44)의 상태적으로 이식되지 않은 부분보다 빠르게 식각되는 폴리실리콘층(44)의 이식된 부분에 기인하여 이식되지 않은 실리콘 함유물질을 선택적으로 식각하는 공정에 따라 선택한다. 포토레지스트 마스크(46)을 벗겨내기 전에 이식되지 않은 실리콘 함유물질을 선택하여 선택식각공정을 실시할 때, 그것은 습식식각이 바람직하다. 좀더 바람직하게, 혼합액으로 폴리실리콘을 식각하는 것 같은 산을 근거로한 식각공정은 아세틱산, 물화수소산, 질산을 사용한다.

포토레지스트 마스크(46)를 제거한 후 이식되지 않은 실리콘 함유물질을 선택하여 식각하는 공정을 실시할 때, 상술한 습식식각 공정을 실시하거나 이방성 건식식각 공정을 실시한다. 두가지 식각공정에서 이식된 실리콘 함유물은 이식되지 않은 실리콘 함유물보다 높은 제거율을 가진다.

다음 실시예에서, 이식되지 않은 실리콘 함유물의 선택적인 식각공정은 KOH 식각공정을 사용하고, 실리콘 함유물질은 계수적으로 불순물이 이식된다. KOH 카운터-도프 식각을 사용할때 도12에 나타낸 폴리실리콘층(44)은 붕소와 같은 P-형 불순물을 갖는 초기에 불순물이 첨가되고, 그리고 이온이식 공정은 폴리실리콘층(44)에 카운터-도프하기 위한 인 또는 비소 같은 N-형 도펀트를 사용한다. 상기 이온은 제거하기 위한 실리콘 함유물의 면적에 이식된다. 이온의 한계농도에 도달하는데, 집중은 이식하지 않은 실리콘 함유물질을 선택하여 식각하는 공정의 특정 형태로 인해 결정된다. 상기 특정 이온 이식과 식각 파라메터는 이식된 이온에 집중에 도달하는 것에 의존한다.

형상화된 폴리실리콘 구조물(54)는 도14에 나타낸 바와 같이 식각 공정의 결과이다. 형상화된 폴리실리콘 구조물(54)과 포토레지스트 마스크(46)의 넓이로부터 변경된 형상화된 폴리실리콘 구조물(54)의 넓이를 위해 특별한 등급은 이미 상술한 바와 같이 이온 이식 파라메터 특히, 이식 에너지와 이식각으로 의해 제어할 수 있다. 이 기능 때문에 패턴화된 폴리실리콘 구조물(54)의 넓이의 보다 나은 제어를 얻을 수 있다.

패턴화된 폴리실리콘 구조물(54)은 어떤 증가된 형태로 형성할 수 있고, 횡단면, 예를들면 사각 게이트 영역, 연장된 상호연결라인, 또는 수직으로 확장된 상호연결 구조물을 포함할수 있다. 통상인 포토리쏘그라피 분해능의 한계내의 폭을 가지는 포토레지스트 마스크를 사용함으로 인해, 상호연결라인 또는 게이트 영역과 같은 증가된 형사화 구조물은 포토레지스트 마스크보다 작은 폭을 가지도록 형성할 수 있다. 한 실시예에서, 포토레지스트 마스크(46)는 약 0.35 미크론의 폭을 갖는 섬상이고, 형상화된 폴리실리콘 구조물(54)은 약 0.2 또는 그보다 작은 폭을 가진다.

도15와 도16에 도시된 것은 상기 제 2 방법의 다음 실시예를 도시한 것이다. 이 실시예에서, 하나의 패턴화된 폴리실리콘 구조물(54)은 상술한 바와 같이 형성되고, 폴리실리콘 구조물(54)은 폴리실리콘과 다른 대료로부터 형상화된 구조물을 형성하기 위해 소멸되는 하드 마스크와 같이 적용된다. 진행중에, 이미 제공된 폴리실리콘층(44)과 형상화된 구조물 속에 형성된 재료의 하부층은 형성된다. 상기 설명된 실시예에서, 상기 하층은 도15에 나타낸 바와 같이 실리콘 이산화물층(58)을 포함한다. 폴리실리콘 구조물(54)를 형성한 후에, 실리콘 이산화물층(58)은 도16에 나타낸 바와 같이 하드 마스크와 같은 폴리실리콘 구조물(54)를 이용하여 식각한다. 진행중에, 상기 식각공정은 폴리실리콘의 식각보다 빠른 비율로 실리콘 이산물층(58)을 식각하는데 적용한다. 폴시실리콘 구조물(54)이 서브-포토리쏘그라피 넓이를 갖도록 실행되는 것과 같이, 서브-포토리쏘그라피 넓이를 갖도록 실행하여 도16의 패턴화된 구조물(60)을 형성할 수 있다.

형상화된 폴리실리콘 구조물(54)은 또한 도17 내지 도19의 다른 실시예에서 나타낸 것과 같이 홀을 형성하기 위한 소멸되는 스페이서와 트랜치들 또는 형상화된 개구와 같이 사용할 수 있다. 도17에서 형상화된 폴리실리콘 구조물(54)은 원하는 형상으로된 개구의 넓이를 만들게 되고 그리고 형상화된 개구가 형성되어 있는 실리콘 이산화층(62)와 같이 재료의 블랭키트층을 가지고 그 후에 덮게 된다. 도18에 나타낸 바와 같이, 실리콘 이산화층은 평탄화된다, 하나의 실시예에서, 평탄화 작업은 CMP를 가지고 달성한다. 도18의 구조물은 예를들어 상호연결 구조물과 같이 사용된다.

도19에 나타낸 또 다른 실시예에서, 형성화된 폴리실리콘 구조물(54)은 형상화된 개구를 형성하기 위해 제거된다. 형상화된 개구를 형성하는데 있어, 형상화된 폴리실리콘 구조물(54)은 폴리실리콘 이산화층(62)의 폴리실리콘을 선택적으로 식각하는 공정으로 제거한다. 홀(64)의 형성을 도시한 결과적인 형상화된 개구는 하부 실리콘 기판(42)과 실리콘 이산화층(62)의 표면 사이에 접촉하도록 만드는데 적당하다. 홀(62)는 또한 제 1 방법의 도9의 실시예처럼 프로그램 가능한 레지스터의 오보닉 셀을 형성하기 위해 칼코제니드 재료를 가지고 채울 수 있다.

다음에, 본 발명의 제 2 방법은 전통적인 포토리쏘그라피로 형성하는 것보다 작은 넓이를 가지는 형상화된 구조물을 형성하기 위해 폴리실리콘 또는 다른 재료의 채턴화된 층을 사용한다. 상기 방법은 융통성 있고 능률적이며, 통합회로 제조공정은 물건의 출력을 향상시키고 비용을 감소시키도록 실시할 수 있다.

3. 이식된 실리콘 함유물질을 선택적으로 식각하는 공정으로 폴리실리콘 플러그를 형성

도20 내지 도23은 본 발명의 제 3 방법을 도시한 것이다. 상기 제 3 방법은 상기 제 1 방법에서 상술한 바와 같이 상호연결라인을 형성하기 위해 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 사용한다. 상기 구현예서, 상호연결 구조물은 폴리실리콘 플러그를 포함한다.

도20은 제 3 방법의 한 실시예를 나타낸 것으로, 활성영역은 상호연결 구조물의 사용을 통해 상부 층에 전기적인 통신으로 위치한다. 통합회로를 형성하는 반도체 웨이퍼(70)을 형성하는 것을 나타낸 반도체 구조물은 형성되어 있다. 반도체 웨이퍼(70)에 제공된 것은 실리콘 구조물(72)이다. 실리콘 구조물(72)에 제공된 것은 MOS 트랜지스터의 소오스/드레인 영역을 포함하는 구현예의 다수의 활성영역(74)이다. 활성영역(74)에 인접한 실리콘 구조물(72) 상에 형성된 것은 다수의 게이트 영역(76)이다. 게이트 영역(76)은 게이트 산화층 상에 전기적인 전도성 게이트층을 각가 제공하고 절연 스페이서(78)을 가지고 덮이는 측면과 상부를 가진다.

상기 제 3 방법은 상층 구조의 활성영역과 다른 차지 실시영역을 전기적으로 연결하기 위해 사용된다. 실례로, 한 실시예에서 상기 상호연결 구조물은 경로를 포함하고 차지(charge) 실시영역은 상술한 바와 같이 고유의 폴리실리콘을 포함한다.

도22는 폴리실리콘층(80) 상부에 형성된 마스크 기판을 나타낸 것이다. 상기 마스크 기판은 질화 실리콘 하드 마스크(82)의 형태로 도22에 나타나 있다. 질화 실리콘 하드 마스크(82)는 폴리실리콘층(80)의 제거되는 부분을 덮고, 폴리실리콘층(80)의 상기 부분은 활성영역(74) 상에 위치하며, 상기 폴리실리콘 상호연결 구조는 왼쪽이 노출되도록 형성된다. 양자택일로, 상기 마스크 기판은 또한 산화물, 포토레지스트 또는 이식된 이온들의 방벽과 같은 다른 물질을 포함할 수 있다.

도22는 폴리실리콘층(80)의 마스크되지 않은 부분에 이온들(82)이 이식되는 것을 나타낸 것이다. 이온 이식는 하나의 질화 실리콘 마스크(82)가 있는 곳에서 실시된다. 상기 이온들(82)의 이식는 도22에서 아래로 향한 화살표(84)로 나타낸다. 이온들(84)은 상술한 바와 같이 제 3 방법의 다음 단계에 실시되는 식각공정으로 결합으로 선택된 형태이다. 한 실시예에서, 이온들(84)은 인이온을 포함한다. 상기 이온들(84)의 이식는 폴리실리콘층(80)에 상대적으로 이식하지 않은 부분(80a)과 많이 이식한 부분(80b)을 만든다. 상대적으로 이식하지 않은 부분(80a)과 많이 이식한 부분(80b)은 각각 제거하고 유지되는 폴리실리콘층(80)의 부분에 대응된다.

상기 많이 이식한 부분(80b)의 모양은 제 1 방법에서 상술한 바와 같이 다양한 이식 파라메터들에 의해 재단할 수 있다. 이온 이식는 각각의 이식 단계에서 변환된 이온 이식 파라메터들을 가지고 다중 이식 단계를 실시할 수 있으며, 이미 제 1 방법에서 상술한 바와 같이 불순물 이온과 활성화하지 않은 이온들의 조합을 가지고 실시할 수 있다.

도23은 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 실시한 결과를 나타낸 것이다. 이식된 실리콘 함유물질을 선택적으로 식각하는 공정은 제 1 방법에서 상술한 바와 같이 대체로 제 3 방법하에서 형성된 상호연결라인의 형태를 차후에 재단하기 위해 기술한 것 처럼 변화시킬 수 있는 식각 파라메터를 가지고 실시한다. 이식된 실리콘 함유물질을 선택적으로 식각하는 공정은 결과적으로 상호연결 구조의 형성하고, 폴리실리콘 플러그(86, 88)과 같이 실시예에서 나타낸다. 제 3 방법은 절연층을 생성하고 제거하는 전통적인 단계를 제거한 간단한 방법으로 폴리실리콘 플러그를 형성한다. 절연층을 통해 개구에 상호연결 구조물을 형성하기 일반적으로 실시되는 건식 식각공정 또한 제거한다. 또한 접촉 홀들 속에 폴리실리콘을 축적한 후에 일반적으로 실시하는 CMP 공정을 제거한다. 개량된 것은 제조출력과 비용을 감소시킨다. 부가적으로, 제 3 방법은 상기 상호 구조물이 이온 이식와 식각공정 파라메터의 적절한 선택을 통해 특정 모양을 재단할 수 있는 것 처럼 통합 회로 제조공정을 융통성 있게 추가한다.

4. 이식된 실리콘 함유물질을 선택적으로 식각하는 공정으로 중첩 컨테이너 캐패시터 셀의 형성.

본 발명의 제 4 방법은 제 3 방법의 변형으로, 도24와 도25에 도시되어 있다. 제 4 방법에서, 중첩 캐패시터 저장 노드는 상술한 차지 통전 영역을 형성한다. 제 4 방법의 구현예에서, 폴리실리콘 상호연결 구조물은 또한 중첩 캐패시터 저장노드를 가지고 일치되게 형성한다.

상기 캐패시터 저장노드는 바람직하게 반도체 기판상에 형성한다. 처음에, 그것들은 반도체 기판상에 위치된 다수의 절연 게이트 스택들 상에 위치한 전기적으로 통전되는 실리콘 함유물의 체적을 형성한다. 다수의 게이트 스택들내의 각 쌍의 절연 게이트 스택들에 인접하게 또는 사이에는 반도체 기판 내부에 위치한 차지 통전 영역이 있다. 또한 상기 전기적 통전 실리콘 함유재의 체적은 각 차지 통전 영역의 상부에 형성된다. 다음에 마스크 기판은 절연 게이트 스택들과 같이 각 차지 통전 영역에 인접하거나 위의 전기적 실리콘 함유물 상에 형성된다. 전기적으로 통전되는 실리콘 함유물 체적의 마스크 부분은 마스크 기판에 의해 덮여지고, 그리고 전기적으로 통전되는 실리콘 함유물 체적의 마스크 되지 않은 부분은 마스크 기판에 의해 덮여지지 않는다.

다음 단계는 전기적으로 통전되는 실리콘 함유물의 체적으로부터 확장되고 마스크 기판에 접촉되는 그들로부터 최소한 하나의 스페이서에 그들로부터 형성하기 위해 마스크 기판 상부에 전기적으로 통전되는 실리콘 함유물의 추가적인 층으로부터 실리콘 함유물질을 마스크 기판 상부에 전기적으로 통전되는 실리콘 함유물의 추가적인 층을 형성하고, 이방성 식각으로 선택적으로 제거한다.

최소한 하나의 스페이서를 형성한 후에, 이온들은 전기적으로 통전되는 실리콘 함유물의 체적과 전기적으로 통전되는 실리콘 함유물의 추가적인 층에 마스크 되지 않은 부분에 이온이 집중되게 형성하기 위해 이식되고, 그리고 마스크된 부분내에 집중된 이온은 대체로 마스크 되지 않은 부분보다 낮다. 이식 단계 후에, 마스크 기판을 제거한다.

실리콘 함유물질은 그들로부터 확장된 최소한 하나의 스페이서를 가지는 캐패시터 저장노드의 제 1 이식부분으로부터 형성되는 마스크 되지 않은 부분보다 최소한 두배의 시간이 더 소용되는 재료 제거율에 의해 마스크되지 않은 부분으로부터 선택적으로 제거한다.

도20과 도21을 지금 참조하면, 상기 제 4 방법은 도20과 도21에 상술한 바와 같이 본질적으로 실시된다. 그러므로, 도20에 나타낸 바와 같이 형성된 통합 회로로부터 실리콘 웨이퍼(70)가 제공되고 실리콘 기판(72)상에 제공된다. 또한 반도체 웨이퍼(70)상에 제공된 것은 활성영역(74a, 74b)이고, 구현예는 MOS트랜지스터의 소오스/드레인 영역을 포함한다. 반도체 기판(72) 상부와 활성영역(74a,74b)에 인접하게 형성된 것은 게이트 영역(76)이다. 게이트 영역(76)은 절연 스페이서들(78) 내에 싸여있다. 폴리실리콘층(80)과 같이 묘사된 실리콘 함유물층은 활성영역(74a, 74b) 상에 형성된다. 다시한번,

폴리실리콘층(80)은 바람직하게 제 1 방법에서 한정한 고유의 폴리실리콘으로 형성한다. 마스크 기판은 폴리실리콘층(80) 상부에 형성하고, 구현예는 형성된 질화 실리콘 하드 마스크(82)를 가진다. 질화 실리콘 하드 마스크(82)는 도24에 나타낸 바와같이 활성영역(74a, 74b)의 개구로 패턴화된다. 선택적으로, 이온 이식공정은 그 다음에 실행할 수 있다.

제 4 방법은 활성영역(74a, 74b) 상부에 오ㅎ인 폴리실리콘층(80) 상의 스페이서(90)를 형성한 제 3 방법으로부터 변경된 것이다. 스페이서(90)를 형성하기 위해, 폴리실리콘층(80)은 도22에 나타낸 바와 같이 질화 실리콘 하드 마스크(82) 보다 높게 형성한다. 진행중에, 폴리실리콘층(80)은 질화 실리콘 하드 마스크(82)를 형성한 후에 폴리실리콘의 추가적인 축적에 의해 형성한다. 폴리실리콘층(80)은 형성된 스페이서를 바람직한 스페이서 식각으로 선택적으로 제거한다. 스페이서들(90)은 도24에 나타낸 바와 같이 질화 실리콘 하드 마스크(82)의 섬상에 인접한 가장 가까운 에지들에 붙어 있다. 바람직하게 스페이서들(90)은 폴리실리콘과 같은 실리콘 함유물질로 형성된다.

스페이서 형성후에, 이온 이식 작업은 폴리실리콘층(80)의 마스크되지 않은 부분속으로 이온 이식를 실시한다. 상기 이온 이식 작업은 도22에 구현한 방법으로 근본적으로 실시함으로써 폴리실리콘층(80)에 상대적으로 이식하지 않은 부분(80a) 과 많이 이식한 부분(80b)를 형성한다.

상기 많이 이식한 부분(80b)의 형상은 상술한 제 1 방법과 제 2 방법과 같이 이온 이식 파라메터드의 적절한 선택에 의해 재단할 수 있다. 이온 이식는 단계들 사이의 변화된 파라메터들을 가지고 다중 단계로 실시할 수 있으며, 상술한 제 1 방법과 같이 불순물 이온들과 활성화되지 않은 이온들의 조합를 가지고 실시할 수 있다.

이온 이식 작업을 실시한 후에, 이식된 실리콘 함유물질을 선택적으로 식각하는 공정은 실시하여 상대적으로 이식되지 않은 부분(80a)을 식각하고 이식된 부분(80b)은 왼쪽을 노출되게 한다. 상기 이식된 실리콘 함유물질을 선택적으로 식각하는 공정은 도23에서 상술한 바와 같이 대체로 같은 방법으로 실시한다. 상기 식각공정 파라메터들은 결과적인 중첩 캐패시터 저장노드와 폴리실리콘 구조물의 모양을 차후에 재단하는 제 1 방법을 선택할 수 있다. 도25는 이식된 실리콘 함유물질을 선택적으로 식각한 공정의 결과를 나타낸 것으로 폴리실리콘 플러그(86, 88)와 같은 중첩 캐패시터 저장노드(92)를 완벽하게 나타낸다. 중첩 캐패시터 저장노드(92)는 하부 캐패시터 베이스(92a)에 완전히 연결되고, 하부 활성영역(74a)에 중첩 캐패시터 저장노드를 연결한다. 다음에 부전도층과 상부 캐패시터판을 침전시키는 공정은 중첩 캐패시터를 완성하기 위해 일반적으로 실시한다.

상기 제 4 방법은 캐패시터 베이스가 완전하게 형성된 중첩 캐패시터 저장 노드를 형성하고, 그것으로 인해 큰 차지 보존 캐패시터를 위한 큰 저장 면적을 제공한다. 상기 중첩 캐패시터 저장 노드는 캐패시터 베이스를 갖도록 일치되게 형성하고, 그것으로 인해 폴리실리콘 플러그 형성 공정의 분리를 제거, 다수의 필요한 재료의 침전의 감소 그리고 포토레지스트 마스크 동작, 산출량의 증가, 비용의 감소, 그리고 에러발생 원인의 제거된다. 부가적으로, 큰 융통성은 상호연결 구조물이 형성된 중첩 캐패시터 저장노드를 가지고 인접한 활성영역 상부에 동시에 형성하는 것과 같이 제 4 방법으로 인해 제공된다.

5. 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 가지는 CMOS 공정으로 폴리실리콘 플러그를 형성.

도26 내지 도30은 제 5 방법과 상기 제 3 방법의 다음 변형을 도시한 것이다. 제 5 방법에서, 상호연결 구조물은 NMOS 또는 PMOS 부분 각각의 불순물을 첨가한 활성영역을 파괴하지 않고 반도체 기판의 NMOS 부분 상에서 CMOS 공정이 진행되는 동안 형성한다.

처음에, 제 5 방법 하에서, 전통적인 CMOS 공정의 흐름은 CMOS 회로가 형성될 때까지 따라간다. 도26에 도시된 예로 인하여, 반도체 웨이퍼(100)는 PMOS 부분(102a)과 NMOS 부분(102b) 속에 기능적으로 분할된 실리콘 기판(102)상에 형성된다. 산화 스페이서 영역(104) 분야는 게이트 영역들(106, 108, 110)이 있는 것 처럼 실리콘 기판(102) 상에 제공된다.

도27에서, 포토레지스트 마스크(114)와 같은 마스크 기판은 PMOS 부분(102a) 상부에 형성되고, 남아있는 NMOS 부분(102b)은 획장된다. 포토레지스트 마스크(114)를 형성한 후에, NMOS 부분(102b) 속으로 이온들의 이식는 불순물을 첨가하기 위해 적당한 형태의 이온들을 사용하여 실시하고 MOS 트랜지스터 소오스/드레인 영역과 같이 취급되어 NMOS 활성 영역(118)을 형성한다. NMOS 활성영역(118)을 형성한 후에 포토레지스트 마스크(114)를 제거한다.

도28은 폴리실리콘층(122)을 예시한 실리콘 함유물의 체적을 나타낸 것이다. 폴리실리콘층(122)은 PMOS와 NMOS 부분(102a, 102b) 상부에 축적된다. 폴리실리콘층(122)이 축적될 때, 마스크 기판은 폴리실리콘층(122) 상부 꼭대기에 적

용되고 패턴화된다. 구현예에서, 상기 마스크 기판은 질화 실리콘 하드 마스크(124)를 포함한다. 질화 실리콘 하드 마스크(124)는 상호연결 구조물을 통해 전기적으로 교통되도록 제공하기 위해 선택된 NMOS 활성영역(118) 상부에 위치한 폴리실리콘층(122)의 부분이 확장되도록 패턴화 한다.

폴리실리콘층(122)의 마스크 후에, 이온 이식 작업은 대체로 제 1 방법에서 상술한 바와 같이 실시된다. 화살표(126)는 이온이식 작업을 나타낸다. 이온 이식 작업의 결과 NMOS 활성영역(118) 상부의 폴리실리콘층(122)로 많이 이식된 부분이고, 다른 곳은 대체로 이식되지 않은 부분이다. 많이 이식된 부분(122a)의 모양은 제 1와 제 2 방법에서 상술한 바와 같이 이온 이식 파라메터의 적절한 선택으로 재단된다. 이온 이식는 단계들 사이에 변환된 이온 이식 파라메터들을 가지는 다중 이식 단계로 실시할 수 있고, 제 1 방법에서 상술한 바와 같이 불순물이 첨가된 이온등과 활성화되지 않은 이온들의 조합을 가지는 이식를 포함한다.

도29에 나타낸 것 처럼, 폴리실리콘층(122)에 이온들을 이식시킨 후에, 질화 실리콘 마스크(124)는 제거되고 그리고 제 1 방법에서 상술한 바와 같은 방법으로 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 실시한다. 그 결과로서, 상대적으로 이식되지 않은 부분(122b)은 한가지 방법으로 식각하고 그리고 폴리실리콘 플러그(128)는 상호연결 구조물을 형성하기 위해 왼쪽에 남긴다. 상기 식각공정 파라메터들은 또한 상호연결 구조물의 최종적인 모양을 재단하기 위해 적절하게 선택한다.

도30은 제 5 방법의 다음공정을 도시한 것으로, PMOS 스페이서는 PMOS(130) 게이트 영역에 인접하게 나타난다. PMOS 스페이서(130)는 활성영역의 고유 정렬을 위해 전통적인 CMOS 구조물로 바람직하다. 차후에, NMOS 부분(120)은 실시예에서 묘사한 포토레지스트 마스크(132)인 마스크 기판으로 덮는다. 적절한 불순물 첨가 이온들은 화살표(134)로 나타낸 것처럼 PMOS 활성영역(136)으로 인해 구현예에서 나타낸 PMOS 활성 영역을 형성하기 위해 PMOS 부분 속에 차후에 이식시킨다. 포토레지스트 마스크(132)는 그후에 제거하고, 전통적인 CMOS 공정 흐름은 통합회로를 완성하기 위해 다음의 결과로 일어난다.

폴리실리콘 상호연결 구조물은 전통적인 방법보다 작은 공정을 가지고 CMOS 공정 흐름으로 제 5 방법하에서 실시한다. 제 5 방법하에서, 다수의 포토레지스트 마스크 동작은 감소하고, 그것으로 인해 통합회로를 형성하는 산출량은 증가하며 궁극적으로 비용을 줄일 수 있다. 또한, NMOS와 PMOS 영역들의 소오스/드레인 영역들은 이온이식 또는 식각공정으로부터 상호 조화를 이루지 않고 불순물을 첨가할 수 있다.

6. 이식된 실리콘 함유물질을 선택적으로 식각하는 공정으로 프리-스탠딩 벽의 형성.

도31 내지 도34는 본 발명에 따른 제 6 방법을 도시한 것이다. 상기 제 6 방법에서, 프리-스탠딩 벽은 이식된 실리콘 함유물질을 선택적으로 식각하는 공정으로 형성된다. 도31은 상시 제 6 방법의 초기공정을 도시한 것으로, 반도체 기판(150)은 실리콘 기판(152) 상에 가진다. 고유의 폴리실리콘으로 형성된 폴리실리콘층(154)은 실리콘 기판(152) 상부에 형성된다. 도31에 구현된 마스크 기판으로 형성된 포토레지스트 마스크(156)은 폴리실리콘층 상부에 형성된다. 포토레지스트 마스크(156)는 폴리실리콘층 상부에 위치하여 섬상으로 패턴화되고 프리-스탠딩 벽은 의도된 대로 형성된다. 제 1 실시예에서, 상기 프리-스탠딩 벽은 다수의 열을 포함하고, 상기 섬상은 직사각형 형태로 형성된다.

도32에 나타낸 바와 같이, 이방성 건식 식각공정 또는 적절한 공정은 폴리실리콘층(154)의 확장된 부분을 제거하기 위해 실시되고, 그것으로 인해 패턴화된 폴리실리콘 블럭(158)이 형성된다. 바람직하게, 패턴화된 폴리실리콘 블럭(158) 사이에 가로세로비 하나보다 크다. 상기 이방성 건식식각 공정은 제 1 방법에 관하여 상술한 방법으로 실시한 이온이식 작업의 뒤에 온다. 상기 이온이식 공정은 도32의 각을 갖는 화살표로 도시되어 있다. 상기 이온들은 실리콘 기판(152)에 직각과 다른 각으로 이식함으로써 이온들은 패턴화된 폴리실리콘 블럭(158)의 한면 또는 더 많은 측면에 이식된다. 이식의 마주보는 각들은 패턴화된 폴리실리콘 블럭(158)의 마주보는 측면에 이식하기 위해 도32에서 사용된다. 그것은 바람직하게 이식된 이온들의 집중 모양을 유지하는데 기인하여 실리콘 웨이퍼(150)의 열처리를 피하게 된다.

도33은 도32로부터 절단선 33-33을 취하여 도시한 것으로, 열처리 동작을 방해하지 않고 실시된 이온 이식 작업은 많이 이식된 폴리실리콘 영역(154a)와 상대적으로 이식되지 않은 폴리실리콘 영역(154b)들에 의해 특성을 나타내는 이식된 이온들의 이온 집중모양을 구분한다. 일정한 이온 이식 모양을 유지하기 위해, 이온 이식는 제 1 방법을 위해 상술한 방법 특히 도3에 관계된 논의로 다중 이식 단계를 실시한다.

도34는 제 1 방법에서 논의한 바와 같이 이식된 실리콘 함유재를 선택적으로 식각하는 공정의 결과를 나타낸 횡단면도이다. 상대적으로 이식하지 않은 폴리실리콘 영역(154b)는 식각되어 없어지고, 많이 이식된 폴리실리콘 영역(154b)은 왼쪽이 남게된다. 마주보는 두 각도로부터 이식된 이온들의 결과와 같이, 패턴화된 폴리실리콘 블럭의 중간은 제거되고, 얇은

두곳이 남게되며 프리-스탠딩 열은 각각의 패턴화된 폴리실리콘 블럭(158)에 위치되게 형성된다. 프리-스탠딩 열(160)은 도32의 페이지속의 보이는 방향으로 선택된 길이만큼 연장된다. 또한, 프리-스탠딩 열(160)은 직선이 아닌 구조물과 동일하게 형성할 수 있다. 도34에 나타낸 바와 같이, 한쌍의 얇은 프리-스탠딩 열들(160)은 중첩 캐패시터 저장노드와 같이 사용하기에 적당하다.

제 6 방법의 다른 실시예에서, 도32의 포토레지스트 마스크(156)는 선상 또는 대응되는 원형표면 모양을 가지도록 패턴화된 실리콘 블럭(158)의 원인이되는 원형형태의 섬상을 갖게 형성한다. 또한 다른 실시예에서, 반도체 웨이퍼(150)는 이온이 이식되는 동안 회전하거나, 변화되는 각을 패턴화된 블럭(158) 측면의 표면에 이식에 기인하여 이온이 이식되는 동안 사용한다. 상기 이온은 바람직하게 일정한 깊이로 이식된다. 결과적인 구조물은 도38에 투시도로 보이는 대체로 환상측벽(168a)이다. 도38은 본 발명의 제 7 방법 관련된 이하에서 논의한다.

얇은 프리-스탠딩 열(160) 또는 도38의 대체로 환상 측벽으로 제 6 방법에 의해 형성된 프리-스탠딩 벽의 두께는 이온 이식 파라메터들에 의해 결정된다. 실례로, 이식각이 수직보다 작으면 얕은 이온 이식의 결과를 나타내고 두꺼운 프리-스탠딩 벽이 된다. 양자택일로, 낮은 이식 에너지는 얇은 프리-스탠딩 벽이 된다. 다음에, 상기 프리-스탠딩 벽은 전통적인 포토리쏘그라피 방법으로 형성할 수 있는 것보다 얇게 할 수 있다.

상기 제 6 방법의 프리-스탠딩 벽은 전통적인 포토리쏘그라피의 높은 가로세로비와 불가능한 식각방법을 가지는 구조물속에 형성된다. 상기 프리-스탠딩 벽의 다른 실시예의 통합회로 제조 공정에 융통성을 제공한다. 부가적으로, 상기 프리-스탠딩 벽은 단순하고 효과적인 방법으로 형성되고, 그것으로 인해 통합회로 제조공정의 높은 제조율과 낮은 비용을 유지하게 된다.

7. 이식된 실리콘 함유물질을 선택적으로 식각하는 공정으로 연속적인 프리-스탠딩 벽의 형성.

제 7 방법은 도35 내지 도38에 도시되어 있고, 연속적인 프리-스탠딩 벽의 형성을 포함한다. 도35에서, 반도체 기판은 반도체 웨이퍼(162)와 같이 제공된다. 규현예에서 반도체 웨이퍼(162)는 실리콘 기판(164)을 가지고 형성한다. 실리콘 함유물질의 체적은 폴리실리콘층(166)과 같이 실리콘 기판(164) 상부에 형성한 것이다. 형성된 포토레지스트 마스크(168)를 가지는 규현예에서 마스크 기판은 폴리실리콘층 상부에 차후에 적용되고 포토리쏘그라피를 가지고 패턴화 된다. 포토레지스트 마스크(168)는 연속적으로 위치한 원형 개구(168a)로 패턴화 되고, 프리-스탠딩 벽을 형성하게 된다.

도36에 나타낸 바와 같이 포토레지스트 마스크(168)을 패턴화한 후에, 이방성 건식 식각 또는 상당하는 식각 공정은 포토레지스트 마스크(168)을 통해 폴리실리콘층 상에 실시한다. 대체적인 원형 개구(166a)는 폴리실리콘층(166)에 형성되고 실리콘 기판은 노출된다. 상기 이방성 건식 식각은 도36의 각을 갖는 화살표로 도시된 대체로 원형 개구들(166a)의 측면속으로 이온 이식 작업 이후에 실시한다.

도37은 도36의 절단선 37-37을 취하여 도시한 것으로 도32의 절단선 33-33을 나타낸 것과 유사하고, 사이에 열처리하지 않은 이온이식는 많이 이식한 폴리실리콘 영역(154a) 상대적으로 이식하지 않은 영역(154b)으로 인해 특성을 나타내는 이식된 이온들의 이식 집중 모양을 구분한다. 일정한 이식 집중 모양을 유지하기 위해, 이온 이식는 다시 한번 상술한 제 1 방법으로 다중 단계를 실시할 수 있다.

도38은 제 7 방법의 다음 공정의 결과를 도시한 것으로, 상기 식각 공정은 이미 상술한 제 1 방법의 이식된 실리콘 함유물질을 선택적으로 식각한다. 상기 식각공정은 상대적으로 이식하지 않은 폴리실리콘 영역(154b)를 식각하고, 많이 이식한 폴리실리콘 영역(154a)은 왼쪽을 남긴다. 상기 식각 공정은 중첩 캐패시터 저장노드와 같이 사용하기 위해 적당한 원형 챔버(170b)에 한정되는 연속적인 프리-스탠딩 벽을 생산한다. 연속적인 프리-스탠딩 벽은 이온 이식 파라메터들에 의해 결정된 두께를 갖는다. 실례로 이온 이식각이 직각보다 작은 것은 얕은 이온이식와 얇은 측벽으로 된다. 다음에, 연속적인 프리-스탠딩 벽들(170)은 전통적인 포토리쏘그라피 방법으로 형성할 수 있는 것 보다 넓게 형성할 수 있다.

상기 제 7 방법은 제 6 방법을 대신하고 같은 장점을 제공한다. 그것은 이 기술에 숙련자라면 쉽고 명백하게 얇은 폴리실리콘 측벽을 열린 실린더 측벽(166a)의 변형된 형태로 형성할 수 있고, 열린 실린더 측벽의 측면이 노출된 표면에 넓게 이식된다.

8. 이식된 실리콘 함유물질을 선택적으로 식각하는 공정으로 MOS 서라운드-게이트 트랜지스터 형성.

본 발명의 제 8 방법은 MOS 서라운드-게이트 트랜지스터를 위해 기재한 것이다. 처음에, 그것은 반도체 기판상의 평면으로부터 연장된 실리콘 함유물의 체적을 제공하고, 그리고 거기에 상기 실리콘 함유물의 체적은 그위에 측면을 가진다.

다음에, 다수의 이온은 상기 반도체 기판의 평면에 수직하지 않은 각으로 상기 실리콘 함유물의 측면의 체적에 이식된다. 상기 이온 이식는 실리콘 함유물질의 제 1 이식 부분과 제 2 이식부분을 형성하고, 상기 제 1 이식부분은 상기 제 2 이식부분 보다 많은 이온들이 집중된다.

다음 단계는 반도체 기판상의 평면으로부터 확장된 형상화된 구조를 형성하기 위해 제 1 이식부분 보다 재료 제거율이 최소한 두배의 시간인 제 2 이식부분으로부터 실리콘 함유물질을 선택적으로 제거한다.

상기 실리콘 기판의 평면으로부터 확장된 실리콘 함유물질의 체적은 반도체 기판의 평면상에 실리콘 함유물층을 축적함으로 인해 제공되고, 다음에 실리콘 함유물층 상에 마스크 기판을 형성하며 상기 마스크 기판은 실리콘 함유물층의 마스크 되지 않은 부분에 위치해 있는 그것들 아래에 개구를 갖고, 다음에 실리콘 함유재의 이방성 식각은 마스크 되지 않은 부분을 대체로 제거하고, 그리고 반도체 기판의 평면으로부터 확장된 실리콘 함유물질의 체적을 형성한다. 제 2 이식된 부분으로부터 실리콘 함유물질을 선택적으로 제거하는 단계 이전에, 실리콘 함유물층 상의 마스크 기판을 제거하는 단계를 실시한다.

제 8 방법의 실시예의 두가지 실시예중 하나에서, 마스크 기판내의 개구는 주변을 닫고; 실리콘 함유물층의 이방성 식각은 실리콘 함유물질의 측면에 의해 한정되어 텅비게 형성되고, 상기 측면의 텅빈 내부에 연속적인 표면이 있다. 그것은 또한 대체로 원형 단면을 가지는 마스크 기판의 개구를 생산하는 공정으로 설계되고, 상기 실리콘 함유물질 체적의 측면으로 인해 한정된 동공은 대체로 실린더와 같으며, 형상화된 구조물은 마주보며 측면과 대체로 평행한 외면을 가지며, 형상화된 구조물의 외면과 측면 양측은 단면이 대체로 원형을 이룬다.

도39 내지 도41을 참조하면, 그것들은 MOS 서라운드-게이트 트랜지스터를 형성하기 위해 시도된 본 발명의 제 8 방법을 도시한 것이다. 묘사한 실시예에서 도39에 도시된 반도체 기판은 실리콘 기판(164)이 위치된 반도체 웨이퍼(162)를 포함한다. LOCOS 스페이서 영역(164a)은 형성되어 있는 서라운드-게이트 MOS 트랜지스터 내부 중앙으로 한정된 개구 영역의 실리콘 기판(164)을 형성한다. 게이트 산화층(170a)은 실리콘 기판(164)상의 개구 영역내에 대체로 형성된다.

제 8 방법의 다음 공저에서, 도38의 하나의 연속적인 프리-스탠딩 벽(170)과 같은 연속적인 프리-스탠딩 벽은 게이트 산화층(170a) 상에 제공된다. 그것은 제 6 또는 제 7 방법으로 인해 형성된 연속적인 프리-스탠딩 벽이 바람직하다. 그러므로, 한 실시예에서, 연속적인 프리-스탠딩 벽(170)은 본 발명의 실리콘 함유물질을 선택적으로 식각하는 공정으로 형성한다. 연속적인 프리-스탠딩 벽은 반드시 환상일 필요는 없고, 다른 연속적인 모양이어도 된다. 실례로, 연속적인 프리-스탠딩 벽은 그것의 단면이 직사각형 또는 오각형으로 형성하여 사용할 수 있다. 그럼에도 불구하고, 도시된 실시예에서는 대체로 환상의 연속적인 프리-스탠딩 벽을 구현하고 논의하기로 한다.

도39와 도40에 나타낸 하나의 연속적인 프리-스탠딩 벽(170)은 측벽 스페이서(170c)를 그것의 내외부의 연속적인 프리-스탠딩 벽 상부에 형성한다. 하나의 측벽 스페이서(170c)은 연속적인 프리-스탠딩 벽(170) 내부와 연속적인 프리-스탠딩 벽(170) 외부 주변에 실리콘 기판속으로 이온들을 이식하여 형성한다. 화살표(172)로 표시된 이온이식 작업은 연속적인 프리-스탠딩 벽(170) 내부의 중앙 소오스/드레인 영역(164b)과 연속적인 프리스탠딩 벽(170) 외부의 외부 소오스/드레인 영역을 형성한다. 물론 소오스/드레인 영역을 형성하기 위해 불순물을 첨가하는 이식방법의 변형을 올바르게 인식하여 하나의 숙련된 기술로 사용할 수 있다. 실례로, 형성된 측벽 스페이서들(170c)의 연속, 중앙 소오스/드레인 영역(164b), 그리고 외부 소오스/드레인 영역(164c)은 변화될 수 있다. 지시선(178c)은 산화영역 필드 하부로 연장되고 다른 메모리셀의 측면에 연장되어 형성되며, 그리고 서라운드 게이트 트랜지스터의 게이트(170)를 가지고 전기적으로 연결되로도록 놓여진다.

원형 채널은 중앙 소오스/드레인 영역(164b)와 외부 소오스/드레인 영역(164c) 사이에 위치한다. 상기 원형 채널은 바람직하게 중앙 소오스/드레인 영역(164b)와 외부 소오스/드레인 영역(164c)의 불순물 형태를 마주보는 불순물 형태를 갖고 가볍게 불순물을 첨가한다. 원형 채널의 불순물 첨가는 바람직하게 종래의 실리콘 기판(164)의 불순물 이식 작업으로 실시한다.

도40은 MOS 서라운드 게이트 트랜지스터의 평면도를 나타낸 것으로, 연속적인 프리-스탠딩 벽(170)은 MOS 서라운드 게이트의 게이트 영역에 형성한다. 환상 측벽(170)의 어느 한측벽에 하나의 측벽 스페이서(170c)가 있다. 원형 챔버(170b) 내의 실리콘 기판(164)에서 중앙 소오스/드레인 영역(164b)를 나타낸다. 또한, 실리콘기판(164)에서 그리고 연속적인 프리-스탠딩 벽(170)에 외부 그리고 측벽 스페이서(170c)의 바깥은 외부 소오스/드레인 영역을 나타낸다. 도40에 도시되지 않았지만, LOCOS 스페이서 영역(164a)는 외부 소오스/드레인 영역(164c)의 외부에 실리콘 기판(164) 상에 위치한다. 도40에 제공된 도면으로부터, 그것은 중앙 소오스/드레인 영역(164b)와 외부 소오스/드레인 영역(164c) 사이의 한정된 폭의 원형 채널을 가지는 제 8 방법에 의해 형성된 MOS 서라운드-게이트 트랜지스터를 나타낸다.

상기 MOS 서라운드-게이트 트랜지스터는 1/4 미크론 보다 작은 원형 채널 길리로 형성된다. 상기 채널 길이는 환형 측벽(170)의 상기 제 6와 제 7 방법에서 상술한 바와 같이 이식이온의 각과 에너지에 의해 결정되는 두께에 의해 결정된다. 그러므로, 제 8 방법하에서, MOS 서라운드 게이트 트랜지스터는 약 0.5 미크론 보다 작은 채널 길이를 제공한다. 바람직하게 채널의 길이는 약 0.125와 0.25 미크론 사이이고, 가장 바람직한 채널의 길이는 약 0.25 미크론이다.

도41은 본 발명의 서라운드 게이트 트랜지스터상에 바탕을 둔 MOS DRAM 메모리 셀의 완성방법을 묘사한 것이다. 도4에 나타낸 바와 같이, 컨택트(174a)는 환형 측벽(170) 내부에 중앙 소오스/드레인 영역으로부터 연장되어 형성된다. 하는 동안, 낮은 절연층(176a)은 BPSG 처럼 절연 물질로 제 1로 형성하고, 후에 컨택트 개구는 알루미늄과 같은 전도성 물질로 식각하고 채운다. 묘사된 실시예에서, 컨택트(174a)는 컨택트(174a)에 전기적으로 접촉하는 낮은 절연층(176a) 상부에 차후에 형성된 캐패시터 저장노드(174b)를 접촉하게 만들기 위해 사용한다.

저장노드(174b)를 형성한 후에, 캐패시터 유전체(174c)는 그것들의 상단 상부에 형성된다. 상부 캐패시터 평판(174d)은 캐패시터(174)를 완성하기 위해 캐패시터 유전체(174c) 상부에 형성된다. 구현예에서, 캐패시터 저장노드(174b)와 상부 평판(174d) 양쪽은 폴리실리콘으로 형성된다. 접촉된 캐패시터(174)와 컨넥터(174a)는 LOCOS 스페이서 영역들(164a) 사이의 개구의 중앙에 형성할 수 있다. 높은 치밀도를 갖도록 메모리셀을 정렬시키고, 또한 LOCOS 스페이서 영역들(164a)로부터 이격되도록 캐패시터(174)를 인가한다. 이 이격은 LOCOS 스페이서 영역들에 아주 근접하게 형성함으로 인해 가장 일반적인 전통적인 캐패시터의 장점이고, LOCOS 스페이서 영역들내의 긴장된 결함을 통해 차지 누출의 원인이 된다. LOCOS 스페이서 영역들로부터 떨어져 이격된 전통적인 캐패시터들은 실리콘 기판상에 좀더 많은 공간을 얻게하고, 따라서 소형제작 노력을 좌절시킨다. 따라서, 캐패시터(174) 배치는 전통적인 메모리 셀과 비교하여 차지 누출을 감소시키는 결과를 나타내고, 초소형의 통합회로를 형성하게 한다.

완성된 DRAM 메모리 셀에서, 상부 절연층(176b)은 낮은 절연층(176a)과 캐패시터 상부 평판(174d) 상부에 형성된다. 비트 라인 컨택트(178a)는 외부 소오스/드레인 영역(164c) 아래로 연장된 상부 절연층(176b)와 하부 절연층(176a)를 통해 형성된다.

상술한 MOS 서라운드 게이트 트랜지스터는 실리콘 기판상에 최소의 공간을 점유하고 형성된 연속적인 프리-스탠딩 환형 측벽으로 이식된 실리콘 함유물질을 선택적으로 식각하는 공정의 사용에 기인하여 종래 기술의 서라운드 게이트 트랜지스터 보다 능률적인 방법으로 형성한다. 상기 MOS 서라운드 게이트 트랜지스터는 또한 촘촘하고 최소의 차지 누출을 나타내는 DRAM 메모리 셀 속에 쉽게 통합할 수 있다.

9. 이식된 실리콘 함유물질의 선택적인 식각 공정으로 중첩 캐패시터 저장 노드의 형성.

도42 내지 도45는 본 발명의 제 9 방법을 도시한 것으로, 중첩 캐패시터 저장노드는 작은 공간 내부에 만들어지고 본 발명의 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 사용하여 자동 정렬된다.

도42에서 도시된 바와 같이, 전통적인 공정의 흐름은 게이트 영역이 형성될 때까지 제 9 방법하에서 처음에 따른다. 보는 바와 같이, 반도체 기판은 형성된 반도체 웨이퍼내에 제공된다. 반도체 기판(180)은 게이트 영역(182)에 의해 인접한 활성영역(182a)을 형성한 상부에 실리콘 기판을 갖게 형성한다. TEOS층(182a)과 같은 유전층은 활성영역들(180a)와 게이트 영역(182) 상부에 형성한다. 폴리실리콘층(184)은 TEOS층(182a) 상부에 축적된다. 폴리실리콘층(184)은 상술한 바와 같이 질화 폴리실리콘으로 형성하고 HSG 폴리실리콘을 포함한다. 폴리실리콘층(184) 상부에는 질화 실리콘 하드 마스크층(186)과 같은 하드마스크층이 형성된다. 상기 하드마스크층은 이온이식를 위한 하드마스크와 대체적으로 높이를 감소시키는 고정을 위해 식각 방해물과 같이 소용된다. 실리콘 이산화물은 또한 하드 마스크층을 형성하기 위한 물질로 적당하다.

도43은 제 9 방법의 다음 공정을 도시한 것으로, 질화 실리콘 하드마스크층(186)은 각각의 위치에 원형 개구를 갖게 패턴화하고 중첩 캐패시터 저장노드를 형성한다. 질화 실리콘 하드 마스크(186)는 패턴화되고 이방성 식각 공정은 실리콘 기판(190) 내의 활성영역(180a) 아래로 연장된 폴리실리콘층(184) 내의 원뿔 개구를 만들기 위해 실시한다. 그것들은 경사진 모양이기 때문에, 원뿔 개구(188)는 작은 표면적을 갖는 실리콘 기판(190)과 접촉한다. 이 작은 표면적은 하나의 활성영역(180a) 상부에 착지시키기 위해 보드 넓이 공간이 제공하기 위해 원뿔 개구(188)를 공급한다. 따라서, 활성영역(180a)은 또한 좀더 소형으로 형성할 수 있고, 따라서 결과적으로 통합회로의 초소형화를 위해 실시된다.

도44에 나타낸 바와 같이, 원뿔 개구(188)를 만든 후에, 제 2 폴리실리콘층(192)은 질화실리콘 하드 마스크층 상부와 활성영역을 가지고 만들어진 전기적 접촉에 기인하여 원뿔 개구 상부에 축적된다. 도44의 화살표로 나타낸 이온 이식공정은

원뿔 개구(188) 내부에 위치한 제 2 실리콘층의 부분에 이온이 이식되도록 실시한다. 상기 이온은 반도체 웨이퍼(180)에 수직한 각으로 이식시킬 수 있으며, 또는 상술한 제 1 방법으로 다중 이식 단계로 이식시킬 수 있고, 그리고 다른 이식 단계 사이에 이식각의 변화와 다른 파라메터로 인해 이식시킬 수 있다. 상기 이온들은 이온이식 파라메터의 적정한 선택으로 인해 예정된 깊이에 도달하도록 이식시킨다. 예정된 깊이는 형성된 중첩 캐패시터 저장 노드의 측벽 두께를 결정한다.

질화 실리콘 하드 마스크(186) 상부에 놓여있는 제 2 실리콘 최상부 표면은 화학적 평탄화(CMP)와 같은 높이 감소 공정에 의해 제거된다. 질화 실리콘 하드 마스크(186)는 폴리실리콘을 선택적으로 식각하는 공정 또는 CMP와 같은 높이 감소 공정으로 인해 차후에 제거된다. 다른 이온이식 파라메터는 또한 제 1 방법에서 상술한 바와 같이 이식된 이온들에 의해 형성된 이온집중 모양을 재단하는데 기인하여 적절하게 선택할 수 있다. 이온이식 작업은 실시되고, 식각공정은 본 발명의 이식된 실리콘 함유물질을 선택하여 실시한다. 상기 식각공정은 제 1 방법에서 상술한 바와 같은 대체로 방법으로 실시한다. 따라서, 제 1 폴리실리콘층(184)의 이식되지 않은 폴리실리콘은 제거되고, 도45에 나타난 원뿔 구조물(194)는 남는다. 원뿔 구조물(194)은 프리-스탠딩하고 바람직하게는 약 1/2 보다 많은 가로세로비를 가진다. 그와 같은, 원뿔 구조물(194)은 활성영역(180a)에 접촉하는 상대적으로 작은 표면적을 가지도록 제안되고, 그리고 중첩 캐패시터 저장노드와 같이 사용하기에 적당하다. HSG 또는 CSG 폴리실리콘은 그것들의 증가된 표면적과 같이 원뿔 구조물(194)의 표면상에 축적된다.

상기 제 9 방법은 종래 기술의 중첩 캐패시터 저장 노드 형성 공정의 마스크하는 단계를 줄일 수 있는 장점이 있다. 상기 중첩 캐패시터 저장 노드 형성공정은 단순화 함으로 인해, 산출을 증가시키고, 통합회로 제조공정의 출력량을 증가시킨다. 결과적으로 중첩 캐패시터 저장노드는 자동 정렬되며 생상량을 더 증가시키고, 그리고 제조된 통합회로의 초소형화를 용이하게 한다.

10. 이식되지 않은 실리콘 함유물질을 선택적으로 식각하는 공정으로 폴리실리콘 플러그의 형성.

도46 내지 도49는 본 발명의 제 10 방법을 도시한 것으로, 폴리실리콘 플러그를 형성하기 위한 제 2 방법의 이식되지 않은 실리콘 함유물질을 선택적으로 식각하는 공정을 이용한다. 도46에 나타낸 바와 같이, 제 10 방법의 초기에는 제공된 반도체 기판을 포함한다. 묘사한 실시예에서, 상기 반도체 기판은 실리콘 기판(198) 상에 제공된 반도체 웨이퍼(196)이다. 다수의 게이트 영역(198a)과 인접한 활성영역들(198b)은 반도체 기판 상에 형성되고, 그리고 실시에에서 묘사한 폴리실리콘층(200)인 실리콘 함유물층은 게이트 영역들(198a) 상부와 활성영역들(198b) 상부에 형성된다. 제 10 방법의 다음 공정에서, 포토레지스트 마스크(202)의 한실시예인 마스크 기판은 폴리실리콘 상부에 적용되고, 도47에 나타낸 바와 같이 활성화 영역들(198b) 상부에 위치한 섬상으로 패턴화 된다. 폴리실리콘층(200)은 포토레지스트 마스크(202)로 덮여있는 제 1 부분(204)과 마스크되지 않은 제 2 부분(206) 속에 기능적으로 분할된다

도48에 나타낸 바와 같이, 이방성 식가공정은 대체로 폴리실리콘층(200)의 제 2 부분(206)의 높이를 부분적으로 감소시키기 위해 실시된다. 제 2 부분(206)의 높이는 부분적으로 감소되고, 이온들는 상술한 제 2 방법으로 제 2 부분(206)의 남아있는 부분속에 제 1로 이식한다. 상기 이온들은 제 2 방법에서 상술한 바와 같이, 이식하지 않은 실리콘 함유물질을 선택적으로 식각하는 공정에 따라서 선택된 형태이다. 비소이온들은 인이온과 같이 다른 이온들보다 더욱 천천히 확산되기 때문에 바람직하다. 포토레지스트 마스크(202)는 상대적으로 이식하지 않은 제 1 부분(204)과 많이 이식한 제 2 부분(206)을 노출시키기 위해 제거한다.

제 10 실시예의 다음공정에서, 그리고 제 2 부분(206)의 나머지부분을 제거하는데 기인하여, 식각방법은 제 2 방법에서 대체로 상술한 바와 같이 이식되지 않은 실리콘 함유물질을 선택하여 실시한다. 따라서, 이온들이 이식된 제 2 부분(206)은 제거되고, 포토레지스트 마스크(202)가 덮여있고, 그에 따라 상대적으로 이식하지 않은 제 1 부분(204)은 좌측에 남게 된다. 도49의 결과에 나타낸 구조물은 폴리실리콘 플러그(208)을 형성한 것이다.

상기 제 10 방법은 전통적인 폴리실리콘 플러그 제조공정보다 적은 공정 단계를 포함한다. 그것은 또한 평탄화화 평탄화에 의해 원인되는 구조물의 결함을 피할 수 있으며, 그것으로 인해 통합회로 제조공정 산출량을 증가시킨다. 마스크작업과 전통적인 상호연결 구보물 개구형성의 건식식각 동작은 제거할 수 있고, 상술한 모는 문제는 그것들에 의해 수반된다.

11. 질화물 상부의 평탄화를 중지하고 이식된 실리콘 함유물질의 선택적 식각공정을 사용하여 자동 정렬된 상호연결 구조물의 형성.

도50 내지 도53은 본 발명의 제 11 방법을 도시한 것이다. 제 11 방법은 자동 정렬된 상호연결 구조물을 형성하기 위해 평탄화 공정을 함께 가지는 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 사용한다.

제 11 방법의 초기 구조물은 도50에 나타나 있고, 그곳의 반도체 기판은 반도체 웨이퍼(210)의 형성으로 제공된다. 반도체 웨이퍼(210)는 실시예에 묘사된 활성영역들(212a, 212b, 212c)등의 다수의 차지 전도영역이 상부에 제공된 실리콘 기판(212)를 포함한다. 예를들면, 차지 도전영역은 또한 반도체 기판상의 아래에 위치한 반도체 장치 모양(보이지 않음)의 아래로 연장된 컨택트의 상단이다. 또한 실리콘 기판(212) 상에 제공된 것은 활성영역(212a 내지 212c)에 인접한 게이트 영역들(214)이다. 각각의 게이트 영역들(214)은 질화 실리콘 캡(216)의 상단 상부에 제공된다.

활성영역(212a 내지 212c)과 게이트 영역(214) 상부에 위치한 것은 실리콘 함유제의 체적이다. 묘사된 실시예에서, 실리콘 함유재의 체적은 폴리실리콘층(218)을 포함한다. 폴리실리콘층(218)은 최소한 하나의 활성영역들(212a, 212b, 212c) 상부와 질화 실리콘 캡(216) 상부에 형성된다. 크리닝 공정은 바람지하지 않은 표시된 고유의 산화물을 제거하는데 기인하여 폴리실리콘층(218)을 축적하기에 앞서 실리콘 웨이퍼(210)의 표면상에 실시할 수 있다.

도51에 나타낸 바와 같이, 폴리실리콘층(218)은 대폐로 높이가 감소되었다. 상기 높이는 평탄화공정에 의해 바람직하게 감소하고, 더 바람직하게는 CMP 공정을 가지고 달성한다. 상기 높이의 간소는 질화 실리콘 캡 산단에서 아래로 폴리실리콘층(218)의 높이를 감소시키는데 기인하여 질화 실리콘에 선택적으로 실시한다. 앞으로의 간결한 폴리실리콘 식각 공정은 질화 실리콘 캡들(216) 상단으로부터 폴리실리콘층(218)을 완전히 청소하기 위해 필요할 수 있다. 열처리 공정은 평탄화 전 또는 후에 하층 포토그라피에 기인한 폴리실리콘층(218)내에 형성될 수 있는 경화 균열을 치료하기 위해 실시할 수 있다.

도52에 나타낸 바와 같이, 폴리실리콘층(218)의 평탄화 후에, 폴리실리콘층(218)은 마스크 기판으로 덮인다. 묘사된 실시예에서, 마스크 기판은 상술한 바와 같이 어떤 층에 효과적으로 이온들을 이식시키는데 사용되는 질화 실리콘 하드 마스크(222)이다. 질화 실리콘 하드 마스크(222)는 상부에 누워있고 활성영역들(212a, 212b)과 접촉하며 상호연결 구조물을 형성하기 위해 의도된 폴리실리콘층(218)의 구획을 하나 도는 그 이상을 선택하여 노출시킨다. 제거하기 위해 의도된 폴리실리콘층(218)의 다른 부분은 질화 실리콘 하드마스크(222)로 인해 덮인다. 이온이식는 이식단계들 사이에 변형된 이온이식 파라메터들을 가지고 다중 이식 단계로 실시할 수 있고, 제 1 방법에서 상술한 바와 같이 불순물 이온과 활성화되지 않은 이온들의 조합으로 실시할 수 있다.

상부에 놓여 있고 활성영역(212a, 212b)와 접촉하는 폴리실리콘층(218)의 선택된 구획 상부에 질화 실리콘 하드마스크를 바람직하게 위치시키는데 기인하여, 본 발명은 질화 실리콘 하드 마스크(222)를 자동 정열하기 위해 제공된다. 진행중에 있어서, 질화 실리콘 하드 마스크(222)는 활성영역(212a, 212b) 상부에 놓여있는 폴리실리콘층(218)의 선택된 구획보다 많이 넓은 개구(222a)를 갖게 패턴화한다. 개구(222a)의 표면 또는 에지들은 두개의 게이트 영역(214)의 상단상에 위치한다. 상기 두 게이트 영역(214)은 바람직하게는 각각 활성영역(212a, 212b) 상부에 놓여 있는 폴리실리콘(218)의 선택된 구획(220a, 220b)에 접촉하도록 위치한다.

자동의 정렬은 제 11 다음 단계로 폴리실리콘층(218)의 마스크되지 않은 부분에 이식된 이온을 가로막는 역할을 하는 질화 실리콘 스페이서에 의해 발생된다. 따라서, 개구(222a)의 약간의 미정렬은 질화 실리콘 캡(216)의 상단들을 따라 개구의 에지들을 재정렬한다. 개구의 미정렬은 게이트 영역들(214) 상부의 개구의 겹쳐지는 보다 더 많지않은 동안, 이온들은 활성영역(212a, 212b) 상부에 놓인 폴리실리콘층의 선택된 구획과 활성영역들(212a, 212b)에 인접한 선택된 게이트 영역들(214)의 상단에 제한된다. 만약 상호연결 구조물이 활성영역(212c) 상부에 제조되도록 의도한다면, 개구(222a)는 활성영역(212c) 상부에 위치하는 폴리실리콘의 구획 또한 노출시키기 위해 형성할 것이다.

도52에 묘사한 것과 같이, 선택된 형태의 이온들은 폴리실리콘층(218)의 마스크되지 않은 부분(220a, 220b)에 차후에 이식된다. 이온의 이식는 아래방향을 가리키는 화살표(224)에 의해 나타낸다. 이식시키기 위한 이온들의 형태는 제 1 방법에서 상술한 바와 같이 실리콘 함유물질을 선택적으로 식각하는 공정과 관련하여 선택한다. 한 실시예로서, 인 이온을 이식시킨다. 또한 상술한 바와 같이, 이온을 이식시킬 선택된 구획의 형태는 제 1와 제 2 방법에서 상술한 바와 같이 이식 파라메터의 변화와 다중 단계로 이온이식를 실시함으로 인해 재단할 수 있다. 상기 이온 이식 작업은 폴리실리콘의 선택된 구획(220a, 220b)과 위치한 활성영역(212a, 212b) 위치하 위쪽에 이식된다. 예로서 220c에 폴리실리콘층(218)의 나머지 부분은 상대적으로 이식하지 않는다. 폴리실리콘(218)의 상대적으로 침추하지 않은 부분은 게거하기 위한 폴리실리콘층(218)의 부분에 부합되고, 선택된 구획(220a, 220b)은 남겨지는 폴리실리콘층(218)의 부분에 부합된다. 질화 실리콘 하드 마스크(222)는 이온이식 작업을 실시한 후에 제거한다.

도53에 나타낸 바와 같이, 폴리실리콘층(218)은 대체로 제 1 방법에서 상술한 바와 같이 이식된 실리콘 함유제를 선택적으로 식각하는 공정으로 차후에 식각된다. 상기 식각 공정 파라메터는 상술한 바와 같이 앞으로 형성하는 상호연결 구조물

을 재단하기 위해 적절하게 선택한다. 이식된 실리콘 함유물질을 선택적으로 식각하는 공정은 패턴화된 상호연결 구조물의 결과로 나타나고, 형성된 폴리실리콘 플러그(226a, 226b)로 실시예에서 나타난다. 폴리실리콘 플러그(226a, 226b)는 위에 놓인 폴리실리콘층(218)의 선택된 구획과 이온이식 작업으로 이식된 접촉 활성영역(212a, 212b)으로부터 형성된다.

묘사된 실시예에서, 폴리실리콘층(218)의 구획은 질화 실리콘 하드 마스크(222)에 의해 덮여있는 활성영역(212c)의 위에 위치되고, 그에 다라서 이온들은 이식되지 않으며, 그것들 내의 형성된 열린면적을 제거한다. 개면(228)은 절연물질로 왼쪽을 열거나 나중에 채우거나 고정 흐름내의 나중 단계에 전도성물질을 채울 수 있다.

제 11 방법은 상술한 전통적인 공정의 몇몇 단계를 제거함으로 인해 폴리실리콘 상호연결 구조물 형성공정을 단순화할 수 있다. 건식식각 공정을 위해 필요한 것은 상호연결구조물 개구의 형성이 필요없는 것과 같이 제거한다. 또하느 절연층은 고정 흐름의 나중 단계까지 축적할 필요가 없으며, 내부금속 유전층 형성을 수반하여 형성할 수도 있으며, 그것으로 인하여 절연물의 축적과 재흐름 단계를 제거할 수 있다. 단순화된 공정은 통합회로 제조공정 산출량을 증가시키고 비용을 감소시킨다. 통합회로 제조공정의 높은 산출은 단순화된 공정에 원인인 수율을 향상시키는데 기인하여 나타난다. 또한, 이식된 실리콘을 선택적으로 식각하는 공공정은 종래의 건식식각 공정보다 높은 식각 균일성을 가지며 이에 따라 산출을 개선한다.

12. 희생적인 상호연결 구보물과 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 사용하여 높은 가로세로비 상호연결 구조물 형성.

도54 내지 도59는 본 발명의 제 12방법을 도시한 것이다. 제 12방법 하에서, 자동 정렬된 상호연결 구조물 개구는 희생적인 상호연결 구조물을 사용하여 식각한다.

391도54는 제 12방법의 초기 구조물을 도시한 것이다. 제 12방법은 폴리실리톤을 제조하는 단계까지 제 11 방법을 근본적으로 경합한다. 그렇지만 제 12방법에서, 얇은 절연층은 바람직하게 폴리실리콘층을 축적하기전에 형성한다. 그러므로, 묘사된 실시예에서, 형성된 활성 영역(232a, 232b) 내의 차지 도전 영역은 반도체 웨이퍼(230) 상의 실리콘 기판(232)을 포함하는 반도체 기판 상에 형성한다. 얇은 절연층은 최소한 하나의 차지 도전 영역 상부에 형성하고, 자동 정렬하는 상호연결 구조물 개구의 아래에는 넓이를 계획한다. 구현예에서, 얇은 산화층(234)은 실리콘 기판(232) 상부에 형성되고, 차지 도전 영역은 활성영역(232a, 232b)을 포함한다, 산화층(234)은 산화물을 성장 또는 재성장 시키거나 형성된 활성영역이나 형성된 게이트 영역으로부터 남게되는 산화층일 수 있다.

또한, 제 11 방법에서, 다수의 일선 절연 표면은 차지 도전 영역 상부에 위치된 사이의 개구들이 남아있는 실리콘 기판(232) 상에 형성된다. 묘사된 실시예어서, 다수의 일어선 절연 표면은 세개의 게이트 영역들(236)을 포함하고, 각각 하나의 활성영여들(232a, 232b)에 인접하게 위치한다. 게이트 영역들(236)은 하나의 실리콘 질화 캡들(238)로 각각 덮여지고, 질화 실리콘 스페이서로(24)내에 넣는다. 실리콘 함유물의 체적은 게이트 영역(236)와 마찬가지로 활성영역(232s, 232b) 상부에 형성하고, 활성영역들(232a, 232b) 상부의 개구 사이를 채운다. 구현예에서, 실리콘 함유물의 채적은 폴리실리콘층(242)이다.

도55에 나타낸 바와 같이 폴리실리콘층(242)의 높이는 다수의 절연 표면 상단까지 감소시킨다. 제 11 방법에서 논의한 바와 같이, 감소 높이는 한 실시예로 평탄화 공정으로 완성되고, 바람직하게는 질화 실리톤 캡들(238) 상의 정지된 CMP 공정으로 완성한다.

도56은 제 12방법의 다음 공정을 나타낸 것으로, 폴리실리콘층(242)은 마스크 기판으로 덮여진다. 묘사된 실시예에서, 상기 마스크 기판은 질화 실리콘 하드 마스크를 포함하고, 제 1 방법에서 상술한 바와 같이 이온이식가 되지 않는 실리콘 이산화물, 질화실리콘 또는 다른 재료를 사용할 수 있다. 포토레지스트 마스크(244)는 상호연결 구조물을 형성하기 위해 의도된 활성 영역들(232a, 232b) 상부의 폴리실리콘층(242)의 선택된 구획을 노출시키기 위해 패턴화된다. 제거하기 위해 의도된 폴리실리콘층(242)의 다른 부분은 포토레지스트 마스크(244)로 인해 덮인다.

도56에 나타낸 바와 같이, 이온들은 폴리실리콘의 마스크되지 않은 부분에 대체로 이식한다. 상기 이온 이식 작업은 도56의 화살표(2465)으로 나타내었다. 상술한 바와 같이 이온들은 제 12방법의 다른 단계에 실시되는 이식된 실리콘 함유물ㅇㄹ 선택적으로 식각하는 공정과 관련하여 선택된 형태이다. 한 실시예로서 인이온을 이식시킨다. 하나 또는 두 부분(250a, 250b)이 의도된 대로 나중에 희생적으로 식각될 때까지, 그것들은 희생적인 폴리실리콘 플러그를 형성하는 것과 같이 이식되는 이온들을 융통성 있게 선택할 수 있고, 그것으로 인해 어떤 특별한 방법으로 불순물을 첨가할 필요가 없다.

따라서, 이온들의 적절한 형태는 제 1 방법에서 상술한 바와 같이 이식시킬 수 있다. 한 실시예에서, 이식된 이온은 실리콘 이온이다. 상기 이온이식 작업은 개구(222a) 아래의 폴리실리콘층(242)으로 많이 이식한 부분(250a, 250b)을 만들게되고, 질화 실리콘 마스크(244) 하부의 상대적으로 이식하지 않은 부분을 만들게 된다.

또한 상술한 바와 같이, 많이 이식한 부분들(250a, 250b)의 형상은 이미 제 1와 제 2 방법에서 ㅅ상술한 바와 같이 이온이식 파라메터들의 적절한 선택으로 재단할 수 있다. 이온 이식는 단계들 사이에 변화된 파라메터를 가지고 다중 단계로 실시할 수 있고, 이미 제 1 방법에서 묘사한 것과 같이 불순물 첨가 이온과 활성화되지 않은 이온들의 조합으로 실시할 수 있다.

도57의 다음 공정을 도시한 것에서, 폴리실리콘층(218)은 이미 제 1 방법에서 상술한 실리콘 함유물질을 선택적으로 식각하는 공정으로 식각한다. 상기 식각 공정은 대체로 제 1 방법에서 상술한 바와 같이 형성되는 폴리실리콘 상호연결 구조물의 모양을 다음에 재단하기 위해 선택하는 식각 파라메터들을 갖고 실시한다. 희생적인 상호연결 구조물은 폴리실리콘 플러그들(250a, 250b)의 형성하는 식각공정으로부터의 결과이다. 폴리실리콘 플러그들(250a, 250b) 중 어느 하나는 자동 정렬된 상호연결 구조 개구를 연장하는 깊이를 형성하는 공정으로 식각하여 없애기 위해 희생적인 "더미(dummy)"와 같이 사용할 수 있다.

자동 정렬하는 상호연결 구조 개구의 연장된 깊이를 만드는데 기인하여, 절연물의 블랭킷(blanket)층은 도58에 나타낸 바와 같이 폴리실리콘 플러그(250a, 250b) 상부에 형성된다. 묘사된 실시예에서, 절연물의 블랭킷층은 축적되고 재순환되는 붕소인규산 유리(BPSG)를 포함한다.BPSG(252)는 바람직하게 부드로운 표면을 제공하기 위해 평탄화되고, 연장된 깊이로 자동 정렬하는 상호연결 구조 개구의 원하는 깊이를 가짐에 따라 선택된 두께를 가진다.

BPSG층(252)을 형성한 후에, 두개 분리 상호연결 구조 개구 식각 공정은 BPSG층(252)을 통해 폴리실리콘 플러그(250a)까지 아래로 연장된 연장딘 깊이의 상호연결 구조 개구를 형성하기 위해 사용된다. 제 1 상호연결 구조 개구 식각 공정은 도58에서 나타낸다. 그것들에 나타낸 바와 같이, 전통적인 포토리쏘그라피 공정은 폴리실리콘 플러그(250a) 상부에 개구를 가지는 포토레지스트 마스크(254)를 형성하기 위해 사용된다. 실리콘 함유물에 BPGS를 선택하여 식각하는 식각 화학은 BPGS층(252) 속에 상호연결 구조 개구 상부부분을 식각하는데 사용된다. 한 실시예에서, 건식식각은 BPGS층(252)을 열기 위해 사용하고 폴리실리콘 플러그(250a) 상부에 남겨진 BPGS를 제거하기 위해 상부식각이 뒤따른다. 상호연결 구조 개구의 상부분(256)은 바람직하게는 폴리실리콘 플러그(250a) 보다는 큰 원주를 갖도록 형성되고, 그리고 건식식각공정은 게이트 영역(236)의 질화 실리콘 캡들(238)이 식각되지 않도록 선택한다. 따라서, 상호연결 구조개구의 상부부분(256)은 게이트 영역(236)을 위해 자동 정렬된다. 제 2 상호연결 개구 식각 공정은 폴리실리콘 플러그(250a)를 제거하기 위해 차후에 사용된다. 제 2 상호연결 개구 식각 공정은 바람직하게는 질화 실리콘과 BPGS를 선택하여 실리콘 함유재를 식각한다. 화학적 식각의 한예는 TMAH 습식 식각이다. TMAH 습식식각은 제 1 방법에서 상술한 바와 같은 방법으로 실시한다. 상기 TMAH 습식식각은 얼마간 느린 이온이 이식된 폴리실리콘을 식각하지만, 포토레지스트, 질화실리콘 그리고 실리콘 산화물을 천천히 식각한다, 그것으로 인하여 게이트 영역(236)과 하부 산화층(234)을 선택적으로 식각하기 위해 폴리실리콘 플러그(250a)를 변형한다. 제 2 상호연결 개구 식각 공정은 도59에 나타낸 자동 정렬하는 상호연결 구조 개구의 낮은 부분(256a)을 형성하기 위해 폴리실리콘 플러그를 제거한다. 상호연결 개구의 상부부분(256)과 상호연결 개구의 하부부분(256a)는 모두 활성영역(232) 상부 표면을 노출시키기 위해 아래방향으로 BPGS 유리를 통과하여 자동 정렬되는 상호연결 구조 개구(258)의 확장된 깊이를 형성한다. 상호연결 구조 개구의 확장된 깊이는 높은 가로세로비로 형성하는데, 바람직하게 최소로 약1/2이다.

알루미늄과 같은 전도성 물질은 상호연결 구조물로부터 상호연결 구조 개구의 확장된 깊이속에 축적된다. 상기 상호연결 구조물은 또한 상호연결 구조물의 확장된 깊이의 전체 측벽을 덮을 수 있는 내화 금속 실리사이드 라이닝을 사지고 형성한다. 상호연결 구조개구의 확장 깊이를 위한 양자택일의 구조물은 완전한 중첩 캐패시터 저장노드와 베이스를 특별히 사용한다. 상기 완전한 중첩 캐패시터 저장도느와 베이스는 단일물 축적을 갖도록 동합덕으로 형성되고 상호연결 구조 개구의 확장된 깊이를 형성한 후 패턴화 공정을 실시한다.

제 12방법은 이미 상술한 본 발명의 이식된 실리콘 함유재를 선택적으로 식각하는 공정의 이점을 가지는 깊이가 확장된 상호연결 구조 개구를 형성한다. 그들의 장점은 실리콘 플러그인 "더미(dummy)"를 사용하여 건식식각 공정을 제거하므로 단순화된 제조공정을 포함한다. 통합 회로 제조비용은 그것으로 인해 감소되고, 산출량은 증가한다. 부가적으로, 깊이가 확장된 자동 정렬되는 상호연결 구조개구는 중첩 캐패시터의 베이스 처럼 분리 저장노드와 상호연결 구조물 피복재를 가도록 형성된 중첩 캐패시터와 비교되는 높은 셀 캐패시턴스가 공급되는 완전한 중첩 캐패시터 저장 노드를 형성하기 위해 사용할 수 있다.

13. 이식된 실리콘 함유재를 선택적으로 식각하는 공정으로 원위치 적적을 사용한 컨테이너 캐패시터 셀의 형성.

도60 내지 도64는 본 발명의 제 13 방법을 도시한 것이다. 제 13 방법 하에서, 중첩 캐패시터의 저장노드는 중첩 노드의 큰 표면적을 제공하고 반도체 기판 상의 최소 표면적을 차지하게 형성한다.

도60은 제 13 방법을 사용하기 위한 초기 구조물을 도시한 것이다. 도60의 구조물은 제 11 방법 또는 유사한 방법에 따라 제조할 수 있다. 묘사된 실시예에서, 반도체 웨이퍼(260)는 그 상부에 실리콘 기판(262)을 가진다. 실리콘 기판(262)의 부분은 MOS 트랜지스터의 소오스/드레인 영역과 같이 일반적으로 적용되는 것 처럼 형성된 활성 영역(264)을 위해 불순물을 첨가한다.

표사된 실시예에서, 한쌍의 게이트 영역(266)은 활성영역(264)에 인접한 실리콘 기판(262)상에 형성되고 그리고 절연물로 싸인다. 상기 절연물은 게이트 영역(266)의 상단 사에 질화 실리콘 캡(266a)를 포함한다. 하부 절연층(268)은 게이트 영역(266) 상부에 형성되고 질화 실리콘 캡(266a)의 상단 레벨로 평탄화 된다. 폴리실리콘 플러그(270)는 하부 절연층(268) 내에 형성되고, 그리고 구현예에서는 게이트 영역들(266) 사이에 위치한다.

하나의 하부 절연층(268)은 평탄화되고 폴리실리콘 플러그(270)은 형성되며, 상부 절연층(272)는 하부 절연층(268) 상부에 축적된다. 상부 절연층(272)을 형성한 후에, 개구(274)는 상부 절연층(272)내에 형성한다. 개구(274)는 게이트 영역(266)을 부분적으로 상치하고 폴리실리콘 플러그 상단을 노출시킨다. 개구(274)의 둘레 또는 에지들은 질화 실리콘 캡(266a)의 상단 상에 위치해 있고, 제 12방법을 위해 실시된 방법으로 개구의 자동 정렬을 위해 제공된다. 개구(274)는 바람직하게 평평한 바닥과 수직의 벽을 가지는 원형 단명이다. 개구(274)는 또한 폴리실리콘 플러그(270)와 활성 영역(264)과 다른 차지 도전영역들 상부에 형성된다.

도61은 제 13 방법에 따른 다음 공정을 도시한 것이다. 도61에 나타낸 바와 같이, 하부 폴리실리콘층(276)과 같ㅊ은 실리콘 함유물 층은 개구(274)내에 형성한다. 하부 실리콘 함유물층(276)은 개구(274) 바닥에 접촉된 폴리실리콘 플러그(270) 바닥 부부(276a) 수평으로 연장하여 형성한다. 측부분(276b)은 바닥부분(276a)의 끝단으로부터 상향으로 수직으로 대체로 연장되도, 개구(274)의 측벽에 접촉하게 형성한다. 개구(274)는 바람직하게 연속적인 원형 개구이고, 측부부(276b)은 또한 바람직하게 연속적인고 원형이다.

폴리실리콘층(278)층과 같은 실리콘 함유물의 중간층은 개구(274)내의 하부 실리콘측(276)에 위쪽과 바로 인접하게 대체로 형성한다. 중간 폴리실리콘층(278)의 수평으로 연장된 바닥부분(278a)은 바닥부분(276a)의 상부와 바로 인접한 곳에 형성하고, 대체로 수직하게 연장된 측부분(278b)은 바닥부분(278a)의 끝단으로 부터 상향으로 연장된 측부분(276b)의 바로 인접한 곳에 형성된다.

상부 폴리실리콘층(280)과 같은 실리콘 함유물층은 후에 개구(274)내의 중간 폴리실리콘층의 위쪽과 바로 인접한 부분에 형성한다. 상부 폴리실리콘층(280)의 수평으로 연장된 바닥부분(280a)은 바닥부분(278a)의 위와 바로 인접한 부분에 형성되고, 그것의 대체로 수직하게 연장된 측부분(280b)은 바닥부분(278a) 끝단으로부터 상향으로 연장된 측부분(278b)에 바로 인접하게 형성된다.

하부 폴리실리콘층(276)과 상부 폴리실리콘층(280)은 바람직하게 제 1 방법에서 상술한 바와 같이 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 사용할때 불순물이 첨가되지 않은 실리콘 함유물이 대체로 낮은 비율로 식각되도록 하부 폴리실리콘층(276)과 상부 폴리실리콘층(280)의 경우에 많은 불순물을 이식시킨다. 불순물은 제 1 방법에서 이식한 이온과 같은 형태이고, 이식시키거나 축적되는 본질적으로 축적시킬 수 있다.

도61에 나타낼 수 있는 것 처럼, 각각의 하부 폴리실리콘층(276), 중간 폴리실리콘층(278), 그리고 상부 폴리실리콘층(280)은 바람직하게 실리콘 기판(262) 표면 상부의 블랭킷층들과 같이 축적한다. 따라서, 각각의 하부 폴리실리콘층(276), 중간 폴리실리콘층(278), 그리고 상부 폴리실리콘층(280)의 일부분은 또한 ㅎ상부 절연층(272)의 표면에 평행하게 연장하여 형성한다.

도62는 제 13 방법에 따른 다은 공정을 도시한 것이다. 도62에 나타낸 바와 같이, 하나의 하부 폴리실리콘층(276), 중간 폴리실리콘층(278), 그리고 상부 폴리실리콘층(280)은 선택된 이온으로 화살표(282)로 나타낸 바와 같이 개구(274) 속에 이식시켜 형성한다. 이식시키기 위해 선택된 이온들의 형태는 제 1 방법에서 상술한 바와 같이 이식된 실리콘 함유물질을 선택적으로 식각하는 공정에 따라 결정된다. 이온 이식 작업의 이온들은 바람직하게는 반도체 웨이퍼(260)의 평판에 직각 방향으로 이식된다. 이식 에너지의 범위는 상부 폴리실리콘층(280)의 측벽부분(280b)으로 덮여있지 않은 바닥부부

(280a)통해 중간 폴리실리콘층(278) 바닥 부분(278a)의 일부분속에 이온들을 이식시키기 충분하도록 사용된다. 이식영역들(284, 286)은 바닥부분(278a, 278b)내에 형성된다. 이식영역들(284, 286)은 개별적으로 바닥부분(278a,280a) 보다 작은 수평면적을 가진다.

이온 이식 작업을 실시한 후에, 상부 절연층(272)의 최상부 표면 상부에 위치하고 개구의 상단 위로 연장된 하부 폴리실리콘층(276), 중간 폴리실리콘층(278), 그리고 상부 폴리실리콘층(280)의 일부분은 높은 축소공정으로 제거한다. 상기 축소공정은 바람직하게는 평탄화 작업으로 실시하고, 좀더 바람직하게는 산화물 상에서 정지하는 CMP 형성으로 실시한다.

도63은 제 13 방법의 다음 공정을 나타낸 것이다. 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 실시한다. 상기 식각공정은 제 1 방법에서 상술한 바와 같은 거의 동일한 방법으로 실시한다. 하부 폴리실리콘층(276)과 상부 폴리실리콘층(280)의 일부분은 선택적 식각공정으로 대체로 시각되지 않은 하부 폴리실리콘층(276)과 상부 폴리실리콘층(280)과 같이 천천히 식각되로록 이식된 실리콘 함유물질을 선택적으로 식각하는 공정의 경우 불순물을 이식시키기 때문이다. 이식된 영역들(284, 286)은 또한 이식되지 않은 식각되지 중간 폴리실리콘층(278)의 일부분을 이식된 실리콘 함유물질을 선택적으로 식각하는 골정으로 대체로 제거하는 동안 식각되지 않는다. 다음 공정으로, 상부 절연층(272)을 폴리실리콘을 선택적으로 식각하는 다음 공정으로 제거한다.

상술한 것으로부터, 구조물의 경과는 중첩 캐패시터 저장노드와 같이 사용하기 위해 위치한다. 도64는 수평으로 연장된 바닥부분(176a)과 바닥부분(276a)으로부터 상향으로 연장된 대체로 수직으로 연장된 측부분(276b)을 가지는 하층 폴리실리콘층을 포함하는 하나의 중첩 캐패시터 저장노드(288)가 나타나 있다. 중간 폴리실리콘층(278)은 표면적이 감소하고 하부 폴리시리콘층(276)의 바닥부분(176a)의 위과 바로 인접한 곳에 위치한 수평으로 연장된 바닥부분(280a)을 가진다. 상부 폴리실리콘층(280)의 바닥부분(280a)과 하부 폴리실리콘층(278)의 바닥부분(276a)은 중간 폴리실리콘층(278)의 감소된 바닥부분(278c) 보다 큰 표면적을 가지며, 바닥부분(276a)과 바닥부분(280a) 사이에 수평으로 연장되고 측부분(276b)과 측부분(280b) 사이에 형성하기 위한 열린면적(294)가 인가된다.

도64의 구조물은 실리콘 기판(262) 상에 한정된 수평공간으로 큰 표면적을 제공하는 장점이 있다. 도64의 구조물의 표면적은 전통적인 방법으로 형성할 수 있는 것보다 크며, 중간 폴리실리콘층(278)의 표면적을 감소시키는 것은 제 13 방법에 의해 제공된다.

도64에 도시된 바와 같이, 중첩 캐패시터 저장노드(288)을 사용하여 완성된 중첨 캐패시터에서, 얇은 유전층(290)은 저장노드(288)의 노출된 표면 상부에 형성된다. 차후에, 상부 캐패시터 평판(292)은 그 상부에 형성된다. 상부 캐패시터 평판(292)은 얇은 유전층(290) 상단 상부에 축적된 블랭킷 폴리실리콘층으로 인해 대체로 형성된다. 상부 캐패시터 평판(292)은 또한 폴리실리콘과 다른 재료로 형성할 수 있다.

중첩 캐패시터 저장노드는 큰 표면적을 갖는 제 13 방법하에서 그리고 그것들로부터 형성된 중첨 캐패시터의 높은 차지 보유로 인해 형성된다. 반도체 기판상에 감지할 수 있는 작은 표면적을 점유한 중첩 캐패시터 노드와 같이 최종적인 통합회로의 초소형화는 더 진행된다. 상기 중첩 캐패시터는 또한 단순하고 효과적인 방법으로 형성되며, 그것으로 인하여 통합회로 제조공정의 높은 산출량과 낮은 비용을 제공한다.

14. 이온 이식각에 의해 결정된 측벽두께를 가지는 중첩 캐패시터 저장 노드의 형성

본 발명의 제 14 방법이 도 65 내지 도 68에 예시되어 있다. 이 제 14 방법에서, 중첩 캐패시터의 저장노드가 형성된다. 저장노드는 큰 표면적과 그에 따른 고충전유지부를 제공하는 한편, 반도체기판상에 형성된 미소공간을 소비하는 방도로 형성된다. 제 제 14 방법은 저장노드의 프리-스탠딩벽이 형성되고, 프리-스탠딩벽이 서브-포토리쏘소그라피 리솔루션 디멘젼(sub-photolithography resolution dimensions)으로 형성되는 두께에 대해 유연성을 제공한다.

도 65 는 반도체기판이 제공된 제 14 방법의 출발구조를 예시한다. 이 구현예에 있어, 반도체기판은 위에 실리콘기판(310)이 위치한 반도체 웨이퍼(300)의 형태를 가진다. 실리콘기판(310)에는 다수의 활성영역(312)들이 형성되고, 이중 한 영역은 한쌍의 게이트영역(314)에 인접하고 있다. 각 게이트 영역(314)에는 질화실리콘 캡(314a)이 형성된다.

제 4 방법의 또 하나의 공정에 있어, 실리콘기판(310)과 게이트영역(314)위에 절연층이 형성된다. 이 절연층은 구현예에 있어, BPSG층(316)으로 이루어진다. 평면공정은 가급적 CMP를 포함한다. BPSG층(316)이 형성되고 평탄화된 높이를 제 14 방법에 의해 형성되고 선택된 프리-스탠딩 저장노드의 높이에 상응한다.

BPSG층(316)을 형성하고 평탄화한 후, BPSG층(316)에 개구(318)가 형성된다. 이 구현예에 있어, 개구(318)는 게이트 영역(314)상에 형성되고 게이트 영역들(314) 사이에 위치한 활성영역(312)에 까지 밑으로 연장한다. 개구(318)는 게이트 영역(314)의 질화실리콘 캡(314) 겹치는 개구(318)를 형성함으로써 활성영역(312)에 자동정렬된다. 물론, 활성영역보다는 충전전도영역이 개구(318)밑에 위치 할 수 있고, 그리고 개구(318)는 반도체 기판상에 필요한 어느 곳이든지 위치할 수 있다. 예를들어, 개구(318)는 폴리실리콘 플러그와 접속될 수 있고, 순차로 특정응용의 요구에 따라 하면 충전 전도영역(312)에 또는 기타 반도체장치에 밑으로 연장된다.

개구(318)를 형성한 후, 폴리실리콘층(320)이 개구(318)안에 일부 충전되면서 형성된다. 폴리실리콘층(320)은 가급적 블랭킷층으로서 적층되고 그리고 제 1방법에 대해 설명한 방도로 고유의 폴리실리콘으로 형성된다. 폴리실리콘층(320)의 두께는 프리-스탠딩 저장노드 측벽과 개구(318)의 국변 또는 연부 사이에 형성되는 개방공간의 크로를 결정한다. 일반적으로, 폴리실리콘층(320)의 큰 두께가 개방공간을 큰 양으로 만든다.

제 14 방법의 부가적인 공정이 도 366에 예시되어 있다. 여기에 도시된 바와 같이, 화살표(322)로 나타낸 이온들은 폴리실리콘층(320)에 심어진다. 이온이식 작업은 제 1 구현예에서 거론한 방법으로 실행되고, 그리고 이식된 이온의 형식은 이식된 실리콘 함유 물질에 대해 선택적인 식각공정에 따라서 거론된 바와같이 선택된다. 이온들은 최종 저장노드의 프리-스탠딩벽의 소정두께의 결과에 따라 선택된 이식의 각도 및 이식에너지로 이식된다. 예를들어, 이식각 또는 이식에너지의 변화들은 이식되는 폴리실리콘층(320)의 서로 상이한 부분들을, 및 저장노드를 위한 최종 프리-스탠딩벽의 서로 상이한 두께를 형성시킨다. 이온이식은 폴리실리콘층(320)의 이식부분(326)과 상대적으로 이식되지 않은 부분(324)을 형성시킨다. 예시된 구현예에 있어, 이식된 부분(326)은 개구(318)의 내부주변에 내부링을 형성하고, 그리고 상대적으로 이식된 되지 않은 부분(324)은 이식부분(326)주변에 외부링을 형성한다.

도 67 에 도시한 바와 같이, 이온 이식 작업이 실행된 후, 포토레지스트 플러그(328)와 같은 체적이 평탄화 공정을 실행하기 위한 준비로 개구(318)에 가해져서 패턴화되도록 채워진다. 포토레지스트 플러그(328)는 평탄화중에 손상으로부터 개구(318)의 내부를 보존하고 그리고 종래의 방법을 이용하여 바람직하게 축적된다. 일단 포토레지스트 플러그(328)가 제위치에 있으면, CMP와 같은 평탄화공정이 실행되어 BPSG층(316)의 표면위에 연장되는 폴리실리콘층(320)의 일부분을 제거하게 된다. 포토레지스트 플러그(328)는 그런다음 제거된다.

도 68 에 도시한 바와 같이, 일단 평탄화가 실행되면, 제 1 방법에서 상술한 이식된 실리콘 함유물질에 대해 선택적인 식각공정이 실행된다. 그 결과, 상대적으로 이식되지 않은 부분(324)은 제거되고, 이식 부분(326)은 남아서 프리-스탠딩벽(332a)을 형성하게 된다. 프리-스탠딩벽(332a)은 개구(318)의 연부와 물리적으로 접촉하지 않고 개방공간(330)의 미리 정해진 폭만큼 개구(318)의 연부로부터 분리된다. 유전층과 상부 캐패시터 평판은 BPSG층(316)을 제거 또는 재축적시키지 않고 개방공간(330)에 축적될 수 있다. 따라서, 프리-스탠딩 벽(332a)은 중첩 캐패시터용의 저장노드로서 사용하는데 적절하다.

중첩 캐패시터 저장노드의 표면은 제 14 방법하에서 표면적을 증가시키기 위해 거칠게 된다. 중첩 캐패시터 저장노드의 내부면은 포토레지스트 플러그(328)의 제거후 거칠게 될 수 있고, 폴리실리콘층(320)의 내,외면중 어느 하나는 개방공간(330)의 형성후 거칠게 할 수 있다. 폴리실리콘층(320)의 표면의 거칠기는 단위 ㎠당 표면적을 거칠지 않은 면보다 크게 하여, 완성된 캐패시터의 충전보유량을 증대시킨다. 거친표면은 가급적 폴리실리콘층(320)의 표면상에 반구형 그레인(HSG) 폴리실리콘 또는 원통형 그레인 폴리실리콘(CSG)의 층을 축적함으로써 얻어진다. HSG 폴리실리콘 또는 CSG 폴리실리콘층은 가급적 이 분야에서 공지된 방도로 CVD와 선택적으로 축적된다. 요약하면, 이는 폴리실리콘층(20)상에 비결정형 실리콘의 얇은 비도핑 되거나 가볍게 도핑된 층을 축적시킴으로써 구성되고, 그리고 고압 및 고온을 연속적으로 가한다. 이 고온 고압은 결국 비결정형 실리콘층의 핵형성을 분리형 그레인으로 만든다.

일단 저장노드(332)가 형성되면, 통상적인 플로세스 흐름이 실행되어 중첩 캐패시터를 완성시킨다. 중첩 캐패시터의 완성은 전형적으로 제 13 방법에서 설명한바와 같이, 저장노드(332)상에 얇은 유전체층을 축적시키고 그리고 그위에 상부 캐패시터 평판을 형성시킨다.

제 14 방법은 종래기술에서의 중첩 캐패시터와 중첩 캐패시터 형성방법에 비해 몇개의 장점을 가진다. 예컨대, 중첩 캐패시터는 프리-스탠딩 벽(332a)의 양측과 거친 표면적의 사용으로 인해 큰 표면적을 가지는 제 14 방법에 의해 성형된다. 큰 표면적은 실리콘 기판의 표면적의 많은 부분을 채우고 비용으로 되는 것이 아니다. 아울러, 이들 장점은 단순하고, 효율적이고, 그리고 보다 적은 단계들에 의해 수행되며, 그에 의해 고집적회로 제조공정과 그에 상응하는 저비용을 유지한다.

15. 상이한 깊이 영역의 이온 이식을 이용하고 그리고 이식된 실리콘 함유물질을 선택적으로 식각하는 공정을 이용하는 형상화된 폴리실리콘 구조의 형성

*432본 발명의 제 15 방법은 도69 내지 도77에 도시되어 있다. 제 15 방법하에서, 폴리실리콘 또는 기타 실리콘 함유물질의 형상화 구조가 단일물질 축적 및 최소화의 마스킹 작업과 더불어 형성된다. 제 15 방법의 몇몇 구현예가 제공된다. 각 구현예는 이온의 이식을 통해 형상화 구조를 형성한다. 이온들은 제 1 선택깊이 영역으로서 한층의 실리콘 함유물질의 제 1 선택영역에 그리고 제 제 2 선택영역으로서 제 2 선택영역에 이식된다. 제 2 선택깊이 영역은 제 1 선택깊이 영역보다는 실리콘 함유물질층으로 더 얇게 연장한다. 그런다음 식각공정이 실행되는데 이것은 제 1 방법으로서 상술한 이식된 실리콘 함유물질에 대해 선택적이다. 형상화된 구조들은 일반적으로 제 1와 제 2 선택영역을 일체적으로 접촉시키는 것을 포함하여서 형성된다.

도69는 제 15 방법의 기본 구현예의 초기구조를 예시하는 것으로, 이 구조는 형상화 구조를 프리-스탠딩 폴리실리콘 브리지의 형태로 형성시키는데 이용된다. 도69에 도시한 것을 실리콘 기판(342)으로 형성된 반도체 웨이퍼(340)의 형태를 가지는 반도체기판이다. 실리콘 기판(342)이 위에는 예시된 구현예에서 폴리실리콘층(344)을 포함하는 실리콘 함유물질층이 제공된다. 폴리실리콘 층(344)은 가급적 위에서 한정한 바와 같이 고유의 폴리실리콘을 포함하고, 그리고 특정응용에 의해 선택된 깊이로 축적된다. 폴리실리콘 층(344)위에는 마스킹 기판이 형성되는데 그 일예로서는 포토레지스트 마스크(346)이다. 포토레지스트(346)는 어느 수평형상 일 수 있는 한쌍의 개구(348)로서 패턴화된다.

포토레지스트 마스크(346)가 형성된 후, 제 1 이온 이식 작업이 실행되는 바, 화살표 350로 표시된 이온들은 개구(348)를 통해 폴리실리콘층(344)의 선택영역으로 이식된다. 이 구현예에서 이들 선택영역들은 이식된 직립영역(352)을 포함하고 그리고 실리콘기판(342)으로부터 폴리실리콘 층(344)의 최상부면으로 상향하여 연장되는 기둥형태를 갖는다. 이온들은 이식된 실리콘 함유물질에 대해 선택적인 식각공정에 따라서 선택된 형식으로 되어 있다. 제 1 이온이식 작업의 이식매개 변수들은 제 1 방법으로 거론한 방도로 선택되어서 이온이식의 제 1 깊이범위가 얻어지도록 한다. 이식변수들은 또한 제 1 방법으로 설명한 이식된 직립영역(352)의 형상을 재단하도록 적절히 선택될 수도 있다. 도 69에 도시한 구현예에 있어, 제 1 깊이범위는 폴리실리콘 층(344)의 최상부면으로부터 폴리실리콘 층(344)의 하부까지 연장한다. 이식된 직립영역(352)이 형성된 후, 포토레지스트 마스크(346)는 제거된다.

도70에 예시된 바와 같이, 제 2 포토레지스트 마스크(354) 또는 기타 적절한 마스크 기판이 제 2 이온이식 작업에 사용되기 위해 적절히 적용된다. 제 2 포토레지스트 마스크(354)는 이식된 직립영역(352)들 사이 및 위에 연장하는 개구(356)와 함께 패턴화된다. 개구(356)는 구현예에서, 길다랗게 되어 있고, 그리고 도70의 지면의 방향으로 연장하는 폭을 가진다.

제 2 포토레지스트 마스크(354)가 적용된 후, 제 2 이온이식 작업이 실행된다. 이온의 이식은 화살표 358에 의해 표시된다. 이온들은 가급적 제 1 이온이식작업으로 이식된 바와 같은 형식으로 이루어지며 그리고 제 1 방법에서 거론된 방도로 선택된다. 이온들은 제 1 이온이식작업에서 이용된 것보다 다른 적절한 형식대로 가능하다. 제 2 이온이식 작업은 제 2 깊이 범위대로 이온을 이식한다. 예시된 구현예에서의 제 2 깊이범위는 폴리실리콘층의 최상부면으로부터, 일부 폴리실리콘층(344)을 통해 그리고 적절한 깊이로 연장한다. 제 2 깊이범위는 가급적 제 1 이온이식 작업에서 이용된 이식에너지 범위로부터 감소된 이식에너지 범위를 이용하면서 성취된다. 결론적으로, 제 2 깊이범위는 제 1 깊이범위보다 더 얇은 폴리실리콘 층(344)으로 연장한다. 제 1와 제 2 깊이범위의 이식순서는 역전될수도 있고, 그리고 아울러 이온이식작업도 역시 다른 깊이 범위로 이온을 이식시킬 수 있도록 시행될 수 있다.

제 2 깊이범위로의 이온의 이식은 이식된 직립영역(352)들 사이를 연장하는 이식된 크로스-바 영역(360)를 형성시킨다. 제 2 이온이식 작업은 제 1 이온이식 작업과 마찬가지로 제 1 방법에 대해 위에서 설명한 방도로 이식된 크로스-바아 영역(360)의 형상을 만드는데 적절히 선택된 이온이식 매개변수들로서 실행될수 있다.

폴리실리콘 층(344)은 이식된 실리콘 함유물질에 대해 선택적인 식각공정으로써 연속적으로 식각된다. 이 식각공정은 제 1에 대해 위에서 설명한 방도로 실행되며 이온들과 함께 이식되지 않는 폴리실리콘층(344)의 부분들을 제거한다. 따라서, 이식된 직립영역(352)과 이식된 크로스-바아 영역(360)은 남게되어서 이식된 실리콘 함유물질에 대해 선택적인 식각공정후에 일체적으로 접속된다. 이식된 직립영역(352)와 이식된 크로스-바아 영역(360)은 서로 함께 도71에 도시한 프리-스탠딩 브리지(362)의 형태의 형상화구조를 형성한다. 프리-스탠딩 브리지(362)는 수직상태로 연장하는 한쌍의 직립부(364)와 이 직립부와 접속하는 크로스-바아(366)와 함께 형성된다.

프리-스탠딩 브리지(362)는 축적된 절연층과 같은 다른층과 함께 피복될 수도 있고 그리고 활성영역 또는 바이어스와 같은 두개의 밑면에 붙은 충전접속 영역을 접속시키는데 이용되 수도 있다. 이식된 크로스-바아 영역(360)은 고전압과 같은 에너지에 의해 절단될 수 있는 선택된 두께로 형성되었을때 또한 프로그램형 퓨즈로서 사용될 수도 있다. 이 프로그램형 퓨즈는 예컨대 PROM(programmable read only memory)와 같은 프로그램형 메모리장치를 구성하는데 이용된다.

물론, 도69내지 도71의 예에서 예시한 바와 같이 프리-스탠딩 브리지(362)를 형성시키기 위해 사용된 동작의 컴비네이션 및 순서는 다양할 수 있다. 도64 내지 도71의 기본절차도 역시 기타 형식의 형상화 구조를 형성하는데 이용될 수 있다.

본 발명의 제 15 방법으로 형성될 수 있는 형상화구조의 다른 구현예가 도72에 예시되어 있다. 도72에 도시된 것은 마이크로머신의 하나의 구성품으로서 이용되는데 적절한 레버(364)로서 소형센서 및 액튜에이터에 적용되 수 있다. 레버(364)는 기본 구현예의 프리-스탠딩 브리지(362)의 형성과 유사한 방도로 형성된다. 따라서, 레버(368)를 형성하는데 있어, 프리-스탠딩브리지(362)의 형성에 대해 거론한 바와 같이 동일한 절차가 따른다. 제 1 구현예의 절차에 대한 하나의 예외사항은 이식된 직립영역(352)을 형성할 때 단지 하나의 이식된 직립영역(352)만이 형성된다.

도72의 구현예는 실시예로서 주어지지만 이것에 한정되는 것은 아니다. 예컨대, 당업자가 상기 절차들을 다양하게 결합 또는 변형함으로써 다양한 기타 마이크로-머신 부품들이 형성될 수 있다.

도73은 다중 크로스-바아 프리-스탠딩 브리지(370)가 형성되는 본 발명의 제 15 방법의 다른 구현예를 보여준다. 다중 크로스-바아 프리-스탠딩 브리지(370)가 예컨대 특정 전도도를 가지는 전기 절단형 퓨즈를 형성시키는데 이용된다.

다중 크로스-바아 프리-스탠딩 브리지(370)의 모양은 도69 내지 도71의 구현예의 것과 유사하다. 따라서, 한 구현예에서 폴리실리콘층(344)인 한층의 실리콘 함유물질이 초기에 형성되고, 그리고 제 1 포토레지스트 마스크(346)이 그 다음 도69에 도시한 바와 같이 그 위에 가해져서 패턴화된다. 도69에서 화살표 350으로 표시된 이온들이 그다음 제 1 이온이식 작업에서 포토레지스트 마스크(346)에 있는 개구(348)를 통해 폴리실리콘층(344)으로 이식된다. 제 1 이온이식 작업은 이온들을 폴리실리콘층(344)의 표면으로부터 폴리실리콘층(344)의 하부에까지 연장하는 제 1 깊이 영역으로 이식한다. 한쌍의 이식된 직립영역(348)은 이 이온 이식작업에 의해 형성된다.

또한, 도70에 도시한 바와 같이, 제 2 포토레지스트 마스크(354)가 그런다음 적용되어 패턴화 된다. 후속적으로, 화살표 358로 표시된 이온들이 제 2 이온이식 작업으로써 이식된 직립영역들(352)를 위 및 둘 사이에 위치한 포토레지스트 마스크(366)에 있는 개구(356)에 이식된다. 제 2 이온이식작업의 이온들은 폴리실리콘 층(344)의 표면으로부터 폴리실리콘층(344)으로 밑으로 연장하는 제 2 선택 깊이영역에 이식된다. 제 2 이온이식 작업은 제 2 깊이로 있고 그리고 이식된 직립영역들(352) 사이로 연장하는 이식된 크로스-바아 영역(360)을 형성한다.

그 다음 제 3 이온이식 작업이 실행되어 이온들을 제 3 선택 깊이영역으로된 폴리실리콘층(344)으로 이식시키게 된다. 도73에 도시한 바와 같이, 다중 크로스-바아 프리-스탠딩 브리지(370)를 형성하는데 있어, 제 3 이온이식이 제 2 이온이식 작업으로부터 변경된 한세트의 이온이식 변수들과 함께 실행된다. 이 이온이식 매개변수들은 제 3 깊이영역이 제 2 깊이영역의 최저 깊이보다 큰 초기 깊이를 가진다. 제 3 깊이영역은 그 다음 제 3 깊이영역의 초기 깊이보다 약간 더큰 최종 깊이를 가진다.

제 2와 제 3 깊이영역들은 선택된 거리로 서로 분리되고, 그리고 가급적 이식된 실리콘 함유물질에 대해 선택적인 식각공정을 실행한 후 다중 크로스-바아 프리-스탠딩 브리지(370)가 나타나도록 선택된다. 도시한 바와 같이, 다중 크로스 바아 프리-스탠딩 브리지(370)는 선택된 거리만큼 분리된 상부 브리지 크로스바아(372)와 하면 브리지 크로스-바아(374)를 가진다. 다른 브리지 크로스-바아들도 형성될 수 있고, 그리고 브리지 크로스-바아들들도 다양한 두께로 될 수도 있다. 상, 하면 브리지 크로스바아(372 및 374)의 폭은 이식된 이온들의 각도를 변경함으로써 이식중에 사용된 개구(356)의 폭을 변경시키지 않고서도 만들 수 있다. 따라서, 두개의 선택된 깊이영역의 이온들은 동일한 포토레지스트 마스크를 이용하여서 이식되어 두개의 분리된 크로스-바를 형성하게 되고, 그리고 이 두 크로스바아의 폭은 제 2와 제 3 깊이영역의 각각을 형성하는 이온이식 작업들 사이에 이온들이 이식된 각도들을 변경시키므로써 다양해질 수 있다.

한 구현예에 있어, 다중 크로스-바아 프리-스탠딩 브리지(370)는 프로그램형 메모리장치에서 퓨즈로써 이용된다. 그렇게 하는데 있어, 상부 크로스바아(372)와 하부 크로스바아(374)는 적용된 에너지에 의해 절단될 수 있는 두께로 형성된다. 적절한 두께의 부가적인 크로스바아들로 아울러 형성될 수 있다. 다중 크로스바아들은 직립부(364)들간의 접속부의 저항도를 확인하는데 이용될 수도 있다. 예컨대, 보다 큰 전도도가 요구된다면, 각각 제 1와 제 2 크로스바아(372 및 374)는 고

스란히 그냥 비접촉상태로 남는다. 감소소 전도도가 요구된다면, 제 1와 제 2 크로스바아(372, 374)중 하나는 절단되어 직립부(364)와의 접속을 차단한다. 각각의 제 1와 제 2 크로스바아(372, 374), 및 필요시의 기타 다중 크로스바아들도 서로 다른 두께 및 대응하는 전도도를 가져서 형성되는 프로그램형 메모리장치의 전도도를 확인하도록 한다.

제 15 방법의 다른 구현예가 도74에 단면으로서 도시되어 있다. 여기에 도시된 것은 한세트의 오버래핑 브리지(376)이다. 이 오버래핑 브리지(376)는 그의 어느 일단이 제 1 세트의 직립부(364)중 하나에 접속된 상부 브리지 크로스바아(378) 및 그의 어느 일단이 제 2 세트의 직립부(382)중 하나에 접속된 수직방향으로 배향된 하면 브리지 크로스바아(380)로 이루어진다. 도74의 상부 브리지(376)는 예컨대 반도체 장치 또는 반도체 장치의 분리형 특정부들이 전기적인 상호접속부들이 전기접촉을 이루지 않고 서로 크로스되는 방도로 전기적으로 상호접속되는 경우에 이용된다. 통상적인 방법하에서, 다중게 하는 것은 많은 물질의 축적 및 마스크 작업을 요하지만, 반면에 본 발명의 방법에서는 도74의 상부 브리지(376)는 그와 같은 물질 축적 및 마스크 작업의 최소량으로 형성될 수 있다.

본 발명의 제 15 방법의 오버래핑 브리지(376)의 형성은 도69내지 도71의 제 1 구현예와 유사하다. 따라서, 폴리실리콘층(344)은 초기에 형성되고, 그리고 제 1 폴토레지스트 마스트(346) 또는 기타 마스크 기판은 그 다음 도 69에 도시한 바와 같이 가해져서 패턴화된다. 화살표 350으로 표현된 이온들이 그다음 제 1 이온이식 작업으로서 포토레지스트 마스크(346)의 개구(348)를 통해 폴리실리콘 층(344)에 이식된다. 그러나, 도69의 구현예와 달리, 도70에서 알 수 있는 이식된 직립영역(352)과 같은 네개의 이식된 직립영역들이 형성된다. 이 네개의 이식된 직립영역들은 제 1 세트의 직립부(364)와 제 2 세트의 직립부(382)를 형성한다. 제 1 세트의 직립부(382)는, 도74에 도시한 바와 같이 이식된 실리콘 함유물질에 대해 선택적인 식각공정이 실행된 다음 제 1 세트의 직립부(364)로부터 옵셋된다. 후속적으로, 제 2 포토레지스트 마스크(354) 또는 기타 마스크 기판은 도70 에 도시한 이식된 직립영역(352)들 사이 및 그위에 위치한 개구(356)으로서 적용 패턴화 된다. 제 2 이온이식 작업이 그다음 실행되어 이식된 크로스바아 영역(360)에 유사한 상부 이식된 크로스-바아 영역을 형성하게 된다. 이 상부 이식된 크로스-바아 영역은 가급적 폴리실리콘층(344)의 최상부면으로부터 폴리실리콘층(344)의 표면보다 약간 깊은 거리로 연장하여 이식된 실리콘 함유물질에 대해 선택적인 식각공정이 실행되는 즉시 상부 브리지 크로스-바아(378)를 형성하는 제 2 깊이영역을 가진다.

제 3 포토레지스트 마스크가 형성되고 제 3 이온이식 작업은 그다음 실행된다. 제 3 이온이식 작업은 제 2 깊이 범위보다 더 깊은 제 3 깊이 범위를 가지는 하부의 이식된 크로스바아 영역을 형성한다. 그렇게 하는데 있어, 동일절차가 상부의 이식된 크로스바아 영역을 형성하는데 사용된 바와 같이 따르게 된다. 그러나 하부 이식된 크르스바아 영역을 형성하는데 있어, 개구(356)는 상부의 이식된 크로스바아 영역에 직교하거나 그렇지 않으면 크로스 방향으로 배향된 하부의 이식된 크로스바아 영역을 형성하기 위해 재배향된다. 그에 의해, 이식된 실리콘 함유물질에 대해 선택적인 식각공정이 실행되면, 상부의 브리지 크로스-바아(378)가 형성되어 하부 브리지 크로스-바아(378)와 접촉없이 가로지르게 될 것이다.

도74a및 도74b에 나타난 구현예의 최종처리에 있어, 식각공정은 제 1 구현예에 대해 앞서 거론한 바와 같이 이식된 실리콘 함유물질에 대해 선택적으로 실행된다. 이 식각공정은 상부 브리지 크로스-바아(378) 제 1 세트의 직립부(376), 하부 브리지 제 1 세트의 직립부를 통해 연장하는 크로스-바아(380), 및 제 2 세트의 직립부(382)이외의 폴리실리콘층(344)의 부분들을 제거한다.

제 15 방법의 다른 구현예가 도75 및 도76에 도시되어 있다. 도75 및 도76의 구현예에 있어, 건식식각 공정이 제 15 방법의 기본 구현예에 이용되어 도76에 도시한 바와 같이 개구가 그의 하부를 통해 연장하는 실리콘 함유물질의 프리-스탠딩 블록을 형성하도록 한다. 개구는 나중에 절연체 또는 전도체 중 어느 하나인 제 2 물질로 채워질 수 있다. 만약 절연체로 채워지는 경우, 실리콘 함유물질의 블록은 제 15 방법의 제 1 구현예로 설명된 브리지로서 역할을 한 것이다. 만약 전도체로 채워진다면, 실리콘 함유물질의 블록은 산화되고 절연체로 변화되어서, 최소량의 물질 축적 및 마스크 작업을 이용하면서 상부절연층과 전기적인 상호접촉을 형성하게 된다.

도75에 도시한 바와 같이 개구가 하부를 통해 연장하는 실리콘 함유물질의 프리스탠딩 블록을 형성하는데 있어, 폴리실리콘 층(344)과 같은 실리콘 함유물질의 층이 일차 형성된다. 그런다음, 폴리실리콘층(344)가 도69 및 도70에서 설명한 바와 같이 개구(396)가 형성되는 곳에 위치한 폴리실리콘층(344)의 상부 영역(388)을 덮는 제 포토레지스트 마스크가 마스킹된다. 제 1 이온이식 작업은 그런다음 도69 및 도70으로 설명된 방도로 실행된다. 제 1 이온 이식은 가급적 이온들을 도76에 도시한 폴리실리콘 블록(392)의 개구가 형성되는 위치에 인접하는 제 1 측면 영역(386a)과 제 2 측면 영역(386b)으로 이식시킨다. 제 1 이온이식 작업의 이온들은 폴리실리콘층(344)의 최상부면으로부터 폴리실리콘층(344)의 하부까지 연장하는 제 1 깊이범위를 가진다.

*455그 다음 제 2 이온이식 작업이 이온들을 폴리실리콘층(344)의 상부 영역(388)으로 이식시키기 위해 제 1 방법으로 설명한 방도로 실행된다. 제 2 포토레지스트 마스크 또는 기타 마스크 기판이 사용되어 상부영역(388)에 개구를 한정하게

되고, 그렇지만 이온들이 제 1와 제 2 측면영역(386a 및 386b)에 이식되는 것만큼 필요한 것은 아니다. 제 2 이온이식 작업의 이온들은 폴리실리콘 층(344)의 최상부면으로부터 폴리실리콘 층(344)의 중간점까지 연장하는 제 2 깊이범위로 이식되어서 그에 의해 상부영역(388)을 한정하게 된다. 그렇게 하는데 있어, 상대적으로 이식되지 않은 영역(390)은 상부 영역(388) 밑에 남게 된다. 가급적, 상대적으로 이식되지 않은 영역(390)은 길쭉하고 그리고 도75의 페이지에 대면하는 방향으로 측면으로 연장한다.

제 2 포토레지스트 마스크 및 이온이식 작업을 이용하는 대안예에 있어, 제 1 포토레지스트 마스크는 제 2 이온이식 작업을 위해 제위치에 남게 될 수 있다. 그경우, 증가된 이식에너지가 이용되어 이온들이 제 1 포토레지스트 마스크를 통해 일부 폴리실리콘층(344)으로 이식되어 상부 영역(388)을 이식하도록 한다.

일단 상부 영역(388)이 이식되면, 포토레지스트 마스크(366) 또는 기타 적당한 마스크 기판이 폴리실리콘층(344)상에 적용된다. 가급적이고 RIE와 같은 건식 식각공정인 이방성 식각공정이 그다음 실행되어 도76에 도시한 폴리실리콘 블록(392)을 형성시킨다. 그런다음, 식각공정이 실행되어 제 1 구현예로서 설명한 바와 같이 이식된 실리콘 함유물질에 대해 선택적으로 된다. 개구(394)는 그에 의해 형성되어 예시된 바와 같이 폴리실리콘 블록(392)을 통해 연장한다. 물론, 폴리실리콘 블록(392)은 어떠한 사이즈, 형상이나 치수로도 가능하고, 그리고 그를 통과하는 개구(394)도 역시 어떠한 사이즈, 형상 또는 치수도 가능하다. 바람직하기로는 개구(394)는 폴리실리콘 블록(392)을 완전히 통과하고, 그러나 다양한 응용에서는 개구(394)가 전기적 상호접속이 절연물질에 의해 두측면 보다 더크게 둘러싸이도록 형성되는 것과 같이 폴리실리콘 블록(392)을 완전히 통과하여 연장하지 않는다.

거론한 바와 같이, 한 구현예에서 개구(394)는 절연물질로 채워져서 브리지를 형성하게 된다. 대안적인 구현예에 있어, 개구(394)는 예컨대 알루미늄 리폴로우의 공정에 의해 전도 물질로 채워진다. 이 대안예에 있어, 개구(394)는 길다란 형태로 도76의 페이지로 연장하면서 형성되고 개구(394)를 채우고 있는 전도물질은 그다음 반도체 장치를 전기적으로 접속시키는 상호접속라인 또는 반도체 장치의 분리형 특징부로서 이용된다. 제 1 방법과 함께, 상호연결 라인은 서브-포토리쏘그라피 리솔루션 넓이로 될 수 있다.

개구(394)와 같은 다중 개구들은 폴리실리콘 블록(392)에 형성될 수 있다. 또한 개구(394) 또는 그와 같은 개구들은 제 1 방법으로 설명한 방도로 이온이식 변수의 적절한 선택에 의해 높이, 폭, 및 형상을 조절할 수 있다.

제 15 방법의 다른 구현예가 도77에 도시되어 있다. 도77은 폴리실리콘층(344)을 통과해 연장하는 터널(396)을 보여준다. 터널(396)은 예컨대 전기적으로 전도성 물질로 채워질 수 있다. 그와 같은 경우에 있어, 폴리실리콘층(344)이 도76에 대해 거론하 바와 같이 절연물질에 피복되어 있다. 터널(396)을 전도물질로 채우고 그리고 터널(396)을 절연물질로 에워싸는 것은 터널(396)로 하여금 반도체 장치 및 그의 일부분 사이에 전기적 접속부로써 이용하려는 것이다. 터널(396)은 여기서 상세히 설명한 이식 및 식각 공정으로써 설명한 바와 같이, 최소의 마스킹 및 물질 축적 작업으로써 형성된다.

도77의 터널(396)을 형성하는데 있어, 이온이식은 도69 및 도70의 이온이식작업과 유사한 방도로 실행된다. 그러나, 도69 및 도70 의 이온이식작업과 달리, 도69의 포토레지스트 마스크(346)와 같은 마스크 기판은 터널(396)이 형성되는 어느 일단에 인접하는 제 1 측면영역(398) 및 제 2 측면영역(402)위에 있는 개구들을 남기는데 이용된다. 제 1 방법의 이식된 실리콘 함유물질에 대해 선택적인 식각공정에 따라 선택된 형식의 이온들은 그 다음 제 1 및 제 2 측면 영역(398 및 402)의 전체에 이식된다. 제 2 포토레지스트, 또는 기타 마스크 기판은 그다음 터널(396)의 하부가 형성되는 위치위에 놓인 상부영역(400)상에 개구를 남겨놓으면서 형성된다.

그다음 이온들은 제 2 이온이식작업으로써 상부영역(400)에 이식된다. 제 2 이온이식작업에 있어, 이온들은 제 1 이온이식작업의 깊이범위보다 더 작은 깊이로 선택된 깊이 범위로 이식되어, 이식된 이온들이 상부영역(400)을 이식시키기 위해 폴리실리콘층(344)으로 일부 이식하지만 터널(396)의 하부가 형성되는 위치는 아니다.

그런다음, 식각공정이 제 1 구현예로서 설명한 바와 같이 이식된 실리콘 함유물질에 대해 선택적으로 실행된다. 제 1 및 제 2 측면영역(398 및 402) 및 상부영역(400)을 포함하는 폴리실리콘층(344)의 이식된 부분들은 남아 있게 되고, 폴리실리콘은 터널(396)로부터 제거되어 도77에 도시한 구조를 생성하게 된다.

본 발명의 제 15 방법에 의해 형성된 구조들은 본 발명의 제 15 방법의 이용없이 수행되기 보다는 보다 적은 물질축적 및 마스킹 작업으로써 구성된다. 따라서, 형상화 구조가 집적회로 제조공정의 높은 생산 및 저 비용을 유지하면서 효과적으로 형성된다.

16. 이식된 실리콘 함유물질을 선택적으로 식각하는 공정으로 병모양 트랜치의 형성.

본 발명의 제 16 방법이 도78 내지 도81 에 도시되어 있다. 제 16 방법은 트랜치 캐패시터 또는 트랜치 절연영역을 형성하는데 이용되는 병모양 트랜치를 형성하는데 이용된다. 제 16 방법의 병모양 트랜치는 그의 상부보다 하부가 더 넓다. 따라서, 병모양 트랜치는 반도체 기판상에 조밀한 반도체장치의 패키징을 가능하게 한다.

도78는 병모양 트랜치를 형성하는데 있어서 초기 구조를 보여준다. 도78 및 도79에 예시된 구현예에 있어, 병모양 트랜치는 반도체 웨이퍼의 실리콘 기판을 이루는 반도체 기판상에 CMOS회로에 있는 트랜지스터를 사이에 형성된다. 그럼에도 불구하고, 당업자들은 제 16 방법에 의해 형성된 병모양 트랜치가 얼마의 체적을 칸은 실리콘안에 그리고 어느 형식의 반도체 기판상에서 형성될 수 있다는 것을 잘 알 것이다.

도78의 구조를 형성하는데 있어서의 초기절차는 얼마의 실리콘 함유물질을 제공하는 것을 포함한다. 예시된 구현예에 있어, 실리콘 함유물질은 실리콘 기판(412) 상에 형성된 반도체 웨이퍼(410)를 포함한다. 한쌍의 게이트영역(414)도 역시 실리콘 기판(412) 상에 형성된다. 게이트 영역(414)들은 절연스페이서(416)에 싸여 있다. 활성영역(412a)도 역시 게이트 영역(414)에 인접한 실리콘 기판(412)에 형성된다. 후속적인 처리에 있어, 포토레지스트 마스크(418)의 형태이 있는 마스크기판은 실리콘기판(12)상에 그리고 게이트영역(4제 14)상에 형성된다. 트랜치(420)는 그다음 포토레지스트 마스크(418)의 개구(418a)를 통해 실리콘 기판(412)으로 이방성적으로 식각된다. 트랜치(4200는 가급적 이방성 측벽과 함께 형성된다.

물론, 게이트 영역(414)과 활성영역(412a)은 트랜치 형성전에 형성될 필요는 없고, 병모양 트랜치가 형성되어서 트랜치 절연 영역이나 트랜치 캐패시터를 형성하도록 채워진 후를 포함하는 집적회로 제조공정의 어느 적절한 단계에서 형성될 수 있다.

후속적으로, 화살표 422로 표시된 어느 선택된 형식의 이온들이 이방성 트랜치(420)의 측벽(420a) 및 하부(420b)에 이식된다. 이온들은 제 2 방법에서 설명된 이식되지 않은 실리콘 함유물질에 대해 선택적인 식각공정에 따라 결정된 선택적인 형식이다. 이온이식 작업은 가급적 실리콘 기판(412)에 직교하지 않는 각도로 이온들을 이식시키도록 실행된다. 따라서, 이온들이 트랜치(420)의 코너에 이식되도록 하는 어느 각도의 탄도로써 이식된다.

이식된 영역(424)은 트랜치(420)의 상부에 얇은 상부 이식부분(424a) 및 트랜치(420)의 하부에 두꺼운 하부 이식부분(424b)으로 형성된다. 이식의 각도는 가급적 트랜치(420)의 코너들에 많은 양의 이온들을 이식시킬수 있도록 선택된다. 다른 이식 파라메터들도 역시 제 1 및 제 2 방법에서 설명한 방도로 상, 하부 이식부분(424a 및 424b)의 치수를 재단하도록 선택될 수 있다. 이온이식 작업은 다수의 이식단계로 실행될 수 있는데 이때 이온이식의 각도는 다수의 이식단계사이에서 다양하다.

제 16 방법의 다른 공정에 있어, 트랜치(420)의 측벽과 하부의 이식부분들은 이식되지 않은 실리콘 함유물질에 대해 선택적인 식각공정으로 식각된다. 이 식각공정은 상기 제 2 방법의 설명에 따른 방도로 실행된다. 그 결과물이 도79에 도시한 병모양 트랜치(426)이다. 병모양 트랜치(426)는 수직으로 하향하여 실리콘 기판(412)으로 연장되는 연속형 측벽(426a)이 형성된다. 병모양 트랜치(426)의 측벽(426a)은 비교적 좁은 상부 목부분(426b); 및 이 목부분(426b)보다 넓은 구근모양의 하부부분(426c)을 가진다.

도80은 병모양 트랜치(426)의 한 응용예를 보여주는 것으로서, COMS DRAM 메로리 셀이 형성 예정의 트랜치 캐패시터와 관련되는 것으로 구성되어 있다. 트랜치 캐패시터(434)를 형성하는데 있어, 저장노드층(428)은 일차 병모양 트랜치(426)와 함께 형성된다. 예시된 구현예에 있어, 저장노드층(428)은 화학적증착(CVD)에 의해 축적된 폴리실리콘층을 포함한다. 그런다음, 유전층(430)이 가급적 성장된 산화층같이 병모양 트랜치(426)의 저장노드층(428)위에 형성된다. 일단 유전층(430)이 형성되면, 상부 캐패시터 플레이트(432)는 유전층(430)상에 적층된다. 상부 캐패시터 플레이트(432)도 아울러 CVD공정과 함께 폴리실리콘으로부터 형성된다. 저장노드층(428)은 그런다음 적절한 방도로 트랜지스터(414)의 어느 하나에 전기적으로 접촉되고, 상부 캐패시터 플레이트(432)는 적절한 방도로 워드라인에 전기접속된다.

트랜치 캐패시터(434)는 상부보다는 하부가 넓은 병모양 트랜치(426)의 형상으로 인해, 보다큰 포면적을 가지는 것으로 형성된다. 병모양 트랜치(426)의 형상은 점유된 실리콘기판(412)의 소형 표면공간으로 인해 반도체웨이퍼(410)상에 보다 조밀한 반도체 장치의 패키징을 허용한다. 트랜치 캐패시터(434)는 또한 병모양 트랜치(426)가 형성된 큰 표면적으로 인해 높은 캐패시턴스를 갖는다.

병모양 트랜치(426)는 도81에 도시한 바와 같이 개선된 트랜치 절연영역(440)의 형성을 위해 이용된다. 트랜치 절연영역(440)의 형성을 위해 이용된다. 트랜치 절연영역(440)을 형성하는데 있어, 많은 절연물질이 병모양 트랜치에 형성된다.

한 구현예에 있어, 많은 절연물질은 병모양 트랜치의 측벽 및 하부에 성장된 열적인 산화층(436)을 포함한다. 또한, 산화충전재층(438)은 병모양 트랜치의 나머지 부분에 축적된다. 산화충전전재층(438)은 가급적 TEOS공정으로 축적된다. 최종의 트랜치 절연영역(440)은 소규모의 실리콘 기판(412)의 표면적을 점유하고 그리고 그위에 반도체 장치의 조밀한 패키징을 용이하게 한다. 큰 표면적과 연장된 깊이도 역시 제공되어 결국 이들 어느 측면에 위치한 트랜지스트들 간에 혼선전류 누수에 대한 큰 저항을 가지게 된다.

17. 이식된 실리콘 함유물질을 선택적으로 식각하는 공정으로서 수평면상에 실리콘 함유물질의 형성.

본 발명의 제어방법에 도82 내지 도86에 예시되어 있다. 제 17 방법은 상부의 수평면에 그리고 돌출구조의 측면에 실리콘 함유물질을 형성시키는데 이용된다. 제 17 방법하에서, 실리콘 함유물질은 수직표면상에 또는 수직표면의 하부에는 형성되지 않는다. 이렇게 형성된 형상화 구조의 사용을 위한 몇몇 응용예가 여기에서 설명되는 바, 존재하는 상호연결 구조들의 전도도를 증대시키느데 사용하는 응용, 새로운 상호연결 구조들을 형성시키는데 사용하는 응용, 및 펀치통과 돌출부를 제공하기 위해 할로 임플란트(halo implant)를 위한 이식 마스크로서 사용하기 위한 응용들을 포함한다.

도82는 제 17 방법의 초기구조를 보여준다. 제 17 방법하에서, 반도체 웨이퍼(450)와 같은 반도체기판은 초기에 제공된다. 예시된 구현예에 있어, 반도체 웨이퍼(450)은 CMOS집적회로를 형성하는데 이용되고 그리고 2개의 N+ 도핑된 소오스/드레인 영역(452a)과 개재된 가볍게 P-도핑된 채널영역(452a)가 제공된다. 수직으로 연장하는 면과 수평으로 연장하는 면들이 돌출구조의 형태로 반도체 웨이퍼(450)상에 제공된다. 도82의 구현예에서의 돌출구조는 가볍게 P-도핑된 채널 영역(452b)위에 위치하고, 그리고 위에 질화스페이서(456)이 형성된 게이트 영역(454)을 포함한다. 양측의 게이트영역(454)과 질화스페이서(456)는 통상적인 방도로 형성된다. 게이트산화층(454)은 예시된 구현예에서 게이트영역(454)밑에 형성된다. 게이트영역(454)은 길쭉하게 되어 예컨대, 게이트영역(454)이 DRAM 메모리 회로의 워드라인을 포함할때 도82의 페이지를 바라보는 방향으로 돌기하도록 한다.

제 17 방법하에서, 다량은 실리콘 함유물질이 돌출구조상에 형성된다. 따라서, 도82의 구현예에서, 폴리실리콘층(458)은 게이트 영역(454)과 질화스페이서(456)위에 형성된다. 폴리실리콘층(458)은 가급적 고유의 폴리실리콘으로 형성되고 어떤 적절한 방도로 형성된다.

폴리실리콘층(458)이 형성되면, 이온이식 작업이 실행되어, 도82중 화살표 460으로도 표시된 것과 같이 이온들은 폴리실리콘층(458)의 수평면(458a)으로 이식된다. 이식된 이온들은 제 1 방법에서 거론한 바와 같이 이식된 실리콘 함유물질에 대해 선택적인 식각공정에 따라서 선택된 형식을 갖는다. 이 이온들은 가급적 수평면(458a)에 직교한 이식각도로서 이식된다.

이온이식 작업을 실행한 후, 이식된 실리콘 함유물질에 대해 선택적인 식각공정은 상기 제 1 방법의 거론에 따른 방도로 실행된다. 식각공정의 결과가 도83에 도시되어 있다. 여기에 도시한 바와 같이, 폴리실리콘층(458)의 모든 수직세그멘트(458b)는 이동되고, 그리고 폴리실리콘층(458)의 모든 수평세크멘트(464)는 남게된다. 상부 폴리실리콘(462)은 게이트 영역(454)와 질화 스페이서(456)위에 놓인다. 한쌍의 측면 폴리실리콘영역(464)도 역시 게이트영역(454)의 측면에 남고 그리고 상부 폴리실리콘 영역(462)의 폭에 적절히 상응하는 폭을 가지는 한쌍의 개구(464a)에 의해 게이트 영역(454)으로부터 분리된다.

상술한 바와 같이, 본 발명에 의해 형성된 구조는 몇몇 응용예를 가진다. 그 한 응용예가 도83에 도시되어 있다. 도83에 도시된 것은 게이트 영역(454), 게이트 영역(454)의 측면들에 위치한 2개의 N+ 불순물이 첨가된 소오스/드레인 영역(468), 및 N+ 불순물이 첨가된 소오스/드레인 영역(452a) 사이에 위치한 실리콘기판(452)의 가볍게 P-불순물이 첨가된 채널영역(452b)를 가지는 MOS트랜지스터이다. 통상적인 구조들과 관련한 하나의 문제점은 게이트 영역(454)이 트랜지스터를 켤 수 있도록 적용전압을 가지지 않을 때조차 펀차스루우(punch-through)로서 알려진 충전 누수가 N+ 불순물이 첨가된 소오스/드레인 영역(452a)으로부터 가볍게 P-불순물이 첨가된 영역(452b)을 가로질러 발생할 수 있다는 것이다. 펀치스루우를 방지하기 위한 한방도가 N+ 불순물이 첨가된 소오스/드레인 영역(452a)의 에지에 있는 가볍게 P-불순물이 첨가된 영역(452b)안에 작고 높이 불순물이 첨가된 P+ 영역(468)을 형성시키는 것이다. 제 17 방법은 상부 폴리실리콘 영역(462)와 측면 폴리실리콘 영역(464)의 형태로 임플란트 마스크를 형성하는 편리한 방도를 제공하는데 상기 영역들은 P형식 도판트를 이식시키기 위한 게이트영역(454)의 측변에 적절한 개구(464a)들을 한정하여 크게 불순물이 첨가된 P+ 영역(468)을 형성하도록 한다.

따라서, 상부 폴리실리콘 영역(462)과 측면 폴리실리콘 영역(464)이 개구(464a)들과 함께 설명된 바와 같이 형성되면, 화살표 466으로 표시된 P-형 불순물의 이식이 실행되어서 크게 불순물이 첨가된 P+ 영역(468)을 형성하도록 하며, 이것은 설명한 바와 같이 펀치-스루우를 방지하는 역할을 한다.

도82 및 도83에 예시된 구현예는 제 17 방법의 한 특정 구현예로서 단지 일예로서 주어진 것이다. 제 17 방법의 기타 응용예들이 당업자에게는 쉽게 이해될 수 있을 것이다. 예컨대, 돌출구조가 가능한 것으로 집적회로상의 반도체 장치들 사이에 전기적통신을 제공하는데 이용된 상호연결라인을 포함한다. 따라서, 도83는 제 17 방법의 제 2 구현예의 초기 구조를 예시하는 것으로, 폴리실리콘 영역은 구현예에서 알루미늄 상호연결 라인(470)의 형태를 가지는 돌출구조의 측면상에 형성되어 있다.

도84에 도시한 바와 같이, 폴리실리콘층(458)은 알루미늄 접속라인(470)상에 형성된다. 폴리실리콘층(458)은 가급적 본질적인 폴리실리콘으로 형성되어 어떤 적절한 방도로 형성 또는 축적된다.

그 다음 화살표 460으로 표시된 이온이식 작업이 실행되어 측방향부분(458b)을 제외하고 이온들이 폴리실리콘층(458)의 수평면(458a)에 이식되게 된다. 이식된 이온들은, 제 1 방법으로 설명된 바와 같이, 이식된 폴리실리콘에 대해 선택적인 식각공적에 따라 선택된 형식으로 되어 있다. 이온이식후, 식각공정은 알루미늄 접속라인(470)으 노출된 수직면에 위치한 폴리실리콘층(458)의 모든부분으로부터 떨어져 식각되게 된다. 알루미늄 접속라인(470)의 수평면에 위치한 폴리실리콘층(458)의 부분들은 식각공정에 의해 남아있게 된다. 따라서, 도 85에 도시한 바와 같이, 상부 폴리실리콘영역(462)은 알루미늄 접속라인(470)과 절연스페이서(462a)위에 위치하여 남아있게 된다. 측면 폴리실리콘영역(464)도 역시 알루미늄 접속라인(470)의 측면들에 남아 있게 되고 그리고 상부 폴리실리콘 영역(462)의 폭과 대략 상응하는 폭을 가지는 한 쌍의 개구(464a)에 의해 알루미늄 접속라인(470)으로부터 분리된다. 알루미늄 접속라인(470)에 얼마의 전도물질을 상부 폴리실리콘 영역(462)형태로 단순히 증가시킴으로써, 알루미늄 접속라인(470)의 전도도는 증대된다. 그럼에도 불구하고, 상부 폴리실리콘 영역(462)와 측면 폴리실리콘 영역(464)의 전도도를 더욱 증대시키기 위해, 규산화공정이 실행되어 상부 폴리실리콘 영역(462)과 측면 폴리실리콘 영역(464)을 규산화 물질로 변환시키기도 한다.

따라서, 도85에 도시한 한 구현예에 있어, 규산화공정은 상부 폴리실리콘 영역(402)과 측면 폴리실리콘 영역(464)위에 티타늄층(472)을 형성함으로써 수행된다. 그런 다음, 급속 열적 애닐링과 같은 열처리가 실행되어 티나늄층(472)에 반응하여 상부 폴리실리콘 영역(462)과 측면 폴리실리콘 영역(464)을 규산화 티타늄(Tisix)으로 변환시킨다. 그렇게 하는 중에, 티타늄층(472)은 폴리실리콘을 가지지 않는 알루미늄 접속라인(470)의 측벽들과 같은 표면에 위치한 티타늄 층(472)의 부분들을 제외하고는 규산화 티타늄으로 변환될 것이다. 따라서, 규산화작업을 실행한 후, 티타늄 층(472)의 나머지 미반응영역들은 제거된다. 티타늄 층(472)의 제거는 가급적 티타늄, 또는 규산이 형성된 어떤 대안 금속을 식각하는 식각공정을 실행함으로써 얻어지고, 그리고 규산화 티타늄 또는 규산이 형성되는 어떤 대안금속의 규소를 식각하지 않는다.

최종의 구조가 도86에 도시되어 있다. 도86에 도시한 바와 같이, 알루미늄 접속라인(470)은 상부 규산화 티타늄 영역(476)에 의해 피복되고 그리고 그의 측부에 측면 규산화 티타늄 영역(474)이 형성된다. 제 17 방법의 응용의 목적이 알루미늄 접속라인(470)의 전도도를 증대시키는 것이라면, 어떠한 절연 스페이서(462a)도 미리 형성되지 않고, 측면 규산화 티타늄 영역(474)이 제거될 것이다. 대안적으로, 측면 규산화 티타늄 영역(474)은 부가적인 접속라인으로서 사용될 필요가 있을 수도 있고, 그리고 그와 같은 사용을 위해 패턴화될 수도 있다.

상부 규산화 티타늄(476)은 분리형 접속라인으로서 사용되어서, 알루미늄 접속라인(470)에 독립한 신호들을 운반할 수도 있다. 알루미늄 접속라인(470)으로부터 분리형 접속라인을 형성하기 위해, 도85의 상부 폴리실리콘 영역(462)과 측면 폴리실리콘 영역(464)을 형성하기 전에 알루미늄 접속라인(470)에 절연 스페이서(462a)가 형성된다.

알루미늄 접속라인(470)으로서와 같은 전도물질 보다는, 돌출구조는 절연물질로 형성될 수 있다. 이는 다중 접속라인이 서로 근접하게 형성되도록 허용한다. 도86의 일예에 의해, 알루미늄 접속라인이 전도물질로 형성되기도 하고, 그리고 상부 규산화 티타늄영역(486) 및 측면 규산화 티타늄 영역(474)은 절연돌출특징, 이경우 알루미늄 접속라인(470) 대신에 절연물질의 라인에 의해 전기적으로 절연된 분리형 전도라인을 포함한다.

제 17 방법은 선택적으로 마스킹이나 건식식각의 필요성없이 돌출구조의 스평면에 실리콘 함유물질을 형성한다. 신규의 전도성의 형상화 구조가 형성될 수 있게 되고 그리고 존재하는 형상화 구조의 전도도도 증대될 수 있다.

18. 이식된 실리콘 함유물질을 선택적으로 식각하는 공정으로서 얇은 접속라인들 보다 큰 폭의 일체형 대형 구조를 가지는 얇은 접속라인의 형성

본 발명의 제 18 방법이 도87 내지 도90에 예시되어 있다. 제 18 방법은 접속라인을 대형구조에 전기적으로 접속시키는데 이용된 접속라인보다 큰 폭의 일체형구조와 함께 접속라인을 형성시키는데 이용된다. 제 18 방법은 서브-포토리쏘그래피 리솔루션 디멘젼으로 될 수 있는 접속라인을 형성한다. 이 접속라인 및 접속라인보다 더 큰 폭의 일체형구조는 단일 물질 축적 작업과 두개의 마스킹 작업과 함께 제 18 방법으로 일체적으로 형성될 수 있다.

도87 내지 도90은 제 18 방법을 예시하는 것으로, 한쌍의 접속라인이 반도체 기판상에 실리콘 함유물질로 형성되어 있다. 도87은 반도체 기판이 제공된 제 18 방법의 출발구조를 보여주는 단면도이다. 예시된 구현예에 있어, 반도체 기판은 위에 실리콘 기판(482)을 가지는 반도체 웨이퍼(480)이다. 일단 반도체 웨이퍼(480)와 실리콘 기판(492)이 제공되면, 얼마의 실리콘 함유물질이 실리콘 기판(482)상에 형성된다. 이 예시된 구현예에 있어, 얼마의 실리콘 함유물질은 폴리실리콘층(484)을 포함한다. 폴리실리콘층(484)은 고유의 폴리실리콘으로 형성되고 그리고 제 1 방법에서 설명한 바와 같이 적절한 방도로 축적된다.

폴리실리콘층(484)이 형성되면, 포토레지스트 마스크(486)와 같은 마스크 기판이 폴리실리콘층(484)상에 적용된다. 포토레지스트 마스크(486)는 접속라인보다 더 큰 폭의 일체형 구조가 형성된 폴리실리콘층(484)의 각 위치에 개구(488)가 형성된다. 이 개구들은 접속라인 보다 더 큰 폭의 일체형 구조의 형상으로 형성된다.

포토레지스트 마스크(486)가 패턴화되면, 화살표 490으로 표시된 이온이식작업이 실행된다. 이 이온이식 작업은 제 1 방법으로 설명한 바와 같이 실행된다. 결론적으로, 이온이식 작업의 이온들은 이식된 실리콘 함유물질에 대해 선택적인 식각공정에 따라 선택된 형식으로 되어 있다. 이온들은 포토레지스트 마스크(486)의 개구9488)를 통해 접속라인보다 더 큰 폭의 일체형 구조가 형성되는 폴리실리콘층(484)의 선택된 영역(492)으로 이식된다. 이온이식 작업의 매개변수들은 선택된 영역(492)의 형상을 재단하기 위해 상기 제 1 방법에서 설명한 방도로 적절히 선택될 수 있다. 결론적으로, 선택된 영역(492)으로의 이온의 이식은 접속라인 보다 더큰 폭의 일체형구조의 형상을 한정한다.

도88은 제 18 방법에 또 다른 공정의 결과를 보여주는 평면도이다. 일단 선택된 영역이 이식되면, 포토레지스트 마스크(486)가 제거되고 도88에 도시하지 않은 제 2 포토레지스트 마스크가 폴리실리콘층(484)에 형성된다. 제 2 포토레지스트 마스크는 폴리실리콘의 블록의 선택된 표면형상 위에 마스크되도록 패턴화된다. 건식 식각공정과 같이 이방성 식각공정이 그다음 실행되어 선택된 표면형상에 폴리실리콘층(484)을 감소시킨다. 그와 같은 하나의 선택된 표면형상이 도88의 일예에 의해 예시되는 바, 이 도면은 이방성 식각공정으로서 폴리실리콘층(484)으로부터 형성된 선택된 표면형상의 패턴화된 폴리실리콘 블록(494)을 보여준다.

이 선택된 표면형상은 접속라인이 형성되는 측면연장 표면들을 포함하는 폴리실리콘 블록(494)의 주계를 한정한다. 결론적으로, 선택된 영역(492)은 패턴화된 폴리실리콘 블록(494)의 외주계에 근접하여서 접속라인이 형성된 즉시 접속라인에 일체적으로 접속되도록 한다.

예시된 구현예에 있어, 접속라인은 패턴화된 폴리실리콘 블록(494)의 전주계둘레에 형성된다. 그와 같은 상황에서, 구조들은 가급적 접속라인에서 파손부를 형성하도록 제공된다. 따라서, 접속라인의 파손부를 형성하는 수단의 일예로서, 한쌍의 희생적인 스페이서 블록(496a 및 496b)이 접속라인이 파손부들이 형성되는 패턴화된 폴리실리콘 블록(494)의 주계위치에 근접하여 놓인다. 이 희생적인 스페이서 블록(496a 및 496b)의 배치는 도시된 바와 같이 접속라인에 파손부의 위치를 결정해 준다.

도89는 제 2 포토레지스트 마스크(492)를 보여주는 단면도이다. 이식된 선택 영역(492)은 패턴화된 폴리실리콘 블록(494)에 도시되어 있다. 제 2 포토레지스트 마스크(492)는 가급적 이방성 식각공정이 실행된후 패턴화된 폴리실리콘 블록(494)위에 제위치에 남는다. 제 2 이온이식 공정은 그다음 이방성 식각공정이 완료되고 도 89에서 화살표 500으로 표시된 공정후에 실행된다. 제 2 이온이식공정은 제 1인온이식공정와 같을 수도 있고, 또는 본 발명의 이식된 실리콘 함유물질에 대해 선택적인 식각공정에 겸용되는 어떤 선택적인 형식일수 있는 형식의 이온으로서 실행된다.

제 2 이온이식 공정은 가급적 이온들을 패턴화된 폴리실리콘 블록(494)의 연부에 있는 측면 연장표면에 이식시키면서 반도체 웨이퍼(480)의 표면에 직교하지 않는 이식각도로서 실행된다. 이식된 에지영역(5020은 따라서 패턴화된 폴리실리콘 블록(494)의 연부에 형성된다. 이식된 에지영역(502)은 제 1 및 제 7방법에 따라 거론된 바와 같이 이온이식작업의 변수에 의해 결정된 두께를 가진다. 따라서, 예컨대, 이식된 이온의 이식각도 또는 이식 에너지의 변경은 이식된 에지영역(502)의 두께를 변경시킬 것이다. 따라서, 이식된 에지영역(502)의 일정한 두께 및 형상을 유지하기 위해, 이온 이식작업은 각도, 이식에너지, 또는 기타 매개변수들이 도3에 관련하여 설명한 각 단계로 다양한 다중단계로 실행될 수 있다. 패턴화된

폴리실리콘 블록(494)의 각측벽에 일정하게 이식시키기 위해, 이온들은 패턴화된 폴리실리콘 블록(494)의 각측벽으로 향한 수평성분을 가지는 각도(들)로써 이식될 수 있다. 대안적으로, 반도체 웨이퍼(480)는 단일 수평성분을 가지는 각도(들)를 이용하면서 회전될 수 있다.

제 2 포토레지스트 마스크(492)는 이식된 이온들을 제 2 포토레지스트 마스크(492)를 통해 패턴화된 폴리실리콘 블록(494)의 내부로 칩입하는 것을 스톱시키는 선택된 두께로 되어 있다. 따라서, 이식된 선택영역9492)이 외에는, 이온들은 패턴화된 폴리실리콘 블록(494)의 내부로 이식하지 않는다.

도90은 제 18 방법의 또 다른 절차의 결과를 예시하는 상부도이다. 제 2 이온이식 작업이 실행된후, 식각절차는 제 1 방법에서 설명한 바와 같이 이식된 실리콘 함유물질에 대해 선택적인 상태로 실행된다. 그 결과, 이식되지 않은 실리콘 함유물질은 도88 및 도89의 패턴화된 폴리실리콘 블록의 내부로부터 제거되고, 이식된 부분들은 도90의 구조에 의해 형성되어 남아 있게 된다. 도90에 도시한 것은 좌측 접속라인(504) 및 우측 접속라인(506)인 두 접속라인으로서, 각기 폴리실리콘층(48)의 깊이에 상응하는 높이 및 이온이식 작업 파라메터의 선택에 의해 결정된 서브-포토리쏘그래피 폭을 가진다.

도90에서 예시한 바와 같이, 식각공정 후 남아 있는 것은 상부의 희생적인 스페이서블록(512) 및 대응하는 하부의 희생적인 스페이서블록(516)으로서, 이것은 스페이서블록(496a 및 496b)로부터 남아 있는 것이다. 이온이식 작업중, 희생적인 스페이서블록(512, 516)은 이 블록들위에 형성된 포토레지스트 마스크(592)의 부분들과 함께 얼마의 각도로 이온들이 패턴화된 폴리실리콘 블록(494)의 측별일부와 접촉하여 이식되는 것을 차단하는 섀도우효과를 발생시킨다. 그결과, 개구(514 및 518)가 형성된다. 개구(514 및 518)는 단일의 연속형 접속라인의 형성보다는 서로 전기적으로 절연되는 상태로 형성되는 두개의 분리형 접속라인의 형성을 가능하게 한다.

사이에 개재되는 개구가 없는 단일 연속형 접속라인이 형성되어지려면, 개구(514 및 518)는 형성될 필요가 없다. 단일개구들이 필요하다면, 단지 하나의 희생적인 스페이서 블록(496a 및 496b)이 사용될 수도 있다. 두개 이상의 개구가 요구된다면, 희생적인 스페이서 블록(496a 및 496b)에 유사한 또다른 스페이서 블록들이 사용된다. 스페이서 블록(496a 및 496b)은 도88의 패턴화된 폴리실리콘 블록(494)에 아주 근접하여 있어서 표면적을 유지하고 그리고 이식이온들을 효과적으로 봉쇄하게 된다. 동시에, 스페이서 블록(496a 496b)은 패턴화된 폴리실리콘 블록(494)로부터 멀리 이격되어서, 제 18 방법이 실행되고 도90의 구조가 형성되었을 때 좌우측 접속라인(504 및 506)으로부터 상하부 희생적인 스페이서 블록(512 및 516)으로 전기충전이 실행되지 않게 된다.

대안적인 구현예에 있어, 선택된 이식된 영역(492)을 이식하는 순서와 이식된 에지영역(502)을 이식하는 순서가 역전되어 있다. 제 18 방법의 또다른 구현예가 희생적인 스페이서 블록(496a 및 496b)의 사용에 대한 대안예로서 이용된다. 또다른 구현예가 좌우측 접속라인(504, 506)의 단절부를 형성하는 수단의 특수예이다. 이 구현예에 있어, 이식된 실리콘 함유물질에 대해 선택적인 식각공정을 실행한 후, 암시되지는 않았지만 제 3 포토레지스트 마스크가 남아 있기로된 좌측 접속라인(504, 506)의 부분들을 덮는데 이용된다. 파괴되기로된 좌우측 접속라인의 부분들은 마스크되지 않은 상태로 남는다. 그런 다음, 식각공정, 가급적이면 앞서 설명한 폴리실리콘의 이방성 건식식각인 공정이 실행되는 좌우측 접속라인(504, 506)의 마스크되지 않은 부분들을 제고하게 되고, 그에 의해 좌우측 접속라인(504, 506)의 비마스크된 부분들을 제거하게 되고, 그에 의해 좌우측 접속라인(504, 506)에 파손부를 형성하게 된다.

부가적으로, 접속라인이 도88의 패턴화된 폴리실리콘 블록(494)의 단지 하나, 둘 또는 세측면의 위치에 형성되도록 하고자 하는 구현예에 있어, 이온들은 각기 제 2 이온이식작업중 패턴화된 폴리실리콘 블록(494)의 1, 2 또는 3측면에 이식된다. 폴리실리콘 블록(494)의 모든 측면이 아니곳에 선택적으로 이식하는 이온들은 접속라인들이 형성되고자 하는 패턴화된 폴리실리콘 블록(494)의 단지 측면에 이온들이 접촉하도록 하는 이식의 각도(들)을 가지는 탄도로 이온들을 보냄으로써 수행된다. 또한, 이온들은 이온들로하여금 초기에 패턴화된 폴리실리콘 블록(494)의 단일 측면에 접촉하도록 하는 각도(들)을 이용함으로써, 그런다음 패턴화된 폴리실리콘 블록의 타측면들이 이온의 이식에 노출되는 방도로 반도체 웨이퍼(480)를 회전함으로써패턴화된 폴리실리콘 블록(494)의 특정측면으로 이식될 수 있다.

좌우측면 접속라인(504, 506)은 도 89의 이식된 에지영역(502)의 두께에 의해 결정된 두께를 가진다. 결론적으로, 제 제 14 구현예에서 거론한 바와 같이, 이온이식 작업의 변수들은 좌우측 접속라인(504, 506)의 두께를 결정하기 위해 적절히 선택된다. 바람직하기로는 도87의 폴리실리콘층(484)은 좌우측 접속라인(504, 506)의 높이에 상응하는, 대략 250옹스트롬 내지 4000옹스트롬의 범위의 깊이로 축적된다. 또한 이온들은 대략 200 내지 300옹스트롬 범위의 일정한 두께로 이식된 에지영역(502)에 이식된다. 결론적으로, 완료되었을때 좌우측접속라인(504, 506)은 폴리실리콘 층(484)의 축적에 의해 결정된 바와 같이 즉 250 내지 4000옹스트롬 범위의 높이와 에지영역(502)의 이식에 의해 결정된 바와 같이 약 200 내

지 300옹스트롬 범위의 두께는 가진 길다란 스트립을 형성한다. 더욱 바람직하게는, 좌우측 접속라인(504, 506)은 약 500 내지 3000옹스트롬 범위의 높이로, 그리고 더욱 바람직하게는 약 300 내지 2000옹스트롬범위의 폭으로써 형성된다. 더욱상세하게는, 좌우측접속라인(504, 506)은 일단 완료되면 약 1000옹스트롬의 높이와 폭을 가진다.

도90에 형성된 것은 예시된 구현예에서 접촉패드의 형상을 가지는 접속라인들보다 큰 폭의 6개의 일체형 구조들이다. 도시한 바의 접촉패드는 좌측상부의 접촉패드(508a), 좌측 중앙의 접촉패드(508b), 좌측 하부의 접촉패드(508c), 우측 상부의 접촉패드(510a), 우측 중아의 접촉패드(510b), 및 우측 하부의 접촉패드(510c)를 포함한다. 접촉패드들(508a-508c 및 510a-510c)는 좌우측 접속라인(504, 506)의 것보다 더큰 폭을 가진다. 이들은 어느 소정의 폭표면 형상으로 형성될 수 있고, 그리고 가급적 좌우측 접속라인(504 및 506)중 어느 하나 또는 양측과 일체적으로 접속된다.

예시된 구현예의 좌우측 접속라인(504, 506)은 MOS DRAM 메모리 어레이구조의 워드라인과 관련하여 사용하는데 적당하다. 따라서, 그와 같은 구현예에서, 좌우측 상부의 접촉패드(508a 및 510a)는 반도체 기판의 서로 상이한 레벨로 있는 비트라인으로 연장하는 컨택트용 랜딩패드로서 이용된다. 좌우측 중악 접촉패드(508b 및 510b)는 비교적 큰 MOS 프랜지스터의 게이트 영역으로서 이용된다. 또한 좌우측의 하부 접촉패드(508c 및 510c)는 외부 제어라인 또는 기타 그와 같은 용도의 것과 접촉을 이루기 위해 랜딩 패드로서 이용된다.

좌우측 접속라인(504, 506)은 또한 활성영역위를 통과할 수 있다. 그렇게 할때, 소오스/드레인 영역은 MOS트랜지스터를 형성하기 위해 좌우측 접속라인(504, 506)이 형성되는 소형 디멘젼으로 인해, 최종의 MOS트랜지스터는 대응하여 좁은 채널길이를 가질 것이다. 좁은 채널길리는 급속의 장치속도일때 조차 가능하게 하고, 그에 의해 집적회로의 증가속도가 형성될 수 있게끔 한다.

예시한 도88의 패턴화된 폴리실리콘 블록(494)의 특정형상은 임으로 선택되고, 그리고 명백한 바와 같이 패턴화된 폴리실리콘 블록(494)가 예시된 형상으로 형성될 필요가 없다. 따라서, 좌우측 접속라인(504, 506) 역시 예시된 구현예의 형상일 필요가 없이 특정 응용예에서 필요한대로 된 소정의 형상 또는 이를 가질 수 있다.

따라서 제 18 방법은 큰 폭의 대형 특징부를 가지는 접속라인을 전기적으로 접속시키기 위한 접속라인보다 더큰 폭의 일체형구조와 일체적으로 접속되는 접속라인을 형성한다. 따라서, 접속라인의 것보다 더큰 폭을 가지는 접속라인과 대형구조는 단일 물질 축적 작업과 함께 제 18 방법에 의해 형성되고 그리고 두개의 마스킹 작업으로써 형성될 수 있다. 제 18 방법은 통상적인 포토리쏘그라피 리솔루션에 의해 수행될 수 있는 것보다 더 작은 폭의 접속라인을 제공한다. 동시에, 접속라인은 더큰 폭의 구조에 접속될 수 있다. 접속라인이 형성되는 디멘젼으로 인해, 형성되고 있는 집적회로는 소형화될 수 있다. 부가적으로, 접속라인이 그의 어느 일측에 소스/드레인 영역을 이식함으로써 게이트영역으로 이용될 때 좁은 채널길이가 얻어져서 최종 집적회로의 속도를 증가시킬 수 있게 된다.

발명의 효과

본 발명은 본질적인 정신 또는 특징으로부터 벗어남이 없이 다른 특정 형태로 구현될 수 있을 것이다. 본 발명의 구현예들은 단지 예시를 위한 것으로 이것에 한정되지 않는다. 따라서, 본 발명의 범위는 앞서의 설명이 아니라 첨부된 특허청구의 범위를 정해진다.

(57) 청구의 범위

청구항 1.

스택형 캐패시터(stacked capacitor)의 저장노드를 포함하는 전기장치가,

그 내부에 전기적으로 전도성을 가지는 영역을 가지며, 그 상부에 평면형 표면을 가지는 반도체 기판;

상기 반도체 기판의 평면형 표면으로부터 연장되는 한 쌍의 절연된 게이트 스택(gate stack);

상기 한 쌍의 절연된 게이트 스택 사이에서 접촉상태로 있으며, 상기 반도체 기판 안의 전기적으로 전도성을 가지는 영역으로부터 연장되는 전기전도성 플러그;

실리콘을 함유하는 실리콘 함유층이,

상기 전기전도성 플러그와 접촉상태로 있으며, 상기 반도체 기판에 평행하는 하부 부분을 가지는 하부 실리콘 함유층으로서, 상기 하부 실리콘 함유층의 하부 부분은 전기전도성 플러그와 접촉하고 있으며 상기 반도체 기판의 평면형 표면에 직교하여 연장되는 상기 하부 실리콘 함유층의 측부에서 종료하는 하부 실리콘 함유층,

상기 반도체 기판의 평면형 표면에 평행하고 상기 하부 실리콘 함유층의 하부 부분 위에 위치하며, 상기 하부 실리콘 함유층의 측부의 길이보다 폭이 작도록 연장되는 중간 실리콘 함유층, 및

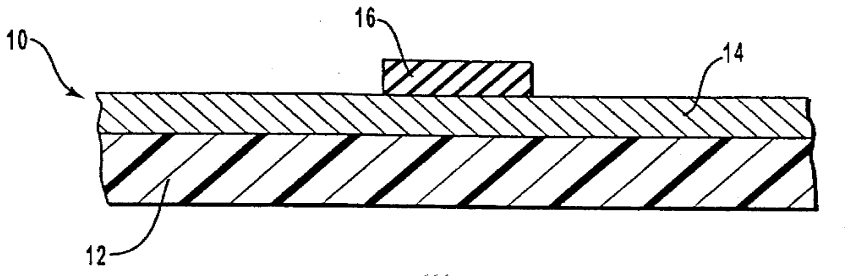
상기 중간 실리콘 함유층 상부에 있으며 상기 반도체 기판의 평면형 표면에 평행한 하부 부분을 가지는 상부 실리콘 함유층으로서, 상기 상부 실리콘 함유층의 하부 부분은 상기 반도체 기판의 평면형 표면에 직교하여 연장되는 상기 상부 실리콘 함유층의 측부에서 종료하는 상기 상부 실리콘 함유층을 구비하며,

상기 상,하부 실리콘 함유층의 측부가 물리적으로 분리됨으로써, 상기 하부, 중간 및 상부 실리콘 함유층이 스택형 캐패시터의 저장노드를 형성하는 실리콘 함유층;

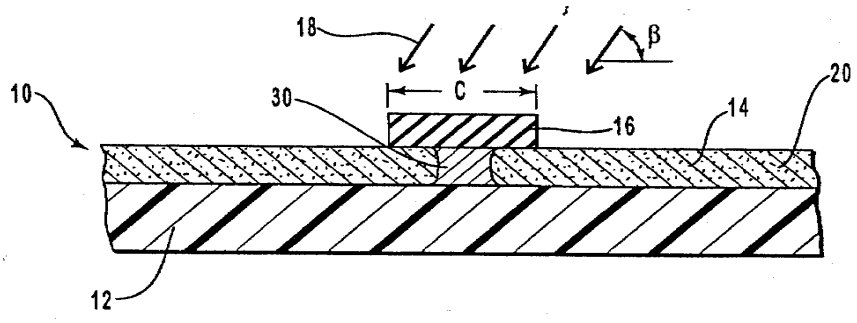
을 포함하는 전기장치.

도면

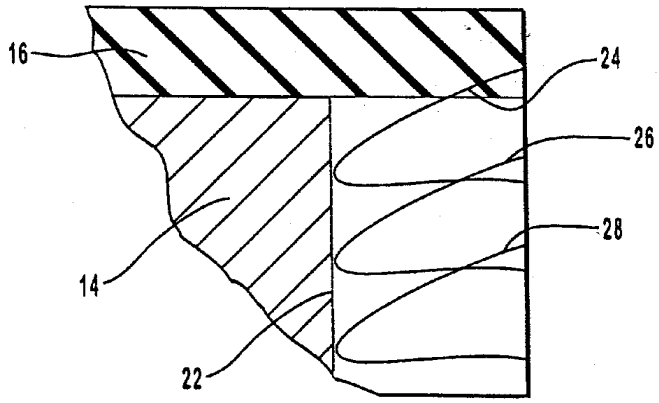
도면1



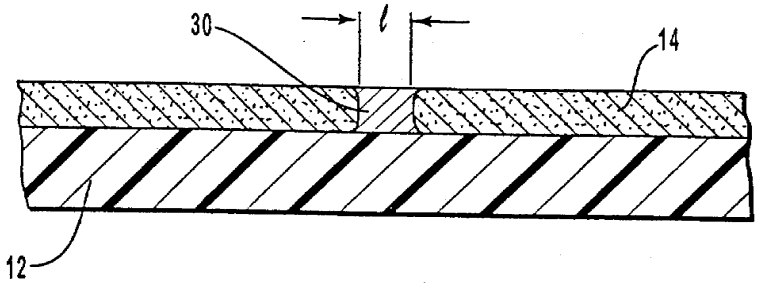
도면2



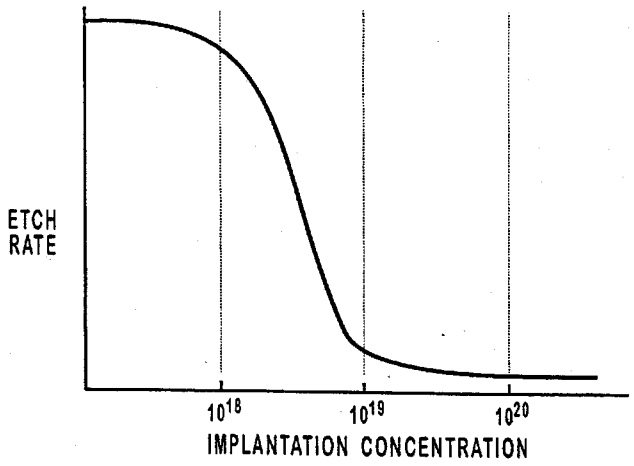
도면3



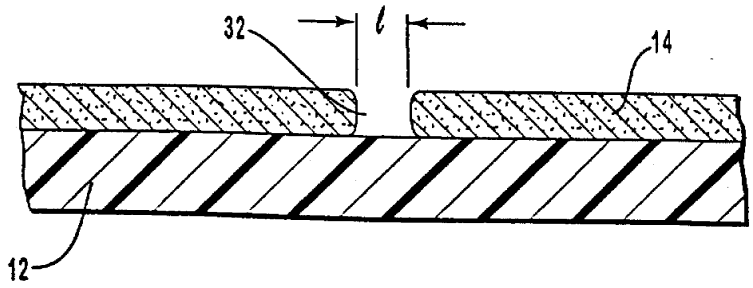
도면4



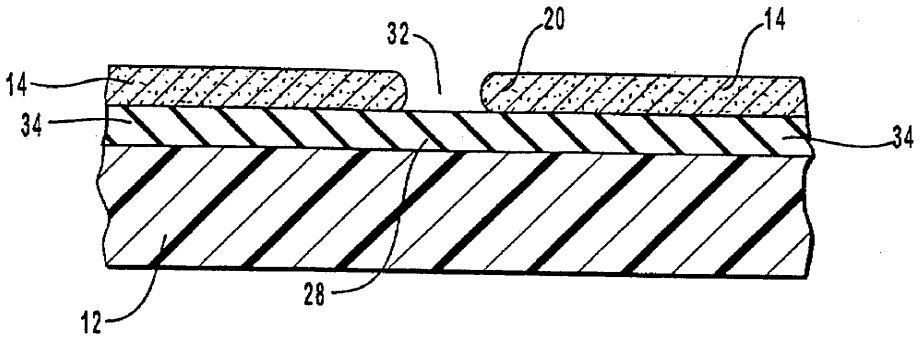
도면5


ETCH
RATE
10^{18}
10^{19}
10^{20}
IMPLANTATION CONCENTRATION

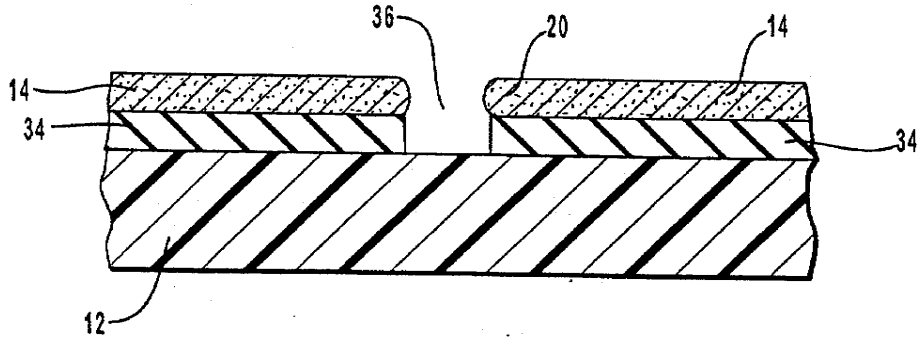
도면6


32
ℓ
14
12

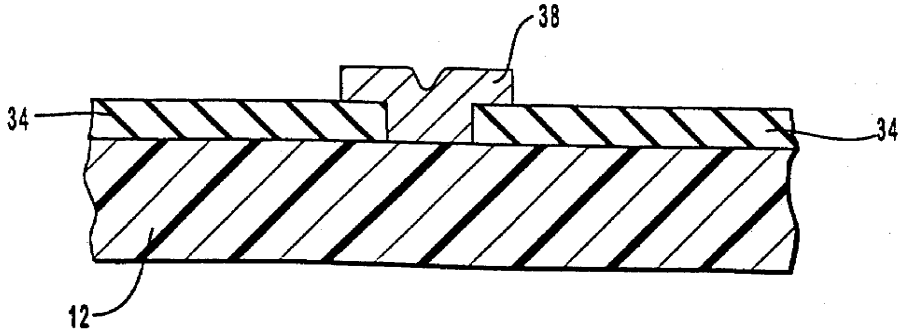
도면7


32
20
14
14
34
34
28
12

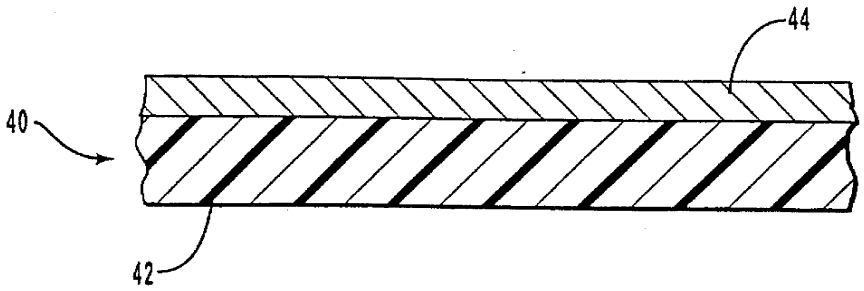
도면8



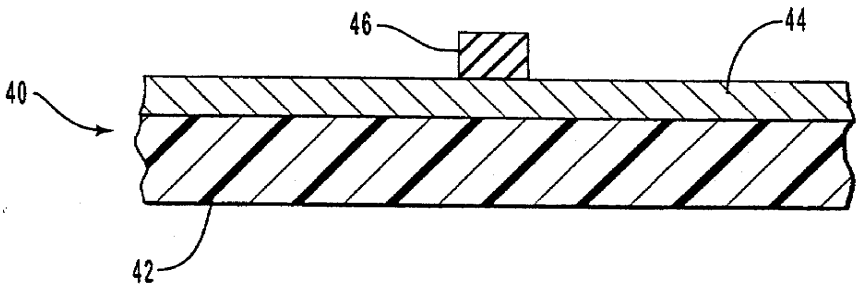
도면9



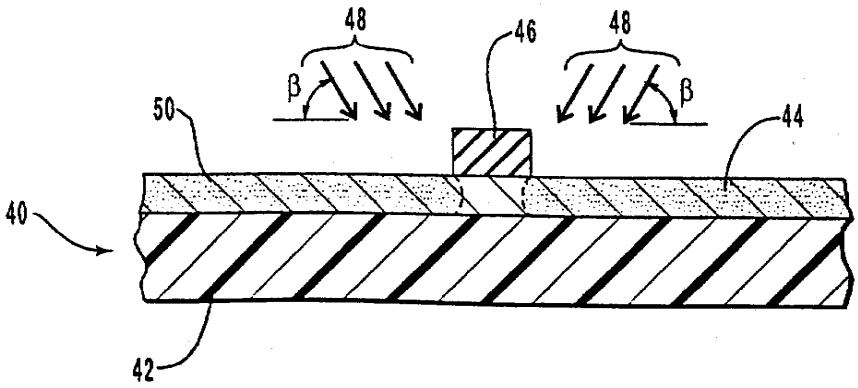
도면10



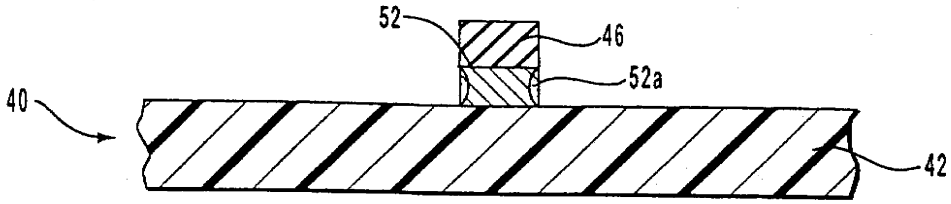
도면11



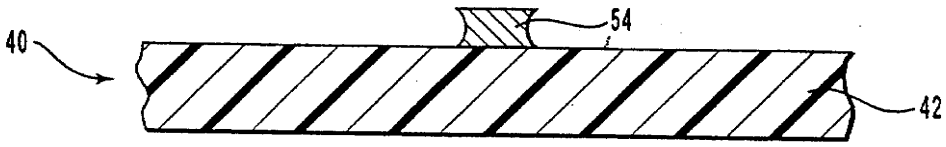
도면12



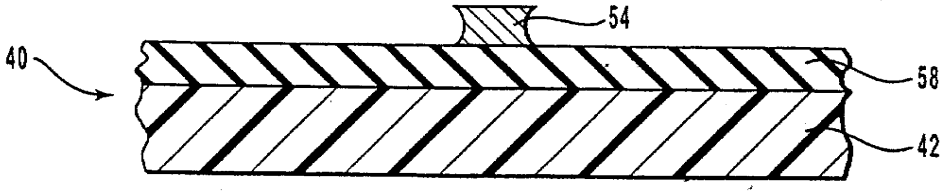
도면13



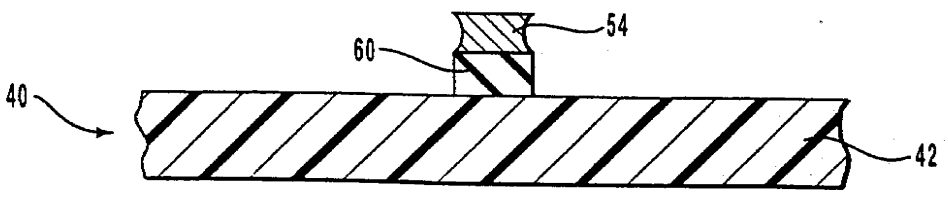
도면14



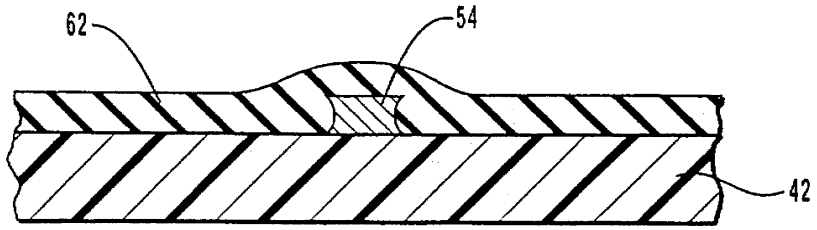
도면15



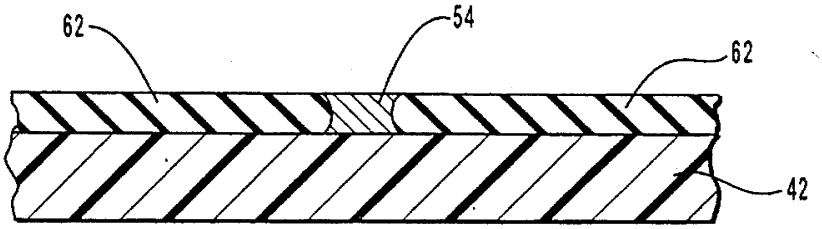
도면16



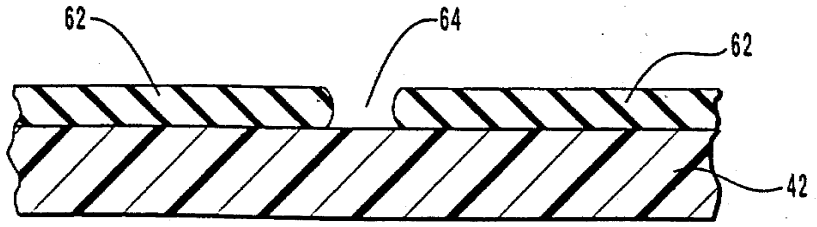
도면17



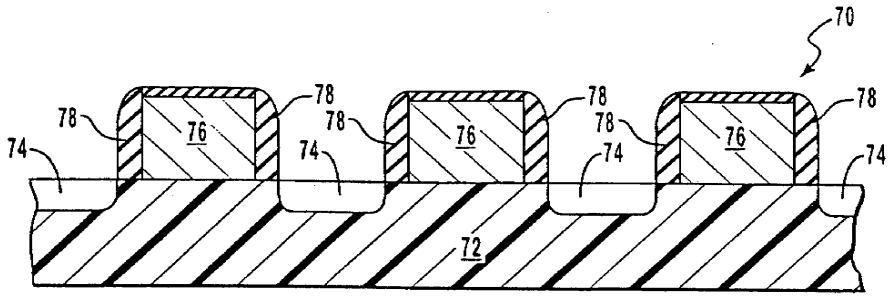
도면18



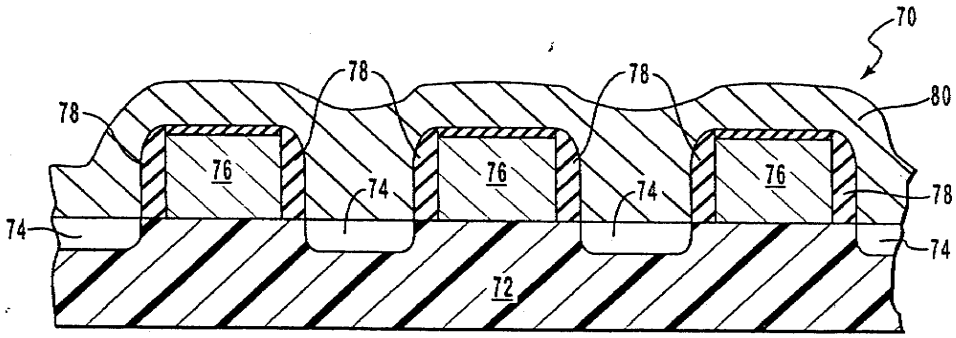
도면19



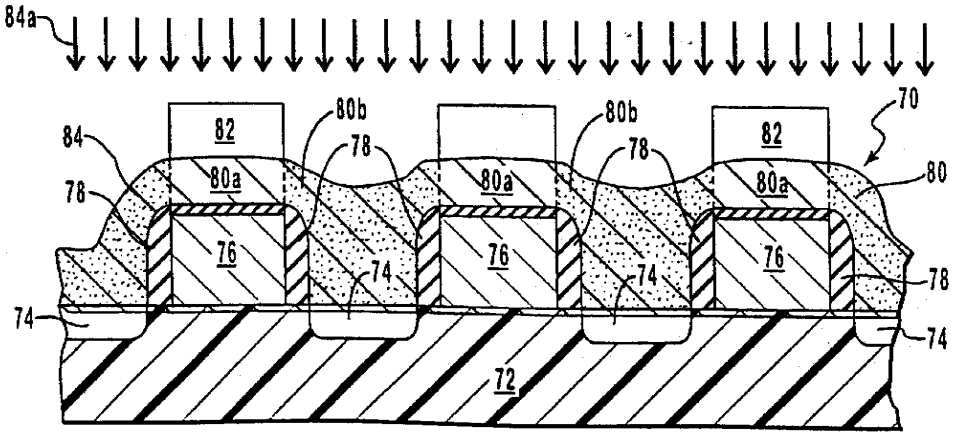
도면20



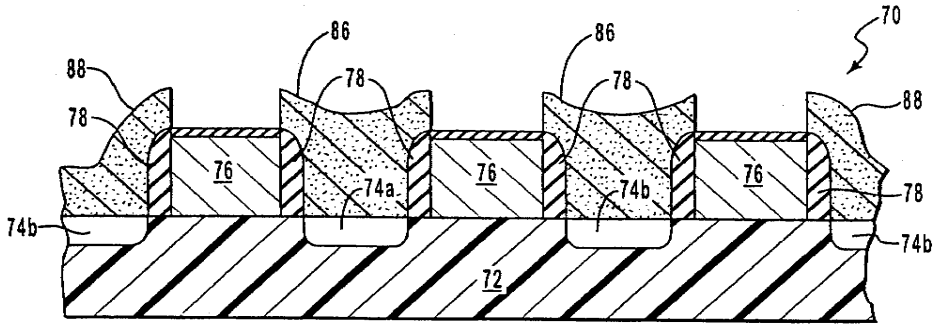
도면21



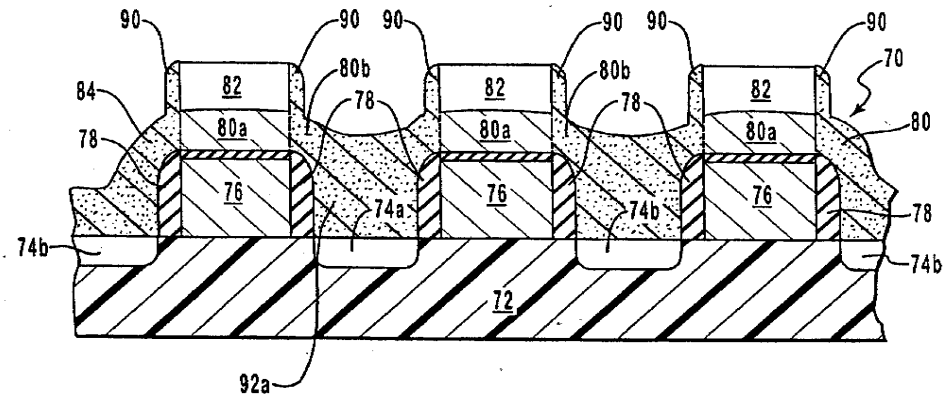
도면22



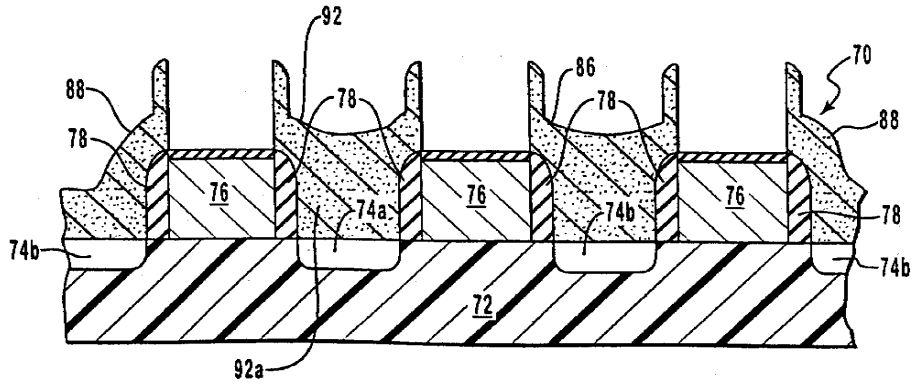
도면23



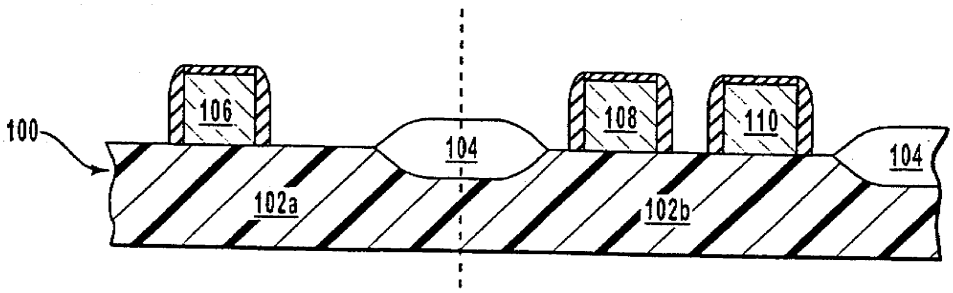
도면24



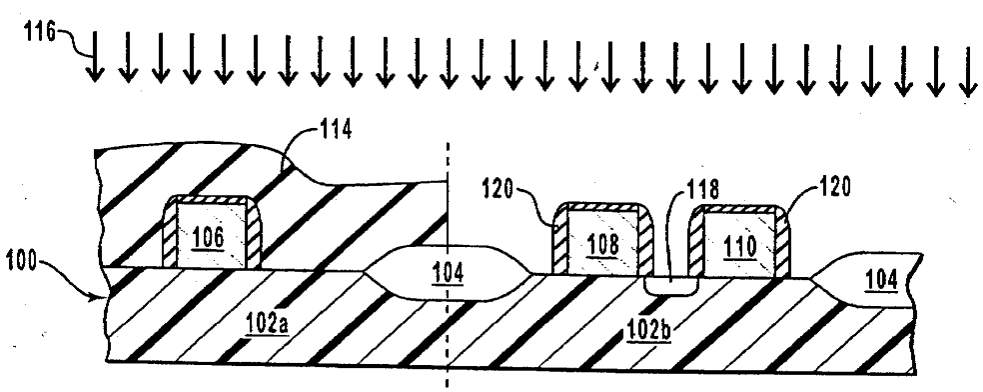
도면25



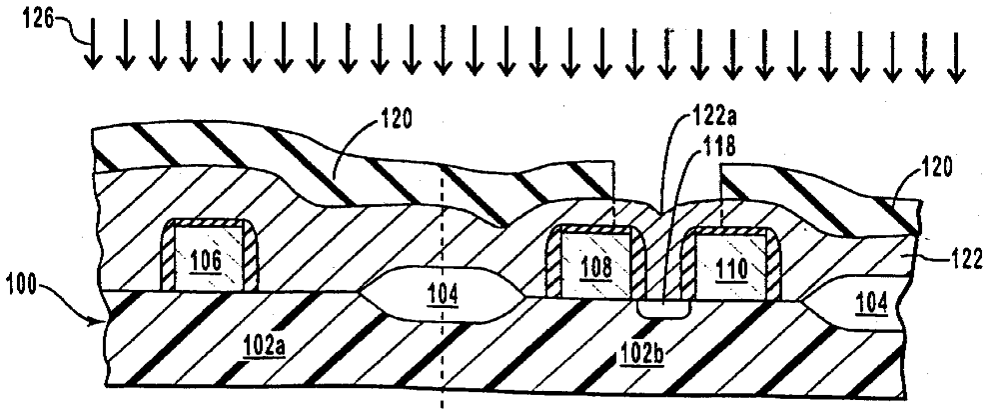
도면26



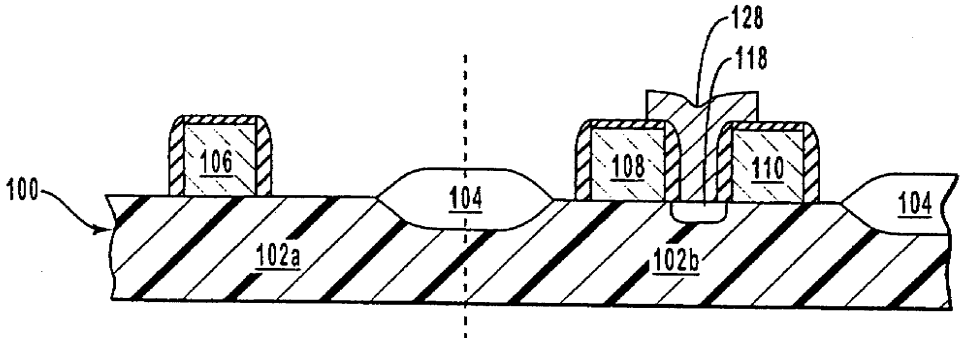
도면27



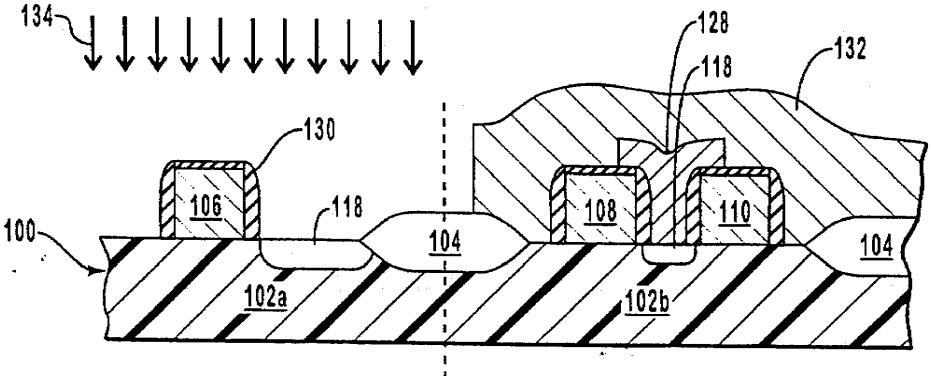
도면28



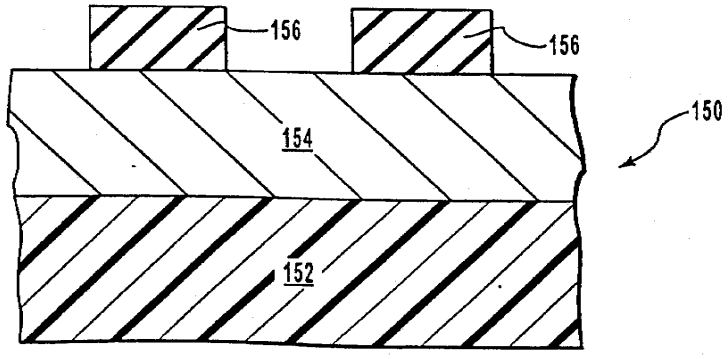
도면29



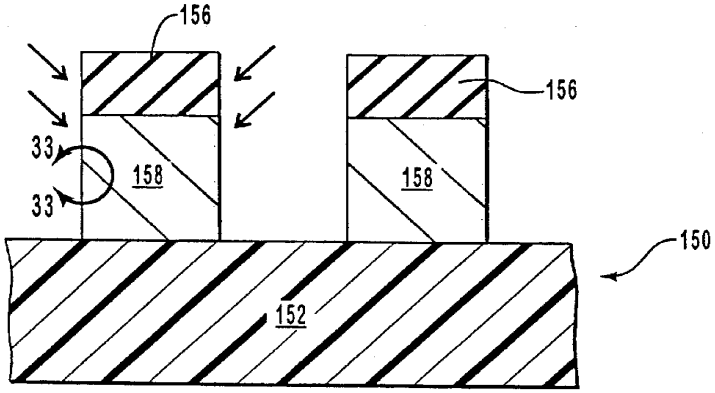
도면30



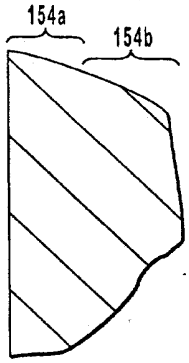
도면31



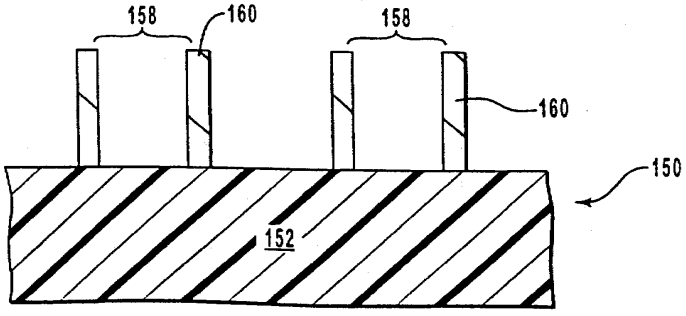
도면32



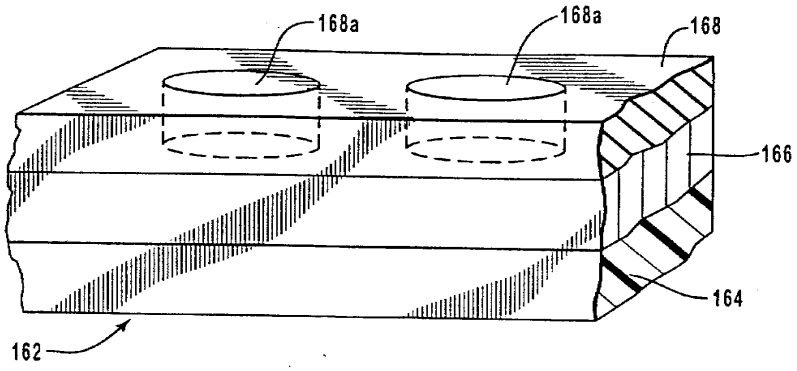
도면33



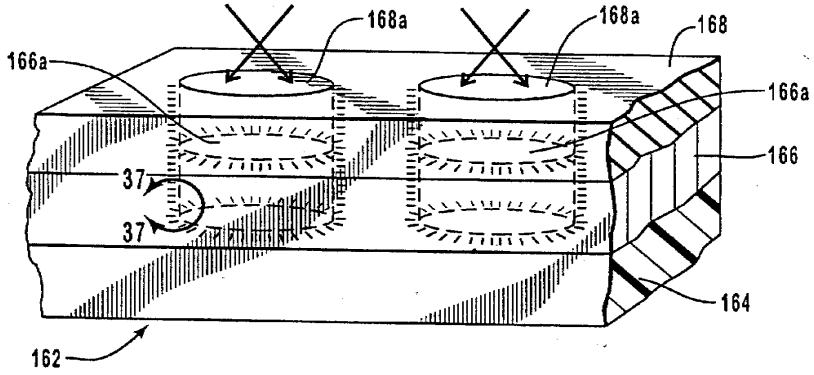
도면34



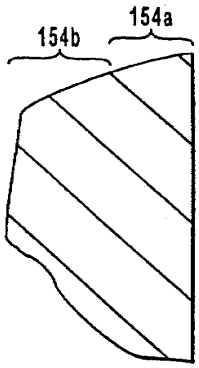
도면35



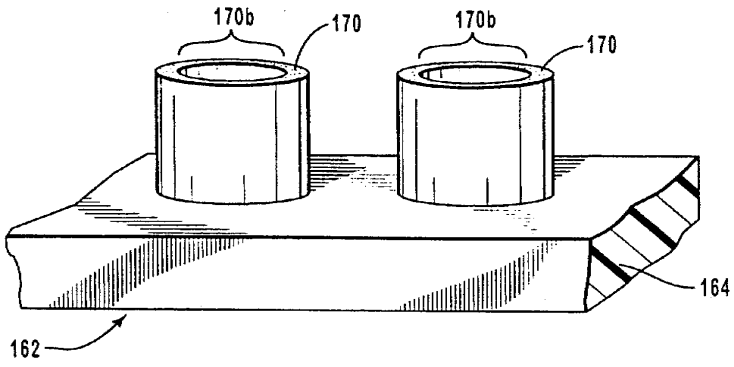
도면36



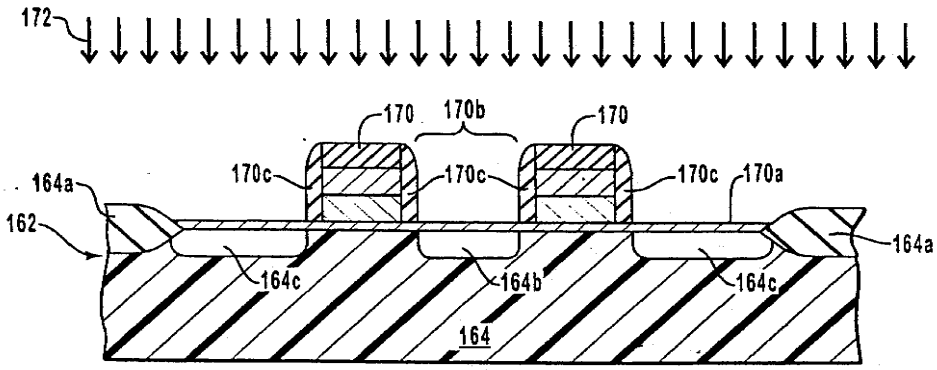
도면37



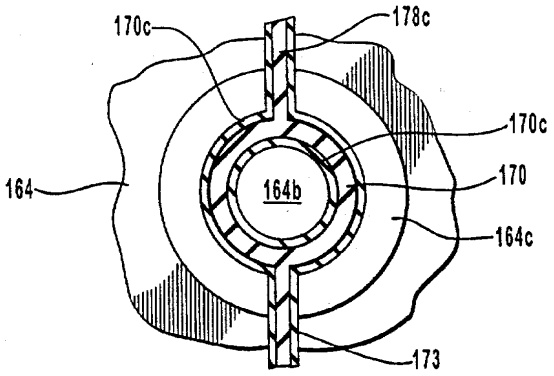
도면38



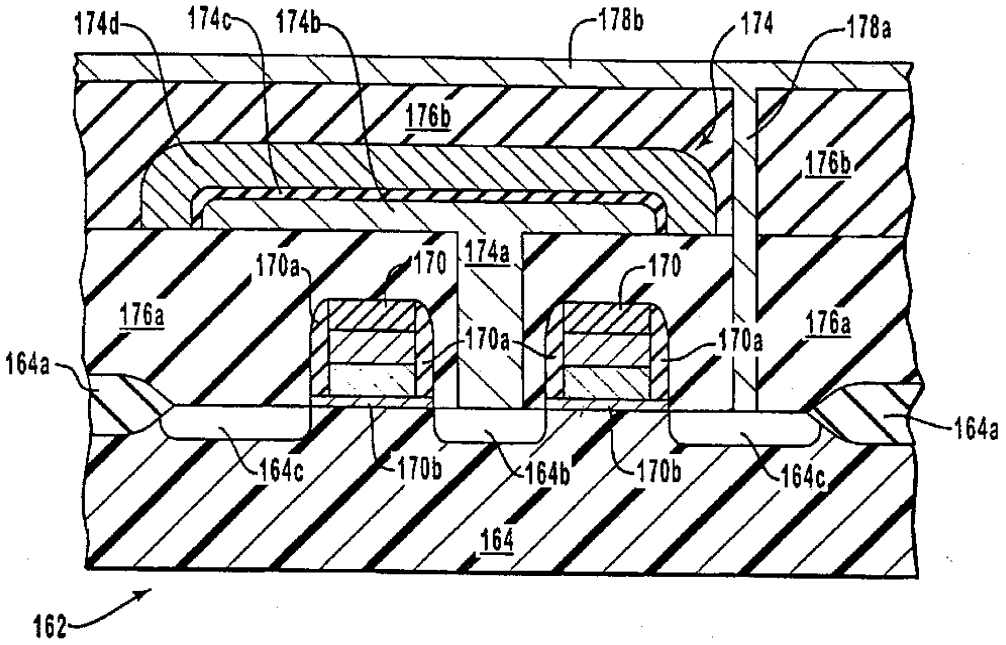
도면39



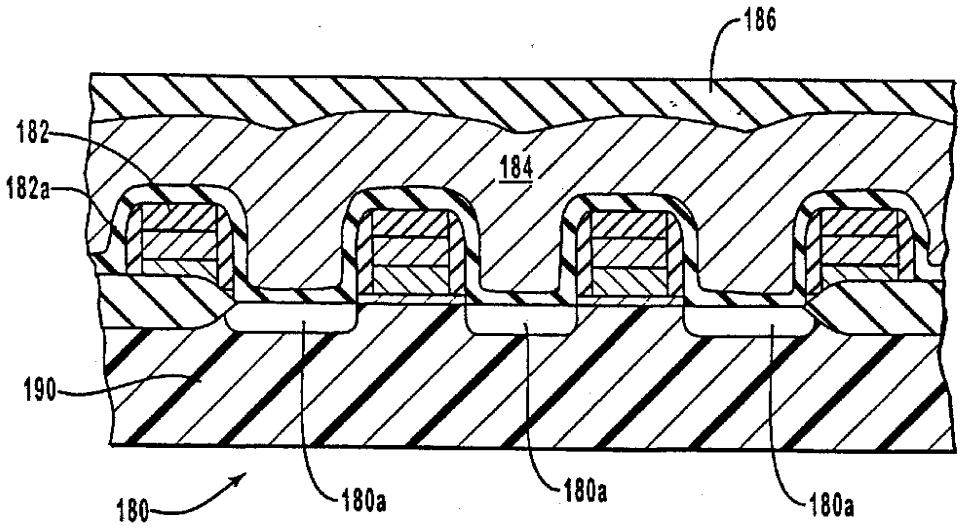
도면40



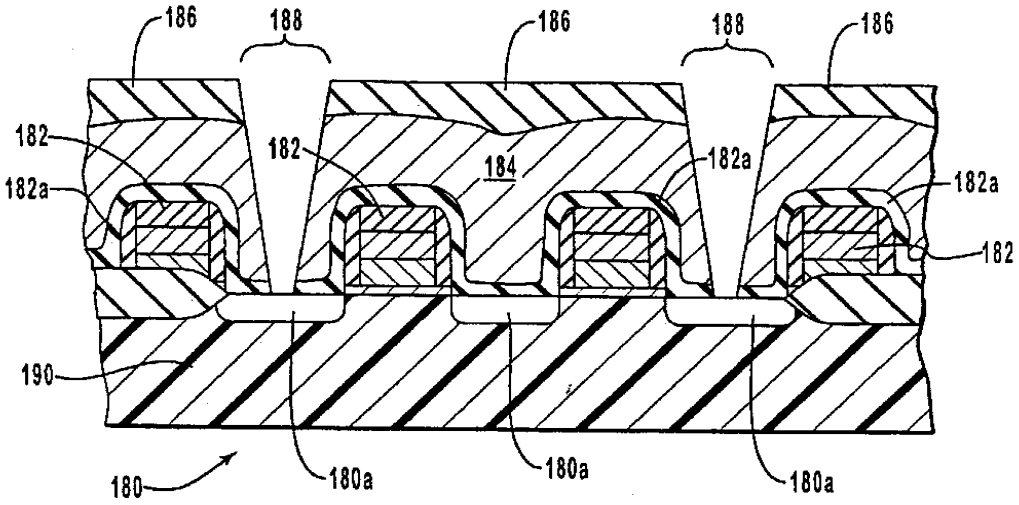
도면41


174d
174c
174b
178b
174
178a
176b
176b
170a
170
174a
170
176a
170a
170a
176a
164a
164a
164c
170b
164b
170b
164c
164
162

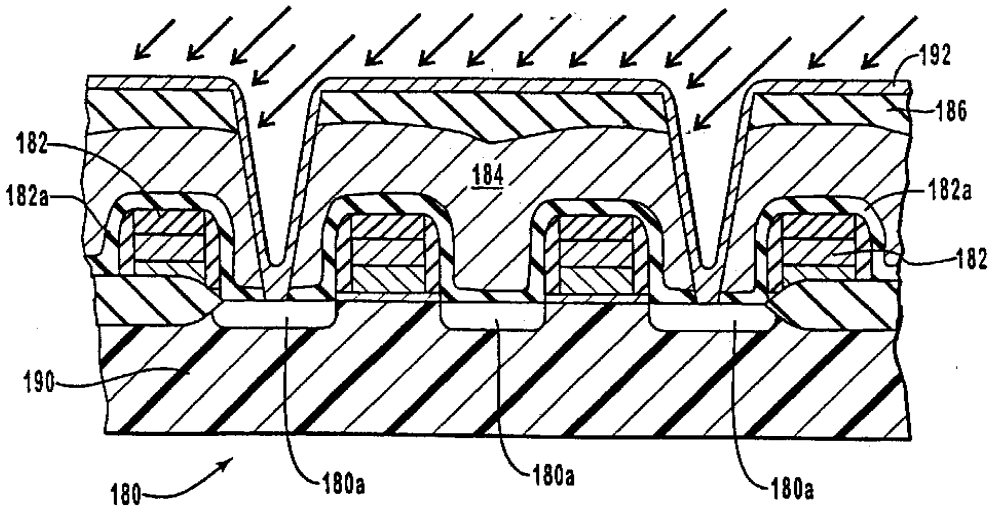
도면42


186
182
182a
184
190
180
180a
180a
180a

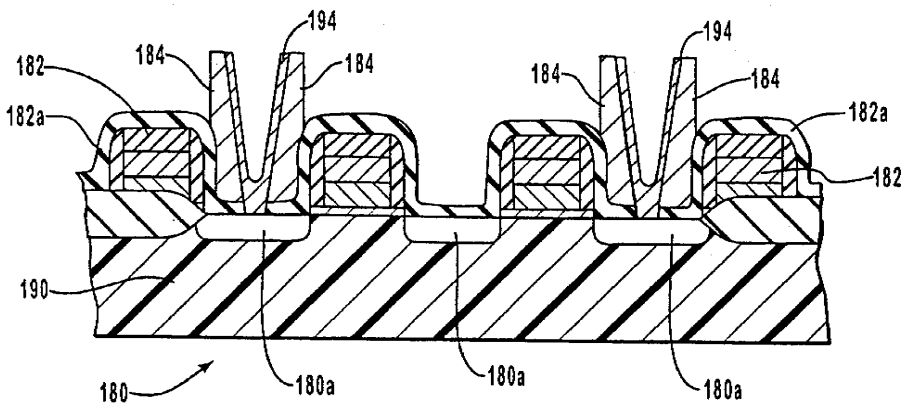
도면43



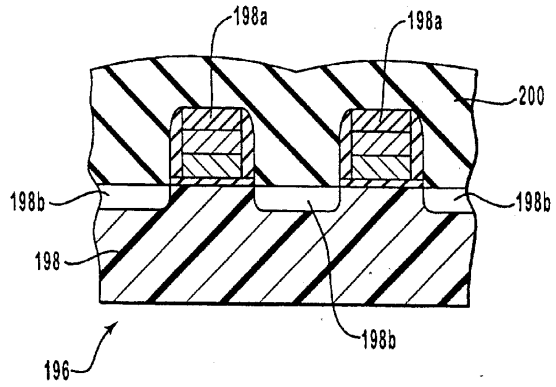
도면44



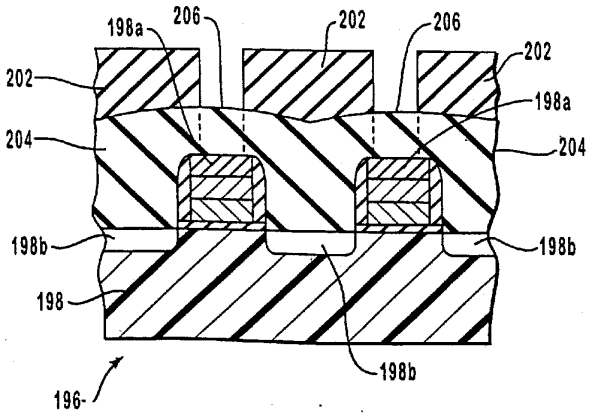
도면45



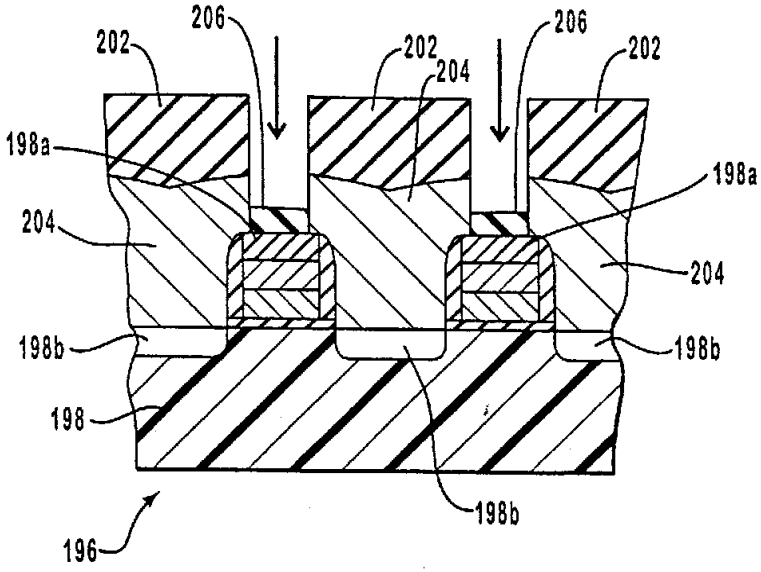
도면46



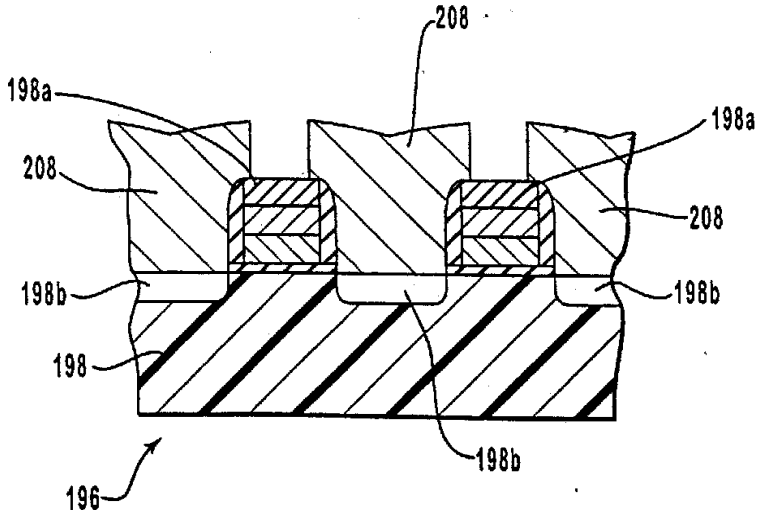
도면47



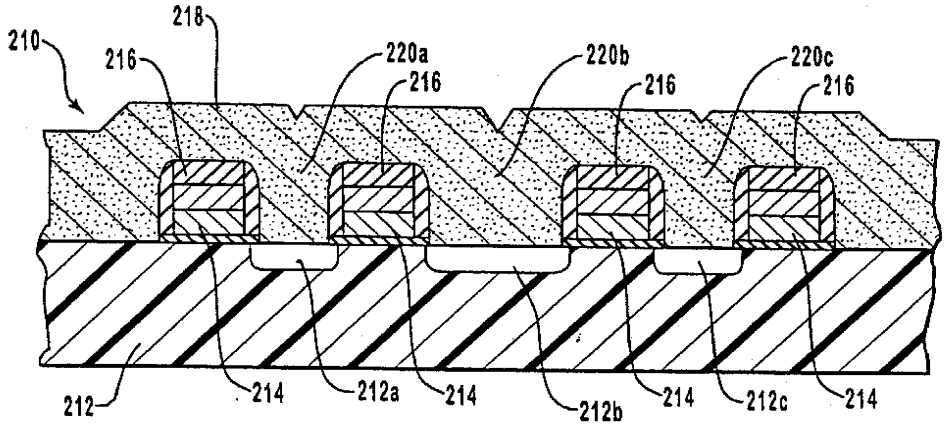
도면48



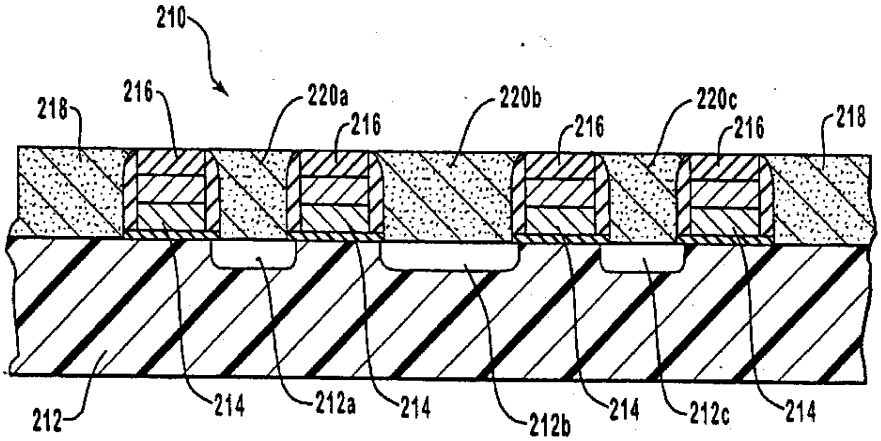
도면49



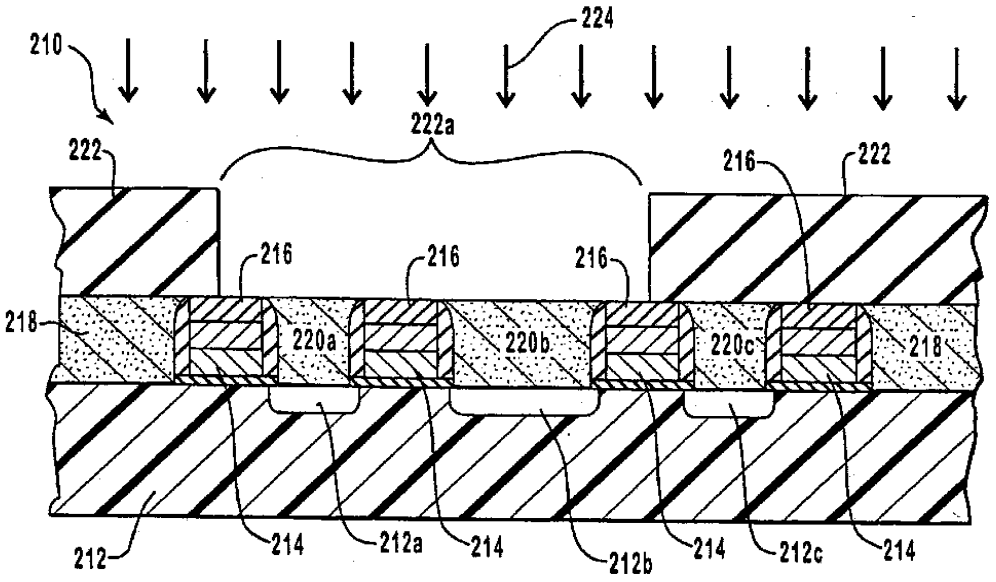
도면50



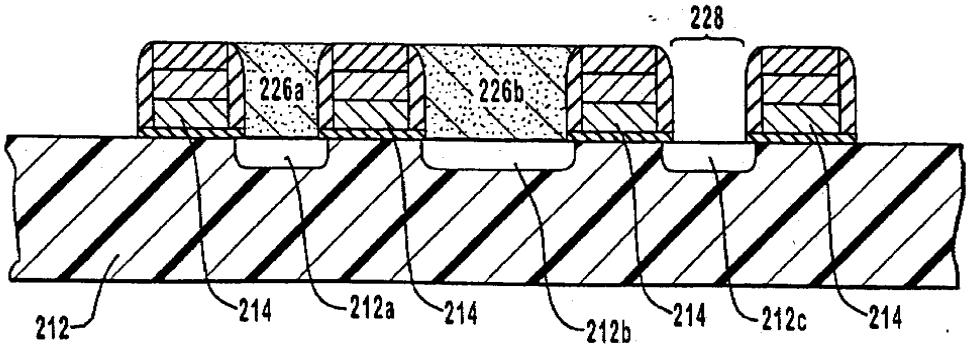
도면51



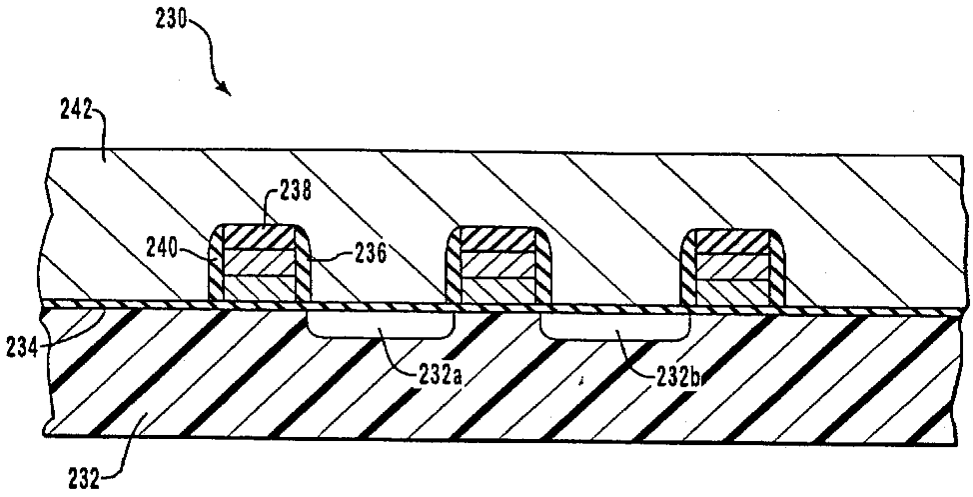
도면52



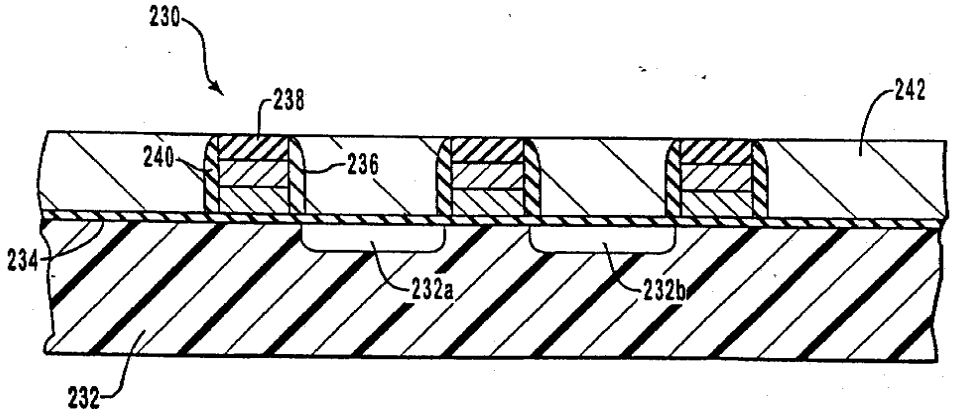
도면53



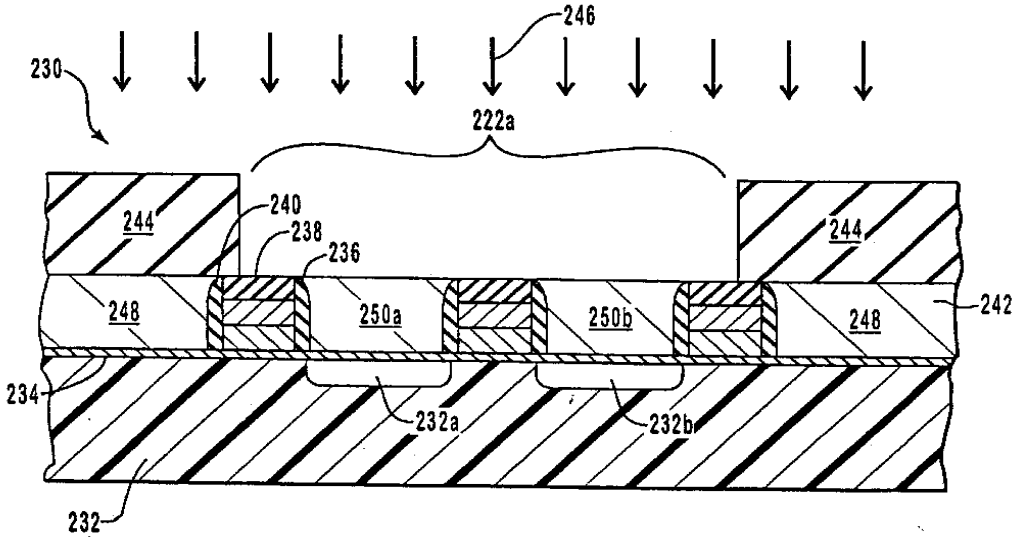
도면54



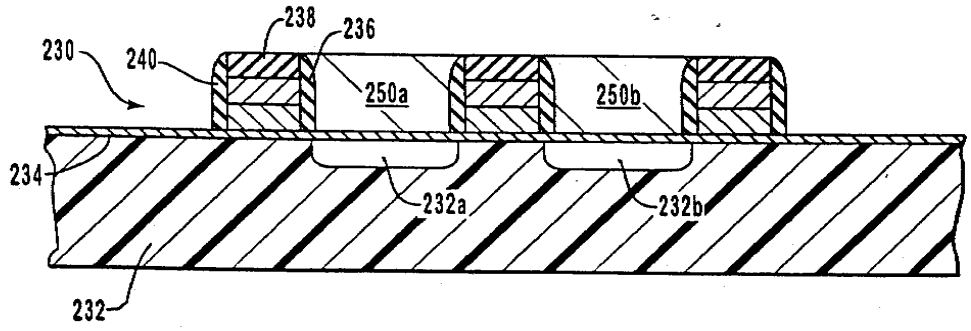
도면55



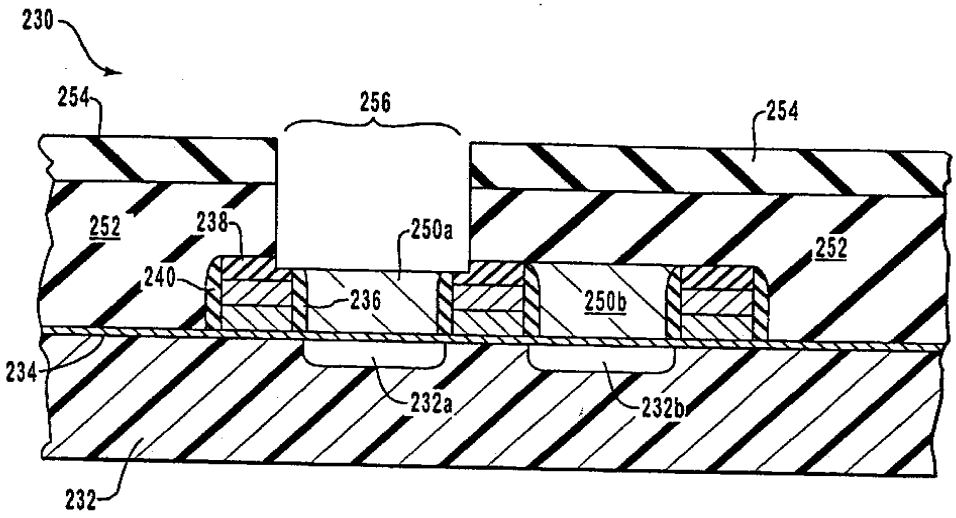
도면56



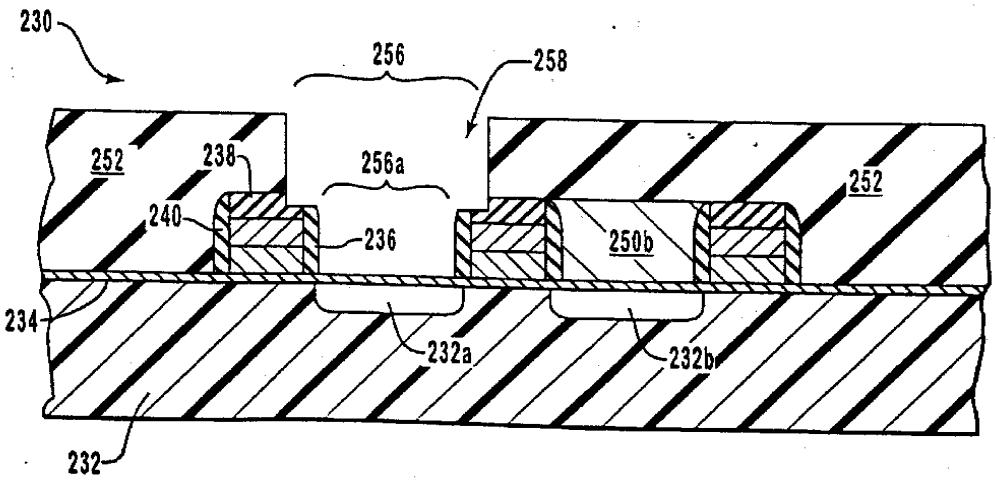
도면57



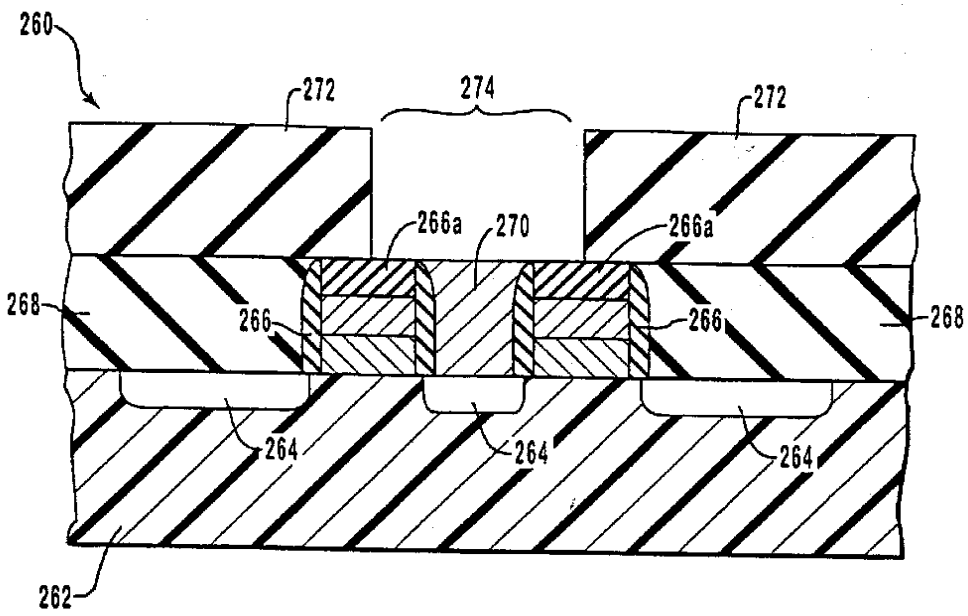
도면58


230
254
256
254
252
238
250a
252
240
236
250b
234
232a
232b
232

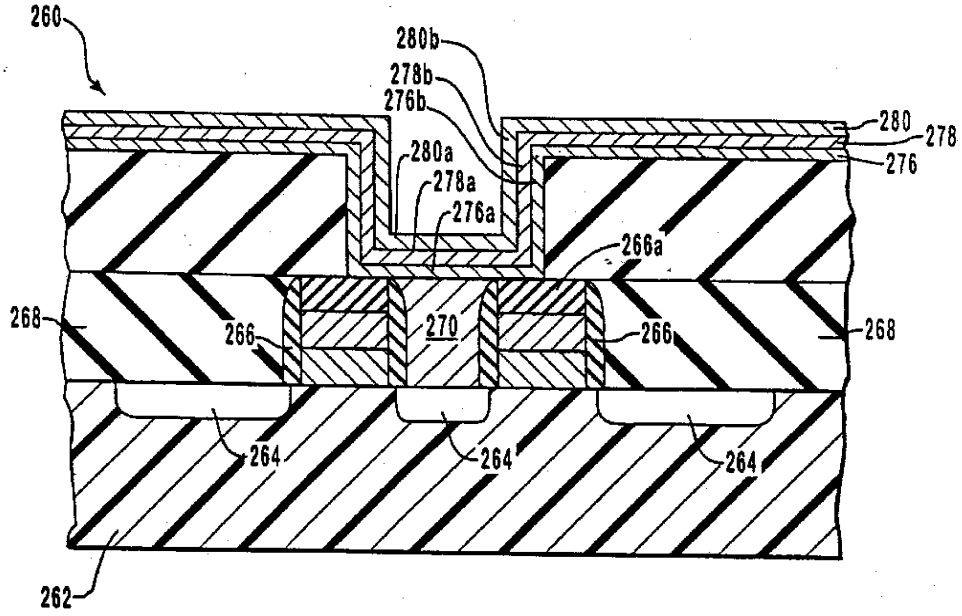
도면59


230
256
258
252
238
256a
252
240
236
250b
234
232a
232b
232

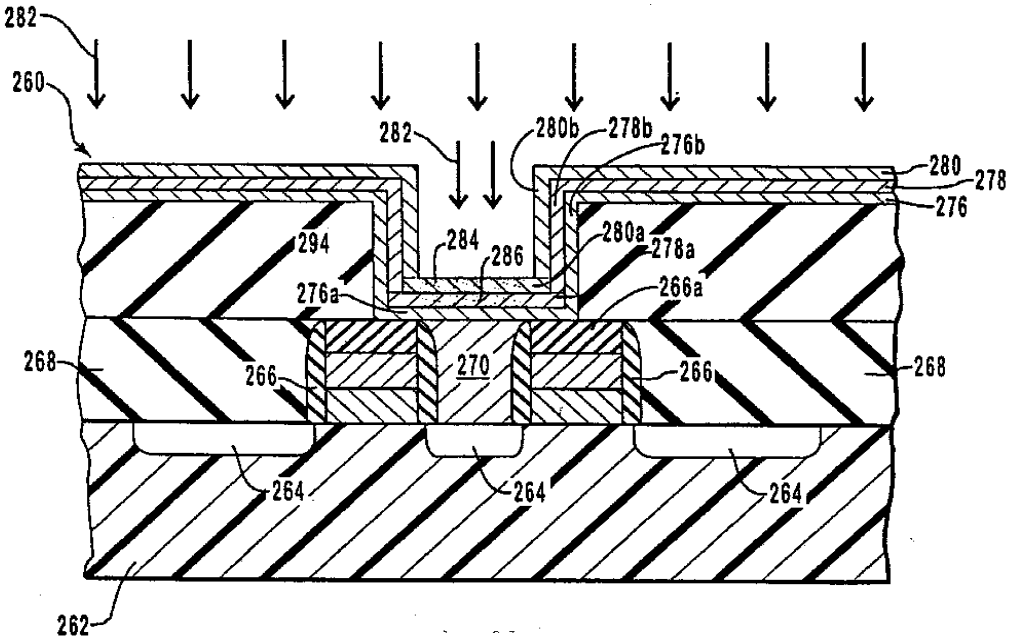
도면60


260
272
274
272
266a
270
266a
268
266
266
268
264
264
264
262

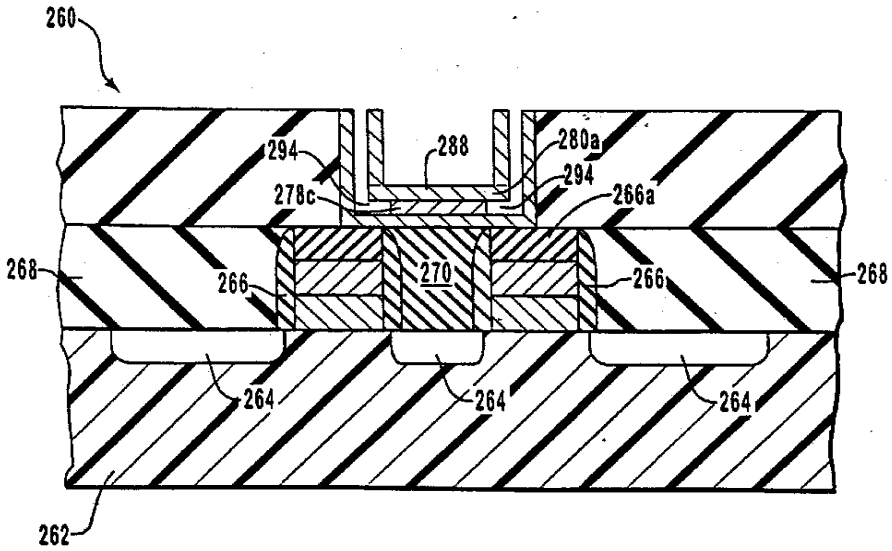
도면61


260
280b
278b
276b
280
278
276
280a
278a
276a
266a
268
266
270
266
268
264
264
264
262

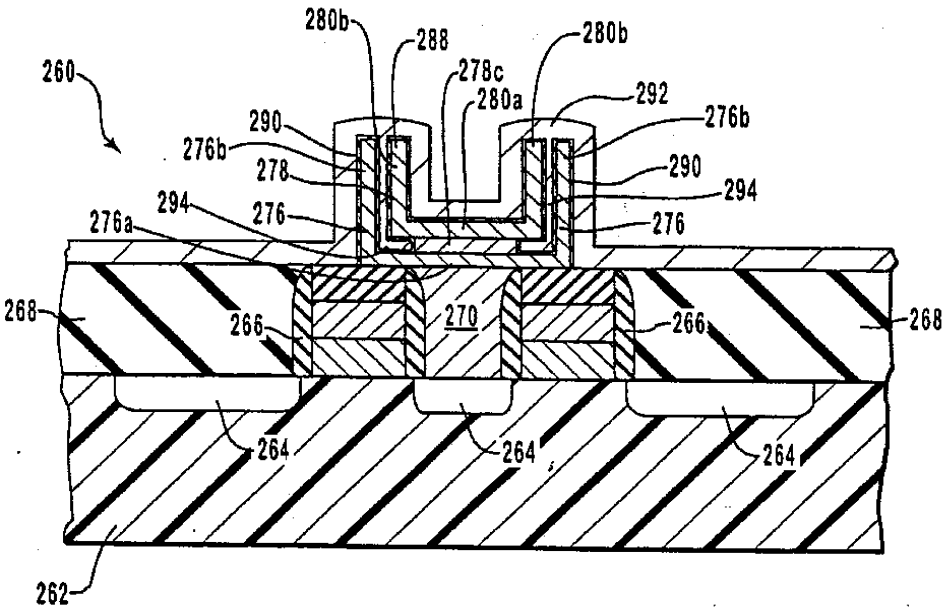
도면62


282
260
282
280b
278b
276b
280
278
276
294
284
286
280a
278a
276a
266a
268
266
270
266
268
264
264
264
262

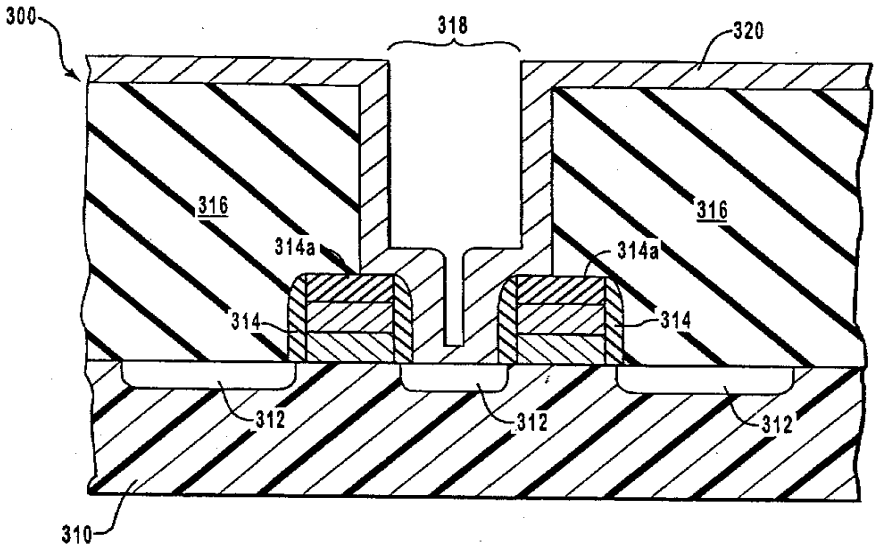
도면63


260
294
288
280a
294
278c
266a
268
266
270
266
268
264
264
264
262

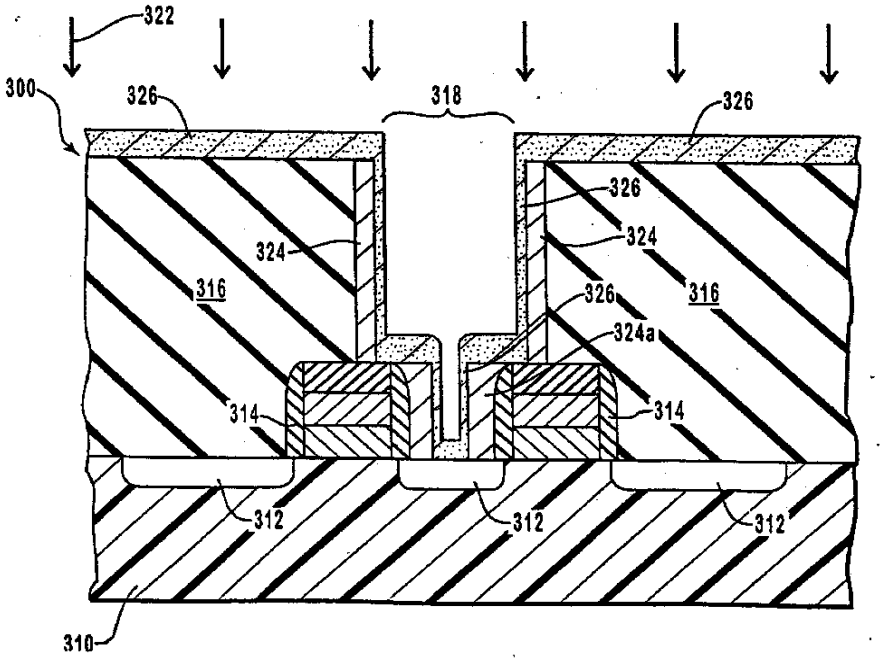
도면64


280b
288
280b
278c
280a
292
276b
290
276b
278
290
294
294
276
276
276a
268
266
270
266
268
264
264
264
262

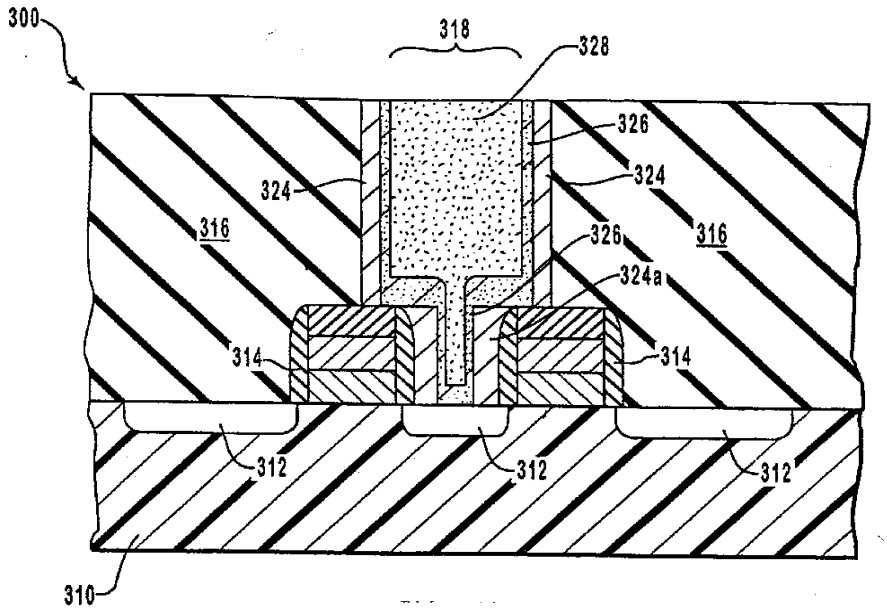
도면65


300
318
320
316
316
314a
314a
314
314
312
312
312
310

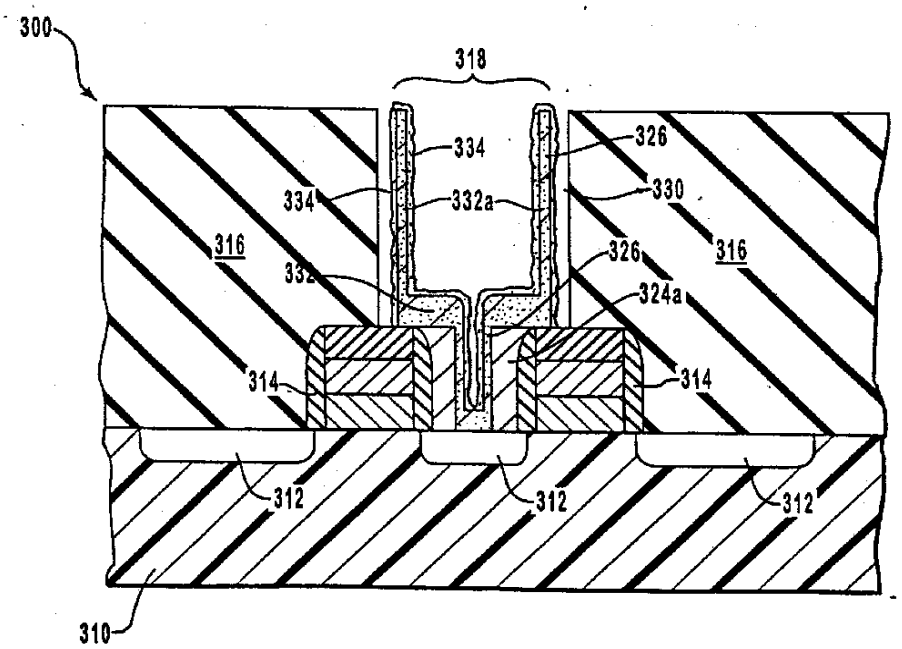
도면66


322
300
326
318
326
326
324
324
316
326
316
324a
314
314
312
312
312
310

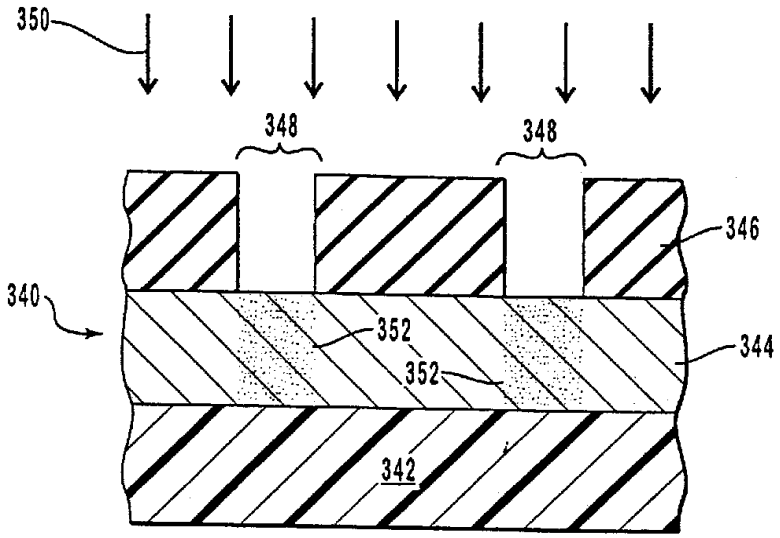
도면67


300
318
328
326
324
324
316
326
316
324a
314
314
312
312
312
310

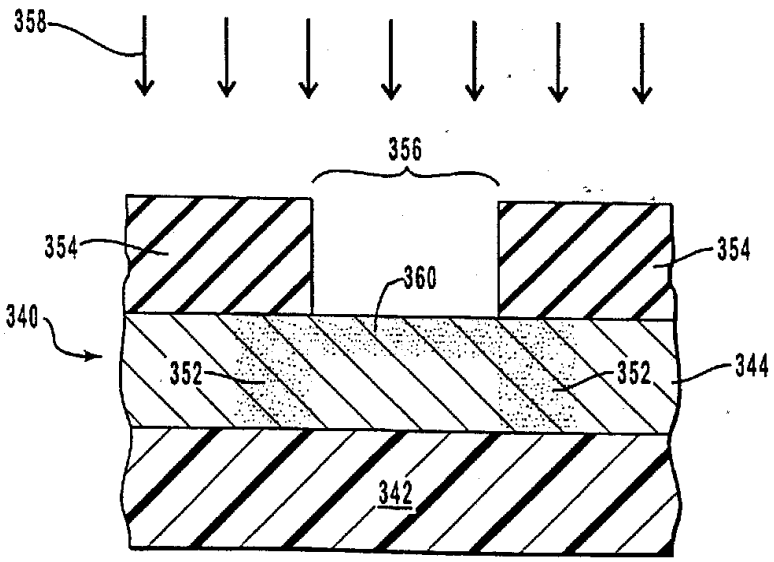
도면68


300
318
334
326
334
332a
330
316
316
326
332
324a
314
314
312
312
312
310

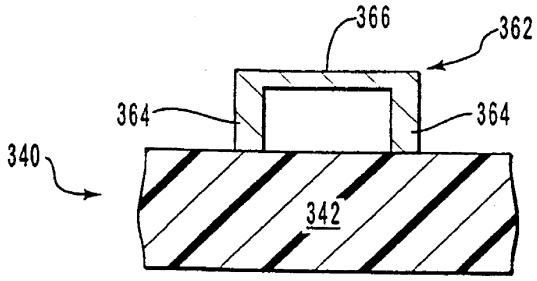
도면69


350
348
348
346
340
352
344
352
342

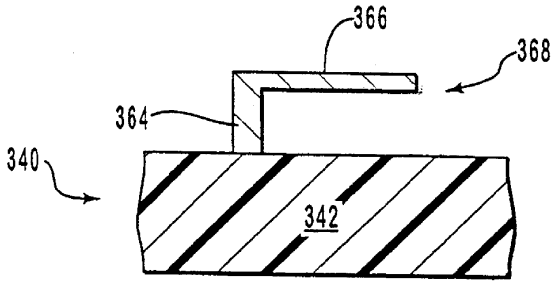
도면70



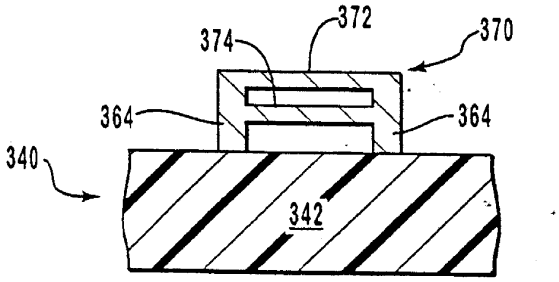
도면71



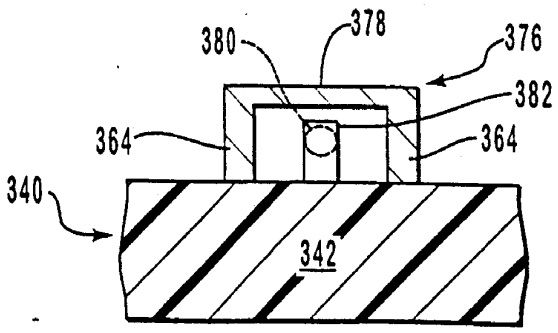
도면72



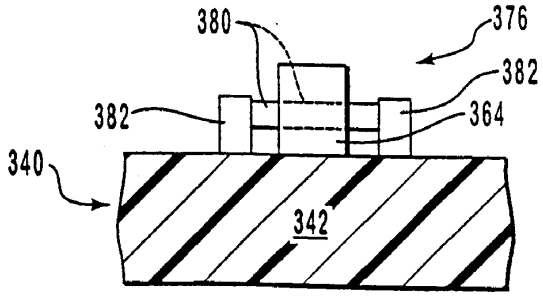
도면73



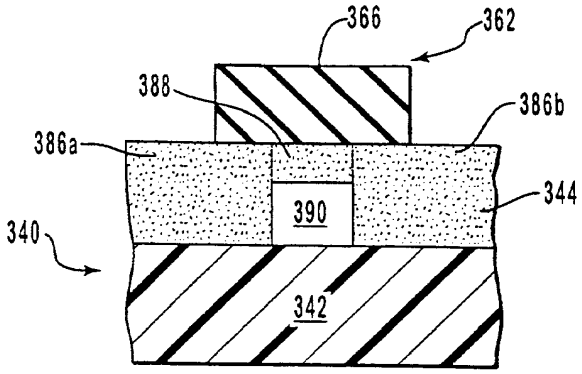
도면74a



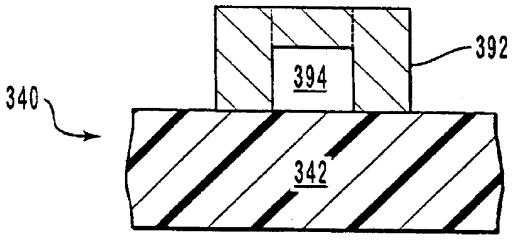
도면74b



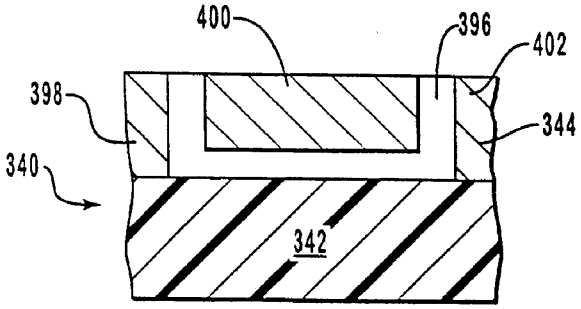
도면75



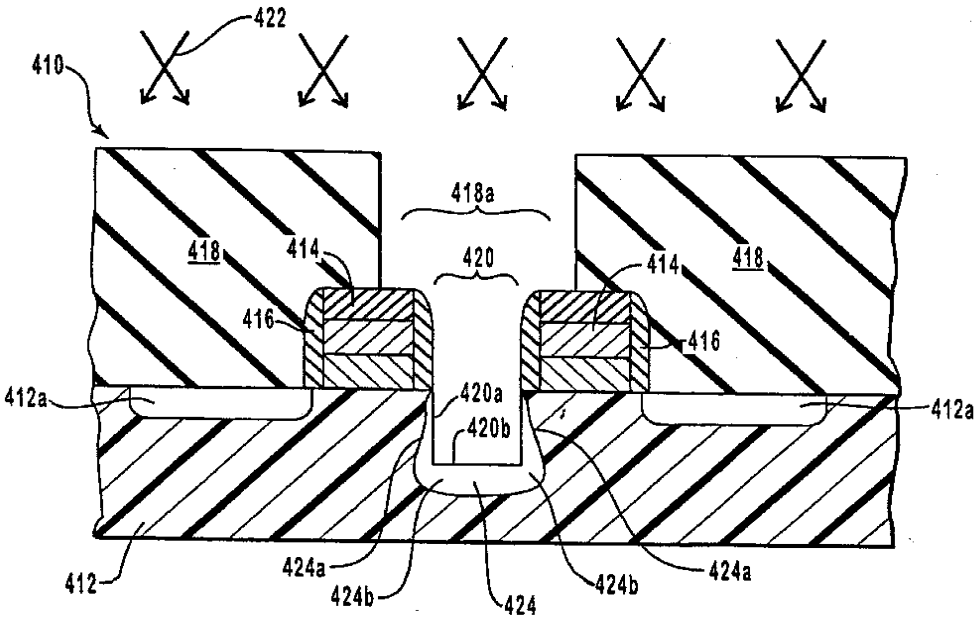
도면76



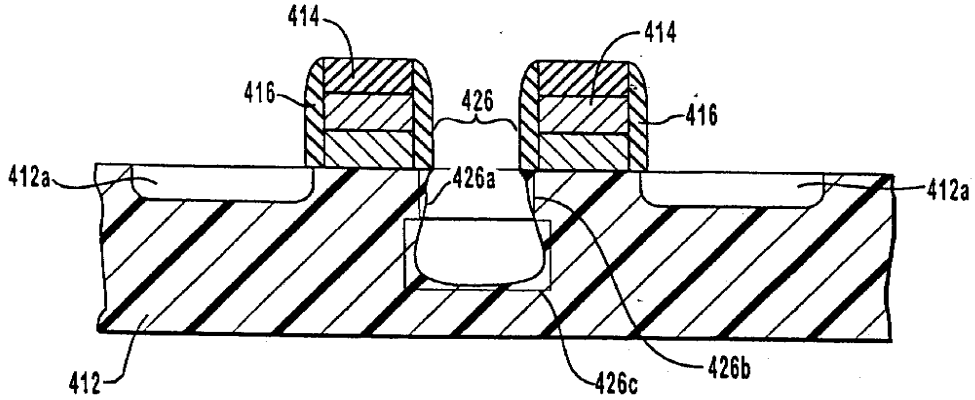
도면77



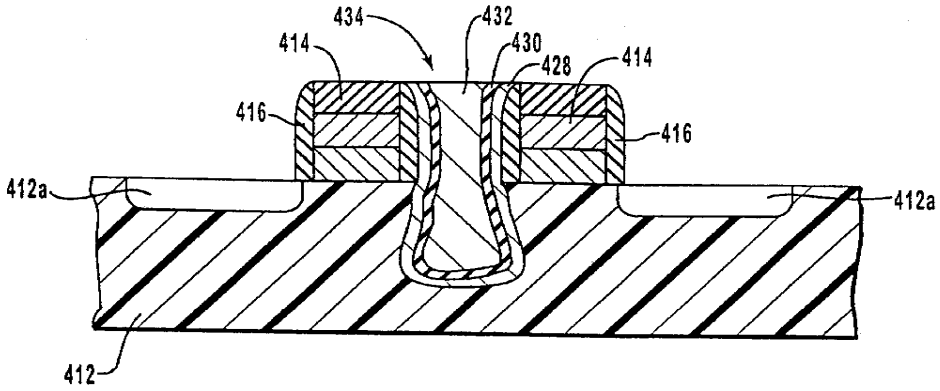
도면78



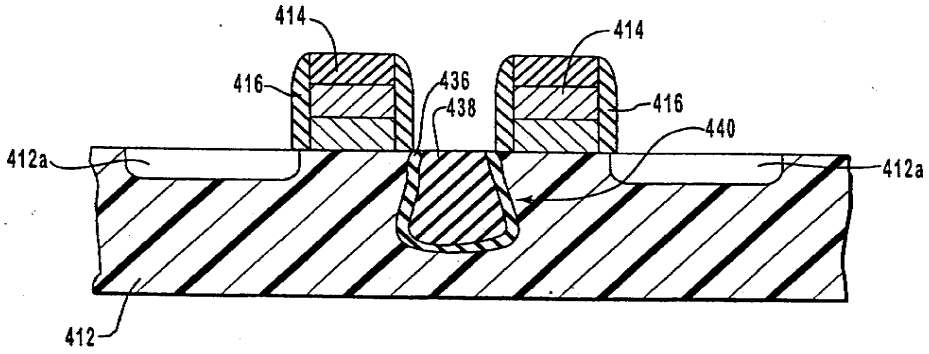
도면79



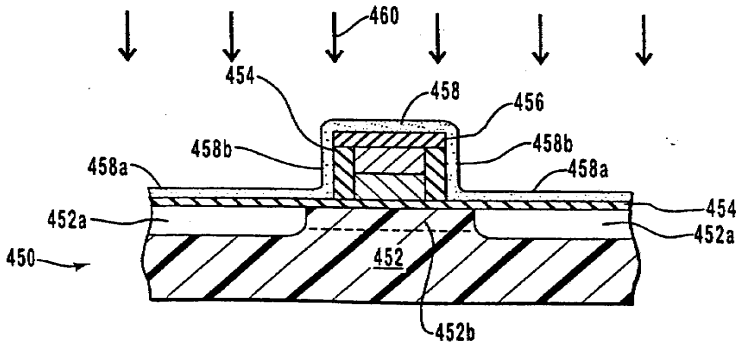
도면80



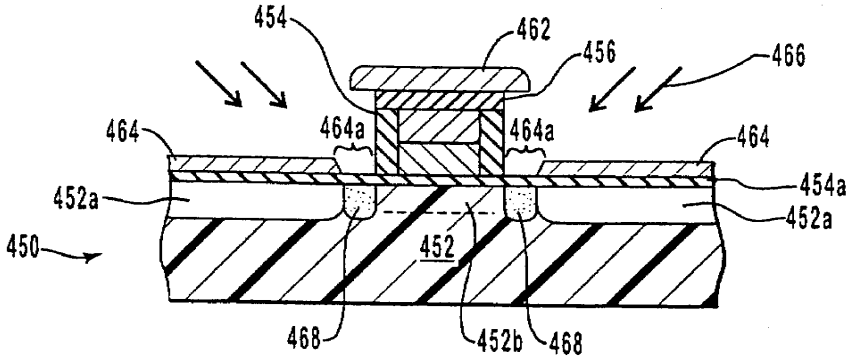
도면81



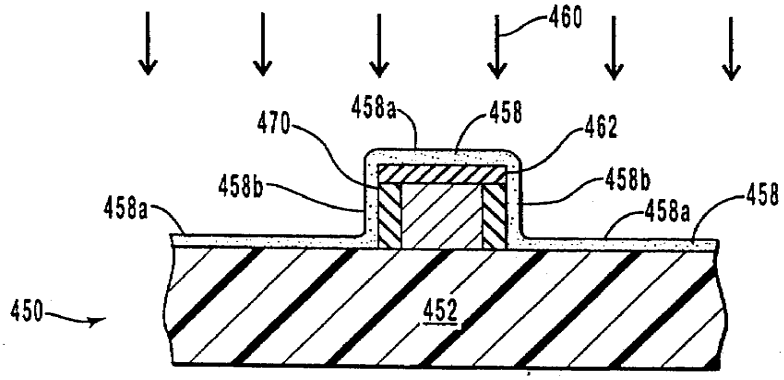
도면82



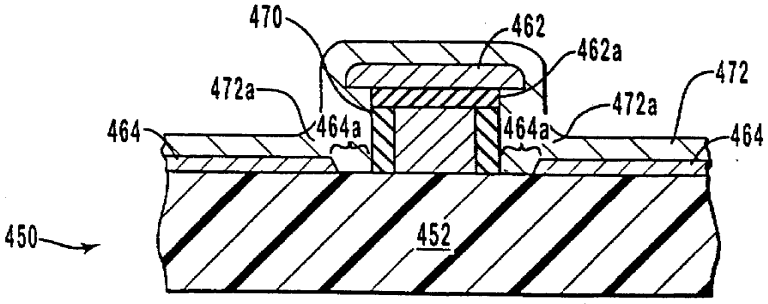
도면83



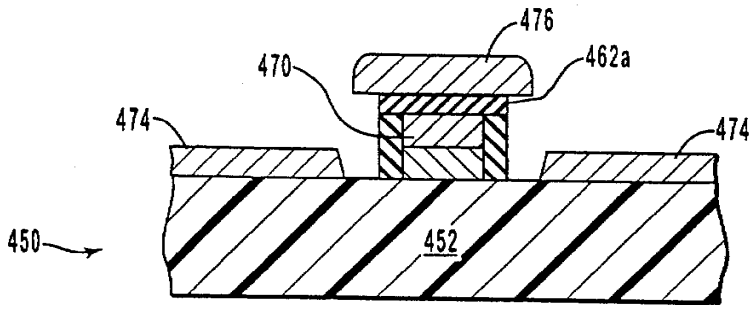
도면84



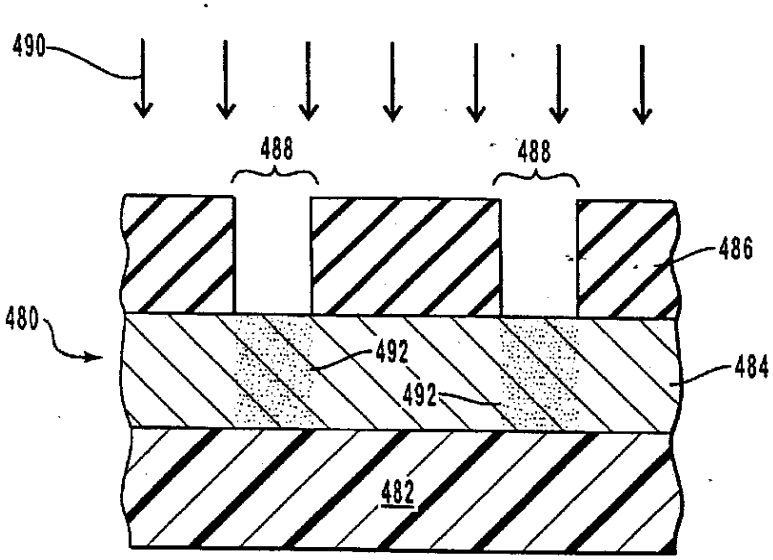
도면85



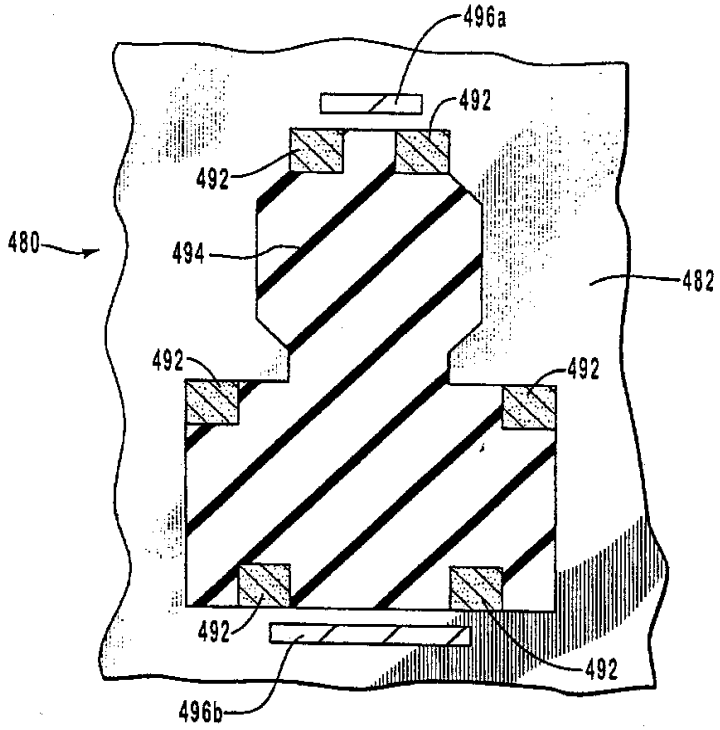
도면86



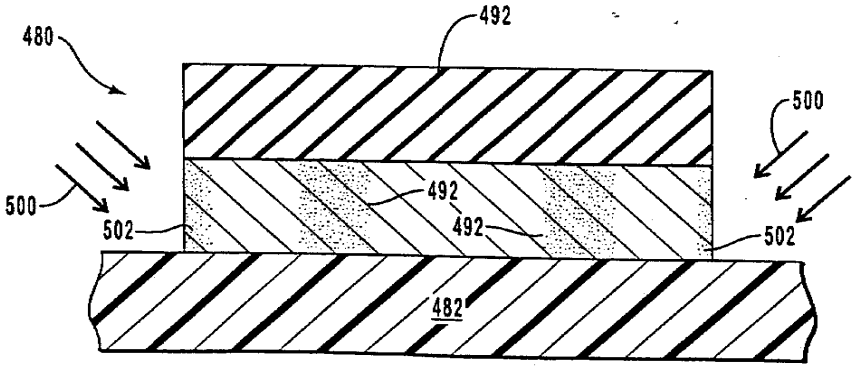
도면87



도면88


496a
492
492
480
494
482
492
492
492
492
496b

도면89


492
480
500
500
492
492
502
502
482

도면90

