(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3708971号

(P3708971)

(45)発行日　平成17年10月19日(2005.10.19)　(24)登録日　平成17年8月12日(2005.8.12)

(51)Int.Cl.[7]	F I		
G01R 31/302	G01R	31/28	L
G01R 1/06	G01R	1/06	F
G01R 1/067	G01R	1/067	D
G01R 31/26	G01R	31/26	J

請求項の数 3　(全 23 頁)

(21)出願番号　特願平5-21863
(22)出願日　平成5年1月14日(1993.1.14)
(65)公開番号　特開平5-264672
(43)公開日　平成5年10月12日(1993.10.12)
審査請求日　平成12年1月13日(2000.1.13)
審判番号　不服2002-16295(P2002-16295/J1)
審判請求日　平成14年8月26日(2002.8.26)
(31)優先権主張番号　820,711
(32)優先日　平成4年1月14日(1992.1.14)
(33)優先権主張国　米国(US)

(73)特許権者　399117121
アジレント・テクノロジーズ・インク
ＡＧＩＬＥＮＴ　ＴＥＣＨＮＯＬＯＧＩＥＳ，　ＩＮＣ．
アメリカ合衆国カリフォルニア州パロアルト　ページ・ミル・ロード　３９５
３９５　Ｐａｇｅ　Ｍｉｌｌ　Ｒｏａｄ　Ｐａｌｏ　Ａｌｔｏ，Ｃａｌｉｆｏｒｎｉａ　Ｕ．Ｓ．Ａ．
(74)代理人　100105913
弁理士　加藤　公久
(72)発明者　デビット・テー・クルック
アメリカ合衆国コロラド州ラブランド，アベイタ・コート　２３３１

最終頁に続く

(54)【発明の名称】容量結合プローブ、信号捕捉方法及び試験システム

(57)【特許請求の範囲】

【請求項１】

ソース導体からディジタル信号を捕捉するための容量結合プローブであって、

胴体部と、

前記胴体部に接続されたプローブチップと、

前記プローブチップに接続された増幅手段と、

前記増幅手段に接続された再生手段と、

を備え、

前記プローブチップが、内部導体と前記内部導体を包囲するシールド導体とを含み、前記内部導体と前記シールド導体が実質的に同軸構造に配置され、容量結合によりソース導体からディジタル電気信号を検出して検出信号を生成し、

前記増幅手段が、前記胴体部において前記プローブチップに近接して配置され、前記検出信号を受信して増幅する事により増幅信号を発生し、

前記再生手段が、前記増幅信号を受信してディジタル信号を再生し、

前記シールド導体の端部において、前記シールド導体に囲まれる領域よりも、前記プローブチップの活性領域を小さくする成端リングを有する、

ことを特徴とする容量結合プローブ。

【請求項２】

ソース導体からディジタル信号を捕捉するための容量結合プローブであって、

胴体部と、

前記胴体部に接続されたプローブチップと、
前記プローブチップに接続された増幅手段と、
前記増幅手段に接続された再生手段と、
を備え、
前記プローブチップが、内部導体と前記内部導体を包囲するシールド導体とを含み、前記内部導体と前記シールド導体が実質的に同軸構造に配置され、容量結合によりソース導体からディジタル電気信号を検出して検出信号を生成し、
前記増幅手段が、前記胴体部において前記プローブチップに近接して配置され、前記検出信号を受信して増幅する事により増幅信号を発生し、
前記再生手段が、前記増幅信号を受信してディジタル信号を再生し、
前記シールド導体の端部における前記シールド導体と前記内部導体とのギャップが、前記シールド導体の端部以外の部分における前記シールド導体と前記内部導体とのギャップよりも小さい、
ことを特徴とする容量結合プローブ。
【請求項３】
前記シールド導体の端部において、前記シールド導体が前記内部導体の方向に延長される、
ことを特徴とする請求項２に記載の容量結合プローブ。
【発明の詳細な説明】
【０００１】
【発明の技術分野】
本発明は、広義には電子回路の通電試験の技術分野に関係し、より詳しくは、非接触試験信号捕捉技術に関する。
【０００２】
【従来技術と問題点】
従来、プリント回路基板の自動試験ににおいては、入力信号をプリント回路基板（ＰＣＢ）の外部入力に供給し、出力信号をＰＣＢの外部出力から取出して観察する機能試験が行われる。また、この種の試験は、「エッジコネクタ機能試験」としても知られており、複合した回路の場合は非常に複雑になることがあり、限られたダイアグノスティックス（診断情報）しか得られない場合がある。従って、最近の試験では、このような従来の機能試験を効率的で柔軟性に優れたインサーキット試験で補完し、さらには機能試験に代えてインサーキット試験を行う場合もある。
【０００３】
インサーキット試験は、ＰＣＢ上の各ディジタル集積回路（ＩＣ）の性能を独立の機能単位として互いに独立に試験する一種の機能的回路試験である。この試験を行うためには、テスタは、入力信号を直接ＤＵＴ（被測定デバイス）の入力に供給しなければならず、またＤＵＴの出力にアクセスしてその出力応答を観察しなければならない。これによって、各ディジタルＩＣは、あたかも他の回路から電気的に分離されているかの如く試験することができる。その結果、インサーキット試験では優れたダイアグノスティックスを得ることができる。
【０００４】
さらに、デバイスは独立して試験されるので、一般的な多くのディジタルＩＣの試験については、前もってまとめてプログラムしてライブラリに記憶しておき、必要の都度呼び出して使用することができる。このプリプログラムされた試験は何回も繰り返して使用することができるので、試験生成を大幅に簡単化することができる。
【０００５】
インサーキット試験に必要なノードアクセスはいわゆる「深針ベッド（剣山）（ｂｅｄ－ｏｆ－ｎａｉｌｓ）」ジグを用いて行うことができる。「深針ベッド（剣山）」は、ＰＣＢ表面上のパッドまたはトレースに接続されたデバイスＩ／Ｏ（入出力）ピンと直接オーミック接触（オーム性接触）するばね装荷された複数の導電性プローブを有する。そのた

めには、試験アクセスを必要とする各ノードはＰＣＢの表面になければならず、かつ個々のテストプローブが各ノードと物理的に接触する（すなわちオーミック接触する）ことができるだけの十分な寸法を有しなければならない。このような物理的接触ができないと、インサーキット試験がうまく行かないことがある。

【０００６】

上記のような試験アクセスができないということこそ、まさしく今日の試験関係技術者が直面している問題である。電子回路のコンポーネントの小形化及び実装密度の増大によって、ノードへのアクセス性が著しく小さくなり、試験信号の取出しがますます困難になってきている。回路の設計技術者は極微小ピッチの多層ＰＣＢに高密度のコンポーネントを実装しようとするが、そのため多くの導体がアクセスできなかったり、あるいは小さ過ぎて、従来のプロービング技術では接触できない等の問題が生じている。

【０００７】

例えば、従来の中規模集積回路（ＭＳＩ）チップは大規模集積回路（ＬＳＩ）チップ及び超大規模集積回路（ＶＬＳＩ）チップに取って代わられた。これらのチップのパッケージは、従来のデュアルインラインパッケージに加えて、ハイブリッドパッケージ（すなわち共通のセラミックまたはシリコンサブストレート上に未パッケージのシリコンチップを実装する）、ＴＡＢ（テープオートメーティッド・ボンディング）及び表面実装技術が用いられている。最新の技術水準はＶＬＳＩをはるかに上回る集積度に向かっている。その結果、使用クロック速度が増大して（例えば１０８ Ｈｚ以上）、新たに複雑な実装上の問題が発生し、これがマルチチップモジュール（ＭＣＭ）の開発につながった。

【０００８】

ＭＣＭは、共通のサブストレートに実装された複数のシリコンダイを含むハイブリッド（混成）アセンブリである。この技術では、チップ上に電極配線系を形成するのに用いられるのと同じプロセスを用いて、サブストレート上のチップ間相互接続配線を形成することができる。ＭＣＭによれば、より多くのチップを相互により近接させて実装することによって、より大きい入出力速度及びより大きい信号処理速度に対応することが可能となる。これは、薄膜マイクロリソグラフィ法によって形成される細線多層相互接続機構を用いることにより達成される。

【０００９】

これらの最新技術は、試験アクセス性を犠牲にしてより大きな実装密度を達成した。その結果、設計技術者は、もはや回路の試験技術者に対して必要なノードアクセス性を保証することができなくなっている。

【００１０】

多くのノードは、トラップ状に多層ＰＣＢの内層に設けられている。ノードがＩＣのＩ／Ｏピンになっている場合も、微細ピッチというＩＣの幾何学的条件の故に、接触型プローブによるプロービングができないことがある。

【００１１】

これらの問題は、試験技術者に効果的なインサーキット試験を断念して、これより複雑なエッジコネクタ機能試験に逆戻りすることを強いている。しかしながら、エッジコネクタ機能試験も、コンポーネントレベルのダイアグノスティックスを得ようとする場合は、ある程度内部ノードアクセスを必要とすることが頻繁にある。例えば、エッジコネクタ試験によってＰＣＢに障害があることが明らかになった場合は、問題の原因を見付け出すために、規定範囲外の出力から回路を通して「遡及追跡（ｂａｃｋｔｒａｃｅ）」を行うことが望ましいことが度々ある。これを行うためには、内部ノードでしか得られない出力にアクセスすることが必要となる。従って、エッジコネクタ機能試験に戻ることによりアクセスの問題は軽減されるが、これによってアクセスの問題がなくなる訳では決してない。

【００１２】

しかも、上記のような遡及追跡は手作業で行われることが多い。そのため、オペレータはプローブをパッドまたはその他のテストポイントと物理的接触させて保持することが必要である。今日の微細ピッチの幾何学的条件では、これは実際上不可能である。例えば、Ｔ

ＡＢデバイスは、リード線の中心間距離１０ミル（すなわち１インチの１０００分の１０）以下のことがしばしばある。このような寸法では、リード線を識別することは困難であり、プロービングすることはそれにもまして困難である。

【００１３】

接触型プロービングによって引き起こされるもう一つの問題は、接触させるのに必要な物理的力が開路を実際上閉じてしまう（例えば「コールド（ｃｏｌｄ）」はんだ接合部で閉じる）場合があるということである。この場合は、見付け難い誤接続を生じる可能性がある。

【００１４】

これらの従来のプロービング技術によって発生するさらにもう一つの問題は回路負荷の問題である。プローブによって回路に与えられる負荷は、検出中の信号を劣化させ、その結果試験が無効になることがある。例えば、１．０ｐＦというような小さい容量性負荷であっても、一部の高周波回路を乱すのに十分な場合がある。

【００１５】

非接触試験信号捕捉方法は、「マイクロプロセッサ及びマイクロシステム（Ｍｉｃｒｏｐｒｏｃｅｓｓｏｒｓ　ａｎｄ　Ｍｉｃｒｏｓｙｓｔｅｍｓ）」Ｖｏ．１６第２号６９～７１ページのＧ．エッチンガー（Ｅｔｔｉｎｇｅｒ）等による「非接触試験信号捕捉法」という論文に記載されている。その中で、エッチンガー等は、ディジタル信号は容量結合によって検出することができるということを述べている。信号を伝達するソースワイヤより信号を取出すためには、ピックアップワイヤをソースワイヤに巻き付けるか、またはばねクリップをソースワイヤの回りにクランプする（例えば７ｍｍの距離にわたって）。ＰＣＢからの信号検出のためには、平板状の容量性接点をトレース（例えば、５ｍｍ間隔で１．５ｍｍ幅のトレース）の上方に位置させてＰＣＢに固定する。各ピックアップリードを、飽和型受信器、電界効果トランジスタ（ＦＥＴ）のゲートあるいはＣＭＯＳ論理ゲートに接続して、信号検出／増幅を行う。この方法は、１０ＫＨｚ及至１０ＭＨｚの周波数範囲のディジタル信号を検出することが可能であると説明されている。

【００１６】

不都合なことに、上記のエッチンガー等の開示技術は、最新の回路試験に付随する問題の解決には適用することができない。まず、エッチンガー等が述べているピックアップリード（すなわちプローブ）は、サイズが大き過ぎて、最近の回路では使用することができない。今日の超微細トレースの幾何学的条件下でプロービングするためには、同様の寸法（例えば直径が０．１～０．２５４ｍｍのオーダの寸法）を持つ超微細プローブチップを用いることが必要である。しかしながら、従来は、このように寸法が小さいと、信号捕捉に十分な容量結合を得ることが不可能であると考えられて来た。

【００１７】

それは、結合容量と、ピックアップ回路の入力容量と結合容量の和との比で信号が減衰するためである。結合容量は、ソースワイヤまたはトレースに近接するピックアップリード（すなわちコンデンサプレート）の表面積に比例する。従って、入力容量が一定の場合、プローブサイズが小さければ小さいほど、容量結合によって検出される信号は弱くなる。プローブサイズが小さ過ぎると、信号は、増幅器／ピックアップ回路の電気ノイズから効果的に区別することができるレベル以下まで減衰する。

【００１８】

例えば、エッチンガー等のピックアップリードのサイズは、１ｐＦ及至３３ｐＦのオーダの結合容量を生じると記載されているが、超微細プローブチップでは、結合容量が１０ｆＦ（１０フェムトファラッドまたは０．０１ｐＦ）のオーダになることもある。従って、超微細プローブチップにより得られる検出信号はエッチンガー他のピックアップリードの場合に比較して少なくとも１００分の１以下になるものと考えられる。エッチンガー等によって用いられた検出／増幅回路は、このような小さい入力信号では動作しないと思われる。さらに、エッチンガー等が述べているような大きな結合容量は、多くの高周波回路に許容不可能な負荷を生じさせることもある。

【００１９】
このような制約があるため、これまで商業ベースで実用的な試験信号捕捉用の容量結合プローブの開発は妨げられて来た。当業界では、容量性検出にはほとんど見込みがないと考えて、回路試験の問題を解決するための他の技術の調査・研究に重点が置かれることになった。
【００２０】
その中の１つの方法は、例えば、プラズマを用いてトレースとセンス電極との間に導電路を形成するものである。プラズマはセンス電極をレーザによって励振することにより作り出される。この方法については、アショク・ビンドラ（Ａｓｈｏｋ　Ｂｉｎｄｒａ）により電子工学タイムズ（Ｅｌｅｃｔｒｏｎｉｃ　Ｅｎｇｉｎｅｅｒｉｎｇ　Ｔｉｍｅｓ）１９９１年９月２３日号の１１０ページに「高密度ＰＷＢ上のプロービングを容易にする技術（Ｔｅｃｈｎｉｑｕｅ　ｅａｓｅｓ　ｐｒｏｂｉｎｇ　ｏｎ　ｄｅｎｓｅ　ＰＷＢｓ）」として要約されている。
【００２１】
もう一つの方法においては、クリスタルを信号伝達導体に近接させて配置する。すると、信号伝達導体より発生する電界がクリスタルの光学的特性を変化させるので、これをレーザを用いて検出することができる。この現象はポッケルス効果（Ｐｏｃｋｅｌｓ　ｅｆｆｅｃｔ）として知られている。試験技術会議（Ｉｎｔｅｒｎａｔｉｏｎａｌ　Ｔｅｓｔ　Ｃｏｎｆｅｒｅｎｃｅ）会報６９５～６９９頁のトレンブレイ（Ｔｒｅｍｂｌａｙ），Ｇ．、メイルエイクス（Ｍｅｙｒｕｅｉｘ），Ｐ．、ペウジン（Ｐｅｕｚｉｎ），Ｊ．による「プリント回路基板の光学試験（Ｏｐｔｉｃａｌ　Ｔｅｓｔｉｎｇ　ｏｆ　Ｐｒｉｎｔｅｄ　Ｃｉｒｃｕｉｔ　Ｂｏａｒｄｓ）」、及び写真‐光学計装技術者協会（ｔｈｅ　Ｓｏｃｉｅｔｙ　ｏｆ　Ｐｈｏｔｏ－ｏｐｔｉｃａｌ　ＩｎｓｔｒｕｍｅｎｔａｔｉｏｎＥｎｇｉｎｅｅｒｓ）会報ｖｏｌ．１５３（１９７８年）３３～３９ページのポウルセン，Ｐ．Ｄ．による「非接触回路プロービングのための電気光学技術（Ｅｌｅｃｔｒｏ－ｏｐｔｉｃａｌ　ｔｅｃｈｎｉｑｕｅｓ　ｆｏｒ　ｎｏｎ－ｃｏｎｔａｃｔ　ｃｉｒｃｕｉｔ　ｐｒｏｂｉｎｇ）」を参照のこと。
【００２２】
上記及び目下開発中のその他の新しい方法は、様々な技術的、経済的課題が依然解決されていないため、商業ベースで利用できる段階には達していない。
【００２３】
【発明の目的】
本発明の目的は、高密度回路においてアナログ信号及びディジタル信号の非接触取出しのために使用することができる容量結合プローブと、それを用いた試験システムにより上記問題点を解決することにある。
【００２４】
【発明の概要】
本発明の容量結合プローブは、プローブチップ、このプローブチップに機械的に結合されたプローブボディ、及びプローブボディ内部に配置された増幅器回路よりなる。プローブチップは、ほぼ周囲を導電性シールドで囲まれた内部導体を有する。プローブチップは、プロービングしようとする導体のサイズに応じた小さな寸法を有し、ピコファラド以下のオーダーの結合容量を呈する。導電性シールドは、すぐ近くの導体からのクロストークを減少させるためにプローブチップの活性領域を制限する作用をなす。
【００２５】
増幅器回路は、プローブチップからの容量結合によって検出された信号を受け取り、これに応答して増幅された信号を発生する。この増幅器は、高周波ディジタル信号の増幅に対応し得る大きな帯域幅を有する。さらに、この増幅器は、信号減衰及びプロービングする回路へ与える負荷を小さくするため、非常に低い入力容量と高い入力抵抗を有する。増幅器回路は、浮遊容量及び分布容量を小さくすることによって増幅器の入力容量をさらに減少させるために、プローブボディ内部においてプローブチップに極近接させて配置されて

いる。
【００２６】
このプローブの有効帯域幅は、低周波ポール（極）から高周波ポールまで及ぶ。低周波ポールの位置はプローブチップをプロービングする導体に結合する容量及び増幅器の入力抵抗ににによって決まる。高周波ポールは増幅器回路自体の応答性によって決まる。低周波ポールは、容量結合によって検出された信号の低周波成分が減衰させられるよう、プローブを微分回路として作用させる。
【００２７】
アナログ信号の場合は、低周波成分を保持することが望ましい。そのために、低周波ポールは、増幅器の入力抵抗を最大限にすることによってできるだけ低い周波数に移動させるべきである。また、プローブの有効帯域幅を大きくするよう高周波ポールの周波数をできるだけ大きくすることが望ましい。検出アナログ信号は、オシロスコープあるいはその他の計測器に直接入力することができる。
【００２８】
一方、ディジタル信号の場合は、増幅器の低周波応答よりも高周波応答が重要である。ディジタル信号の急峻なエッジに追随するには、増幅器の良好な高周波応答が要求される。ディジタル信号の低周波成分（微分時になくなる）は、主として近直流周波数から成り、再生回路を用いて再生することができる。再生したディジタル信号は、ロジックアナライザのような試験機器で分析あるいは観察することができる。
【００２９】
本発明の一つの長所は、プロービングする対象がビア（貫通孔）、パッド、及びテストポイントに限定されないということである。本発明のプローブによれば、トレースやソルダレジストあるいはコンフォーマルコーティングの下層にある他の部分に対してもプロービングすることができる。さらに、メカニカルジグまたはロボット式プローブポジショナを用いるならば、細過ぎるか、密接し過ぎるために手作業あるいは従来の深針ベッド（剣山）式プロービングが不可能な部分でもプロービングすることができる。
【００３０】
本発明のもう一つの長所は、信号捕捉のために物理的接触が不要なことである。そのために、コンフォーマルコーティングし、ソルダマスクした汚れているＰＣＢであっても、十分な信頼性をもってプロービングすることが可能である。実際、多層ＰＣＢの内層にしかないトレースであっても、導電性の平面またはトレースが間に介在していなければ、基板の表面から容量結合によってプロービングすることができる。
【００３１】
本発明のさらにもう一つの長所は、プローブの入力インピーダンスが非常に高いため、プロービング中の回路に与える負荷の作用を最小限に抑えることができるということである。
【００３２】
本発明のもう一つの長所は、高周波試験信号（例えば、エッジ部の期間が１ｎｓｅｃの１００ＭＨｚ方形波）を取出すことができるということである。
【００３３】
【実施例の説明】
本発明は、小型の容量結合されたプローブ（容量結合プローブ，あるいは単にプローブとも言う）を用いることにより電気信号を非接触プロービングするための装置及び方法である。本発明は、ディジタル試験信号捕捉に付随する独特の問題を解決しようとするものであるが、アナログ信号の取出しにも等しく適用することができる。本願において、「容量性」という用語と「非接触」という用語は互換的に使用され、オーミック接触のない結合を意味する。
【００３４】
「プローブ」は、他の電子機器について使用する電気信号検出素子を含むデバイスである。本発明のプローブは、ＰＣＢのトレース、ビア、パッド、Ｉ／Ｏピン、及びその他の電

気導体から電気信号を検出するために用いられる。信号は、ハイブリッドでもＭＣＭでも、多層ＰＣＢのソルダマスク、コンフォーマルコーティングあるいは１層以上の誘電層が間に介在しても、これらを通して取出すことが可能である用語を参照し易くするため、本願においては、信号を取出そうとする電気信号伝達導体を全て「トレース」という用語を用いて表すものとする。寸法に言及する際の単位はｍｍを使用する。

【００３５】

〔概要〕

図１は、本発明の概略ブロック図である。アナログ信号またはディジタル信号１０１は、プローブ１０２によってプローブチップ１０４を介して容量結合により検出される。プローブボディ１０８内に配置されたバッファ／増幅器回路１０６（以下「増幅器」１０６とする）は、容量結合により検出された信号を受け取る（かつ好ましくは増幅する）ようになっている。以下に詳細に説明するように、増幅器１０６は、プローブ１０２内においてプローブチップ１０４に極近接させて配置されている。

【００３６】

増幅器１０６からの信号は、オシロスコープ、歪み計あるいはスペクトラムアナライザ上で直接観察することもできるし（例えば、特にアナログ信号の場合）、再生回路１１０に供給するようにしてもよい（ディジタル信号の場合）。再生回路１１０は、容量結合により検出された信号からディジタル信号１０１を再生する。この再生が必要なのは、プローブチップ１０４をプロービング中のトレースと結合する容量（容量）が信号をハイパス濾波または微分するよう作用するためである。この「結合容量」は図１にコンデンサ１０３として表されている。

【００３７】

ある信号の微分過程が図２に示してある。図２Ａは、検出しようとする一例のディジタル信号２０２を示す。図２Ｂは、増幅器１０６の出力に現れる検出信号２０４を示す。図示のように、信号２０４は微分されている。この微分によって、検出信号中の全ての直流レベル及び低周波変化は除去される。しかしながら、微分信号２０４を再生回路１１０に通して再生すると、図２Ｃに示すような再生ディジタル信号２０６が再生される。

プローブチップ

【００３８】

〔プローブチップ〕

図３は、一例のＩＣチップ３０２を示し、このＩＣチップは複数のＩ／Ｏ（入出力）ピン３０４を有する。図示のように、本発明の非接触テストプローブ１０２はＩ／Ｏピン３０４の中の１本の上方に置かれる。上に説明したように、プローブ１０２は、プローブボディ１０８及びプローブチップ１０４よりなる。プローブチップ１０４は、互いに同軸状に配置された内部導体３０６及び外部導体またはシールド３０８を有する。内部導体３０６は、プローブチップ１０４の検出端３１０において対象トレースまたは導体（例えば、Ｉ／Ｏピン３０４）から容量結合により電気信号を受け取るようになっている。シールド３０８は、近傍の導体からの容量性干渉（すなわちクロストーク）に対して内部導体３０６を保護する。

【００３９】

最近のＰＣＢは、幅及び間隔とも０．１というような非常に小さいトレースを有する。このようなトレースから信号を最適に捕捉するためには、プローブチップにはトレースと同様の大きさの「活性領域」を具備すべきである。信号の「最適」捕捉は、再生が可能な十分な振幅でもって信号を取出す一方、クロストーク及び被験回路に与える負荷を最小限に抑えることよりなる。クロストークは近傍のトレースからの信号による干渉である。

【００４０】

次に、図４には、プローブチップ１０４の活性領域が図解されている。図示例においては、第１のトレース４０２は第２のトレース４０４と互いに近接している。図は、内部導体３０６及びシールド３０８を含むプローブチップ１０４の横断面をトレース４０２、４０４に重ねて示してある。シールド３０８の内側半径ｒは、内部導体３０６及びシールド３

０８と内部導体３０６の間のスペース４０６を含む円を画定する。この内側半径ｒにより画定される領域がプローブチップ１０４の「活性領域」である。

【００４１】

トレース４０４上の信号からほとんど干渉を受けることなくトレース４０２を効果的にプロービングするためには、トレース４０２をプロービングするとき、プローブチップ１０４の活性領域が、上方から見てトレース４０４のどの部分にも全く重ならないことが望ましい。すなわち、シールド３０８の内側半径ｒはトレース４０２と４０４の間の距離ｘとトレースの厚さの２分の１との和より小さくすべきである。プローブの活性領域を小くすればするほど、クロストーク排除性能は向上する。しかしながら、以下に説明するように、ｒを小さくすると、プローブチップの容量が増加する結果になる。

【００４２】

内部導体３０６の直径は、少なくとも最も小さいトレースの幅と同じ大きさにすべきである。こうすることによって、トレースとの最大結合が可能となる。内部導体をこれより少しでも小さくすると、容量結合が必要以上に減少し、検出信号は減衰させられる。内部導体をこれより大きくすると、クロストークが発生し易くなる。

【００４３】

プローブチップ１０４は、図５Ａ及び５Ｂに示すように、同軸ケーブル（以下に「同軸（ｃｏａｘ）」と称する）の小片で構成することもできる。図５Ａの実施例のプローブチップ１０４ａは短いセミリジット同軸よりなる。同軸の内部導体はプローブチップの内部導体３０６として機能する。同軸の外部導体はシールド３０８として機能する。これらの内部導体と外部導体との間には絶縁層５０４が配置されている。プローブチップの検出端３１０においては、成端リング５０２がシールド３０８に電気的に接続されている。

【００４４】

成端リング５０２は、シールド３０８の小部分を内部導体３０６に向けて半径方向内向きに延長する働きをする導電性「ワッシャ」またはディスクエレメントである。成端リング５０２は、シールド３０８の内側半径ｒを小さくするのと同等の作用をなすことによって、シールド３０８の遮蔽効果を増大させる。その結果、プローブチップの活性領域が小さくなる。好ましくは、成端リング５０２及びシールド３０８は、プロービング時における偶発的な隣接導体との電気的接触を防ぐために絶縁層でコーティングする。

【００４５】

プローブチップ１０４ａは、例えば概略下記のような寸法を有する５０Ωの短いセミリジット同軸で形成することができる：全外径２．１６（８５ミル）の、内部導体外径０．５１（２０ミル）、成端リング中心開口部（活性領域）内径０．７６（３０ミル）。この実施例のプローブチップ１０４は容易に実施することができるが、超微細トレース（例えば厚さ及び間隔共０．１（４ミル）のトレース）の場合は、相対的にサイズが大きいため、用いることができない。超微細トレース用には、例えば図６Ａまたは６Ｂに示すような構造のプローブチップを用いることができる。

【００４６】

図６Ａは、プローブチップ１０４の第２の実施例１０４ｂを示す。プローブチップ１０４ｂは、内部導体３０６及びシールド３０８を有し、これらの間には絶縁体５０４が配置されている。絶縁体５０４は、周知の絶縁材（例えば空気、アルミナ、ポリエチレン、ナイロン、テフロン等）で形成すればよい。シールド３０８は、上部６０４にねじが形成され、下部６０６はテーパ状をなしている。上部６０４はプローブボディ１０８と係合されるようになっている。絶縁保護キャップ６１０ａは、下部６０６の検出端３１０を保護し、かつ電気的に絶縁する。キャップ６１０ａは下部６０６の周溝６１２に「スナップ」嵌めすることにより固定されている。他の実施例としては、キャップ６１０を用いる代わりに、シールド３０８及び内部導体３０６に陽極酸化コーティングを施してもよい。

【００４７】

０．１（４ミル）のトレースサイズに適合させるため、プローブチップ１０４ｂも同様のサイズに形成されている。例えば、プローブチップ１０４ｂは、概略下記のような寸法に

形成する：
内部導体３０６の外径＝０．１（４ミル）
シールド３０８の検出端３１０の内径＝０．３０５（１２ミル）
キャップ６１０ａ付きの検出端３１０の外径＝０．７６２（３０ミル）ねじ付きの上部６０４の外径＝１．２２（４８ミル）
プローブチップ１０４ｂの全長≧１．７８（７０ミル）
このように小さい寸法は、本発明が達成することができる小型プローブチップの一例を表している。プローブチップは、プロービングする回路の寸法に応じて上記の例より大きくすることができる。また、プローブチップは、密集したＰＣＢにアクセスするため、より長くすることによりその到達可能距離を大きくすることもできる。

【００４８】
図６Ｂは、プローブチップ１０４の第３の施例１０４ｃを示す。プローブチップ１０４ｃは、プローブチップ１０４ｂとほぼ同じである。ただし、シールド３０８の検出端３１０には成端リング６１６が設けられている。成端リング６１６は、シールド３０８の小部分を内部導体３０６の方に半径方向内向きに延長することにより、下部６０６の一体部分として形成されている。上に成端リング５０２の場合について説明したように、成端リング６１６は、プローブチップの活性領域を小さくすることによってシールド３０８の遮蔽効果を増大させるよう作用する。絶縁保護キャップ６１０ｂは、下部３０８の検出端３１０を保護し、かつ電気的に絶縁する。

【００４９】
前に説明したように、「結合容量」は内部導体３０６とプロービングするトレースとの間にある容量である。結合容量は、プローブチップ１０４の幾何学的パラメータ、プロービングするトレースの幾何学的パラメータ、プローブチップとトレースとの空間的位置関係、及びプローブチップとトレースとの間の空間を満たす物質（例えば空気）の関数である。一般に、プローブチップが小さければ小さいほど、結合容量も小さくなる。上に説明したプローブチップ１０４の実施例の場合、結合容量は１００ｆＦ（フェムトファラドまたは10^{-15}ファラド）より小さく、好ましくは５～１０ｆＦのオーダである。このような結合容量の値は、従来小さ過ぎて実際には利用できないと考えられていたが、本発明はこのような従来技術の限界を克服したものである。

【００５０】
上記実施例の他、本発明のプローブチップ１０４は、異なる用途の要求に応じて多種多様な実施例に形成することが可能である。そのような他の実施例の１つのプローブチップ１０４ｄを図７に示す。プローブチップ１０４ｄは、メッキバイア（すなわち環状メッキリングを形成したスルーホール）との容量結合プロービングに適合したものである。図７の（Ａ）はプローブチップ１０４ｄの縦断面図である。図７の（Ｂ）はプローブ１０４ｄの底面図である。プローブチップ１０４ｄは、内部導体３０６及びシールド３０８を有し、これらは互いに同軸状に配置されている。導体３０６とシールド３０８の間には絶縁層５０４が配置され、この絶縁層は導体３０６の先端部上まで延び、プローブチップ１０４ｄの検出端３１０を覆っている。あるいは、内部導体３０６及びシールド３０８を陽極酸化して電気的に絶縁してもよい。

【００５１】
内部導体３０６の検出端は円錐台の形に形成されている。図７の（Ａ）及び７の（Ｂ）に示すように、円錐の下底面（図の上側の底）の直径はｄ２であり、上底面の直径はｄ１である。そのため、内部導体３０６は内径がｄ１とｄ２の間にあるビアに容易に合わせることができる。

【００５２】
図８Ａ及至図８Ｃには、プローブチップ１０４の他の実施例としてプローブチップ１０４ｅが示されている。プローブチップ１０４ｅは、ＩＣ８０２のピンまたは脚８０４に適合するよう設計されている。プローブチップ１０４ｅは、ピン８０４に適合する形状に作られた切り欠き部８０８を持つプローブボディ８０６を有する。図８Ｂはプローブチップ１

０４ｅの正面図であり、図８Ｃは底面図である。内部導体３０６の回りには絶縁体５０４が配置されている。また、シールド３０８は、カットアウト部８０８を除き、内部導体３０６の回りに同軸状に配置されている。絶縁体５０４には、ほとんど内部導体３０６に達する深さの溝８１０が形成されている。この溝８１０はプローブチップ１０４ｅの活性領域を画定する。溝８１０の幅はピン８０４の幅より僅かに大きい。溝８１０は、内部導体３０６とピン８０４との間に緊密な容量結合が確保されるように、ピン８０４を受けるのに適合するよう形成されている。

【００５３】

プローブチップ１０４のさらにもう一つの実施例が１０４ｆとして図９に示されている。プローブチップ１０４ｆは細長いトレースに適合するよう設計されている。この実施例のプローブチップは、当技術分野において周知のプリント回路製造技術を用いて形成される。図９Ａは、絶縁材料のサブストレート５０４上に作り込まれた内部導体３０６を示す底面図である。内部導体３０６は、所望のトレースサイズに対応する幾何学的諸元を持つよう形成される。この内部導体は、必要な結合容量を得るために細長い形に形成されている。シールド３０８は内部導体３０６の両側に形成されている。絶縁体５０４は内部導体３０６をシールド３０８に対して絶縁する。図９Ｂはプローブチップ１０４ｆの斜視図を示す。図９Ｃは、エッチングにより形成したプローブチップ１０４ｆの変形態様を示す。

【００５４】

プローブチップ１０４のもう一つの実施例がプローフチップ１０４ｇとして図１０に示されている。プローブチップ１０４ｇは、普通のＩＣまたは他の部品の幾何学的諸元に合致するよう設計された集積型プローブアレイパッケージよりなる。例えば、プローブチップ１０４ｇは、図示のように、ＩＣ１０００のピン１００１～１００４の各々と容量により結合されるようなっている４チャンネルの実施例である。プローブチップ１０４ｇは、プローブ１０２の形の完全なアレイパッケージを形成するよう、各チャンネル毎に増幅器１０６を設けた単一の集積パッケージとして形成することも可能である。

【００５５】

当業者であれば、以上説明したいくつかの実施例は本発明を網羅的に表すものではなく、プローブチップ１０４を作り得る種々の形状、構造を例示説明するために記載したものであるということは理解できよう。さらに、電子回路の幾何学的諸元が小さくなり続けるに従って、プローブ１０２のサイズ、従ってプローブ１０４サイズも小さくなって行くものと予想される。

【００５６】

〔バッファ／増幅器〕

バッファ／増幅器１０６を設計することには、増幅器の性能を手元の特定用途に合わせてカストマイズするための多くのトレードオフが必然的に伴う。増幅器は全て利得帯域幅積が限られているため、基本的なトレードオフは、帯域幅に対する利得のトレードオフである。従って、一般的な設計事項について考察することは可能であるが、最終設計は目的とする用途によって決まる。容量結合により信号を検出する場合、信号は結合容量１０３と、増幅器１０６の入力容量と結合容量１０３との和の比で減衰する。従って、増幅器１０６の入力容量をできるだけ小さくして、この容量性ディバイダ効果を小さくすることが望ましい。

【００５７】

増幅器１０６の入力容量は、増幅器自体の入力容量、プローブチップ１０４の容量、さらにはプローブチップ１０４と増幅器１０６との間に入り込む分布容量あるいは寄生容量よりなる。プローブチップ１０４の容量は、内部導体３０６とシールド３０８との間の容量である。

【００５８】

分布容量（例えば電極配線、ケーブル、トレースまたはピンより生じる容量）は、例えば、増幅器１０６をできるだけプローブチップ１０４に近付けて取り付けることにより減少させることができる。そのために、増幅器１０６は、図１１に示すようにプローブ１０２

のボディ１０８の内部に取り付けられる。増幅器１０６は、ボディ１０８内への取付けを容易にするため、ＩＣ、ハイブリッドマイクロ回路あるいはミニチュアＰＣＢとして形成することもできる。

【００５９】

プローブチップ１０４の容量（内部導体３０６とシールド３０８との間の）も最小限に抑えるべきである。しかしながら、微細ピッチ用のプローブサイズ（すなわち小さい活性領域）とするためにシールド３０８と導体３０６との間のギャップを小さくすると、この容量が増加する。これらの相対立する要求は成端リング５０２、６１６を用いることによって解決される。薄い成端リングを用いることにより、シールド３０８の遮蔽効果を増大させることができると共に、プローブチップ１０４に入り込む付加容量を最小限に抑えることができる。

【００６０】

増幅器１０６の全体の入力容量を最小限にすることは、増幅器１０６の入力の信号強度を増大させる結果につながる。この場合、入力容量が小さいと、増幅器の使用可能な帯域幅が制限される点でトレードオフがある。

【００６１】

最適なトレードオフは、増幅器１０６の帯域幅がゼロヘルツから変化が最も速い検出信号より高い周波数（例えば10^9 Ｈｚ）に渡り、かつ全帯域幅にわたって利得が一定していることである。残念ながら、このようなトレードオフ不可能である。

【００６２】

試験信号はコンデンサ（すなわち結合容量１０３）を介して取出されるので、プローブ１０２はゼロヘルツにゼロ点を持ち、ある低周波数f_1にポールを持つ。そのため、f_1より低い信号周波数は減衰させられる。

【００６３】

さらに、増幅器１０６は、増幅器１０６の能動デバイス中の寄生インピーダンスによって生じる特有の高周波ロールオフまたはポールを有する。この高周波ポールは周波数f_2にある。

【００６４】

増幅器１０６のボード線図（デシベルで表した利得を周波数に対して対数目盛上でプロットしたもの）の例を図１２に示す（利得線図のみ示し、位相線図は省略）。利得は低周波ポール（f_1にある）と高周波ポール（f_2にある）との間でほぼ一定である。利得が比較的安定している、あるいは「平坦」である周波数スパン（f_1～f_2）は、増幅器の「帯域幅」として知られている。低周波ポールの周波数（f_1）は次式によって計算することができる：

$$f_1 = 1 / 2\pi R_{IN} C_{IN}$$

ただし、R_{IN}＝入力抵抗

C_{IN}＝総入力容量

広い帯域幅を得るためには、f_1をできるだけ低い周波数（例えば直流）に下げることが望ましい。そのためには、ＲINをできる限り大きくするべきである（すなわち、増幅器１０６の入力抵抗を大きくするべきである）。

【００６５】

しかしながら、入力容量（前に述べたように、結合容量の大きさと信号減衰の関係に左右される）を小さくすると、f_1を低くできる範囲が制限される。

従って、非常に小さい結合容量（例えば５～１０ｆＦ）の故にC_{IN}を大きくできる範囲が制限されるため、増幅器１０６に良好な低周波応答を持たせることは困難である。

【００６６】

C_{IN}をより大きくすることにより増幅器の低周波応答を改善すると、信号の減衰が大きくなって、その分大きな利得が増幅器に要求されることになる。信号を過度に減衰させると、増幅器の電気ノイズと識別することができなくなる。従って、増幅器１０６は、直流と変わらないような「平坦」な利得を持たせて作ることは不可能であり、設計的にトレード

オフしなければならない。このトレードオフは信号強度の低周波性能により行う。

【００６７】

高周波端側では、f_2をできるだけ高い周波数に押し上げることが望ましい。こうすることによって、プローブ１０２は信号周波数の最大スペクトルに応答を示すことが可能となる。f_2の位置は増幅器１０６の各特定の設計によって決定される。f_2を最大限大きくするためには、増幅器１０６は、寄生インピーダンス及び分布インピーダンスができるだけ小さくなるように設計するべきであり、また広帯域能動デバイスを用いるべきである。

【００６８】

〔アナログ信号〕

アナログ信号を検出するためには、低周波成分をできるだけ多く維持することが望ましい。従って、f_1はできる限り低くすべきである。そのためには、R_{IN}をできるだけ大きくしなければならない。さらに、容量結合により検出された信号がさらに減衰を受けても増幅器ノイズ中に消失することがない十分な大きさを有する場合は、C_{IN}を僅かに大きくしてもよい。

【００６９】

増幅器１０６の高周波応答は、アナログ信号の変化が最も速い成分に追随するためにできるだけ大きくするべきである。

【００７０】

〔ディジタル信号〕

他方、ディジタル信号の場合は、増幅器の高周波応答が低周波応答より重要である。ディジタル信号の変化が急峻なエッジに追随するためには、増幅器の良好な高周波応答が要求される。ディジタル信号の低周波成分（微分時になくなる）は、主として直流近傍の周波数から成り、これは再生回路１１０を用いることによって再生することができる（これについては以下に説明する）。

【００７１】

ここで重要なのは、ディジタル信号の変化エッジのみを取出し、次いでこれらのエッジ成分から信号を再生するということである。ディジタル信号の変化エッジを取出すには、増幅器の高周波応答だけが重要である。例えば、最近のディジタルデバイスでは、エッジまたは立上がり／立下がり時間１ｎｓｅｃ（ナノ秒すなわち10^{-9}秒）のものは普通である。このようなエッジを確実に検出するためには、増幅器は約３６６ＭＨｚ以上の周波数に高周波ポールを持つべきである。

【００７２】

この条件は下記の計算により求めたものである。

$V_1 = V_2 exp(-\omega t)$ 立上がり／立下がり比９０％の場合：$exp(-\omega t) = V_1 / V_2 = 0.10$

$\omega = 2\pi f$を用いてｆについて解くと、

$f = -\ln(0.1) / 2\pi t = 0.366 / t$

ただし、Ｖ１及びＶ２は２つの論理レベル電圧

ｔ＝エッジの立上がり／立下がり時間（９０％電圧スイング）

ｆ＝周波数（Ｈｚ）。

【００７３】

ここで、ディジタル信号を検出するための増幅器１０６の一実施例の回路設計を図１３に示す。増幅器１０６は、２つのＩＣ増幅器Ｕ１、Ｕ２とカスケード接続されたトランジスタＱ１を有する。Ｑ１はエミッタホロワの回路構成に従い接続されている。この回路構成は、増幅器１０６の入力インピーダンスを大きくするのに役立つ。この実施例において、Ｑ１は、米国イリノイ州シャウムバーグ（Ｓｃｈａｕｍｂｕｒｇ）のモトローラ社製になるＮＰＮバイポーラ接合トランジスタ（部品番号ＭＰＳＨ１０）である。Ｕ１及びＵ２は、米国カリフォルニア州サニーベールのシグネティクス・カンパニー社製のＩＣ増幅器（部品番号ＮＥ５２０５Ｎ）である。この回路の抵抗器、コンデンサ及びインダクタの値は下記の通りである：

【００７４】
Ｒ１＝２１．５ＫΩ
Ｒ２＝１６．２２ＫΩ
Ｒ３＝６１９Ω
Ｃ１＝０．０１μＦ
Ｃ２＝０．０１μＦ
Ｃ３＝０．０１μＦ
Ｃ４＝０．０１μＦ
Ｃ５＝１．０μＦ
Ｃ６＝０．０１μＦ
Ｌ１＝フェライトビーズ
Ｌ２＝フェライトビーズ
Ｌ３＝フェライトビーズ
【００７５】
この増幅器は、利得が３７ｄＢ、入力容量が５ｐＦであることが確認されている。小さな結合容量を介して交流結合した場合のこの増幅器の性能を試験するために、長さ２５．４（１インチ）の５０オームのセミリジット同軸（全外径＝２．１６（８５ミル）、内部導体外径＝０．５１（２０ミル））をその自由端をラッカーで絶縁処理して増幅器の入力に接続し、容量性プローブとして用いた。このプローブを接続した結果、入力容量が約７ｐＦに増加した。信号伝達導体の近くにこのプローブの先端部を置いたところ、結合容量は５０ｆＦであった。ＨＰ８７５３Ｃネットワークアナライザ（米国カリフォルニア州ピャロアルトのヒューレット・パッカード・カンパニー社製）を用いて、容量結合されたこの増幅器回路は約４ＭＨｚ（ｆ１）から５５０ＭＨｚ（ｆ２）の帯域において－６ｄＢの総合利得を持つということが確認された。位相ずれは、通過帯域全体にわたって線形性を保持した。
【００７６】
当技術分野においては、これ以外にも高利得広帯域増幅器が多数知られている。上に説明した増幅器は例示説明のためのものであり、当業者であれば、これと異なる種々の設計を用いることが可能であるということは理解できよう。さらに、改良を加えることによって、上記と同様の増幅器回路で１ＧＨｚ（ギガヘルツすなわち１０９ Ｈｚ）より広い帯域幅を達成することも可能であろう。実際、これは、低周波ロールオフ（ｆ１）が２０ＫＨｚより低く（すなわち、ＣIN＝５ｐＦで　ＲIN＞１．６ＭΩ）、高周波ロールオフ（ｆ２）が１ＧＨｚ以上である増幅器によって実現される。
【００７７】
さらに、帰還をかけることにより上記の増幅器の特性を個別に細かく調整することもできる。利得を犠牲にして帯域幅を広くし、安定度を高くするのに負帰還を用いることは、当技術分野においては周知である。軽度の正帰還が有用な場合もある。ユニティループ利得（ループ利得１）による正帰還または「ブーツストラッピング」を使用することも広く行われている。ブーツストラッピングをかける回路中の点を念入りに選択することによって、様々な効果を達成することが可能である。例えばプローブのシールドにブーツストラッピングをかけると、高周波ポール（ｆ２）がより低くなるという犠牲において、実効入力容量を減少させ、総合利得を増大させることができる。これより効果が有るのではないかと思われるのは、入力バイアス抵抗器にブーツストラッピングをかけて実効入力抵抗を大きくし、これによって高周波ポールあるいは総合利得に影響を及ぼすことなく低周波ポール（ｆ１）を低くすることである。
【００７８】
増幅器１０６の利得は、対象のトレースとプローブチップとの間の距離に左右される結合容量に直接依存するので、増幅器１０６より出力される信号の振幅は、プローブチップとプロービング中のトレースとの間の距離によって激しく変化し得る。その結果、増幅器飽和に付随する問題が生じることが有る。これを解決するため、自動利得制御（ＡＧＣ）回

路を増幅器１０６に組み込んでもよい。ＡＧＣ方式は当技術分野においては周知である。

【００７９】

〔再生回路〕

再生回路１１０の実施例の概略回路図を図１４に示す。回路１１０は、比較器Ｕ３を用いて構成される双安定ラッチである。ツェナーダイオードＺ１及びＺ２は、入力線を所定の電圧範囲にクランプする。抵抗器Ｒ６及びＲ８は、出力“Ｑ”（すなわち正出力）がハイのとき正帰還（例えばこの実施例においては１％帰還）を生じることによって回路１１０にヒステリシスを与える。同様に、抵抗器Ｒ７及びＲ９は、出力Ｑがローのとき同様のヒステリシスを与える。抵抗器Ｒ４及びＲ５は、コンデンサＣ８と共に比較器Ｕ３に基準電圧を与える。

【００８０】

図示実施例においては、Ｕ３は、米国カリフォルニア州ミルピタス（Ｍｉｌｐｉｔａｓ）のリニアテクノロジース・コーポレーション（Ｌｉｎｅａｒ　Ｔｅｃｈｎｏｌｏｇｉｅｓ　Ｃｏｒｐｏｒａｔｉｏｎ）社製のＬＴ１０１６比較器である。回路コンポーネントの値は下記の通りである：

【００８１】

Ｚ１及びＺ２＝４００ｍＶツェナー電圧
Ｒ４及びＲ５＝３７．５Ω
Ｒ６及びＲ７＝５００Ω
Ｒ８及びＲ９＝５０ＫΩ
Ｃ８＝２７ｐＦ。

【００８２】

各コンポーネントが上記の値を有する場合、回路１１０の入力は±４００ｍＶにクランプされる。基準電圧は、入力電圧の２分の１に等しく、入力電圧に対して５００ｐｓｅｃ（ピコ秒すなわち１０-12 秒）～１ｎｓｅｃ遅延する（比較的高い周波数で）。回路のヒステリシスは正負各方向共４０ｍＶに等しい（計８０ｍＶ）。

【００８３】

この実施例の再生回路１１０を前述のプローブ／増幅器コンビネーションと共に用いた結果、ソルダレジスト被覆パッド、トレース、及びビア、さらには多層ＰＣＢの内層トレースから最高７０ＭＨｚまでのディジタル信号を十分検出し、かつ再生することができた。ただし、この再生回路１１０の実施例は、もっぱら説明のために記載したものである。比較器Ｕ３としては、上記のものよりはるかに高速の比較器ＩＣがあり、それらを使用することも可能である。

【００８４】

〔従来型プローブから容量結合型プローブへの転換〕

一部の用途、特にプローブサイズが小さいことがそれほど重要でない用途の場合、能動型オシロスコーププローブのような従来の多くのオーミック接触式能動型プローブを非接触プローブに転換することができる。これは、能動型プローブにシールドアダプタを取り付けることにより達成される。以下、その実施例について説明する。

【００８５】

図１５Ａには、従来のオーミック接触式能動型オシロスコーププローブ１５００が示されている。図示のオシロスコーププローブ１５００は、ボディ部１５０２、絶縁ノーズコーン１５０６、プローブチップ１５０８、及びボディ部１５０２内に設けられた増幅器回路１５０４よりなる。図示のように、ボディ部１５０２は通常アースに接続されている。

【００８６】

図１５Ｂは、プローブ１５００を非接触プローブへ転換した後の状態を示す。この場合、プローブ１５００にはシールドアダプタ１５１０が取り付けられる。シールドアダプタ１５１０は円錐形の端部１５１２を持つ円筒である。端部１５１２は、プローブチップ１５０８と位置を合わせてプローブ１５００の活性領域を形成するようになっている開口部１５１４を有する。シールドアダプタ１５１０は、アルミニウムのような導電材料で形成さ

れ、電気的に絶縁するため陽極酸化されている。シールドアダプタ１５１０の部分１５１６の内面は、プローブボディ１５０２（すなわちアース）とシールドアダプタ１５１０との間の電気的接触を確保することができるように、陽極酸化であってはならない。

【００８７】

プローブチップ１５０８は、プロービング中の導体との偶発的なオーミック接触が起こることがないよう、開口部１５１４に対して僅かに内側に引っ込ませるべきである。あるいは、プローブチップ１５０８をシールドアダプタ１５１０の検出端と突き当たるようにする場合は、プローブチップ１５０８は陽極酸化するか、または薄い絶縁キャップを用いて絶縁するべきである。

【００８８】

ここで、非接触プローブに転換可能な能動型オシロスコーププローブの例をいくつか説明する。このようなプローブとしては、例えばＨＰ１１４１プローブ、Ｐ６２０１プローブ及びＰ６２０４プローブ等がある。ＨＰ１１４１は、米国カリフォルニア州ピャロアルトのヒューレット・パッカード・カンパニー社製の１ｘ（すなわち利得＝１の）プローブである。ＨＰ１１４１は１ＭΩの入力抵抗、７ｐＦの入力容量及び直流～２００ＭＨｚの帯域幅を有する。上記のような非接触プローブへ転換すると（シールドアダプタ１５１０により最悪の場合で２ｐＦの入力容量が入り込むとして）、ＨＰ１１４１の帯域幅は約１７．７ＫＨｚ～２００ＭＨｚまでになる。

【００８９】

Ｐ６２０１は、米国オレゴン州ビーバートン（Ｂｅａｖｅｒｔｏｎ）のテクトロニクス・インコーポレーティド（Ｔｅｋｔｒｏｎｉｃｓ，Ｉｎｃ．）社製の１ｘ（利得＝１）プローブである。Ｐ６２０１は、１００ＫΩの入力抵抗、３ｐＦの入力容量、及び直流～通常１．１ＧＨｚの帯域幅を有する。上記のような非接触プローブへ転換すると（シールドアダプタ１５１０により最悪の場合で２ｐＦの入力容量が入り込むとして）、Ｐ６２０１の帯域幅は約３１８ＫＨｚ～１．１ＧＨｚになる。

【００９０】

Ｐ６２０４は、やはり上記テクトロニクス・インコーポレーティド社製の１０ｘ（利得＝０．１）プローブである。Ｐ６２０４は、１０ＭΩの入力抵抗、２ｐＦの入力容量、及び直流～１ＧＨｚの帯域幅を有する。上記のような非接触プローブへ転換すると（シールドアダプタ１５１０により最悪の場合で２ｐＦの入力容量が入り込むとして）、Ｐ６２０４は、約４ＫＨｚ～１ＧＨｚの帯域幅を持つ。

【００９１】

〔本発明の用途及び応用〕

本発明によれば、物理的接触なしに信号捕捉が可能なため、ソルダマスクまたはコンフォーマルコーティングの層を介して信号を得ることができる。さらに、多層ＰＣＢの内側トレースからも信号を得ることができる。さらに、本発明プローブは結合容量が小さいため、被験回路に与える負荷を常に最小限に抑えることができ、しかもプロービングによって外乱に敏感な高速回路の動作が妨害されることは全くない。

【００９２】

本発明のプローブは様々な用途に用いることができる。例えば、本発明のプローブは、自動位置決め用のロボットアームに取り付けることができるし、複数のプローブを自動テスタで用いられる釘のベッド型プローブと同様のアレイの形に固定して用いることもできる。あるいは、オシロスコープ、ロジックアナライザと共に、もしくはエッジコネクタ機能遡及追跡試験時に手で持って使用することも可能である。

【００９３】

本発明のプローブ１０２を使用した自動化ＰＣＢ試験システムの一例を図１６に１６００として示す。図示の試験システム１６００は、コントローラ１６０８、電源装置１６０４、信号源１６０６、測定システム１６０７、マルチプレクサ（ＭＵＸ）１６０５、深針ベッド（剣山）型治具１６０１、エッジコネクタ１６０３、ロボットポジショナ１６０９、及び本発明を実施したハンドヘルド・プローブ１６１０よりなる。試験する回路基板また

はアセンブリ（ＢＵＴ）１６０２は、エッジコネクタ１６０３及び／または探針ベッド（剣山）型治具１６０１を介して信号バス１６１３によりシステム１６００とインターフェイスされる。

【００９４】

電源装置１６０４は、信号バス１６１３を介してＢＵＴ１６０２に直流電源を供給する。信号源１６０６は、ＢＵＴ１６０２を試験するために必要な試験信号を発生するアナログ関数発生器、周波数発生器及びディジタルパターン発生器等を含む。測定システム１６０７は、ＢＵＴ１６０２から試験信号を受け取り、分析するよう構成されている。測定システム１６０７は、複数のディジタル受信器、シグネチャ解析回路、及び種々のアナログ及び／またはディジタル計測器（例えばオシロスコープ、ロジックアナライザ、歪み計等）を含む。

【００９５】

ＭＵＸ１６０５は、バス１６１２を介して信号源１６０６から試験信号を受け取り、それらの試験信号を信号バス１６１３を介してＢＵＴ１６０２の適切なノードに供給する。さらに、ＭＵＸ１６０５は、信号バス１６１３を介してＢＵＴ１６０２の適切なノードから信号を受け取り、それらの信号をバス１６１２を介して測定システム１６０７に供給する。

【００９６】

コントローラ１６０８はボード１６０２の試験を制御する。コントローラ１６０８は、バス１６１５を介して信号供給源１６０６と、またバス１６１６を介して測定システム１６０７とそれぞれ通信する。コントローラ１６０８は、制御バス１６１１を介して電源装置１６０４、ＭＵＸ１６０６及びロボットポジショナ１６０９と通信する。

【００９７】

探針ベッド（剣山）型治具１６０１は、容量性プローブ１０２及び従来のオーミックプローブ１６１０を共に複数含むものであってもよい。さらに、容量性プローブ１０２は、ロボットポジショナ１６０９及びハンドヘルドプローブ１６１０と共に使用することもできる。これによれば、本発明の非接触プローブの多くの利点を自動化ＰＣＢテスタで利用することが可能である。

【００９８】

以上、本発明を特定の実施例により詳細に説明したが、当業者であれば本発明の精神及び範囲から逸脱することなく種々の変更、修正を行うことが可能なことは明らかであろう。

【００９９】

【発明の効果】

本発明を実施することにより、回路の内部の信号を高精度で高周波まで観測できるので、回路の試験、検査、解析、診断において本発明は有益である。特に以下の諸点において効果が大である。

【０１００】

本発明の一つの効果は、プロービングする対象がビア（貫通孔）、パッド、及びテストポイントに限定されないということである。本発明のプローブによれば、トレースやソルダレジストあるいはコンフォーマルコーティングの下層にある他の部分に対してもプロービングすることができる。さらに、メカニカルジグまたはロボット式プローブボジショナを用いるならば、細過ぎるか、密接し過ぎるために手作業あるいは従来の探針ベッド（剣山）式プロービングが不可能な部分でもプロービングすることができる。

【０１０１】

本発明のもう一つの効果は、信号捕捉のために物理的接触が不要なことである。そのために、コンフォールマルコーティングし、ソルダマスクした汚れているＰＣＢであっても、十分な信頼性をもってプロービングすることが可能である。実際、多層ＰＣＢの内層にしかないトレースであっても、導電性の平面またはトレースが間に介在していなければ、基板の表面から容量結合によってプロービングすることができる。

【０１０２】

本発明のさらにもう一つの効果は、フローブの入力インピーダンスが非常に高いため、プロービング中の回路に与える負荷の作用を最小限に抑えることができるということである。

【０１０３】

本発明のもう一つの効果は、高周波試験信号（例えば、エッジ部の期間が１ｎｓｅｃの１００ＭＨｚ方形波）を取出すことができるということである。

【図面の簡単な説明】

【図１】本発明の一実施例のブロック図である。

【図２Ａ】試験のため集録されるべきデイジタル信号の１例の波形図である。

【図２Ｂ】結合容量を介して微分された図２Ａの信号の波形例を示す図である。

【図２Ｃ】図２Ｂの信号が再生回路により再生された信号の波形図である。

【図３】本発明の一実施例の容量結合プローブを被測定ＩＣに接続した状態を示す斜視図である。

【図４】プローブチップの活性領域を説明するための図である。

【図５Ａ】本発明の一実施例でのプローブチップの斜視図である。

【図５Ｂ】図５Ａのプローブチップの断面図である。

【図６Ａ】本発明の第２の実施例のプローブチップの断面図である。

【図６Ｂ】本発明の第３の実施例のプローブチップの断面図である。

【図７】本発明の第４の実施例のプローブチップの断面図及び底面図である。

【図８Ａ】本発明の第５の実施例のプローブチップの側面図である。

【図８Ｂ】本発明の第５の実施例のプローブチップの正面図である。

【図８Ｃ】本発明の第５の実施例のプローブチップの底面図である。

【図９Ａ】本発明の第６の実施例のプローブチップの底面図である。

【図９Ｂ】本発明の第６の実施例のプローブチップの斜視図である。

【図９Ｃ】本発明の第６の実施例のプローブチップの変形実施例の斜視図である。

【図１０】本発明の第７の実施例のプローブチップの斜視図とプロービングされるＩＣの１部分を示す図である。

【図１１】プローブボディ１０８内でのバッファ／増幅器１０６の位置を示すための図である。

【図１２】増幅器１０６の周波数特性のボード線図（利得／田線を示す）である。

【図１３】増幅器１０６の一実施例の概略回路図である。

【図１４】再生回路１１０の一実施例の概略回路図である。

【図１５Ａ】従来技術によるオーミック接触式能動型オシロスコーププローブ１５００の断面図である。

【図１５Ｂ】図１５Ａのプローブに本発明を適用して非接触プローブに変換したものの断面図である。

【図１６】自動化ＰＣＢ試験システムのブロック図である。

【符号の説明】

１０１：アナログ信号あるいはデイジタル信号

１０２：（容量結合）プローブ

１０３：結合容量

１０４，１０４ａ，１０４ｂ，１０４ｃ，１０４ｄ，１０４ｅ，１０４ｆ，１０４ｇ：プローブチップ

１０６：増幅器（バッファ／増幅器）

１０８，８０６：プローブボディ

１１０：再生回路

３０２，８０２：ＩＣチップ

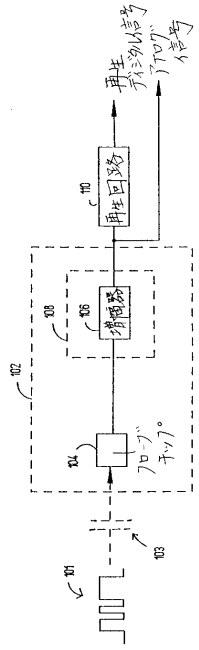
３０４，８０４：Ｉ／Ｏピン

３０６：内部導体

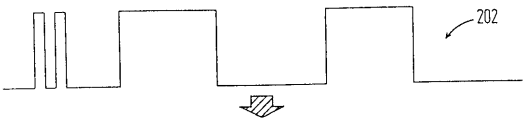
３０８：シールド

３１０，６１４ｂ：検出端
４０２，４０４：トレース
４０６：シールド３０８と内部導体３０６間のスペース
５０２，６１６：成端リング
５０４：絶縁層
６０４：プローブチップの上部
６０６：プローブチップの下部
６１０ａ，６１０ｂ：絶縁保護キャップ
６１２：周溝
８０８：切り欠き部
１００１，…１００４：Ｉ／Ｏリード
１６００：自動化ＰＣＢ試験システム
１６０２：ＢＵＴ
１６０３：エッジコネクタ
１６１０：ハンド・ヘルドプローブ

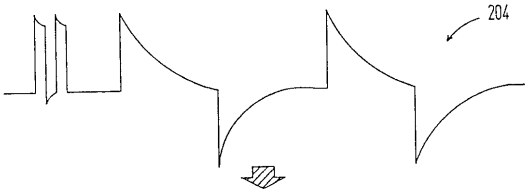
【図１】



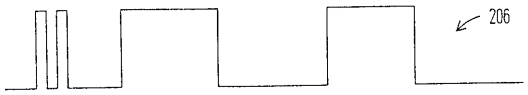
【図２Ａ】



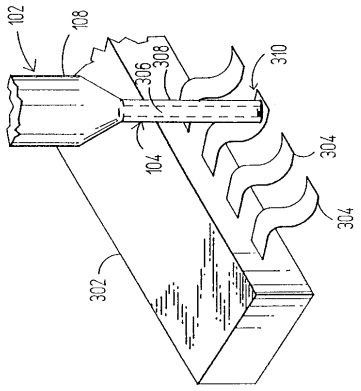
【図２Ｂ】



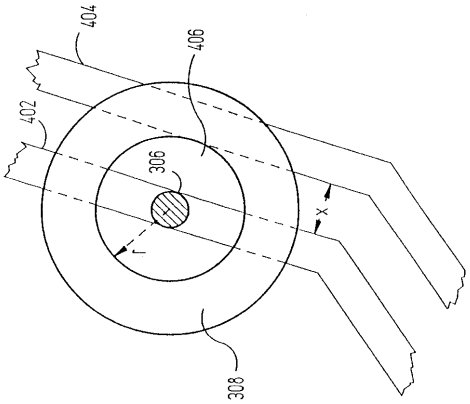
【図２Ｃ】



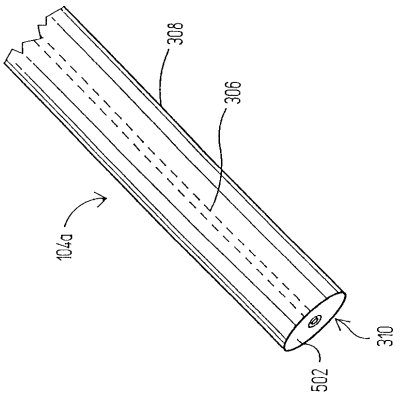
【図３】



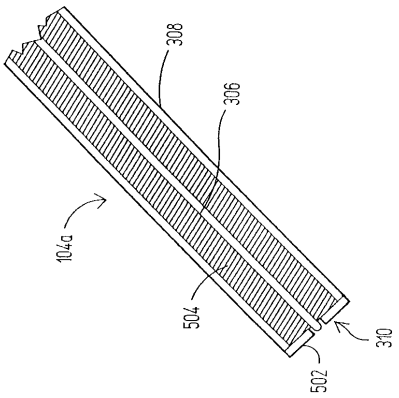
【図４】



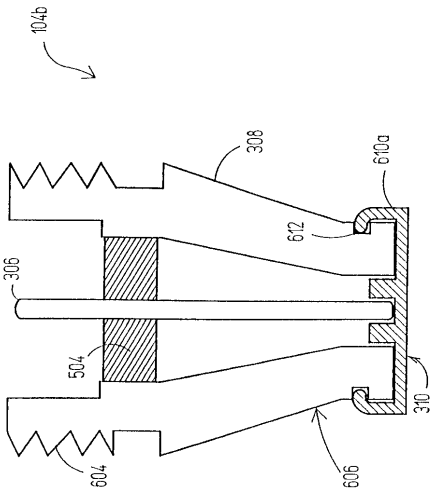
【図５Ａ】



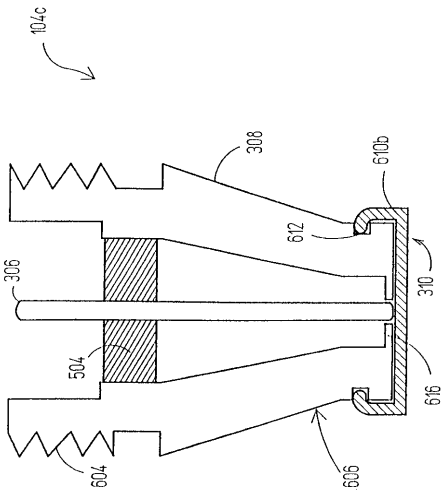
【図５Ｂ】



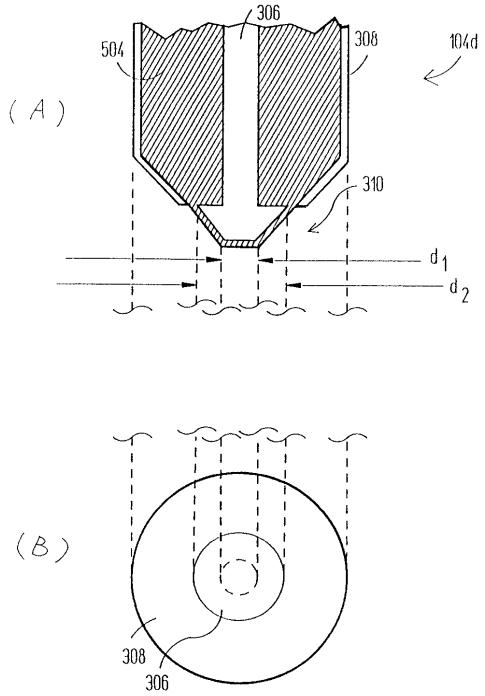
【図６Ａ】



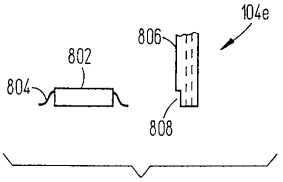
【図６Ｂ】



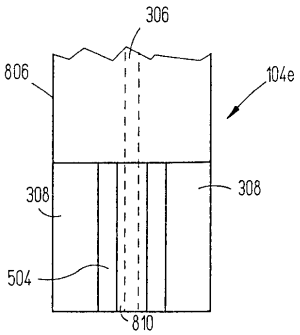
【図７】



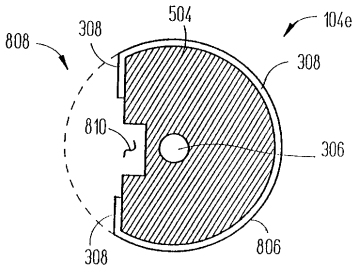
【図８Ａ】



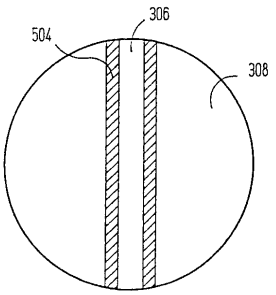
【図８Ｂ】



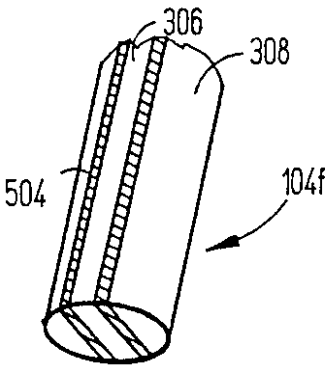
【図８Ｃ】



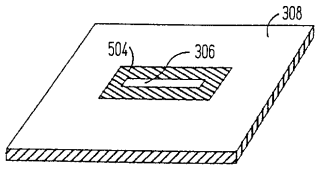
【図９Ａ】



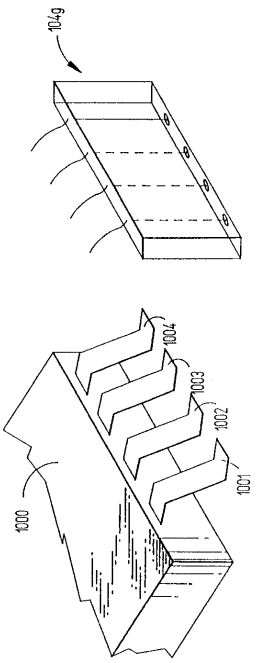
【図９Ｂ】



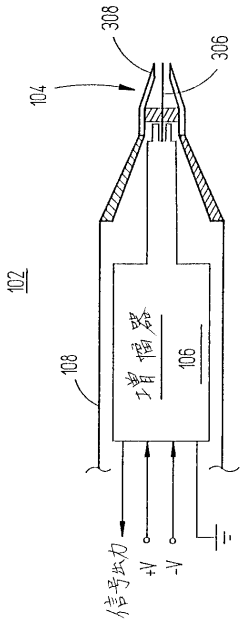
【図９Ｃ】



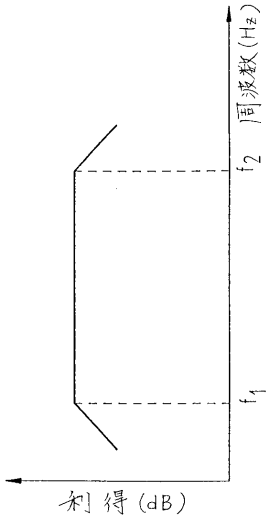
【図１０】



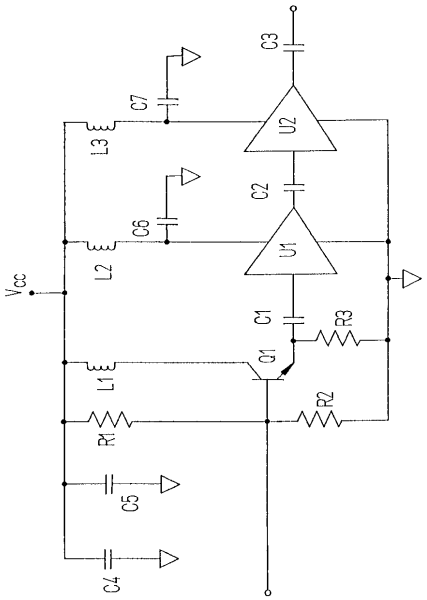
【図１１】



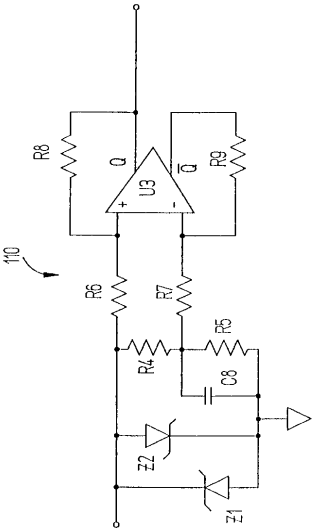
【図１２】



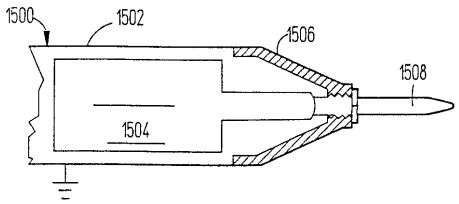
【図１３】



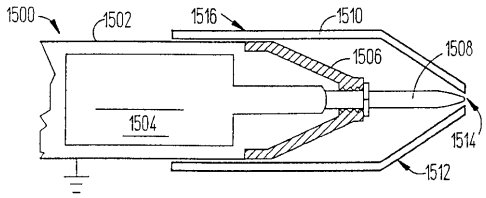
【図１４】



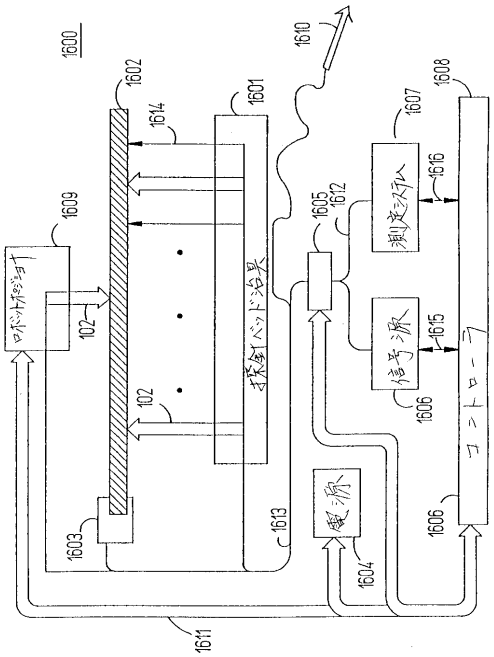
【図１５Ａ】



【図１５Ｂ】



【図１６】



フロントページの続き

(72)発明者 ジョン・エム・ヒューマン
アメリカ合衆国コロラド州ラブランド，グロリア・コート １５１８
(72)発明者 ジョン・イー・マクダーミット
アメリカ合衆国コロラド州ラブランド，スプリング・グレード ８５２０
(72)発明者 ロナルド・ジェー・パイファー
アメリカ合衆国コロラド州フォート・コリンズ，パークウエイ・コート ５１２
(72)発明者 エド・オー・シュロッツハウアー
アメリカ合衆国コロラド州ラブランド，シエリダン・アベニュー ４３１９

合議体
審判長 瀧 廣往
審判官 尾崎 淳史
審判官 福田 裕司

(56)参考文献 特開昭６１－１０５４７５（ＪＰ，Ａ）
英国特許出願公開第２１５８５９２（ＧＢ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G01R31/28-31/3183,31/26
G01R 1/06-1/073