

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-271199

(P2009-271199A)

(43) 公開日 平成21年11月19日(2009.11.19)

| | | |
|--------------------------------|----------------|-------------|
| (51) Int.Cl. | F I | テーマコード (参考) |
| G09G 3/30 (2006.01) | G09G 3/30 J | 3K107 |
| G09G 3/20 (2006.01) | G09G 3/20 611H | 5C080 |
| H01L 51/50 (2006.01) | G09G 3/20 624B | |
| | G09G 3/20 623R | |
| | H05B 33/14 A | |
| 審査請求 未請求 請求項の数 11 O L (全 24 頁) | | |

(21) 出願番号 特願2008-119838 (P2008-119838)
 (22) 出願日 平成20年5月1日 (2008.5.1)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094363
 弁理士 山本 孝久
 (74) 代理人 100118290
 弁理士 吉井 正明
 (72) 発明者 谷亀 貴央
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 基田 誠一郎
 東京都港区港南1丁目7番1号 ソニー株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC33 DD39 EE03
 HH02 HH04 HH05
 最終頁に続く

(54) 【発明の名称】 表示装置及び表示装置の駆動方法

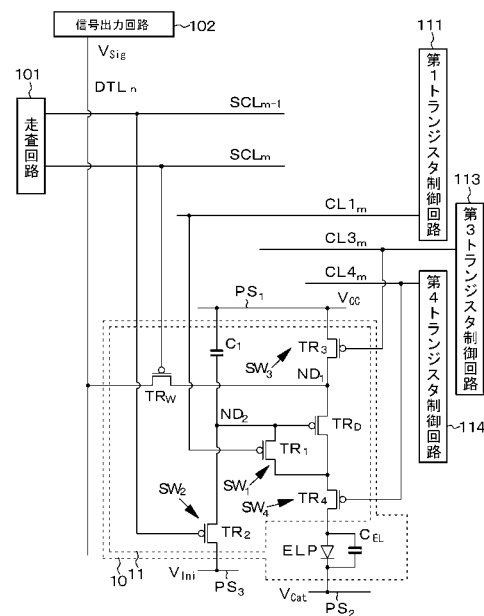
(57) 【要約】

【課題】トランジスタの特性ばらつきに起因する画像の均一性の悪化を軽減することができる表示装置の駆動方法を提供する。

【解決手段】書込みトランジスタ TR_W の一方のソース/ドレイン領域はデータ線DTLに接続されており、ゲート電極は走査線SCLに接続されており、駆動トランジスタ TR_D の一方のソース/ドレイン領域は書込みトランジスタ TR_W の他方のソース/ドレイン領域に接続されており、第1ノード ND_1 を構成し、容量部 C_1 の一端には所定の基準電圧が印加され、他端と駆動トランジスタ TR_D のゲート電極とは接続されており、第2ノード ND_2 を構成し、第2ノード ND_2 と駆動トランジスタ TR_D の他方のソース/ドレイン領域とを電氣的に接続した状態で、第1ノード ND_1 に所定の値の電圧を所定の時間印加し、以て、駆動トランジスタ TR_D の特性に応じて第2ノード ND_2 の電位を変化させる第2ノード電位補正工程を具備する。

【選択図】 図1

【図1】 【実施例】



【特許請求の範囲】**【請求項 1】**

(1) 第 1 の方向に N 個、第 1 の方向とは異なる第 2 の方向に M 個、合計 $N \times M$ 個の、2 次元マトリクス状に配列された発光素子、

(2) 第 1 の方向に延びる M 本の走査線、及び、

(3) 第 2 の方向に延びる N 本のデータ線、

を備えており、

各発光素子は、

(4) 書込みトランジスタ、駆動トランジスタ、容量部、及び、第 1 スイッチ回路部を備えた駆動回路、並びに、

10

(5) 駆動トランジスタを介して電流が流される発光部、から構成されており、

書込みトランジスタにおいては、

(A - 1) 一方のソースノドレイン領域は、データ線に接続されており、

(A - 2) ゲート電極は、走査線に接続されており、

駆動トランジスタにおいては、

(B - 1) 一方のソースノドレイン領域は、書込みトランジスタの他方のソースノドレイン領域に接続されており、第 1 ノードを構成し、

容量部においては、

(C - 1) 一端には所定の基準電圧が印加され、

20

(C - 2) 他端と駆動トランジスタのゲート電極とは接続されており、第 2 ノードを構成し、

第 1 スイッチ回路部においては、

(D - 1) 一端は、第 2 ノードに接続されており、

(D - 2) 他端は、駆動トランジスタの他方のソースノドレイン領域に接続されている、

表示装置の駆動方法であって、

オン状態とされた第 1 スイッチ回路部により第 2 ノードと駆動トランジスタの他方のソースノドレイン領域とを電氣的に接続した状態で、第 1 ノードに所定の値の電圧を所定の時間印加し、以て、第 2 ノードの電位を変化させる第 2 ノード電位補正工程、

30

を具備する表示装置の駆動方法。

【請求項 2】

オン状態とされた第 1 スイッチ回路部により第 2 ノードと駆動トランジスタの他方のソースノドレイン領域とを電氣的に接続した状態で、走査線からの信号によりオン状態とされた書込みトランジスタを介して、データ線から第 1 ノードに映像信号を印加し、以て、映像信号から駆動トランジスタの閾値電圧を減じた電位に向かって第 2 ノードの電位を変化させる書込み工程、

を具備しており、

該書込み工程を行い、次いで、第 2 ノード電位補正工程を行う請求項 1 に記載の表示装置の駆動方法。

40

【請求項 3】

第 2 ノードの電位を所定の基準電位に設定する初期化工程を行い、次いで、書込み工程を行う請求項 2 に記載の表示装置の駆動方法。

【請求項 4】

第 1 ノードに所定の駆動電圧を印加し、以て、駆動トランジスタを介して電流を発光部に流すことにより発光部を駆動する発光工程、

を具備しており、

第 2 ノード電位補正工程を行い、次いで、該発光工程を行う請求項 1 に記載の表示装置の駆動方法。

【請求項 5】

50

第2ノード電位補正工程において、第1ノードに所定の値の電圧として駆動電圧を印加する請求項4に記載の表示装置の駆動方法。

【請求項6】

駆動回路は、更に、

(E) 第2ノードと所定の初期化電圧が印加される給電線との間に接続された第2スイッチ回路、

(F) 第1ノードと駆動電圧が印加される給電線との間に接続された第3スイッチ回路部、及び、

(G) 駆動トランジスタの他方のソース/ドレイン領域と発光部の一端との間に接続された第4スイッチ回路部、

を備えており、

(a) 第1スイッチ回路部、第3スイッチ回路部、及び、第4スイッチ回路部をオフ状態に維持し、オン状態とされた第2スイッチ回路部を介して所定の初期化電圧が印加される給電線から第2ノードに所定の初期化電圧を印加した後、第2スイッチ回路部をオフ状態とし、以て、第2ノードの電位を所定の基準電位に設定する初期化工程を行い、

(b) 次いで、第2スイッチ回路部、第3スイッチ回路部、及び、第4スイッチ回路部のオフ状態を維持し、第1スイッチ回路部をオン状態とし、オン状態とされた第1スイッチ回路部により第2ノードと駆動トランジスタの他方のソース/ドレイン領域とを電氣的に接続した状態で、走査線からの信号によりオン状態とされた書込みトランジスタを介して、データ線から第1ノードに映像信号を印加し、以て、映像信号から駆動トランジスタの閾値電圧を減じた電位に向かって第2ノードの電位を変化させる書込み工程を行い、

(c) その後、走査線からの信号により書込みトランジスタをオフ状態とし、

(d) 次いで、第1スイッチ回路部をオフ状態とし、第2スイッチ回路部のオフ状態を維持し、オン状態とされた第3スイッチ回路部を介して第1ノードに所定の駆動電圧を印加し、オン状態とされた第4スイッチ回路部を介して駆動トランジスタの他方のソース/ドレイン領域と発光部の一端を電氣的に接続し、以て、駆動トランジスタを介して電流を発光部に流すことにより発光部を駆動する発光工程を行い、

更に、工程(c)と工程(d)との間に、第1スイッチ回路部のオン状態を維持し、第3スイッチ回路部をオン状態として、第1ノードに所定の値の電圧として駆動電圧を所定の時間印加し、以て、第2ノードの電位を変化させる第2ノード電位補正工程を行う請求項1に記載の表示装置の駆動方法。

【請求項7】

第m番目(但し、 $m = 1, 2, \dots, M$)の走査線を $SC L_m$ 、該走査線 $SC L_m$ よりも第P本分先行して走査される走査線を $SC L_{m_pre_P}$ (但し、Pは、 $1 \leq P < M$ の関係を満たし、表示装置において所定の値)と表すとき、第m行目の発光素子を構成する駆動回路において、第2スイッチ回路部を走査線 $SC L_{m_pre_P}$ からの走査信号により制御する請求項6に記載の表示装置の駆動方法。

【請求項8】

P = 1である請求項7に記載の表示装置の駆動方法。

【請求項9】

発光部は有機エレクトロルミネッセンス発光部から成る請求項1に記載の表示装置の駆動方法。

【請求項10】

(1) 第1の方向にN個、第1の方向とは異なる第2の方向にM個、合計 $N \times M$ 個の、2次元マトリクス状に配列された発光素子、

(2) 第1の方向に延びるM本の走査線、及び、

(3) 第2の方向に延びるN本のデータ線、

を備えており、

各発光素子は、

(4) 書込みトランジスタ、駆動トランジスタ、容量部、及び、第1スイッチ回路部を

10

20

30

40

50

備えた駆動回路、並びに、

(5) 駆動トランジスタを介して電流が流される発光部。

から構成されており、

書込みトランジスタにおいては、

(A-1) 一方のソース/ドレイン領域は、データ線に接続されており、

(A-2) ゲート電極は、走査線に接続されており、

駆動トランジスタにおいては、

(B-1) 一方のソース/ドレイン領域は、書込みトランジスタの他方のソース/ドレイン領域に接続されており、第1ノードを構成し、

容量部においては、

(C-1) 一端には所定の基準電圧が印加され、

(C-2) 他端と駆動トランジスタのゲート電極とは接続されており、第2ノードを構成し、

第1スイッチ回路部においては、

(D-1) 一端は、第2ノードに接続されており、

(D-2) 他端は、駆動トランジスタの他方のソース/ドレイン領域に接続されている、

表示装置であって、

オン状態とされた第1スイッチ回路部により第2ノードと駆動トランジスタの他方のソース/ドレイン領域とを電氣的に接続した状態で、第1ノードに所定の値の電圧を所定の時間印加し、以て、第2ノードの電位を変化させる表示装置。

【請求項11】

発光部は有機エレクトロルミネッセンス発光部から成る請求項10に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及び表示装置の駆動方法に関する。より詳しくは、発光部と発光部を駆動するための駆動回路とから成る発光素子を備えた表示装置、及び、係る表示装置の駆動方法に関する。

【背景技術】

【0002】

電流を流すことにより発光する発光部（例えば、有機エレクトロルミネッセンス発光部）と、これを駆動するための駆動回路とから成る発光素子が知られている。また、係る発光素子を備えた表示装置も知られている。発光素子の輝度は、発光部を流れる電流値によって制御される。そして、液晶表示装置と同様に、係る発光素子を備えた表示装置（例えば、有機エレクトロルミネッセンス表示装置）においても、駆動方式として、単純マトリクス方式、及び、アクティブマトリクス方式が周知である。アクティブマトリクス方式は、単純マトリクス方式に比べて構造が複雑となるといった欠点はあるが、画像の輝度を高いものとすることができる等、種々の利点を有する。

【0003】

アクティブマトリクス方式により発光部を駆動するための回路として、トランジスタと容量部とから構成された種々の駆動回路が周知である。例えば、特開2005-31630号公報には、有機エレクトロルミネッセンス発光部と駆動回路とから成る発光素子を用いた表示装置と、その駆動方法が開示されている。この駆動回路は、6つのトランジスタと1つの容量部から構成された駆動回路（以下、6Tr/1C駆動回路と呼ぶ）である。図9に、発光素子が2次元マトリクス状に配列されて成る表示装置において、第m行、第n列目の発光素子を構成する駆動回路（6Tr/1C駆動回路）の等価回路図を示す。尚、発光素子は行毎に線順次走査されるものとして説明する。

【0004】

6Tr/1C駆動回路は、書込みトランジスタ T_{RW} 、駆動トランジスタ T_{RD} 、及び、

容量部 C_1 を備えており、更に、第 1 トランジスタ TR_1 、第 2 トランジスタ TR_2 、第 3 トランジスタ TR_3 、及び、第 4 トランジスタ TR_4 を備えている。

【0005】

書込みトランジスタ TR_W においては、一方のソース/ドレイン領域は、データ線 DTL_n に接続されており、ゲート電極は、走査線 $SC L_m$ に接続されている。駆動トランジスタ TR_D においては、一方のソース/ドレイン領域は、書込みトランジスタ TR_W の他方のソース/ドレイン領域に接続されており、第 1 ノード ND_1 を構成する。容量部 C_1 の一端は給電線 PS_1 に接続されている。容量部 C_1 においては、一端には所定の基準電圧（図 9 に示す例では後述する電圧 V_{CC} ）が印加され、他端と駆動トランジスタ TR_D のゲート電極とは接続されており、第 2 ノード ND_2 を構成する。走査線 $SC L_m$ は走査回路 101 に接続され、データ線 DTL_n は信号出力回路 102 に接続されている。

10

【0006】

第 1 トランジスタ TR_1 にあつては、一方のソース/ドレイン領域は、第 2 ノード ND_2 に接続されており、他方のソース/ドレイン領域は、駆動トランジスタ TR_D の他方のソース/ドレイン領域に接続されている。第 1 トランジスタ TR_1 は、第 2 ノード ND_2 と駆動トランジスタ TR_D の他方のソース/ドレイン領域との間に接続されたスイッチ回路部を構成する。

【0007】

第 2 トランジスタ TR_2 にあつては、一方のソース/ドレイン領域は、第 2 ノード ND_2 の電位を初期化するための所定の初期化電圧 V_{ini} （例えば -4 ボルト）が印加される給電線 PS_3 に接続され、他方のソース/ドレイン領域は、第 2 ノード ND_2 に接続されている。第 2 トランジスタ TR_2 は、第 2 ノード ND_2 と所定の初期化電圧 V_{ini} が印加される給電線 PS_3 との間に接続されたスイッチ回路部を構成する。

20

【0008】

第 3 トランジスタ TR_3 にあつては、一方のソース/ドレイン領域は、所定の駆動電圧 V_{CC} （例えば 10 ボルト）が印加される給電線 PS_1 に接続され、他方のソース/ドレイン領域は、第 1 ノード ND_1 に接続されている。第 3 トランジスタ TR_3 は、第 1 ノード ND_1 と駆動電圧 V_{CC} が印加される給電線 PS_1 との間に接続されたスイッチ回路部を構成する。

【0009】

30

第 4 トランジスタ TR_4 にあつては、一方のソース/ドレイン領域は、駆動トランジスタ TR_D の他方のソース/ドレイン領域に接続されており、他方のソース/ドレイン領域は、発光部 ELP の一端（より具体的には、発光部 ELP のアノード電極）に接続されている。第 4 トランジスタ TR_4 は、駆動トランジスタ TR_D の他方のソース/ドレイン領域と発光部 ELP の一端との間に接続されたスイッチ回路部を構成する。

【0010】

書込みトランジスタ TR_W のゲート電極と第 1 トランジスタ TR_1 のゲート電極とは、走査線 $SC L_m$ に接続されている。第 2 トランジスタ TR_2 のゲート電極は、走査線 $SC L_m$ の直前に走査される走査線 $SC L_{m-1}$ に接続されている。第 3 トランジスタ TR_3 のゲート電極と第 4 トランジスタ TR_4 のゲート電極とは、第 3 / 第 4 トランジスタ制御線 CL_m に接続されている。

40

【0011】

例えば、各トランジスタは p チャネル型の薄膜トランジスタ（TFET）から成り、発光部 ELP は、駆動回路を覆うように形成された層間絶縁層等の上に設けられている。発光部 ELP においては、アノード電極は第 4 トランジスタ TR_4 の他方のソース/ドレイン領域に接続されており、カソード電極は給電線 PS_2 に接続されている。発光部 ELP のカソード電極には、電圧 V_{cat} （例えば、-10 ボルト）が印加される。符号 C_{EL} は発光部 ELP の寄生容量を表す。

【0012】

トランジスタを TFET から構成する場合、或る程度閾値電圧がばらつくことを避けるこ

50

とはできない。駆動トランジスタ T_{R_D} の閾値電圧のばらつきに伴って発光部 $E_L P$ に流れる電流量がばらつくと、表示装置における輝度の均一性が悪化する。そのため、駆動トランジスタ T_{R_D} の閾値電圧がばらついても、発光部 $E_L P$ に流れる電流量がその影響を受けないようにする必要がある。後述するように、発光部 $E_L P$ は、駆動トランジスタ T_{R_D} の閾値電圧のばらつきの影響を受けないように駆動される。

【0013】

図10を参照して、 $N \times M$ 個の発光素子が2次元マトリクス状に配列されて成る表示装置における、第 m 行、第 n 列目の発光素子の駆動方法を説明する。図10の(A)は、走査線 $SC L_{m-1}$ 、走査線 $SC L_m$ 、及び、第3 / 第4トランジスタ制御線 CL_m における信号の模式的なタイミングチャートを示す。図10の(B)、並びに、図11の(A)及び(B)に、6Tr / 1C駆動回路の各トランジスタのオン / オフ状態等を模式的に示す。説明の便宜のため、走査線 $SC L_{m-1}$ が走査される期間を第 $(m-1)$ 番目の水平走査期間と呼び、走査線 $SC L_m$ が走査される期間を第 m 番目の水平走査期間と呼ぶ。

10

【0014】

図10の(A)に示すように、第 $(m-1)$ 番目の水平走査期間において初期化を行う。図10の(B)を参照して詳細に説明する。第 $(m-1)$ 番目の水平走査期間において、走査線 $SC L_{m-1}$ はハイレベルからローレベルとなり、第3 / 第4トランジスタ制御線 CL_m はローレベルからハイレベルとなる。尚、走査線 $SC L_m$ はハイレベルである。従って、第 $(m-1)$ 番目の水平走査期間において、書込みトランジスタ T_{RW} 、第1トランジスタ T_{R_1} 、第3トランジスタ T_{R_3} 、及び、第4トランジスタ T_{R_4} はオフ状態である。一方、第2トランジスタ T_{R_2} はオン状態である。

20

【0015】

第2ノード ND_2 には、オン状態の第2トランジスタ T_{R_2} を介して、第2ノード ND_2 の電位を初期化するための所定の初期化電圧 V_{ini} が印加される。これにより、第2ノード ND_2 の電位が初期化される。

【0016】

次いで、図10の(A)に示すように、第 m 番目の水平走査期間において映像信号 V_{sig} の書込みを行う。このとき、駆動トランジスタ T_{R_D} の閾値電圧キャンセル処理が併せて行われる。具体的には、第2ノード ND_2 と駆動トランジスタ T_{R_D} の他方のソース / ドレイン領域とを電氣的に接続し、走査線 $SC L_m$ からの信号によりオン状態とされた書込みトランジスタ T_{RW} を介してデータ線 $DT L_n$ から映像信号 V_{sig} を第1ノード ND_1 に印加し、以て、映像信号 V_{sig} から駆動トランジスタ T_{R_D} の閾値電圧 V_{th} を減じた電位に向かって第2ノード ND_2 の電位を変化させる。

30

【0017】

図10の(A)及び図11の(A)を参照して詳細に説明する。第 m 番目の水平走査期間において、走査線 $SC L_{m-1}$ はローレベルからハイレベルとなり、走査線 $SC L_m$ はハイレベルからローレベルとなる。尚、第3 / 第4トランジスタ制御線 CL_m はハイレベルである。従って、第 m 番目の水平走査期間において、書込みトランジスタ T_{RW} 、及び、第1トランジスタ T_{R_1} はオン状態である。第2トランジスタ T_{R_2} 、第3トランジスタ T_{R_3} 、及び、第4トランジスタ T_{R_4} はオフ状態である。

40

【0018】

第2ノード ND_2 と駆動トランジスタ T_{R_D} の他方のソース / ドレイン領域とがオン状態の第1トランジスタ T_{R_1} を介して電氣的に接続され、走査線 $SC L_m$ からの信号によりオン状態とされた書込みトランジスタ T_{RW} を介してデータ線 $DT L_n$ から映像信号 V_{sig} が第1ノード ND_1 に印加される。これにより、映像信号 V_{sig} から駆動トランジスタ T_{R_D} の閾値電圧 V_{th} を減じた電位に向かって第2ノード ND_2 の電位が変化する。

【0019】

即ち、上述した初期化により、第 m 番目の水平走査期間の始期において駆動トランジスタ T_{R_D} がオン状態となるように第2ノード ND_2 の電位が初期化されているとすれば、第2ノード ND_2 の電位は、第1ノード ND_1 に印加される映像信号 V_{sig} の電位に向かって

50

変化する。しかしながら、駆動トランジスタ T_{RD} のゲート電極と一方のソース/ドレイン領域との間の電位差が V_{th} に達すると、駆動トランジスタ T_{RD} はオフ状態となる。この状態にあっては、第2ノード ND_2 の電位は、概ね $(V_{sig} - V_{th})$ である。

【0020】

次いで、駆動トランジスタ T_{RD} を介して電流を発光部 ELP に流すことにより、発光部 ELP を駆動する。

【0021】

図10の(A)及び図11の(B)を参照して詳細に説明する。図示しない第 $(m+1)$ 番目の水平走査期間の始期において、走査線 SC_{L_m} はローレベルからハイレベルとなる。その後、第3/第4トランジスタ制御線 CL_m をハイレベルからローレベルとする。尚、走査線 $SC_{L_{m-1}}$ はハイレベルを維持する。第3トランジスタ T_{R_3} 、及び、第4トランジスタ T_{R_4} はオン状態である。書込みトランジスタ T_{RW} 、第1トランジスタ T_{R_1} 、及び、第2トランジスタ T_{R_2} はオフ状態である。

【0022】

駆動トランジスタ T_{RD} の一方のソース/ドレイン領域には、オン状態の第3トランジスタ T_{R_3} を介して駆動電圧 V_{CC} が印加される。また、駆動トランジスタ T_{RD} の他方のソース/ドレイン領域と、発光部 ELP の一端とは、オン状態の第4トランジスタ T_{R_4} を介して接続される。

【0023】

発光部 ELP を流れる電流は、駆動トランジスタ T_{RD} のソース領域からドレイン領域へと流れるドレイン電流 I_{ds} であるので、駆動トランジスタ T_{RD} が飽和領域において理想的に動作するとすれば、以下の式(A)で表すことができる。図11の(B)に示すように、発光部 ELP にはドレイン電流 I_{ds} が流れ、発光部 ELP はドレイン電流 I_{ds} の値に応じた輝度で発光する。

【0024】

$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 \quad (A)$$

但し、

μ : 実効的な移動度

L : チャネル長

W : チャネル幅

V_{gs} : 駆動トランジスタ T_{RD} のソース領域とゲート電極との間の電圧

C_{ox} : (ゲート絶縁層の比誘電率) \times (真空の誘電率) / (ゲート絶縁層の厚さ)

$k = (1/2) \cdot (W/L) \cdot C_{ox}$

とする。

【0025】

そして、

$$V_{gs} = V_{CC} - (V_{sig} - V_{th}) \quad (B)$$

であるから、上記式(A)は、

$$\begin{aligned} I_{ds} &= k \cdot \mu \cdot (V_{CC} - (V_{sig} - V_{th}) - V_{th})^2 \\ &= k \cdot \mu \cdot (V_{CC} - V_{sig})^2 \quad (C) \end{aligned}$$

と変形することができる。

【0026】

上記式(C)から明らかなように、駆動トランジスタ T_{RD} の閾値電圧 V_{th} は、ドレイン電流 I_{ds} の値に対して無関係である。換言すれば、駆動トランジスタ T_{RD} の閾値電圧 V_{th} の値に影響されることなく、映像信号 V_{sig} に対応したドレイン電流 I_{ds} を発光部 ELP に流すことができる。上述した駆動方法によれば、駆動トランジスタ T_{RD} の閾値電圧 V_{th} のばらつきが発光素子の輝度に影響を与えない。

【0027】

【特許文献1】特開2005-31630号公報

【発明の開示】

10

20

30

40

50

【発明が解決しようとする課題】

【0028】

しかしながら、駆動トランジスタ T_{RD} においては、閾値電圧以外の特性にもばらつきが生ずる。例えば、駆動トランジスタ T_{RD} を薄膜トランジスタ等から作製した場合、移動度 μ 等にもばらつきが生ずることは避け難い。そして、背景技術において説明した駆動方法にあっては、移動度 μ 等のばらつきの影響を排除することはできない。例えば、移動度 μ にばらつきがある場合、発光素子に同じ値の映像信号 V_{sig} を印加したとしても、移動度 μ の大きい駆動トランジスタ T_{RD} を流れるドレイン電流 I_{ds} と、移動度 μ の小さい駆動トランジスタ T_{RD} を流れるドレイン電流 I_{ds} との間に差異が生ずる。これにより、発光素子の輝度に差異が生じ、表示装置における画像の均一性（ユニフォーミティ）が損なわれてしまう。

10

【0029】

従って、本発明の目的は、駆動トランジスタの移動度 μ 等のばらつきによる画像の均一性の悪化を軽減することができる表示装置、及び、係る表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【0030】

上記の目的を達成するための本発明に係る表示装置、及び、本発明に係る表示装置の駆動方法に用いられる表示装置は、

（１）第１の方向に N 個、第１の方向とは異なる第２の方向に M 個、合計 $N \times M$ 個の、
２次元マトリクス状に配列された発光素子、

20

（２）第１の方向に延びる M 本の走査線、及び、

（３）第２の方向に延びる N 本のデータ線、

を備えており、

各発光素子は、

（４）書込みトランジスタ、駆動トランジスタ、容量部、及び、第１スイッチ回路部を備えた駆動回路、並びに、

（５）駆動トランジスタを介して電流が流される発光部、

から構成されており、

書込みトランジスタにおいては、

30

（Ａ－１）一方のソース／ドレイン領域は、データ線に接続されており、

（Ａ－２）ゲート電極は、走査線に接続されており、

駆動トランジスタにおいては、

（Ｂ－１）一方のソース／ドレイン領域は、書込みトランジスタの他方のソース／ドレイン領域に接続されており、第１ノードを構成し、

容量部においては、

（Ｃ－１）一端には所定の基準電圧が印加され、

（Ｃ－２）他端と駆動トランジスタのゲート電極とは接続されており、第２ノードを構成し、

第１スイッチ回路部においては、

40

（Ｄ－１）一端は、第２ノードに接続されており、

（Ｄ－２）他端は、駆動トランジスタの他方のソース／ドレイン領域に接続されている、

表示装置に関する。

【0031】

そして、上記の目的を達成するための本発明に係る表示装置の駆動方法は、「オン状態とされた第１スイッチ回路部により第２ノードと駆動トランジスタの他方のソース／ドレイン領域とを電氣的に接続した状態で、第１ノードに所定の値の電圧を所定の時間印加し、以て、第２ノードの電位を変化させる第２ノード電位補正工程」を具備する。

【0032】

50

また、上記の目的を達成するための本発明に係る表示装置は、オン状態とされた第 1 スイッチ回路部により第 2 ノードと駆動トランジスタの他方のソース/ドレイン領域とを電氣的に接続した状態で、第 1 ノードに所定の値の電圧を所定の時間印加し、以て、第 2 ノードの電位を変化させる表示装置である。

【0033】

本発明に係る表示装置、あるいは又、本発明に係る表示装置の駆動方法によれば、オン状態とされた第 1 スイッチ回路部により第 2 ノードと駆動トランジスタの他方のソース/ドレイン領域とを電氣的に接続した状態で、第 1 ノードに所定の値の電圧を所定の時間印加し、第 2 ノードの電位を変化させる。第 2 ノードの電位の変化量は、駆動トランジスタの特性に応じて変化する。即ち、第 1 ノードに所定の値の電圧を所定の時間印加するとき、例えば駆動トランジスタの移動度 μ の値が大きい場合、駆動トランジスタの他方のソース/ドレイン領域における電位の変化量 V (電位補正值) は大きくなる。一方、駆動トランジスタの移動度 μ の値が小さい場合、駆動トランジスタの発光部 ELP 側のソース/ドレイン領域における電位の変化量 V (電位補正值) は小さくなる。第 2 ノードと駆動トランジスタの他方のソース/ドレイン領域とを電氣的に接続しているので、上述した V (電位補正值) に応じて第 2 ノードの電位が変化する。このように、第 2 ノードの電位は駆動トランジスタの特性に応じて変化するもので、駆動トランジスタの特性差による駆動トランジスタのドレイン電流のバラツキが補償される。尚、第 1 ノードに電圧を印加する所定の時間は、表示装置の設計の際、設計値として予め決定しておけばよい。

【0034】

そして、本発明に係る表示装置の駆動方法にあつては、「オン状態とされた第 1 スイッチ回路部により第 2 ノードと駆動トランジスタの他方のソース/ドレイン領域とを電氣的に接続した状態で、走査線からの信号によりオン状態とされた書込みトランジスタを介して、データ線から第 1 ノードに映像信号を印加し、以て、映像信号から駆動トランジスタの閾値電圧を減じた電位に向かって第 2 ノードの電位を変化させる書込み工程」を具備しており、該書込み工程を行い、次いで、第 2 ノード電位補正工程を行う構成とすることができる。この場合において、第 2 ノードの電位を所定の基準電位に設定する初期化工程を行い、次いで、書込み工程を行う構成とすることができる。

【0035】

また、上述した各種の好ましい構成を含む本発明に係る表示装置の駆動方法にあつては、「第 1 ノードに所定の駆動電圧を印加し、以て、駆動トランジスタを介して電流を発光部に流すことにより発光部を駆動する発光工程」を具備しており、第 2 ノード電位補正工程を行い、次いで、該発光工程を行う構成とすることができる。この構成にあつては、第 2 ノード電位補正工程において、第 1 ノードに所定の値の電圧として駆動電圧を印加する構成とすることができる。

【0036】

また、本発明に係る表示装置、及び、本発明に係る表示装置の駆動方法に用いられる表示装置(以下、これらを単に、本発明の表示装置と呼ぶ場合がある)にあつては、

駆動回路は、更に、

(E) 第 2 ノードと所定の初期化電圧が印加される給電線との間に接続された第 2 スイッチ回路、

(F) 第 1 ノードと駆動電圧が印加される給電線との間に接続された第 3 スイッチ回路部、及び、

(G) 駆動トランジスタの他方のソース/ドレイン領域と発光部の一端との間に接続された第 4 スイッチ回路部、

を備えている構成とすることができる。そして、本発明に係る表示装置の駆動方法にあつては、

(a) 第 1 スイッチ回路部、第 3 スイッチ回路部、及び、第 4 スイッチ回路部をオフ状態に維持し、オン状態とされた第 2 スイッチ回路部を介して所定の初期化電圧が印加される給電線から第 2 ノードに所定の初期化電圧を印加した後、第 2 スイッチ回路部をオフ状

10

20

30

40

50

態とし、以て、第2ノードの電位を所定の基準電位に設定する初期化工程を行い、

(b) 次いで、第2スイッチ回路部、第3スイッチ回路部、及び、第4スイッチ回路部のオフ状態を維持し、第1スイッチ回路部をオン状態とし、オン状態とされた第1スイッチ回路部により第2ノードと駆動トランジスタの他方のソース/ドレイン領域とを電氣的に接続した状態で、走査線からの信号によりオン状態とされた書込みトランジスタを介して、データ線から第1ノードに映像信号を印加し、以て、映像信号から駆動トランジスタの閾値電圧を減じた電位に向かって第2ノードの電位を変化させる書込み工程を行い、

(c) その後、走査線からの信号により書込みトランジスタをオフ状態とし、

(d) 次いで、第1スイッチ回路部をオフ状態とし、第2スイッチ回路部のオフ状態を維持し、オン状態とされた第3スイッチ回路部を介して第1ノードに所定の駆動電圧を印加し、オン状態とされた第4スイッチ回路部を介して駆動トランジスタの他方のソース/ドレイン領域と発光部の一端を電氣的に接続し、以て、駆動トランジスタを介して電流を発光部に流すことにより発光部を駆動する発光工程を行い、

更に、工程(c)と工程(d)との間に、第1スイッチ回路部のオン状態を維持し、第3スイッチ回路部をオン状態として、第1ノードに所定の値の電圧として駆動電圧を所定の時間印加し、以て、第2ノードの電位を変化させる第2ノード電位補正工程を行う構成とすることができる。

【0037】

そして、上述した第2スイッチ回路部を備えた構成にあっては、第 m 番目(但し、 $m = 1, 2, \dots, M$)の走査線を $SC L_m$ 、該走査線 $SC L_m$ よりも第 P 本分先行して走査される走査線を $SC L_{m_pre_P}$ (但し、 P は、 $1 \leq P < M$ の関係を満たし、表示装置において所定の値)と表すとき、第 m 行目の発光素子を構成する駆動回路において、第2スイッチ回路部を走査線 $SC L_{m_pre_P}$ からの走査信号により制御する構成とすることができる。この構成にあっては、第2スイッチ回路部の制御のために新たな制御回路を必要としないといった利点を有する。走査線 $SC L_{m_pre_P}$ から第2スイッチ回路部に至る配線の長さを短くする観点からは、 $P = 1$ である構成とすることが好ましい。

【0038】

本発明の表示装置にあっては、発光素子を構成する発光部として、電流を流すことにより発光する発光部を広く用いることができる。発光部として、有機エレクトロルミネッセンス発光部、無機エレクトロルミネッセンス発光部、LED発光部、半導体レーザー発光部等を挙げることができる。カラー表示の平面表示装置を構成する観点からは、中でも、発光部が有機エレクトロルミネッセンス発光部から成る構成が好ましい。

【0039】

本発明の表示装置にあっては、容量部の一端には所定の基準電圧が印加される。これにより、表示装置の動作時に容量部の一端の電位が保たれる。所定の基準電圧の値は特に限定するものではない。例えば、容量部の一端が駆動電圧が印加される給電線に接続されており、基準電圧として駆動電圧が印加される構成とすることができる。あるいは又、容量部の一端が所定の初期化電圧が印加される給電線に接続されており、基準電圧として所定の初期化電圧が印加される構成とすることができる。あるいは又、容量部の一端が、発光部の他端に所定の電圧を印加するための給電線に接続され、基準電圧として所定の電圧が印加される構成とすることもできる。

【0040】

以上に説明した各種の好ましい構成を含む本発明の表示装置において、走査線、データ線、給電線等の各種の配線の構成、構造は、周知の構成、構造とすることができる。また、発光部の構成、構造も、周知の構成、構造とすることができる。具体的には、発光部を有機エレクトロルミネッセンス発光部とする場合には、例えば、アノード電極、正孔輸送層、発光層、電子輸送層、カソード電極等から構成することができる。走査線に接続される走査回路、データ線に接続される信号出力回路、その他の各種の回路の構成、構造も、周知の構成、構造とすることができる。

【0041】

10

20

30

40

50

本発明の表示装置は、所謂モノクロ表示の構成であってもよいし、1つの画素は複数の副画素から構成されている構成、具体的には、1つの画素は、赤色発光副画素、緑色発光副画素、青色発光副画素の3つの副画素から成る構成とすることもできる。更には、これらの3種の副画素に更に1種類あるいは複数種類の副画素を加えた1組（例えば、輝度向上のために白色光を発光する副画素を加えた1組、色再現範囲を拡大するために補色を発光する副画素を加えた1組、色再現範囲を拡大するためにイエローを発光する副画素を加えた1組、色再現範囲を拡大するためにイエロー及びシアンを発光する副画素を加えた1組）から構成することもできる。

【0042】

書込みトランジスタや駆動トランジスタは、例えば、pチャネル型の薄膜トランジスタ（TFT）から構成することができる。尚、書込みトランジスタをnチャネル型としてもよい。第1スイッチ回路部、第2スイッチ回路部、第3スイッチ回路部及び第4スイッチ回路部は、TFT等の周知のスイッチング素子から構成することができる。例えば、pチャネル型のTFTから構成されていてもよいし、nチャネル型のTFTから構成されていてもよい。

10

【0043】

駆動回路を構成する容量部は、例えば、一方の電極、他方の電極、及び、これらの電極に挟まれた誘電体層（絶縁層）から構成することができる。駆動回路を構成するトランジスタ及び容量部は、或る平面内に形成され、例えば、支持体上に形成される。発光部を有機エレクトロルミネッセンス発光部とする場合、発光部は、例えば、層間絶縁層を介して、駆動回路を構成するトランジスタ及び容量部の上方に形成されている。また、駆動トランジスタの他方のソース/ドレイン領域は、例えば他のトランジスタ等を介して、発光部の一端（発光部に備えられたアノード電極等）に接続されている。尚、半導体基板等にトランジスタを形成した構成であってもよい。

20

【0044】

1つのトランジスタの有する2つのソース/ドレイン領域において、「一方のソース/ドレイン領域」という用語を、電源側に接続された側のソース/ドレイン領域といった意味において使用する場合がある。また、トランジスタがオン状態にあるとは、ソース/ドレイン領域間にチャンネルが形成されている状態を意味する。係るトランジスタの一方のソース/ドレイン領域から他方のソース/ドレイン領域に電流が流れているか否かは問わない。一方、トランジスタがオフ状態にあるとは、ソース/ドレイン領域間にチャンネルが形成されていない状態を意味する。また、或るトランジスタのソース/ドレイン領域が他のトランジスタのソース/ドレイン領域に接続されているとは、或るトランジスタのソース/ドレイン領域と他のトランジスタのソース/ドレイン領域とが同じ領域を占めている形態を包含する。更には、ソース/ドレイン領域は、不純物を含有したポリシリコンやアモルファスシリコン等の導電性物質から構成することができるだけでなく、金属、合金、導電性粒子、これらの積層構造、有機材料（導電性高分子）から成る層から構成することができる。また、以下の説明で用いるタイミングチャートにおいて、各期間を示す横軸の長さ（時間長）は模式的なものであり、各期間の時間長の割合を示すものではない。

30

【発明の効果】

40

【0045】

本発明に係る表示装置、あるいは又、本発明に係る表示装置の駆動方法によれば、オン状態とされた第1スイッチ回路部により第2ノードと駆動トランジスタの他方のソース/ドレイン領域とを電氣的に接続した状態で、第1ノードに所定の値の電圧を所定の時間印加し、第2ノードの電位を変化させる。第2ノードの電位の変化量は、駆動トランジスタの特性に応じて変化する。即ち、第1ノードに所定の値の電圧を所定の時間印加するとき、例えば駆動トランジスタの移動度 μ の値が大きい場合、駆動トランジスタの他方のソース/ドレイン領域における電位の変化量 V （電位補正值）は大きくなる。一方、駆動トランジスタの移動度 μ の値が小さい場合、駆動トランジスタの発光部ELP側のソース/ドレイン領域における電位の変化量 V （電位補正值）は小さくなる。第2ノードと駆動

50

トランジスタの他方のソース/ドレイン領域とを電氣的に接続しているもので、上述した V (電位補正值) に応じて第 2 ノードの電位が変化する。このように、第 2 ノードの電位は駆動トランジスタの特性に応じて変化するもので、駆動トランジスタの特性差による駆動トランジスタのドレイン電流のバラツキが補償される。従って、駆動トランジスタの移動度 μ 等のばらつきによる画像の均一性の悪化を軽減することができる。

【発明を実施するための最良の形態】

【0046】

以下、図面を参照して、実施例に基づき本発明を説明する。

【実施例】

【0047】

10

実施例は、本発明の表示装置及びその駆動方法に関する。実施例の表示装置は、有機エレクトロルミネッセンス発光部とその駆動回路とを備えた発光素子を用いた表示装置 (有機エレクトロルミネッセンス表示装置) である。先ず、表示装置の概要を説明する。

【0048】

実施例の表示装置は、複数の画素を備えた表示装置である。1つの画素は複数の副画素から構成されており、各副画素は、駆動回路 11 と、この駆動回路 11 に接続された有機エレクトロルミネッセンス発光部 (発光部 ELP) とが積層された構造を有する発光素子 10 から構成されている。図 1 に、発光素子が 2 次元マトリクス状に配列されて成る表示装置において、第 m 行 (但し、 $m = 1, 2, 3 \cdots M$)、第 n 列目 (但し、 $n = 1, 2, 3 \cdots N$) の発光素子 10 を構成する駆動回路 11 の等価回路図を示し、表示装置の概念図を図 2 に示す。

20

【0049】

ここで、表示装置は、

(1) 第 1 の方向に N 個、第 1 の方向とは異なる第 2 の方向に M 個、合計 $N \times M$ 個の、2 次元マトリクス状に配列された発光素子 10、

(2) 第 1 の方向に延びる M 本の走査線 SCL、及び、

(3) 第 2 の方向に延びる N 本のデータ線 DTL、

を備えている。走査線 SCL は走査回路 101 に接続され、データ線 DTL は信号出力回路 102 に接続されている。尚、図 2 においては、第 m 行、第 n 列目の発光素子 10 を中心とした 3×3 個の発光素子 10 を図示しているが、これは、あくまでも例示に過ぎない。また、図 2 においては、図 1 に示す電圧 V_{CC} 、 V_{ini} 、 V_{cat} を供給するための給電線 PS_1 、 PS_2 、 PS_3 の図示を省略した。

30

【0050】

表示装置は、 $(N/3) \times M$ 個の 2 次元マトリクス状に配列された画素から構成されている。1つの画素は、3つの副画素 (赤色を発光する赤色発光副画素、緑色を発光する緑色発光副画素、青色を発光する青色発光副画素) から構成されている。各画素を構成する発光素子 10 は、線順次駆動されるとし、表示フレームレートを FR (回/秒) とする。即ち、第 m 行目に配列された $(N/3)$ 個の画素 (N 個の副画素) のそれぞれを構成する発光素子 10 が同時に駆動される。換言すれば、1つの行を構成する各発光素子 10 にあつては、その発光/非発光のタイミングは、それらが属する行単位で制御される。

40

【0051】

各発光素子 10 は、書込みトランジスタ TR_W 、駆動トランジスタ TR_D 、容量部 C_1 、及び、後述する第 1 トランジスタ TR_1 から成る第 1 スイッチ回路部 SW_1 を備えた駆動回路 11 と、駆動トランジスタ TR_D を介して電流が流される発光部 ELP とから構成されている。第 m 行、第 n 列目の発光素子 10 において、書込みトランジスタ TR_W においては、一方のソース/ドレイン領域は、データ線 DTL_n に接続されており、ゲート電極は、走査線 SCL_m に接続されている。駆動トランジスタ TR_D においては、一方のソース/ドレイン領域は、書込みトランジスタ TR_W の他方のソース/ドレイン領域に接続されており、第 1 ノード ND_1 を構成する。容量部 C_1 の一端は給電線 PS_1 に接続されている。容量部 C_1 においては、一端には所定の基準電圧 (実施例においては、後述する駆動電圧

50

V_{CC}) が印加され、他端と駆動トランジスタ TR_D のゲート電極とは接続されており、第 2 ノード ND_2 を構成する。

【0052】

駆動トランジスタ TR_D は p チャネル型の T F T から成り、書込みトランジスタ TR_W も p チャネル型の T F T から成る。駆動トランジスタ TR_D はデプレッション型である。また、後述する第 1 トランジスタ TR_1 、第 2 トランジスタ TR_2 、第 3 トランジスタ TR_3 、及び、第 4 トランジスタ TR_4 も p チャネル型の T F T から成る。尚、書込みトランジスタ TR_W 等を n チャネル型としてもよい。

【0053】

走査回路 101、信号出力回路 102、走査線 SCL、データ線 DTL の構成、構造は、周知の構成、構造とすることができる。後述する第 1 トランジスタ制御回路 111、第 3 トランジスタ制御回路 113、及び、第 4 トランジスタ制御回路 114 の構成、構造も、周知の構成、構造とすることができる。

【0054】

後述する第 1 トランジスタ制御線 CL1、第 3 トランジスタ制御線 CL3、及び、第 4 トランジスタ制御線 CL4 の構成、構造も、周知の構成、構造とすることができる。また、後述する給電線 PS₁、給電線 PS₂、及び、給電線 PS₃ の構成、構造も、周知の構成、構造とすることができる。

【0055】

図 3 は、図 2 に示す表示装置を構成する発光素子 10 の一部分における模式的な一部断面図である。後で詳しく説明するが、発光素子 10 の駆動回路 11 を構成する各トランジスタ及び容量部 C₁ は支持体 20 上に形成され、発光部 ELP は、例えば、層間絶縁層 40 を介して、駆動回路 11 を構成する各トランジスタ及び容量部 C₁ の上方に形成されている。発光部 ELP は、例えば、アノード電極、正孔輸送層、発光層、電子輸送層、カソード電極等の周知の構成、構造を有する。尚、図 3 においては、駆動トランジスタ TR_D のみを図示する。他のトランジスタは隠れて見えない。また、駆動トランジスタ TR_D の他方のソース/ドレイン領域は、図示せぬ第 4 トランジスタ TR_4 を介して発光部 ELP に備えられたアノード電極に接続されているが、第 4 トランジスタ TR_4 と発光部 ELP のアノード電極との接続部も隠れて見えない。

【0056】

駆動トランジスタ TR_D は、ゲート電極 31、ゲート絶縁層 32、半導体層 33 から構成されている。より具体的には、駆動トランジスタ TR_D は、半導体層 33 に設けられた一方のソース/ドレイン領域 35 及び他方のソース/ドレイン領域 36、並びに、一方のソース/ドレイン領域 35 と他方のソース/ドレイン領域 36 の間の半導体層 33 の部分が該当するチャンネル形成領域 34 を備えている。図示せぬ他のトランジスタも同様の構成である。

【0057】

容量部 C₁ は、電極 37、ゲート絶縁層 32 の延在部から構成された誘電体層、及び、電極 38 から成る。尚、電極 37 と駆動トランジスタ TR_D のゲート電極 31 との接続部、及び、電極 38 と給電線 PS₁ との接続部は隠れて見えない。

【0058】

ゲート電極 31、ゲート絶縁層 32 の一部、及び、容量部 C₁ を構成する電極 37 は、支持体 20 上に形成されている。駆動トランジスタ TR_D 及び容量部 C₁ 等は、層間絶縁層 40 で覆われており、層間絶縁層 40 上に、アノード電極 51、正孔輸送層、発光層、電子輸送層、及び、カソード電極 53 から成る発光部 ELP が設けられている。尚、図 3 においては、正孔輸送層、発光層、及び、電子輸送層を 1 層 52 で表した。発光部 ELP が設けられていない層間絶縁層 40 の部分の上には、第 2 層間絶縁層 54 が設けられ、第 2 層間絶縁層 54 及びカソード電極 53 上には透明な基板 21 が配置されており、発光層にて発光した光は、基板 21 を通過して、外部に出射される。カソード電極 53 と給電線 PS₂ を構成する配線 39 とは、第 2 層間絶縁層 54、層間絶縁層 40 に設けられたコンタ

10

20

30

40

50

クトホール 56, 55 を介して接続されている。

【0059】

図 2 に示す表示装置の製造方法を説明する。先ず、支持体 20 上に、走査線等の各種配線、容量部を構成する電極、半導体層から成るトランジスタ、層間絶縁層、コンタクトホール等を、周知の方法により適宜形成する。次いで、周知の方法により成膜及びパターニングを行い、マトリクス状に配列された発光部 ELP を形成する。そして、上記工程を経た支持体 20 と基板 21 を対向させ周囲を封止し、表示装置を完成することができる。その後、必要に応じて外部の回路との結線を行えばよい。

【0060】

引き続き、図 1 及び図 2 を参照して、第 m 行、第 n 列目の発光素子 10 を構成する駆動回路 11 について説明する。書込みトランジスタ TR_W の他方のソース/ドレイン領域は、上述のとおり、駆動トランジスタ TR_D の一方のソース/ドレイン領域に接続されている。一方、書込みトランジスタ TR_W の一方のソース/ドレイン領域は、データ線 DTL_n に接続されている。書込みトランジスタ TR_W のオン/オフ動作は、書込みトランジスタ TR_W のゲート電極に接続された走査線 $SC L_m$ からの信号によって制御される。

【0061】

データ線 DTL_n には、信号出力回路 102 から、発光部 ELP における輝度を制御するための映像信号（駆動信号、輝度信号） V_{sig} が印加される。詳細については後述する。尚、データ線 DTL を介して、 V_{sig} 以外の種々の信号・電圧（プリチャージ駆動のための信号や各種の基準電圧等）が供給されてもよい。

【0062】

駆動トランジスタ TR_D は、発光素子 10 の発光状態においては、以下の式 (1) に従ってドレイン電流 I_{ds} を流すように駆動される。発光素子 10 の発光状態においては、駆動トランジスタ TR_D の一方のソース/ドレイン領域はソース領域として働き、他方のソース/ドレイン領域はドレイン領域として働く。説明の便宜のため、以下の説明において、駆動トランジスタ TR_D の一方のソース/ドレイン領域を単にソース領域と呼び、他方のソース/ドレイン領域を単にドレイン領域と呼ぶ場合がある。尚、

μ : 実効的な移動度

L : チャネル長

W : チャネル幅

V_{gs} : ゲート電極とソース領域との間の電位差

V_{th} : 閾値電圧

C_{ox} : (ゲート絶縁層の比誘電率) \times (真空の誘電率) / (ゲート絶縁層の厚さ)

$k = (1/2) \cdot (W/L) \cdot C_{ox}$

とする。

【0063】

$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 \quad (1)$$

【0064】

駆動回路 11 は、第 2 ノード ND_2 と駆動トランジスタ TR_D の他方のソース/ドレイン領域との間に接続された第 1 スイッチ回路部 SW_1 を備えている。第 1 スイッチ回路部 SW_1 は第 1 トランジスタ TR_1 から構成されている。第 1 トランジスタ TR_1 にあっては、一方のソース/ドレイン領域は、第 2 ノード ND_2 に接続されており、他方のソース/ドレイン領域は、駆動トランジスタ TR_D の他方のソース/ドレイン領域に接続されている。

【0065】

背景技術において参照した図 9 に示す駆動回路では、第 1 スイッチ回路部 SW_1 を構成する第 1 トランジスタ TR_1 を走査線 $SC L_m$ からの信号によって制御した。これに対し、実施例においては、第 1 トランジスタ TR_1 のゲート電極は第 1 トランジスタ制御線 CL_{1m} に接続されている。第 1 トランジスタ制御線 CL_{1m} を介して、第 1 トランジスタ制御回路 111 から第 1 トランジスタ TR_1 のゲート電極に信号を印加することにより、第 1

10

20

30

40

50

トランジスタ TR_1 のオン状態 / オフ状態を制御する。

【0066】

駆動回路 11 は、更に、第 2 ノード ND_2 と後述する所定の初期化電圧 V_{ini} が印加される給電線 PS_3 との間に接続された第 2 スイッチ回路部 SW_2 を備えている。第 2 スイッチ回路部 SW_2 は第 2 トランジスタ TR_2 から構成されている。第 2 トランジスタ TR_2 においては、一方のソース / ドレイン領域は給電線 PS_3 に接続されており、他方のソース / ドレイン領域は第 2 ノード ND_2 に接続されている。

【0067】

第 2 トランジスタ TR_2 の配線について更に説明する。第 m 番目の走査線 $SC L_m$ よりも第 P 本分先行して走査される走査線を $SC L_{m_pre_P}$ (但し、 P は、 $1 \leq P < M$ の関係を満たし、表示装置において所定の値) と表すとき、第 m 行目の発光素子 10 を構成する駆動回路 11 において、第 2 トランジスタ TR_2 のゲート電極は走査線 $SC L_{m_pre_P}$ に接続されている。即ち、第 2 スイッチ回路部 SW_2 を走査線 $SC L_{m_pre_P}$ からの走査信号により制御する。尚、実施例にあっては、 $P = 1$ 、即ち、直前に走査される走査線 $SC L_{m-1}$ からの走査信号を第 2 トランジスタ TR_2 のゲート電極に印加する。

【0068】

駆動回路 11 は、更に、第 1 ノード ND_1 と後述する駆動電圧 V_{CC} が印加される給電線 PS_1 との間に接続された第 3 スイッチ回路部 SW_3 、及び、駆動トランジスタ TR_D の他方のソース / ドレイン領域と発光部 ELP の一端との間に接続された第 4 スイッチ回路部 SW_4 を備えている。第 3 スイッチ回路部 SW_3 は第 3 トランジスタ TR_3 から構成されている。第 3 トランジスタ TR_3 においては、一方のソース / ドレイン領域は給電線 PS_1 に接続されており、他方のソース / ドレイン領域は第 1 ノード ND_1 に接続されている。第 4 スイッチ回路部 SW_4 は第 4 トランジスタ TR_4 から構成されている。第 4 トランジスタ TR_4 においては、一方のソース / ドレイン領域は、駆動トランジスタ TR_D の他方のソース / ドレイン領域に接続されており、他方のソース / ドレイン領域は、発光部 ELP の一端に接続されている。発光部 ELP の他端 (カソード電極) は、給電線 PS_2 に接続されており、後述する電圧 V_{Ca1} が印加される。符号 C_{EL} は発光部 ELP の寄生容量を表す。

【0069】

背景技術において参照した図 9 に示す回路では、第 3 トランジスタ TR_3 のゲート電極と第 4 トランジスタ TR_4 のゲート電極とは同じ第 3 / 第 4 トランジスタ制御線 CL_m に接続されていた。これに対し、実施例においては、第 3 トランジスタ TR_3 のゲート電極は第 3 トランジスタ制御線 CL_{3m} に接続され、第 4 トランジスタ TR_4 のゲート電極は第 4 トランジスタ制御線 CL_{4m} に接続されている。

【0070】

実施例においては、第 3 トランジスタ制御線 CL_{3m} を介して、第 3 トランジスタ制御回路 113 から第 3 トランジスタ TR_3 のゲート電極に信号を印加することにより、第 3 トランジスタ TR_3 のオン状態 / オフ状態を制御する。また、第 4 トランジスタ制御線 CL_{4m} を介して、第 4 トランジスタ制御回路 114 から第 4 トランジスタ TR_4 のゲート電極に信号を印加することにより、第 4 トランジスタ TR_4 のオン状態 / オフ状態を制御する。

【0071】

第 1 トランジスタ制御回路 111、第 3 トランジスタ制御回路 113、及び、第 4 トランジスタ制御回路 114 の構成、構造は、周知の構成、構造とすることができる。

【0072】

実施例の説明において、電圧あるいは電位の値を以下のとおりとするが、これは、あくまでも説明のための値であり、これらの値に限定されるものではない。

【0073】

V_{sig} : 発光部 ELP における輝度を制御するための映像信号
 ・ ・ ・ 0 ボルト (最高輝度) ~ 8 ボルト (最低輝度)

V_{CC} : 給電線 PS_1 に印加される駆動電圧

10

20

30

40

50

・・・ 10 ボルト

V_{ini} : 給電線 PS_3 に印加される、第 2 ノード ND_2 の電位を初期化するための初期化電圧

・・・ - 4 ボルト

V_{th} : 駆動トランジスタ TR_D の閾値電圧

・・・ 2 ボルト

V_{cat} : 給電線 PS_2 に印加される電圧

・・・ - 10 ボルト

【0074】

以下、第 m 行、第 n 列目に位置する発光素子 10 に関して、表示装置の動作を説明するが、係る発光素子 10 を、以下、第 (n, m) 番目の発光素子 10 あるいは第 (n, m) 番目の副画素と呼ぶ。また、第 m 行目に配列された各発光素子 10 の水平走査期間（より具体的には、現表示フレームにおける第 m 番目の水平走査期間）を、以下、単に、第 m 番目の水平走査期間と呼ぶ。

【0075】

表示装置の駆動のタイミングチャートを模式的に図 4 に示し、駆動回路 11 を構成する各トランジスタのオン/オフ状態等を模式的に図 5 の (A) 及び (B)、図 6 の (A) 及び (B)、並びに、図 7 に示す。

【0076】

実施例の表示装置の駆動方法は、オン状態とされた第 1 スイッチ回路部 SW_1 により第 2 ノード ND_2 と駆動トランジスタ TR_D の他方のソース/ドレイン領域とを電氣的に接続した状態で、第 1 ノード ND_1 に所定の値の電圧を所定の時間印加し、以て、第 2 ノード ND_2 の電位を変化させる第 2 ノード電位補正工程を具備する。具体的には、図 4 に示す [期間 - TP_2] において第 2 ノード電位補正を行う。

【0077】

実施例の駆動方法は、オン状態とされた第 1 スイッチ回路部 SW_1 により第 2 ノード ND_2 と駆動トランジスタ TR_D の他方のソース/ドレイン領域とを電氣的に接続した状態で、走査線 $SC L_m$ からの信号によりオン状態とされた書込みトランジスタ TR_W を介して、データ線 $DT L_n$ から第 1 ノード ND_1 に映像信号 V_{sig} を印加し、以て、映像信号 V_{sig} から駆動トランジスタ TR_D の閾値電圧 V_{th} を減じた電位に向かって第 2 ノード ND_2 の電位を変化させる書込み工程を具備する。尚、第 2 ノード ND_2 の電位を所定の基準電位に設定する初期化工程を行い、次いで、上述した書込み工程を行い、その後、上述した第 2 ノード電位補正工程を行う。具体的には、図 4 に示す [期間 - TP_0] において初期化工程を行い、[期間 - TP_1] において書込み工程を行う。

【0078】

実施例の駆動方法は、第 1 ノード ND_1 に所定の駆動電圧 V_{cc} を印加し、以て、駆動トランジスタ TR_D を介して電流を発光部 ELP に流すことにより発光部 ELP を駆動する発光工程を具備する。尚、第 2 ノード電位補正工程において、第 1 ノード ND_1 に所定の値の電圧として駆動電圧 V_{cc} を印加する。具体的には、図 4 に示す [期間 - TP_3] 以降が発光工程に対応する。以下、図 4 に示す各期間の動作について、詳細に説明する。

【0079】

[期間 - TP_{-1}] (図 4、図 5 の (A) 参照)

この [期間 - TP_{-1}] は、従前に書き込まれた映像信号 V'_{sig} に対応して、第 (n, m) 番目の発光素子 10 が発光状態にある期間である。第 3 トランジスタ TR_3 と第 4 トランジスタ TR_4 はオン状態である。書込みトランジスタ TR_W 、第 1 トランジスタ TR_1 、及び、第 2 トランジスタ TR_2 はオフ状態である。第 (n, m) 番目の副画素を構成する発光素子 10 における発光部 ELP には、後述する式 (5) に基づくドレイン電流 I'_{ds} が流れており、第 (n, m) 番目の副画素を構成する発光素子 10 の輝度は、係るドレイン電流 I'_{ds} に対応した値である。

【0080】

10

20

30

40

50

〔期間 - T_{P_0} 〕 (図4、図5の(B)参照)

この〔期間 - T_{P_0} 〕は、現表示フレームにおける第 $(m-1)$ 番目の水平走査期間である。この期間に、第1スイッチ回路部 SW_1 、第3スイッチ回路部 SW_3 、及び、第4スイッチ回路部 SW_4 をオフ状態に維持し、オン状態とされた第2スイッチ回路部 SW_2 を介して所定の初期化電圧 V_{ini} が印加される給電線 PS_2 から第2ノード ND_2 に所定の初期化電圧 V_{ini} を印加した後、第2スイッチ回路部 SW_2 をオフ状態とし、以て、第2ノード ND_2 の電位を所定の基準電位に設定する初期化工程を行う。

【0081】

具体的には、書込みトランジスタ TR_W 及び第1トランジスタ TR_1 のオフ状態を維持し、第3トランジスタ TR_3 及び第4トランジスタ TR_4 をオン状態からオフ状態とする。これにより、第1ノード ND_1 には駆動電圧 V_{CC} が印加されず、更には、発光部 ELP と駆動トランジスタ TR_D は切り離された状態となる。従って、発光部 ELP に電流は流れず非発光状態となる。また、第2トランジスタ TR_2 をオフ状態からオン状態とし、第2ノード ND_2 にオン状態とされた第2トランジスタ TR_2 を介して給電線 PS_2 から所定の初期化電圧 V_{ini} を印加する。そして、例えばこの期間の終期に第2トランジスタ TR_2 をオフ状態とする。容量部 C_1 の一端には駆動電圧 V_{CC} が印加され、容量部 C_1 の一端の電位は保たれた状態にあるので、第2ノード ND_2 の電位は初期化電圧 V_{ini} により所定の基準電位(-4ボルト)に設定される。

【0082】

〔期間 - T_{P_1} 〕 (図4、図6の(A)参照)

この〔期間 - T_{P_1} 〕は、現表示フレームにおける第 m 番目の水平走査期間である。この期間に、第2スイッチ回路部 SW_2 、第3スイッチ回路部 SW_3 、及び、第4スイッチ回路部 SW_4 のオフ状態を維持し、第1スイッチ回路部 SW_1 をオン状態とし、オン状態とされた第1スイッチ回路部 SW_1 により第2ノード ND_2 と駆動トランジスタ TR_D の他方のソース/ドレイン領域とを電気的に接続した状態で、走査線 $SC L_m$ からの信号によりオン状態とされた書込みトランジスタ TR_W を介して、データ線 $DT L_n$ から第1ノード ND_1 に映像信号 V_{sig} を印加し、以て、映像信号 V_{sig} から駆動トランジスタ TR_D の閾値電圧 V_{th} を減じた電位に向かって第2ノード ND_2 の電位を変化させる書込み工程を行う。

【0083】

具体的には、第2トランジスタ TR_2 、第3トランジスタ TR_3 、及び、第4トランジスタ TR_4 のオフ状態を維持し、走査線 $SC L_m$ からの信号により書込みトランジスタ TR_W をオン状態とする。また、第1トランジスタ制御線 $CL 1_m$ からの信号により第1トランジスタ TR_1 をオン状態とする。そして、オン状態とされた第1トランジスタ TR_1 を介して第2ノード ND_2 と駆動トランジスタ TR_D の他方のソース/ドレイン領域とを電気的に接続した状態とする。また、走査線 $SC L_m$ からの信号によりオン状態とされた書込みトランジスタ TR_W を介して、データ線 $DT L_n$ から第1ノード ND_1 に映像信号 V_{sig} を印加する。これにより、映像信号 V_{sig} から駆動トランジスタ TR_D の閾値電圧 V_{th} を減じた電位に向かって第2ノード ND_2 の電位が変化する。

【0084】

即ち、上述した初期化により、〔期間 - T_{P_1} 〕の始期において駆動トランジスタ TR_D がオン状態となるように第2ノード ND_2 の電位が初期化されているので、第2ノード ND_2 の電位は、第1ノード ND_1 に印加される映像信号 V_{sig} の電位に向かって変化する。しかしながら、駆動トランジスタ TR_D のゲート電極と一方のソース/ドレイン領域との間の電位差が V_{th} に達すると、駆動トランジスタ TR_D はオフ状態となる。この状態にあつては、第2ノード ND_2 の電位は、概ね $(V_{sig} - V_{th})$ である。第2ノード ND_2 の電位 V_{ND2} は、以下の式(2)のように表される。尚、第 $(m+1)$ 番目の水平走査期間が始まるより前に、走査線 $SC L_m$ からの信号により書込みトランジスタ TR_W をオフ状態とする。

【0085】

$$V_{ND2} = (V_{sig} - V_{th}) \quad (2)$$

10

20

30

40

50

【 0 0 8 6 】

[期間 - T_{P_2}] (図 4、図 6 の (B) 参照)

この [期間 - T_{P_2}] において、オン状態とされた第 1 スイッチ回路部 SW_1 により第 2 ノード ND_2 と駆動トランジスタ TR_D の他方のソース / ドレイン領域とを電氣的に接続した状態で、第 1 ノード ND_1 に所定の値の電圧を所定の時間印加し、以て、第 2 ノード ND_2 の電位を変化させる第 2 ノード電位補正工程を行う。実施例では、第 2 ノード電位補正工程において、第 1 ノード ND_1 に所定の値の電圧として駆動電圧 V_{CC} を印加する。

【 0 0 8 7 】

具体的には、第 1 トランジスタ TR_1 のオン状態を維持し、第 3 トランジスタ TR_3 をオン状態とし、第 1 ノード ND_1 に所定の値の電圧として駆動電圧 V_{CC} を [期間 - T_{P_2}] の間印加する。尚、第 2 トランジスタ TR_2 、及び、第 4 トランジスタ TR_4 はオフ状態を維持する。以上の結果、駆動トランジスタ TR_D の移動度 μ の値が大きい場合、駆動トランジスタ TR_D のドレイン領域に接続された第 2 ノード ND_2 の電位の上昇量 V (電位補正值) は大きくなり、駆動トランジスタ TR_D の移動度 μ の値が小さい場合、駆動トランジスタ TR_D のドレイン領域に接続された第 2 ノード ND_2 の電位の上昇量 V (電位補正值) は小さくなる。ここで、第 2 ノード ND_2 の電位 V_{ND2} は、式 (2) から以下の式 (3) のように変形される。

【 0 0 8 8 】

$$V_{ND2} = (V_{Sig} - V_{th}) + V \quad (3)$$

【 0 0 8 9 】

尚、第 2 ノード電位補正工程を実行するための所定の時間 ([期間 - T_{P_2}] の全時間 t_0) は、表示装置の設計の際、設計値として予め決定しておけばよい。また、この第 2 ノード電位補正工程補正処理によって、係数 k ($(1/2) \cdot (W/L) \cdot C_{ox}$) のばらつきの補正も同時に行われる。

【 0 0 9 0 】

[期間 - T_{P_3}] (図 4、図 7 参照)

この [期間 - T_{P_3}] 以降において、第 1 スイッチ回路部 SW_1 をオフ状態とし、第 2 スイッチ回路部 SW_2 のオフ状態を維持し、オン状態とされた第 3 スイッチ回路部 SW_3 を介して第 1 ノード ND_1 に所定の駆動電圧 V_{CC} を印加し、オン状態とされた第 4 スイッチ回路部 SW_4 を介して駆動トランジスタ TR_D の他方のソース / ドレイン領域と発光部 ELP の一端を電氣的に接続し、以て、駆動トランジスタ TR_D を介して電流を発光部 ELP に流すことにより発光部 ELP を駆動する発光工程を行う。

【 0 0 9 1 】

具体的には、[期間 - T_{P_3}] の始期において第 1 トランジスタ TR_1 をオフ状態とする。そして、第 2 トランジスタ TR_2 のオフ状態を維持し、第 3 トランジスタ TR_3 のオン状態を維持する。また、第 4 トランジスタ制御線 CL_{4m} からの信号により、第 4 トランジスタ TR_4 をオフ状態からオン状態とする。オン状態とされた第 3 トランジスタ TR_3 を介して第 1 ノード ND_1 に所定の駆動電圧 V_{CC} を印加する。また、オン状態とされた第 4 トランジスタ TR_4 を介して駆動トランジスタ TR_D の他方のソース / ドレイン領域と発光部 ELP の一端を電氣的に接続する。以て、駆動トランジスタ TR_D を介して電流を発光部 ELP に流すことにより発光部 ELP を駆動する。

【 0 0 9 2 】

そして、式 (3) より、

$$V_{gs} = V_{CC} - ((V_{Sig} - V_{th}) + V) \quad (4)$$

であるから、上記式 (1) は、

$$\begin{aligned} I_{ds} &= k \cdot \mu \cdot (V_{gs} - V_{th})^2 \\ &= k \cdot \mu \cdot ((V_{CC} - V_{Sig}) - V)^2 \end{aligned} \quad (5)$$

と表すことができる。

【 0 0 9 3 】

従って、発光部 ELP を流れる電流 I_{ds} は、 V_{CC} と V_{Sig} との電位差から、駆動トラン

ジスタ $T R_D$ の移動度 μ に起因した電位補正值 V の値を減じた値の 2 乗に比例する。言い換えれば、発光部 $E L P$ を流れる電流 I_{ds} は、駆動トランジスタ $T R_D$ の閾値電圧 V_{th} には依存しない。即ち、発光部 $E L P$ の発光量（輝度）は、駆動トランジスタ $T R_D$ の閾値電圧 V_{th} の影響を受けない。そして、第 (n, m) 番目の発光素子 10 の輝度は、係る電流 I_{ds} に対応した値である。

【0094】

しかも、移動度 μ の大きな駆動トランジスタ $T R_D$ ほど、電位補正值 V が大きくなる。従って、式 (5) において、移動度 μ の値が大きくとも、 $((V_{CC} - V_{sig}) - V)^2$ の値が小さくなる結果、ドレイン電流 I_{ds} を補正することができる。即ち、移動度 μ の異なる駆動トランジスタ $T R_D$ においても、映像信号 V_{sig} の値が同じであれば、ドレイン電流 I_{ds} が略同じとなる結果、発光部 $E L P$ を流れ、発光部 $E L P$ の輝度を制御する電流 I_{ds} が均一化される。これにより、移動度 μ のばらつき（更には、 k のばらつき）に起因する発光部 $E L P$ の輝度のばらつきを補正することができる。

【0095】

発光部 $E L P$ の発光状態を次のフレームの第 $(m - 2)$ 番目の水平走査期間まで継続する。この時点は、[期間 - $T P_{-1}$] の終わりに相当する。

【0096】

以上によって、第 (n, m) 番目の副画素を構成する発光素子 10 の発光の動作が完了する。

【0097】

以上、本発明を好ましい実施例に基づき説明したが、本発明はこれらの実施例に限定されるものではない。実施例において説明した表示装置、発光素子、駆動回路を構成する各種の構成要素の構成、構造、発光部の駆動方法における工程は例示であり、適宜、変更することができる。

【0098】

変形例として、図 8 に、第 2 スイッチ回路部を 2 本前に走査される走査線 $S C L_{m-2}$ からの走査信号により制御する場合のタイミングチャートを示す。図 8 に示す [期間 - $T P'_{-1}$] ~ [期間 - $T P'_0$] の動作は、初期化が第 $(m - 2)$ 番目の水平走査期間において行われる点が相違する他、図 4 を参照して説明した [期間 - $T P_{-1}$] ~ [期間 - $T P_0$] の動作と同様である。

【0099】

図 8 に示す動作では、[期間 - $T P'_{-1}$] において、全てのトランジスタのオフ状態を保ち、第 1 ノード $N D_1$ が初期化された状態を保つ。そして、図 8 に示す [期間 - $T P'_2$] ~ [期間 - $T P'_4$] において、図 4 を参照して説明した [期間 - $T P_1$] ~ [期間 - $T P_3$] と同様の動作を行う。これにより、実施例において説明したと同様に、発光部 $E L P$ を駆動することができる。

【図面の簡単な説明】

【0100】

【図 1】図 1 は、発光素子が 2 次元マトリクス状に配列されて成る表示装置において、第 m 行、第 n 列目の発光素子を構成する駆動回路の等価回路図である。

【図 2】図 2 は、表示装置の概念図である。

【図 3】図 3 は、発光素子の一部分の模式的な一部断面図である。

【図 4】図 4 は、表示装置の駆動のタイミングチャートを模式的に示した図である。

【図 5】図 5 の (A) 及び (B) は、駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【図 6】図 6 の (A) 及び (B) は、図 5 の (B) に引き続き、駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【図 7】図 7 は、図 6 の (B) に引き続き、駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【図 8】図 8 は、第 2 スイッチ回路部を 2 本前に走査される走査線からの走査信号により

10

20

30

40

50

制御する場合のタイミングチャートである。

【図 9】図 9 は、発光素子が 2 次元マトリクス状に配列されて成る表示装置において、第 m 行、第 n 列目の発光素子を構成する駆動回路の等価回路図を示す。

【図 10】図 10 の (A) は、走査線 $SC L_{m-1}$ 、走査線 $SC L_m$ 、及び、第 3 / 第 4 トランジスタ制御線 CL_m における信号の模式的なタイミングチャートである。図 10 の (B) は、駆動回路の各トランジスタのオン / オフ状態等を模式的に示す図である。

【図 11】図 11 の (A) 及び (B) は、図 10 の (B) に引き続き、駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【符号の説明】

【0101】

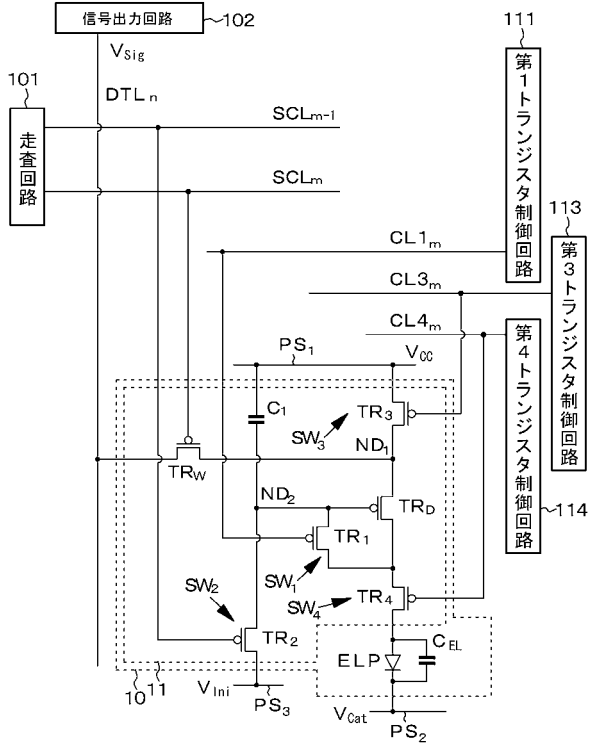
SW_1 ・・・第 1 スイッチ回路部、 SW_2 ・・・第 2 スイッチ回路部、 SW_3 ・・・第 3 スイッチ回路部、 SW_4 ・・・第 4 スイッチ回路部、 TR_W ・・・書込みトランジスタ、 TR_D ・・・駆動トランジスタ、 TR_1 ・・・第 1 トランジスタ、 TR_2 ・・・第 2 トランジスタ、 TR_3 ・・・第 3 トランジスタ、 TR_4 ・・・第 4 トランジスタ、 C_1 ・・・容量部、 ELP ・・・発光部、 C_{EL} ・・・発光部 ELP の容量、 ND_1 ・・・第 1 ノード、 ND_2 ・・・第 2 ノード、 $SC L$ ・・・走査線、 $DT L$ ・・・データ線、 CL ・・・第 3 / 第 4 トランジスタ制御線、 CL_1 ・・・第 1 トランジスタ制御線、 CL_3 ・・・第 3 トランジスタ制御線、 CL_4 ・・・第 4 トランジスタ制御線、 PS_1 ・・・給電線、 PS_2 ・・・給電線、 PS_3 ・・・給電線、10・・・発光素子、11・・・駆動回路、20・・・支持体、21・・・基板、31・・・ゲート電極、32・・・ゲート絶縁層、33・・・半導体層、34・・・チャネル形成領域、35・・・一方のソース / ドレイン領域、36・・・他方のソース / ドレイン領域、37・・・一方の電極、38・・・他方の電極、39・・・配線、40・・・層間絶縁層、51・・・アノード電極、52・・・正孔輸送層、発光層及び電子輸送層、53・・・カソード電極、54・・・第 2 層間絶縁層、55, 56・・・コンタクトホール、101・・・走査回路、102・・・信号出力回路、111・・・第 1 トランジスタ制御回路、113・・・第 3 トランジスタ制御回路、114・・・第 4 トランジスタ制御回路

10

20

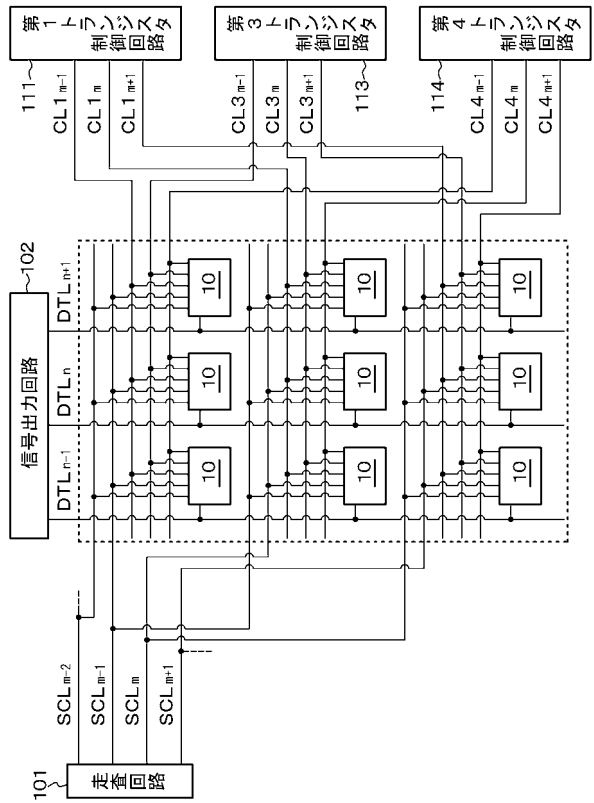
【図 1】

【図 1】 [実施例]



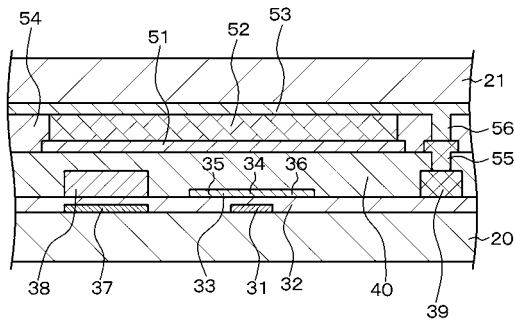
【図 2】

【図 2】 [実施例]



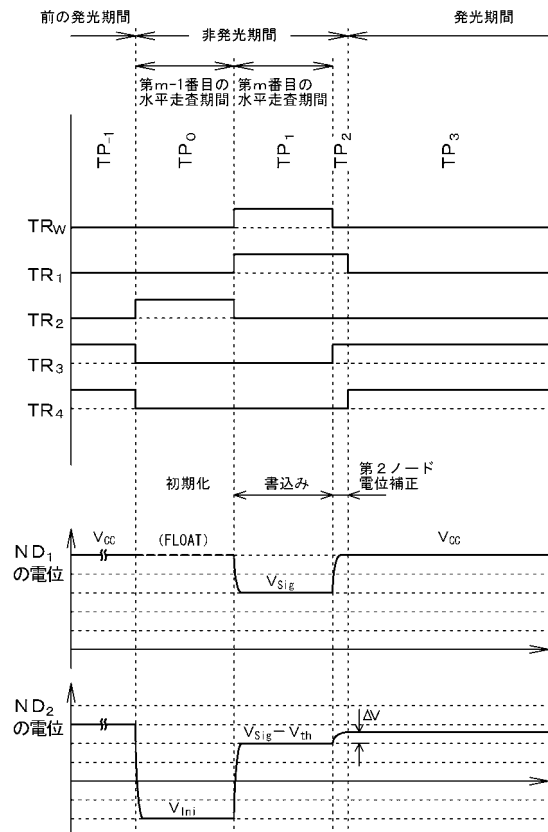
【図 3】

【図 3】



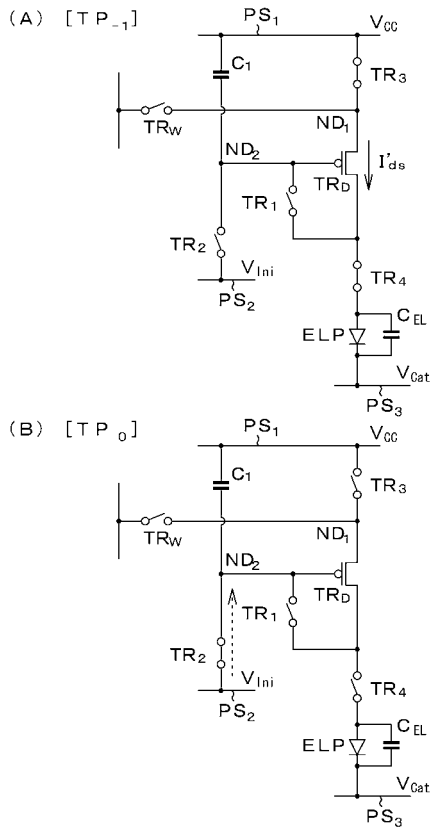
【図 4】

【図 4】 [実施例]



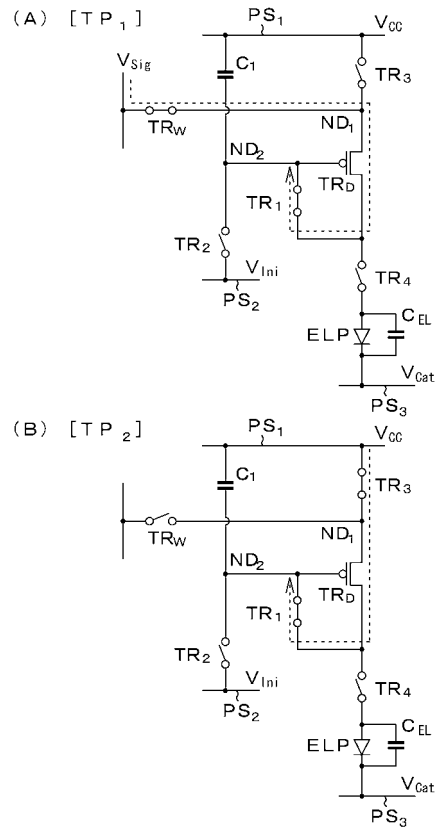
【図5】

【図5】 [実施例]



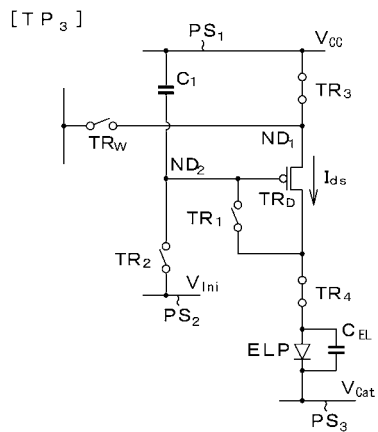
【図6】

【図6】 [実施例]



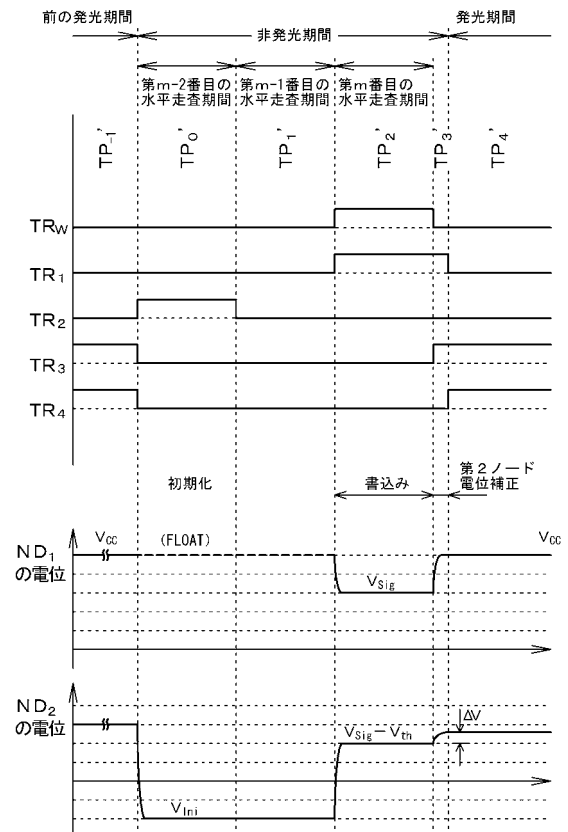
【図7】

【図7】 [実施例]



【図8】

【図8】 [実施例]



フロントページの続き

F ターム(参考) 5C080 AA06 BB05 DD05 DD28 EE28 FF11 HH09 JJ02 JJ03 JJ04
JJ06