

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-59346

(P2009-59346A)

(43) 公開日 平成21年3月19日(2009.3.19)

(51) Int.Cl.
G06F 15/80 (2006.01)

F I
G O 6 F 15/80

テーマコード (参考)

審査請求 未請求 請求項の数 17 O L 外国語出願 (全 14 頁)

(21) 出願番号 特願2008-139702 (P2008-139702)
 (22) 出願日 平成20年5月28日 (2008.5.28)
 (31) 優先権主張番号 11/809, 197
 (32) 優先日 平成19年5月31日 (2007.5.31)
 (33) 優先権主張国 米国 (US)

(71) 出願人 508137268
 ブイエヌエス ポートフォリオ リミテッ
 ド ライアビリティ カンパニー
 アメリカ合衆国 95014 カリフォル
 ニア州 クパチーノ スティーブンス ク
 リーク ブルーバード 20400 スイ
 ート 500
 (74) 代理人 100077481
 弁理士 谷 義一
 (74) 代理人 100088915
 弁理士 阿部 和夫
 (72) 発明者 ロニー シー, ゴフ
 アメリカ合衆国 85281 アリゾナ州
 テンペ サウス ミル アベニュー 1
 433

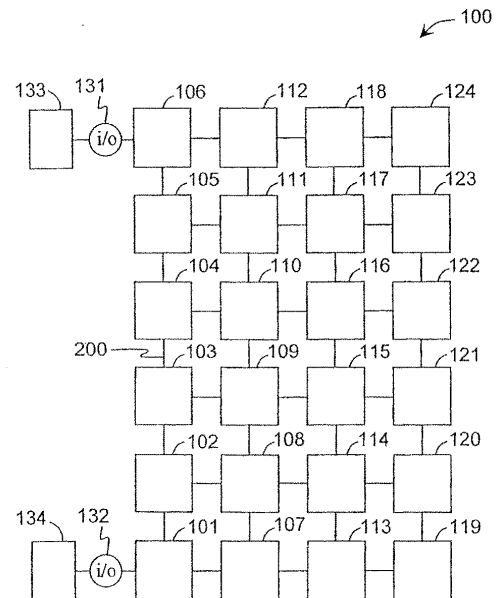
(54) 【発明の名称】 複数のマルチモードプロセッサに接続するための方法および装置

(57) 【要約】

【課題】 複数のマルチモードプロセッサに接続するための方法および装置を提供する。

【解決手段】 各プロセッサが個別のメモリを有するプロセッサ(101-124)のフィールドを含むコンピュータレイ(100)。それらのプロセッサ(101-124)は、リンク(200)を用いてそれらに直接隣接するプロセッサに接続される。いくつかのリンクの配置は、プロセッサ間(101-124)のデータ回線(210)および制御回線(215)の異なる様式を含んで説明される。PCW(Process Command Words)は、回線(215)に沿って転送されて処理のタスクを開始する。RCW(Routing Connection Words)は、回線(215)に沿って転送されて経路指定のタスクを開始する。これにより、レイのハイブリッドプロセッサ(107-118)のモード動作を変更する方法を提供する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数のプロセッサからなるコンピュータアレイであって、
各プロセッサは、2つのみのプロセッサに接続されているリンクによって、少なくとも2つの隣接プロセッサに接続され、

前記複数のプロセッサは、前記リンクの命令を受信すると待機モードとアクティブモードとの間で切り替え可能であることを特徴とするコンピュータアレイ。

【請求項 2】

前記リンクは、少なくとも1つのデータ回線を備えたことを特徴とする請求項 1 に記載のコンピュータアレイ。

【請求項 3】

前記リンクは、少なくとも1つの制御回線を備えたことを特徴とする請求項 2 に記載のコンピュータアレイ。

【請求項 4】

前記データ回線および/または前記制御回線は、一方向性であることを特徴とする請求項 2 または 3 に記載のコンピュータアレイ。

【請求項 5】

前記アレイの端部の複数のプロセッサは、3つの隣接プロセッサに接続している3つのリンクを有し、

前記アレイの各角の前記プロセッサは、前記アレイの端部の前記2つのプロセッサに接続している2つの付随リンクを有し、

4つのプロセッサにつながる4つのリンクによって接続された複数のハイブリッドプロセッサをさらに備え、

前記アレイの端部でも角でもないプロセッサに接続された前記端部のプロセッサの前記リンクは、1つのハイブリッドプロセッサに接続されている、ことを特徴とする請求項 1 ないし 4 のいずれかに記載のコンピュータアレイ。

【請求項 6】

前記アレイの角の少なくとも1つのプロセッサは、メモリ、入力装置、ディスプレイ装置、および処理装置のグループから選択された外部装置に接続するように適用されることを特徴とする請求項 5 に記載のコンピュータアレイ。

【請求項 7】

前記アレイの端部の少なくとも1つのプロセッサは、メモリ、入力装置、ディスプレイ装置、および処理装置のグループから選択された外部装置に接続するように適用されることを特徴とする請求項 5 または 6 に記載のコンピュータアレイ。

【請求項 8】

前記ハイブリッドプロセッサは、前記ハイブリッドプロセッサに接続されたリンクから命令を受信すると、経路指定モード、処理モード、および待機モードの間で切り替わることを特徴とする請求項 5、6、または 7 に記載のコンピュータアレイ。

【請求項 9】

前記命令が経路指定ワードである場合、前記プロセッサは、経路指定モードに切り替わることを特徴とする請求項 8 に記載のコンピュータアレイ。

【請求項 10】

前記命令が処理ワードである場合、前記プロセッサは、処理モードに切り替わることを特徴とする請求項 8 または 9 に記載のコンピュータアレイ。

【請求項 11】

コンピュータアレイで使用するプロセッサであって、

前記プロセッサを2つの直接隣接するプロセッサに接続するために少なくとも2つのリンクに接続するように適用された中央処理装置と、

前記中央処理装置に接続されたメモリ装置とを備え、

前記リンクのどちらかの命令により、前記中央処理装置を待機モードからアクティブモ

10

20

30

40

50

ードにシフトさせることを特徴とするコンピュータアレイで使用するプロセッサ。

【請求項 1 2】

前記中央処理装置は、4つの直接隣接するプロセッサに接続する全部で4つのリンクに対して、前記プロセッサを2つの付加的な直接隣接するプロセッサに接続する少なくとも2つの付加的なリンクに接続するようにさらに適用されることを特徴とする請求項 1 1に記載のコンピュータアレイで使用するプロセッサ。

【請求項 1 3】

前記各リンクは、少なくとも1つのデータ回線および少なくとも1つの制御回線を備えたことを特徴とする請求項 1 2に記載のコンピュータアレイで使用するプロセッサ。

【請求項 1 4】

前記中央処理装置は、3つのモードである電力を節約するための待機モードである第一モードと、経路指定タスクを行うための経路指定モードである第二モードと、処理タスクを行うための処理モードである第三モードを有し、前記リンクのうちの1つからの命令を受信すると、前記処理装置のモードの切り替えが起きることを特徴とする請求項 1 2または1 3に記載のコンピュータアレイで使用するプロセッサ。

【請求項 1 5】

前記中央処理装置は、経路指定接続ワードまたは処理コマンドワードを受信すると、前記待機モードから前記経路指定モードまたは前記処理モードにシフトし、前記経路指定タスクまたは前記処理タスクが終了するまで前記経路指定モードまたは前記処理モードの状態のままであり、その後前記待機モードに戻ることを特徴とする請求項 1 4に記載のコンピュータアレイで使用するプロセッサ。

【請求項 1 6】

マルチプロセッサアレイを動作させる方法であって、
前記アレイの一部のプロセッサを、少なくとも待機モードおよびタスクを実行する別のモードを有するマルチモードプロセッサとして指定するステップと、
コマンドワードを受信すると前記指定されたプロセッサを前記他のモードに切り替えるステップと、
前記コマンドワードを受信するとタスクを行うステップと、
前記タスクが終了すると再び待機モードに切り替わるステップと
を備えたことを特徴とするマルチプロセッサアレイを動作させる方法。

【請求項 1 7】

経路指定ワードまたは処理コマンドワードを受信すると前記指定されたプロセッサを経路指定モードまたは処理モードに切り替えるステップと、
経路指定タスクまたは処理タスクを行うステップと、
前記タスクが終了すると待機モードに戻るステップと
を備えたことを特徴とする請求項 1 6に記載のマルチプロセッサアレイを動作させる方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、コンピュータおよびコンピュータプロセッサの分野に関し、より詳細には、コンピュータを互いに接続するための方法および装置に関する。

【背景技術】

【0 0 0 2】

複数のプロセッサまたはコンピュータを使用して演算を高速化することは、コンピュータの多数の情報処理アプリケーションにおいて効果的である。タスクを分配し、複数の処理とコンピュータ演算を同時に並行して行うことは、多数のシステムと構造を用いてそれらを行う公知の技術である。一例として、ストリックアレイの処理では、大規模の情報ストリームは、列による逐次計算を行い、その結果を次の列に渡すプロセッサの行の中で分配される。他の例は、スーパーコンピュータの分野で見られ、そこでは複数のプロセッ

10

20

30

40

50

サを相互接続することができ、いくつかの異なる方法でそれらに割り当てられたタスク、プロセッサと新しいデータとの間の中間結果の通信、およびそれらの命令は、クロスバースイッチ、ルータ付きまたはルータ無しのバス相互接続のネットワーク、大型コンピュータに使用されるMPICH等のメッセージを受け渡すプロトコルを有するプロセッサ間の直接相互接続を介して提供できる。

【発明の開示】

【発明が解決しようとする課題】

【0003】

半導体技術における継続的な進歩のおかげで、情報量と処理速度が向上した回路を、マイクロチップの領域に設置できる。家庭用および業務用電気製品にある埋め込みシステムとして新しい機能および最適化を提供する単一チップのマイクロプロセッサアレイおよびマイクロコアプロセッサは、非常に高速で計算を行うことにより、大きな経済利益を生む改善例である。従って、複数のプロセッサおよびそれらの相互接続のさらなる改良は、特に単一マイクロチップにおいてきわめて望ましい。

10

【課題を解決するための手段】

【0004】

本発明の一態様では、複数のプロセッサを備えたコンピュータアレイを提供する。各プロセッサは、各リンクが2つのプロセッサのみに接続されているリンクによって、少なくとも2つの隣接プロセッサに接続され、前記複数のプロセッサは、前記リンクの命令を受信すると待機モードとアクティブモードとの間で切り替えが可能である。

20

【0005】

一実施形態では、リンクは、少なくとも1つのデータ回線および好ましくは複数のデータ回線を備える。一実施形態では、そのリンクは、少なくとも1つの制御回線および好ましくは複数の制御回線も備える。それらの制御回線は、一方向性としてすることができる。

【0006】

コンピュータアレイの一実施形態では、前記アレイの端部の複数のプロセッサは、3つの隣接プロセッサに接続している3つのリンクを有し、前記アレイの各角の前記4つのプロセッサは、前記アレイの端部の前記2つのプロセッサに接続している2つの付随リンクを有し、前記アレイの端部でも角でもないプロセッサに接続された前記端部のプロセッサの前記リンクが1つのハイブリッドプロセッサに接続されている、4つのプロセッサにつながる4つリンクによって接続された複数のハイブリッドプロセッサを有する。前記アレイの角の複数のプロセッサは、メモリ、入力装置、ディスプレイ装置、および処理装置のグループから選択された外部装置に接続するように適用できる。前記アレイの端部の複数のプロセッサは、メモリ、入力装置、ディスプレイ装置、および処理装置のグループから選択された外部装置に接続するように適用できる。

30

【0007】

一実施形態では、前記ハイブリッドプロセッサは、それらに接続されたリンクから命令を受信すると経路指定モード、処理モード、および待機モードの間で切り替えができる。その実施形態では、前記各リンクは、データ回線および制御回線を備えることができ、前記命令は、前記データ回線を通るデジタルワードである。前記デジタルワードを経路指定ワードにして、前記プロセッサに経路指定モードに切り替えさせることができる。前記デジタルワードを処理ワードにして、前記プロセッサに処理モードに切り替えさせることができる。

40

【0008】

本発明のもう一つの態様では、前記プロセッサを2つの直接隣接したプロセッサに接続する少なくとも2つのリンクに接続するように適用された中央処理装置と、前記リンクのいずれかの命令により、前記中央処理装置を待機モードからアクティブモードにシフトさせる前記中央処理装置に接続されたメモリ装置を備えたコンピュータアレイで使用するプロセッサを提供する。

【0009】

50

前記中央処理装置を、4つの直接隣接したプロセッサに接続する全部で4つのリンクに対して、前記プロセッサを2つの付加的な直接隣接したプロセッサに接続する少なくとも2つの付加的なリンクに接続するようにさらに適用できる。それらのメモリ装置は、ROMメモリおよびRAMメモリを備えることができる。一実施形態では、前記各リンクは、データ回線および制御回線をさらに備え、前記命令は、前記データ回線上を通るデジタルワードである。それらの制御回線を、一方向性にできる。

【0010】

コンピュータアレイで使用するプロセッサの一実施形態では、前記中央処理装置は、3つのモードである電力を節約するための待機モードである第一モードと、経路指定タスクを行うための経路指定モードである第二モードと、処理タスクを行うための処理モードである第三モードを有し、前記リンクのうちの1つから命令を受信すると前記処理装置のモードの切り替えが起きる。

10

【0011】

前記中央処理装置は、経路指定接続ワードを受信すると待機モードから経路指定モードにシフトし、経路指定タスクが終了するまで経路指定モードの状態のままであり、その後で待機モードに戻る。

【0012】

前記中央処理装置は、処理コマンドワードを受信すると待機モードから処理モードにシフトし、処理のタスクが終了するまで処理モードの状態のままであり、その後で待機モードに戻る。

20

【0013】

本発明のさらなる態様では、前記アレイの一部のプロセッサを、少なくとも待機モードとタスクを実行する別のモードを有するマルチモードプロセッサとして指定するステップと、コマンドワードを受信すると前記指定されたプロセッサが前記他のモードに切り替わるステップと、前記コマンドワードを受信するとタスクを実行するステップと、前記タスクが終了すると再び待機モードに切り替わるステップを備えたマルチプロセッサアレイを操作する方法を提供する。それらの方法は、経路指定ワードまたは処理コマンドワードを受信すると前記指定されたプロセッサが経路指定モードまたは処理モードに切り替わるステップと、前記受信のあとで経路指定タスクまたは処理タスクを実行するステップと、前記経路指定タスクまたは処理タスクが終了すると待機モードに戻るステップをさらに備えることができる。

30

【0014】

本発明のマルチプロセッサアレイおよび方法は、マルチプロセッサアレイが、特にオペレーティングシステムのプログラム命令の実質的な大部分を占めるローカルメモリを有する複数のフォンノイマン型計算機として動作するように適用されている大型のアプリケーションで使用することができる。

【0015】

本発明は、各コンピュータアレイがプロセッサの領域を含み、各プロセッサが別個のメモリを含むいくつかのコンピュータアレイを含むことができる。それらのプロセッサは、リンクを用いて直接隣接するプロセッサに接続される。本発明の実施形態では、異なるタイプのデータ回線および制御回線を含むいくつかのリンクの構成が使用される。PCW(Process Command Words)およびRCW(Routing Connection Words)が、プロセッサ間のこれらのリンクを通して、アレイの中の少なくとも1または複数のプロセッサのモードを変更する方法を提供する。

40

【0016】

これらの方法の利用により、電力消費を最小限にすると同時に演算資源のより効果的な配分を確実にする。これらの方法により、演算資源の効果的な配分と外部メモリ、周辺機器等のアレイの外部からの資源に接続することがさらに可能である。

【0017】

本発明を適用して単一マイクロチップ上で複数のコンピュータの組み合わせを用いて直

50

接実行することができる。ここでの演算効率は、演算スピードを増加させる要望のためだけでなく、結果として大幅に効率が上がる節電と発熱を削減するためにも重要である。

【発明を実施するための最良の形態】

【0018】

図1に、一つのマイクロチップに載せることができる4×6のアレイに配置された24個のプロセッサ101-124を備えるマルチプロセッサアレイ100を示す。プロセッサの他の数および他の配置が、発明の範囲内で選択的に可能であることは、当業者には明らかである。具体例では、各プロセッサは、18ビットのワードサイズ、512ワードのRAMおよび512ワードのROMを含むローカルメモリを有することも可能である。これらのパラメータは、発明に制限を与えるものでなく、演算は、その装置の作動が十分可能なメモリの量で動作できる。具体的な目的のために記載されたこの特殊なプロセッサは、32-命令RISC第4版のコンピュータ言語のみを機械語として用いる。本発明では、適応するプロセッサを用いて2進数形式にコンパイル化されたC言語を含む任意の適応する機械語を用いて実施できることがわかる。図1に示すように、101、102、103-124の各プロセッサは、リンク200を相互接続することによってそれぞれが最も近接するプロセッサに接続される。アレイの中央のプロセッサ108-111および114-117は、4つの相互接続リンク200を有する。

10

【0019】

角のプロセッサ101、106、119、および124は、2つのみの相互接続リンク200を有する。この具体例では、角のプロセッサ101および106は、入力/出力ポート131と132のそれぞれに接続された西側のポートを有する。アレイに接続された外部入力/出力(i/o)接続131および132は、外部装置133および134と通信を行う汎用のためのものである。外部入力および外部出力は、データおよびある命令のためのものである。以下でさらに説明するように、これらの命令およびデータは、アレイのプロセッサによって共有され、一般的にプロセッサの個別の制御によって動作する。101および106以外のアレイのプロセッサは、中間のプロセッサおよびそれらの相互接続リンク200を介して情報を経路指定することにより通信を行う。外部装置133および134ならびにアレイの他のプロセッサ間の情報の配信は、プロセッサ101および106の主要なタスクである。従ってプロセッサ101および106は、サーバプロセッサと見なされる。ポート131および132は、センサ、外部メモリ装置、ディスプレイ装置、入力装置、または典型的にプロセッサに接続される任意の装置から選択できる外部装置133および134に接続できる。このような発明の実施形態では、前記入力/出力接続は、プロセッサ101から外部メモリ装置133までのポート220へつなぐ制御回線、データ回線、およびアドレス回線と、公知の標準に従い実装される。また、当該技術分野で周知のように、プロセッサ106を外部のSPI(serial peripheral interface)装置134に接続するポート132を介したイネーブル回線、クロック回線、データイン回線、およびデータアウト回線によって実施できる。代替の実施形態において、サーバプロセッサと同数で提供される外部入力/出力(i/o)装置および接続が1または2以上あり得ることは、当業者には明らかである。外部装置133、134は、マルチプロセッサアレイとして同じマイクロチップ上に配置でき、それらはメモリ装置とデータ通信のインタフェース装置の任意の組み合わせを選択的に備えることができる。さらなる実施形態では、1以上のマルチプロセッサアレイ、および用途に応じて必要とする任意の付加的な回路は、1つのマイクロチップ上に配置できる。

20

30

40

【0020】

端部の102-105、107、112、113、118、および120-123の各プロセッサは、3つの接続リンク200を有する。マルチプロセッサアレイ100は、主にアレイの周辺にあるこれらのプロセッサを用いて、特に現行のアプリケーションの情報処理要求が低い場合には、プロセッサ102-105および119-124を用いて計算を行うために適用される。プロセッサ102-105および119-124を、クライアントプロセッサと呼ぶこともできる。他の用途では、プロセッサ102-105および1

50

19 - 124 は、適応するポート（図示せず）を用いてアナログ・デジタル変換機、高速フーリエ変換、およびデジタル・アナログ変換を含むアクティブポートとして機能することによって入力/出力プロセッサとしても作動できる。

【0021】

アレイの内側の2つのカラムであるプロセッサ107 - 118は、本明細書ではRモードと呼ばれる、任意の時点でアレイの別のプロセッサへの経路指定情報であるか、本明細書ではPモードと呼ばれる、計算および情報処理タスクを行うか、または本明細書ではIモードと呼ばれる、待機状態であるハイブリッドプロセッサに適用される。Iモードは、演算電力を低減させるデフォルト条件であり、ハイブリッドプロセッサは、演算または他の2つのモードにおける一連の演算の終了後、自動的にIモードに戻る。それは節電機能であり、特にバッテリー電源システムの使用において有効である。情報処理要求が低い状態では、ハイブリッドプロセッサ107 - 118は、一般的にIモードであり、入力および出力動作がクライアントプロセッサ102 - 105および119 - 124によって要求された場合、適宜Rモードに切り替わる。ハイブリッドプロセッサ107 - 118は、相互接続リンクの任意の1つである複数のデータ回線200上でRCW(Routing Connection Word)のアサーションに応じてRモードに切り替わるように適用される。周知の技術を使用して、各クライアントプロセッサおよびサーバプロセッサの往復の経路指定パスは、アレイの作成中または後のアレイの再構成の間のコンパイル時間に、メモリに格納されたファームウェアで、あらかじめ決められている。

10

【0022】

図2に、プロセッサ103と104との間のより詳細なリンク200を示し、各リンク200は、複数の相互接続回線であり、当該技術分野において時々ワンドロップ・バスネットと呼ばれる。この例で、各リンク200は、18本のデータ回線210および2本の制御回線215を複数含み、双方向および非同期的に動作するように適用される。ハイブリッドプロセッサ107 - 118は、それぞれの制御回線215で対応する信号に従属した他のプロセッサを有する相互接続リンクの任意の1つである複数のデータ回線210上でRCW(Routing Connection Word)のアサーションに応じてRモードに切り替わるように適用される。第2の実施形態に従って、複数の200は、同期的および一方向に動作するように適用された36本のデータ回線および4本のデータ回線を備えることができ、それらの回線の半分は一方向であり、もう半分は逆方向である。発明の他の実施形態ではさらに、ワードサイズ、メモリサイズ、コンピュータ言語、および相互接続回線の数を含む様々な共通のプロセッサの特性を使用できる。本明細書の回線は、マルチレイヤマイクロチップと同じおよび異なる階層に配置することができるバイアスと電気的な直列を交互に用いた1または複数の導電性材料片を備えるマイクロチップの表面にある電気的に導電性の線であると考えられる。前記プロセッサおよびリンクを、半導体集積回路以外の技術において、例えば集積光学または、分子および科学の情報処理装置を、当該技術に従って作成された適応する改良を用いて選択的に実施できることが本発明に従ってさらに予想される。

20

30

【0023】

図3に、アレイ100のあらかじめ決められた経路の1セットを、クライアントプロセッサ102 - 105および119 - 124からサーバプロセッサ101および106までの書き込み命令の方向を示した白抜き矢印250および黒矢印252によって示す。読み取り命令の場合、経路指定パスは、最初はコマンドを渡すための所定の方向になり、次にその情報を戻すために逆方向になる。特殊な例として、プロセッサ105による書き込み操作に対する、入力/出力接続220およびサーバ101上のメモリ装置320までの経路指定パスは、情報伝送の間Rモードで動作するハイブリッドプロセッサ111、117、116、115、114、113および107を介して進むようにあらかじめ決められることができ、この経路は、黒矢印252によって示される。

40

【0024】

図4に、各行が、最も左の列で標示または指定されたように、RCWの代表を示すため

50

に用いられた R C W のフォーマットを示す。プロセッサワードのビット位置は、図 4 の行の最上位にあり、ビットで表された R C W の情報フィールドは、2 番目の行に記されている。各ビット位置は、周知の技術として図 2 を参照して上記に説明された第一の実施形態で、特定の双方向および非同期的に動作する複数の 2 1 0 のデータ回線に対応し、第 2 の実施形態で、特定のペアである同期的および一方向に動作する複数の 2 1 0 のデータ回線に対応する。特に最下位の 8 つのビット (ビット位置 0 から 7) は、経路指定される情報の C W (word count) を含む。最上位のビット (ビット 1 7) は、情報伝送の方向を特定する読み取りまたは書き込み指示子 R W であり、例えば外部装置への読み取り動作に対して 1 および書き込み動作に対して 0 である。ビット 1 5 および 1 6 は、S A (server address) を保持し、本実施例ではサーバプロセッサ 1 0 1 または 1 0 6 を識別する 0 0 または 0 1 にできる。ビット 8 から 1 4 は、アプリケーション専用の情報 X を含むことができ、図 4 の 3 番目の行および続く行を参照して以下でより詳細に説明される。R C W を受信するハイブリッドプロセッサ 1 1 1、1 1 7、1 1 6、1 1 5、1 1 4、1 1 3 および 1 0 7 の中の 1 つは、相互接続リンクの 1 つにアサートされたこの R C W を有することにより、R C W のコピーを格納し、S A によって識別されたサーバプロセッサ 1 0 1 および 1 0 6 に対するあらかじめ決められたパスに沿って、それを変更されていない次のプロセッサに渡す。書き込みの場合、経路指定される情報の C W ワードは、直ちに R C W の後に続き、読み取りの場合、R C W がサーバプロセッサ 1 0 1 および 1 0 6 ならびに関連した外部装置 1 3 1 および 1 3 3 に到達した後、情報の C W ワードは、あらかじめ決められた同じパスに沿って反対方向で戻ることができる。ハイブリッドプロセッサ 1 1 1、1 1 7、1 1 6、1 1 5、1 1 4、1 1 3 および 1 0 7 は、C W のよって特定された数のワードが経路指定された後、自動的に I モードに戻るよう適用される。

【 0 0 2 5 】

フィールド X は、図 4 の 3 番目の行に示すような下位フィールドに分割でき、ビット 8 - 1 2 をクライアントプロセッサのアドレス C A に指定し、ビット 1 3 および 1 4 を切り替え命令 A および B に指定して、プライベートブロック (ビット値 1) かまたはメモリ (ビット値 0) の共用領域を特定する。

【 0 0 2 6 】

図 5 は、マイクロプロセッサアレイ 1 0 0 の外部 R A M 装置 1 3 3 の図である。メモリのいくつかの区分を特定できる。R C W のアプリケーション専用の情報フィールド X を使用してアレイのクライアントプロセッサによって共用される外部 R A M 装置 1 3 3 と通信できる。外部 R A M は、各クライアントプロセッサに対して 2 つのプライベートの情報ブロックを有することができ、それらはブロック A、ブロック B と呼ばれ、一般に図中点線の列によって示されるメモリの共用領域 4 2 0 である。ブロック A を読み取り制御のために使用して、情報が読み取られる R A M の一般領域にあるアドレスを特定でき、ブロック B を書き込み制御のために使用して、情報が書き込まれる前記一般領域にあるアドレスを特定できる。特にプライベートブロックは、各クライアントプロセッサの R A M の一般領域への次のアクセスのための開始アドレスを保持し、前記ブロックを、サーバプロセッサによって各アクセスで自動的に増やすことができる。

【 0 0 2 7 】

クライアントプロセッサによって行うことができるいくつかの異なる外部 R A M 動作に対する標示された R C W - 1 から R C W - 6 までの R C W の例は、各特定の R C W に対して図 5 のメモリブロックを参照して図 4 の他の行に示される。上記で説明したように R W ビット 1 7 は、読み取り動作に対して 1 および書き込み動作に対して 0 とする。本目的のために、外部 R A M 装置 1 3 3 に接続するサーバプロセッサ 1 0 1 のアドレス S A は、0 0 とすることができ、クライアントプロセッサは、C A アドレス 0 0 1 0 1 を用いてプロセッサ 1 0 5 とすることができ、発明方法は、特殊な実施形態およびプロセッサを参照して本明細書で説明されるが、説明された R C W の発明の使用が、アドレスおよび経路指定パスに適応する改良を用いて他のプロセッサおよび実施形態にも等しく効果的であることは当業者には明らかである。

10

20

30

40

50

【 0 0 2 8 】

経路指定接続ワード R C W - 1 は、読み取り動作を指定する R W フィールドに 1 を有し、切り替えフィールド A および B の両方に 0、C W フィールド (C W = 7) に 0 0 0 0 0 1 1 1 を有し、クライアントプロセッサ 1 0 5 に対するプライベートの読み取り制御ブロック A の最上位のメモリ配置 5 1 0 で特定される R A M の共用領域にあるアドレスから読み取られる情報の 7 ワードを呼び出す。それらのアドレスは例えば、図中点線の矢印で示されるようにメモリ配置 5 2 0 を特定する。従って R C W - 1 は、クライアントプロセッサ 1 0 5 (に転送されること) によって読み取られる外部 R A M の共用領域にある情報の 7 ワードのブロック 5 2 5 の内容を呼び出す。この動作の後、ブロック A の最上位を配置 5 1 1 に増分させ、R A M の共用領域からのクライアントプロセッサ 1 0 5 による次の読み取り動作は、5 1 1 で特定されたアドレスによって起きる。

10

【 0 0 2 9 】

図 4 の R C W - 2 は、R W フィールドに 1、ブロックの切り替えフィールド A に 1、および C W = 1 を有し、R C W - 2 は R C W - 1 の後に続くとは仮定して、ブロック A の最上位、つまり配置 5 1 1 から読み取られる情報の 1 ワードを呼び出す。これにより、クライアントプロセッサ 1 0 5 に外部 R A M の共用領域から次の読み取りのアドレスを伝えることができる。

【 0 0 3 0 】

次の行の R C W - 3 も R W フィールドに 1、ブロックの切り替えフィールド B に 1、および C W = 6 を有し、配置 6 1 0 から開始するブロック B の最上位から読み取られる情報の 6 ワードのブロック 6 5 5 を呼び出す。これにより、クライアントプロセッサに共用領域に対する次の 6 つの書き込み動作のアドレスを伝えることができる。

20

【 0 0 3 1 】

次の行の R C W - 4 は、R W フィールドに 0、切り替えフィールド A および B の両方に 0、および C W = 4 を有し、書き込まれる (プロセッサ 1 0 5 から転送される) 情報の 4 ワードのブロックの情報を、現行の書き込み制御ブロック B の最上位に位置する配置 6 1 0 で特定されるアドレスから開始する共用のメモリ領域に導く。それらのアドレスは、図 5 に点線の矢印で示すようにメモリ配置 6 2 0 を特定する。従って 6 2 0 から開始する 4 つのメモリ配置のブロック 6 2 5 は、クライアントプロセッサ 1 0 5 からの新しい情報で埋められる。

30

【 0 0 3 2 】

R C W - 5 も R W フィールドに 0、切り替えフィールド A に 1、および C W = 2 5 5 を有し、現行の最上位の配置から開始するプロセッサ 1 0 5 に対する読み取り制御ブロック A に書き込まれる情報の 2 5 5 ワードのブロックを呼び出す。このため、共用領域からの 1 0 5 によって次の 2 5 5 の読み取り動作のアドレスをアップデートするのに効果がある。

【 0 0 3 3 】

R C W - 6 も R W フィールドに 0、切り替えフィールド B に 1、および C W = 2 を有し、例えば R C W - 3 によって読み取られる情報に基づいて、共用領域への次の 2 つの書き込み動作の手順を逆にするために、アップデートされる書き込み制御ブロック B の最上位の 2 つの配置を呼び出す。

40

【 0 0 3 4 】

図 4 の R C W - 7 に、図 1 を参照して以上で説明した外部 S P I (serial peripheral interface) に対するクライアントプロセッサによる外部出力または外部入力について、アプリケーション専用のフィールド X をどのように使用するかを示す。図 4 の R C W - 7 に、R W フィールドに 1、S A フィールドに 0 1、S P I に接続するサーバプロセッサのアドレスに対して C A フィールドのクライアントプロセッサ 1 0 5 のアドレス 0 0 1 0 1、および C W = 1 2 8 を有し、S P I から 1 0 5 までのデータ等の情報の次の 1 2 8 ワードの入力を呼び出す S P I 通信の例を与える。フィールド A および B は使用されない。

【 0 0 3 5 】

50

図6に、全てに0を備えるPCW(Process Command Word)のフォーマットを示す。マルチプロセッサレイから要求された高速処理により、ハイブリッドプロセッサは、クライアントプロセッサの制御のもと、それらに隣接したクライアントプロセッサから計算負荷の一部を受け取るように適用される。ハイブリッドプロセッサ111、117、116、115、114、113および107の各々は、PCW(Process Command Word)のアサーションに応じてPモードに切り替わるように適用される。PCWは、それらに最も近接するクライアントプロセッサを用いて相互接続リンクのデータ回線210上で受信される。PCWは、それぞれの制御回線215の適切な信号を条件に、所与のハイブリッドプロセッサがIモードの間に受信される。PCWが受信されると、それらのハイブリッドプロセッサは、割り当てられた処理タスクが終了するまでPモードの状態のままであり、その後元のIモードに戻る。その処理タスクは、アプリケーション依存型であり、101および106から選択されたクライアントプロセッサならびに隣接するハイブリッドプロセッサの両方で知られ、それぞれのメモリにタスクの命令を有し、任意のコンテンツを有する任意の情報量を、それらのハイブリッドプロセッサがPモードである間、プロセッサ間で交換することができる。

10

20

30

40

50

【0036】

隣接の、及び最も近接する条件を、プロセッサを機能的にできるが必ずしも物理的に隣接していない本発明の代替の実施形態において、物理的配置およびスペースの参照だけでなく機能的にも本明細書で理解されたい。クライアントプロセッサとサーバプロセッサとの間のあらかじめ決められた経路指定の接続パスにおいて、クライアントプロセッサを有するハイブリッドプロセッサとの相互接続リンクは共用されず、特定のクライアントとハイブリッドプロセッサとの組の間でのみ、通信を行うことは図3を参照して明らかである。相互接続リンクは、ハイブリッドおよびクライアントの組の専用とすることができ、ハイブリッドプロセッサに隣接するクライアントプロセッサのみが、PCWをそのハイブリッドプロセッサに出せる。

【0037】

発明の実施形態によって、Pモードは、非専用の、隣接するクライアントプロセッサとの相互接続リンク以外のハイブリッドプロセッサの他の相互接続リンクを介し、RCWがハイブリッドプロセッサの非専用の相互接続リンクでアサートされるたびにPモードに対するRモードに与えられた優先を用いた経路指定動作に対して割り込むように適用することができる。例えば図3を参照して、ハイブリッドプロセッサ115が、隣接するクライアントプロセッサ121の制御のもとにPモードであり、クライアントプロセッサ105からのRCWがプロセッサ116との相互接続リンクに表示される場合、Rモードに切り替えることができ、RCWで特定された経路指定動作の終了後にPモードに戻る。

【0038】

図7は、本発明の方法の図である。ハイブリッドプロセッサ111、117、116、115、114、113および107は、3区分の状態で作動する。それらは待機モード、経路指定モード、および処理モードである。一実施形態では、ハイブリッドプロセッサ107と102のそれぞれに直接接続されたクライアントプロセッサ101と106のみ、処理コマンドワードを出すことによって待機モードから処理モードへの移行が可能になる。しかし任意のポートで表示される経路指定コマンドワードは、待機モードから経路指定モードへの移行をもたらさず、処理モードまたは経路指定モードから待機モードへ戻るための移行は、ハイブリッドプロセッサの厳格な制御下にある。

【0039】

以上で説明された発明の実施形態に従って、RCWとPCWの1ワードを使用した方法により、クライアントプロセッサと外部メモリ装置または直列のインタフェース間、クライアントプロセッサとハイブリッドプロセッサのペア間の通信ができる。代替の実施形態で、2つの連続して組み合わせられた経路指定のコマンドワードおよび処理のコマンドワードを使用した改良方法により、マルチプロセッサレイのすべてのプロセッサ間で互いに外部装置とインタフェースを用いて通信ができ、送受信プロセッサのアドレス、経路指定

のワードカウント、処理のワードカウントを含むためのフォーマットに適應する改良を用いて、RモードとPモードの切り替えができることが当業者によって認識されるだろう。さらに代替の実施形態では、組み合わされた経路指定コマンドおよび処理のコマンドは、18ビットより大きい1ワードを使用できるか、またはその組み合わされたコマンドは、2ワード以上備えることができる。

【0040】

各種改良は、その値または範囲を変えることなく本発明に対して行うことができる。この発明は例えば、本明細書で特定のプロセッサ101-124の例を用いて説明したが、多数のまたはすべての発明の態様は、他のコンピュータ設計、他の種類のコンピュータレイ等に容易に適應できる。

10

【0041】

同様に本発明では、主に1つのダイ上のアレイ100でプロセッサ101-124間の通信に関して本明細書で説明したが、同じ方式および方法または改良を用いて、プロセッサ101-124と外部メモリ131との間、またはアレイ100のプロセッサ101-124と外部装置133との間の通信等の他のデバイス間通信を行うことができる。

【0042】

発明のアレイ100の具体例、プロセッサ101-124、関連装置、および方法を本明細書で説明したが、これらに対するまだ計画されていない用途が数多くあることが予想される。実際、発明の方法および装置を多種多様の用途に適用できることは、本発明の利点の一つである。

20

【0043】

上記の全ては、本発明の利用可能な実施形態の一部にすぎない。発明の精神と範囲から逸脱することなく、多数の他の改良および代替を行うことができることを当業者は容易に推察するだろう。よって本明細書の開示は、限定を意図するものではなく、添付の請求は本発明の全範囲を網羅するものとして解釈される。

【産業上の利用可能性】

【0044】

発明したコンピュータアレイ100、プロセッサ101-124、リンク200、データ回線210、制御回線215、PCW(Process Command Words)、RCW(Routing Connection Words)、およびそれらの方法は、多種多様のコンピュータ用途に幅広く使用されることを目的としている。それらは、かなりの演算能力を必要とし、その上消費電力および熱発生量が重視される用途で特に役立つことが予想される。

30

【0045】

本明細書で上記に説明したように、本発明の適用性は、アレイのコンピュータ間の情報および資源の共用によりスピードと多様性の両方が非常に強化されたことである。コンピュータアレイと他の装置間の通信もまた、説明された方法と手段に従って強化された。コンピュータアレイ100、プロセッサ101-124、リンク200、データ回線210、制御回線215、PCW(Process Command Words)、RCW(Routing Connection Words)、および本発明の方法は、容易に作成でき、従来のタスク、入力/出力装置等と統合でき、本明細書で説明した利点が提供されことで、産業で容易に認められることが予想される。これらと他の理由により、発明の実用性および産業上の利用性はその範囲において重要であり、その期間において長続きすることが予想される。

40

【図面の簡単な説明】

【0046】

【図1】本発明の実施形態にかかる24個のプロセッサアレイ100を示す図である。

【図2】プロセッサ間の相互接続リンク200の第一の実施形態をより詳細に示す図である。

【図3】マルチプロセッサアレイ100の所定の経路指定パスを示す図である。

【図4】RCW(Routing Connection Word)および外部RAM動作を示す図である。

【図5】アレイのプロセッサによって使用されるメモリの一部を図表で示したマルチプロ

50

セッサアレイ 100 に接続された外部メモリ装置 320 の拡大された部分を示す図である。

【図 6】 P C W (Process Command Word) の形式を示す図である。

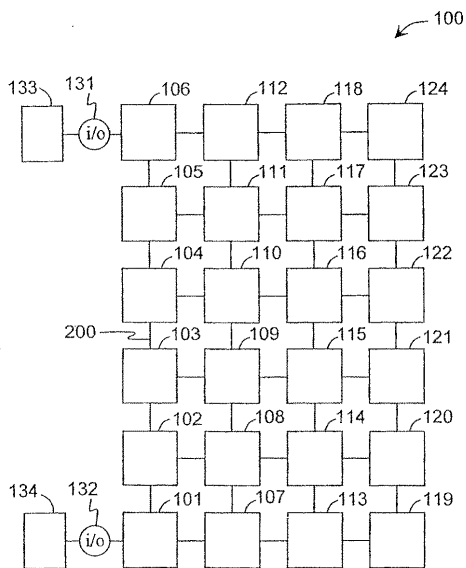
【図 7】 本発明にかかる具体的な方法のチャートである。

【符号の説明】

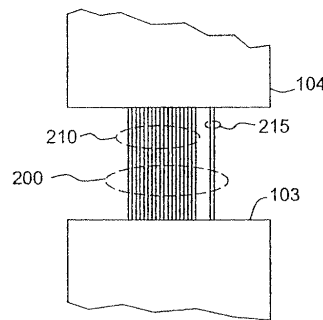
【 0 0 4 7 】

- 1 0 0 マルチプロセッサアレイ
- 1 0 1 - 1 2 4 プロセッサ
- 1 3 1 , 1 3 2 外部入力 / 出力 (i / o) 接続
- 1 3 3 , 1 3 4 外部装置
- 2 0 0 リンク
- 2 1 0 データ回線
- 2 1 5 制御回線

【 図 1 】



【 図 2 】



【外国語明細書】

2009059346000001.pdf