

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4335933号
(P4335933)

(45) 発行日 平成21年9月30日 (2009. 9. 30)

(24) 登録日 平成21年7月3日 (2009. 7. 3)

(51) Int. Cl.

H 0 1 L 21/82 (2006.01)

F I

H 0 1 L 21/82

C

請求項の数 4 (全 14 頁)

(21) 出願番号	特願2007-74005 (P2007-74005)	(73) 特許権者	302062931
(22) 出願日	平成19年3月22日 (2007. 3. 22)		NECエレクトロニクス株式会社
(65) 公開番号	特開2008-235626 (P2008-235626A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成20年10月2日 (2008. 10. 2)	(74) 代理人	100102864
審査請求日	平成20年9月9日 (2008. 9. 9)		弁理士 工藤 実
早期審査対象出願		(72) 発明者	西牟田 恵一
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
			NECエレクトロニクス株式会社内
		審査官	宇多川 勉

最終頁に続く

(54) 【発明の名称】 半導体集積回路及び半導体集積回路の設計プログラム

(57) 【特許請求の範囲】

【請求項 1】

第 1 配線層において第 1 方向に延びるように形成された第 1 配線と、

前記第 1 配線層と異なる第 2 配線層に形成され、第 1 重なり領域において前記第 1 配線とオーバーラップし、前記第 1 重なり領域では前記第 1 方向に延びるように形成され、前記第 1 重なり領域以外では前記第 1 方向と交差する第 2 方向に延びるように形成された第 2 配線と、

前記第 1 配線層において前記第 1 方向に形成された第 3 配線と前記第 2 配線層において前記第 2 方向に形成された第 4 配線とがオーバーラップする第 2 重なり領域に設けられ、前記第 3 配線と前記第 4 配線とを接続するシングルカットピアと、

前記第 1 重なり領域に設けられ、前記第 1 配線と前記第 2 配線とを接続する第 1 ピア及び第 2 ピアを含むマルチカットピアとを備え、

前記第 1 重なり領域は、互いに対向する第 1 端と第 2 端とを有し、前記第 1 端、前記第 1 ピア、前記第 2 ピア、及び前記第 2 端は、この順番で前記第 1 方向に沿って並んでおり、

前記第 1 ピアに対するオーバーハングは、前記第 1 ピアと前記第 1 端との間の前記第 1 方向に沿った間隔であり、

前記第 2 ピアに対するオーバーハングは、前記第 2 ピアと前記第 2 端との間の前記第 1 方向に沿った間隔であり、

10

20

前記シングルカットビアに対するオーバーハングは、前記シングルカットビアと前記第2重なり領域の端部との間の前記第1方向に沿った間隔であり、

前記第1ビア及び前記第2ビアの少なくとも一方に対するオーバーハングは、前記シングルカットビアに対するオーバーハングよりも小さく、

前記第1ビアの中心と前記第2ビアの中心との間の距離は、前記第2配線を構成する辺のうち最も短い辺の長さよりも長いことを特徴とする半導体集積回路。

【請求項2】

前記第2配線の一辺を延長することで定義される直線が、前記第1ビアと前記第2ビアの間を通過することを特徴とする請求項1に記載の半導体集積回路。

【請求項3】

前記第1ビアの中心と前記第2ビアの中心との間の距離が、前記第1配線を構成する辺のうち最も短い辺の長さよりも長いことを特徴とする請求項2に記載の半導体集積回路。

【請求項4】

前記第1ビア及び前記第2ビアのそれぞれに対するオーバーハングが、前記シングルカットビアに対するオーバーハングよりも小さいことを特徴とする請求項1に記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路及びその設計技術に関する。特に、本発明は、マルチカットビアを備える半導体集積回路及びその設計技術に関する。

【背景技術】

【0002】

多層配線層を有する半導体集積回路において、ある配線層と他の配線層とを互いに接続するために、ビアが用いられる。一般的には、電源配線以外の信号配線では、1箇所につき1個のビアが設けられる。そのようなビアは、「シングルカットビア(single-cut via)」と呼ばれている。

【0003】

半導体集積回路の微細化に伴い、配線幅は縮小され、シングルカットビアの面積も小さくなってきている。従って、製造プロセス時に、所望のパターンのシングルカットビアを形成することが困難になってきている。最悪の場合、ビア形成部でオープン不良が発生し、所望のデバイス動作が実現されなくなる。このことは、歩留まりの低下を招く。更に、シングルカットビアの縮小に伴い、信号配線での遅延時間は大きくなり、また、エレクトロマイグレーションによる断線確率も高くなる。これらのことは、デバイスの動作信頼性の低下を招く。

【0004】

このような不具合を抑制するために、1箇所につき複数のビアを設けることが考えられる。そのようなビアは、「マルチカットビア(multi-cut via)」と呼ばれている。特に、1箇所につき2個のビアが設けられる場合、そのようなビアは「ダブルカットビア(double-cut via)」と呼ばれる。配線レイアウト後、シングルカットビアを可能な限りマルチカットビアで置換することにより、デバイスの動作信頼性が向上する(例えば、特許文献1、特許文献2参照)。

【0005】

図1は、従来のシングルカットビアを用いた配線レイアウトの一例を示している。配線は、配線格子T1～T5に沿ってレイアウトされる。例えば図1において、Y方向に延びる第1配線W1が、配線格子T5に沿ってレイアウトされている。また、X方向に延びる第2配線W2が配線格子T2に沿ってレイアウトされている。配線W1とW2は、それぞれ異なる層の配線であり、配線格子T2とT5の交差点ISで互いに接続される。従って、その交差点ISに、シングルカットビアパターンSVが配置される。

【0006】

10

20

30

40

50

シングルカットビアパターン S V は、3つの図形 A 1 ~ A 3 の組み合わせで構成される。図形 A 1 は、第 1 配線 W 1 と同じ層の図形であり、第 1 配線 W 1 の一部となる。一方、図形 A 2 は、第 2 配線 W 2 と同じ層の図形であり、第 2 配線 W 2 の一部となる。図形 A 3 は、ビアを表す図形である。図形 A 3 の中心が交差点 I S 上に位置するように、シングルカットビアパターン S V は配置される。

【 0 0 0 7 】

ビア製造時の“目ずれ”を考慮して、図形 A 1 の両端は、図形 A 3 から幅 O H だけはみ出している。同様に、図形 A 2 の両端も、図形 A 3 から幅 O H だけはみ出している。この幅 O H は、「オーバーハング」あるいは「エクステンション」と呼ばれている。つまり、オーバーハング O H は、製造上の信頼性確保のために、設計制約として与えられる。特に、トランジスタのゲート長が 90 nm 以下のテクノロジーでは、オーバーハング O H の設定が必要とされる。

10

【 0 0 0 8 】

図 2 は、従来のマルチカットビアを用いた配線レイアウトの一例を示している。図 2 では、第 1 配線 W 1 と第 2 配線 W 2 との交差点に、シングルカットビアパターン S V の代わりにマルチカットビアパターン（ダブルカットビアパターン）D V が配置されている。

【 0 0 0 9 】

マルチカットビアパターン D V は、4つの図形 B 1、B 2、B a、B b の組み合わせで構成される。図形 B 1 は、第 1 配線 W 1 と同じ層の図形であり、第 1 配線 W 1 の一部となる。一方、図形 B 2 は、第 2 配線 W 2 と同じ層の図形であり、第 2 配線 W 2 の一部となる。図形 B a、B b は、マルチカットビアを構成する 2つのビアをそれぞれ表している。図形 B a の中心は、配線格子 T 3 と T 5 の交差点 I S a 上に位置し、図形 B b の中心は、配線格子 T 2 と T 5 の交差点 I S b 上に位置する。

20

【 0 0 1 0 】

このマルチカットビアパターン D V に対しても、シングルカットビアパターン S V と同じオーバーハング O H が設計制約として与えられている。すなわち、図形 B 1 の両端は、図形 B a、B b のそれぞれからオーバーハング O H だけはみ出している。同様に、図形 B 2 の両端も、図形 B a、B b のそれぞれからオーバーハング O H だけはみ出している。

【 0 0 1 1 】

【特許文献 1】特開 2 0 0 5 - 3 4 7 6 9 2 号公報

30

【特許文献 2】特開 2 0 0 6 - 1 3 5 1 5 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 2 】

本願発明者は、次の点に着目した。上述の通り、シングルカットビアをマルチカットビアで置換することにより、動作信頼性は向上する。しかしながら、半導体集積回路の高集積化により配線がより混雑してきているため、ビア近傍に配線が近接する割合が増加している。オーバーハング O H が設定される一方で、配線格子の間隔が狭くなってきているため、マルチカットビアへの置換が困難になってきている。例えば図 2 において、配線格子 T 4 に沿って配線が配置されている状態では、マルチカットビアパターン D V を配置することはできない。もしそのような状態でマルチカットビアパターン D V が配置されると、配線格子 T 4 上の配線とマルチカットビアパターン D V との間でデザインルール違反が発生する。従って、マルチカットビアパターン D V ではなく、図 1 で示されたシングルカットビアパターン S V を配置せざるを得ない。結果として、動作信頼性の向上があまり望めなくなる。

40

【課題を解決するための手段】

【 0 0 1 3 】

以下に、[発明を実施するための最良の形態] で使用される番号・符号を用いて、[課題を解決するための手段] を説明する。これらの番号・符号は、[特許請求の範囲] の記載と [発明を実施するための最良の形態] との対応関係を明らかにするために括弧付きで

50

付加されたものである。ただし、それらの番号・符号を、[特許請求の範囲] に記載されている発明の技術的範囲の解釈に用いてはならない。

【 0 0 1 4 】

本発明の第 1 の観点において、半導体集積回路の設計プログラム (2 0 0) が提供される。その設計プログラム (2 0 0) は、(A) 複数のビアパターン (V I A) から 1 つのビアパターンを選択するステップと、(B) 選択された 1 つのビアパターンを配置するステップと、をコンピュータに実行させる。複数のビアパターン (V I A) は、シングルカットビアパターン (S V) と、第 1 ビア (C a) 及び第 2 ビア (C b) を含むマルチカットビアパターン (M V) と、を含む。第 1 ビア (C a) 及び第 2 ビア (C b) の少なくとも一方に対するオーバーハング (O H a / O H b) は、シングルカットビアパターン (S V) に対するオーバーハング (O H) よりも小さい。

10

【 0 0 1 5 】

このように、本発明によれば、マルチカットビアパターン (M V) 中の第 1 ビア (C a) 及び第 2 ビア (C b) のうち少なくとも一方の設計制約が緩和されている。従って、従来技術ではマルチカットビアパターンを配置できなかった部分にも、マルチカットビアパターン (M V) を配置することが可能となる。結果として、動作信頼性が向上する。尚、設計制約の緩和による製造時の信頼性の低下は、マルチカットビアを用いることによる動作信頼性の向上と比較して小さい。

【 0 0 1 6 】

本発明の第 2 の観点において、半導体集積回路 (1) が提供される。その半導体集積回路 (1) は、シングルカットビア (6 0) と、第 1 ビア (3 0 a) 及び第 2 ビア (3 0 b) を含むマルチカットビア (3 0) と、を備える。第 1 ビア (3 0 a) 及び第 2 ビア (3 0 b) の少なくとも一方に対するオーバーハング (O H a / O H b) は、シングルカットビア (6 0) に対するオーバーハング (O H) よりも小さい。

20

【 0 0 1 7 】

本発明の第 3 の観点において、半導体集積回路 (1) が提供される。その半導体集積回路 (1) は、第 1 配線層 (M 1) に形成された第 1 配線 (1 0) と、第 1 配線層 (M 1) と異なる第 2 配線層 (M 2) に形成された第 2 配線 (2 0) と、第 1 配線 (1 0) と第 2 配線 (2 0) とがオーバーラップする重なり領域 (O V L) に形成されたマルチカットビア (3 0) と、を備える。マルチカットビア (3 0) は、重なり領域 (O V L) 中で第 1 配線 (1 0) と第 2 配線 (2 0) とを接続する第 1 ビア (3 0 a) と、重なり領域 (O V L) 中で第 1 配線 (1 0) と第 2 配線 (2 0) とを接続する第 2 ビア (3 0 b) と、を含む。重なり領域 (O V L) は、互いに対向する第 1 端 (E a) と第 2 端 (E b) とを有し、第 1 端 (E a) 、第 1 ビア (3 0 a) 、第 2 ビア (3 0 b) 、及び第 2 端 (E b) は、この順番で所定方向に沿って並んでいる。本発明によれば、第 1 端 (E a) と第 1 ビア (3 0 a) との間隔 (O H a) は、第 2 端 (E b) と第 2 ビア (3 0 b) との間隔 (O H b) と異なる。

30

【 発明の効果 】

【 0 0 1 8 】

本発明によれば、従来技術と比較して、マルチカットビアを配置できる確率が増加する。その結果、半導体集積回路の動作信頼性が向上する。

40

【 発明を実施するための最良の形態 】

【 0 0 1 9 】

1. マルチカットビアパターン

図 3 は、本発明の実施の形態に係るマルチカットビアパターン M V を示している。本実施の形態に係るマルチカットビアパターン M V は、4 つの図形 C 1 、C 2 、C a 、C b の組み合わせで構成される。図形 C 1 は、第 1 配線層の図形であり、第 1 配線層上に形成される第 1 配線の一部となる。一方、図形 C 2 は、第 2 配線層の図形であり、第 2 配線層上に形成される第 2 配線の一部となる。図形 C a 、C b は、第 1 配線層と第 2 配線層とをつなぐマルチカットビアを構成する 2 つのビアをそれぞれ表している。尚、マルチカットビ

50

アは、3以上のビアを有していてもよい。

【0020】

図3において、配線の幅は W_A で示されている。また、ビアの幅は W_B で示されている。一般に、配線幅 W_A はビア幅 W_B より大きく、その配線幅 W_A とビア幅 W_B との差は $2 \times W_C$ で与えられる。更に、ビア製造時の“目ずれ”を考慮して、配線幅方向に直角な方向（配線方向）にも余分が設けられている。具体的には、配線を表す図形C1、C2の一端は、ビアを表す図形Caから幅 OH_a だけはみ出しており、その他端は、ビアを表す図形Cbから幅 OH_b だけはみ出している。すなわち、配線の端部とビアとの間に、余白 OH_a 、 OH_b が設けられている。この配線方向に沿った余白 OH_a 、 OH_b が、「オーバーハング」である。

10

【0021】

図3に示されるように、一方のビア（Ca）に対して「オーバーハング OH_a 」が設計制約として与えられる。また、他方のビア（Cb）に対して「オーバーハング OH_b 」が設計制約として与えられる。本実施の形態によれば、少なくとも一方に対するオーバーハング（ OH_a あるいは OH_b ）が、従来のシングルカットビアSVやマルチカットビアDVに対するオーバーハングOH（図1及び図2参照）よりも小さく設定される。具体的には、本実施の形態に係るマルチカットビアMVに対するオーバーハング OH_a 、 OH_b は、次の関係式を満たす。

【0022】

$$\begin{array}{l} W_C \quad OH_a \quad OH \\ W_C \quad OH_b \quad OH \end{array}$$

20

【0023】

つまり、オーバーハング OH_a は、幅 W_C 以上、従来のオーバーハングOH以下に設定される。同様に、オーバーハング OH_b は、幅 W_C 以上、従来のオーバーハングOH以下に設定される。オーバーハング OH_a と OH_b は、互いに異なってもよいし、同じであってもよい。但し、一方のオーバーハングがOHであれば、他方のオーバーハングはOHではない。すなわち、オーバーハング OH_a と OH_b の少なくとも一方は、従来のオーバーハングOHよりも小さく設定される。言い換えれば、マルチカットビアパターンMV中の少なくとも一方のビアに対する設計制約が緩和されている。

【0024】

従って、本実施の形態によれば、従来技術ではマルチカットビアパターンを配置できなかった部分にも、マルチカットビアパターンMVを配置することが可能となる。結果として、従来技術と比較して、製造される半導体集積回路の動作信頼性が向上する。尚、設計制約の緩和による製造時の信頼性の低下は、マルチカットビアを用いることによる動作信頼性の向上と比較して小さい。

30

【0025】

2. 適用例

以下、図3で示された本実施の形態に係るマルチカットビアパターンMVの様々な適用例を説明する。

【0026】

2-1. 第1の例

図4Aは、マルチカットビアパターンMVを用いた配線レイアウトの一例を示している。Y方向に延びる第1配線層の第1配線W1が、配線格子T5に沿ってレイアウトされている。また、X方向に延びる第2配線層の第2配線W2が、配線格子T2に沿ってレイアウトされている。第1配線W1と第2配線W2との交差点に、マルチカットビアパターンMVが配置されている。一方のビアを表す図形Caの中心は、配線格子T3とT5の交差点ISa上に位置し、他方のビアを表す図形Cbの中心は、配線格子T2とT5の交差点ISb上に位置する。

40

【0027】

本例では、一方のオーバーハング OH_a が、従来のオーバーハングOHよりも小さく設

50

定されている ($OH_a < OH$)。他方のオーバーハング OH_b は、従来のオーバーハング OH と同じに設定されている ($OH_b = OH$)。よって、オーバーハング OH_a がオーバーハング OH_b よりも小さい ($OH_a < OH_b$)。この場合、図 4 A において配線格子 T 4 に沿ってレイアウトされる第 3 配線 W 3 とマルチカットビアパターン M V との間で、デザインルール違反は発生しない。

【 0 0 2 8 】

例えば、シングルカットビアパターン S V を用いて全ての配線のレイアウトが行われた後に、シングルカットビアパターン S V がマルチカットビアパターン M V で置換される場合を考える。図 4 A において、配線格子 T 4 に沿って第 3 配線 W 3 がレイアウトされていた場合、従来技術に係るマルチカットビアパターン D V を適用することはできない。一方、本実施の形態によれば、シングルカットビアパターン S V をマルチカットビアパターン M V で置換することが可能となる。すなわち、マルチカットビアへの置換率が増加する。結果として、製造される半導体集積回路の動作信頼性が向上する。

10

【 0 0 2 9 】

また、最初からマルチカットビアパターン M V を用いながら配線のレイアウトが行われてもよい。この場合でも同様に、マルチカットビアの配置率が増加する。結果として、製造される半導体集積回路の動作信頼性が向上する。また、配線 W 1、W 2 のレイアウト時に第 3 配線 W 3 が未だレイアウトされていない場合を考える。この場合、従来技術では、マルチカットビアパターン D V を配置した後に、新たな第 3 配線 W 3 を配置することはできなかった。つまり、動作信頼性を高くすれば、配線性が悪化することになる。一方、本実施の形態によれば、図 4 A で示されたようにマルチカットビアパターン M V が配置された後でも、新たな第 3 配線 W 3 を配置することが可能である。すなわち、従来技術と比較して、配線性が向上する。言い換えれば、動作信頼性を維持しながら、配線性の悪化を抑えることが可能となる。

20

【 0 0 3 0 】

図 4 B は、図 4 A で示された配線レイアウトに基づいて製造された半導体集積回路 1 の構造を示す平面図である。図 4 B において、第 1 配線層 M 1 に第 1 配線 1 0 が形成されており、第 2 配線層 M 2 に第 2 配線 2 0 が形成されている。第 1 配線 1 0 と第 2 配線 2 0 は、マルチカットビア 3 0 を介して互いに接続されている。より詳細には、第 1 配線 1 0 と第 2 配線 2 0 は「重なり領域 O V L」において互いにオーバーラップしており、その重なり領域 O V L 中にマルチカットビア 3 0 が形成されている。マルチカットビア 3 0 は、第 1 配線 1 0 と第 2 配線 2 0 とを接続する第 1 ビア 3 0 a 及び第 2 ビア 3 0 b を含んでいる。

30

【 0 0 3 1 】

第 1 配線 1 0 の形状は、図 4 A 中の第 1 配線 W 1 のパターンとマルチカットビアパターン M V 中の図形 C 1 との組み合わせである。第 2 配線 2 0 の形状は、図 4 A 中の第 2 配線 W 2 のパターンとマルチカットビアパターン M V 中の図形 C 2 との組み合わせである。よって、図 4 B 中の重なり領域 O V L は、図 4 A 中のマルチカットビアパターン M V の全体形状を反映している。また、図 4 B 中の第 1 ビア 3 0 a 及び第 2 ビア 3 0 b は、マルチカットビアパターン M V 中の図形 C a 及び C b のそれぞれに相当している。従って、製造後の半導体集積回路 1 においても、オーバーハング OH_a 、 OH_b を測定し、比較することが可能である。本例においては、第 1 ビア 3 0 a に対するオーバーハング OH_a は、第 2 ビア 3 0 b に対するオーバーハング OH_b よりも小さい ($OH_a < OH_b$)。

40

【 0 0 3 2 】

オーバーハング OH_a 、 OH_b は、次のように定義することもできる。図 4 B に示されるように、重なり領域 O V L の対向する端部を E a 及び E b とする。この重なり領域 O V L の対向する端部 E a、E b は、重なり領域 O V L での配線幅方向 (X 方向) に直角な方向 (Y 方向) に位置する端部である。端部 E a、第 1 ビア 3 0 a、第 2 ビア 3 0 b、及び端部 E b は、この順番で Y 方向に沿って並んでいる。端部 E a と第 1 ビア 3 0 a との間隔がオーバーハング OH_a であり、端部 E b と第 2 ビア 3 0 b との間隔がオーバーハング O

50

H bである。

【0033】

半導体集積回路1がシングルカットビアを有している場合、そのシングルカットビアに対するオーバーハングOHを測定することも可能である。例えば図4Bにおいて、第1配線層M1に配線40が形成されており、第2配線層M2に配線50が形成されている。配線50は、図4A中の第3配線W3に相当している。これら配線40と配線50は、シングルカットビア60を介して互いに接続されている。このシングルカットビア60に対するオーバーハングがOHである。本例では、第1ビア30aに対するオーバーハングOH_aが、シングルカットビア60に対するオーバーハングOHよりも小さい(OH_a < OH)。また、第2ビア30bに対するオーバーハングOH_bは、シングルカットビア60に対するオーバーハングOHとほぼ等しい(OH_b = OH)。

10

【0034】

2-2. 第2の例

図5Aは、マルチカットビアパターンMVを用いた配線レイアウトの他の例を示している。図5Bは、図5Aで示された配線レイアウトに基づいて製造された半導体集積回路1の構造を示す平面図である。上述の第1の例と同じ構成には同じ符号が付され、重複する説明は適宜省略される。

【0035】

図5Aに示されるように、本例では、一方のオーバーハングOH_aが、従来のオーバーハングOHと同じに設定されている(OH_a = OH)。他方のオーバーハングOH_bは、従来のオーバーハングOHより小さく設定されている(OH_b < OH)。よって、オーバーハングOH_bがオーバーハングOH_aよりも小さい(OH_b < OH_a)。この場合、配線格子T1に沿って第3配線W3がレイアウトされていても、マルチカットビアパターンMVを配置することができる。あるいは、マルチカットビアパターンMVを配置した後に、配線格子T1に沿って第3配線W3をレイアウトすることができる。従って、従来技術と比較して、動作信頼性や配線性が向上する。

20

【0036】

図5Bに示されるように、本例では、第1ビア30aに対するオーバーハングOH_aは、シングルカットビア60に対するオーバーハングOHとほぼ等しい(OH_a = OH)。第2ビア30bに対するオーバーハングOH_bが、シングルカットビア60に対するオーバーハングOHよりも小さい(OH_b < OH)。従って、第2ビア30bに対するオーバーハングOH_bは、第1ビア30aに対するオーバーハングOH_aよりも小さい(OH_b < OH_a)。

30

【0037】

2-3. 第3の例

図6Aは、マルチカットビアパターンMVを用いた配線レイアウトの更に他の例を示している。図6Bは、図6Aで示された配線レイアウトに基づいて製造された半導体集積回路1の構造を示す平面図である。既出の例と同じ構成には同じ符号が付され、重複する説明は適宜省略される。

【0038】

本例は、上述の第1の例と第2の例との組み合わせである。つまり、両方のオーバーハングOH_a、OH_bが、従来のオーバーハングOHより小さく設定されている(OH_a < OH、OH_b < OH)。結果として、マルチカットビアパターンMVの配置率は最も高くなる。従って、本例に係るマルチカットビアパターンMVを用いることによって、動作信頼性や配線性が著しく向上する。一方、ある程度の製造信頼性を確保する必要がある場合には、第1の例や第2の例で示されたマルチカットビアパターンMVを用いることが好適である。

40

【0039】

2-4. 第4の例

図7Aは、マルチカットビアパターンMVを用いた配線レイアウトの更に他の例を示し

50

ている。図 7 B は、図 7 A で示された配線レイアウトに基づいて製造された半導体集積回路 1 の構造を示す平面図である。既出の例と同じ構成には同じ符号が付され、重複する説明は適宜省略される。

【 0 0 4 0 】

第 1 の例と比較して、本例では、ビアの位置が異なっている。具体的には、一方のビアを表す図形 C a の中心は、配線格子 T 2 と T 5 の交差点 I S a 上に位置し、他方のビアを表す図形 C b の中心は、配線格子 T 1 と T 5 の交差点 I S b 上に位置する。この場合は、配線格子 T 3 に沿ってレイアウトされる第 3 配線 W 3 とマルチカットビアパターン M V との間で、デザインルール違反が発生しない。その他は第 1 の例と同様である。また、第 2 の例と第 3 の例に関しても、同様のレイアウトが考えられる。

10

【 0 0 4 1 】

3 . 設計システム

本実施の形態に係るレイアウト設計は、コンピュータを利用して行われる。図 8 は、本実施の形態に係る L S I 設計システム 1 0 0 の一例を示すブロック図である。L S I 設計システム 1 0 0 は、プロセッサ 1 1 0、記憶装置 1 2 0、入力装置 1 3 0、及び出力装置 1 4 0 を備えている。プロセッサ 1 1 0 は、データ処理を行う。記憶装置 1 2 0 としては、H D D や R A M が例示される。入力装置 1 3 0 としては、キーボードやマウスが例示される。出力装置 1 4 0 としては、ディスプレイやプリンタが例示される。

【 0 0 4 2 】

記憶装置 1 2 0 には、ネットリスト N E T、レイアウトデータ L A Y、及びビアパターンデータ V I A が格納される。ネットリスト N E T は、レイアウト設計対象の L S I 中の素子間の接続関係を示すデータである。レイアウトデータ L A Y は、レイアウト設計処理の結果得られる L S I のレイアウトを示すデータである。ビアパターンデータ V I A は、レイアウト設計処理時に参照されるデータである。

20

【 0 0 4 3 】

図 9 は、ビアパターンデータ V I A の一例を示している。このビアパターンデータ V I A は、複数のビアパターンを示している。例えば、複数のビアパターンとして、シングルカットビアパターン S V (図 1 参照)、従来のマルチカットビアパターン D V (図 2 参照)、及び本実施の形態に係るマルチカットビアパターン M V 1 ~ M V n (図 3 参照) が含まれている。本実施の形態に係るマルチカットビアパターン M V 1 ~ M V n は、少なくとも 1 つ用意される (n は 1 以上)。複数のマルチカットビアパターン M V 1 ~ M V n が用意される場合、それぞれに対するオーバーハング O H a、O H b は様々な値に設定される。

30

【 0 0 4 4 】

再度図 8 を参照して、記憶装置 1 2 0 には更に、レイアウトツール 2 0 0 が格納されている。このレイアウトツール 2 0 0 は、プロセッサ 1 1 0 によって実行されるコンピュータプログラムである。レイアウトツール 2 0 0 の命令に従って、プロセッサ 1 1 0 は、本実施の形態に係るレイアウト設計処理を行う。具体的には、プロセッサ 1 1 0 は、記憶装置 1 2 0 からネットリスト N E T 及びビアパターンデータ V I A を読み出し、それらデータを参照しながら配線処理及びビア配置処理を行う。結果として、レイアウトデータ L A Y が作成される。

40

【 0 0 4 5 】

図 1 0 は、本実施の形態に係る配線処理及びビア配置処理の一例を示すフローチャートである。まず、第 1 配線層の第 1 配線 W 1 のルーティング (レイアウト) が行われる (ステップ S 1 0)。次に、第 2 配線層の第 2 配線 W 2 のルーティングが行われる (ステップ S 2 0)。次に、第 1 配線 W 1 と第 2 配線 W 2 の交差点に配置されるビアパターンが選択される (ステップ S 3 0)。この時、そのビアパターンは、周囲の配線状況に応じて、ビアパターンデータ V I A が示す複数のビアパターンの中から選択される。

【 0 0 4 6 】

まず、ビアパターンデータ V I A から最もオーバーハングの大きいマルチカットビアパ

50

ターンが選択される（ステップS31）。図9で示された例では、従来のマルチカットビアパターンDVが選択される。次に、選択されたマルチカットビアパターンがデザインルールに適合するか否かが検証される。つまり、周囲の配線状況を考慮して、選択されたマルチカットビアパターンが配置可能か否かが検証される（ステップS32）。配置可能の場合（ステップS32；Yes）、選択中のマルチカットビアパターンが採用される。

【0047】

配置不可能の場合（ステップS32；No）、他のマルチカットビアパターンが選択される（ステップS33；No）。この時、次にオーバーハングの大きいマルチカットビアパターンMVが選択される（ステップS34）。その後、再度ステップS32が実行される。全てのマルチカットビアパターンが配置不可能の場合（ステップS33；Yes）、シングルカットビアパターンSVが選択される（ステップS35）。 10

【0048】

その後、ステップS30で選択された1つのビアパターンが配置される（ステップS40）。このような処理の繰り返しにより、本実施の形態に係るレイアウト設計が実現される。

【図面の簡単な説明】

【0049】

【図1】図1は、従来のシングルカットビアを用いた配線レイアウトの一例を示す平面図である。

【図2】図2は、従来のマルチカットビアを用いた配線レイアウトの一例を示す平面図である。 20

【図3】図3は、本発明に係るマルチカットビアパターンを示す概念図である。

【図4A】図4Aは、本発明に係るマルチカットビアを用いた配線レイアウトの一例を示す平面図である。

【図4B】図4Bは、図4Aで示された配線レイアウトに基づいて製造された半導体集積回路の構造を示す平面図である。

【図5A】図5Aは、本発明に係るマルチカットビアを用いた配線レイアウトの他の例を示す平面図である。

【図5B】図5Bは、図5Aで示された配線レイアウトに基づいて製造された半導体集積回路の構造を示す平面図である。 30

【図6A】図6Aは、本発明に係るマルチカットビアを用いた配線レイアウトの更に他の例を示す平面図である。

【図6B】図6Bは、図6Aで示された配線レイアウトに基づいて製造された半導体集積回路の構造を示す平面図である。

【図7A】図7Aは、本発明に係るマルチカットビアを用いた配線レイアウトの更に他の例を示す平面図である。

【図7B】図7Bは、図7Aで示された配線レイアウトに基づいて製造された半導体集積回路の構造を示す平面図である。

【図8】図8は、本発明に係るLSI設計システムの一例を示すブロック図である。

【図9】図9は、ビアパターンデータの一例を示す概念図である。 40

【図10】図10は、本発明に係るレイアウト設計処理を示すフローチャートである。

【符号の説明】

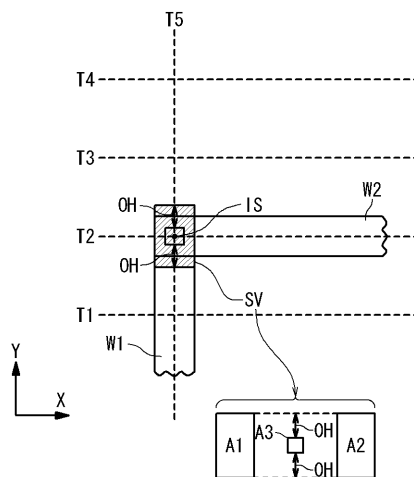
【0050】

- 1 半導体集積回路
- 10 第1配線
- 20 第2配線
- 30 マルチカットビア
- 30a 第1ビア
- 30b 第2ビア
- 40 配線

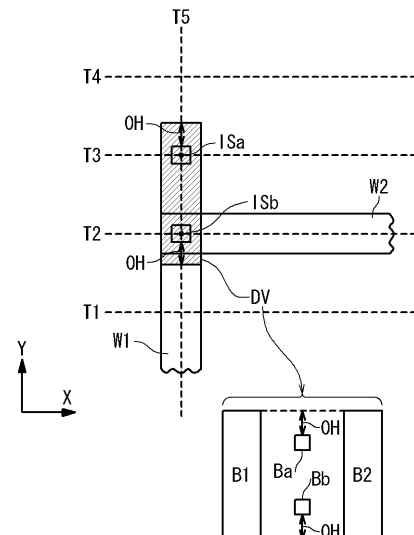
5 0	配線
6 0	シングルカットビア
1 0 0	L S I 設計システム
1 1 0	プロセッサ
1 2 0	記憶装置
1 3 0	入力装置
1 4 0	出力装置
2 0 0	レイアウトツール
S V	シングルカットビアパターン
D V	従来のマルチカットビアパターン
M V	本発明に係るマルチカットビアパターン
O H , O H a , O H b	オーバーハング (エクステンション)
O V L	重なり領域
N E T	ネットリスト
V I A	ビアパターンデータ
L A Y	レイアウトデータ

10

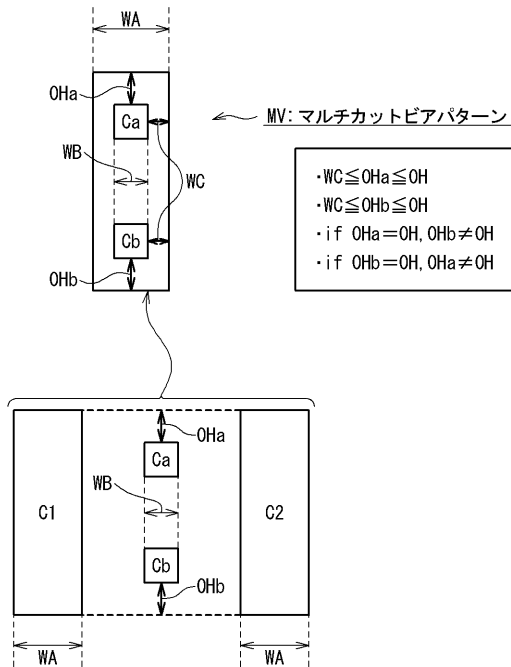
【図 1】



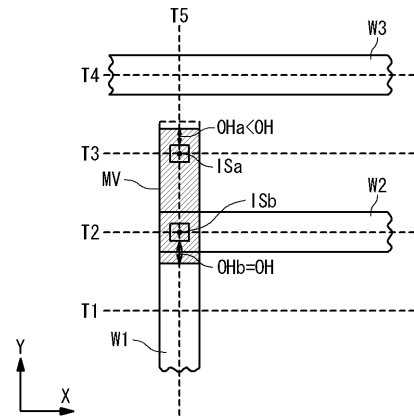
【図 2】



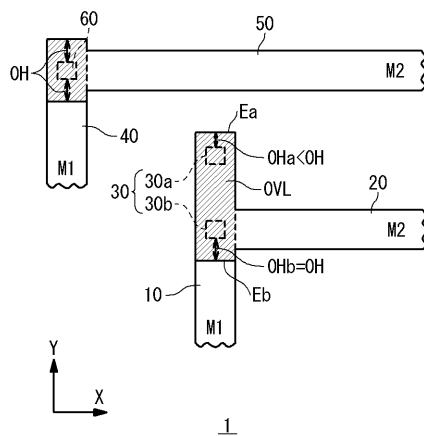
【図 3】



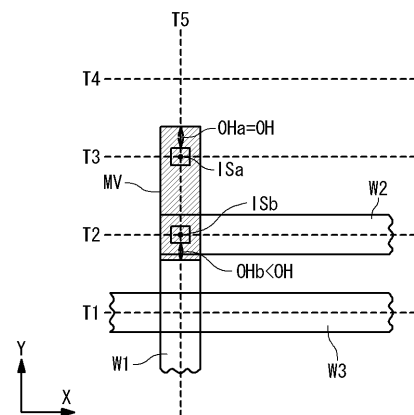
【図 4 A】



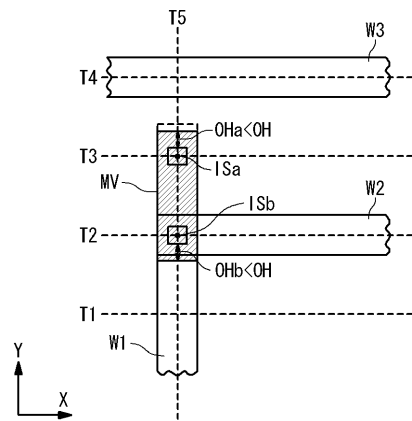
【図 4 B】



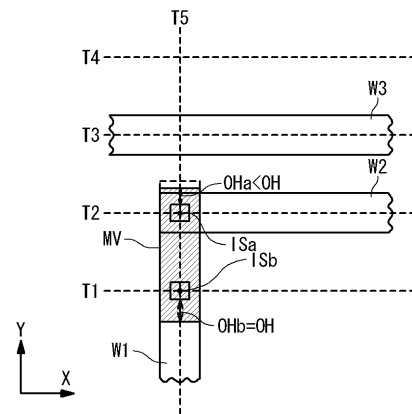
【図 5 A】



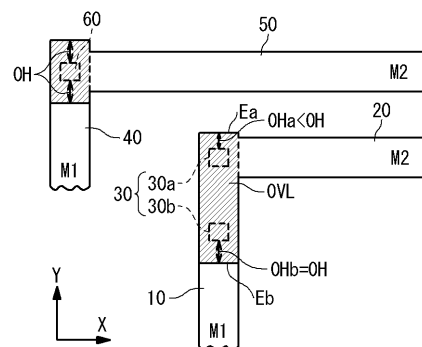
【 図 6 A 】



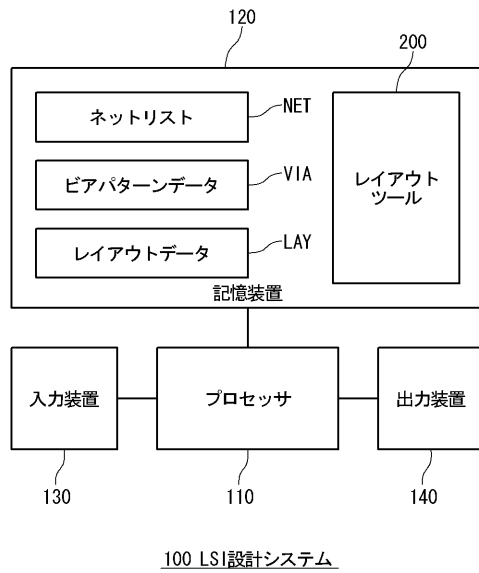
【 図 7 A 】



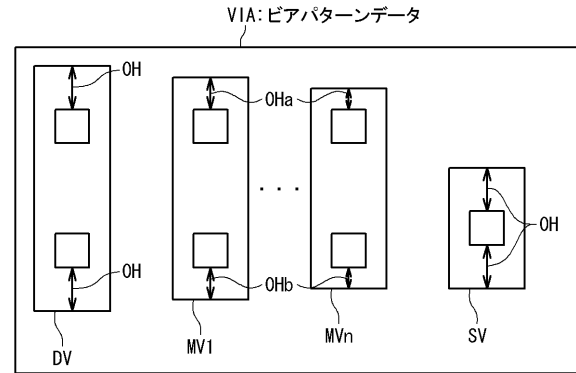
【圖 7 B】



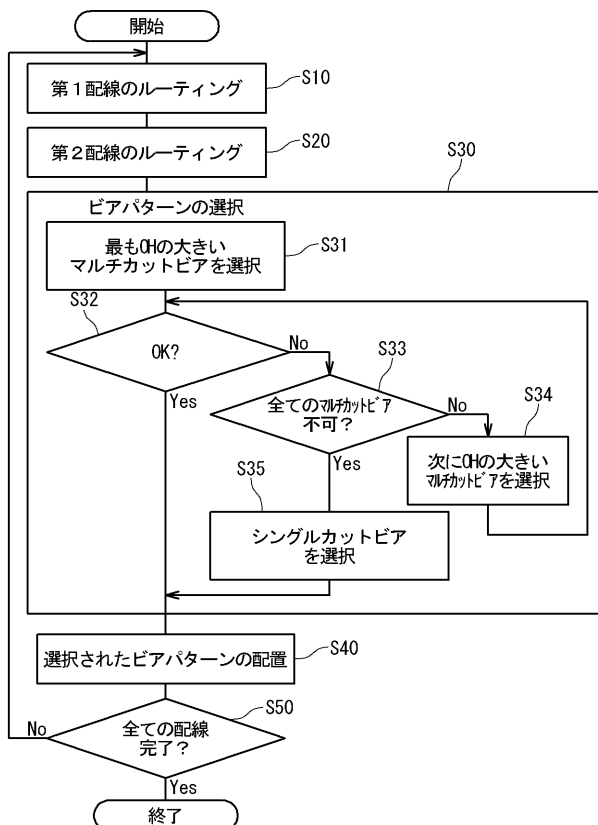
【図 8】



【図 9】



【図 10】



フロントページの続き

(56)参考文献 特開2005-183907(JP,A)
特開2006-228987(JP,A)
特開平08-204016(JP,A)
特開平10-041393(JP,A)
特開2000-148821(JP,A)
特開2006-228970(JP,A)
特開2004-055919(JP,A)
特開2006-253409(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/82
H01L 21/768