

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5046452号
(P5046452)

(45) 発行日 平成24年10月10日 (2012.10.10)

(24) 登録日 平成24年7月27日 (2012.7.27)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 6 A

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 7 K

H O 1 L 29/78 6 1 7 L

H O 1 L 29/78 6 1 2 B

請求項の数 9 (全 38 頁)

(21) 出願番号 特願2001-291795 (P2001-291795)
 (22) 出願日 平成13年9月25日 (2001.9.25)
 (65) 公開番号 特開2002-203862 (P2002-203862A)
 (43) 公開日 平成14年7月19日 (2002.7.19)
 審査請求日 平成20年9月1日 (2008.9.1)
 (31) 優先権主張番号 特願2000-327879 (P2000-327879)
 (32) 優先日 平成12年10月26日 (2000.10.26)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 藤本 悦子
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 村上 智史
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 角田 朗
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 綿引 隆

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

同一の絶縁表面上に、nチャネル型の画素TF Tが設けられた画素部、及びnチャネル型TF Tが設けられた駆動回路部を備えた半導体装置の作製方法であって、

前記画素部の絶縁表面上に第1の半導体層と、前記駆動回路部の絶縁表面上に第2の半導体層とを形成し、

前記第1及び前記第2の半導体層上に絶縁膜を形成し、

前記絶縁膜上に、テーパ部を有する第1形状の第1のゲート電極を前記第1の半導体層と重なるように、且つ、テーパ部を有する第1形状の第2のゲート電極を前記第2の半導体層と重なるように形成し、

前記第1及び第2のゲート電極の前記テーパ部及び前記絶縁膜を通過させて前記第1及び前記第2の半導体層にn型を付与する不純物元素を添加することによって、チャネル形成領域と、前記チャネル形成領域の端部から前記テーパ部の端部に向かって不純物濃度が増加する不純物領域を形成し、

前記第1形状の第1のゲート電極のうち、前記テーパ部のみを選択的に除去して前記チャネル形成領域と重なる第2形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項2】

同一の絶縁表面上に、nチャネル型の画素TF Tが設けられた画素部、及びnチャネル型TF T及びpチャネル型TF Tが設けられた駆動回路部を備えた半導体装置の作製方法

であって、

前記画素部の絶縁表面上に第 1 の半導体層と、前記駆動回路部の絶縁表面上に第 2 及び第 3 の半導体層とを形成し、

前記第 1 乃至前記第 3 の半導体層上に絶縁膜を形成し、

前記絶縁膜上に、テーパ部を有する第 1 形状の第 1 のゲート電極を前記第 1 の半導体層と重なるように、且つ、テーパ部を有する第 1 形状の第 2 のゲート電極を前記第 2 の半導体層と重なるように、且つ、テーパ部を有する第 1 形状の第 3 のゲート電極を前記第 3 の半導体層と重なるように形成し、

前記第 1 乃至第 3 のゲート電極の前記テーパ部及び前記絶縁膜を通過させて前記第 1 乃至前記第 3 の半導体層に n 型を付与する不純物元素を添加することによって、第 1 乃至第 3 のチャンネル形成領域と、前記第 1 乃至第 3 のチャンネル形成領域の端部から前記第 1 乃至第 3 のゲート電極の前記テーパ部の端部に向かって n 型を付与する不純物濃度が増加する不純物領域を形成し、

10

前記第 3 のゲート電極の前記テーパ部及び前記絶縁膜を通過させて前記第 3 の半導体層に p 型を付与する不純物元素を添加することによって、前記第 3 のチャンネル形成領域と、前記第 3 のチャンネル形成領域の端部から前記第 3 のゲート電極の前記テーパ部の端部に向かって p 型を付与する不純物濃度が増加する不純物領域を形成し、

前記第 1 形状の第 1 のゲート電極のうち、前記テーパ部のみを選択的に除去して前記チャンネル形成領域と重なる第 2 形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

20

【請求項 3】

請求項 1 または請求項 2 において、

前記第 1 形状の第 1 及び第 2 のゲート電極は、第 1 の導電層を下層とし、第 2 の導電層を上層とする積層構造を有し、

前記テーパ部は、前記第 1 の導電層に設けられていることを特徴とする半導体装置の作製方法。

【請求項 4】

画素部を備えた半導体装置の作製方法であって、

前記画素部の絶縁表面上に半導体層を形成し、

前記半導体層上に絶縁膜を形成し、

30

前記絶縁膜上に、第 1 形状のゲート電極を前記半導体層と重なるように形成し、

前記第 1 形状のゲート電極をマスクとして、前記半導体層に n 型を付与する不純物元素を添加し、

前記第 1 形状のゲート電極をエッチングして、テーパ部を有する第 2 形状のゲート電極に形成し、

前記テーパ部及び前記絶縁膜を通過させて前記半導体層に n 型を付与する不純物元素を添加することによって、チャンネル形成領域と、前記チャンネル形成領域の端部から前記テーパ部の端部に向かって不純物濃度が増加する不純物領域を形成し、

前記第 2 形状のゲート電極のうち、前記テーパ部のみを選択的に除去して前記チャンネル形成領域と重なる第 3 形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

40

【請求項 5】

請求項 4 において、

前記第 1 形状のゲート電極は、第 1 の導電層を下層とし、第 2 の導電層を上層とする積層構造を有し、

前記テーパ部は、前記第 1 の導電層に設けられていることを特徴とする半導体装置の作製方法。

【請求項 6】

同一の絶縁表面上に、n チャンネル型の画素 T F T が設けられた画素部、及び n チャンネル型 T F T が設けられた駆動回路部を備えた半導体装置の作製方法であって、

50

前記画素部の絶縁表面上に第1の半導体層と、前記駆動回路部の絶縁表面上に第2の半導体層とを形成し、

前記第1及び前記第2の半導体層上に絶縁膜を形成し、

前記絶縁膜上に、第1形状の第1のゲート電極を前記第1の半導体層と重なるように、且つ、第1形状の第2のゲート電極を前記第2の半導体層と重なるように形成し、

前記第1形状の第1及び第2のゲート電極をマスクとして、前記第1及び第2の半導体層にn型を付与する不純物元素を添加し、

前記第1形状の第1及び第2のゲート電極をエッチングして、テーパ部を有する第2形状の第1及び第2のゲート電極に形成し、

前記第1及び第2のゲート電極の前記テーパ部及び前記絶縁膜を通過させて前記第1及び前記第2の半導体層にn型を付与する不純物元素を添加することによって、チャンネル形成領域と、前記チャンネル形成領域の端部から前記テーパ部の端部に向かって不純物濃度が増加する不純物領域を形成し、

前記第2形状の第1のゲート電極のうち、前記テーパ部のみを選択的に除去して前記チャンネル形成領域と重なる第3形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項7】

同一の絶縁表面上に、nチャンネル型の画素TFETが設けられた画素部、及びnチャンネル型TFET及びpチャンネル型TFETが設けられた駆動回路部を備えた半導体装置の作製方法であって、

前記画素部の絶縁表面上に第1の半導体層と、前記駆動回路部の絶縁表面上に第2及び第3の半導体層とを形成し、

前記第1乃至前記第3の半導体層上に絶縁膜を形成し、

前記絶縁膜上に、第1形状の第1のゲート電極を前記第1の半導体層と重なるように、且つ、第1形状の第2のゲート電極を前記第2の半導体層と重なるように、且つ、第1形状の第3のゲート電極を前記第3の半導体層と重なるように形成し、

前記第1形状の第1乃至第3のゲート電極をマスクとして、前記第1乃至第3の半導体層にn型を付与する不純物元素を添加し、

前記第1形状の第1乃至第3のゲート電極をエッチングして、テーパ部を有する第2形状の第1乃至第3のゲート電極に形成し、

前記第1乃至第3のゲート電極の前記テーパ部及び前記絶縁膜を通過させて前記第1乃至前記第3の半導体層にn型を付与する不純物元素を添加することによって、第1乃至第3のチャンネル形成領域と、前記第1乃至第3のチャンネル形成領域の端部から前記第1乃至第3のゲート電極の前記テーパ部の端部に向かってn型を付与する不純物濃度が増加する不純物領域を形成し、

前記第3のゲート電極の前記テーパ部及び前記絶縁膜を通過させて前記第3の半導体層にp型を付与する不純物元素を添加することによって、前記第3のチャンネル形成領域と、前記第3のチャンネル形成領域の端部から前記第3のゲート電極の前記テーパ部の端部に向かってp型を付与する不純物濃度が増加する不純物領域を形成し、

前記第2形状の第1のゲート電極のうち、前記テーパ部のみを選択的に除去して前記チャンネル形成領域と重なる第3形状のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項8】

請求項6または請求項7において、

前記第1形状の第1及び第2のゲート電極は、第1の導電層を下層とし、第2の導電層を上層とする積層構造を有し、

前記テーパ部は、前記第1の導電層に設けられていることを特徴とする半導体装置の作製方法。

【請求項9】

同一の絶縁表面上に、nチャンネル型の画素TFETが設けられた画素部、及びnチャンネル

10

20

30

40

50

型 T F T が設けられた駆動回路部を備えた半導体装置の作製方法であって、

前記画素部の絶縁表面上に第 1 の半導体層と、前記駆動回路部の絶縁表面上に第 2 の半導体層とを形成し、

前記第 1 及び前記第 2 の半導体層上に絶縁膜を形成し、

前記絶縁膜上に、第 1 の導電層を下層とし、第 2 の導電層を上層とする積層構造を有し、前記第 1 の導電層にテーパ部を有する第 1 形状の第 1 のゲート電極を前記第 1 の半導体層と重なるように、且つ、第 3 の導電層を下層とし、第 4 の導電層を上層とする積層構造を有し、前記第 3 の導電層にテーパ部を有する第 1 形状の第 2 のゲート電極を前記第 2 の半導体層と重なるように形成し、

前記第 1 及び第 2 のゲート電極の前記テーパ部及び前記絶縁膜を通過させて前記第 1 及び前記第 2 の半導体層に n 型を付与する不純物元素を添加することによって、前記テーパ部の端部からチャンネル形成領域に向かって不純物濃度が減少する不純物領域を形成し、

10

前記第 1 形状の第 1 のゲート電極のうち、前記テーパ部を除去し、且つ前記第 1 の導電層及び前記第 2 の導電層をスリミングし、前記チャンネル形成領域と重なる第 2 形状の第 1 のゲート電極を形成することで、前記チャンネル形成領域と前記不純物領域との間にオフセット領域を形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は薄膜トランジスタ（以下、T F T という）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶モジュールや E L モジュールを部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 n m 程度）を用いて薄膜トランジスタ（T F T）を構成し、この T F T で形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型の液晶モジュール、E L モジュール、および密着型イメージセンサはその代表例として知られている。特に、結晶質シリコン膜（典型的にはポリシリコン膜）を活性層にした T F T（以下、ポリシリコン T F T と記す）は電界効果移動度が高いことから、いろいろな機能を備えた回路を形成することも可能である。

30

【0004】

例えば、液晶表示装置に搭載される液晶モジュールには、機能ブロックごとに画像表示を行う画素回路や、C M O S 回路を基本としたシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などの画素回路を制御するための駆動回路が一枚の基板上に形成される。

40

【0005】

また、アクティブマトリクス型の液晶モジュールの画素回路には、数十から数百万個の各画素に T F T（画素 T F T）が配置され、その画素 T F T のそれぞれには画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧を T F T のスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

【0006】

画素 T F T は n チャンネル型 T F T から成り、スイッチング素子として液晶に電圧を印加し

50

て駆動させるものである。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑えるために、画素ＴＦＴに要求される特性はオフ電流値（ＴＦＴがオフ動作時に流れるドレイン電流）を十分低くすることが重要である。

【０００７】

オフ電流値を低減するためのＴＦＴの構造として、低濃度ドレイン（ＬＤＤ：Lightly Doped Drain）構造が知られている。この構造はチャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域をＬＤＤ領域と呼んでいる。

【０００８】

しかし、従来の画素ＴＦＴにおいて、通常のＬＤＤ領域を形成した場合、オフ電流値を低減することはできたが、同時にオン電流値も低下していた。通常のＬＤＤ構造はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果は低かった。

【０００９】

また、ホットキャリアによるオン電流値の劣化を防ぐための手段として、ゲート絶縁膜を介してＬＤＤ領域をゲート電極と重ねて配置させた、いわゆるＧＯＬＤ（Gate-drain Overlapped LDD）構造が知られている。このような構造とすることで、ドレイン近傍の電界強度が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効であることが知られている。

【００１０】

また、ＧＯＬＤ構造はオン電流値の劣化を防ぐ効果は高いが、その反面、通常のＬＤＤ構造と比べてオフ電流値が大きくなってしまう問題があった。従って、画素ＴＦＴに適用するには好ましい構造ではなかった。

【００１１】

このように、アクティブマトリクス型液晶表示装置のような複数の集積回路を有する半導体装置において、このような問題点は、特に結晶質シリコンＴＦＴにおいて、その特性が高まり、またアクティブマトリクス型液晶表示装置に要求される性能が高まるほど顕在化してきた。

【００１２】

【発明が解決しようとする課題】

本発明はこのような問題点を解決するための技術であり、ＴＦＴを用いて作製するアクティブマトリクス型の液晶表示装置に代表される電気光学装置ならびに半導体装置において、半導体装置の動作特性を向上させ、かつ、低消費電力化を図ることを目的としている。

【００１３】

特に、本発明は、オフ電流値が低い画素ＴＦＴ（*n*チャネル型ＴＦＴ）の構造を得ることを目的としている。加えて、オフ電流値に対するオン電流値の比が高い画素ＴＦＴの構造を得ることも本発明の目的としている。

【００１４】

【課題を解決するための手段】

図１（Ａ）に示すように本発明は、不純物領域１０２において、チャネル形成領域からの距離（チャネル長方向における距離）が増大するとともに、一導電型を付与する不純物元素の濃度が増大するような濃度勾配を有する領域１０２aを持たせることを特徴とする。

【００１５】

即ち、チャネル長方向においてゲート電極１０５の端部（チャネル長方向に切断した断面におけるゲート電極の端部）から半導体層の周縁部に向かって離れるにつれて不純物元素（リン）の濃度が徐々に増大する不純物領域を備えたことを特徴としている。従って、この不純物領域は、チャネル形成領域側で電気抵抗が大きく、半導体層の周縁部側で電気抵抗が小さくなっている。

【００１６】

また、本発明においては、連続的に増大する不純物領域であるため、明確な境界はなく、本明細書中では、不純物領域 102 のうち、不純物濃度が $1 \times 10^{20} / \text{cm}^3$ 以上の領域をドレイン領域 102b と呼ぶ。

【0017】

また、上述では、ドレイン側について説明したが、画素 TFT に用いる場合、ソース側においても同様とすることが好ましい。ソース側の不純物領域において、チャンネル形成領域からの距離が増大するとともに、一導電性を付与する不純物元素の濃度が増大するような濃度勾配を有する領域 103a を形成する。また、本明細書中では、ソース側の不純物領域のうち、不純物濃度が $1 \times 10^{20} / \text{cm}^3$ 以上の領域をソース領域 103b と呼ぶ。

【0018】

本発明は、このような濃度勾配を有する領域 102a、103a を意図的に形成することによって、オフ電流値が非常に低く、オフ電流値に対するオン電流値の比が高い TFT を実現することを特徴としている。ただし、ゲート電極 105 はゲート絶縁膜 104 を介してチャンネル形成領域 101 と重なるが、不純物領域 102 とは重ならない構造とする。なお、図 1 (A) において、100 は絶縁表面を有する基板、106 は層間絶縁膜、107 はソース電極、108 はドレイン電極である。

【0019】

また、従来の TFT 構造は、図 29 に示すように、明確な濃度差による境界が存在しており、チャンネル形成領域 1 と、低濃度不純物領域 2 と、高濃度不純物領域 3 とで階段状に濃度が異なっていた。即ち、不連続な濃度分布を示していた。加えて、各領域における濃度は、ほぼ一定であった。従って、従来では、高濃度不純物領域 3 と低濃度不純物領域 2 との境界における濃度差や、低濃度不純物領域 2 とチャンネル形成領域 1 との境界における濃度差が比較的大きいため、強い電界集中がそれぞれの境界付近に生じていた。

【0020】

オフ電流はバンド間のトンネリングなど量子力学的な効果で流れるため、主として電界に影響されると考えられる。従って、境界で生じていた電界集中が TFT のオフ電流値を増大させる原因となっていた。特に、従来の TFT 構造においてチャンネル形成領域と低濃度不純物領域との境界における大きな濃度差により強い電界が集中して問題となっていた。

【0021】

一方、本発明は、連続的に濃度が増大する不純物領域をチャンネル形成領域とドレイン領域との間に設けることにより明確な境界をなくして、境界部近傍に発生する電界集中を緩和させることによってオフ電流値の低い TFT 構造を得ることができる。

【0022】

本発明においては、図 1 (A) に示すように、半導体層における不純物元素の濃度差による境界が完全になくなるような濃度勾配を不純物領域 102 ($1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ の範囲) で形成することが最も望ましいが、チャンネル形成領域 101 と該チャンネル形成領域近傍の不純物領域 102a の濃度差を小さくすることでも本発明の効果は得られる。また、高濃度不純物領域 102b と該高濃度不純物領域近傍の低濃度不純物領域 102a との境界における濃度差を小さくすることでも本発明の効果は得られる。

【0023】

また、図 1 (B) は、TFT 構造を図 1 (A) とし、チャンネル長 $L = 6 \mu\text{m}$ 、チャンネル幅 $W = 4 \mu\text{m}$ 、ゲート絶縁膜 104 の膜厚 = 115 nm 、ポリシリコン層の膜厚 = 45 nm 、不純物濃度 (P 濃度) $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲で濃度勾配を有する領域 102a (幅 $1.5 \mu\text{m}$)、不純物濃度 (P 濃度) $1 \times 10^{19} / \text{cm}^3$ の不純物領域 102b、チャンネル形成領域 101 のキャリア濃度 (B 濃度) = $2 \times 10^{16} / \text{cm}^3$ とした場合のシミュレーション結果である。このシミュレーション結果は、縦軸を半導体層表面の電界強度 $E (\text{V} / \text{cm})$ 、横軸をチャンネル形成領域からの距離 (μm) としており、図 1 (B) 中の実線で示したものが本発明の不純物領域への電界集中の様子を示している。

【0024】

また、従来例として、TFT の半導体層における濃度分布を図 29 に示した分布とした低

10

20

30

40

50

濃度不純物領域 2 への電界集中の様子を図 1 (B) 中の点線で示した。

【 0 0 2 5 】

図 1 (B) に示したように、本発明は少なくとも不純物濃度 (P 濃度) $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲で濃度勾配を有する不純物領域を備えたことによって、従来よりも半導体層表面の電界強度を緩やかにすることができた。従って、本発明により、半導体層全域にわたって強い電界集中が発生せず、オフ電流値の低い T F T を得ることができる。

【 0 0 2 6 】

本明細書で開示する発明の構成は、

絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜 (ゲート絶縁膜) と、該絶縁膜上に形成されたゲート電極とを含む T F T を備えた半導体装置であって、前記半導体層は、前記ゲート電極と重なるチャネル形成領域と、該チャネル形成領域に接して形成された不純物領域 (L D D 領域、ソース領域またはドレイン領域を含む) とを有し、

前記不純物領域は、前記チャネル形成領域からの距離が増大するとともに一導電型を付与する不純物元素の濃度が増加する濃度分布を備えたことを特徴とする半導体装置である。

【 0 0 2 7 】

また、上記構成において、半導体に一導電型を付与する不純物元素は、リン (P) または砒素 (A s) であり、n チャネル型 T F T が得られる。この n チャネル型 T F T は、オフ電流が小さいので画素部の T F T に適している。

【 0 0 2 8 】

また、画素部の T F T において、チャネル形成領域と低濃度不純物領域との間にオフセット領域を形成しても同程度の信頼性を得ることができた。図 1 8 にその一例を示す。

【 0 0 2 9 】

また、他の発明の構成は、

絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含む T F T を備えた半導体装置であって、前記半導体層は、前記ゲート電極と重なるチャネル形成領域と、該チャネル形成領域に接して形成されたオフセット領域と、該オフセット領域に接して形成された不純物領域とを有し、

前記不純物領域は、前記チャネル形成領域からの距離が増大するとともに不純物濃度が増加する濃度分布を備えたことを特徴とする半導体装置である。

【 0 0 3 0 】

また、上記構成において、前記ゲート電極の端部は、前記チャネル形成領域と前記オフセット領域との界面と概略一致することを特徴としている。

【 0 0 3 1 】

また、同一の絶縁表面上に画素部及び駆動回路を含む半導体装置において、画素部は、絶縁膜 (ゲート絶縁膜) を間に挟んでゲート電極と重ならない不純物領域とすることが好ましい。この場合、画素 T F T のゲート電極の端部は、チャネル形成領域と不純物領域との界面 (境界) と概略一致させる。

【 0 0 3 2 】

また、上記構成において、前記駆動回路の n チャネル型 T F T のゲート電極はテーパ - 部を有し、該テーパ部は不純物領域の一部と絶縁膜 (ゲート絶縁膜) を間に挟んで重なっていることを特徴としている。なお、前記テーパ部を通過させてドーピングを行うため、駆動回路において、テーパ部の幅と、前記チャネル形成領域からの距離が増大するとともに不純物濃度が増加する濃度分布を有する領域の幅は概略一致する。また、図 3 2 に示したように、設計しようとする配線幅を長くすれば、形成されるテーパ部も長くなるため、駆動回路のゲート電極の幅は、画素部のゲート電極の幅よりも長くなるよう設計することが好ましい。

【 0 0 3 3 】

また、上記構成において、前記画素 T F T のチャネル形成領域と前記不純物領域との間にオフセット領域を備えてもよい。

【0034】

また、上記各構成において、ゲート電極は、第1の導電層を下層とし、第2の導電層を上層とする積層構造を有している。本発明では、この積層構造のゲート電極を利用して濃度勾配を有する不純物領域を形成している。従って、前記チャネル形成領域からの距離が増大するとともに不純物濃度が増加する不純物領域は、前記チャネル形成領域を挟んで両側に形成される。

【0035】

また、上記各構成において、前記不純物領域はソース領域またはドレイン領域を含むことを特徴としている。

【0036】

また、図1において、不純物領域は、前記チャネル形成領域からの距離が増大するとともに不純物濃度が増加しており、その濃度分布を正規分布で示したが、特に限定されず、その濃度分布は指数分布であってもよいし、傾きを有する直線であってもよいし、それらを組み合わせたものであってもよい。ただし、上記濃度勾配を有する領域102a、103aのチャネル長における幅は、少なくとも $0.5\mu\text{m}$ ～ $1.7\mu\text{m}$ 、好ましくは $1\mu\text{m}$ 以上とし、その領域内で緩やかな濃度勾配を有していることが重要である。

【0037】

即ち、上記各構成において、前記不純物領域は、不純物濃度が増加する濃度分布を有する領域と不純物濃度がほぼ一定である領域とを有し、前記不純物濃度が増加する濃度分布を有する領域は、チャネル長方向における長さが $1\mu\text{m}$ 以上であることを特徴としている。

【0038】

また、従来方法において、ドーピングの条件によっては不純物元素がゲート電極の下方への廻り込んで、ゲート電極と重なり、且つ濃度勾配を有する不純物領域が $0.1\mu\text{m}$ 程度生じる場合もあったが、本発明と同等の効果を得ることは困難である。

【0039】

従来では、パターンニングしたレジストマスクを用いて不純物元素のドーピングを行ったり、配線をマスクとして自己整合的に不純物元素のドーピングを行っていたため、図29に示したような階段状の濃度分布が形成されており、上記本発明の構成、即ち濃度勾配を有する不純物領域を $0.5\mu\text{m}$ 以上得ることはできなかった。

【0040】

本発明では、積層構造のゲート電極だけでなく、半導体層を覆う絶縁膜（ゲート絶縁膜）の一部をテーパー形状とし、前記絶縁膜を利用して濃度勾配を有する不純物領域を形成することも可能である。その場合、前記不純物領域は、前記チャネル形成領域からの距離が最大の領域と最小の領域とで前記絶縁膜の膜厚が異なることを特徴としている。また、テーパー部を有するゲート電極と、テーパー部を有する絶縁膜とを両方用いて濃度勾配を有する不純物領域を形成することも可能である。

【0041】

また、本発明は上記構造を得るための作製方法も特徴としている。

【0042】

上記構造を実現する作製方法に関する発明の構成は、
絶縁表面上に半導体層を形成する工程と、
前記半導体層上に絶縁膜を形成する工程と、
前記絶縁膜（ゲート絶縁膜）上にテーパー部を有する導電層を形成する工程と、
前記テーパー部及び前記絶縁膜を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、前記テーパー部の端部に向かって不純物濃度が増加する不純物領域を形成する工程と、
前記導電層のうち、テーパー部のみを選択的に除去してゲート電極を形成する工程と、
を有する半導体装置の作製方法である。

【0043】

上記作製方法の構成においては、導電層からなるテーパー部を通過させてドーピングを行

10

20

30

40

50

い、濃度勾配を有する不純物領域を形成することを特徴としている。

【 0 0 4 4 】

一方、従来の作製方法ではフォトマスクを用いて形成したレジストマスクを用いて不純物元素のドーピングを行い、LDD領域、ソース領域、及びドレイン領域を形成していた。

【 0 0 4 5 】

また、上記構成において、前記テーパ - 部を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、前記テーパ - 部の端部に向かって不純物濃度が増加する不純物領域は、少なくとも不純物濃度 (P 濃度) $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲で濃度勾配を有することを特徴とする。

【 0 0 4 6 】

また、駆動回路と画素部とを同一基板上に形成することも可能である。その場合、少なくとも画素部のTFTのゲート電極は、テーパ - 部のみを選択的に除去し、駆動回路のTFT (オン電流を重視するTFT) のゲート電極はテーパ - 部をそのままに残すことが好ましい。また、駆動回路のTFTにおいては、テーパ - 部のチャネル長方向の幅が長ければ長いほど信頼性が高いため、テーパ - 部を形成する際、テーパ - 部の幅が長くなるように、選択比の高いSF₆を含むエッチングガスでドライエッチングを行うことが有効である。

【 0 0 4 7 】

また、積層構造のゲート電極だけでなく、半導体層を覆う絶縁膜 (ゲート絶縁膜) の一部をテーパ - 形状とし、前記絶縁膜を利用して濃度勾配を有する不純物領域を形成することも可能であり、上記構成を実現する作製方法に関する他の発明の構成は、絶縁表面上に半導体層を形成する工程と、前記半導体層上に絶縁膜を形成する工程と、前記絶縁膜上にゲート電極を形成する工程と、前記絶縁膜をエッチングして前記半導体層上にテーパ - 部を有する絶縁層を形成する工程と、前記テーパ - 部を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、前記テーパ - 部の端部に向かって不純物濃度が増加する不純物領域を形成する工程と、を有する半導体装置の作製方法である。

【 0 0 4 8 】

また、上記作製方法の構成においては、絶縁層からなるテーパ - 部を通過させてドーピングを行い、濃度勾配を有する不純物領域を形成することを特徴としている。

【 0 0 4 9 】

【 発明の実施の形態 】

本発明の実施形態について、以下に図 2、図 3 に説明する。

【 0 0 5 0 】

ここでは、ゲート電極のテーパ - 部を利用して、前記チャネル形成領域側から前記不純物領域側に向かって不純物濃度 (P 濃度) が連続的に増加する不純物領域を形成する例を示す。

【 0 0 5 1 】

まず、基板 1 0 上に下地絶縁膜 1 1 を形成する。基板 1 0 としては、ガラス基板や石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。また、処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【 0 0 5 2 】

また、下地絶縁膜 1 1 としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 1 1 を形成する。ここでは下地膜 1 1 として 2 層構造 (1 1 a、1 1 b) を用いた例を示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。なお、下地絶縁膜を形成しなくてもよい。

【 0 0 5 3 】

次いで、下地絶縁膜上に半導体層 1 2 を形成する。半導体層 1 2 は、非晶質構造を有する

10

20

30

40

50

半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を第1のフォトリソを用いて所望の形状にパターニングして形成する。この半導体層12の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0054】

次いで、半導体層12を覆う絶縁膜13を形成する。

【0055】

絶縁膜13はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜の単層または積層構造で形成する。なお、この絶縁膜13はゲート絶縁膜となる。

【0056】

次いで、絶縁膜13上に膜厚20～100nmの第1の導電膜14と、膜厚100～400nmの第2の導電膜15とを積層形成する。（図2（A））ここでは、スパッタ法を用い、Ta₂N₅膜からなる第1の導電膜14と、W膜からなる第2の導電膜15を積層形成した。なお、ここでは、第1の導電膜14をTa₂N₅、第2の導電膜15をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。

【0057】

次いで、第2のフォトリソを用いてレジストマスク16aを形成し、ICPエッチング装置を用いて第1のエッチング工程を行う。この第1のエッチング工程によって、第2の導電膜15をエッチングして、図2（B）に示すように、端部においてテーパ形状を有する部分（テーパ部）を有する第2の導電層17aを得る。

【0058】

ここで、テーパ部の角度（テーパ角）は基板表面（水平面）とテーパ部の傾斜部とのなす角度として定義する。第2の導電層17aのテーパ角は、エッチング条件を適宜、選択することによって、5～45°の範囲とすることができる。

【0059】

次いで、レジストマスク16aをそのまま用い、ICPエッチング装置を用いて第2のエッチング工程を行う。この第2のエッチング工程によって、第1の導電膜14をエッチングして図2（C）に示すような第1の導電層18aを形成する。第1の導電層18aは、第1の幅（W1）を有している。なお、この第2のエッチング工程の際、レジストマスク、第2の導電層、及び絶縁膜もわずかにエッチングされて、それぞれレジストマスク16b、第2の導電層17b、絶縁膜19が形成される。

【0060】

なお、ここでは、絶縁膜13の膜減りを抑えるために、2回のエッチング（第1のエッチング工程と第2のエッチング工程）を行ったが、図3（B）に示すような電極構造（第2の導電層17bと第1の導電層18aの積層）が形成できるのであれば、特に限定されず、1回のエッチング工程で行ってもよい。

【0061】

次いで、レジストマスク16bをそのままの状態にしたまま、第1のドーピング工程を行う。この第1のドーピング工程によって絶縁膜19を介してスルードープを行い、高濃度不純物領域20、21を形成する。（図2（D））

【0062】

次いで、レジストマスク16bを用いて、ICPエッチング装置を用いて第3のエッチング工程を行う。この第3のエッチング工程によって、第2の導電層17bをエッチングして図3（A）に示すような第2の導電層17cを形成する。第2の導電層17cは、第2

10

20

30

40

50

の幅 (W2) を有する。なお、この第3のエッチングの際、第1の導電層もわずかにエッチングされて、第1の幅より狭まった第1の導電層18bが形成される。なお、図32に示すように配線幅 (ここでは第1の導電層の幅W1) によって第1の導電層のテーパ部の長さが増加する。従って、同一基板上に配線幅の異なる配線を複数設ける場合、形成される第1の導電層18bの幅もそれぞれ異なって形成される。

【0063】

次いで、レジストマスク16bを除去した後、第2のドーピング工程を行う。この第2のドーピング工程によって第1の導電層18bのテーパ部及び絶縁膜19を介してスルードーピングを行い、低濃度不純物領域24、25を形成する。(図3(B))このドーピング工程において、テーパ部を通過させることによって、チャンネル形成領域側から前記高濃度不純物領域側に向かって不純物濃度(P濃度)が連続的に増加する低濃度不純物領域24、25を形成する。なお、この第2のドーピングの際、高濃度不純物領域にもドーピングされ、高濃度不純物領域22、23が形成される。なお、ここでは、高濃度不純物領域と低濃度不純物領域とを別々なものとして図示しているが、実際は、明確な境界はなく、図1(A)に示したように濃度勾配を有する領域が形成されている。また、同様にチャンネル形成領域と低濃度不純物領域との明確な境界はない。なお、図32に示すように設計する配線幅によって第1の導電層のテーパ部の長さが増加する。従って、同一基板上に配線幅の異なる配線を複数設ける場合、ドーピングされる領域(濃度勾配を有する領域)の幅もそれぞれ異なる。

【0064】

なお、ここでは、第1のエッチング工程と第2のエッチング工程を行って第1のドーピング工程を行い、その後で第3のエッチング工程を行って第2のドーピング工程を行う例を示したが、図3(B)に示すような電極構造(第2の導電層と第1の導電層の積層)と濃度勾配を有する領域が形成できるのであれば、特に工程順序等は限定されず、例えば、第1のエッチング工程と第2のエッチング工程と第3のエッチング工程を行って図3(B)に示すような電極構造を得た後、第1のドーピング工程と第2のドーピング工程とを順次行ってもよい。

【0065】

次いで、ICPエッチング装置を用いて第4のエッチング工程を行う。この第4のエッチング工程によって、第1の導電層18bのテーパ部のみを除去する。ここで、第1の幅(W1)を有していた第1の導電層18bが、第2の幅(W2)を有する第1の導電層18cとなった。本発明では、この第1の導電層18cとその上に積層された第2の導電層17cがゲート電極となる。

【0066】

この後、半導体層に添加された不純物元素の活性化を行う。この活性化によって、不純物領域に含まれた不純物元素が拡散するため、より滑らかなカーブを描く濃度勾配が形成されて各領域間の境界がなくなる。次いで、層間絶縁膜27を形成した後、第3のマスクを用いてコンタクトホールを形成し、第4のマスクを用いて電極28、29を形成する。

【0067】

こうして、フォトマスク4枚で、図3(D)に示す構造のTFETを形成することができる。

【0068】

また、本発明により形成されたTFETの特徴は、チャンネル形成領域26とドレイン領域23との間に設けられる低濃度不純物領域25において、チャンネル形成領域からの距離が増大するとともに不純物濃度が連続的に増加するような濃度勾配を有し、ゲート電極と重ならない点である。

【0069】

また、濃度勾配を有する不純物領域の効果を調べるためにシミュレーションを行った。ここでは、図4に示すようにソース領域/ドレイン領域である高濃度不純物領域と、低濃度不純物領域と、チャンネル形成領域とを想定し、低濃度不純物領域のみに濃度勾配を持たせ

た場合についてシミュレーションを行った。シミュレーションに用いた各数値は、 $L = 6 \mu m$ 、 $W = 4 \mu m$ 、低濃度不純物領域 (Loff) の幅 $= 1.5 \mu m$ 、ゲート絶縁膜の膜厚 $= 115 nm$ 、ポリシリコン層の膜厚 $= 45 nm$ 、チャネル形成領域のキャリア密度 (B 濃度) $= 2 \times 10^{16} / cm^3$ 、ソース領域 / ドレイン領域のキャリア密度 (P 濃度) $= 1 \times 10^{19} / cm^3$ とした。また、低濃度不純物領域が一定である場合 (比較例) と、低濃度不純物領域が濃度勾配を有している場合とで比較を行った。ここでは低濃度不純物領域の濃度分布モデルとして、図 4 に示すような正規分布 (ガウシアン分布) の勾配を用いてシミュレーションを行い、TFT の電圧 / 電流特性 (図 5) を導出した。また、比較例として、キャリア濃度 (P 濃度) を低濃度不純物領域において一定の濃度 ($3 \times 10^{17} / cm^3$ 、 $5 \times 10^{17} / cm^3$) とし、同様に TFT の電圧 / 電流特性を導出した。

10

【0070】

図 5 は、 V_{ds} (ソース領域とドレイン領域の電圧差) $= 14 V$ とした時の電圧 / 電流特性である。図 5 に示されているように、濃度勾配を有している低濃度不純物領域を備えた TFT のオフ電流値は、比較例と比べて顕著に低減されている。これは、本発明により各領域の境界に生じる電界集中が緩和されたことが主な原因であると考えられる。一方、オン電流値は、移動度やシート抵抗によって決まる。また、濃度勾配を有している低濃度不純物領域を備えた TFT のオン電流値は、比較例と同程度であることが示されている。即ち、低濃度不純物領域においてシート抵抗を測定した場合、比較例と本発明が同一 (オン電流値も同一) であっても、本発明はオフ電流値のみを低減することができる。従って、オフ電流値に対するオン電流値の比が高くなる。従来ではオフ電流を低減する構造とした場合、オン電流も低減していたため、オフ電流値に対するオン電流値の比にほとんど変化がないか、下がっていた。

20

【0071】

なお、ここでは正規分布 (ガウシアン分布) の勾配を用いたが、濃度勾配を有していれば特に限定されず、その濃度分布は指数分布であってもよいし、傾きを有する直線を描いてもよい。シミュレーションによる結果はいずれもほぼ同一であり、不純物領域において連続的な濃度勾配を有していればオフ電流が低減した。

【0072】

また、本発明は不純物領域に図 1 に示すような濃度勾配を有していればよく、図 1 に示したトップゲート型 TFT 構造に限定されないことは言うまでもない。

30

【0073】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0074】

【実施例】

〔実施例 1〕

ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路の TFT (n チャネル型 TFT 及び p チャネル型 TFT) を同時に作製する方法について図 6 ~ 図 8 を用いて説明する。

【0075】

40

まず、本実施例ではコーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 200 を用いる。なお、基板 200 としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0076】

次いで、基板 200 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 201 を形成する。本実施例では下地膜 201 として 2 層構造を用いるが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。下地膜 201 の一層目としては、プラズマ CVD 法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガ

50

スとして成膜される酸化窒化シリコン膜201aを10~200nm(好ましくは50~100nm)形成する。本実施例では、膜厚50nmの酸化窒化シリコン膜201a(組成比Si=32%、O=27%、N=24%、H=17%)を形成した。次いで、下地膜101の二層目としては、プラズマCVD法を用い、SiH₄及びN₂Oを反応ガスとして成膜される酸化窒化シリコン膜201bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化シリコン膜201b(組成比Si=32%、O=59%、N=7%、H=2%)を形成した。

【0077】

次いで、下地膜上に半導体層202~206を形成する。半導体層202~206は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層202~206の厚さは25~80nm(好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(Si_xGe_{1-x}(X=0.0001~0.02))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質シリコン膜を成膜した後、ニッケルを含む溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜に脱水素化(500、1時間)を行った後、熱結晶化(550、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質シリコン膜を形成した。そして、この結晶質シリコン膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層202~206を形成した。

【0078】

また、半導体層202~206を形成した後、TFETのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを適宜行ってもよい。

【0079】

また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型であるエキシマレーザーやYAGレーザーやYVO₄レーザー、YLFレーザ、YAlO₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti:サファイアレーザなどを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、パルス発振型のエキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100~400mJ/cm²(代表的には200~300mJ/cm²)とする。また、パルス発振型のYAGレーザーやYVO₄レーザーを用いる場合にはその第2高調波または第3高調波を用いパルス発振周波数1~10kHzとし、レーザーエネルギー密度を300~600mJ/cm²(代表的には350~500mJ/cm²)とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80~98%として行えばよい。

【0080】

また、YVO₄レーザで代表される連続発振型のレーザーを用いる場合、出力10Wの連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波(第2高調波~第4高調波)に変換する。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形または楕円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は0.01~100MW/cm²程度(好ましくは0.1~10MW/cm²)が必要である。そして、0.5~2000cm/s程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射すればよい。

【0081】

次いで、半導体層202~206を覆うゲート絶縁膜207を形成する。ゲート絶縁膜207はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとしてシリコ

10

20

30

40

50

ンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により115nmの厚さで酸化窒化シリコン膜（組成比Si = 32%、O = 59%、N = 7%、H = 2%）で形成した。勿論、ゲート絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0082】

次いで、図6(A)に示すように、ゲート絶縁膜207上に膜厚20~100nmの第1の導電膜208と、膜厚100~400nmの第2の導電膜209とを積層形成する。本実施例では、膜厚30nmのTa₂N₅膜からなる第1の導電膜208と、膜厚370nmのW膜からなる第2の導電膜209を積層形成した。Ta₂N₅膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩ・cm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW（純度99.9999%）のターゲットを用いたスパッタ法で、さらに成膜時に気相中の不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μΩ・cmを実現することができた。

【0083】

なお、本実施例では、第1の導電膜208をTa₂N₅、第2の導電膜209をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。また、第1の導電膜をタンタル(Ta)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン(TiN)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0084】

次に、フォトリソグラフィ法を用いてレジストからなるマスク210~215を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25/25/10(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。なお、エッチング用ガスとしては、Cl₂、BCl₃、SiCl₄、CCl₄などを代表とする塩素系ガスまたはCF₄、SF₆、NF₃などを代表とするフッ素系ガス、またはO₂を適宜用いることができる。ここでは、松下電器産業(株)製のICPを用いたドライエッチング装置(Model E645-ICP)を用いた。基板側(試料ステージ)にも150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。なお、基板側の電極面積サイズは、12.5cm×12.5cmであり、コイル型の電極面積サイズ(ここではコイルの設けられた石英円板)は、直径25cmの円板である。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。第1のエッチング条件でのWに対するエッチング速度は200.39nm/min、Ta₂N₅に対するエッチング速度は80.32nm/minであり、Ta₂N₅に対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパ角は、約26°となる。なお、ここでの第1のエッチング条件でのエッチングは、実施の形態に記載した第1のエッチング工程(図2(B))に相当する。

【0085】

この後、レジストからなるマスク 210 ~ 215 を除去せずに第 2 のエッチング条件に変え、エッチング用ガスに CF_4 と Cl_2 とを用い、それぞれのガス流量比を 30 / 30 (s c c m) とし、1 Pa の圧力でコイル型の電極に 500 W の R F (13.56MHz) 電力を投入してプラズマを生成して約 30 秒程度のエッチングを行った。基板側 (試料ステージ) にも 200 W の R F (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した第 2 のエッチング条件では W 膜及び T a N 膜とも同程度にエッチングされる。第 2 のエッチング条件での W に対するエッチング速度は 58 . 97 nm / m i n、T a N に対するエッチング速度は 66 . 43 nm / m i n である。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10 ~ 20 % 程度の割合でエッチング時間を増加させると良い。なお、ここでの第 2 エッチング条件でのエッチングは、実施の形態に記載した第 2 のエッチング工程 (図 2 (C)) に相当する。

【 0086 】

上記第 1 のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第 1 の導電層及び第 2 の導電層の端部がテーパ形状となる。このテーパ部の角度は 15 ~ 45 ° とすればよい。

【 0087 】

また、テーパ - 部の角度 (テーパ - 角度) は、表 1 を参考にして実施者が適宜、決定すればよい。

【 0088 】

【 表 1 】

W 及び T a N のエッチングレート (E . R .) 及び W テーパ角度										
条件	ICP [W]	バイアス [W]	圧力 [Pa]	CF ₄	Cl ₂	O ₂ [sccm]	W E . R . ① [nm/min]	Ta ₂ N E . R . ② [nm/min]	W/Ta ₂ N 選択比 ①÷②	W テーパ - 角度 [deg]
1	500	20	1.0	30	30	0	58.97	66.43	0.889	80
2	500	60	1.0	30	30	0	88.71	118.46	0.750	25
3	500	100	1.0	30	30	0	111.66	168.03	0.667	18
4	500	20	1.0	25	25	10	124.62	20.67	6.049	70
5	500	60	1.0	25	25	10	161.72	35.81	4.528	35
6	500	100	1.0	25	25	10	176.90	56.32	3.008	32
7	500	150	1.0	25	25	10	200.39	80.32	2.495	26
8	500	200	1.0	25	25	10	218.20	102.87	2.124	22
9	500	250	1.0	25	25	10	232.12	124.97	1.860	19
10	500	20	1.0	20	20	20	- (*)	14.83	-	-
11	500	60	1.0	20	20	20	193.02	14.23	13.695	37
12	500	100	1.0	20	20	20	235.27	21.81	10.856	29
13	500	150	1.0	20	20	20	276.74	38.61	7.219	26
14	500	200	1.0	20	20	20	290.10	45.30	6.422	24
15	500	250	1.0	20	20	20	304.34	50.25	6.091	22

(*) セル内の - はエッチング時に W 表面が変質したため測定不可。

【 0089 】

こうして、第 1 のエッチング処理により第 1 の導電層と第 2 の導電層から成る第 1 の形状の導電層 216 ~ 221 (第 1 の導電層 216 a ~ 221 a と第 2 の導電層 216 b ~ 221 b) を形成する。ここでのチャネル長方向の第 1 の導電層の幅は、上記実施の形態に示した W1 に相当する。図示しないが、ゲート絶縁膜となる絶縁膜 207 のうち、第 1 の形状の導電層 216 ~ 221 で覆われない領域は 10 ~ 20 nm 程度エッチングされ薄くなった領域が形成される。

【 0090 】

そして、レジストからなるマスクを除去せずに第 1 のドーピング処理を行い、半導体層に n 型を付与する不純物元素を添加する。(図 6 (B)) ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ とし、加速電圧を 60 ~ 100 keV として行う。本実施例ではドーズ量を $1.5 \times 10^{15} / \text{cm}^2$ とし、加速電圧を 80 keV として行った。n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (A s) を用いるが、ここではリン (P) を用いた。この場合、導電層 216 ~ 221 が n 型を付与する不純物

元素に対するマスクとなり、自己整合的に高濃度不純物領域 2 2 2 ~ 2 3 3 が形成される。高濃度不純物領域 2 2 2 ~ 2 3 3 には $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ の濃度範囲で n 型を付与する不純物元素を添加する。なお、ここでの第 1 のドーピング処理は、実施の形態に記載した第 1 のドーピング工程 (図 2 (D)) に相当する。

【0091】

次いで、レジストからなるマスクを除去せずに第 2 のエッチング処理を行う。ここでは、エッチング用ガスに SF_6 と Cl_2 と O_2 とを用い、それぞれのガス流量比を 2 4 / 1 2 / 2 4 (s c c m) とし、1 . 3 Pa の圧力でコイル型の電極に 7 0 0 W の R F (13.56MHz) 電力を投入してプラズマを生成してエッチングを 2 5 秒行った。基板側 (試料ステージ) にも 1 0 W の R F (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。第 2 のエッチング処理での W に対するエッチング速度は 2 2 7 . 3 nm / min、Ta N に対するエッチング速度は 3 2 . 1 nm / min であり、Ta N に対する W の選択比は 7 . 1 であり、絶縁膜 2 0 7 である Si O N に対するエッチング速度は 3 3 . 7 nm / min であり、Ta N に対する W の選択比は 6 . 8 3 である。このようにエッチングガス用ガスに SF_6 を用いた場合、絶縁膜 2 0 7 との選択比が高いので膜減りを抑えることができる。また、駆動回路の T F T においては、テーパ - 部のチャネル長方向の幅が長ければ長いほど信頼性が高いため、テーパ - 部を形成する際、 SF_6 を含むエッチングガスでドライエッチングを行うことが有効である。

10

【0092】

この第 2 のエッチング処理により W のテーパ角は 7 0 ° となった。この第 2 のエッチング処理により第 2 の導電層 2 3 4 b ~ 2 3 9 b を形成する。一方、第 1 の導電層は、ほとんどエッチングされず、第 1 の導電層 2 3 4 a ~ 2 3 9 a を形成する。図示しないが、実際には、第 1 の導電層の幅は、第 2 のエッチング処理前に比べて約 0 . 1 5 μm 程度、即ち線幅全体で 0 . 3 μm 程度後退する。なお、ここでの第 2 のエッチング処理は、実施の形態に記載した第 3 のエッチング工程 (図 3 (A)) に相当する。また、ここでのチャネル長方向の第 2 の導電層の幅が実施の形態に示した W 2 に相当する。

20

【0093】

また、上記第 2 のエッチング処理において、 CF_4 と Cl_2 と O_2 とをエッチングガスに用いることも可能である。その場合は、それぞれのガス流量比を 2 5 / 2 5 / 1 0 (s c c m) とし、1 Pa の圧力でコイル型の電極に 5 0 0 W の R F (13.56MHz) 電力を投入してプラズマを生成してエッチングを行えばよい。基板側 (試料ステージ) にも 2 0 W の R F (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 と O_2 とを用いる場合の W に対するエッチング速度は 1 2 4 . 6 2 nm / min、Ta N に対するエッチング速度は 2 0 . 6 7 nm / min であり、Ta N に対する W の選択比は 6 . 0 5 である。従って、W 膜が選択的にエッチングされる。また、この場合、絶縁膜 2 0 7 のうち、第 1 の形状の導電層 2 3 4 ~ 2 3 9 で覆われない領域は 5 0 nm 程度エッチングされ薄くなった領域が形成される。

30

【0094】

次いで、レジストからなるマスクを除去した後、第 2 のドーピング処理を行って図 6 (C) の状態を得る。また、図 6 (C) では、第 1 の導電層のテーパ部の長さは同一として図示しているが、図 3 2 に示すように配線幅によって第 1 の導電層のテーパ部の長さが増加している。従って、同一基板上に配線幅の異なる配線が複数設けられている場合、ドーピングされる領域の幅もそれぞれ異なる。ドーピングは第 2 の導電層 2 3 4 b ~ 2 3 9 b を不純物元素に対するマスクとして用い、第 1 の導電層のテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素として P (リン) を用い、ドーピング条件をドーズ量 $1 . 5 \times 10^{14}/\text{cm}^2$ 、加速電圧 9 0 k e V、イオン電流密度 0 . 5 $\mu\text{A}/\text{cm}^2$ 、フォスフィン (PH_3) 5 % 水素希釈ガス、ガス流量 3 0 s c c m にてプラズマドーピングを行った。こうして、第 1 の導電層と重なる低濃度不純物領域 2 4 1 ~ 2 5 4 を自己整合的に形成する。この低濃度不純物領域 2 4 1 ~ 2 5 4 へ添加されたリン (P) の濃度は、 $1 \times 10^{17} \sim 1 \times 10^{19}/\text{cm}^3$ であり、且つ、第 1 の導電

40

50

層のテーパ部の膜厚に従って濃度勾配を有している。なお、第1の導電層のテーパ部と重なる半導体層において、第1の導電層のテーパ部の端部から内側に向かって不純物濃度（P濃度）が次第に低くなっている。即ち、この第2のドーピング処理により実施の形態に記載した図1（A）の濃度分布が形成される。また、高濃度不純物領域222～233にも不純物元素が添加され、高濃度不純物領域255～266を形成する。なお、ここでの第2のドーピング処理は、実施の形態に記載した第2のドーピング工程（図3（B））に相当する。

【0095】

また、図23に、第2のドーピング処理（加速電圧90kV、ドーズ量 $1.5 \times 10^{14}/\text{cm}^2$ ）を行った際のリンの深さ方向における濃度分布（SIMS分析）を示す。図23により、深さ方向においては、第2のドーピング処理で半導体層（Si）に添加される不純物濃度は、表面から基板側に向かって低減している。図23中、×印は、シリコン基板上に110nmの膜厚で酸化窒化シリコン膜を形成して第2のドーピングを行った試料Aの濃度分布（深さ方向）を示している。この試料Aの濃度分布は、図6（C）において第1の導電層で覆われていない箇所の濃度分布に相当する。

10

【0096】

また、図23中、印は、さらにゲート絶縁膜（酸化窒化シリコン膜）上に15nmのTa₂N₅を形成して第2のドーピングを行った試料Bの濃度分布（深さ方向）を示している。この試料Bの濃度分布は、図6（C）において第1の導電層のテーパ部の厚さが15nmである箇所の濃度分布に相当する。ただし、横軸の深さの値にTa₂N₅の膜厚は含んでいない。

20

【0097】

また、図23中、印は、酸化窒化シリコン膜上に30nmのTa₂N₅を形成して第2のドーピングを行った試料Cの濃度分布（深さ方向）を示している。この試料Cの濃度分布は、図6（C）において第1の導電層のテーパ部の厚さが30nmである箇所の濃度分布に相当する。ただし、横軸の深さの値にTa₂N₅の膜厚は含んでいない。

【0098】

また、図23によりテーパ部の下方に位置する半導体層の表面付近（ゲート絶縁膜との界面近傍）には、テーパ部の膜厚が30nmから0nmとなるにつれ、即ちチャネル形成領域からチャネル長方向に離れるにつれてリン濃度が $1 \times 10^{18} \sim 7 \times 10^{18}/\text{cm}^3$ の範囲で連続的に増加していると読み取れる。

30

【0099】

また、図23によりテーパ部の下方に位置する半導体層のうち、半導体層表面から40nmの位置では、テーパ部の膜厚が30nmから0nmとなるにつれ、即ちチャネル形成領域からチャネル長方向に離れるにつれてリン濃度が $1.5 \times 10^{17} \sim 3.5 \times 10^{18}/\text{cm}^3$ の範囲で連続的に増加していると読み取れる。ただし、これらのSIMS分析によるリン濃度は、ドーピング直後のものであり、後の熱処理等でリンが拡散するため、TFET作製完了時のリン濃度とは若干異なる。

【0100】

なお、本実施例ではテーパ部の幅（チャネル長方向の幅）は少なくとも0.5μm以上であることが好ましく、1.5μm～2μmが限界である。従って、膜厚にも左右されるが濃度勾配を有する低濃度不純物領域のチャネル長方向の幅も1.5μm～2μmが限界となる。また、ここでは、高濃度不純物領域と低濃度不純物領域とを別々なものとして図示しているが、実際は、明確な境界はなく、図1（A）に示したように濃度勾配を有する領域が形成されている。また、同様にチャネル形成領域と低濃度不純物領域との明確な境界はない。

40

【0101】

次いで、後にnチャネル型TFETの活性層となる半導体層をレジストからなるマスク267～269で覆い、第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFETの活性層となる半導体層に前記一導電型（n型）とは逆の導電型（p型

50

）を付与する不純物元素が添加された p 型不純物領域 270 ~ 273（高濃度不純物領域 270a ~ 273a 及び低濃度不純物領域 270b ~ 273b）を形成する。なお、テーパー部を通過させてドーピングするため、p 型の低濃度不純物領域 270b ~ 273b は、n 型の低濃度不純物領域 241 ~ 254 と同様の濃度勾配を有している。（図 7（A））第 1 の導電層 234a、236b を不純物元素に対するマスクとして用い、p 型を付与する不純物元素を添加して p 型不純物領域を形成する。本実施例では、p 型不純物領域 270 ~ 273 はジボラン（ B_2H_6 ）を用いたイオンドーピング法で形成する。なお、第 1 のドーピング処理及び第 2 のドーピング処理によって、不純物領域 270a ~ 273a にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもボロンの濃度が $2 \times 10^{20} \sim 2 \times 10^{21}/cm^3$ となるようにドーピング処理することにより、p チャネル型 T F T のソース領域およびドレイン領域として機能するために何ら問題は生じない。

10

【0102】

また、第 2 のエッチング処理で膜減りしない条件、例えば SF_6 をエッチングガスに用いた場合、ボロンのドーピングを容易とするため、第 3 のドーピング処理の前に絶縁膜 207 を薄膜化するエッチング（ CHF_3 ガスを用いた反応性イオンエッチング法（RIE 法））を行ってもよい。

【0103】

次いで、レジストからなるマスク 274 を形成して第 3 のエッチング処理を行う。この第 3 のエッチング処理では第 1 の導電層のテーパー部を選択的にエッチングして、半導体層と重なる領域をなくす。第 3 のエッチング処理は、エッチングガスに W との選択比が高い Cl_2 を用い、ICP エッチング装置を用いて行う。本実施例では、 Cl_2 のガス流量比を 80（sccm）とし、1.2 Pa の圧力でコイル型の電極に 350 W の RF（13.56MHz）電力を投入してプラズマを生成してエッチングを 30 秒行った。基板側（試料ステージ）にも 50 W の RF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。第 3 のエッチングにより、第 1 の導電層 237c ~ 239c が形成される。（図 7（B））なお、ここでの第 3 のエッチング処理は、実施の形態に記載した第 4 のエッチング工程（図 3（C））に相当する。また、ここでのチャネル長方向の第 1 の導電層の幅が実施の形態に示した W2 に相当する。

20

【0104】

上記第 3 のエッチング処理によって、第 1 の導電層 237c ~ 239c と重ならず、濃度勾配を有する低濃度不純物領域（LDD 領域）247 ~ 254 が形成される。なお、低濃度不純物領域（GOLD 領域）241 ~ 246 は、第 1 の導電層 234a ~ 236a と重なったままである。このように、各回路に応じて T F T の構造を作り分けている。

30

【0105】

また、第 1 の導電層 237c と第 2 の導電層 237b とで形成された電極は、後の工程で形成されるサンプリング回路の n チャネル型 T F T のゲート電極となる。同様に、第 1 の導電層 238c と第 2 の導電層 238b とで形成された電極は、後の工程で形成される画素部の n チャネル型 T F T のゲート電極となり、第 1 の導電層 239c と第 2 の導電層 239b とで形成された電極は、後の工程で形成される画素部の保持容量の一方の電極となる。

40

【0106】

また、本実施例では第 3 のドーピング処理の後に、第 3 のエッチング処理を行った例を示したが、第 3 のエッチング処理を行った後に第 3 のドーピング処理を行ってもよい。

【0107】

次いで、レジストからなるマスク 274 を除去して第 1 の層間絶縁膜 275 を形成する。この第 1 の層間絶縁膜 275 としては、プラズマ CVD 法またはスパッタ法を用い、厚さを 10 ~ 200 nm としてシリコンを含む絶縁膜で形成する。この第 1 の層間絶縁膜は、膜減りした絶縁膜に後でコンタクトホールを形成する際、半導体層をオーバーエッチングしないようにエッチングストッパーとしての機能を果たすものである。本実施例では、プラズマ CVD 法により膜厚 50 nm の酸化シリコン膜を形成した。勿論、第 1 の層間絶縁

50

膜 275 は酸化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0108】

次いで、図 7 (C) に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400 ~ 700 、代表的には 500 ~ 550 で行えばよく、本実施例では 550 、4 時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法 (RTA 法) を適用することができる。

10

【0109】

また、図示しないが、この活性化処理により不純物元素が拡散して低濃度不純物領域と高濃度不純物領域との境界がなくなり、図 1 (A) に示した濃度分布となる。従って、ここで低濃度不純物領域は、濃度勾配を有しており、さらに高濃度不純物領域のうち、低濃度不純物領域側の領域の一部も濃度勾配を有している。

【0110】

なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有する TFT はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

20

【0111】

また、第 1 の層間絶縁膜を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜 (シリコンを主成分とする絶縁膜、例えば窒化珪素膜) を形成した後で活性化処理を行うことが好ましい。

【0112】

次いで、窒化シリコン膜からなる第 2 の層間絶縁膜 276 を形成して熱処理 (300 ~ 550 で 1 ~ 12 時間の熱処理) を行い、半導体層を水素化する工程を行う。本実施例では、窒素雰囲気中で 410 、1 時間の熱処理を行った。この工程は第 2 の層間絶縁膜 276 に含まれる水素により半導体層のダングリングボンドを終端する工程である。第 1 の層間絶縁膜の存在に関係なく半導体層を水素化することができる。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

30

【0113】

また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーや YAG レーザー等のレーザー光を照射することが望ましい。

【0114】

次いで、第 2 の層間絶縁膜 276 上に有機絶縁物材料から成る第 3 の層間絶縁膜 277 を形成する。本実施例では膜厚 1.6 μm のアクリル樹脂膜を形成した。次いで、各不純物領域 (257、258、261 ~ 263、265、270a、271a、272a、273a) に達するコンタクトホールを形成するためのパターニングを行う。本実施例では複数のエッチング処理を行った。本実施例では第 2 の層間絶縁膜をエッチングストッパーとして第 3 の層間絶縁膜をエッチングした後、第 1 の層間絶縁膜をエッチングストッパーとして第 2 の層間絶縁膜をエッチングしてから第 1 の層間絶縁膜をエッチングした。

40

【0115】

次いで、不純物領域 (257、258、261 ~ 263、270a、271a、272a、273a) とそれぞれ電氣的に接続する電極 278 ~ 286 と、不純物領域 265 と電氣的に接続する画素電極 287 を形成する。これらの電極及び画素電極の材料は、Al または Ag を主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いる。

【0116】

50

以上の様にして、 n チャネル型TFT306及び p チャネル型TFT305からなるロジック回路部303と、 n チャネル型TFT308及び p チャネル型TFT307からなるサンプリング回路部304とを有する駆動回路301と、 n チャネルTFT309からなる画素TFT及び保持容量310とを有する画素部302とを同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0117】

本実施例では、各回路に応じてTFTの構造が異なっている。

【0118】

画素部の n チャネル型TFT309には、消費電力を低く抑えることが要求され、オフ電流値が十分低いTFT構造とすることが望ましい。また、本実施例では、低濃度不純物領域249～252に濃度勾配を持たせ、さらにゲート電極(238b、238c)と重ならない構造とした。また、 n チャネル型TFT309におけるゲート電極の端部は、ゲート絶縁膜を挟んで、チャネル形成領域と低濃度不純物領域との界面と概略一致する。また、各低濃度不純物領域249～252の濃度分布は、チャネル形成領域292、293からの距離が増大するとともに不純物濃度が増加している。

【0119】

また、本実施例の工程により形成されたTFT($L/W = 6\mu m / 4\mu m$ 、 LDD 領域の幅 $1.5\mu m$)の電圧/電流特性を図13に示す。なお、比較例としてTFTの電圧/電流特性を図30に示す。この比較例は、本実施例(濃度勾配を有する低濃度不純物領域)とは異なり、図29に示したように低濃度不純物領域2に濃度勾配を有していないTFTである。

【0120】

図13において、TFTのしきい値(V_{th})は、 $0.415V$ 、 S 値は、 $0.214V/d_{ec}$ 、電界効果移動度(μ_{FE})は、 $122.1cm^2/Vs$ 、オン電流値は、 V_{ds} (ソース領域とドレイン領域の電圧差) $=14V$ の時に $1.08 \times 10^{-4}A$ 、オフ電流値は、 $V_{ds} = 14V$ の時に $1.5 \times 10^{-12}A$ となった。これらの値は全て良好なTFT特性値を示しているが、特にオフ電流値が非常に小さく、比較例と比べて約10分の1に抑えられている。また、これらのTFT特性は、上記実施の形態に示したシミュレーションの結果と一致する。

【0121】

また、画素部のTFTのゲート電極近傍の断面TEM写真を図11に示した。

【0122】

なお、本実施例では n チャネル型TFT309は、ソース領域およびドレイン領域の間に二つのチャネル形成領域を有した構造(ダブルゲート構造)となっているが、本実施例はダブルゲート構造に限定されることなく、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0123】

また、保持容量310の一方の電極として機能する不純物領域253、254、265、266には、それぞれ n 型を付与する不純物元素が添加されている。保持容量204は、絶縁膜207を誘電体として、電極239b、239cと、半導体層とで形成している。なお、本実施例では不純物領域と電極239b、239cとが重ならない構造としたが、重なる構造とすれば、さらに容量を増大することができる。

【0124】

また、サンプリング回路部304、代表的にはアナログスイッチ回路の n チャネル型TFT308には、同様にオフ電流値が低いことが好ましい。本実施例では、低濃度不純物領域247、248に濃度勾配を持たせ、さらにゲート電極(237b、237c)と重ならない構造とした。また、各低濃度不純物領域247、248の濃度分布は、チャネル形成領域291からの距離が増大するとともに不純物濃度が増加している。ただし、オン電流値または信頼性を重視するのであれば、低濃度不純物領域がゲート電極と重なる構造としてもよい。

【 0 1 2 5 】

また、pチャネル型TFT307は、オン電流値または信頼性を重視するため、低濃度不純物領域272b、273bがゲート電極236a、236bと重なる構造とした。また、各低濃度不純物領域272b、273bの濃度分布は、チャネル形成領域290からの距離が増大するとともに不純物濃度が増加している。また、pチャネル型TFT307におけるゲート電極の端部は、ゲート絶縁膜を挟んで、低濃度不純物領域272b、273bと高濃度不純物領域272a、273aとの界面と概略一致する。

【 0 1 2 6 】

また、ロジック回路部のpチャネル型TFT305は、オン電流値または信頼性を重視するため、低濃度不純物領域270b、271bがゲート電極234a、234bと重なる構造とした。また、各低濃度不純物領域270b、271bの濃度分布は、チャネル形成領域288からの距離が増大するとともに不純物濃度が増加している。

10

【 0 1 2 7 】

また、同様にnチャネル型TFT306は、低濃度不純物領域272b、273bがゲート電極235a、235bと重なる構造とした。また、各低濃度不純物領域272b、273bの濃度分布は、チャネル形成領域289からの距離が増大するとともに不純物濃度が増加している。

【 0 1 2 8 】

また、nチャネル型TFT306のゲート電極近傍の断面TEM写真を図12に示した。

【 0 1 2 9 】

20

また、図14に駆動回路のnチャネル型TFT306の信頼性を示す。信頼性の評価は、10年保証電圧を導出することで評価する。なお、10年保証電圧とは、TFTの移動度の最大値($\mu F E(max)$)が10%変動するまでの時間をそのTFTの寿命と仮定し、ドレイン電圧の逆数を片対数グラフにプロットして、得られる直線的な関係から寿命が10年となるドレイン電圧の値を導出している。

【 0 1 3 0 】

図14に示すようにnチャネル型TFT306の10年保証電圧は20V以上と導出され、高い信頼性を示している。

【 0 1 3 1 】

また、pチャネル型TFT305も10年保証電圧において同様に高い信頼性を示している。

30

【 0 1 3 2 】

また、他の信頼性の評価も行った。ここではオンストレスによる1000時間寿命温度を導出するため $V_g = +20V$ 、 $V_d = 0V$ において、TFT特性($I-V$ カーブの立ち上がりの電圧値($Shift-1$))が0.1V変動するまでの時間を1000/T(T:絶対温度(K))に対してプロットし、1000時間で0.1V変動する温度(寿命温度)の導出を行った結果を図15に示した。図15で示すようにnチャネル型TFT306の1000時間での寿命温度は80以上が得られた。

【 0 1 3 3 】

また、pチャネル型TFT305もオンストレスによる1000時間寿命温度において同様に高い信頼性を有している。ただし、pチャネル型TFTの場合、 $V_g = -20V$ 、 $V_d = 0V$ とする。

40

【 0 1 3 4 】

また、オフストレスによる1000時間寿命温度を調べるため $V_g = 0V$ 、 $V_d = +20V$ において、TFT特性($I-V$ カーブの立ち上がりの電圧値($Shift-1$))が0.1V変動するまでの時間を1000/T(T:絶対温度(K))に対してプロットし、1000時間で0.1V変動する温度(寿命温度)の導出を行った結果を図16に示した。図16で示すようにnチャネル型TFT306の1000時間での寿命温度は80以上が得られた。

【 0 1 3 5 】

50

また、pチャネル型TFT305もオフストレスによる1000時間寿命温度同様に高い信頼性を有している。ただし、pチャネル型TFTの場合、 $V_g = 0\text{ V}$ 、 $V_d = -20\text{ V}$ とする。

【0136】

次いで、トランジェントストレスによるnチャネル型TFTの特性変動を導出するため、 $V_d = +20\text{ V}$ 、 $V_g = 2 \sim 6\text{ V}$ とし、室温で20時間放置した後のオン特性変動を図17で示している。図17で示すようにnチャネル型TFT306の20時間後での移動度最大値($\mu_{FE}(\text{max})$)の変動は10%以下にすることができた。トランジェントストレスとは、ドレイン電圧をある値に設定し、ゲート電圧を固定した時のストレスを指している。

10

【0137】

駆動回路のnチャネル型TFT306において、ゲート電極と重なる低濃度不純物領域の幅は、 $1.5\text{ }\mu\text{m}$ である。従来のドーピングの条件等によっては、ゲート電極の下方に回り込んで添加されることがあるが、その場合、ゲート電極と重なる低濃度不純物領域の幅は、 $0.1\text{ }\mu\text{m}$ 程度であるため、本実施例に示したような顕著な効果を得ることは困難である。

【0138】

また、pチャネル型TFT305もトランジェントストレスにおいて同様に高い信頼性を有している。ただし、pチャネル型TFTの場合、 $V_d = -20\text{ V}$ 、 $V_g = -2 \sim -6\text{ V}$ とする。

20

【0139】

こうして、本実施例では、同一基板上に信頼性の高いTFT306を備えた駆動回路と、オフ電流値が低減された画素TFT309とを備えた画素部とを同時に形成することができた。また、画素TFT309のオン電流値は、TFT306のオン電流値と同程度のもので得られたため、オフ電流値に対するオン電流値の比が高くなった。図24にオフ電流値に対するオン電流値の比を示す。印で示したものが本実施例の画素TFTであり、オフ電流値に対するオン電流値の比は、 $7.9 \sim 8.5$ となっており、印で示した従来例よりも高い。この従来例は、本実施例(濃度勾配を有する低濃度不純物領域)とは異なり、図29に示したように低濃度不純物領域2に濃度勾配を有していないTFTである。

【0140】

30

[実施例2]

本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図9を用いる。

【0141】

まず、実施例1に従い、図8の状態のアクティブマトリクス基板を得た後、図8のアクティブマトリクス基板上に配向膜401を形成しラビング処理を行う。なお、本実施例では配向膜401を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0142】

40

次いで、対向基板400を用意する。この対向基板には、着色層402、遮光層403が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層403を設けた。このカラーフィルタと遮光層とを覆う平坦化膜404を設けた。次いで、平坦化膜404上に透明導電膜からなる対向電極405を画素部に形成し、対向基板の全面に配向膜406を形成し、ラビング処理を施した。

【0143】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材407で貼り合わせる。シール材407にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料408を注入し、封止剤(図示せず)によって完全に封止する。液晶

50

材料４０８には公知の液晶材料を用いれば良い。このようにして図９に示すアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いてＦＰＣを貼りつけた。

【０１４４】

こうして得られた液晶モジュールの構成を図１０の上面図を用いて説明する。なお、図９と対応する部分には同じ符号を用いた。

【０１４５】

図１０（Ａ）で示す上面図は、画素部、駆動回路、ＦＰＣ（フレキシブルプリント配線板：Flexible Printed Circuit）４１１を貼り付ける外部入力端子４０９、外部入力端子と各回路の入力部までを接続する配線４１０などが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板４００とがシール材４０７を介して貼り合わされている。

10

【０１４６】

ゲート配線側駆動回路３０１ａと重なるように対向基板側に遮光層４０３ａが設けられ、ソース配線側駆動回路３０１ｂと重なるように対向基板側に遮光層４０３ｂが形成されている。また、画素部３０２上の対向基板側に設けられたカラーフィルタ４０２は遮光層と、赤色（Ｒ）、緑色（Ｇ）、青色（Ｂ）の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色（Ｒ）の着色層、緑色（Ｇ）の着色層、青色（Ｂ）の着色層の３色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

20

【０１４７】

ここでは、カラー化を図るためにカラーフィルタ４０２を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

【０１４８】

また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層４０３ａ、４０３ｂを設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成してもよい。

30

【０１４９】

また、上記遮光層を設けずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所（各画素電極の間隙）や、駆動回路を遮光してもよい。

【０１５０】

また、外部入力端子にはベースフィルムと配線から成るＦＰＣ４１１が異方性導電性樹脂で貼り合わされている。さらに補強板で機械的強度を高めている。

【０１５１】

以上のようにして作製される液晶モジュールは各種電子機器の表示部として用いることができる。

40

【０１５２】

[実施例３]

本実施例ではオフセット領域をチャネル形成領域と低濃度不純物領域との間に設ける例を図１８に示す。なお、図１８は模式図である。

【０１５３】

図１８において、チャネル形成領域５０１ａを挟むように設けられたオフセット領域５０１ｂと不純物領域（ＬＤＤ領域、ソース領域またはドレイン領域）５０２ａ、５０２ｂ、５０３ａ、５０３ｂにおいて、チャネル形成領域からの距離が増大するとともに一導電型

50

を付与する不純物元素の濃度が増大するような濃度分布とする。即ち、チャネル長方向においてゲート電極 505 の端部から半導体層の周縁部に向かって離れるにつれて不純物元素（リン）の濃度が徐々に増大する不純物領域 502 を備えている。

【0154】

本実施例は、このような濃度勾配を有する不純物領域 502 を意図的に形成し、さらにチャネル形成領域と低濃度不純物領域との間にオフセット領域を形成して極めて低いオフ電流値とすることができた。なお、ゲート電極 505 はゲート絶縁膜 504 を介してチャネル形成領域 501a と重なるが、オフセット領域 501b 及び不純物領域 502 とは重ならない構造とする。なお、図 18 において、500 は絶縁表面を有する基板、506 は層間絶縁膜、507、508 はソース電極またはドレイン電極である。

10

【0155】

本明細書中では、オフセット領域 501b とは、活性層のうち、チャネル形成領域 501 に含まれる不純物濃度とほぼ同一の不純物濃度を有し、且つ、ゲート電極 505 と重ならない領域を指している。

【0156】

なお、オフセット領域 501b を作製するには、実施例 1 に示した第 3 のエッチング工程において、W との選択比が低いエッチングガスを用いたエッチング処理を行えばよい。また、他の方法としては、不純物領域を形成した後、テーパ形状とした電極に等方性エッチングを行ってオフセット領域 501b を形成してもよい。

【0157】

20

図 19 に本実施例の TFT ($L/W = 6 \times 2 \mu\text{m} / 4 \mu\text{m}$ 、オフセット領域の幅 $0.5 \mu\text{m}$ 、LDD 領域の幅 $1.5 \mu\text{m}$) の電圧 / 電流特性を示す。なお、ダブルゲート構造であるので、2 つのチャネル形成領域 $L/W = 6 \mu\text{m} / 4 \mu\text{m}$ を $L/W = 6 \times 2 \mu\text{m} / 4 \mu\text{m}$ と示した。TFT のしきい値 (V_{th}) は、 0.715 V 、S 値は、 0.243 V/dec 、電界効果移動度 (μ_{FE}) は、 $90.7 \text{ cm}^2/\text{Vs}$ 、オン電流値は、 $V_{ds} = 14 \text{ V}$ の時に $7.85 \times 10^{-5} \text{ A}$ 、オフ電流値は、 $V_{ds} = 14 \text{ V}$ の時に $9.5 \times 10^{-13} \text{ A}$ となった。図 19 において、これらは全て良好な TFT 特性値を示しているが、特にオフ電流値が非常に小さく、オフ電流値に対するオン電流値の比が高いため、画素 TFT として好適である。図 24 中、印で示したものが本実施例の画素 TFT であり、オフ電流値に対するオン電流値の比は、 $7.9 \sim 8.4$ となっており、印で示した従来例よりも高い。

30

【0158】

また、トランジェントストレスによる n チャネル型 TFT の特性変動を導出した。図 20 に示す。なお、比較例として実施例 1 の画素 TFT (印) と、従来例 (濃度勾配のない低濃度不純物領域) の画素 TFT (印) とをそれぞれ示した。図 20 で示したように、

印で示した本実施例の画素 TFT (10 年保証電圧: 1.2 V) は、従来例 (10 年保証電圧: 1.0 V) や実施例 1 (10 年保証電圧: 1.03 V) より高い信頼性を得ることができた。

【0159】

[実施例 4]

40

本実施例では、実施例 1 とは異なるアクティブマトリクス基板及びその作製方法について図 21、図 22 を用いて説明する。本実施例では、画素電極に透光性を有する導電膜を用いて透過型の表示装置を形成する。透光性を有する導電膜としては、ITO (酸化インジウム酸化スズ合金)、酸化インジウム酸化亜鉛合金 ($\text{In}_2\text{O}_3 - \text{ZnO}$)、酸化亜鉛 (ZnO) 等を用いればよい。

【0160】

本実施例においては、層間絶縁膜 609 を形成した後、透明導電膜を形成し、透明導電膜からなる画素電極 600 をフォトリソを用いてパターンニングする。その後、層間絶縁膜 609 にコンタクトホールを形成する。次いで、画素電極 600 と重なる接続電極 611 を形成する。この接続電極 611 は、コンタクトホールを通じてドレイン領域 625 と接

50

続されている。また、この接続電極 6 1 1 と同時に他の T F T のソース電極またはドレイン電極も形成する。

【 0 1 6 1 】

また、図 2 1 に示すように画素部のソース配線 6 1 0 がゲート電極 6 2 9 と同じ絶縁膜上に形成されており、画素部の n チャネル型 T F T 6 0 7 のソース領域 6 2 3 とは接続電極 6 1 3 で接続されている。

【 0 1 6 2 】

また、ゲート配線 6 1 2 は、ゲート電極 6 2 9 と異なる絶縁膜 6 0 9 上に形成されており、コンタクトホールを通じてゲート電極 6 2 9 と接続されている。なお、このゲート配線 6 1 2 はチャンネル形成領域 6 1 7、6 1 8 への光を遮る遮光膜も兼ねている。

10

【 0 1 6 3 】

また、画素部 6 0 6 においては、n チャネル型 T F T 6 0 7 と保持容量 6 0 8 が形成される。n チャネル型 T F T 6 0 7 はダブルゲート構造であり、その構造は図 8 の n チャネル型 T F T 3 0 9 と同一である。チャンネル形成領域 6 1 7、6 1 8 と、低濃度不純物領域 6 1 9 ~ 6 2 2 と、高濃度不純物領域 6 2 3 ~ 6 2 5 とで T F T の活性層が形成されている。6 2 3 はソース領域であり、6 2 5 はドレイン領域である。

【 0 1 6 4 】

また、保持容量 6 0 8 を形成する一方の電極 6 3 0 は、ゲート電極 6 2 9 と同一のパターンで形成されている。もう一方の電極は、ボロンが高濃度に添加された高濃度不純物領域 6 2 4、6 2 8、低濃度不純物領域 6 2 5、6 2 7、不純物元素がほとんど添加されていない領域 6 2 6 からなる半導体層である。高濃度不純物領域 6 2 4 は、画素電極 6 0 0 とコンタクトホールを通じて接続電極 6 1 4 で接続されている。

20

【 0 1 6 5 】

本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極 6 0 0 の端部をソース配線 6 1 0 と重なるように配置形成させている。

【 0 1 6 6 】

また、駆動回路 6 0 1 においては、実施例 1 と同一の構造であるため、ここでは詳細な説明は省略する。なお、n チャネル型 T F T 6 0 3 は、図 9 中の n チャネル型 T F T 3 0 6 に相当し、p チャネル型 T F T 6 0 4 は、図 9 中の p チャネル型 T F T 3 0 5 に相当し、n チャネル型 T F T 6 0 5 は n チャネル型 T F T 3 0 8 に相当している。

30

【 0 1 6 7 】

本実施例で作製するアクティブマトリクス基板の画素部の上面図を図 2 2 に示す。なお、図 2 1 に対応する部分には同じ符号を用いている。図 2 1 中の鎖線 A - A ' は図 2 2 中の鎖線 A - A ' で切断した断面図に対応している。また、図 2 1 中の鎖線 B - B ' は図 2 2 中の鎖線 B - B ' で切断した断面図に対応している。

【 0 1 6 8 】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトリソマスクの数を 6 枚とすることができる。その結果、製造工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

40

【 0 1 6 9 】

[実施例 5]

本実施例では、E L (Electro Luminescence) 素子を備えた発光表示装置を作製する例を図 2 5 に示す。

【 0 1 7 0 】

図 2 5 (A) は、E L モジュールを示す上面図、図 2 5 (B) は図 2 5 (A) を A - A ' で切断した断面図である。絶縁表面を有する基板 7 0 0 (例えば、ガラス基板、結晶化ガラス基板、もしくはプラスチック基板等)に、画素部 7 0 2、ソース側駆動回路 7 0 1、及びゲート側駆動回路 7 0 3 を形成する。また、7 1 8 はシール材、7 1 9 は D L C 膜であり、画素部および駆動回路部はシール材 7 1 8 で覆われ、そのシール材は保護膜 7 1 9

50

で覆われている。さらに、接着材を用いてカバー材で封止されている。

【0171】

なお、708はソース側駆動回路701及びゲート側駆動回路703に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）709からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0172】

次に、断面構造について図25（B）を用いて説明する。基板500上に絶縁膜710が設けられ、絶縁膜710の上方には画素部702、ゲート側駆動回路503が形成されており、画素部702は電流制御用TFT711とそのドレインに電氣的に接続された画素電極712を含む複数の画素により形成される。また、ゲート側駆動回路703はnチャネル型TFT713とpチャネル型TFT714とを組み合わせたCMOS回路を用いて形成される。

10

【0173】

これらのTFT（711、713、714を含む）は、実施例1または実施例3に従って作製すればよい。

【0174】

画素電極712はEL素子の陽極として機能する。また、画素電極712の両端にはバンク715が形成され、画素電極712上にはEL層716およびEL素子の陰極717が形成される。

20

【0175】

EL層716としては、発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、低分子系有機EL材料や高分子系有機EL材料を用いればよい。また、EL層として一重項励起により発光（蛍光）する発光材料（シングレット化合物）からなる薄膜、または三重項励起により発光（リン光）する発光材料（トリプレット化合物）からなる薄膜を用いることができる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる

30

【0176】

陰極717は全画素に共通の配線としても機能し、接続配線708を経由してFPC709に電氣的に接続されている。さらに、画素部702及びゲート側駆動回路703に含まれる素子は全て陰極717、シール材718、及び保護膜719で覆われている。

【0177】

なお、シール材718としては、できるだけ可視光に対して透明もしくは半透明な材料を用いるのが好ましい。また、シール材718はできるだけ水分や酸素を透過しない材料であることが望ましい。

【0178】

40

また、シール材718を用いて発光素子を完全に覆った後、すくなくとも図25に示すようにDLC膜等からなる保護膜719をシール材718の表面（露呈面）に設けることが好ましい。また、基板の裏面を含む全面に保護膜を設けてもよい。ここで、外部入力端子（FPC）が設けられる部分に保護膜が成膜されないように注意することが必要である。マスクを用いて保護膜が成膜されないようにしてもよいし、CVD装置でマスキングテープ等のテープで外部入力端子部分を覆うことで保護膜が成膜されないようにしてもよい。

【0179】

以上のような構造でEL素子をシール材718及び保護膜で封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置を得る

50

ことができる。

【0180】

[実施例6]

本発明を実施して形成された駆動回路や画素部は様々なモジュール（アクティブマトリクス型液晶モジュール、アクティブマトリクス型ELモジュール、アクティブマトリクス型ECモジュール）に用いることができる。即ち、本発明を実施することによって、それらを組み込んだ全ての電子機器が完成される。

【0181】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図26～図28に示す。

10

【0182】

図26（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。

【0183】

図26（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。

【0184】

図26（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。

20

【0185】

図26（D）はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。

【0186】

図26（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

30

【0187】

図26（F）はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部（図示しない）等を含む。

【0188】

図27（A）はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶モジュール2808に適用することができる。

【0189】

図27（B）はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶モジュール2808に適用することができる。

40

【0190】

なお、図27（C）は、図27（A）及び図27（B）中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶モジュール2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図27（C）中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

50

【0191】

また、図27(D)は、図27(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図27(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0192】

ただし、図27に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びELモジュールでの適用例は図示していない。

10

【0193】

図28(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906、画像入力部(CCD、イメージセンサ等)2907等を含む。

【0194】

図20(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。

【0195】

図20(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。

20

【0196】

ちなみに図20(C)に示すディスプレイは中小型または大型のもの、例えば5~20インチの画面サイズのものである。また、このようなサイズの表示部を形成するためには、基板の一边が1m以上のものを用い、多面取りを行って量産することが好ましい。

【0197】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器の作製方法に適用することが可能である。また、本実施例の電子機器は実施例1~5のどのような組み合わせからなる構成を用いても実現することができる。

【0198】

[実施例7]

30

本実施例では、駆動回路のTF T(チャネル長: L / チャネル幅: $W = 10 \mu\text{m} / 8 \mu\text{m}$)において、ゲート電極と重なる不純物領域(L_{ov} 領域とも呼ぶ)のチャネル長方向における長さ信頼性との関係を示す。

【0199】

図14では、 L_{ov} 領域の長さが $1.5 \mu\text{m}$ である場合におけるTF Tの移動度の最大値($\mu_{FE}(\text{max})$)が10%変動するまでの時間をそのTF Tの寿命と仮定し、ドレイン電圧の逆数を片対数グラフにプロットして、得られる直線的な関係から寿命が10年となるドレイン電圧の値を10年保証電圧として導出したが、本実施例では、 L_{ov} 領域のチャネル長方向における長さ(L_{ov} 長とも呼ぶ)を $0.5 \mu\text{m}$ 、 $0.78 \mu\text{m}$ 、 $1 \mu\text{m}$ 、 $1.5 \mu\text{m}$ 、 $1.7 \mu\text{m}$ とした場合のそれぞれについて、TF Tのオン電流値が10%変動するまでの時間をそのTF Tの寿命と仮定し、ドレイン電圧の逆数を片対数グラフにプロットして、得られる直線的な関係から寿命が10年となるドレイン電圧の値を10年保証電圧として導出して得られた結果を図31に示す。

40

【0200】

なお、トランジェントストレス試験でTF Tのオン電流値が10%変動するまでの時間が20時間となるドレイン電圧の値を20時間保証電圧として得られた結果も図31中に示した。

【0201】

図31に示すように、16V系の装置に用いられることを想定し、20%のマージンを考えた時、19.2V(16×1.2)以上となるnチャネル型TF Tの L_{ov} 領域の長さは

50

、20時間保証電圧においては1 μ m以上であり、10年保証電圧となると1.5 μ m以上であることが望ましい。

【0202】

[実施例8]

本実施例では、ゲート電極を3 μ m~10 μ mの線幅設計サイズとした場合、線幅設計サイズと、ゲート電極と重なる不純物領域(Lov領域とも呼ぶ)のチャンネル長方向における長さの関係を図32に示す。

【0203】

実施例1に従って、エッチングを行って、テーパ形状を有するゲート電極を形成した場合、線幅によって、形成されるLovの長さが増加する。

【0204】

得ようとする線幅を3 μ m、4 μ m、6 μ m、8 μ m、10 μ mと設定し、実施例1と同じエッチングを行って形成されるLovのチャンネル長方向における長さ(Lov長)に関してそれぞれの平均値を測定した。なお、ここでいうLovの長さは、ゲート電極の片側の端部に形成されるテーパ部の長さに対応している。

【0205】

得ようとする線幅が3 μ mである場合、Lov長の平均値は1.09 μ mであり、そのときのチャンネル長の平均値が0.86であり、 $0.86 + 2 \times (1.09) = 3.04$ のゲート電極幅が得られた。

【0206】

また、それぞれ図32に示したように、線幅が4 μ mである場合、Lov長の平均値は1.13 μ mであり、線幅が6 μ mである場合、Lov長の平均値は1.24 μ mであり、線幅が8 μ mである場合、Lov長の平均値は1.32 μ mであり、線幅が10 μ mである場合、Lov長の平均値は1.39 μ mである。

【0207】

従って、これらのデータに基づき、画素部や駆動回路部に使用する配線の線幅を決定し、それぞれ必要とするLov長に設置することが望ましい。

【0208】

【発明の効果】

本発明によりオフ電流値が極めて低く、オフ電流値に対するオン電流値の比が高い画素TFTを実現することができる。また、駆動回路においては、オン電流値が高く、信頼性の高いTFTを備えたため、優れた表示特性を有する半導体装置を実現することができる。また、テーパ部を利用して不純物領域を形成するため、工程数を削減して製造コストの低減および歩留まりの向上を実現することができる。

【図面の簡単な説明】

【図1】 本発明の構成を示す図。

【図2】 本発明の作製工程を示す図である。

【図3】 本発明の作製工程を示す図である。

【図4】 シミュレーションのキャリア密度分布を示す図である。

【図5】 シミュレーションによるTFT特性を示す図である。

【図6】 AM-LCDの作製工程を示す図である。

【図7】 AM-LCDの作製工程を示す図である。

【図8】 AM-LCDの作製工程を示す図である。

【図9】 液晶モジュールの断面図を示す図である。

【図10】 液晶モジュールの外観を示す図である。

【図11】 駆動回路のTFTにおけるゲート電極のTEM写真図である。

【図12】 画素部のTFTにおけるゲート電極のTEM写真図である。

【図13】 画素部のTFTにおける電圧/電流特性を示す図である。

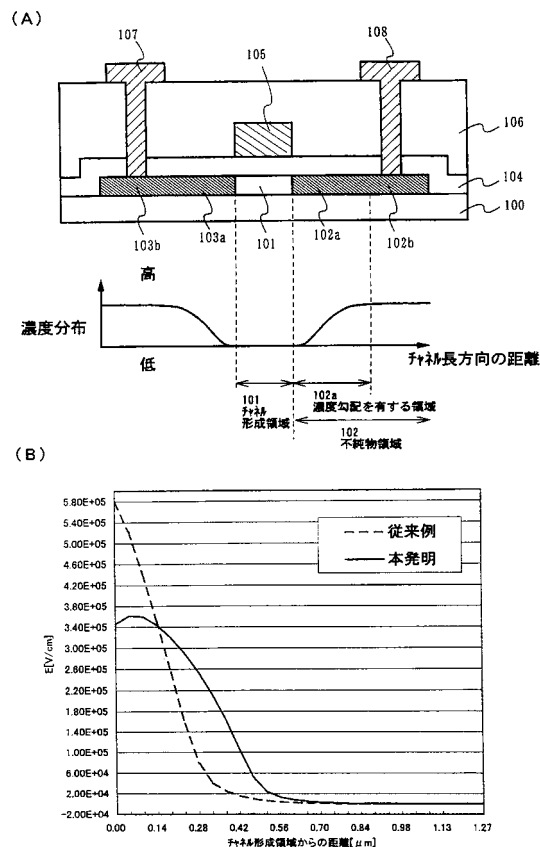
【図14】 駆動回路のTFTにおける信頼性データ(10年保証電圧)を示す図である。

- 【図 15】 駆動回路の T F T における信頼性データ（オンストレス）を示す図である。
- 【図 16】 駆動回路の T F T における信頼性データ（オフストレス）を示す図である。
- 【図 17】 駆動回路の T F T における信頼性データ（トランジェントストレス）を示す図である。
- 【図 18】 本発明の構成を示す図である。（実施例 3）
- 【図 19】 画素部の T F T における電圧 / 電流特性を示す図である。（実施例 3）
- 【図 20】 画素部の T F T における信頼性データ（10 年保証電圧）を示す図である。
- 【図 21】 アクティブマトリクス基板の断面図を示す図である。
- 【図 22】 画素を示す上面図である。
- 【図 23】 第 2 のドーピング処理による深さ方向の不純物濃度分布を示す図である。
- 【図 24】 オフ電流に対するオン電流の比を示すグラフである。
- 【図 25】 E L モジュールを示す上面図及び断面図である。（実施例 5）
- 【図 26】 電子機器の一例を示す図である。
- 【図 27】 電子機器の一例を示す図である。
- 【図 28】 電子機器の一例を示す図である。
- 【図 29】 従来例を示す図である。
- 【図 30】 従来例の T F T における電圧 / 電流特性を示す図である。
- 【図 31】 駆動回路の T F T における信頼性（20 時間保証電圧、10 年保証電圧）と L_{ov} 長との関係を示す図である。
- 【図 32】 線幅設計サイズと L_{ov} 長との関係を示す図である。

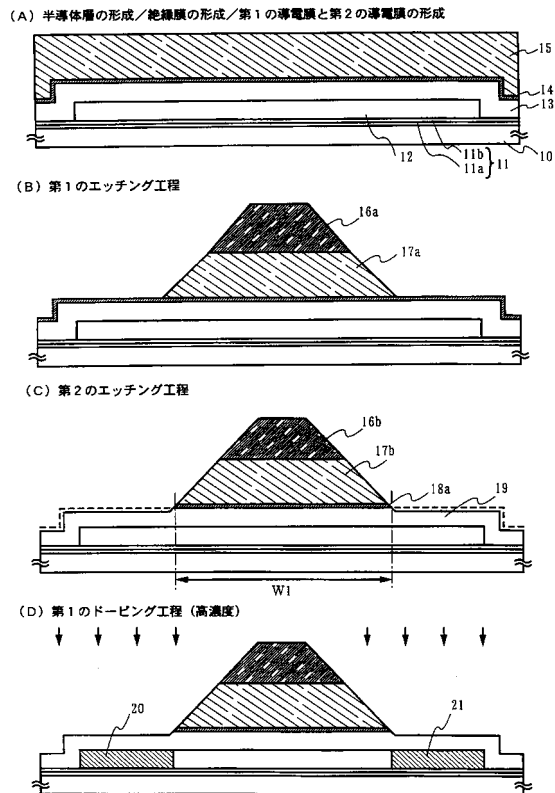
10

20

【図 1】

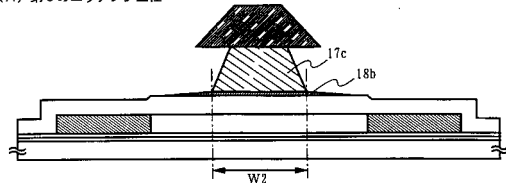


【図 2】

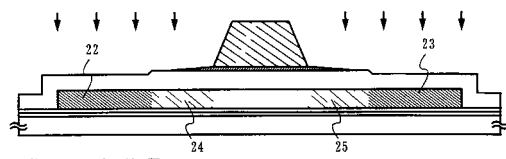


【図 3】

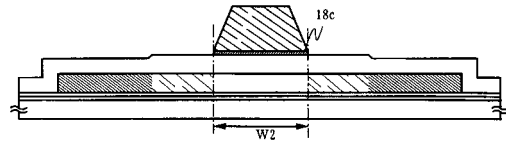
(A) 第3のエッチング工程



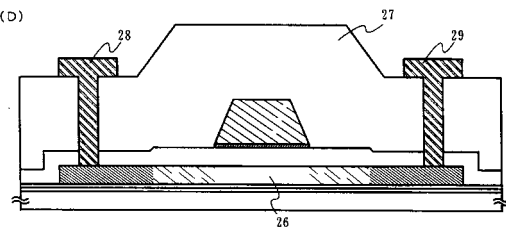
(B) 第2のドーピング工程 (低濃度)



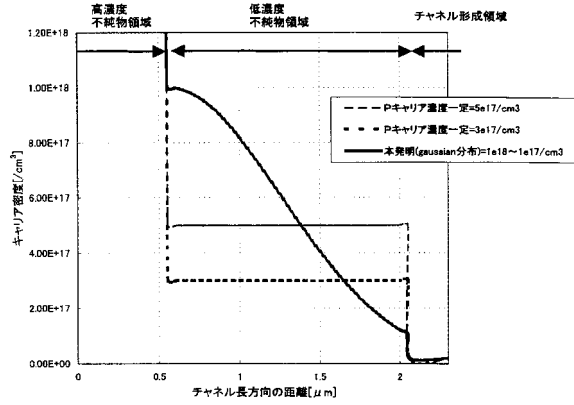
(C) 第4のエッチング工程



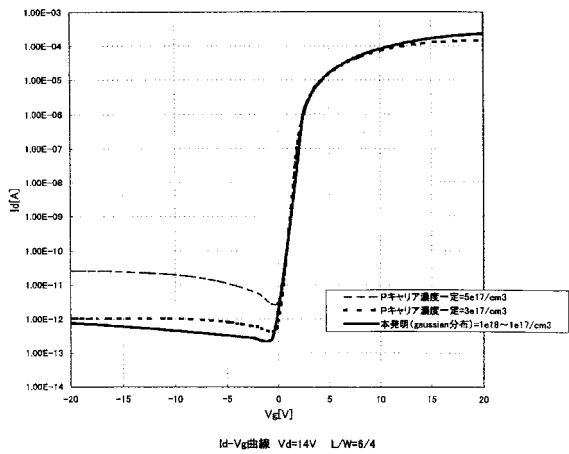
(D)



【図 4】

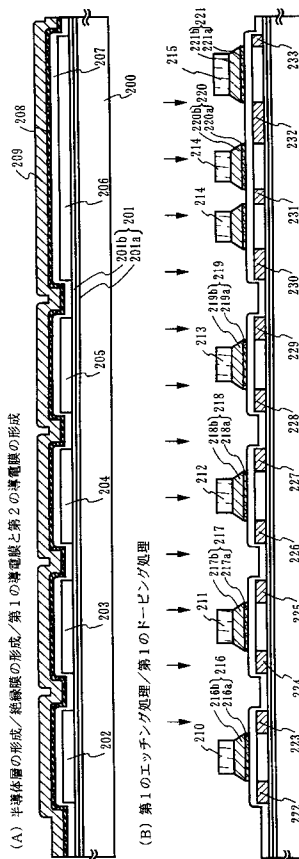


【図 5】



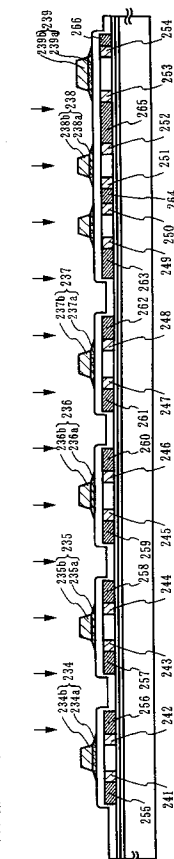
Id-Vg曲線 Vd=14V L/W=8/4

【図 6】

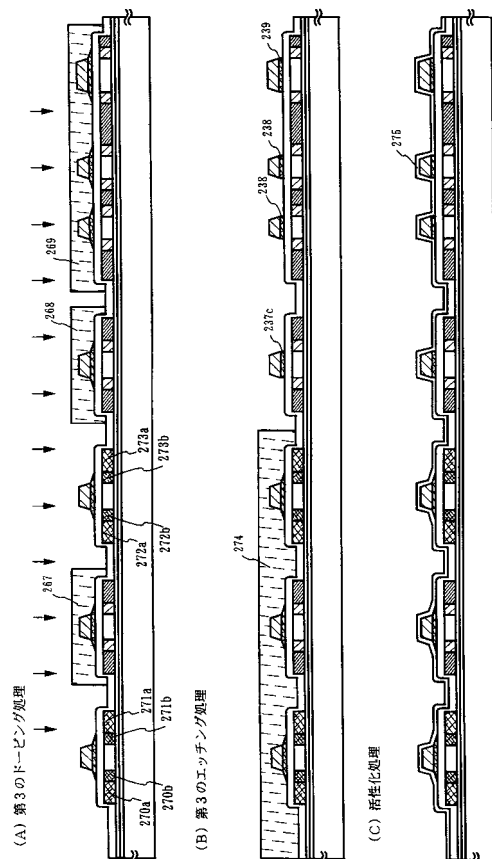


(B) 第1のエッチング処理/第1のドーピング処理

(C) 第2のエッチング処理/マスク除去/第2のドーピング処理



【図 7】

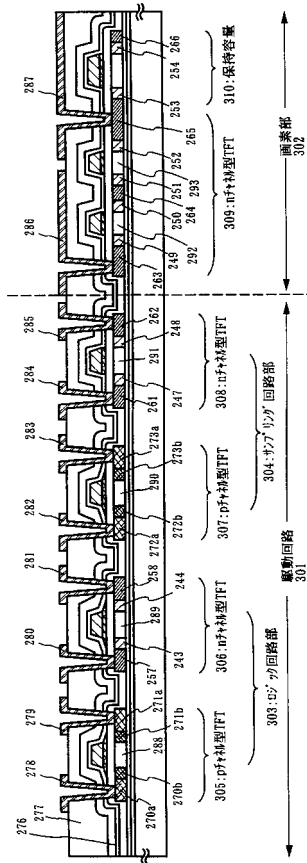


(A) 第3のドーピング処理

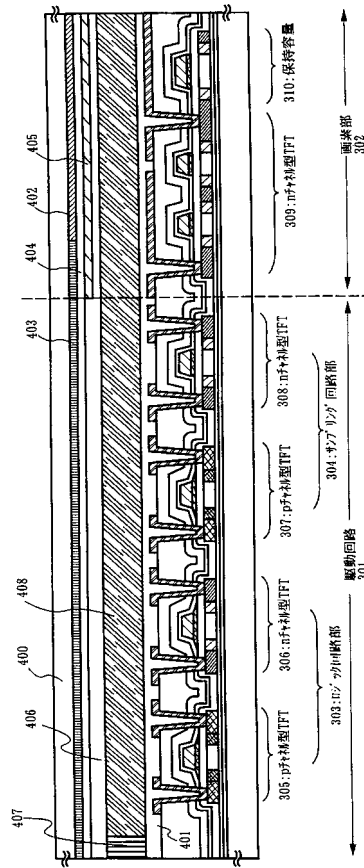
(B) 第3のエッチング処理

(C) 結晶化処理

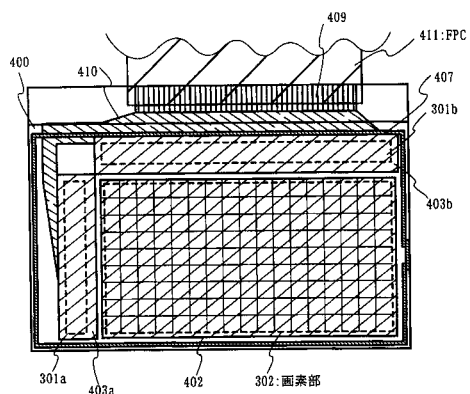
【圖 8】



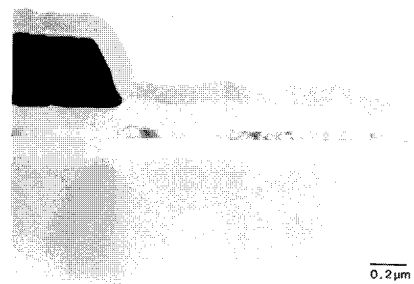
【 図 9 】



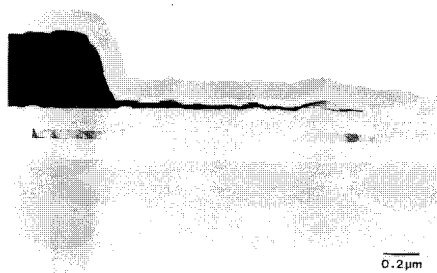
【 図 1 0 】



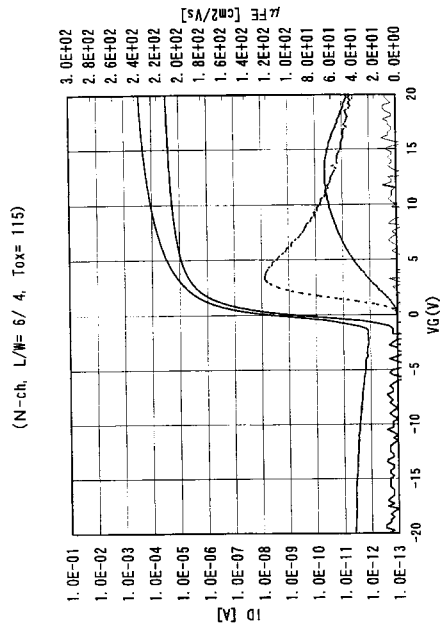
【圖 1 2】



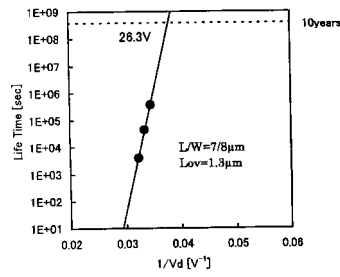
【 図 1 1 】



【図 13】

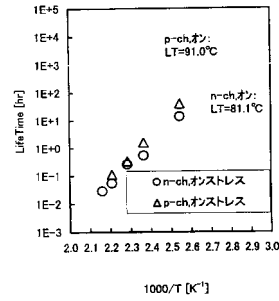


【図 14】



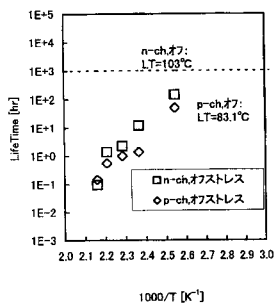
駆動回路 T F T 10年保証電圧

【図 15】



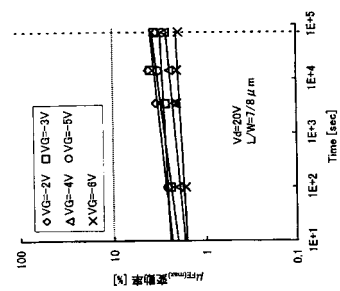
オンストレスによる1000時間寿命温度
($\Delta shift_1=0.1V$)

【図 16】

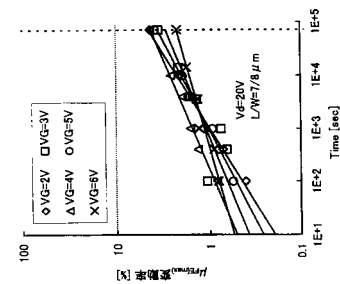


オフストレスによる1000時間寿命温度
($\Delta shift_1=0.1V$)

【図 17】

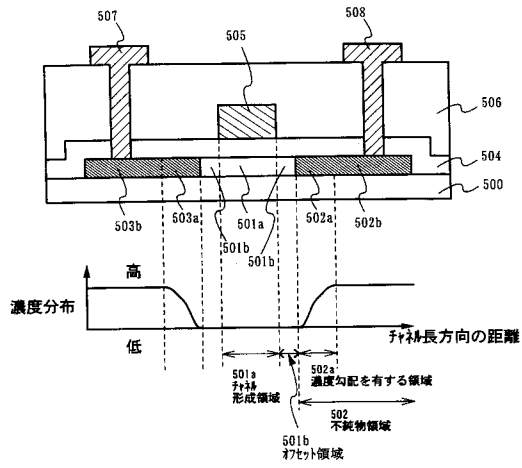


(B) トランジェントストレスによる
nチャネル特性変動

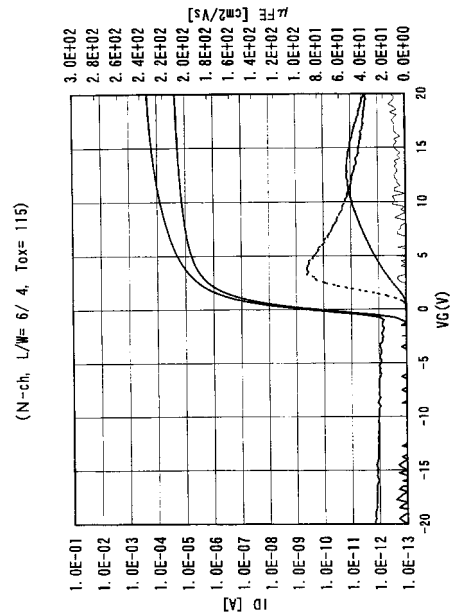


(A) トランジェントストレスによる
pチャネル特性変動

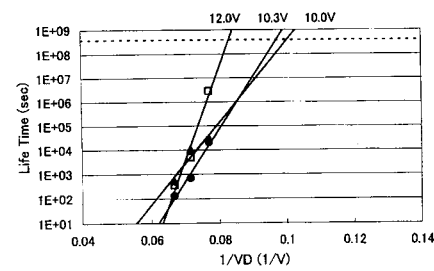
【図18】



【図19】



【図20】

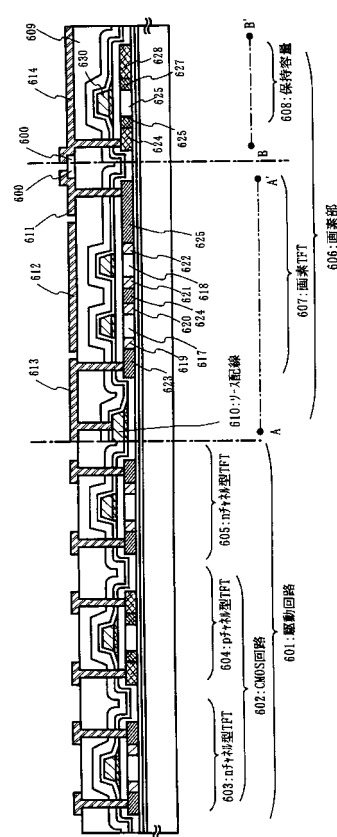


Ion,1が10%劣化したときを寿命とした
 $L/W = 6 \times 2/4 \mu\text{m}$ 設計の画素TFT

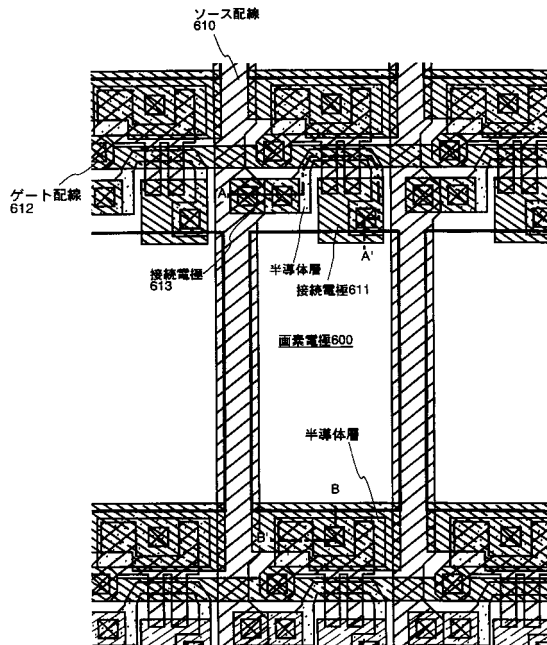
10年保証電圧測定結果

●実施例1の画素TFT
 □実施例3の画素TFT
 ▲従来例

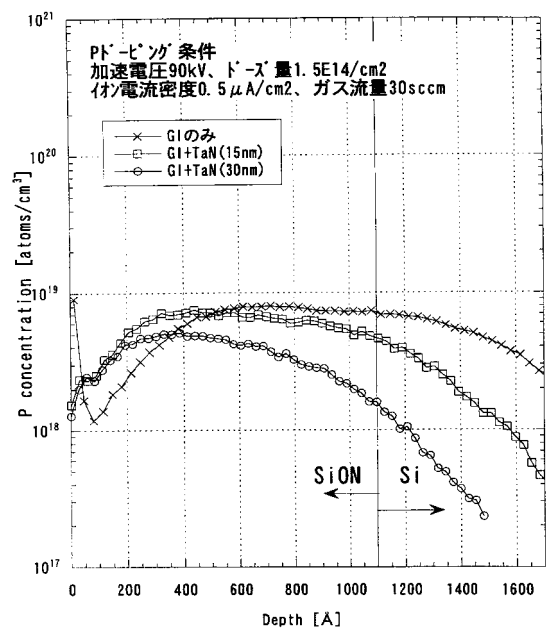
【図21】



【図 22】

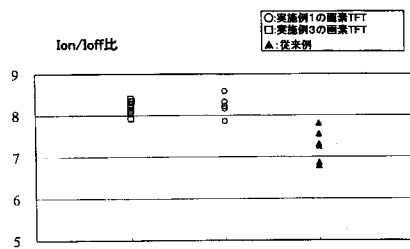


【図 23】

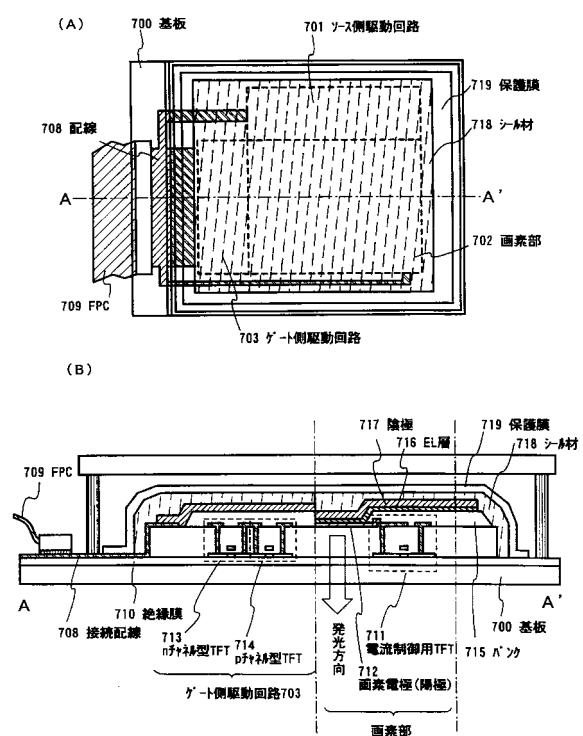


第2のドーピング処理における
GI (SiON:1100 Å) 及び半導体層 (Si) 中のP濃度分布 (SIMS分析)

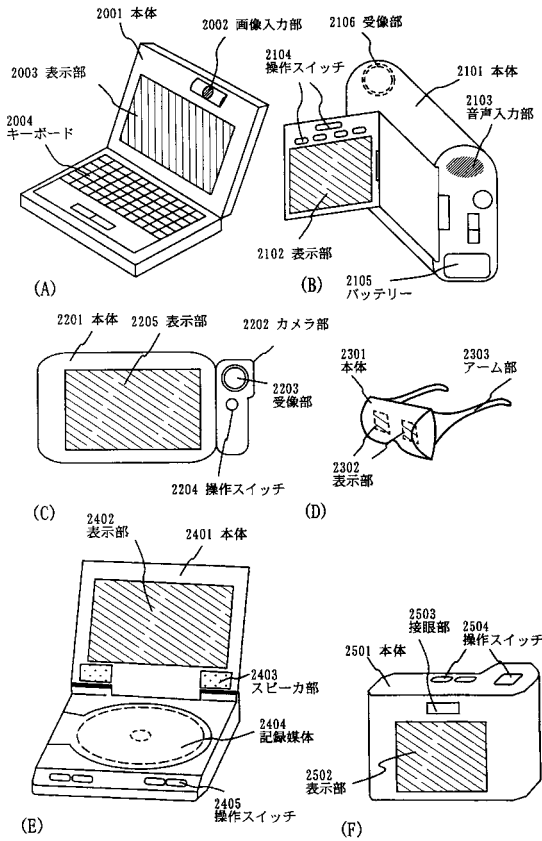
【図 24】



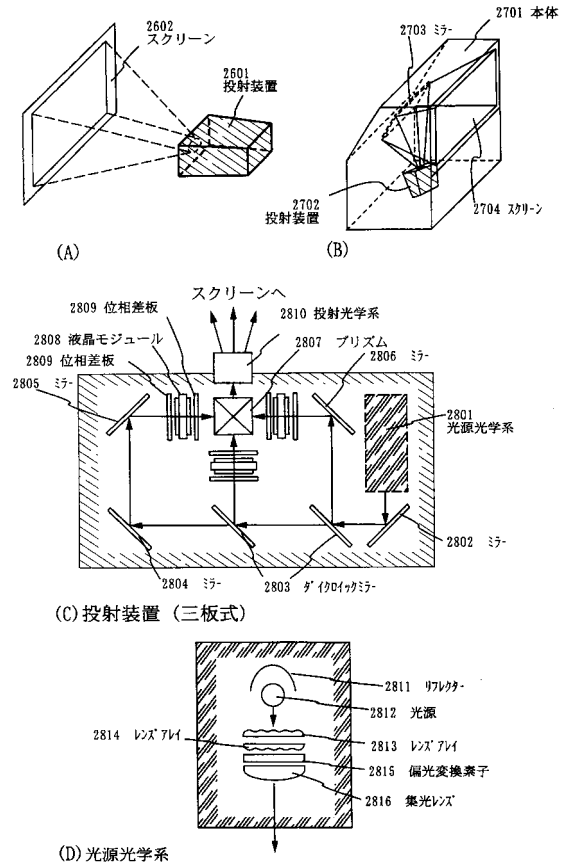
【図 25】



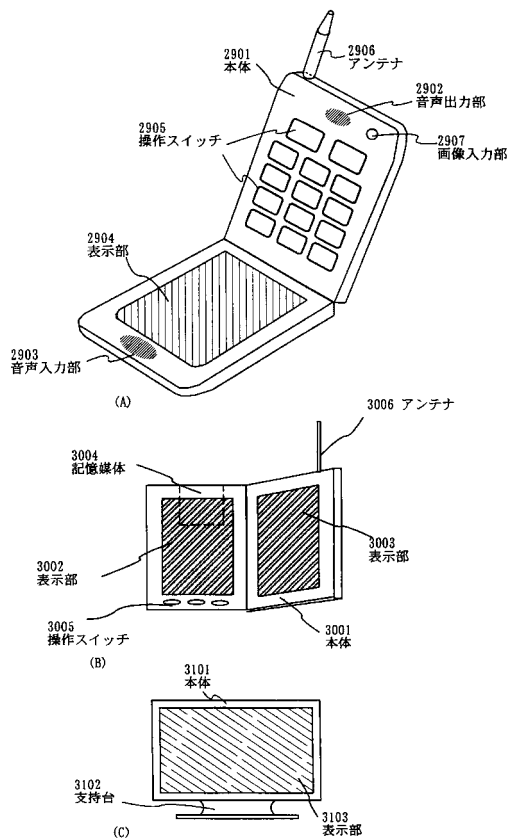
【図 26】



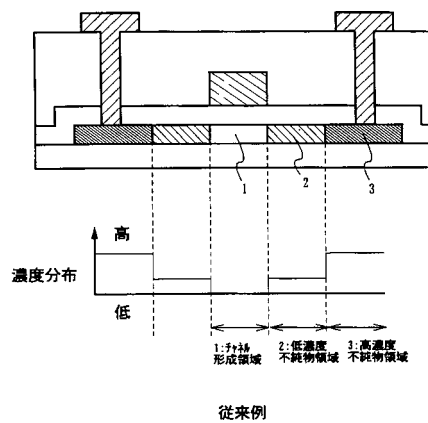
【図 27】



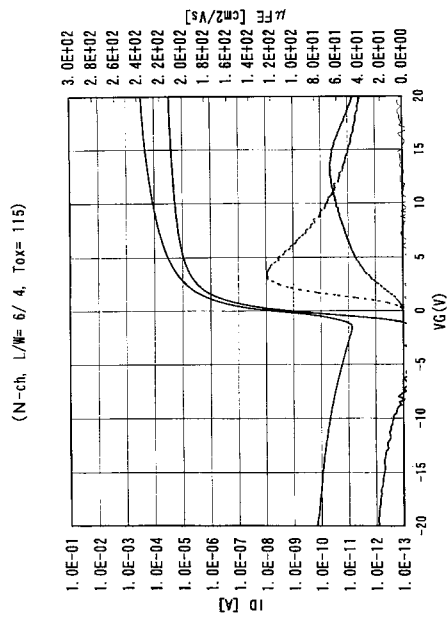
【図 28】



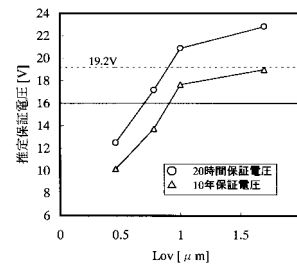
【図 29】



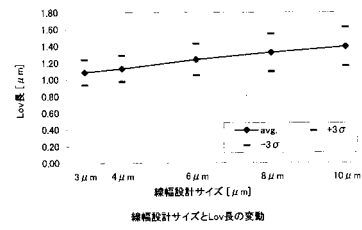
【図 30】



【図 31】



【図 32】



フロントページの続き

(56)参考文献 特開平 07 - 131027 (JP, A)
特開平 07 - 235680 (JP, A)
特開平 10 - 074950 (JP, A)
特開 2000 - 216399 (JP, A)
特開 2000 - 223714 (JP, A)
特開平 04 - 025076 (JP, A)
特開 2000 - 047263 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/786