(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4070249号
(P4070249)

(45)発行日　平成20年4月2日(2008.4.2)　(24)登録日　平成20年1月25日(2008.1.25)

(51)Int.Cl.　F I
H01L 21/8247 (2006.01)　H01L 29/78 371
H01L 29/788 (2006.01)　H01L 27/10 434
H01L 29/792 (2006.01)
H01L 27/115 (2006.01)

請求項の数 11　(全 31 頁)

(21)出願番号　特願平7-148467
(22)出願日　平成7年6月15日(1995.6.15)
(65)公開番号　特開平8-204039
(43)公開日　平成8年8月9日(1996.8.9)
審査請求日　平成14年6月6日(2002.6.6)
(31)優先権主張番号　特願平6-287813
(32)優先日　平成6年11月22日(1994.11.22)
(33)優先権主張国　日本国(JP)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区大手町二丁目６番２号
(74)代理人　100083552
弁理士　秋田　収喜
(72)発明者　西本　敏明
東京都小平市上水本町５丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　宿利　章二
東京都小平市上水本町５丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　岡崎　勉
東京都青梅市今井２３２６番地　株式会社
日立製作所　デバイス開発センタ内

最終頁に続く

(54)【発明の名称】半導体集積回路装置の製造方法

(57)【特許請求の範囲】
【請求項１】
半導体基板の活性領域の表面上に第１ゲート絶縁膜を介在して電荷蓄積ゲート電極及びこの電荷蓄積ゲート電極の表面上に第２ゲート絶縁膜を介在して制御ゲート電極が形成された不揮発性記憶素子を有する半導体集積回路装置の製造方法において、
（ａ）前記第１ゲート絶縁膜の一部の表面上に、不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された珪素膜で形成され、上部の表面が耐酸化性のマスクで被覆され、かつゲート長方向の幅が規定された第１ゲート材を形成する工程；
（ｂ）前記第１ゲート材の側壁に、サイドウォールスペーサを形成する工程、
（ｃ）前記（ｂ）工程の後に、熱酸化処理を施し、前記半導体基板の活性領域の表面上に熱酸化絶縁膜を形成する工程；
（ｄ）前記（ｃ）工程の後に、前記耐酸化性のマスクを除去する工程；
（ｅ）前記（ｄ）工程の後に、前記熱酸化絶縁膜、第１ゲート材の夫々の表面上に、不純物濃度が前記第１ゲート材の不純物濃度以上に設定された珪素膜で形成され、かつゲート長方向の幅が規定された第２ゲート材を形成する工程；
（ｆ）前記（ｅ）工程の後に、前記第２ゲート材に導入された不純物を前記第１ゲート材に拡散させる熱拡散処理を行う工程；
（ｇ）前記第２ゲート材の表面上に第２ゲート絶縁膜を形成する工程；
（ｈ）前記第２ゲート絶縁膜の表面上に第３ゲート材を形成する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項２】
請求項１に記載の半導体集積回路装置の製造方法において、
前記第３ゲート材を形成する工程の後に、前記第３ゲート材にゲート幅方向の幅を規定するパターンニング、前記第２ゲート材、第１ゲート材の夫々にゲート幅方向の幅を規定するパターンニングを順次行い、前記第３ゲート材で制御ゲート電極を形成すると共に、前記第２ゲート材、第１ゲート材の夫々で電荷蓄積ゲート電極を形成する工程を更に含むことを特徴とする半導体集積回路装置の製造方法。
【請求項３】
請求項１または請求項２に記載の半導体集積回路装置の製造方法において、
前記第１ゲート材を形成する工程の後であって前記熱酸化絶縁膜を形成する工程の前に、前記半導体基板の活性領域の表面に前記第１ゲート材に対して自己整合で不純物を導入し、ソース領域及びドレイン領域を形成する工程を更に含むことを特徴とする半導体集積回路装置の製造方法。
【請求項４】
請求項１乃至請求項３の何れか１項に記載の半導体集積回路装置の製造方法において、
前記第１ゲート絶縁膜を形成する工程の後であって前記第１ゲート材を形成する工程の前に、前記半導体基板の活性領域の表面に前記耐酸化性のマスクに対して自己整合で不純物を導入し、ソース領域及びドレイン領域を形成する工程を更に含むことを特徴とする半導体集積回路装置の製造方法。
【請求項５】
請求項１乃至請求項４の何れか１項に記載の半導体集積回路装置の製造方法において、
前記第１ゲート絶縁膜を形成する工程の前に、前記半導体基板の非活性領域の表面上に熱酸化絶縁膜を形成する工程を更に含むことを特徴とする半導体集積回路装置の製造方法。
【請求項６】
請求項５に記載の半導体集積回路装置の製造方法において、
前記半導体基板の活性領域の表面上に形成される熱酸化絶縁膜の膜厚は、前記半導体基板の非活性領域の表面上に形成される熱酸化絶縁膜の膜厚に比べて薄く設定され、前記第１ゲート絶縁膜の膜厚に比べて厚く設定されることを特徴とする半導体集積回路装置の製造方法。
【請求項７】
請求項１乃至請求項６の何れか１項に記載の半導体集積回路装置の製造方法において、
前記第１ゲート材は、ノンドープの珪素膜で形成されることを特徴とする半導体集積回路装置の製造方法。
【請求項８】
請求項１乃至請求項７の何れか１項に記載の半導体集積回路装置の製造方法において、
前記第１ゲート材は、非晶質珪素膜で形成されることを特徴とする半導体集積回路装置の製造方法。
【請求項９】
半導体基板の表面上に第１ゲート絶縁膜を介在して電荷蓄積ゲート電極及びこの電荷蓄積ゲート電極の表面上に第２ゲート絶縁膜を介在して制御ゲート電極が形成された不揮発性記憶素子を有する半導体集積回路装置の製造方法において、
（ａ）前記半導体基板に、第１方向に延在するようにフィールド絶縁膜を形成する工程、
（ｂ）前記半導体基板の表面上に前記第１ゲート絶縁膜を形成する工程、
（ｃ）前記第１ゲート絶縁膜上に、その不純物濃度が１×１０^{19}［atoms／cm^{3}］以下に設定された珪素膜からなる第１ゲート材を形成する工程、
（ｄ）前記第１ゲート材上に耐酸化性マスクを形成する工程、
（ｅ）前記第１ゲート材および前記耐酸化性マスクを、前記第１方向に延在するようにパターンニングする工程、
（ｆ）前記第１ゲート材および前記耐酸化性マスクの側壁にサイドウォールスペーサを形

成する工程、
（ｇ）前記半導体基板に前記不揮発性記憶素子のソース領域およびドレイン領域を形成する工程、
（ｈ）前記（ｇ）工程後に、熱酸化処理を施し、前記フィールド絶縁膜と前記サイドウォールスペーサの間の前記半導体基板表面に、前記フィールド絶縁膜よりも膜厚の薄い熱酸化絶縁膜を形成する工程、
（ｉ）前記（ｈ）工程の後に、前記耐酸化性のマスクを除去する工程、
（ｊ）前記（ｉ）工程の後に、前記第１ゲート材、前記熱酸化絶縁膜および前記サイドウォールスペーサ上に、その不純物濃度が前記第１ゲート材の不純物濃度よりも大きくなるように設定された珪素膜第２ゲート材を形成する工程、
（ｋ）前記（ｊ）工程の後に、熱処理を行い、前記第２ゲート材に含まれる不純物を前記第１ゲート材に拡散させる工程、
（ｌ）前記第２ゲート材を前記第１方向に延在するようにパターンニングする工程、
（ｍ）前記第２ゲート材上に前記第２ゲート絶縁膜を形成する工程、
（ｎ）前記第２ゲート絶縁膜の表面上に、第３ゲート材を形成する工程、
（ｏ）前記第３ゲート材が前記第１方向と直交する第２方向に延在するように、前記第３ゲート材、前記第２ゲート絶縁膜、前記第２ゲート材および前記第１ゲート材を順次パターンニングすることによって、前記第３ゲート材を有する前記制御ゲート電極を形成し、且つ、前記第１ゲート材および前記第２ゲート材を有する前記電荷蓄積ゲート電極を形成する工程、
を有することを特徴とする半導体装置の製造方法。

【請求項１０】
請求項９に記載の半導体集積回路装置の製造方法において、
前記第１ゲート材は、ノンドープの珪素膜で形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項１１】
請求項９または請求項１０に記載の半導体集積回路装置の製造方法において、
前記第１ゲート材は、非晶質珪素膜で形成されることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】
本発明は、半導体集積回路装置に関し、特に、半導体基板の活性領域の表面上に第１ゲート絶縁膜を介在して電荷蓄積ゲート電極(フローティングゲート電極)及びこの電荷蓄積ゲート電極の表面上に第２ゲート絶縁膜を介在して制御ゲート電極(コントロールゲート電極)が形成された不揮発性記憶素子を有する半導体集積回路装置に適用して有効な技術に関するものである。

【０００２】

【従来の技術】
不揮発性記憶素子を有する半導体集積回路装置として、ＮＯＲ型フラッシュメモリと称される半導体集積回路装置が、例えば特開昭６２－２７６８７８号公報又は特開平３－２１９４９６号公報に記載されている。このＮＯＲ型フラッシュメモリは、複数個の不揮発性記憶素子を行列状に配置し、これらの不揮発性記憶素子に書き込まれたデータを電気的に一括消去できる構成になっている。

【０００３】
前記不揮発性記憶素子は半導体基板の活性領域の表面に構成される。この不揮発性記憶素子は、主に、チャネル形成領域として使用される半導体基板、第１ゲート絶縁膜、電荷蓄積ゲート電極、第２ゲート絶縁膜、制御ゲート電極、ソース領域及びドレイン領域である一対の半導体領域で構成される。不揮発性記憶素子はＸ方向(ゲート長方向)に延在するワード線とＹ方向(ゲート幅方向)に延在するデータ線との交差部に配置される。ワード線は

、このワード線が延在する方向に配置された複数個の不揮発性記憶素子の夫々の制御ゲート電極と一体に形成され、多結晶珪素膜で形成される。データ線は、このデータ線が延在する方向に配置された複数個の不揮発性記憶素子の一方の半導体領域(ドレイン領域)の夫々に電気的に接続され、ワード線よりも上層に形成された金属膜で形成される。

【０００４】

また、不揮発性記憶素子を有する半導体集積回路装置として、半導体基板の表面に形成された半導体領域をデータ線として使用する半導体集積回路装置が、例えば特開昭５６－９６８５４号公報に記載されている。この半導体集積回路装置は、Ｙ方向に配置された複数個の不揮発性記憶素子の夫々のソース領域及びドレイン領域である一対の半導体領域の夫々を連続的に形成し、この一対の半導体領域のうち、一方の半導体領域をデータ線として使用している。以下、ｐ型半導体基板の表面に形成されたｎ型半導体領域をデータ線として使用する半導体集積回路装置の製造方法を簡単に説明する。

【０００５】

まず、ｐ型半導体基板の活性領域の表面上に第１ゲート絶縁膜を形成する。

【０００６】

次に、前記第１ゲート絶縁膜の一部の表面上に、不純物が導入された多結晶珪素膜で形成され、上部の表面が耐酸化性のマスクで被覆され、かつゲート長方向の幅(Ｘ方向)が規定された第１ゲート材を形成する。この耐酸化性のマスク、第１ゲート材の夫々はゲート幅方向(Ｙ方向)に向って延在する。

【０００７】

次に、前記ｐ型半導体基板の活性領域の表面に前記耐酸化性のマスクに対して自己整合でｎ型不純物を導入し、ソース領域及びドレイン領域である一対のｎ型半導体領域を選択的に形成する。この一対のｎ型半導体領域の夫々は、ゲート幅方向(Ｙ方向)に向って延在し、ゲート幅方向に配置される複数個の不揮発性記憶素子のソース領域及びドレイン領域である一対のｎ型半導体領域の夫々に連結される。この一対のｎ型半導体領域のうち、一方のｎ型半導体領域がデータ線として使用される。

【０００８】

次に、熱酸化処理を施し、前記ｐ型半導体基板１の活性領域の表面上及び非活性領域の表面上に、一対の熱酸化絶縁膜(フィールド絶縁膜)を形成する。この一対の熱酸化絶縁膜の夫々は、ゲート幅方向に向って延在し、ソース領域及びドレイン領域である一対のｎ型半導体領域の夫々の表面上を被覆する。

【０００９】

次に、前記耐酸化性のマスクを除去する。その後、前記第１ゲート材の表面上に第２ゲート絶縁膜を形成し、さらに、前記第２ゲート絶縁膜の表面上に第２ゲート材を形成する。

【００１０】

次に、前記第２ゲート材にゲート幅方向の幅を規定するパターンニング、前記第１ゲート材にゲート幅方向の幅を規定するパターンニングを順次行い、前記第２ゲート材で制御ゲート電極を形成すると共に、前記第１ゲート材で電荷蓄積ゲート電極を形成する。この工程により、不揮発性記憶素子が完成する。

【００１１】

また、不揮発性記憶素子を有する半導体集積回路装置として、不揮発性記憶素子の書き込み動作及び消去動作をトンネル効果で行う半導体集積回路装置が、例えば特願平４－３３１４０３号公報に記載されている。この半導体集積回路装置に搭載される不揮発性記憶素子の消去動作は、ソース領域とドレイン領域との間のチャネル形成領域(半導体基板)から電荷蓄積ゲート電極に電荷をトンネル効果で注入することにより行なわれ、その書き込み動作は、電荷蓄積ゲート電極に蓄積された電荷をドレイン領域にトンネル効果で放出することにより行なわれる。以下、不揮発性記憶素子の書き込み動作及び消去動作をトンネル効果で行う半導体集積回路装置の製造方法について簡単に説明する。

【００１２】

まず、ｐ型半導体基板の非活性領域の表面上に熱酸化絶縁膜（フィールド絶縁膜）を形成

した後、前記ｐ型半導体基板の活性領域の表面上に第１ゲート絶縁膜を形成する。

【００１３】

次に、前記第１ゲート絶縁膜の一部の表面上に、不純物が導入された多結晶珪素膜で形成され、上部の表面が耐酸化性のマスクで被覆され、かつゲート長方向の幅(Ｘ方向)が規定された第１ゲート材を形成する。この耐酸化性のマスク、第１ゲート材の夫々はゲート幅方向(Ｙ方向)に向って延在する。

【００１４】

次に、前記ｐ型半導体基板の活性領域の表面に、前記熱酸化絶縁膜及び耐酸化性のマスクに対して自己整合でｎ型不純物を導入し、ソース領域及びドレイン領域である一対のｎ型半導体領域を形成する。この一対のｎ型半導体領域の夫々は、ゲート幅方向（Ｙ方向）に向って延在し、ゲート幅方向に配置される複数個の不揮発性記憶素子のソース領域及びドレイン領域である一対のｎ型半導体領域の夫々に連結される。この一対のｎ型半導体領域のうち、一方のｎ型半導体領域がデータ線として使用される。

【００１５】

次に、熱酸化処理を施し、前記熱酸化絶縁膜と第１ゲート材との間のｐ型半導体基板の活性領域の表面上に一対の熱酸化絶縁膜を形成する。この一対の熱酸化絶縁膜の夫々は、ゲート幅方向に向って延在し、ソース領域及びドレイン領域である一対のｎ型半導体領域の夫々の表面上を被覆する。

【００１６】

次に、前記耐酸化性のマスクを除去する。その後、前記第１ゲート材の表面上に第２ゲート絶縁膜を形成し、さらに、前記第２ゲート絶縁膜の表面上に第２ゲート材を形成する。

【００１７】

次に、前記第２ゲート材にゲート幅方向の幅を規定するパターンニング、前記第１ゲート材にゲート幅方向の幅を規定するパターンニングを順次行い、前記第２ゲート材で制御ゲート電極を形成すると共に、前記第１ゲート材で電荷蓄積ゲート電極を形成する。この工程により、不揮発性記憶素子が完成する。

【００１８】

【発明が解決しようとする課題】

（１）前記不揮発性記憶素子を有する半導体集積回路装置において、第１ゲート材を形成した後、熱酸化処理を施し、半導体基板の活性領域の表面上及び非活性領域の表面上に熱酸化絶縁膜(フィールド絶縁膜)を形成する際、第１ゲート材のゲート長方向の夫々の側面に熱酸化絶縁膜が成長する。熱酸化絶縁膜の成長速度は、第１ゲート材の膜質によって異なるが、第１ゲート材に導入される不純物によって増速される。例えば第１ゲート材を多結晶珪素膜で形成した場合、熱酸化絶縁膜の酸化速度は、単結晶珪素膜に比べて速く、非晶質珪素膜（アモルファスシリコン膜〔ａ－Ｓｉ〕）に比べて遅い。また、第１ゲート材を不純物濃度が１×１０^{20}［atoms／cm^3］以上に設定された多結晶珪素膜（ドープドポリシリコン膜）で形成した場合、熱酸化絶縁膜の成長速度は、不純物濃度が１×１０^{19}［atoms／cm^3］以下に設定された多結晶珪素膜(ノンドープドポリシリコン膜)に比べて速い。つまり、不純物濃度が１×１０^{20}［atoms／cm^3］以上に設定された多結晶珪素膜からなる第１ゲート材のゲート長方向の夫々の側面に成長する熱酸化絶縁膜は成長速度が速いので、第１ゲート材のゲート長方向の幅の寸法精度を著しく低下させる。この第１ゲート材のゲート長方向の幅の寸法精度の低下は、第１ゲート材のゲート長方向の幅で規定される電荷蓄積ゲート電極のゲート長の寸法精度の低下を意味する。このため、電荷蓄積ゲート電極とドレイン領域とが重なるオーバーラップ領域の面積にバラツキが生じると共に、電荷蓄積ゲート電極とソース領域とが重なるオーバーラップ領域の面積にバラツキが生じ、不揮発性記憶素子の書き込み特性及び消去特性が著しく不均一になる。

【００１９】

また、半導体基板の活性領域の表面上及び非活性領域の表面上に熱酸化絶縁膜(フィールド絶縁膜)を形成する時の熱によって、ソース領域及びドレイン領域である一対の半導体領域の夫々の不純物が電荷蓄積ゲート電極下のチャネル形成領域側に拡散する。このため

、ソース領域とドレイン領域との間の実効チャネル長が低下し、不揮発性記憶素子のパンチスルー耐圧が著しく低下する。

【００２０】

（２）前記不揮発性記憶素子を有する半導体集積回路装置において、第１ゲート材を形成した後、熱酸化処理を施し、半導体基板の活性領域の表面上に熱酸化絶縁膜を形成する際、第１ゲート材と半導体基板との間に第１ゲート材のゲート長方向の側壁面側からその中央部に向ってゲートバーズビーク(熱酸化絶縁膜)が成長する。このゲートバーズビークの成長速度は、第１ゲート材の結晶粉体（単結晶粉の集合体）の大きさや配列状態によって異なる。つまり、第１ゲート材と半導体基板との間に第１ゲート材のゲート長方向の側壁面側からその中央部に向って成長するゲートバーズビークにバラツキが生じる。このゲートバーズビークのバラツキは、第１ゲート材に導入される不純物濃度によって増殖される。例えば第１ゲート材を不純物濃度が1×10^{20}［atoms／cm^3］以上に設定された多結晶珪素膜で形成した場合、図２３（ゲートバーズビークの成長状態を示す電子線顕微鏡写真）及び図２４(ゲートバーズビークの成長状態を示す要部断面図)に示すように、ゲートバーズビークのバラツキ(成長が大きい所と小さい所の差)は３０［ｎｍ］程度になる。このため、書き込み動作及び消去動作をトンネル効果で行う不揮発性記憶素子において、図２５（しきい値電圧のバラツキを示す特性図）に示すように、書き込み後のしき値電圧のバラツキが増加し、電源電位の変動に対する不揮発性記憶素子の動作マージンが低下する。即ち、図２４に示すように、二点鎖線で示すゲートバーズビーク４０Ａの延びが大きい不揮発性記憶素子は、一点鎖線で示すゲートバーズビーク４０Ｂの不揮発性記憶素子に比べて電荷蓄積ゲート電極からドレイン領域への電子のトンネル量が減少するため、しきい値電圧が異なってくる。これにより、ゲートバーズビークのバラツキの増大は、書き込み後のしきい値電圧のバラツキを増大させる。なお、図２４中、符号４１はゲート絶縁膜であり、符号４１Ａはゲート絶縁膜４１の膜厚を示し、符号４２は電荷蓄積ゲート電極(フローティングゲート電極)であり、符号４３はサイドウォールスペーサであり、符号４４はドレイン領域であり、符号１０は熱酸化絶縁膜である。

【００２１】

本発明の目的は、半導体集積回路装置に搭載される不揮発性記憶素子の書き込み特性及び消去特性の均一化を図ることが可能な技術を提供することにある。

【００２２】

また、本発明の他の目的は、前記不揮発性記憶素子のパンチスルー耐圧を高めることが可能な技術を提供することにある。

【００２３】

また、本発明の他の目的は、前記不揮発性記憶素子の動作マージンを増加することが可能な技術を提供することにある。

【００２４】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【００２５】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【００２６】

（１）半導体基板の活性領域の表面上に第１ゲート絶縁膜を介在して電荷蓄積ゲート電極及びこの電荷蓄積ゲート電極の表面上に第２ゲート絶縁膜を介在して制御ゲート電極が形成された不揮発性記憶素子を有する半導体集積回路装置の製造方法において、（ａ）前記第１ゲート絶縁膜の一部の表面上に、不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された珪素膜で形成され、上部の表面が耐酸化性のマスクで被覆され、かつゲート長方向の幅が規定された第１ゲート材を形成する工程と、（ｂ）熱酸化処理を施し、前記半導体基板の活性領域の表面上に熱酸化絶縁膜を形成する工程と、（ｃ）前記耐酸化性のマスク

を除去する工程と、（ｄ）前記酸化絶縁膜、第１ゲート材の夫々の表面上に、不純物濃度が１×１０^{20}［atoms／cm^3］以上に設定された珪素膜で形成され、かつゲート長方向の幅が規定された第２ゲート材を形成する工程と、（ｅ）前記第２ゲート材の表面上に第２ゲート絶縁膜を形成する工程と、（ｆ）前記第２ゲート絶縁膜の表面上に第３ゲート材を形成する工程とを備える。

【００２７】

（２）前記第１ゲート絶縁膜を形成する工程の前に、前記半導体基板の非活性領域の表面上に熱酸化絶縁膜を形成する工程を備え、前記半導体基板の活性領域の表面上に形成される熱酸化絶縁膜の膜厚を、前記半導体基板の非活性領域の表面上に形成される熱酸化絶縁膜の膜厚に比べて薄く、前記第１ゲート絶縁膜の膜厚に比べて厚く設定する。

【００２８】

【作用】

上述した手段（１）によれば、熱酸化処理を施し、半導体基板の活性領域の表面上に熱酸化絶縁膜を形成する際、不純物濃度が１×１０^{19}［atoms／cm^3］以下に設定された珪素膜からなる第１ゲート材のゲート長方向の夫々の側壁面上に形成される熱酸化絶縁膜の成長速度は、不純物濃度が１×１０^{20}［atoms／cm^3］以上に設定された珪素膜からなる第１ゲート材のゲート長方向の側壁面上に形成される熱酸化絶縁膜の成長速度に比べて遅いので、第１ゲート材のゲート長方向の幅の寸法精度を高めることができ、第１ゲート材のゲート長方向の幅で規定される電荷蓄積ゲート電極のゲート長の寸法精度を高めることができる。この結果、電荷蓄積ゲート電極とドレイン領域とが重さなるオーバーラップ領域の面積のバラツキを低減することができると共に、電荷蓄積ゲート電極とソース領域とが重さなるオーバラップ領域の面積のバラツキを低減することができるので、不揮発性記憶素子の書き込み特性及び消去特性の均一化を図ることができる。

【００２９】

また、熱酸化処理を施し、半導体基板の活性領域の表面上に熱酸化絶縁膜を形成する際、不純物濃度が１×１０^{19}［atoms／cm^3］以下に設定された珪素膜からなる第１ゲート材と半導体基板との間に第１ゲート材のゲート長方向の側壁面側からその中央部に向って成長するゲートバーズビーク（熱酸化絶縁膜）のバラツキは、不純物濃度が１×１０^{20}［atoms／cm^3］以上に設定された珪素膜からなる第１ゲート材と半導体基板との間に第１ゲート材のゲート長方向の側壁面側からその中央部に向って成長するゲートバーズビークのバラツキに比べて小さい（５［ｎｍ］以下）ので、書き込み動作及び消去動作をトンネル効果で行う不揮発性記憶素子において、書き込み後のしき値電圧のバラツキを低減することができる。この結果、電源電位の変動に対する不揮発性記憶素子の動作マージンを増加することができる。

【００３０】

上述した手段（２）によれば、半導体基板の活性領域の表面上に熱酸化絶縁膜を形成する熱処理時間が半導体基板の非活性領域の表面上に熱酸化絶縁膜を形成する熱処理時間に比べて短いので、耐酸化性のマスクに対して自己整合で導入された不純物が第１ゲート材下のチャネル形成領域側に拡散する拡散長を短くすることができる。この結果、ソース領域とドレイン領域との間の実効チャネル長を確保することができるので、不揮発性記憶素子のパンチスルー耐圧を高めることができる。

【００３１】

【実施例】

以下、本発明の構成について、不揮発性記憶素子を有する半導体集積回路装置に本発明を適用した実施例とともに説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【００３２】

（実 施 例 １）

本発明の実施例１である半導体集積回路装置の概略構成を図１(要部等価回路図)に示す。

【００３３】
図１に示すように、半導体集積回路装置は複数のメモリブロック１７を行列状に配置したメモリセルアレイを搭載する。メモリセルアレイには、Ｘ方向に延在するワード線ＷＬが複数本配置されると共に、Ｙ方向に延在するデータ線ＤＬが複数本配置される。
【００３４】
前記メモリブロック１７には書き込み動作及び消去動作をトンネル効果で行う不揮発性記憶素子Ｑが配置される。この不揮発性記憶素子Ｑは、ワード線ＷＬの延在方向に複数個配置され、かつデータ線ＤＬの延在方向に複数個配置される。つまり、不揮発性記憶素子Ｑは、ワード線ＷＬとデータ線ＤＬとが交差する領域に配置される。
【００３５】
前記１本のデータ線ＤＬには、その延在方向に沿って配置された複数個の不揮発性記憶素子Ｑの夫々のドレイン領域が選択用トランジスタＳｔ１及びローカルデータ線ＬＤＬを介して電気的に接続される。また、１本のデータ線ＤＬの延在方向に沿って配置された複数個の不揮発性記憶素子Ｑの夫々のソース領域にはローカルソース線ＬＳＬを介して選択用トランジスタＳｔ２が電気的に接続される。ローカルソース線ＬＳＬは、選択用トランジスタＳｔ２を介してソース線ＳＬに電気的に接続される。また、１本のワード線ＷＬには、その延在方向に沿って配置された複数個の不揮発性記憶素子Ｑの夫々の制御ゲート電極が電気的に接続される。このように構成されるメモリセルアレイは、不揮発性記憶素子Ｑの消去動作をワード線ＷＬ毎又はメモリブロック１７毎に行うことができると共に、メモリセルアレイ全体で行うことができる。なお、ワード線ＷＬと不揮発性記憶素子Ｑの制御ゲート電極とは、後述するように、一体に形成される。
【００３６】
次に、前記半導体集積回路装置に搭載される不揮発性記憶素子Ｑの具体的な構造について、図２（要部平面図）、図３（図２に示すＡ－Ａ切断線の位置で切った断面図）及び図４（図２に示すＢ－Ｂ切断線の位置で切った断面図）を用いて説明する。なお、図２において、図を見易くするため、後述する層間絶縁膜３０、データ線ＤＬ等は図示を省略している。
【００３７】
前記不揮発性記憶素子Ｑは、図２(要部平面図)に示すように、ゲート長方向(Ｘ方向)に延在するワード線ＷＬの延在方向に複数個配置され、かつゲート幅方向(Ｙ方向)に延在するデータ線(図示せず)の延在方向に複数個配置される。
【００３８】
前記不揮発性記憶素子Ｑは、図３に示すように、単結晶珪素からなるｐ型半導体基板１の活性領域の表面に構成される。この不揮発性記憶素子Ｑは、主に、チャネル形成領域であるｐ型半導体基板１、第１ゲート絶縁膜３、電荷蓄積ゲート電極(フローティングゲート電極)Ｇ１、第２ゲート絶縁膜１３、制御ゲート電極(コントロールゲート電極)Ｇ２、ソース領域であるｎ型半導体領域６Ａ、ドレイン領域であるｎ型半導体領域６Ｂ、ソース領域及びドレイン領域である一対のn+型半導体領域９、しきい値電圧制御領域であるｐ型半導体領域１５で構成される。つまり、不揮発性記憶素子Ｑはｎチャネル導電型の電界効果トランジスタで構成される。
【００３９】
前記第１ゲート絶縁膜３は例えば８［ｎｍ］程度の膜厚に設定された酸化珪素膜で形成される。前記第２ゲート絶縁膜１３は例えば第１酸化珪素膜、窒化珪素膜、第２酸化珪素膜の夫々を順次積層した多層構造で形成される。第１酸化珪素膜は例えば５［ｎｍ］程度の膜厚に設定され、窒化珪素膜は例えば１０［ｎｍ］程度の膜厚に設定され、第２酸化珪素膜は例えば４［ｎｍ］程度の膜厚に設定される。
【００４０】
前記電荷蓄積ゲート電極（フローティングゲート電極ともいう）Ｇ１は、第１ゲート材８及びこの第１ゲート材８の表面上に積層された第２ゲート材１１で構成される。第２ゲート材１１は、抵抗値を低減する不純物(例えば燐)が導入された多結晶珪素膜で形成される

。この多結晶珪素膜は、例えば１００［ｎｍ］程度の膜厚に設定され、３．５×１０^{20}［atoms／cm^{3}］程度の不純物濃度に設定される。この多結晶珪素膜に導入される不純物は多結晶珪素膜の堆積中又は堆積後に導入される。第１ゲート材８は、抵抗値を低減する不純物(例えば燐)が導入された多結晶珪素膜で形成される。この多結晶珪素膜は、例えば５０［ｎｍ］程度の膜厚に設定され、２．５×１０^{20}［atoms／cm^{3}］程度の不純物濃度に設定される。この多結晶珪素膜に導入される不純物は、ゲート材１１の多結晶珪素膜から熱拡散(ドライブイン拡散)によって導入される。

【００４１】

前記第１ゲート材８のゲート長方向の幅は電荷蓄積ゲート電極Ｇ１のゲート長を規定する。この第１ゲート材８のゲート長方向の幅は例えば０．５［μｍ］程度に設定される。つまり、電荷蓄積ゲート電極Ｇ１のゲート長は０．５［μｍ］に設定される。

【００４２】

前記第１ゲート材８のゲート長方向の夫々の側壁面上には、サイドウォールスペーサ１６が形成される。このサイドウォールスペーサ１６は例えばＣＶＤ法で堆積した酸化珪素膜で形成される。

【００４３】

前記制御ゲート電極Ｇ２は例えば抵抗値を低減する不純物(例えば燐)が導入された多結晶珪素膜で形成される。この多結晶珪素膜は、例えば２００［ｎｍ］程度の膜厚に設定され、３．５×１０^{20}［atoms／cm^{3}］程度の不純物濃度に設定される。

【００４４】

前記ソース領域であるｎ型半導体領域６Ａは、熱酸化絶縁膜（フィールド絶縁膜）２と第１ゲート材８との間のｐ型半導体基板１の活性領域の表面に形成され、例えば５×１０^{19}［atoms／cm^{3}］程度の不純物濃度に設定される。前記ドレイン領域であるｎ型半導体領域６Ｂは、熱酸化絶縁膜２と第１ゲート材８との間のｐ型半導体基板１の活性領域の表面に形成され、例えば５×１０^{20}［atoms／cm^{3}］程度の不純物濃度に設定される。前記ソース領域及びドレイン領域である一対のn+型半導体領域９の夫々は、ｎ型半導体領域６Ａ、ｎ型半導体領域６Ｂの夫々の表面に形成され、例えば７×１０^{20}［atoms／cm^{3}］程度の不純物濃度に設定される。つまり、一対のｎ型半導体領域９の夫々はｎ型半導体領域６Ａ、ｎ型半導体領域６Ｂの夫々に比べて高不純物濃度に設定され、不揮発性記憶素子Ｑはドレイン領域のチャネル形成領域側の一部の領域がその他の領域の不純物濃度に比べて低い不純物濃度に設定されたＬＤＤ（Lightly Doped Drain）構造で構成される。

【００４５】

前記しきい値電圧制御領域であるｐ型半導体領域１５は、ソース領域であるｎ型半導体領域６Ａ下のｐ型半導体基板１の活性領域の表面に形成され、例えば５×１０^{17}［atoms／cm^{3}］程度の不純物濃度に設定される。ｐ型半導体領域１５は、第１ゲート材８を形成する工程の後であって前記ソース領域であるｎ型半導体領域６Ａ及びドレイン領域であるｎ型半導体領域６Ｂを形成する工程の前に、ｐ型半導体基板１の表面にｐ型不純物を例えばイオン打込み法で選択的に導入することにより形成される。

【００４６】

前記ｐ型半導体基板１の活性領域のゲート長方向の幅は、ｐ型半導体基板１の非活性領域の表面上に形成された一対の熱酸化絶縁膜(フィールド絶縁膜)２で規定される。一対の熱酸化絶縁膜２の夫々は、周知の選択酸化法で形成された酸化珪素膜で形成され、例えば５００［ｎｍ］程度の膜厚に設定される。この一対の熱酸化珪素膜２の夫々は、ゲート幅方向に向って延在し、ワード線ＷＬが延在する方向に配置された不揮発性記憶素子Ｑ間を電気的に分離する。つまり、熱酸化絶縁膜２は素子間分離用絶縁膜として使用される。

【００４７】

前記熱酸化絶縁膜２下にはチャネルストッパ領域であるｐ型半導体領域１２が形成される。このｐ型半導体領域１２は例えば４×１０^{17}［atoms／cm^{3}］程度の不純物濃度に設定される。

【００４８】

前記ソース領域であるｎ型半導体領域６Ａ、ドレイン領域であるｎ型半導体領域６Ｂの夫々は、ゲート幅方向に配置された複数の不揮発性記憶素子Ｑのｎ型半導体領域６Ａ、ｎ型半導体領域６Ｂの夫々と一体に形成されるように、ゲート幅方向に向って連続的に形成される。また、ソース領域及びドレイン領域である一対のｎ型半導体領域９の夫々は、ゲート幅方向に配置された複数の不揮発性記憶素子Ｑのソース領域、ドレイン領域である一対のｎ型半導体領域９の夫々と一体に形成されるように、ゲート幅方向に向って連続的に形成される。つまり、不揮発性記憶素子Ｑのソース領域、ドレイン領域の夫々は、ゲート幅方向に配置された他の不揮発性記憶素子Ｑのソース領域、ドレイン領域の夫々に電気的に接続される。

【００４９】

前記ソース領域であるｎ型半導体領域６Ａ及びソース領域である一方のn+型半導体領域９はローカルソース線(ＬＳＬ)として使用される。また、前記ドレイン領域であるｎ型半導体領域６Ｂ及びドレイン領域である他方のn+型半導体領域９はローカルデータ線(ＬＤＬ)として使用される。つまり、本実施例の半導体集積回路装置は、ｐ型半導体基板１内にローカルデータ線(ＬＤＬ)を埋め込んだ構造で構成されると共に、ＡＮＤ型のフラッシュメモリで構成される。

【００５０】

前記熱酸化絶縁膜２と第１ゲート材８との間のｐ型半導体基板１の夫々の表面上には一対の熱酸化絶縁膜１０が形成される。この一対の熱酸化絶縁膜１０の夫々は、ｎ型半導体領域６Ａ、ｎ型半導体領域６Ｂ、一対のｎ型半導体領域９の夫々の表面上に形成される。一対の熱酸化絶縁膜１０の夫々は、ゲート幅方向に向って延在する。一対の熱酸化絶縁膜１０の夫々は、熱酸化法で形成され、例えば１５０［ｎｍ］程度の膜厚に設定される。

【００５１】

前記電荷蓄積ゲート電極Ｇ１の第２ゲート材１１は、第１ゲート材８の表面上及び酸化絶縁膜１０の表面上に形成される。つまり、第２ゲート材１１のゲート長方向の幅は、電荷蓄積ゲート電極Ｇ１のゲート長を規定する第１ゲート材８のゲート長方向の幅に比べて広く構成される。このように、第２ゲート材１１のゲート長方向の幅を第１ゲート材８のゲート長方向の幅に比べて広く構成することにより、電荷蓄積ゲート電極Ｇ１のゲート長の寸法を増加することなく、電荷蓄積ゲート電極Ｇ１の面積を増加することができるので、不揮発性記憶素子Ｑの動作速度の高速化を図ることができると共に、不揮発性記憶素子Ｑの電荷蓄積量を増加することができる。

【００５２】

前記不揮発性記憶素子Ｑの制御ゲート電極(コントロールゲート電極ともいう)Ｇ２は、ゲート長方向に延在するワード線ＷＬと一体に形成され、ゲート長方向に配置された他の不揮発性記憶素子Ｑの制御ゲート電極Ｇ２に電気的に接続される。制御ゲート電極Ｇ２及びワード線ＷＬは例えば多結晶珪素膜で形成される。この多結晶珪素膜には抵抗値を低減する不純物がその堆積中又は堆積後に導入される。

【００５３】

前記不揮発性記憶素子Ｑの制御ゲート電極Ｇ２上及びワード線ＷＬ上を含むｐ型半導体基板１上の全面には層間絶縁膜３０が形成される。この層間絶縁膜３０上にはデータ線ＤＬが延在する。層間絶縁膜３０は例えば酸化珪素膜で形成され、データ線ＤＬは例えばアルミニウム膜又はアルミニウム合金膜等の金属膜で形成される。

【００５４】

なお、ゲート幅方向に配置される不揮発性記憶素子Ｑと不揮発性記憶素子Ｑとの間のｐ型半導体基板１の表面には、図４に示すように、チャネルストッパー領域であるｐ型半導体領域１４が形成される。

【００５５】

次に、前記不揮発性記憶素子Ｑを有する半導体集積回路装置の製造方法について、図５乃至図７（製造方法を説明するための要部断面図）及び図８乃至図１１（製造方法を説明するための要部平面図）を用いて説明する。

【００５６】
まず、単結晶珪素からなるｐ型半導体基板１を用意する。
【００５７】
次に、図５及び図８に示すように、前記ｐ型半導体基板１の非活性領域の表面上に一対の熱酸化絶縁膜(フィールド絶縁膜)２を形成する。この一対の熱酸化絶縁膜２の夫々は、例えば周知の選択酸化法で形成した熱酸化珪素膜で形成され、ゲート幅方向(Ｙ方向)に向って延在する。一対の熱酸化絶縁膜２の夫々はｐ型半導体基板１の活性領域のゲート長方向(Ｘ方向)の幅を規定する。
【００５８】
次に、前記一対の熱酸化絶縁膜２で規定されたｐ型半導体基板１の活性領域の表面上に第１ゲート絶縁膜３を形成する。この第１ゲート絶縁膜３は熱酸化法で形成した酸化珪素膜で形成される。
【００５９】
次に、前記熱酸化絶縁膜２、第１ゲート絶縁膜３の夫々の表面上を含む基板の全面に不純物濃度が不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された多結晶珪素膜を形成する。
【００６０】
次に、前記第１ゲート絶縁膜３上の多結晶珪素膜の一部の表面上に、ゲート幅方向に向って延在する耐酸化性のマスク５を形成する。
【００６１】
次に、前記多結晶珪素膜にパターンニングを施し、前記第１ゲート絶縁膜３の一部の表面上に、不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された多結晶珪素膜で形成され、上部の表面が耐酸化性のマスク５で被覆され、かつゲート長方向の幅が規定された第１ゲート材８を形成する。
【００６２】
次に、前記熱酸化絶縁膜２と耐酸化性のマスク５との間の一方のｐ型半導体基板１の表面に前記熱酸化絶縁膜２及び耐酸化性のマスク５に対して自己整合でｐ型不純物(例えば硼素)を選択的に導入し、しきい値電圧制御領域であるｐ型半導体領域１５を形成する。このｐ型不純物、加速エネルギ１００ｋｅＶ、注入量1×10^{14}［atoms／cm^2］、ｐ型半導体基板１の表面に対して６０度の角度をなす方向から導入される。
【００６３】
次に、前記熱酸化絶縁膜２と耐酸化性のマスク５との間の一方のｐ型半導体基板１の表面に前記熱酸化絶縁膜２及び耐酸化性のマスク５に対して自己整合でｎ型不純物(例えば砒素)を選択的に導入し、ソース領域であるｎ型半導体領域６Ａを形成する。
【００６４】
次に、前記熱酸化絶縁膜２と耐酸化性のマスク５との間の他方のｐ型半導体基板１の表面に前記熱酸化絶縁膜２及び耐酸化性のマスク５に対して自己整合でｎ型不純物(例えば砒素)を選択的に導入し、ドレイン領域であるｎ型半導体領域６Ｂを形成する。
【００６５】
次に、図６及び図９に示すように、前記耐酸化性のマスク５、ゲート材８の夫々のゲート長方向の側壁面上にサイドウォールスペーサ１６を形成する。このサイドウォールスペーサ１６は例えば酸化珪素膜で形成される。サイドウォールスペーサ１６は、耐酸化性のマスク５の表面上を含むｐ型半導体基板１の全面に例えばＣＶＤ（Chemical Vapor Deposition)法で酸化珪素膜を形成した後、この酸化珪素膜に異方性エッチングを施すことにより形成される。
【００６６】
次に、前記熱酸化絶縁膜２とサイドウォールスペーサ１６との間のｐ型半導体基板１の表面に前記熱酸化絶縁膜２及びサイドウォールスペーサ１６に対して自己整合でｎ型不純物(例えば燐)を導入し、ｎ型半導体領域６Ａ、ｎ型半導体領域６Ｂの夫々の表面にソース領域及びドレイン領域である一対のｎ型半導体領域９を形成する。この一対のｎ型半導体領

域９の夫々はｎ型半導体領域６Ａ、６Ｂの夫々に比べて高不純物濃度に設定される。

【００６７】

次に、熱酸化処理を施し、前記熱酸化絶縁膜２とサイドウォールスペーサ１６との間のｐ型半導体基板１の表面上に一対の熱酸化絶縁膜１０を形成する。一対の熱酸化絶縁膜１０の夫々の膜厚は、前記熱酸化絶縁膜２に比べて薄く、第１ゲート絶縁膜３に比べて厚く設定される。熱酸化処理は、表面反応がｐ型半導体基板１の酸化量を律則する傾向の強い酸化温度領域での水蒸気中で行なわれる。

【００６８】

この工程において、第１ゲート材８のゲート長方向の夫々の側面にも熱酸化絶縁膜が形成されるが、第１ゲート材８は不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された多結晶珪素膜で形成されているので、第１ゲート材８のゲート長方向の夫々の側面に形成される熱酸化絶縁膜の成長速度は、不純物濃度が1×10^{20}［atoms／cm^3］以上に設定された多結晶珪素膜からなる第１ゲート材のゲート長方向の夫々の側面に形成される熱酸化絶縁膜の成長速度に比べて遅い。この熱酸化絶縁膜の成長速度が遅い理由は、不純物濃度による増速作用がないからである。

【００６９】

また、第１ゲート材８のゲート長方向の夫々の側面はサイドウォールスペーサ１６で覆われているので、第１ゲート材８のゲート長方向の夫々の側面に形成される熱酸化絶縁膜の成長速度は、サイドウォールスペーサ１６で覆われていない第１ゲート材のゲート長方向の夫々の側面に形成される熱酸化絶縁膜の成長速度に比べて遅い。

【００７０】

また、第１ゲート材８とｐ型半導体基板１との間に第１ゲート材８のゲート長方向の側壁面側からその中央部に向って成長するゲートバーズビーク（熱酸化絶縁膜）が形成されるが、第１ゲート材８は不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された多結晶珪素膜で形成されているので、第１ゲート材８とｐ型半導体基板１との間に第１ゲート材８のゲート長方向の側壁面側からその中央部に向って成長するゲートバーズビーク(熱酸化絶縁膜)のバラツキは、不純物濃度が1×10^{20}［atoms／cm^3］以上に設定された多結晶珪素膜からなる第１ゲート材と半導体基板との間に第１ゲート材のゲート長方向の側壁面側からその中部に向って成長するゲートバーズビークのバラツキに比べて小さい。このゲートバーズビークのバラツキが小さい理由は不純物濃度による増速作用がないからである。

【００７１】

また、熱酸化絶縁膜１０の膜厚は選択酸化法で形成される熱酸化絶縁膜２に比べて薄く設定されるので、熱酸化絶縁膜１０を形成する熱処理時間は熱酸化絶縁膜２を形成する熱処理時間に比べて短い。

【００７２】

次に、前記マスク５を除去する。この時、サイドウォールスペーサ１６の一部も除去される。

【００７３】

次に、前記酸化絶縁膜１０、第１ゲート材８の夫々の表面上を含むｐ型半導体基板１の全面に例えばＣＶＤ法で多結晶珪素膜を形成する。この多結晶珪素膜には抵抗値を低減する不純物(例えば燐)がその堆積中に導入される。

【００７４】

次に、前記酸化絶縁膜１０上及びゲート材８上の多結晶珪素膜の一部の表面上にゲート長方向の幅が規定されたマスク２０を形成する。このマスク２０は、例えばフォトレジスト膜で形成され、ゲート幅方向に向って延在する。

【００７５】

次に、前記多結晶珪素膜にパターンニングを施し、図７及び図１０に示すように、前記酸化絶縁膜１０、第１ゲート材８の夫々の表面上に、不純物が導入された多結晶珪素膜で形成され、かつゲート長方向の幅が規定された第２ゲート材１１を形成する。

【００７６】
次に、前記熱酸化絶縁膜２下のｐ型半導体基板１の表面に前記マスク２０に対して自己整合でｐ型不純物を例えばイオン打込み法で導入し、チャネルストッパー領域であるｐ型半導体領域１２を形成する。
【００７７】
次に、前記マスク２０を除去する。
【００７８】
次に、熱拡散処理を施し、前記第２ゲート材１１に導入された不純物を第１ゲート材８に拡散させる。熱拡散処理は例えば８５０［℃］程度の温度雰囲気中で約１０[分]間行う。この工程により、第１ゲート材８の抵抗値は、第２ゲート材１１から拡散によって導入された不純物で低減される。
【００７９】
次に、前記第２ゲート材１１の表面上に第２ゲート絶縁膜１３を形成する。この第２ゲート絶縁膜１３は、第１酸化珪素膜、窒化珪素膜、第２酸化珪素膜の夫々を例えばＣＶＤ法で順次積層した多層膜で形成される。
【００８０】
次に、前記第２ゲート絶縁膜１３の表面上に第３ゲート材を形成する。この第３ゲート材は例えば抵抗値を低減する不純物が導入された多結晶珪素膜で形成される。
【００８１】
次に、図１１に示すように、前記第３ゲート材にゲート幅方向の幅を規定するパターンニング、前記第２ゲート材１１、第１ゲート材８の夫々にゲート幅方向の幅を規定するパターンニングを順次行い、前記第３ゲート材で制御ゲート電極Ｇ２及びワード線(ＷＬ)を形成すると共に、前記第２ゲート材１１、第１ゲート材８の夫々で電荷蓄積ゲート電極Ｇ１を形成する。この工程により、不揮発性記憶素子Ｑがほぼ完成する。
【００８２】
次に、前記不揮発性記憶素子Ｑとゲート幅方向に配置された他の不揮発性記憶素子Ｑとの間のｐ型半導体基板１の表面にこれらの制御ゲート電極１３に対して自己整合でｐ型不純物を導入し、チャネルストッパ領域であるｐ型半導体領域１４を形成する。この工程により、ゲート幅方向に配置される複数個の不揮発性記憶素子Ｑのチャネル形成領域はｐ型半導体領域１４によって互いに分離される。
【００８３】
次に、前記ワード線(ＷＬ)及び制御ゲート電極Ｇ２を含むｐ型半導体基板１の全面に層間絶縁膜３０を形成し、その後、前記層間絶縁膜３０を含むｐ型半導体基板１の全面にデータ線ＤＬを形成する。データ線ＤＬは、例えばアルミニウム膜又はアルミニウム合金膜からなる金属膜で形成される。
【００８４】
なお、前記熱酸化絶縁膜１０、第１ゲート材８の夫々の表面上を含むｐ型半導体基板１の全面に例えばＣＶＤ法で多結晶珪素膜を形成する工程の後であってマスク２０を形成する工程の前に、前記多結晶珪素膜に不純物(例えば燐)を導入する工程を備えてもよい。
【００８５】
このように構成される不揮発性記憶素子Ｑは、図１２（ゲートバーズビークの成長状態を示す電子線顕微鏡写真）に示すように、第１ゲート材８とｐ型半導体基板１との間に第１ゲート材８のゲート長方向の側壁面側からその中央部に向って成長するゲートバーズビークのバラツキを５［ｎｍ］以下に低減することができる。このゲートバーズビークのバラツキの低減は、図１３（ゲートバーズビークのバラツキと書き込み後のしきい値電圧のバラツキとの関係を示す相関図）に示すように、書き込み後のしきい値電圧のバラツキを抑制することができる。
【００８６】
なお、前記不揮発性記憶素子Ｑの実効チャネル長は０．３［ｎｍ］であり、制御ゲート電極Ｇ２から計ったしきい値電圧は１．５［Ｖ］であり、パンチスルー耐圧は８［Ｖ］であ

る。

【００８７】

また、前記不揮発性記憶素子Ｑへのデータの消去動作は、ｐ型半導体基板１に－４［Ｖ］の基準電位を印加し、制御ゲート電極Ｇ２にパルス幅０．５［ｍｓ］、電圧１２［Ｖ］の動作電位（書き込み電圧パルス）を印加して、チャネル領域全面から電荷蓄積ゲート電極Ｇ１へのトンネル電流注入により行う。消去後のしきい値電圧は６［Ｖ］に上昇する。一方、データの消去動作は、制御ゲート電極Ｇ２に－９［Ｖ］の動作電位を印加し、ドレイン領域にパルス幅０．５［ｍｓ］、電圧５［Ｖ］の動作電位（消去電圧パルス）を印加して、電荷蓄積ゲート電極Ｇ１からドレイン領域へのトンネル電流放出により行う。消去後のしきい値電圧は１［Ｖ］に低下する。この書き込み動作、消去動作のテストを１［Ｍｂｉｔ］の容量を有する半導体集積回路装置で行った結果、一定のしきい値電圧シフトを得るための書き込み－消去電圧のバラツキを０．０２［Ｖ］程度に抑えることができた。

【００８８】

このように、本実施例によれば、以下の作用効果が得られる。

【００８９】

（１）ｐ型半導体基板１の活性領域の表面上に第１ゲート絶縁膜３を介在して電荷蓄積ゲート電極Ｇ１及びこの電荷蓄積ゲート電極Ｇ１の表面上に第２ゲート絶縁膜１３を介在して制御ゲート電極Ｇ２が形成された不揮発性記憶素子Ｑを有する半導体集積回路装置の製造方法において、前記第１ゲート絶縁膜３の一部の表面上に、不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された多結晶珪素膜で形成され、上部の表面が耐酸化性のマスク５で被覆され、かつゲート長方向の幅が規定された第１ゲート材８を形成する工程と、熱酸化処理を施し、前記ｐ型半導体基板１の活性領域の表面上に熱酸化絶縁膜１０を形成する工程と、前記耐酸化性のマスク５を除去する工程と、前記酸化絶縁膜１０、第１ゲート材８の夫々の表面上に、不純物濃度が1×10^{19}［atoms／cm^3］以上に設定された多結晶珪素膜で形成され、かつゲート長方向の幅が規定された第２ゲート材１１を形成する工程と、前記第２ゲート材１１の表面上に第２ゲート絶縁膜１３を形成する工程と、前記第２ゲート絶縁膜１３の表面上に第３ゲート材を形成する工程とを備える。

【００９０】

これにより、熱酸化処理を施し、ｐ型半導体基板１の活性領域の表面上に熱酸化絶縁膜１０を形成する際、不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された多結晶珪素膜からなる第１ゲート材８のゲート長方向の夫々の側壁面に形成される熱酸化絶縁膜の成長速度は、不純物濃度が1×10^{19}［atoms／cm^3］以上に設定された多結晶珪素膜からなる第１ゲート材のゲート長方向の側壁面上に形成される熱酸化絶縁膜の成長速度に比べて遅いので、第１ゲート材８のゲート長方向の幅の寸法精度を高めることができ、第１ゲート材のゲート長方向の幅で規定される電荷蓄積ゲート電極Ｇ１のゲート長の寸法精度を高めることができる。この結果、電荷蓄積ゲート電極Ｇ１とドレイン領域とが重さなるオーバーラップ領域の面積のバラツキを低減することができると共に、電荷蓄積ゲート電極とソース領域とが重さなるオーバラップ領域の面積のバラツキを低減することができるので、不揮発性記憶素子Ｑの書き込み特性及び消去特性の均一化を図ることができる。

【００９１】

また、熱酸化処理を施し、ｐ型半導体基板１の活性領域の表面上に熱酸化絶縁膜１０を形成する際、不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された多結晶珪素膜からなる第１ゲート材８とｐ型半導体基板１との間に第１ゲート材８のゲート長方向の側壁面側からその中央部に向って成長するゲートバーズビーク(熱酸化絶縁膜)のバラツキは、不純物濃度が1×10^{19}［atoms／cm^3］以上に設定された多結晶珪素膜からなる第１ゲート材と半導体基板との間に第１ゲート材のゲート長方向の側壁面側からその中部に向って成長するゲートバーズビークのバラツキに比べて小さい（５［ｎｍ］以下）ので、書き込み動作及び消去動作をトンネル効果で行う不揮発性記憶素子Ｑにおいて、書き込み後のしき値電圧のバラツキを低減することができる。この結果、電源電位の変動に対する不揮発性記憶素子Ｑの動作マージンを増加することができる。

【００９２】
また、半導体チップ間や半導体ウエーハ間に渡って均一な特性の不揮発性記憶素子Ｑを製造することができるので、信頼性の高い大容量の半導体集積回路装置を安定して製造することができる。
【００９３】
（２）前記第１ゲート絶縁膜３を形成する工程の前に、前記ｐ型半導体基板１の非活性領域の表面上に熱酸化絶縁膜２を形成する工程を備え、前記ｐ型半導体基板１の活性領域の表面上に形成される熱酸化絶縁膜１０の膜厚を、前記ｐ型半導体基板１の非活性領域の表面上に形成される熱酸化絶縁膜２の膜厚に比べて薄く、前記第１ゲート絶縁膜３の膜厚に比べて厚く設定する。これにより、ｐ型半導体基板１の活性領域の表面上に酸化絶縁膜１０を形成する熱処理時間がｐ型半導体基板１の非活性領域の表面上に酸化絶縁膜２を形成する熱処理時間に比べて短いので、耐酸化性のマスク５に対して自己整合で導入された不純物が第１ゲート材８下のチャネル形成領域側に拡散する拡散長を短くすることができる。この結果、ソース領域とドレイン領域との間の実効チャネル長を確保することができるので、不揮発性記憶素子Ｑのパンチスルー耐圧を高めることができる。
【００９４】
（３）前記第１ゲート材８を形成する工程の後であって前記酸化絶縁膜１０を形成する工程の前に、前記第１ゲート材８の側壁面上にサイドウォールスペーサ１６を形成する工程を備える。これにより、第１ゲート材８のゲート長方向の夫々の側面に形成される熱酸化絶縁膜の成長速度は、サイドウォールスペーサ１６で覆われていない第１ゲート材のゲート長方向の夫々の側面に形成される熱酸化絶縁膜の成長速度に比べて遅いので、第１ゲート材８のゲート長方向の幅の寸法精度を更に高めることができる。この結果、電荷蓄積ゲート電極Ｇ１とドレイン領域とが重さなるオーバーラップ領域の面積のバラツキを更に低減することができると共に、電荷蓄積ゲート電極とソース領域とが重さなるオーバラップ領域の面積のバラツキを更に低減することができるので、不揮発性記憶素子Ｑの書き込み特性及び消去特性の均一化を更に図ることができる。
【００９５】
（４）ｐ型半導体基板１の活性領域の表面上に第１ゲート絶縁膜３を介在して電荷蓄積ゲート電極Ｇ１が形成され、前記電荷蓄積ゲート電極Ｇ１の表面上に第２ゲート絶縁膜１３を介在して制御ゲート電極Ｇ２が形成され、前記ｐ型半導体基板１の活性領域の表面に前記電荷蓄積ゲート電極Ｇ１に対して自己整合でソース領域及びドレイン領域が形成された不揮発性記憶素子Ｑを有する半導体集積回路装置において、前記電荷蓄積ゲート電極Ｇ１のゲート長方向の側壁面側からその中央部に向って前記電荷蓄積ゲート電極Ｇ１と前記ｐ型半導体基板１との間に成長する熱酸化絶縁膜のバラツキを５［ｎｍ］以下に設定する。この構成により、書き込み後のしきい値電圧のバラツキを抑制することができるので、電源電位の変動に対する不揮発性記憶素子Ｑの動作マージンを増加することができる。
【００９６】
なお、第２ゲート材１１を形成する前の工程において、第１ゲート材８を不純物濃度が１×１０^{19}［atoms／cm^3］以下に設定された非晶質珪素膜（アモルファスシリコン膜〔ａ－Ｓｉ〕）で形成してもよい。この場合、第１ゲート材８を不純物濃度が１×１０^{19}［atoms／cm^3］以下に設定された多結晶珪素膜で形成した場合と同様の効果が得られる。
【００９７】
（実 施 例 ２）
本発明の実施例２である不揮発性記憶素子を有する半導体集積回路装置の概略構成を図１４(要部断面図)に示す。
【００９８】
図１４に示すように、半導体集積回路装置は書き込み動作及び消去動作をトンネル効果で行う不揮発性記憶素子Ｑを搭載する。この不揮発性記憶素子Ｑは、主に、チャネル形成領域であるｐ型半導体基板１、第１ゲート絶縁膜３、電荷蓄積ゲート電極(フローティングゲート電極)Ｇ１、第２ゲート絶縁膜１３、制御ゲート電極(コントロールゲート電極)Ｇ

２、ソース領域であるｎ型半導体領域６Ａ、ドレイン領域であるｎ型半導体領域６Ｂ、ソース領域及びドレイン領域である一対のn+型半導体領域９、しきい値電圧制御領域であるｐ型半導体領域１５で構成される。

【００９９】

前記電荷蓄積ゲート電極Ｇ１は、前述の実施例１と同様に、第１ゲート材８及びこの第１ゲート材８の表面上に積層された第２ゲート材１１で構成される。第２ゲート材１１は抵抗値を低減する不純物として燐が導入された多結晶珪素膜で形成される。

【０１００】

前記第２ゲート材１１の表面は凸凹形状で構成される。この第２ゲート材１１の凸凹形状は、前記第２ゲート絶縁膜１３を形成する工程の前に、ｐ型半導体基板１を燐酸液中に浸漬することにより形成される。このｐ型半導体基板１を燐酸液中に浸漬する工程は例えば１４０～１６０［℃］程度の燐酸液(H_3PO_4)中に約６０分間浸漬する条件下で行なわれる。

【０１０１】

このように、第２ゲート材１１を燐が導入された多結晶珪素膜で形成し、この第２ゲート材１１を形成する工程の後であって前記第２ゲート絶縁膜１３を形成する工程の前に、前記半導体基板１を燐酸液中に浸漬する工程を備えることにより、第２ゲート材１１の表面を凸凹形状にすることができるので、第２ゲート材１１の表面積を増加することができる。この結果、電荷蓄積ゲート電極Ｇ１の表面積を増加することができるので、不揮発性記憶素子Ｑの電荷蓄積量を高めることができる。

【０１０２】

なお、第２ゲート材１１の表面の凸凹形状は、半球状の粒子（ヘミスフェリカル・グレイン：ＨＳＧ）をＣＶＤ法で堆積しても形成できる。

【０１０３】

（実 施 例 ３）

本発明の実施例３である半導体集積回路装置の概略構成を図１５(要部平面図)、図１６(図１５に示すＣ－Ｃ切断線で切った要部断面図)及び図１７（図１５に示すＤ－Ｄ切断線で切った要部断面図）に示す。

【０１０４】

図１５に示すように、半導体集積回路装置は、例えば単結晶珪素からなるｐ型半導体基板１のメモリセル形成領域に複数個の不揮発性記憶素子Ｑを搭載する。不揮発性記憶素子Ｑは、ゲート長方向(Ｘ方向)に延在するワード線ＷＬの延在方向に複数個配置され、かつゲート幅方向(Ｙ方向)に延在するデータ線(図示せず)の延在方向に複数個配置される。即ち、不揮発性記憶素子Ｑは、ゲート長方向に延在するワード線ＷＬとゲート幅方向に延在するデータ線とが交差する領域に配置される。

【０１０５】

前記不揮発性記憶素子Ｑは、図１６に示すように、ｐ型半導体基板１の活性領域の表面に構成される。この不揮発性記憶素子Ｑは、主に、ｐ型半導体基板（チャネル形成領域）１、第１ゲート絶縁膜３、電荷蓄積ゲート電極（フローティングゲート電極）Ｇ１、第２ゲート絶縁膜１３、制御ゲート電極（コントロールゲート電極）Ｇ２、ソース領域及びドレイン領域である一対のｎ型半導体領域６及び一対のn+型半導体領域９で構成される。つまり、不揮発性記憶素子Ｑはｎチャネル導電型の電界効果トランジスタで構成される。

【０１０６】

前記第１ゲート絶縁膜３は例えば８［ｎｍ］程度の膜厚に設定された酸化珪素膜で形成される。前記第２ゲート絶縁膜１３は例えば第１酸化珪素膜、窒化珪素膜、第２酸化珪素膜の夫々を順次積層した積層膜で形成される。第１酸化珪素膜は例えば５［ｎｍ］程度の膜厚に設定され、窒化珪素膜は例えば１０［ｎｍ］程度の膜厚に設定され、第２酸化珪素膜は例えば４［ｎｍ］程度の膜厚に設定される。

【０１０７】

前記電荷蓄積ゲート電極Ｇ１は、第１ゲート材８及びこの第１ゲート材８の表面上に積層

された第２ゲート材１１で構成される。第２ゲート材１１は、抵抗値を低減する不純物(例えば燐)が導入された多結晶珪素膜で形成される。この多結晶珪素膜は、例えば１００［ｎｍ］程度の膜厚に設定され、３．５×１０^{20}［atoms／cm^3］程度の不純物濃度に設定される。この多結晶珪素膜に導入される不純物は多結晶珪素膜の堆積中又は堆積後に導入される。第１ゲート材８は、抵抗値を低減する不純物(例えば燐)が導入された多結晶珪素膜で形成される。この多結晶珪素膜は、例えば５０［ｎｍ］程度の膜厚に設定され、２．５×１０^{20}［atoms／cm^3］程度の不純物濃度に設定される。この多結晶珪素膜に導入される不純物は、ゲート材１１の多結晶珪素膜から熱拡散(ドライブイン拡散)によって導入される。

【０１０８】

前記第１ゲート材８のゲート長方向の幅は電荷蓄積ゲート電極Ｇ１のゲート長を規定する。この第１ゲート材８のゲート長方向の幅は例えば０．５［μｍ］程度に設定される。つまり、電荷蓄積ゲート電極Ｇ１のゲート長は０．５［μｍ］に設定される。

【０１０９】

前記制御ゲート電極Ｇ２は例えば抵抗値を低減する不純物(例えば燐)が導入された多結晶珪素膜で形成される。この多結晶珪素膜は、例えば２００［ｎｍ］程度の膜厚に設定され、３．５×１０^{20}［atoms／cm^3］程度の不純物濃度に設定される。

【０１１０】

前記ソース領域及びドレイン領域である一対のｎ型半導体領域６の夫々は、熱酸化絶縁膜２と第１ゲート材８との間のｐ型半導体基板１の活性領域の表面に形成され、例えば５×１０^{19}［atoms／cm^3］程度の不純物濃度に設定される。前記ソース領域及びドレイン領域である一対のn+型半導体領域９の夫々は、一対のｎ型半導体領域６の夫々の表面に形成され、例えば７×１０^{20}［atoms／cm^3］程度の不純物濃度に設定される。つまり、一対のｎ型半導体領域９の夫々は一対のｎ型半導体領域６の夫々に比べて高不純物濃度に設定され、不揮発性記憶素子Ｑはドレイン領域のチャネル形成領域側の一部の領域がその他の領域の不純物濃度に比べて低い不純物濃度に設定されたＬＤＤ(Lightly Doped Drain)構造で構成される。

【０１１１】

前記ｐ型半導体基板１の活性領域のゲート長方向の幅は、ｐ型半導体基板１の非活性領域の表面上に形成された一対の熱酸化絶縁膜２で規定される。一対の熱酸化絶縁膜２の夫々は、周知の選択酸化法で形成された酸化珪素膜で形成され、例えば５００［ｎｍ］程度の膜厚に設定される。この一対の熱酸化絶縁膜２の夫々は、ゲート幅方向に向って延在し、ワード線ＷＬが延在する方向に配置された不揮発性記憶素子Ｑ間を電気的に分離する。つまり、熱酸化絶縁膜２は素子間を分離する素子間分離用絶縁膜として使用される。

【０１１２】

前記熱酸化絶縁膜２下にはチャネルストッパ領域であるｐ型半導体領域１２が形成される。このｐ型半導体領域１２は、例えば４×１０^{17}［atoms／cm^3］程度の不純物濃度に設定される。

【０１１３】

前記ソース領域及びドレイン領域である一対のｎ型半導体領域６の夫々はゲート幅方向に向って連続的に形成される。また、ソース領域及びドレイン領域である一対のｎ型半導体領域９の夫々はゲート幅方向に向って連続的に形成される。即ち、不揮発性記憶素子Ｑのソース領域、ドレイン領域の夫々は、ゲート幅方向に配置された他の不揮発性記憶素子Ｑのソース領域、ドレイン領域の夫々に電気的に接続される。

【０１１４】

前記ソース領域である一方のｎ型半導体領域６及びソース領域である一方のn+型半導体領域９はローカルソース線(ＬＳＬ)として使用される。また、前記ドレイン領域である他方のｎ型半導体領域６及びドレイン領域である他方のn+型半導体領域９はローカルデータ線(ＬＤＬ)として使用される。つまり、本実施例の半導体集積回路装置は、ｐ型半導体基板１内にローカルデータ線(ＬＤＬ)を埋め込んだ構造で構成されると共に、ＡＮＤ型のフラ

ッシュメモリで構成される。

【０１１５】

前記熱酸化絶縁膜２と第１ゲート材８との間のｐ型半導体基板１の夫々の表面上には一対の熱酸化絶縁膜１０が形成される。この一対の熱酸化絶縁膜１０の夫々は、一対のｎ型半導体領域６、一対のｎ型半導体領域９の夫々の表面上に形成される。一対の酸化絶縁膜１０の夫々は、ゲート幅方向に向って延在する。一対の酸化絶縁膜１０の夫々は、熱酸化法で形成され、例えば１５０［ｎｍ］程度の膜厚に設定される。

【０１１６】

前記電荷蓄積ゲート電極Ｇ１の第２ゲート材１１は、第１ゲート材８の表面上及び熱酸化絶縁膜１０の表面上に形成される。つまり、第２ゲート材１１のゲート長方向の幅は、電荷蓄積ゲート電極Ｇ１のゲート長を規定する第１ゲート材８のゲート長方向の幅に比べて広く構成される。このように、第２ゲート材１１のゲート長方向の幅を第１ゲート材８のゲート長方向の幅に比べて広く構成することにより、電荷蓄積ゲート電極Ｇ１のゲート長の寸法を増加することなく、電荷蓄積ゲート電極Ｇ１の面積を増加することができるので、不揮発性記憶素子Ｑの動作速度の高速化を図ることができると共に、不揮発性記憶素子Ｑの電荷蓄積量を増加することができる。

【０１１７】

前記不揮発性記憶素子Ｑの制御ゲート電極Ｇ２は、ゲート長方向に延在するワード線ＷＬと一体に形成され、ゲート長方向に配置された他の不揮発性記憶素子Ｑの制御ゲート電極Ｇ２に電気的に接続される。制御ゲート電極Ｇ２及びワード線ＷＬは例えば多結晶珪素膜で形成される。この多結晶珪素膜には抵抗値を低減する不純物がその堆積中又は堆積後に導入される。

【０１１８】

なお、ゲート幅方向に配置される不揮発性記憶素子Ｑと不揮発性記憶素子Ｑとの間のｐ型半導体基板１の表面には、図１７に示すように、チャネルストッパー領域であるｐ型半導体領域１４が形成される。

【０１１９】

次に、前記不揮発性記憶素子Ｑを有する半導体集積回路装置の製造方法について、図１８乃至図２０(製造方法を説明するための断面図)を用いて説明する。

【０１２０】

まず、ｐ型半導体基板１を用意する。このｐ型半導体基板１は例えば１０［Ωｃｍ］程度の比抵抗値に設定される。

【０１２１】

次に、前記ｐ型半導体基板１の非活性領域の表面上に一対の熱酸化絶縁膜２を形成する。この一対の熱酸化絶縁膜２の夫々は、例えば周知の選択酸化法で形成した酸化珪素膜で形成され、ゲート幅方向(Ｙ方向)に向って延在する。一対の熱酸化２の夫々はｐ型半導体基板１の活性領域のゲート長方向(Ｘ方向)の幅を規定する。

【０１２２】

次に、前記熱酸化絶縁膜２で規定されたｐ型半導体基板１の活性領域の表面上に第１ゲート絶縁膜３を形成する。この第１ゲート絶縁膜３は例えば熱酸化法で形成した酸化珪素膜で形成される。

【０１２３】

次に、前記熱酸化絶縁膜２、第１ゲート絶縁膜３の夫々の表面上を含む基板の全面に不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された多結晶珪素膜４を形成する。多結晶珪素膜４は例えばＣＶＤ法で形成される。

【０１２４】

次に、前記第１ゲート絶縁膜３上の多結晶珪素膜４の一部の表面上に、ゲート幅方向に向って延在する耐酸化性のマスク５を形成する。この耐酸化性のマスク５は例えば窒化珪素膜で形成される。

【０１２５】

次に、前記ｐ型半導体基板１の活性領域の表面に前記熱酸化絶縁膜２及び耐酸化性のマスク５に対して自己整合でｎ型不純物(例えば燐)を導入し、図１８に示すように、ソース領域及びドレイン領域である一対のｎ型半導体領域６を形成する。この一対のｎ型半導体領域６の夫々はゲート幅方向に向って延在する。このｎ型不純物は例えばイオン打込み法で導入される。

【０１２６】

次に、前記耐酸化性のマスク５のゲート長方向の互いに対向する夫々の側壁面上に例えば窒化珪素膜からなる耐酸化性のマスク７を形成する。この耐酸化性のマスク７は、耐酸化性のマスク５の表面上を含む多結晶珪素膜４の全面に例えばＣＶＤ法で窒化珪素膜を形成した後、この窒化珪素膜に異方性エッチングを施すことにより形成される。

【０１２７】

次に、前記多結晶珪素膜４にパターンニングを施し、前記第１ゲート絶縁膜３の一部の表面上に、不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された多結晶珪素膜４で形成され、上部の表面が耐酸化性のマスク５、７の夫々で被覆され、かつゲート長方向の幅が規定された第１ゲート材８を形成する。多結晶珪素膜４のパターンニングは例えば異方性ドライエッチング法で行う。第１ゲート材８はゲート幅方向に向って延在する。

【０１２８】

次に、前記熱酸化絶縁膜２と第１ゲート材８との間のｐ型半導体基板１の表面に前記熱酸化絶縁膜２及び第１ゲート材８に対して自己整合でｎ型不純物（例えば燐）を導入し、図１９に示すように、ソース領域及びドレイン領域である一対のｎ型半導体領域９を形成する。この一対のｎ型半導体領域９の夫々は、実質的に一対のｎ型半導体領域６の夫々の表面に形成され、ゲート幅方向に向って延在する。また、一対のｎ型半導体領域９の夫々は、一対のｎ型半導体領域６の夫々に比べて高不純物濃度に設定される。

【０１２９】

次に、熱酸化処理を施し、前記熱酸化絶縁膜２と第１ゲート材８との間のｐ型半導体基板１の表面上であって前記ソース領域及びドレイン領域である一対のｎ型半導体領域９、一対のｎ型半導体領域６の夫々の表面上に一対の熱酸化絶縁膜１０を形成する。この一対の熱酸化絶縁膜１０の夫々の膜厚は、前記熱酸化絶縁膜２に比べて薄く、前記第１ゲート絶縁膜３に比べて厚く設定される。この熱酸化処理は、表面反応がｐ型半導体基板１の酸化量を律則する傾向の強い酸化温度領域での水蒸気中で行なわれる。

【０１３０】

この工程において、第１ゲート材８のゲート長方向の夫々の側面にも熱酸化絶縁膜が形成されるが、第１ゲート材８は不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された多結晶珪素膜で形成されているので、第１ゲート材８のゲート長方向の夫々の側面に形成される熱酸化絶縁膜の成長速度は、不純物濃度が1×10^{20}［atoms／cm^3］以上に設定された多結晶珪素膜からなる第１ゲート材のゲート長方向の夫々の側面に形成される熱酸化絶縁膜の成長速度に比べて遅い。この熱酸化絶縁膜の成長速度が遅い理由は不純物濃度による増速作用がないからである。

【０１３１】

また、第１ゲート材８とｐ型半導体基板１との間に第１ゲート材８のゲート長方向の側壁面側からその中央部に向って成長するゲートバーズビーク（熱酸化絶縁膜）が形成されるが、第１ゲート材８は不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された多結晶珪素膜で形成されているので、第１ゲート材８とｐ型半導体基板１との間に第１ゲート材８のゲート長方向の側壁面側からその中央部に向って成長するゲートバーズビーク(熱酸化絶縁膜)のバラツキは、不純物濃度が1×10^{20}［atoms／cm^3］以上に設定された多結晶珪素膜からなる第１ゲート材と半導体基板との間に第１ゲート材のゲート長方向の側壁面側からその中部に向って成長するゲートバーズビークのバラツキに比べて小さい。このゲートバーズビークのバラツキが小さい理由は不純物濃度による増速作用がないからである。

【０１３２】

また、熱酸化絶縁膜１０の膜厚は選択酸化法で形成される熱酸化絶縁膜２に比べて薄く設定されるので、熱酸化絶縁膜１０を形成する熱処理時間は熱酸化絶縁膜２を形成する熱処理時間に比べて短い。

【０１３３】

次に、前記マスク５、マスク７の夫々を除去する。

【０１３４】

次に、前記熱酸化絶縁膜１０、第１ゲート材８の夫々の表面上を含むｐ型半導体基板１の全面に例えばＣＶＤ法で多結晶珪素膜を形成する。この多結晶珪素膜には抵抗値を低減する不純物(例えば燐)がその堆積中に導入される。

【０１３５】

次に、前記熱酸化絶縁膜１０上及びゲート材８上の多結晶珪素膜の一部の表面上にゲート長方向の幅が規定されたマスク２０を形成する。このマスク２０は、例えばフォトレジスト膜で形成され、ゲート幅方向に向って延在する。

【０１３６】

次に、前記多結晶珪素膜にパターンニングを施し、図２０に示すように、前記酸化絶縁膜１０、第１ゲート材８の夫々の表面上に、不純物が導入された多結晶珪素膜で形成され、かつゲート長方向の幅が規定された第２ゲート材１１を形成する。

【０１３７】

次に、前記フィールド絶縁膜２下のｐ型半導体基板１の表面に前記マスク２０に対してｐ型不純物を例えばイオン打込み法で導入し、チャネルストッパー領域であるｐ型半導体領域１２を形成する。

【０１３８】

次に、前記マスク２０を除去する。

【０１３９】

次に、熱拡散処理を施し、前記第２ゲート材１１に導入された不純物を第１ゲート材８に拡散させる。この熱拡散処理は例えば８５０［℃］程度の温度雰囲気中で約１０［分］間行う。この工程により、第１ゲート材８の抵抗値は、第２ゲート材１１から拡散によって導入された不純物で低減される。

【０１４０】

次に、前記第２ゲート材１１の表面上に第２ゲート絶縁膜１３を形成する。この第２ゲート絶縁膜１３は、第１酸化珪素膜、窒化珪素膜、第２酸化珪素膜の夫々を例えばＣＶＤ法で順次積層した積層膜で形成される。

【０１４１】

次に、前記第２ゲート絶縁膜１３の表面上に第３ゲート材を形成する。この第３ゲート材は例えば抵抗値を低減する不純物(例えば燐)が導入された多結晶珪素膜で形成される。

【０１４２】

次に、前記第３ゲート材に活性領域においてゲート幅方向の幅を規定し、非活性領域においてワード線幅を規定するパターンニング、前記第２ゲート材１１、第１ゲート材８の夫々にゲート幅方向の幅を規定するパターンニングを順次行い、前記第３ゲート材で制御ゲート電極Ｇ２及びワード線ＷＬを形成すると共に、前記第２ゲート材１１、第１ゲート材８の夫々で電荷蓄積ゲート電極Ｇ１を形成する。この工程により、不揮発性記憶素子Ｑがほぼ完成する。

【０１４３】

次に、前記不揮発性記憶素子Ｑとゲート幅方向に配置された他の不揮発性記憶素子Ｑとの間のｐ型半導体基板１の表面にこれらの制御ゲート電極１３に対して自己整合でｐ型不純物を導入し、チャネルストッパ領域として使用されるｐ型半導体領域１４を形成する。この工程により、ゲート幅方向に配置される複数個の不揮発性記憶素子Ｑのチャネル形成領域はｐ型半導体領域１４によって互いに分離される。

【０１４４】

なお、前記酸化絶縁膜１０、第１ゲート材８の夫々の表面上を含むｐ型半導体基板１の全

面に例えばＣＶＤ法で多結晶珪素膜を形成する工程の後であってマスク２０を形成する工程の前に、前記多結晶珪素膜に不純物(例えば燐)を導入する工程を備えてもよい。

【０１４５】

このように構成される不揮発性記憶素子Ｑは、図１２（ゲートバーズビークの成長状態を示す電子線顕微鏡写真）に示すように、第１ゲート材８とｐ型半導体基板１との間に第１ゲート材８のゲート長方向の側壁面側からその中央部に向って成長するゲートバーズビークのバラツキを５［ｎｍ］以下に低減することができる。このゲートバーズビークのバラツキの低減は、図１３（ゲートバーズビークのバラツキと書き込み後のしきい値電圧のバラツキとの関係を示す相関図）に示すように、書き込み後のしきい値電圧のバラツキを抑制することができる。

【０１４６】

なお、前記不揮発性記憶素子Ｑの実効チャネル長は０．３［ｎｍ］であり、制御ゲート電極Ｇ２から計ったしきい値電圧は１．５［Ｖ］であり、パンチスルー耐圧は８［Ｖ］である。

【０１４７】

また、前記不揮発性記憶素子Ｑへのデータの消去動作は、ｐ型半導体基板１に－４［Ｖ］の基準電位を印加し、制御ゲート電極Ｇ２にパルス幅０．５［ｍｓ］、電圧１２［Ｖ］の動作電位（書き込み電圧パルス）を印加して、チャネル領域全面から電荷蓄積ゲート電極Ｇ１へのトンネル電流注入により行う。消去後のしきい値電圧は６［Ｖ］に上昇する。一方、データの消去動作は、制御ゲート電極Ｇ２に－９［Ｖ］の動作電位を印加し、ドレイン領域にパルス幅０．５［ｍｓ］、電圧５［Ｖ］の動作電位（消去電圧パルス）を印加して、電荷蓄積ゲート電極Ｇ１からドレイン領域へのトンネル電流放出により行う。消去後のしきい値電圧は１［Ｖ］に低下する。この書き込み動作、消去動作のテストを１［Ｍｂｉｔ］の容量を有する半導体集積回路装置で行った結果、一定のしきい値電圧シフトを得るための書き込み－消去電圧のバラツキを０．０２［Ｖ］程度に抑えることができた。

【０１４８】

このように、本実施例によれば、以下の作用効果が得られる。

【０１４９】

（１）ｐ型半導体基板１の活性領域の表面上に第１ゲート絶縁膜３を介在して電荷蓄積ゲート電極Ｇ１及びこの電荷蓄積ゲート電極Ｇ１の表面上に第２ゲート絶縁膜１３を介在して制御ゲート電極Ｇ２が形成された不揮発性記憶素子Ｑを有する半導体集積回路装置の製造方法において、前記第１ゲート絶縁膜３の一部の表面上に、不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された多結晶珪素膜で形成され、上部の表面が耐酸化性のマスク５で被覆され、かつゲート長方向の幅が規定された第１ゲート材８を形成する工程と、熱酸化処理を施し、前記ｐ型半導体基板１の活性領域の表面上に熱酸化絶縁膜１０を形成する工程と、前記耐酸化性のマスク５を除去する工程と、前記酸化絶縁膜１０、第１ゲート材８の夫々の表面上に、不純物濃度が1×10^{19}［atoms／cm^3］以上に設定された多結晶珪素膜で形成され、かつゲート長方向の幅が規定された第２ゲート材１１を形成する工程と、前記第２ゲート材１１の表面上に第２ゲート絶縁膜１３を形成する工程と、前記第２ゲート絶縁膜１３の表面上に第３ゲート材を形成する工程とを備える。

【０１５０】

これにより、熱酸化処理を施し、ｐ型半導体基板１の活性領域の表面上に熱酸化絶縁膜１０を形成する際、不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された多結晶珪素膜からなる第１ゲート材８のゲート長方向の夫々の側壁面に形成される熱酸化絶縁膜の成長速度は、不純物濃度が1×10^{20}［atoms／cm^3］以上に設定された多結晶珪素膜からなる第１ゲート材のゲート長方向の側壁面上に形成される熱酸化絶縁膜の成長速度に比べて遅いので、第１ゲート材８のゲート長方向の幅の寸法精度を高めることができ、第１ゲート材のゲート長方向の幅で規定される電荷蓄積ゲート電極Ｇ１のゲート長の寸法精度を高めることができる。この結果、電荷蓄積ゲート電極Ｇ１とドレイン領域とが重さなるオーバーラップ領域の面積のバラツキを低減することができると共に、電荷蓄積ゲート電極とソ

ース領域とが重さなるオーバラップ領域の面積のバラツキを低減することができるので、不揮発性記憶素子Ｑの書き込み特性及び消去特性の均一化を図ることができる。

【０１５１】

また、熱酸化処理を施し、ｐ型半導体基板１の活性領域の表面上に熱酸化絶縁膜１０を形成する際、不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された多結晶珪素膜からなる第１ゲート材８とｐ型半導体基板１との間に第１ゲート材８のゲート長方向の側壁面側からその中央部に向って成長するゲートバーズビーク(熱酸化絶縁膜)のバラツキは、不純物濃度が1×10^{20}［atoms／cm^3］以上に設定された多結晶珪素膜からなる第１ゲート材と半導体基板との間に第１ゲート材のゲート長方向の側壁面側からその中部に向って成長するゲートバーズビークのバラツキに比べて小さい（５［ｎｍ］以下）ので、書き込み動作及び消去動作をトンネル効果で行う不揮発性記憶素子Ｑにおいて、書き込み後のしき値電圧のバラツキを低減することができる。この結果、電源電位の変動に対する不揮発性記憶素子Ｑの動作マージンを増加することができる。

【０１５２】

また、半導体チップ間や半導体ウエーハ間に渡って均一な特性の不揮発性記憶素子Ｑを製造することができるので、信頼性の高い大容量の半導体集積回路装置を安定して製造することができる。

【０１５３】

（２）前記第１ゲート絶縁膜３を形成する工程の前に、前記ｐ型半導体基板１の非活性領域の表面上に熱酸化絶縁膜２を形成する工程を備え、前記ｐ型半導体基板１の活性領域の表面上に形成される熱酸化絶縁膜１０の膜厚を、前記ｐ型半導体基板１の非活性領域の表面上に形成される熱酸化絶縁膜２の膜厚に比べて薄く、前記第１ゲート絶縁膜３の膜厚に比べて厚く設定する。これにより、ｐ型半導体基板１の活性領域の表面上に熱酸化絶縁膜１０を形成する熱処理時間がｐ型半導体基板１の非活性領域の表面上に熱酸化絶縁膜２を形成する熱処理時間に比べて短いので、耐酸化性のマスク５に対して自己整合で導入された不純物が第１ゲート材８下のチャネル形成領域側に拡散する拡散長を短くすることができる。この結果、ソース領域とドレイン領域との間の実効チャネル長を確保することができるので、不揮発性記憶素子Ｑのパンチスルー耐圧を高めることができる。

【０１５４】

（３）ｐ型半導体基板１の活性領域の表面上に第１ゲート絶縁膜３を介在して電荷蓄積ゲート電極Ｇ１が形成され、前記電荷蓄積ゲート電極Ｇ１の表面上に第２ゲート絶縁膜１３を介在して制御ゲート電極Ｇ２が形成され、前記ｐ型半導体基板１の活性領域の表面に前記電荷蓄積ゲート電極Ｇ１に対して自己整合でソース領域及びドレイン領域が形成された不揮発性記憶素子Ｑを有する半導体集積回路装置において、前記電荷蓄積ゲート電極Ｇ１のゲート長方向の側壁面側からその中央部に向って前記電荷蓄積ゲート電極Ｇ１と前記ｐ型半導体基板１との間に成長する熱酸化絶縁膜のバラツキを５［ｎｍ］以下に設定する。この構成により、書き込み後のしきい値電圧のバラツキを抑制することができるので、電源電位の変動に対する不揮発性記憶素子Ｑの動作マージンを増加することができる。

【０１５５】

なお、第２ゲート材１１を形成する前の工程において、第１ゲート材８を不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された非晶質珪素膜（アモルファスシリコン膜〔ａ－Ｓｉ〕）で形成してもよい。この場合、第１ゲート材８を不純物濃度が1×10^{19}［atoms／cm^3］以下に設定された多結晶珪素膜で形成した場合と同様の効果が得られる。

【０１５６】

（実 施 例 ４）

本発明の実施例４である不揮発性記憶素子を有する半導体集積回路装置の概略構成を図２１(要部断面図)に示す。

【０１５７】

図２１に示すように、半導体集積回路装置は、書き込み動作及び消去動作をトンネル効果で行う不揮発性記憶素子Ｑを搭載する。この不揮発性記憶素子Ｑは、主に、チャネル形成

領域であるｐ型半導体基板１、第１ゲート絶縁膜３、電荷蓄積ゲート電極Ｇ１、第２ゲート絶縁膜１３、制御ゲート電極Ｇ２、ソース領域及びドレイン領域である一対のｎ型半導体領域６及び一対のｎ型半導体領域９、しきい値電圧制御領域であるｐ型半導体領域１５で構成される。ｐ型半導体領域１５は例えば5×10^{17}［atoms／cm^2］程度の不純物濃度に設定される。

【０１５８】

前記ｐ型半導体領域１５は、第１ゲート材８を形成する工程の後であって前記ソース領域及びドレイン領域である一対のｎ型半導体領域６を形成する工程の前に、フィールド絶縁膜２と耐酸化性のマスク（５）との間の一方のｐ型半導体基板１の表面に例えばイオン打込み法で選択的にｐ型不純物を導入することにより形成される。このｐ型不純物は、加速エネルギ１００ｋｅＶ、注入量1×10^{14}［atoms／cm^2］、ｐ型半導体基板１の表面に対して６０度の角度をなす方向から導入される。

【０１５９】

このように、第１ゲート材８を形成する工程の後であって前記ソース領域及びドレイン領域である一対のｎ型半導体領域６を形成する工程の前に、ｐ型半導体領域１５を形成する工程を備えることにより、電荷蓄積ゲート電極Ｇ１のゲート長を０．４［μｍ］に設定しても、制御ゲート電極Ｇ２から計ったしきい値電圧を２［Ｖ］に維持したまま、パンチスルー耐圧を７［Ｖ］にすることができる。

【０１６０】

（実 施 例 ５）

本発明の実施例５である不揮発性記憶素子を有する半導体集積回路装置の概略構成を図２２(要部断面図)に示す。

【０１６１】

図２２に示すように、半導体集積回路装置は、書き込み動作及び消去動作をトンネル効果で行う不揮発性記憶素子Ｑを搭載する。この不揮発性記憶素子Ｑは、主に、チャネル形成領域であるｐ型半導体基板１、第１ゲート絶縁膜３、電荷蓄積ゲート電極Ｇ１、第２ゲート絶縁膜１３、制御ゲート電極Ｇ２、ソース領域及びドレイン領域である一対のｎ型半導体領域６及び一対のｎ型半導体領域９で構成される。

【０１６２】

前記電荷蓄積ゲート電極Ｇ１は、前述の実施例１と同様に、第１ゲート材８及びこの第１ゲート材８の表面上に積層された第２ゲート材１１で構成される。第２ゲート材１１は抵抗値を低減する不純物として燐が導入された多結晶珪素膜で形成される。

【０１６３】

前記第２ゲート材１１の表面は凸凹形状で構成される。この第２ゲート材１１の凸凹形状は、前記第２ゲート絶縁膜１３を形成する工程の前に、ｐ型半導体基板１を燐酸液中に浸漬することにより形成される。このｐ型半導体基板１を燐酸液中に浸漬する工程は例えば１４０～１６０［℃］程度の燐酸液(H_3PO_4)中に約６０分間浸漬する条件下で行なわれる。

【０１６４】

このように、第２ゲート材１１を燐が導入された多結晶珪素膜で形成し、この第２ゲート材１１を形成する工程の後であって前記第２ゲート絶縁膜１３を形成する工程の前に、前記半導体基板１を燐酸液中に浸漬する工程を備えることにより、第２ゲート材１１の表面を凸凹形状にすることができるので、第２ゲート材１１の表面積を増加することができる。この結果、電荷蓄積ゲート電極Ｇ１の表面積を増加することができるので、不揮発性記憶素子Ｑの電荷蓄積量を高めることができる。

【０１６５】

なお、第２ゲート材１１の表面の凸凹形状は、半球状の粒子（ヘミスフェリカル・グレイン：ＨＳＧ）をＣＶＤ法で堆積しても形成できる。

【０１６６】

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発

明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【０１６７】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【０１６８】

半導体集積回路装置に搭載される不揮発性記憶素子の書き込み特性及び消去特性の均一化を図ることができる。

【０１６９】

また、前記半導体集積回路装置に搭載される不揮発性記憶素子のパンチスルー耐圧を高めることができる。

【０１７０】

また、前記半導体集積回路装置に搭載される不揮発性記憶素子の動作マージンを増加することができる。

【図面の簡単な説明】

【図１】本発明の実施例１である半導体集積回路装置に搭載されるメモリセルアレイの要部等価回路図である。

【図２】前記半導体集積回路装置の要部平面図である。

【図３】図２に示すＡ－Ａ切断線で切った要部断面図である。

【図４】図２に示すＢ－Ｂ切断線で切った要部断面図である。

【図５】前記半導体集積回路装置の製造方法を説明するための要部断面図である。

【図６】前記半導体集積回路装置の製造方法を説明するための要部断面図である。

【図７】前記半導体集積回路装置の製造方法を説明するための要部断面図である。

【図８】前記半導体集積回路装置の製造方法を説明するための要部平面図である。

【図９】前記半導体集積回路装置の製造方法を説明するための要部平面図である。

【図１０】前記半導体集積回路装置の製造方法を説明するための要部平面図である。

【図１１】前記半導体集積回路装置の製造方法を説明するための要部平面図である。

【図１２】ゲートバーズビークの成長状態を示す電子線顕微鏡写真である。

【図１３】前記ゲートバーズビークのバラツキと不揮発性記憶素子のしきい値電圧との関係を示す相関図。

【図１４】本発明の実施例２である半導体集積回路装置の要部断面図である。

【図１５】本発明の実施例３である半導体集積回路装置の要部平面図である。

【図１６】図１５に示すＣ－Ｃ切断線の位置で切った要部断面図である。

【図１７】図１５に示すＤ－Ｄ切断線の位置で切った要部断面図である。

【図１８】前記半導体集積回路装置の製造方法を説明するための要部断面図である。

【図１９】前記半導体集積回路装置の製造方法を説明するための要部断面図である。

【図２０】前記半導体集積回路装置の製造方法を説明するための要部断面図である。

【図２１】本発明の実施例４である半導体集積回路装置の要部断面図である。

【図２２】本発明の実施例５である半導体集積回路装置の要部断面図である。

【図２３】従来のゲートバーズビークの成長状態を示す電子線顕微鏡写真である。

【図２４】従来のゲートバーズビークの成長状態を示す要部断面図である。

【図２５】従来の不揮発性記憶素子のしきい値電圧のバラツキを示す特性図である。

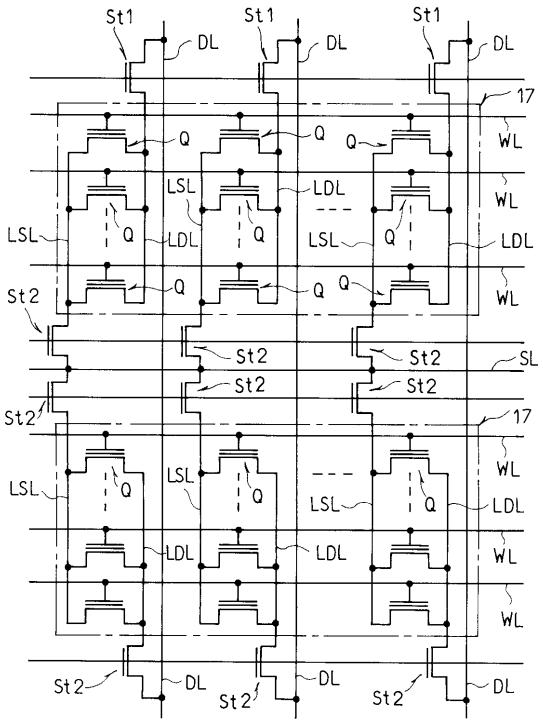
【符号の説明】

１…ｐ型半導体基板１、２…フィールド絶縁膜、３…第１ゲート絶縁膜、４…多結晶珪素膜、５…耐酸化性のマスク、６…ｎ型半導体領域、７…耐酸化性のマスク、８…第１ゲート材、９…ｎ型半導体領域、１０…酸化絶縁膜、１１…第２ゲート材、１２…ｐ型半導体領域、１３…第２ゲート絶縁膜、１４…ｐ型半導体領域、１５…ｐ型半導体領域、１６…サイドウォールスペーサ、１７…メモリブロック、Ｇ１…電荷蓄積ゲート電極、Ｇ２…制御ゲート電極、Ｑ…不揮発性記憶素子、ＳＴ…選択用トランジスタ、ＷＬ…ワード線、Ｄ

Ｌ…データ線、ＬＳＬ…ローカルソース線、ＬＤＬ…ローカルデータ線。

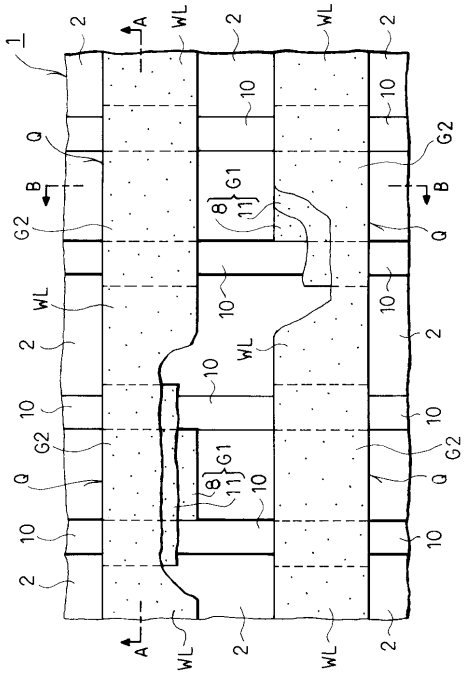
【図１】

図１



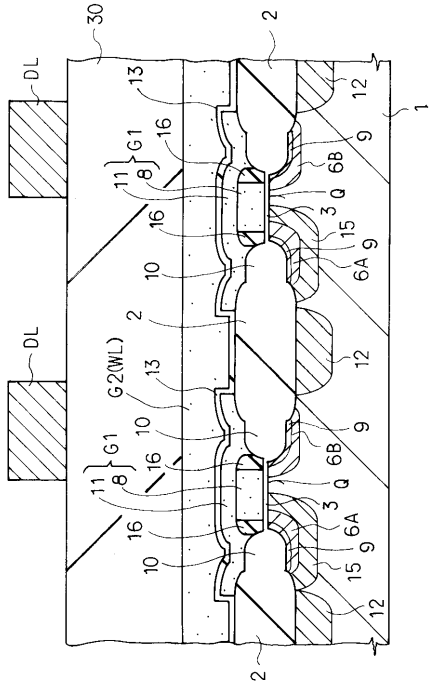
【図２】

図２



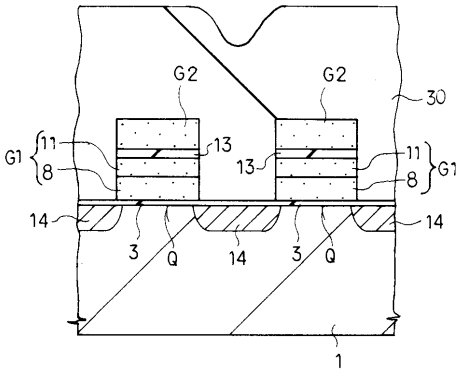
【図３】

図３



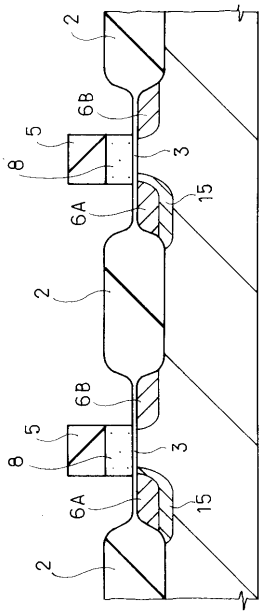
【図４】

図４



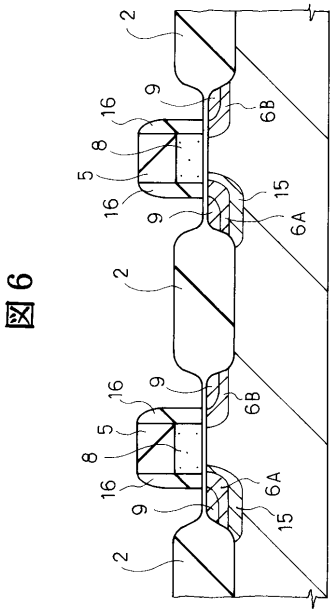
【図５】

図５



【図６】

図６



【図７】

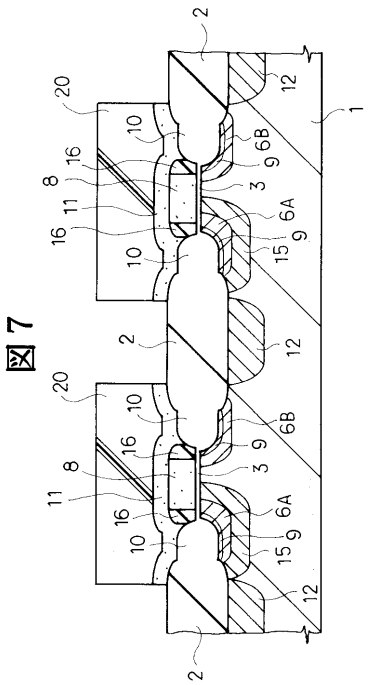


図７

【図８】

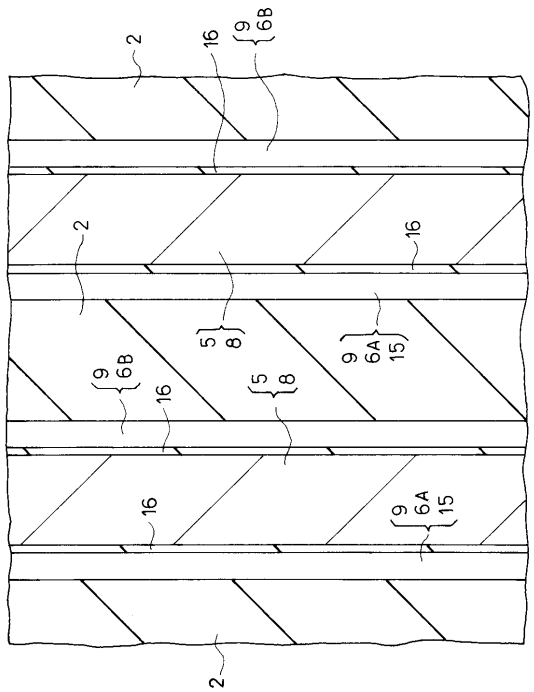


図８

【図９】

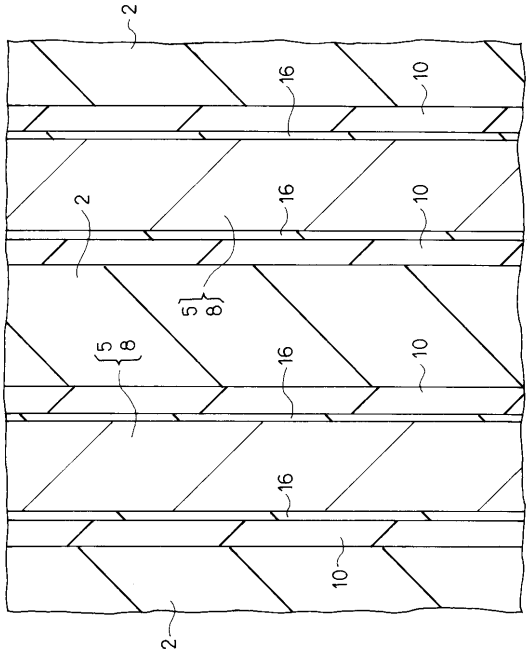


図９

【図１０】

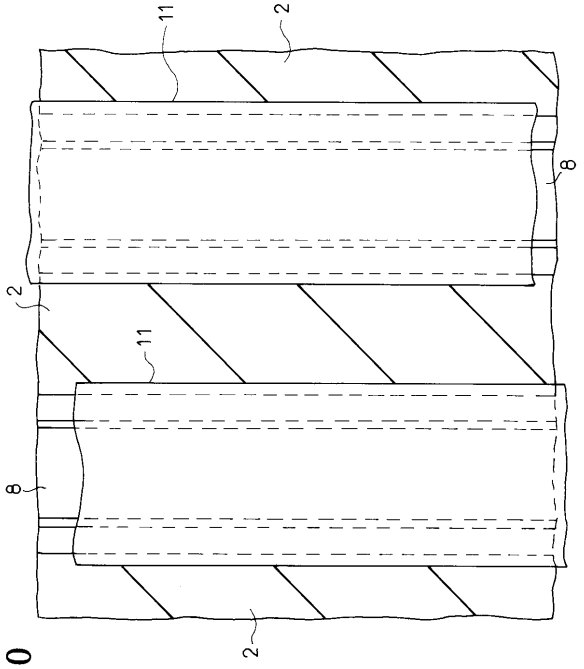
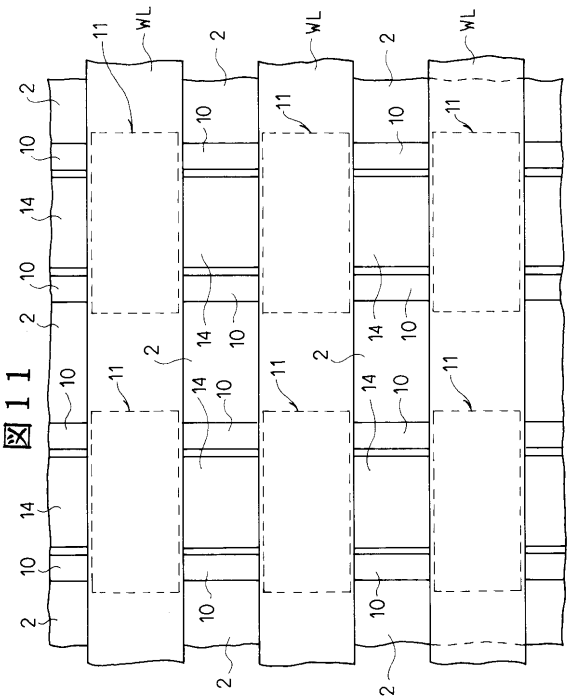


図１０

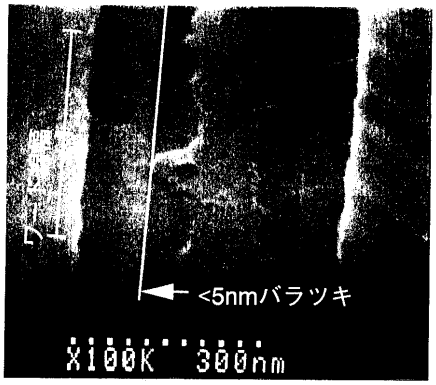
【図１１】

図１１



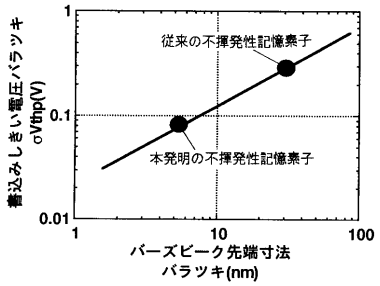
【図１２】

図１２



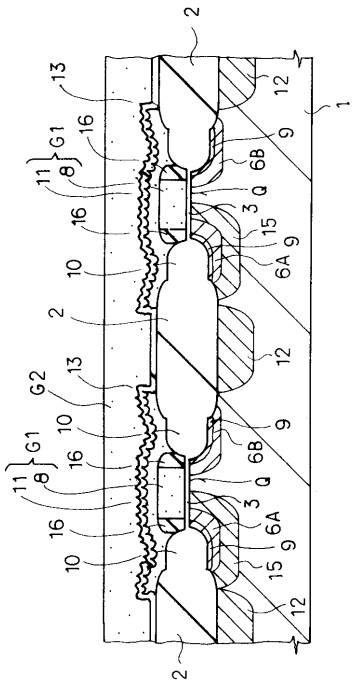
【図１３】

図１３



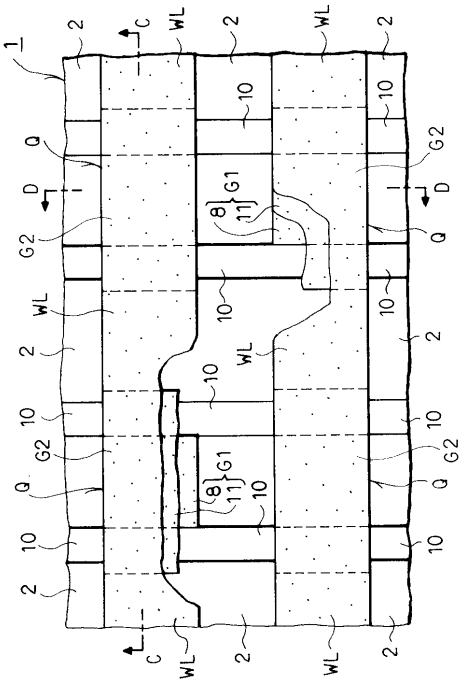
【図１４】

図１４



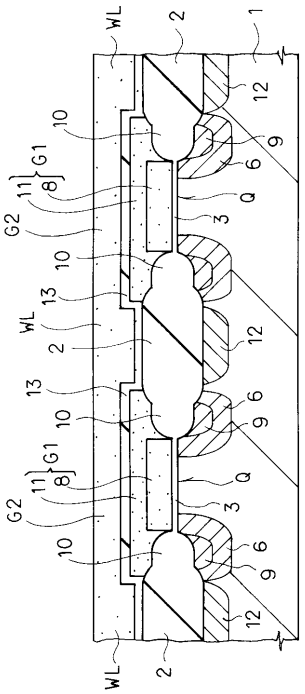
【図１５】

図１５



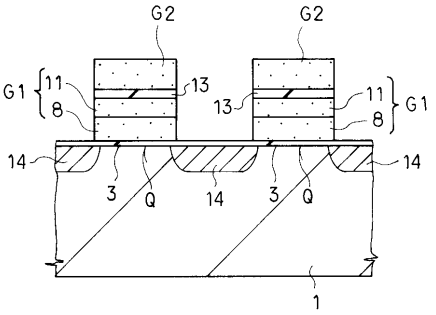
【図１６】

図１６



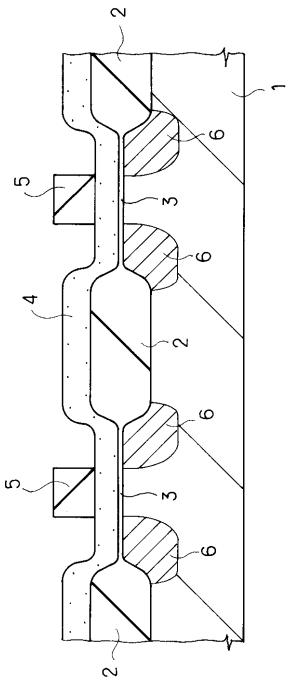
【図１７】

図１７



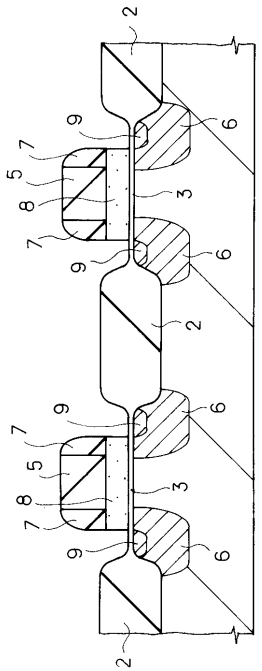
【図１８】

図１８



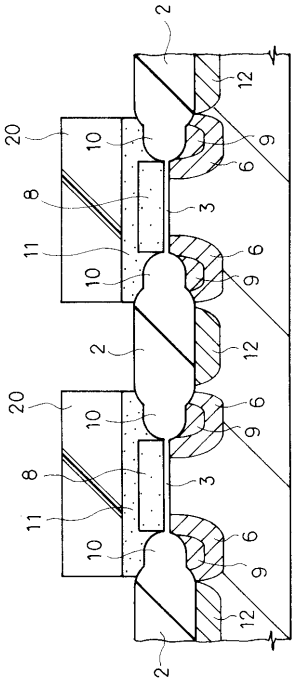
【図１９】

図１９



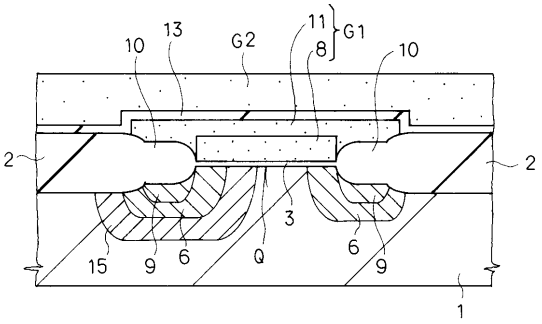
【図２０】

図２０



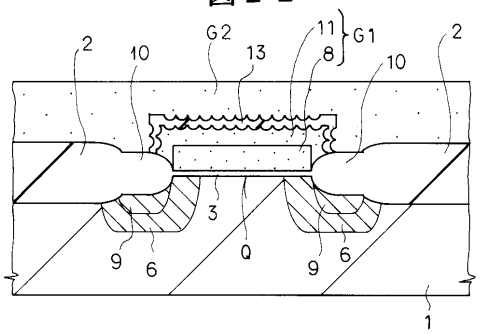
【図２１】

図２１



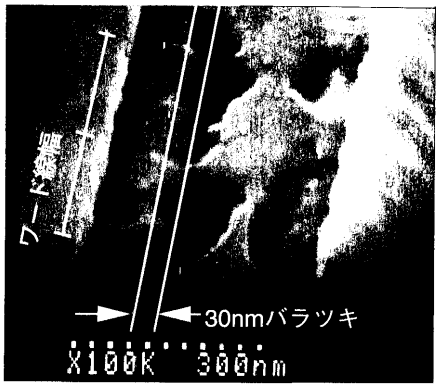
【図２２】

図２２



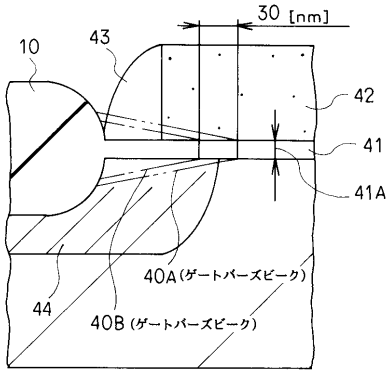
【図２３】

図２３



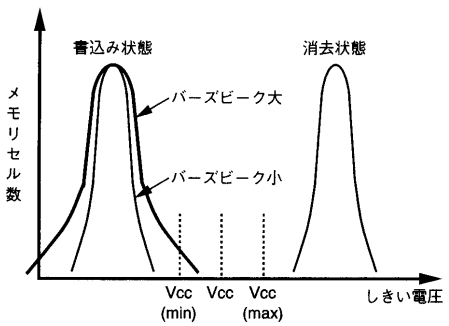
【図２４】

図２４



【図２５】

図２５



フロントページの続き

(72)発明者　戸辺　英郎
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　小森　和宏
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　加藤　正高
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　久米　均
東京都国分寺市東恋ケ窪１丁目２８０番地　株式会社日立製作所　中央研究所内

審査官　北島　健次

(56)参考文献　特公平０４－０１８７１１（ＪＰ，Ｂ２）
特開平０６－０７７４３７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L　21/8247
H01L　27/115
H01L　29/788
H01L　29/792