

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 23 年 1 月 27 日 (2011.1.27)

【公開番号】特開 2009-206145 (P2009-206145A)

【公開日】平成 21 年 9 月 10 日 (2009.9.10)

【年通号数】公開・登録公報 2009-036

【出願番号】特願 2008-44393 (P2008-44393)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

【F I】

H 0 1 L 29/78 3 0 1 V

【手続補正書】

【提出日】平成 22 年 12 月 8 日 (2010.12.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板に形成され、ゲート幅方向に凹凸部が形成された第 1 導電型のウェル領域と、

絶縁膜を介して前記凹凸部に形成されたゲート電極と、

前記ゲート電極の凹凸長手方向の一方側に前記ウェル領域の上部近傍に掛けて形成された第 2 導電型の上部ソース領域と、

前記上部ソース領域の下側に前記ウェル領域より浅く形成された第 2 導電型の下部ソース領域と、

前記ゲート電極の凹凸長手方向の他方の側に前記ウェル領域の上部近傍に掛けて形成された第 2 導電型の上部ドレイン領域と、

前記上部ドレイン領域の下側に前記ウェル領域より浅く形成された第 2 導電型の下部ドレイン領域と、

を具備したことを特徴とする半導体装置。

【請求項 2】

前記ドレイン領域のうち、前記ゲート電極に隣接する領域では、不純物濃度が低く設定されていることを特徴とする請求項 1 の半導体装置。

【請求項 3】

半導体基板に第 1 導電型の下部ウェル領域を形成するステップと、

前記下部ウェル領域の一部に第 2 導電型の下部ソース領域及び下部ドレイン領域を形成するステップと、

前記下部ウェル領域、前記下部ソース領域、前記下部ドレイン領域の基板表面に半導体エピタキシャル層を形成するステップと、

前記半導体エピタキシャル層に上部ウェル領域を形成するステップと、

凹凸部を形成するためのトレンチを前記下部ソース領域及び前記下部ドレイン領域の深さ以上にエッチング形成するステップと、

前記凹凸部全面に絶縁膜を形成した後、当該絶縁膜を介してゲート電極を形成するステップと、

前記形成したゲート電極の両側にイオンを注入して、前記下部ソース領域および前記下

部ドレイン領域に接するように上部ソース領域および上部ドレイン領域を形成するステップと、
を有する半導体装置の製造方法。

【請求項 4】

半導体基板に第 1 導電型の下部ウェル領域を形成するステップと、
前記下部ウェル領域の一部に第 2 導電型の下部低濃度領域を形成するステップと、
前記下部低濃度領域の一部に前記下部低濃度領域より不純物濃度の濃い第 2 導電型の下部ソース領域及び下部ドレイン領域を形成するステップと、
前記下部ウェル領域、前記下部ソース領域、前記下部ドレイン領域の基板表面に半導体エピタキシャル層を形成するステップと、
前記半導体エピタキシャル層に上部ウェル領域を形成するステップと、
凹凸部を形成するためのトレンチを前記下部ソース領域及び前記下部ドレイン領域の深さ以上にエッチング形成するステップと、
前記凹凸部全面に絶縁膜を形成した後、当該絶縁膜を介してゲート電極を形成するステップと、
前記ゲート電極の両側にイオンを注入して、前記下部低濃度領域と接するように第 2 導電型の上部低濃度領域を形成するステップと、
前記ゲート電極のソース側と前記ゲート電極のドレイン側の一部に前記第 2 導電型の上部低濃度領域より不純物濃度の濃い第 2 導電型の上部ソース領域及び上部ドレイン領域を前記下部ソース領域および前記下部ドレイン領域に接するように形成するステップと、
を有する半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

(1) 本発明は、前記目的を達成するために、半導体基板と、前記半導体基板に形成され、ゲート幅方向に凹凸部が形成された第 1 導電型のウェル領域と、絶縁膜を介して前記凹凸部に形成されたゲート電極と、前記ゲート電極の凹凸長手方向の一方側に前記ウェル領域の上部近傍に掛けて形成された第 2 導電型の上部ソース領域と、前記上部ソース領域の下側に前記ウェル領域より浅く形成された第 2 導電型の下部ソース領域と、前記ゲート電極の凹凸長手方向の他方の側に前記ウェル領域の上部近傍に掛けて形成された第 2 導電型の上部ドレイン領域と、前記上部ドレイン領域の下側に前記ウェル領域より浅く形成された第 2 導電型の下部ドレイン領域を具備したことを特徴とする半導体装置とする。

(2) 前記ドレイン領域のうち、前記ゲート電極に隣接する領域では、不純物濃度が低く設定されていることを特徴とする半導体装置とする。

(3) 半導体基板に第 1 導電型の下部ウェル領域を形成するステップと、前記下部ウェル領域の一部に第 2 導電型の下部ソース領域及び下部ドレイン領域を形成するステップと、前記下部ウェル領域、前記下部ソース領域、前記下部ドレイン領域の基板表面に半導体エピタキシャル層を形成するステップと、前記半導体エピタキシャル層に上部ウェル領域を形成するステップと、凹凸部を形成するためのトレンチエッチングステップと、前記凹凸部方面に絶縁膜を形成した後、当該絶縁膜を介してゲート電極を作成するステップと、前記形成したゲート電極の両側にイオンを注入して、前記下部ソース領域および前記下部ドレイン領域に接するように上部ソース領域および上部ドレイン領域を形成するステップを有する半導体装置の製造方法とする。

(4) 半導体基板に第 1 導電型の下部ウェル領域を形成するステップと、前記下部ウェル領域の一部に第 2 導電型の下部低濃度領域を形成するステップと、前記下部低濃度領域の一部に前記下部低濃度領域より不純物濃度の濃い第 2 導電型の下部ソース領域及び下部ドレイン領域を形成するステップと、前記下部ウェル領域、前記下部ソース領域、前記下部

ドレイン領域の基板表面に半導体エピタキシャル層を形成するステップと、前記半導体エピタキシャル層に上部ウェル領域を形成するステップと、凹凸部を形成するためのトレンチエッチングステップと、前記凹凸部方面に絶縁膜を形成した後、当該絶縁膜を介してゲート電極を形成するステップと、前記ゲート電極の両側にイオンを注入して、第２導電型の上部低濃度領域を形成するステップと、前期ゲート電極のソース側と前記ゲート電極の一部のドレイン側に前記第２導電型の上部低濃度領域より不純物濃度の濃い第２導電型の上部ソース領域及び上部ドレイン領域を形成するステップを有する半導体装置の製造方法とする。

【手続補正３】

【補正対象書類名】明細書

【補正対象項目名】００３５

【補正方法】変更

【補正の内容】

【００３５】

- １ 半導体基板
- ２ ウェル領域
 - ２ａ 上部ウェル領域
 - ２ｂ 下部ウェル領域
- ３ ゲート電極
- ４ ゲート絶縁膜
- ５ ソース領域
 - ５ａ 上部ソース領域
 - ５ｂ 下部ソース領域
- ６ ドレイン領域
 - ６ａ 上部ドレイン領域
 - ６ｂ 下部ドレイン領域
- ７ ＬＯＣＯＳ
- ８ コンタクト
- ９ チャネル領域
- １０ 電流経路
 - １１ａ 凹部（トレンチ）
 - １１ｂ 凸部
- １２ 下部ソース・ドレイン用不純物インブラ
- １３ 下部ソース・ドレインの不純物
- １４ 上部ウェル用不純物インブラ
- １５ 上部ウェルの不純物
- １６ 半導体エピタキシャル層
- １７ レジスト
- １８ 上部ソース・ドレイン用不純物インブラ
- １９ 下部低濃度領域用不純物インブラ
- ２０ 下部低濃度領域用不純物
- ２１ 下部低濃度領域
- ２２ 上部低濃度領域