



(12)发明专利

(10)授权公告号 CN 104065382 B

(45)授权公告日 2017.05.31

(21)申请号 201310093824.3

(56)对比文件

(22)申请日 2013.03.22

US 6489905 B1, 2002.10.03,

(65)同一申请的已公布的文献号

CN 102811058 A, 2012.12.05,

申请公布号 CN 104065382 A

CN 102970037 A, 2013.03.13,

(43)申请公布日 2014.09.24

审查员 汪见晗

(73)专利权人 西安电子科技大学

地址 710071 陕西省西安市太白南路2号

(72)发明人 朱樟明 刘勋 任大志 刘帘曦
杨银堂

(74)专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 许静 安利霞

(51)Int.Cl.

H03M 1/10(2006.01)

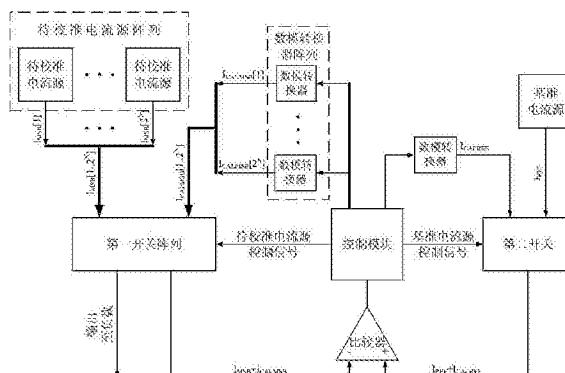
权利要求书2页 说明书7页 附图3页

(54)发明名称

用于分段式电流舵DAC的数字校准电路

(57)摘要

本发明提供一种用于分段式电流舵DAC的数字校准电路，包括：待校准电流源阵列、数模转换器阵列、基准电流源、基准数模转换器、第一开关阵列、第二开关、比较器以及控制模块。在校准过程中比较器对待校准电流源阵列中的电流源以及基准电流源进行比较，之后控制模块根据所述比较结果控制所述数模转换器阵列以及基准数模转换器产生补偿电流，从而对待校准电流源阵列进行校准。当待校准电流源阵列中的电流源全部校准完成后，控制模块控制第一开关阵列使所述待校准电流源阵列输出负载、同时控制第二开关使基准电流源停止输出电流。本方案通过数模转换器实现了对低电压电流源的校准，由于方案简单，从而有效减小了校准所需搭载的芯片体积。



1. 一种用于分段式电流舵DAC的数字校准电路,其特征在于,包括:

待校准电流源阵列;

与所述待校准电流源阵列对应连接的数模转换器阵列,用于对每位待校准电流源产生补偿电流;

基准电流源,用于在校准过程中提供基准电流;

与所述基准电流源连接的基准数模转换器,用于对所述基准电流源产生补偿电流;

第一开关阵列与所述待校准电流源阵列对应连接,用于控制所述待校准电流源阵列的输出电流;

第二开关,与所述基准电流源连接,用于控制所述基准电流源的输出电流;

比较器,其输入端分别与所述第一开关阵列以及所述第二开关连接,用于比较所述待校准电流源和所述基准电流源的输出电流;

控制模块,与所述比较器输出端连接,并分别与所述数模转换器阵列以及基准数模转换器连接,并分别与所述第一开关阵列以及所述第二开关连接,用于接收所述比较器输出的比较结果,并根据所述比较结果控制所述数模转换器阵列以及基准数模转换器产生补偿电流,并控制所述第一开关阵列以及所述第二开关工作。

2. 根据权利要求1所述的用于分段式电流舵DAC的数字校准电路,其特征在于,所述待校准电流源阵列中的待校准电流源以及基准电流源均由 2^N 个并列连接且宽长比相同的PMOS管构成;其中,N为待校准电流源位数。

3. 根据权利要求2所述的用于分段式电流舵DAC的数字校准电路,其特征在于,所述第一开关阵列由 2^N 个单位开关组成,所述第二开关由一个单位开关组成;其中,所述单位开关包括:

第一反相器,其输入端与所述控制模块连接;

第一MOS管,其栅极与所述第一反相器的输入端连接;

第二MOS管,其漏极与所述第一MOS管的漏极连接;

其中,所述第一MOS管以及第二MOS管的漏极与电源连接;

第三MOS管,其栅极与所述第一反相器的输出端连接,其漏极与所述第二MOS管的源极连接,其源极接地;

第四MOS管,其栅极与所述第二MOS管的源极连接,其源极与所述待校准电流源中所对应的PMOS管的漏极连接;

第五MOS管,其源极与所述第四MOS管的源极连接,其漏极与所述比较器连接;

第六MOS管,其漏极与所述第五MOS管的栅极连接,其栅极与所述控制模块连接,其源极接地。

4. 根据权利要求3所述的用于分段式电流舵DAC的数字校准电路,其特征在于,所述第一开关阵列中的第四MOS管的漏极与负载连接。

5. 根据权利要求4所述的用于分段式电流舵DAC的数字校准电路,其特征在于,所述数模转换器阵列中的数模转换器和所述基准数模转换器均为二进制编码数模转换器。

6. 根据权利要求5所述的用于分段式电流舵DAC的数字校准电路,其特征在于,所述数模转换器阵列由 2^N 个数模转换器组成,所述基准数模转换器由一个数模转换器组成;每个数模转换器由K位顺序排列的单位数模转换器组成;

其中所述单位数模转换器包括：

第二反相器，其输入端与所述控制模块连接；

第七MOS管，其栅极与所述第二反相器的输出端连接，其漏极与所述第一反相器的输入端连接；

第八MOS管，其栅极与所述第二反相器的输入端连接，其源极与所述第七MOS管的源极连接，其漏极接地；

PMOS管阵列，其中，所述PMOS管阵列中的每个PMOS的漏极分别与所述第七MOS管的源极和所述第八MOS管的源极连接。

7. 根据权利要求6所述的用于分段式电流舵DAC的数字校准电路，所述数模转换器阵列中的PMOS管阵列的源极与所述第一开关阵列中的第一反相器的输入端连接；所述基准数模转换器中的PMOS管阵列的源极与所述第二开关中的第一反相器的输入端连接。

8. 根据权利要求7所述的用于分段式电流舵DAC的数字校准电路，其特征在于，所述PMOS管阵列包含有M个相互并联的POMS；其中， $M=2^{x-1}$ ；x为该PMOS管阵列所属的单位数模转换器在数模转换器中的位数。

9. 根据权利要求1所述的用于分段式电流舵DAC的数字校准电路，其特征在于，所述控制模块为SAR数字校准控制模块，其具体用于：

通过输出信号控制所述第一开关阵列以及所述第二开关，指定选择校准所述待校准电流源阵列中的待校准电流源；以及

保存数模转换器阵列对每位待校准电流源进行补偿的电流大小的信息，使得所述数模转换器能够根据所述SAR数字校准控制模块保存的信息为每位待校准电流源提供补偿电流。

用于分段式电流舵DAC的数字校准电路

技术领域

[0001] 本发明涉及集成电路领域,特别是涉及用于分段式电流舵DAC的数字校准电路。

背景技术

[0002] 晶体管的失配是影响数模转换器静态特性和动态特性的主要因素。对于窄带宽转换器,静态特性会影响转换器的输出频谱,为了达到线性的目的,电流舵数模转换器需要用到校准技术。

[0003] 现有的校准技术,分别是自校准技术和SSPA (Switching-Sequence Post-Adjustment) 校准技术。随着发展的要求,降低器件的尺寸和供电电压,是发展的趋势。

发明内容

[0004] 本发明要解决的技术问题是提供一种用于分段式电流舵DAC的数字校准电路,能够对低电压电流源的实现校准。

[0005] 为解决上述技术问题,本发明的实施例提供一种用于分段式电流舵DAC的数字校准电路,包括:

[0006] 待校准电流源阵列;

[0007] 与所述待校准电流源阵列对应连接的数模转换器阵列,用于对每位待校准电流源产生补偿电流;

[0008] 基准电流源,用于在校准过程中提供基准电流;

[0009] 与所述基准电流源连接的基准数模转换器,用于对所述基准电流源产生补偿电流;

[0010] 第一开关阵列与所述待校准电流源阵列对应连接,用于控制所述待校准电流源阵列的输出电流;

[0011] 第二开关,与所述基准电流源连接,用于控制所述基准电流源的输出电流;

[0012] 比较器,其输入端分别与所述第一开关阵列以及所述第二开关连接,用于比较所述待校准电流源和所述基准电流源的输出电流;

[0013] 控制模块,与所述比较器输出端连接,并分别与所述数模转换器阵列以及基准数模转换器连接,并分别与所述第一开关阵列以及所述第二开关连接,用于接收所述比较器输出的比较结果,并根据所述比较结果控制所述数模转换器阵列以及基准数模转换器产生补偿电流,并控制所述第一开关阵列以及所述第二开关工作。

[0014] 其中,所述待校准电流源阵列中的待校准电流源以及基准电流源均由 2^N 个并列连接且宽长比相同的PMOS晶体管构成;其中,N为待校准电流源位数。

[0015] 其中,所述第一开关阵列由 2^N 个单位开关组成,所述第二开关由一个单位开关组成;其中,所述单位开关包括:

[0016] 第一反相器,其输入端与所述控制模块连接;

[0017] 第一MOS管,其栅极与所述第一反相器的输入端连接;

- [0018] 第二MOS管，其漏极与所述第一MOS管的漏极连接；
- [0019] 其中，所述第一MOS管以及第二MOS管的漏极与电源连接；
- [0020] 第三MOS管，其栅极与所述第一反相器的输出端连接，其漏极与所述第二MOS管的源极连接，其源极接地；
- [0021] 第四MOS管，其栅极与所述第二MOS管的源极连接，其源极与所述待校准电流源中所对应的PMOS晶体管的漏极连接；
- [0022] 第五MOS管，其源极与所述第四MOS管的源极连接，其漏极与所述比较器连接；
- [0023] 第六MOS管，其漏极与所述第五MOS管的栅极连接，其栅极与所述控制模块连接，其源极接地。
- [0024] 其中，所述第一开关阵列中的第四MOS管的漏极与负载连接。
- [0025] 其中，所述数模转换器阵列中的数模转换器和所述基准数模转换器均为二进制编码数模转换器。
- [0026] 其中，所述数模转换器阵列由 2^N 个数模转换器组成，所述基准数模转换器由一个数模转换器组成；每个数模转换器由K位顺序排列的单位数模转换器组成；
- [0027] 其中，所述单位数模转换器包括：
- [0028] 第二反相器，其输入端与所述控制模块连接；
- [0029] 第七MOS管，其栅极与所述第二反相器的输出端连接，其漏极与所述第一反相器的输入端连接；
- [0030] 第八MOS管，其栅极与所述第二反相器的输入端连接，其源极与所述第七MOS管的源极连接，其漏极接地；
- [0031] PMOS管阵列，其中，所述PMOS管阵列中的每个PMOS的漏极分别与所述第七MOS管的源极和所述第八MOS管的源极连接。
- [0032] 其中，所述数模转换器阵列中的PMOS管阵列的源极与所述第一开关阵列中的第一反相器的输入端连接；所述基准数模转换器中的PMOS管阵列的源极与所述第二开关中的第一反相器的输入端连接。
- [0033] 其中，所述PMOS管阵列包含有M个相互并联的PMOS；其中， $M=2^{x-1}$ ；x为该PMOS管阵列所属的单位数模转换器在数模转换器中的位数。
- [0034] 其中，所述控制模块为SAR数字校准控制模块，其具体用于：
- [0035] 通过输出信号控制所述第一开关阵列以及所述第二开关，指定选择校准所述待校准电流源阵列中的待校准电流源；以及
- [0036] 保存数模转换器阵列对每位待校准电流源进行补偿的电流大小的信息，使得所述数模转换器能够根据所述SAR数字校准控制模块保存的信息为每位待校准电流源提供补偿电流。
- [0037] 本发明的上述方案具有如下有益效果：
- [0038] 本发明的方案在校准过程中比较器对待校准电流源阵列中的电流源以及基准电流源进行比较，之后控制模块根据所述比较结果控制所述数模转换器阵列以及基准数模转换器产生补偿电流，从而对待校准电流源阵列进行校准。当待校准电流源阵列中的电流源全部校准完成后，控制模块控制第一开关阵列使所述待校准电流源阵列输出负载、同时控制第二开关使基准电流源停止输出电流。本方案通过数模转换器实现了对低电压电流源的

校准,由于方案简单,从而有效减小了校准所需搭载的芯片体积。

附图说明

- [0039] 图1为本发明中用于分段式电流舵DAC的数字校准电路的电路图;
- [0040] 图2为本发明中待校准电流源以及基准电流源的结构示意图;
- [0041] 图3为本发明中控制模块的工作流程示意图;
- [0042] 图4为本发明中数模转换器的结构示意图;
- [0043] 图5为本发明中单位开关的结构示意图。

具体实施方式

[0044] 为使本发明要解决的技术问题、技术方案和优点更加清楚,下面将结合附图及具体实施例进行详细描述。

[0045] 如图1所示,本发明的实施例提供一种用于分段式电流舵DAC的数字校准电路,包括:

- [0046] 待校准电流源阵列;
- [0047] 与所述待校准电流源阵列对应连接的数模转换器阵列,用于对每位待校准电流源产生补偿电流;
- [0048] 基准电流源,用于在校准过程中提供基准电流;
- [0049] 与所述基准电流源连接的基准数模转换器,用于对所述基准电流源产生补偿电流;
- [0050] 第一开关阵列与所述待校准电流源阵列对应连接,用于控制所述待校准电流源阵列的输出电流;
- [0051] 第二开关,与所述基准电流源连接,用于控制所述基准电流源的输出电流;
- [0052] 比较器,其输入端分别与所述第一开关阵列以及所述第二开关连接,用于比较所述待校准电流源和所述基准电流源的输出电流;
- [0053] 控制模块,与所述比较器输出端连接,并分别与所述数模转换器阵列以及基准数模转换器连接,并分别与所述第一开关阵列以及所述第二开关连接,用于接收所述比较器输出的比较结果,并根据所述比较结果控制所述数模转换器阵列以及基准数模转换器产生补偿电流,并控制所述第一开关阵列以及所述第二开关工作。
- [0054] 具体地,在本发明的上述实施例中,所述待校准电流源阵列中的待校准电流源以及基准电流源均由 2^N 个并列连接且宽长比相同的PMOS晶体管构成;其中,N为待校准电流源位数。

[0055] 如图5所示,具体地,在本发明的上述实施例中,所述第一开关阵列由 2^N 个单位开关组成,所述第二开关由一个单位开关组成;其中,所述单位开关包括:

- [0056] 第一反相器T1,其输入端与所述控制模块连接;
- [0057] 第一MOS管M1,其栅极与所述第一反相器的输入端连接;
- [0058] 第二MOS管M2,其漏极与所述第一MOS管的漏极连接;
- [0059] 其中,所述第一MOS管M1以及第二MOS管M2的漏极与电源连接;
- [0060] 第三MOS管M3,其栅极与所述第一反相器的输出端连接,其漏极与所述第二MOS管

M2的源极连接,其源极接地;

[0061] 第四MOS管M4,其栅极与所述第二MOS管M2的源极连接,其源极与所述待校准电流源中所对应的PMOS管的漏极连接;

[0062] 第五MOS管M5,其源极与所述第四MOS管M4的源极连接,其漏极与所述比较器连接;

[0063] 第六MOS管M6,其漏极与所述第五MOS管M5的栅极连接,其栅极与所述控制模块连接,其源极接地。

[0064] 其中,所述第一开关阵列中的第四MOS管M4的漏极与负载连接。

[0065] 具体地,在本发明的上述实施例中,所述数模转换器阵列中的数模转换器和所述基准数模转换器均为二进制编码数模转换器。

[0066] 如图4所示,具体地,在本发明的上述实施例中,所述数模转换器阵列由 2^N 个数模转换器组成,所述基准数模转换器由一个数模转换器组成;每个数模转换器由K位顺序排列的单位数模转换器组成;

[0067] 其中,所述单位数模转换器包括:

[0068] 第二反相器T2,其输入端与所述控制模块连接;

[0069] 第七MOS管M7,其栅极与所述第二反相器T2的输出端连接,其漏极与所述第一反相器的输入端连接;

[0070] 第八MOS管M8,其栅极与所述第二反相器T2的输入端连接,其源极与所述第七MOS管M7的源极连接,其漏极接地;

[0071] PMOS管阵列P,其中,所述PMOS管阵列P中的每个PMOS的漏极分别与所述第七MOS管M7的源极和所述第八MOS管M8的源极连接。

[0072] 具体地,在本发明的上述实施例中,所述数模转换器阵列中的PMOS管阵列的源极与所述第一开关阵列中的第一反相器的输入端连接;所述基准数模转换器中的PMOS管阵列的源极与所述第二开关中的第一反相器的输入端连接。

[0073] 具体地,在本发明的上述实施例中,所述PMOS管阵列包含有M个相互并联的PMOS;其中,M=该PMOS管阵列所属的单位数模转换器在数模转换器中的位数。

[0074] 在本发明的上述实施例中,所述控制模块为SAR数字校准控制模块,其具体用于:

[0075] 通过输出信号控制所述第一开关阵列以及所述第二开关,指定选择校准所述待校准电流源阵列中的待校准电流源;以及

[0076] 保存数模转换器阵列对每位待校准电流源进行补偿的电流大小的信息,使得所述数模转换器能够根据所述SAR数字校准控制模块保存的信息为每位待校准电流源提供补偿电流。

[0077] 下面就一待校准数模转换器的每个电流源进行逐一校准,其具体原理为:

[0078] 图1为本实施例中一种用于分段式电流舵数模转换器的数字校准电路的方案结构图,其中的待校准电流源阵列(即待校准数模转换器的每个电流源)中的每个待校准电流源以及基准电流源的结构相同,都是采用 2^N 个处于饱和区的PMOS管并联(如图2所示),其输出电流分别为 I_{MSB} 和 I_{REF} ,在电压VBIAS控制下工作在饱和区,通过上述结构能够有助于待校准电流源阵列的优化布局,使因版图设计而造成的匹配误差减小。控制模块,为数字逻辑电路,输出多组控制信号,分别到数模转换器阵列、第一开关阵列和第二开关。电流源校准过程中,控制模块从待校准电流源阵列中选择一个待校准电流源与基准电流源在比较器中进

行比较,并根据比较器的输出结果调节数模转换器阵列中的数模转换器的输出电流,以完成校准过程。数模转换器阵列中的数模转换器,其满偏输出电流为 I_{CALDAC} ,为了尽量减小补偿电流对待校准数模转换器的静态特性参数的影响,同时保证校准效果,其最低有效位电流LSB($I_{CALDA CLSB}$)设定为待校准数模转换器LSB电流($I_{DACL SB}$)的 $1/2^K$,即

$$[0079] \quad I_{CALDA CLSB} = \frac{1}{2^K} \times I_{DACL SB},$$

[0080] 则数模转换器阵列中的数模转换器的满偏输出电流为:

$$[0081] \quad I_{CALDAC} = (2^K - 1) \times I_{CALDA CLSB} = \left(\frac{2^K - 1}{2^K} \right) I_{DACL SB}.$$

[0082] 数模转换器阵列为待校准电流源阵列提供 2^N 个校准补偿电流,即 $I_{CALMSB}[1]$, $I_{CALMSB}[2]$,…, $I_{CALMSB}[2^N]$,基准数模转换器为基准电流源提供校准补偿电流 I_{CALREF} 。

[0083] 由图1所示的结构可知,在校准过程初始阶段,控制模块将与待校准电流源相连的 2^N 组数模转换器阵列中的数模转换器全部设置为零输入状态,与基准电流源相连的基准数模转换器设置为半满偏状态,则通过第一开关阵列的总输出电流值为: $I_{MSB}[i]$ ($i=1, 2, \dots, 2^N$),通过第二开关的总输出电流值为:

[0084]

$$I_{REF} + I_{CALREF} = I_{REF} + \frac{1}{2} \times I_{CALDAC} = I_{REF} + \frac{2^K - 1}{2} \times I_{CALDA CLSB} = I_{REF} + \frac{2^K - 1}{2 \times 2^K} I_{DACL SB}$$

[0085] 在校准开始后,在控制模块的控制下,电流 $I_{REF}+I_{CALREF}$ 输入到比较器的同相输入端,从*i*=1开始,电流 $I_{MSB}[i]$ 输入到比较器的反向输入端,依次将 $I_{MSB}[i]$ ($i=1, 2, \dots, 2^N$)与 $I_{REF}+I_{CALREF}$ 进行比较,若 $I_{MSB}[i]+I_{CALMSB}[i]$ 小于第二开关的总输出电流($I_{REF}+I_{CALREF}$),则比较器的输出为高电平数字信号,控制模块将与第*i*位待校准电流源相连的数模转换器的数字输入信号的数值增加1,使该数模转换器增大补偿电流,直到比较器的输出为低电平数字信号时,说明通过第一开关阵列的总输出电流 $I_{MSB}[i]+I_{CALMSB}[i]$ 等于或略大于通过第二开关的总输出电流,此时控制模块将与第*i*位待校准电流源连接的数模转换器阵列中的数模转换器的数字输入信号存储在控制模块内部的寄存器中,然后开始第*i*+1位待校准电流源的校准工作,以此类推,直到第 2^N 个待校准电流源的校准工作结束后,说明整个校准过程完成。其具体流程如图3所示:

[0086] 步骤301,数模转换器阵列中的所有数模转换器初始化;具体地,将与待校准电流源对应相连的数模转换器为零输入状态,与基准电流源相连的数模转换器为半满偏输入状态;

[0087] 步骤302,选择待校准单位电流源;将设选择第*i*组待校准电流源,初始化*i*=1;

[0088] 步骤303,第*i*组待校准单位电流源,总输出电流 $I_{MSB}[i]+I_{CALMSB}[i]$ 与基准电流源总输出电流 $I_{REF}+I_{CALREF}$ 进行比较;

[0089] 步骤304,判断是否 $I_{MSB}[i]+I_{CALMSB}[i] \geq I_{REF}+I_{CALREF}$;是,则进行步骤306;否,则进行步骤305;

[0090] 步骤305,将与第*i*位待校准电流源相连的数模转换器的数字输入信号的数值增加1,使该数模转换器增大补偿电流;之后返回步骤303。

[0091] 步骤306,第*i*位单位电流源校准完成,该校准后的数模转换器的输入信号存储到控制模块的寄存器中,令*i*=*i*+1;之后进行

[0092] 步骤307,判断*i* $\geq 2^N$;是,则进行步骤308;否,则返回步骤303;

[0093] 步骤308,电流源校准过程结束,根据寄存器中存储的数据,控制数模转换器阵列中的数模转换器以及校准后的电流源向负载输出。

[0094] 在整个校准过程完成后,控制模块输出校准结束信号,数模转换器阵列中的数模转换器根据校准过程中存储控制模块内部寄存器中的数据输出对应的补偿电流,使校准后的电流源阵列达到匹配,控制模块通过信号控制第一开关阵列,使校准后的电流源向负载输出电流,同时通过控制第二开关使基准电流源停止输出电流。采用上述方法进行电流源校准,可以消除因版图设计和工艺技术原因造成的电流源失配问题,将所有失配的电流源重新校准到匹配状态,匹配误差 $\leq (1/2^K)$ LSB,大大提高数模转换器的动态特性。

[0095] 图4为一个数模转换器的结构示意图,其中,每个数模转换器由K位顺序排列的单位数模转换器组成; $D_{IN1} \sim D_{IN2^K}$ 为数模转换器的数字输入信号,其中 D_{IN1} 为数字输入信号的最低位,与之相连的PMOS管并联个数 $M=1$, D_{IN2^K} 为数字输入信号的最高位,与之相连的PMOS管并联个数 $M=2^{x-1}$,其中,x为该单位数模转换器在数模转换器中的位数。此外每个数模转换器均为二进制编码数模转换器,根据二进制编码数模转换器的特性可知,每一位单位数模转换器的输出电流值是按二进制编码的规律增加的,在PMOS管阵列中确定最低位PMOS管的尺寸及其偏置电压 V_{BIAS1} 的大小后,按照二进制编码的规律增加其他单位数模转换器中的PMOS管并联个数M,就可得到整个数模转换器的结构,而不需要计算每一位PMOS晶体管的尺寸。每一位数字输入信号通过第二反相器T2产生差分信号,控制与之相连的PMOS管阵列P的导通与关断,进而控制每一位电流源的电流流向。当数字输入为低电平信号时,PMOS管阵列P控制电流输出到地,当数字输入为高电平信号时,PMOS管阵列P控制电流输出到 I_{CAL} 中,其与待校准电流源对应连接的数模转换器的输出电流为 I_{CALMSB} ,与基准电流源连接的输出电流为 I_{CALREF} 。

[0096] 图5为第一开关阵列中的单位开关,其中第二开关由一个单位开关构成,与第一开关阵列中的单位开关不同的是,第一开关阵列中的第四MOS管M4的漏极与负载连接,而第二开关中的第四MOS管M4的漏极处于空载状态。第一开关阵列接收来自控制模块发出的控制信号,当控制信号为高电平时,经过第一反相器T1后变成低电平,此时,与第一反相器T1连接的第二MOS管M2、第三MOS管M3截止,而第一MOS管M1、第六MOS管M6导通,将与待检测电流源连接的第五MOS管M5的栅极通过第六MOS管M6接低电平,使第五MOS管M5导通,此时处于校准状态,而与待校准电流源输出连接的第四MOS管M4截止,此时无输出电流;当控制信号为低电平时,经过第一反相器后变为高电平,此时,与第一反相器T1连接的第二MOS管M2、第三MOS管M3导通,而第一MOS管M1、第六MOS管M6截止,此时第四MOS管M4导通而第五MOS管M5截止,此时处于电流输出状态:对于第一开关阵列中的单位开关,控制校准后电流源输出电流经第四MOS管M4到负载电路;对于第二开关,由于第四MOS管M4的处于空载状态,所以不会输出电流。

[0097] 综上所述,本方案采用二进制编码结构的数模转换器对待校准电流源进行校准,由于基准数模转换器对基准电流源提供一定的补偿电流来产生稳定的基准电流,这样就不需要采用其他方法对基准电流源进行校准,因此校准方法更简单;进一步地,对于分段式电

流舵数模转换器,校准主要针对最高有效位电流源,采用校准后电流源分裂产生除最高有效位外其他位的电流源,就不需要对其他位的电流源进行单独校准,使数模转换器整体芯片面积变得更小。

[0098] 以上所述是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明所述原理的前提下,还可以作出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

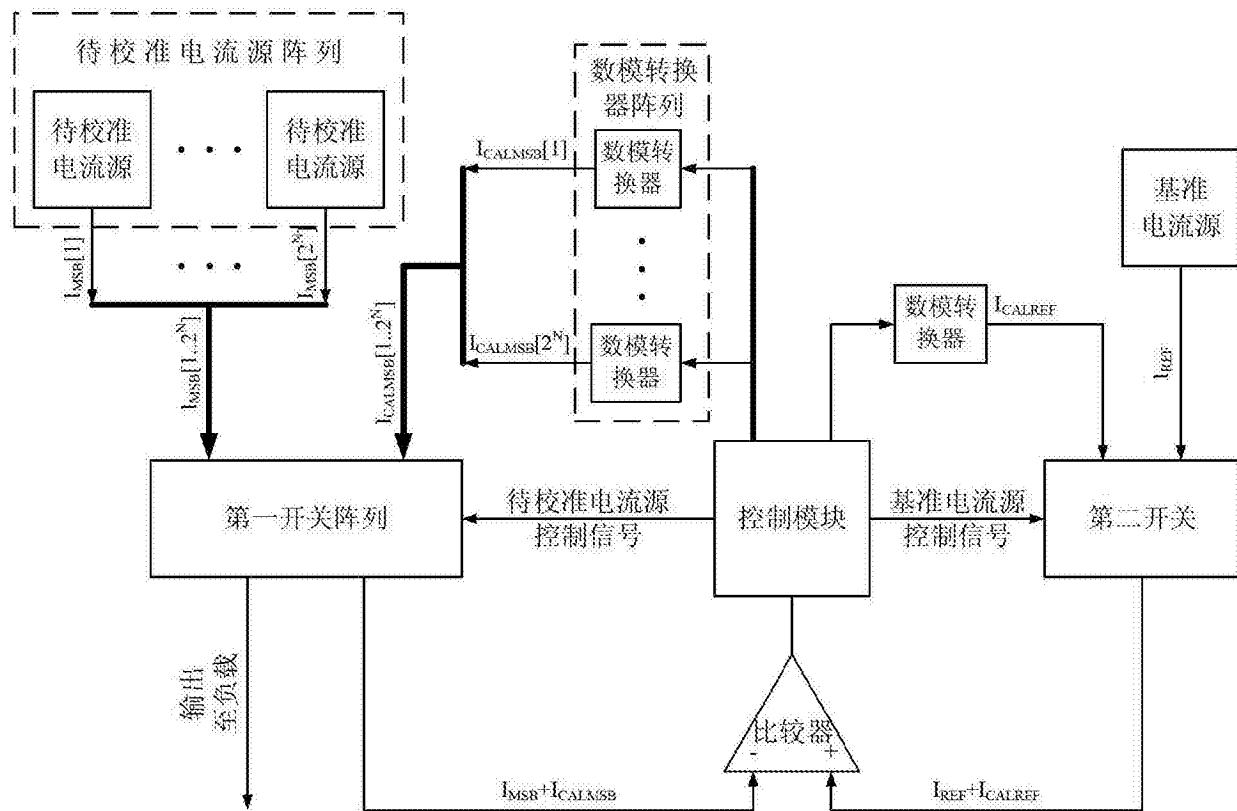


图1

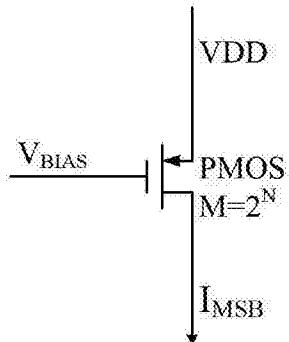


图2

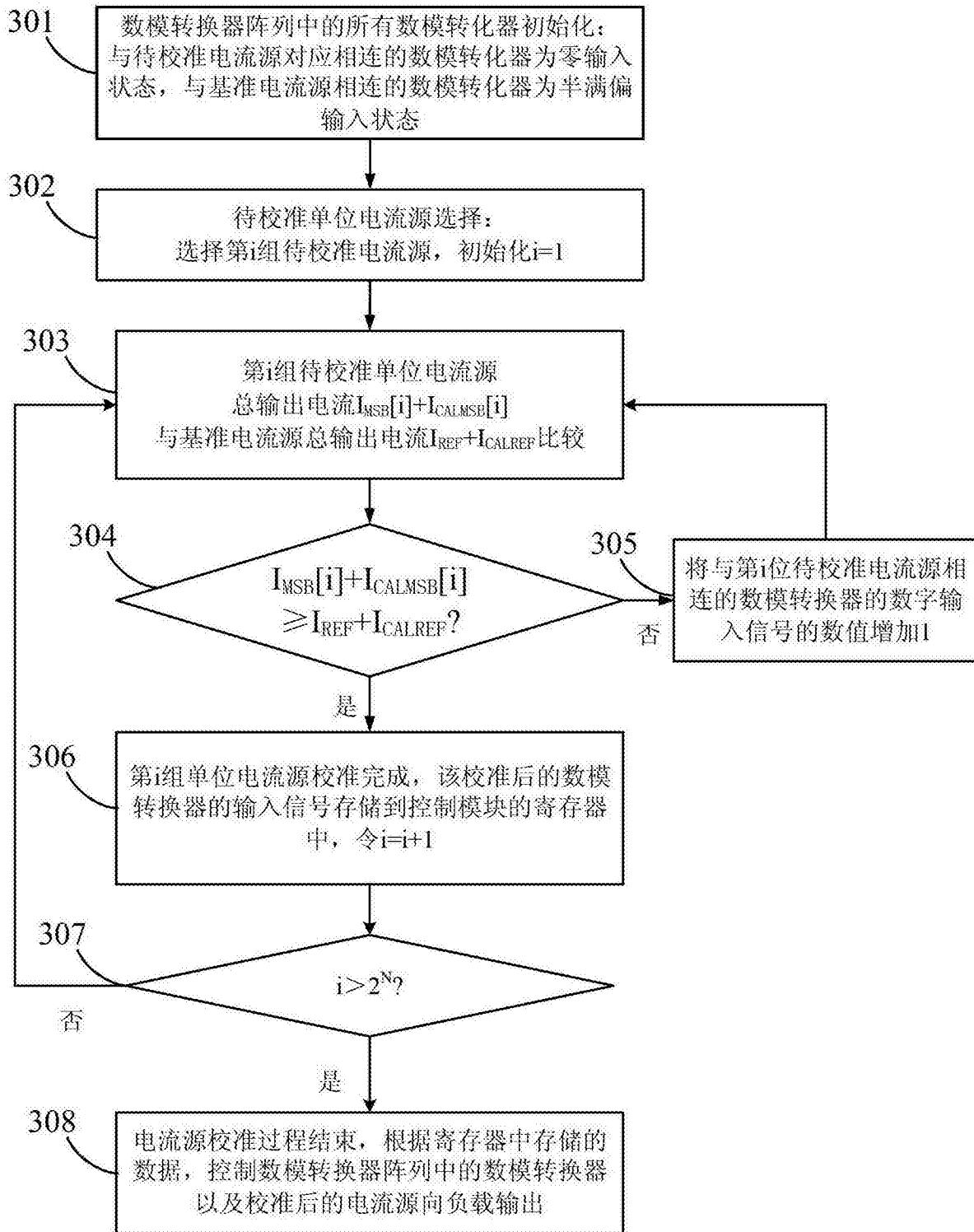


图3

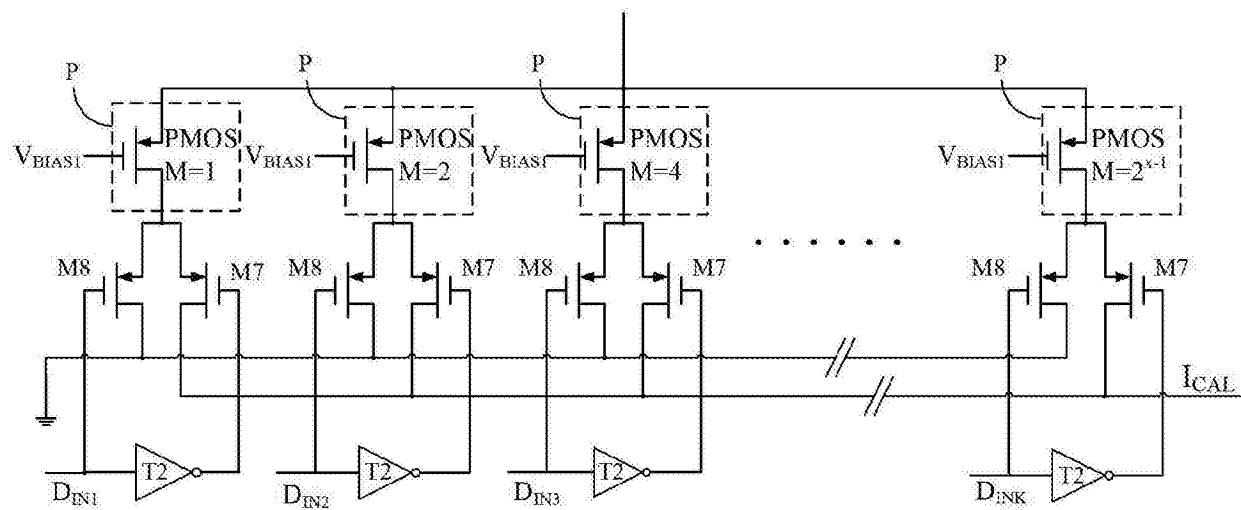


图4

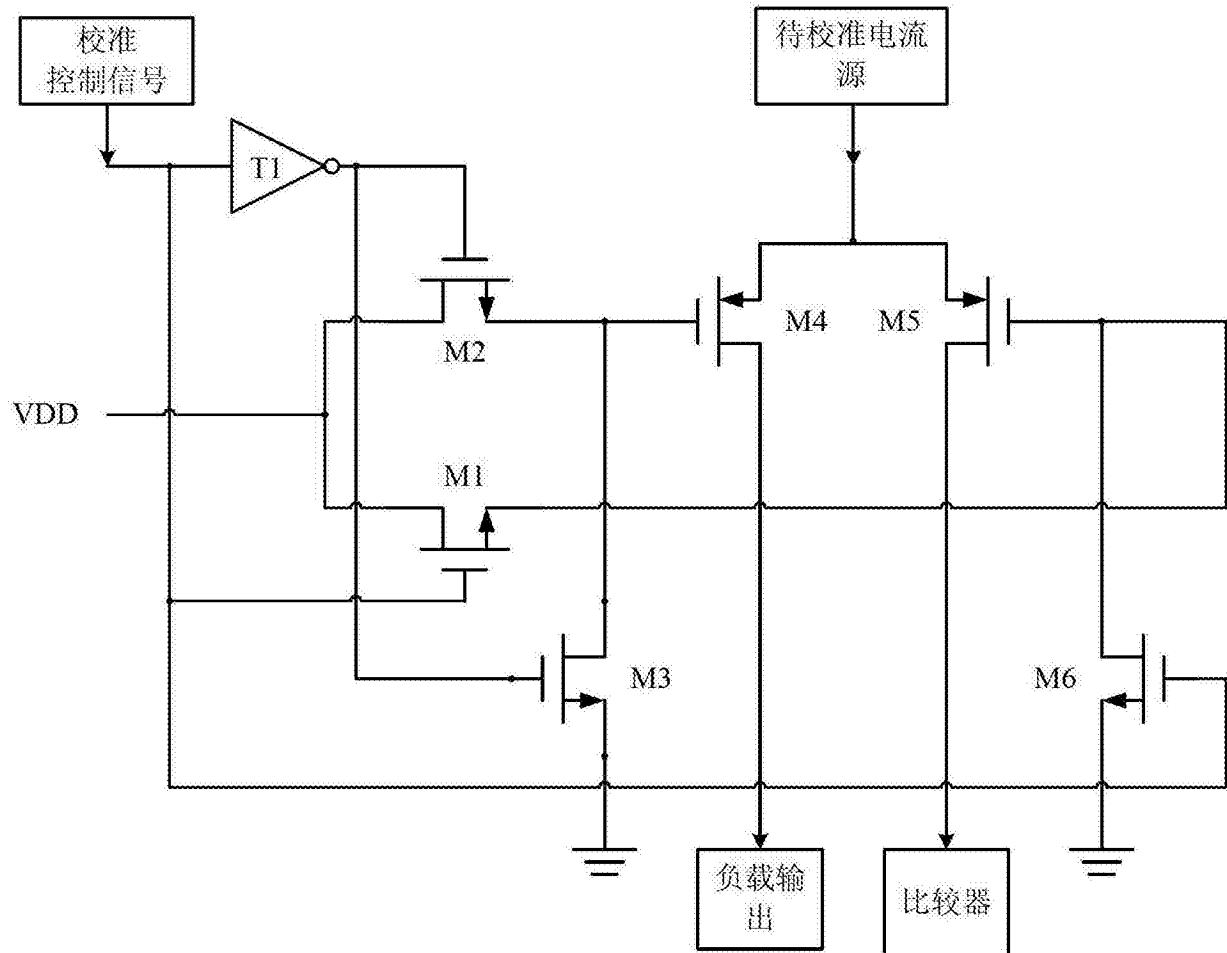


图5