(19)日本国特許庁(JP)　(12)特 許 公 報(B2)　(11)特許番号
特許第5232425号
(P5232425)
(45)発行日 平成25年7月10日(2013.7.10)　(24)登録日 平成25年3月29日(2013.3.29)

(51)Int.Cl.		F I		
H01L 21/336	(2006.01)	H01L	29/78	371
H01L 29/788	(2006.01)	H01L	27/10	434
H01L 29/792	(2006.01)			
H01L 21/8247	(2006.01)			
H01L 27/115	(2006.01)			

請求項の数 11 (全 18 頁)

(21)出願番号 特願2007-233924(P2007-233924)
(22)出願日 平成19年9月10日(2007.9.10)
(65)公開番号 特開2009-65094(P2009-65094A)
(43)公開日 平成21年3月26日(2009.3.26)
審査請求日 平成22年3月5日(2010.3.5)

(73)特許権者 302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部１７５３番地
(74)代理人 100080001
弁理士 筒井 大和
(72)発明者 濱村 浩孝
東京都国分寺市東恋ヶ窪一丁目２８０番地
株式会社日立製作所 中央研究所内
(72)発明者 柳 至
東京都国分寺市東恋ヶ窪一丁目２８０番地
株式会社日立製作所 中央研究所内
(72)発明者 峰 利之
東京都国分寺市東恋ヶ窪一丁目２８０番地
株式会社日立製作所 中央研究所内

最終頁に続く

(54)【発明の名称】不揮発性半導体記憶装置およびその製造方法

(57)【特許請求の範囲】
【請求項１】
半導体基板と、前記半導体基板上に形成された第１絶縁膜と、前記第１絶縁膜上に形成された電荷蓄積膜と、前記電荷蓄積膜上に形成された第２絶縁膜と、前記第２絶縁膜上に形成されたゲート電極とを備えるメモリセルを有し、前記電荷蓄積膜が金属酸化膜により構成される不揮発性半導体記憶装置であって、
前記第１絶縁膜は一層の絶縁膜からなり、前記第１絶縁膜中の、前記半導体基板と前記第１絶縁膜との界面よりも前記第１絶縁膜と前記電荷蓄積膜との界面に近い領域に、窒素濃度が１原子％以上の窒化領域が形成されており、前記窒化領域の厚さが０．５ｎｍ以上、１．５ｎｍ以下であり、
前記電荷蓄積膜中の、前記第１絶縁膜と前記電荷蓄積膜との界面よりも前記電荷蓄積膜と前記第２絶縁膜との界面に近い領域に、窒素濃度が１原子％以上の窒化領域が形成されていることを特徴とする不揮発性半導体記憶装置。
【請求項２】
（ａ）半導体基板上に第１絶縁膜を形成する工程と、
（ｂ）前記第１絶縁膜に対してプラズマ窒化処理を行い、前記第１絶縁膜中の上面側に、ピーク値を有して窒素濃度が１原子％以上の窒化領域を形成する工程と、
（ｃ）前記第１絶縁膜上に金属酸化膜からなる電荷蓄積膜を形成する工程と、
（ｄ）前記電荷蓄積膜上に第２絶縁膜を形成する工程と、
（ｅ）前記第２絶縁膜上にゲート電極を形成する工程とを含み、

前記窒化領域の厚さが０．５ｎｍ以上、１．５ｎｍ以下であることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項３】

請求項2記載の不揮発性半導体記憶装置の製造方法において、前記（ｂ）工程の前記プラズマ窒化処理の処理時間は３０秒以上であることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項４】

請求項2記載の不揮発性半導体記憶装置の製造方法において、前記第１絶縁膜中の前記窒素濃度のピーク値は５原子％以上、４０原子％以下であることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項５】

請求項2記載の不揮発性半導体記憶装置の製造方法において、前記窒素濃度のピーク値は前記第１絶縁膜と前記電荷蓄積膜との界面から２ｎｍ以内の領域に位置していることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項６】

請求項2記載の不揮発性半導体記憶装置の製造方法において、前記電荷蓄積膜の物理的膜厚は２０ｎｍ以下であることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項７】

請求項2記載の不揮発性半導体記憶装置の製造方法において、前記電荷蓄積膜は、ＡＬＣＶＤ法により形成されることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項８】

請求項2記載の不揮発性半導体記憶装置の製造方法において、前記第１絶縁膜中の前記窒化領域は、前記半導体基板と前記第１絶縁膜との界面よりも前記第１絶縁膜と前記電荷蓄積膜との界面に近い領域に形成されることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項９】

請求項2記載の不揮発性半導体記憶装置の製造方法において、前記（ｃ）工程と前記（ｄ）工程との間に、

（ｆ）前記電荷蓄積膜に対してプラズマ窒化処理を行い、前記電荷蓄積膜中の上面側に、ピーク値を有して窒素濃度が１原子％以上の窒化領域を形成する工程、

をさらに含むことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項１０】

請求項9記載の不揮発性半導体記憶装置の製造方法において、前記電荷蓄積膜中の前記窒素濃度のピーク値は５原子％以上、４０原子％以下であることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項１１】

請求項9記載の不揮発性半導体記憶装置の製造方法において、前記電荷蓄積膜中の前記窒化領域は、前記第１絶縁膜と前記電荷蓄積膜との界面よりも前記電荷蓄積膜と前記第2絶縁膜との界面に近い領域に形成されることを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、電気的な書込み、消去動作が可能な不揮発性半導体記憶装置およびその製造技術に関し、特に、金属酸化膜を電荷蓄積膜とするＭＯＮＯＳ（Metal Oxide Nitride Oxide Semiconductor）型のメモリセルにより構成されるメモリ部を有する不揮発性半導体記憶装置に適用して有効な技術に関するものである。

【背景技術】

【０００２】

電気的に書込み、消去が可能な不揮発性半導体記憶装置として、ＥＥＰＲＯＭ（Electr

ical Erasable and Programmable Read Only Memory）が広く使用されている。フラッシュメモリに代表されるこのような不揮発性半導体記憶装置のメモリ部は、複数の不揮発性メモリセルによって構成されているが、この不揮発性メモリセルには、例えばゲート電極下に、酸化膜で囲まれた導電性の浮遊ゲート電極またはトラップ性絶縁膜を有し、浮遊ゲート電極またはトラップ性絶縁膜に電荷を保持することにより情報が記憶される電界効果トランジスタが使用されている。浮遊ゲート電極またはトラップ性絶縁膜の記憶保持状態は、電界効果トランジスタのしきい値電圧の変化により読み出すことができる。

【０００３】

上記トラップ性絶縁膜とは、電荷を保持することが可能な絶縁膜をいい、例えば窒化シリコン膜を例示することができる。窒化シリコン膜を電荷蓄積膜とする不揮発性メモリセルは、ＭＯＮＯＳメモリセルと呼ばれ、離散的に電荷を蓄積することから、上記浮遊ゲート電極に電荷を蓄積する不揮発性メモリセルと比べて情報保持の信頼性に優れている。また、ＭＯＮＯＳメモリセルでは、保持電荷のリークを抑制するために窒化シリコン膜の上下に酸化膜を形成する必要があるが、情報保持の信頼性に優れていることから、その酸化膜を薄くすることができる。例えば８ｎｍ以下の薄い酸化膜を適用することが可能であり、書込み、消去動作の低電圧化を図ることができる。

【０００４】

しかしながら、窒化シリコン膜を電荷蓄積膜に用いたＭＯＮＯＳメモリセルでは、電荷捕獲特性および電荷保持特性ともに十分であるとは言えず、例えばアルミナをはじめとする金属酸化膜を窒化シリコン膜に代えて電荷蓄積膜に用いたＭＯＮＯＳ型のメモリセルが提案されている。

【０００５】

例えば電荷保持特性を改善するためにアルミナなどの金属酸化膜を電荷蓄積膜に適用した不揮発性半導体メモリセルが特開２００４－１５８８１０号公報（特許文献１参照）に開示されている。また、金属酸化膜を形成した直後に熱処理を行うことにより金属酸化膜の誘電率を向上させる技術が米国特許出願公開第２００６／００２２２５２号明細書（特許文献２参照）に記載されている。この熱処理は金属酸化膜を形成した後に一般的に行われるものである。また、消去動作を高速化するために、基板と金属酸化膜との間に酸化シリコン膜と窒化シリコン膜との積層膜（酸化シリコン膜の上に窒化シリコン膜を重ねた積層構造）を形成する技術が提案されている（非特許文献１参照）。また、電荷蓄積膜をアルミナ膜と窒化シリコン膜との積層構造（ボトム窒化シリコン膜／アルミナ膜／トップ窒化シリコン膜）とすることにより、デバイス動作ウィンドウを広げる技術が提案されている（非特許文献２参照）。

【特許文献１】特開２００４－１５８８１０号公報

【特許文献２】米国特許出願公開第２００６／００２２２５２号明細書

【非特許文献１】テクニカル・ダイジェスト・オブ・アイ・イー・ディー・エム（Technical Digest of IEDM）、２００６、ｐ．９７１

【非特許文献２】ブイ・エル・エス・アイ・テクノロジー・ダイジェスト（VLSI Technology Digest）、２００７、ｐ．１３８

【発明の開示】

【発明が解決しようとする課題】

【０００６】

しかしながら、金属酸化膜を電荷蓄積膜に用いたＭＯＮＯＳ型のメモリセルについては、以下に説明する種々の技術的課題が存在する。

【０００７】

本発明者らが検討したところ、電荷蓄積膜に金属酸化膜を採用し、この金属酸化膜の上下を酸化膜で挟んだ電荷保持用絶縁膜の場合、金属酸化膜を形成した後の熱処理（例えば金属酸化膜を堆積した直後の熱処理または不純物活性化のための熱処理など）により、金属酸化膜と、これの上面に接するトップ酸化膜またはこれの下面に接するボトム酸化膜とが相互反応を起こすことが明らかになった。この相互反応が起きると、金属酸化膜の金属

元素が拡散して、トップ酸化膜中またはボトム酸化膜中に存在することとなり、トップ酸化膜中またはボトム酸化膜中に存在する金属元素を介してゲート電極側または基板側へ電子が移動して、メモリセルの電荷保持特性が劣化するという問題が生じてしまう。

【０００８】

金属酸化膜と酸化膜とが直接、接している構造は、例えば上記特許文献１、２に示されている。特許文献１に記載されている第５の実施の形態においては、トラップ膜に窒化シリコン膜とアルミナ膜との積層膜を用い、ボトム酸化膜に酸化シリコン膜と$Ｌａ_{２}Ｏ_{５}$膜との積層膜を用いている。この構造においては、酸化シリコン膜と金属酸化膜である$Ｌａ_{２}Ｏ_{５}$膜とが直接、接するため、後の工程での熱処理により、Ｌａが酸化シリコン膜中へ拡散してメモリセルの電荷保持特性が劣化することが問題となる。

【０００９】

特許文献２では、電荷蓄積膜に金属酸化膜を用いており、ボトム酸化シリコン膜と金属酸化膜とが直接、接する構造となっている。金属酸化膜の誘電率を向上させるために金属酸化膜を形成した直後に熱処理を行うことが実施例に示されているが、前述したように、熱処理を行うとボトム酸化シリコン膜中へ金属酸化膜の金属元素が拡散するため、メモリセルの電荷保持特性が劣化することが問題となる。

【００１０】

非特許文献１、２では、金属酸化膜とボトム酸化シリコン膜との間に窒化シリコン膜を形成している。非特許文献１では、ボトム酸化シリコン膜上に１．６ｎｍの厚さの窒化シリコン膜をＣＶＤ法で堆積して、ボトム酸化シリコン膜と窒化シリコン膜との積層膜を形成することにより、デバイス消去動作を高速化する技術が提案されている。しかし、１．６ｎｍの厚さの窒化シリコン膜をＣＶＤ法によりウエハ面内に均一にかつ再現性よく形成することは難しく、窒化シリコン膜の厚さの制御が課題となる。

【００１１】

非特許文献２では、電荷蓄積膜にアルミナ膜の上下を窒化シリコン膜で挟んだ積層膜（ボトム窒化シリコン膜（３ｎｍ）／アルミナ膜（３ｎｍ）／トップ窒化シリコン膜（４ｎｍ））を用いることにより、デバイス動作ウィンドウを広げることを提案している。しかし、この構造の場合、電荷蓄積膜の電気的膜厚が５ｎｍ程度となり、デバイス動作電圧を低くすることができない。窒化シリコン膜を薄膜化することで、電荷蓄積膜全体の電気的膜厚を小さくすることはできるが、その場合、３ｎｍ以下の厚さの窒化シリコン膜をＣＶＤ法により形成する必要がある。このため、前述したように、窒化シリコン膜をＣＶＤ法によりウエハ面内に均一にかつ再現性よく形成することは難しく、窒化シリコン膜の厚さの制御が課題となる。

【００１２】

本発明の目的は、金属酸化膜とその上下を挟む絶縁膜との相互拡散を抑制することにより、電荷蓄積膜に金属酸化膜を用いた不揮発性メモリセルの電荷保持特性を向上させることのできる技術を提供することにある。

【００１３】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【００１４】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【００１５】

本発明による不揮発性半導体記憶装置は、半導体基板のチャネル領域側から、ボトム絶縁膜、金属酸化膜からなる電荷蓄積膜、およびトップ絶縁膜が順次積層されて構成される電荷保持用絶縁膜を備えるメモリセルを有しており、ボトム絶縁膜中の電荷蓄積膜側および電荷蓄積膜中のトップ絶縁膜側に、ピーク値を有して窒素濃度が１原子％以上の窒化領域が形成されており、例えばボトム絶縁膜中の電荷蓄積膜側に形成された窒化領域では、

その厚さを０．５ｎｍ以上、１．５ｎｍ以下とし、窒素濃度のピーク値を５原子％以上、４０原子％以下とし、窒素濃度のピーク値の位置をボトム絶縁膜と電荷蓄積膜との界面から２ｎｍ以内の領域とするものである。

【００１６】

本発明による不揮発性半導体記憶装置の製造方法は、半導体基板上にボトム絶縁膜を形成する工程と、ボトム絶縁膜に対してプラズマ窒化処理を行い、ボトム絶縁膜中の上面側に、ピーク値を有して窒素濃度が１原子％以上の窒化領域を形成する工程と、ボトム絶縁膜上に金属酸化膜からなる電荷蓄積膜を形成する工程と、電荷蓄積膜に対してプラズマ窒化処理を行い、電荷蓄積膜の上面側に、ピーク値を有して窒素濃度が１原子％以上の窒化領域を形成する工程と、電荷蓄積膜上にトップ絶縁膜を形成する工程と、トップ絶縁膜上にゲート電極を形成する工程とを含み、例えばボトム絶縁膜中の電荷蓄積膜側に形成された窒化領域では、その厚さを０．５ｎｍ以上、１．５ｎｍ以下とし、窒素濃度のピーク値を５原子％以上、４０原子％以下とし、窒素濃度のピーク値の位置をボトム絶縁膜と電荷蓄積膜との界面から２ｎｍ以内とするものである。

【発明の効果】

【００１７】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【００１８】

ボトム絶縁膜、金属酸化膜からなる電荷蓄積膜、およびトップ絶縁膜が順次積層されて構成される電荷保持用絶縁膜において、ボトム絶縁膜中の上面側および電荷蓄積膜中の上面側にプラズマ窒化処理により窒化領域を形成することにより、ボトム絶縁膜と電荷蓄積膜、または電荷蓄積膜とトップ絶縁膜との相互拡散が抑制されて、金属元素のボトム絶縁膜またはトップ絶縁膜への拡散を防止することができる。これにより、電荷蓄積膜に金属酸化膜を用いた不揮発性メモリセルの電荷保持特性を向上させることができる。

【発明を実施するための最良の形態】

【００１９】

本実施の形態において、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【００２０】

また、本実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、本実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、本実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【００２１】

また、本実施の形態においては、電界効果トランジスタを代表するＭＩＳ・ＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor）をＭＩＳと略し、ｎチャネル型のＭＩＳ・ＦＥＴをｎＭＩＳと略す。なお、ＭＯＳＦＥＴ（Metal Oxide Semiconductor ＦＥＴ）は、そのゲート絶縁膜が酸化シリコン（$ＳｉＯ_2$等）膜からなる構造の電界効果トランジスタであり、上記ＭＩＳの下位概念に含まれるものとする。また、本実施の形態で記載するＭＯＮＯＳ型のメモリセルについても、上記ＭＩＳの下位概念に含まれることは勿論である。また、本実施の形態において、ウエハと言うときは、Ｓｉ（Silicon）単結晶ウエハを主とするが、それのみではなく、ＳＯＩ（Silicon On Insulator）ウエハ、集積回路をその上に形成するための絶縁膜基板等を指すものとする。その形も円形また

はほぼ円形のみでなく、正方形、長方形等も含むものとする。
【００２２】
また、本実施の形態を説明するための全図において、同一機能を有するものは原則として同一の符号を付し、その繰り返しの説明は省略する。以下、本発明の実施の形態を図面に基づいて詳細に説明する。
【００２３】
本発明の一実施の形態による不揮発性半導体記憶装置のメモリ部の一例を図１および図２を用いて説明する。図１は単体ゲート構造のＭＯＮＯＳ型のメモリセルを用いたメモリアレイの構成を示すワード線およびビット線の平面レイアウト図、図２（ａ）は単体ゲート構造のＭＯＮＯＳ型のメモリセルをゲート長方向（図１のＡ－Ａ′線）に沿って切断したメモリセルの要部断面図、図２（ｂ）は図２（ａ）のＢ領域を拡大した電荷保持用絶縁膜の要部断面図である。
【００２４】
不揮発性半導体記憶装置のメモリ部は、メモリセルＭＣ１が二次元格子状に配列されたメモリアレイにより構成されている。図１に示すように、このメモリアレイでは、信号線である複数のワード線ＷＬが第１方向に平行して延びており、もう一方の信号線である複数のビット線ＢＬが第１方向と交差する方向である第２方向に平行して延びている。ワード線ＷＬには各メモリセルＭＣ１のメモリゲート電極が接続され、ビット線ＢＬには各メモリセルＭＣ１のドレイン領域が接続されている。
【００２５】
図２（ａ）に示すように、メモリセルＭＣ１は、半導体基板１の主面に形成されたｐウェル２、ソース領域３ｓとなるn^+型の半導体領域、ドレイン領域３ｄとなるn^+型の半導体領域、ソース領域３ｓとドレイン領域３ｄとの間のチャネル領域上に形成された電荷保持用絶縁膜４、および電荷保持用絶縁膜４上に形成されたメモリゲート電極５を有するｎＭＩＳにより構成されている。上記電荷保持用絶縁膜４は、チャネル領域側から、ボトム絶縁膜（第１絶縁膜）４ａ、電荷蓄積膜４ｃおよびトップ絶縁膜（第２絶縁膜）４ｅを順次形成した積層膜により構成されており、ボトム絶縁膜４ａおよびトップ絶縁膜４ｅは、例えば酸化シリコン膜からなり、電荷蓄積膜４ｃは、例えば酸化ハフニウム膜などの金属酸化膜からなる。ボトム絶縁膜４ａの厚さは２．５ｎｍ以上、６ｎｍ以下、トップ絶縁膜４ｅの厚さは４ｎｍ以上、６ｎｍ以下、電荷蓄積膜４ｃの厚さ（誘電率を考慮しない物理的膜厚）は２０ｎｍ以下である。また、上記メモリゲート電極５は、例えばｎ型不純物が導入された多結晶シリコン膜からなり、ワード線ＷＬを構成する。
【００２６】
さらに、図２（ｂ）に示すように、ボトム絶縁膜４ａ中の電荷蓄積膜４ｃ側には、ピーク値を有して窒素濃度が１原子％以上の窒化領域４ｂが形成されており、その窒化領域４ｂの厚さは０．５ｎｍ以上、１．５ｎｍ以下である。また、その窒化領域４ｂにおける窒素濃度のピーク値は５原子％以上、４０原子％以下であり、ボトム絶縁膜４ａと電荷蓄積膜４ｃとの界面から２ｎｍ以内に位置している。また、電荷蓄積膜４ｃ中のトップ絶縁膜４ｅ側にも、ピーク濃度を有して窒素濃度が１原子％以上の窒化領域４ｄが形成されている。その窒化領域４ｄにおける窒素濃度のピーク値は５原子％以上、４０原子％以下である。
【００２７】
メモリセルＭＣ１では、ボトム絶縁膜４ａ中の電荷蓄積膜４ｃ側に１原子％以上の窒素濃度を有する窒化領域４ｂを形成し、電荷蓄積膜４ｃ中のトップ絶縁膜４ｅ側に１原子％以上の窒素濃度を有する窒化領域４ｄを形成しているが、電荷蓄積膜４ｃ中のトップ絶縁膜４ｅ側に窒化領域４ｄを形成せず、ボトム絶縁膜４ａ中の電荷蓄積膜４ｃ側のみに窒化領域４ｂを形成してもよい。後に評価結果（例えば図８に示すメモリセルの電荷保持特性）を用いて説明するが、ボトム絶縁膜４ａ中の電荷蓄積膜４ｃ側のみに窒化領域４ｂを形成しただけでも、メモリセルのデータ保持特性の向上に効果がある。
【００２８】

次に、本発明の一実施の形態による単体ゲート構造のＭＯＮＯＳ型メモリセルの製造方法の一例を図３～図５を用いて説明する。図３～図５は、メモリセルの製造工程中におけるメモリセルの要部断面図である。

【００２９】

まず、図３に示すように、例えば１～１０Ω・ｃｍの比抵抗を有するｐ型の単結晶シリコンからなる半導体基板（この段階では半導体ウエハと称する平面略円形状の半導体の薄板）１を準備する。続いて半導体基板１の主面に、例えば溝型の素子分離部およびこれに取り囲まれるように配置された活性領域等を形成する。すなわち、半導体基板１の所定箇所に分離溝を形成した後、半導体基板１の主面上に、例えば酸化シリコンからなる絶縁膜を堆積し、さらにその絶縁膜が分離溝内にのみに残されるように絶縁膜をＣＭＰ（Chemical Mechanical Polishing）法等によって研磨することで、分離部を形成する。続いて、半導体基板１の所定部分にｐ型の不純物を所定のエネルギーで選択的にイオン注入法等によって導入することにより、ｐウェル２を形成する。

【００３０】

次に、半導体基板１に対して、例えば８５０℃の温度でドライ酸化を施すことにより、半導体基板１の主面に、例えば酸化シリコン膜からなる厚さ２．５ｎｍ以上、６ｎｍ以下のボトム絶縁膜４ａを形成する。ボトム絶縁膜４ａの形成は、これに限定されるものではなく、例えばウエット酸化、ＩＳＳＧ（In-Situ Steam Generation）酸化、オゾン酸化またはプラズマ酸化により形成することもできる。

【００３１】

また、ボトム絶縁膜４ａに酸窒化シリコン膜を用いてもよく、酸窒化シリコン膜を用いることにより、ボトム絶縁膜４ａの信頼性を向上させることができる。酸窒化シリコン膜は、例えばその主面に酸化シリコン膜が形成された半導体基板１に対して一酸化炭素（ＮＯ）ガスまたは亜酸化窒素（$Ｎ_{２}Ｏ$）ガス等を用いた窒素性雰囲気で熱処理を施すことにより形成することができる。例えば窒素により１０％に希釈された一酸化炭素ガス雰囲気で半導体基板１に対して例えば９００℃の温度で１０分の熱処理を施すことにより、半導体基板１と酸化シリコン膜との界面に窒素が３原子％程度導入された酸窒化シリコン膜を形成することができる。

【００３２】

次に、窒素ガスを用いたプラズマ窒化処理によりボトム絶縁膜４ａを窒化して、ボトム絶縁膜４ａ中の上面側に窒化領域（前述の図２（ｂ）に示した窒化領域４ｂ）を形成する。前述したように、窒化領域４ｂは、１原子％以上の窒素濃度を有しており、その厚さは０．５ｎｍ以上、１．５ｎｍ以下である。また、その窒化領域４ｂにおける窒素濃度のピーク値は５原子％以上、４０原子％以下であり、ボトム絶縁膜４ａの上面から２ｎｍ以内に位置している。プロセスガスには窒素ガスを用いたが、これに限定されるものではなく、例えばアンモニア（$ＮＨ_{３}$）ガスを用いてもよく、また、窒素と希ガスとの混合ガスまたはアンモニアガスと希ガスとの混合ガスを用いてもよい。プラズマ窒化処理におけるプロセス温度は、例えば６００℃、プロセス圧力は、例えば５０Ｐａ、ＲＦパワーは、例えば２５０Ｗである。これらプロセス温度、プロセス圧力およびＲＦパワーは一例であって、これに限定されるものではない。

【００３３】

次に、ボトム絶縁膜４ａ上に金属酸化膜、例えば酸化ハフニウム膜からなる電荷蓄積膜４ｃをＡＬＣＶＤ（Atomic Layer Chemical Vapor Deposition）法により形成する。電荷蓄積膜４ｃの厚さは２０ｎｍ以下とすることが望ましい。これは、電荷蓄積膜４ｃの厚さが２０ｎｍよりも厚くなると、メモリセルの書込み、消去動作の電圧が大きくなるためであり、本発明者による酸化ハフニウム膜の膜厚を様々に変えて行った電気的特性評価によっても確かめられている。

【００３４】

ハフニウムの原料にはテトラエチルメチルアミノハフニウム（$Ｈｆ［Ｎ（ＣＨ_{３}）（Ｃ_{２}Ｈ_{５}）］_{４}$：ＴＥＭＨｆ）を用い、酸化剤にはオゾンを用いて、例えば２８５℃の温度

で、２０ｎｍ以下の厚さの酸化ハフニウム膜を形成する。ＡＬＣＶＤ法は、一般に反応サイクルを繰り返し行い、１つの原子層を連続的に積層することによって、高品質でかつ段差被覆性の良い膜を形成させる成膜方法であり、原料が吸着する全範囲にわたって同じ成長速度を維持することができるので、ウエハ面内に均一にかつ再現性よく金属酸化膜を成膜することができる。ハフニウムの原料としては、ＡＬＣＶＤ法に適した他の材料を用いることもできる。また、酸化剤には水（H_2O）を用いることもできる。また、酸化ハフニウム膜はＡＬＣＶＤ法に限らず、ＣＶＤ法またはスパッタリング法などを用いて形成することも可能である。

【００３５】

次に、ボトム絶縁膜４ａに対するプラズマ窒化処理と同様に、電荷蓄積膜４ｃに対してプラズマ窒化処理を行い、電荷蓄積膜４ｃ中の上面側に窒化領域（前述した図２（ｂ）に示す窒化領域４ｄ）を形成する。前述したように、窒化領域４ｄは、１原子％以上の窒素濃度を有しており、その窒化領域４ｄにおける窒素濃度のピーク値は５原子％以上、４０原子％以下である。

【００３６】

次に、電荷蓄積膜４ｃ上に、例えば酸化シリコン膜からなる厚さ４ｎｍ以上、６ｎｍ以下のトップ絶縁膜４ｅを形成する。酸化シリコン膜は、例えばモノシラン（SiH_4）ガスと亜酸化窒素ガスとを原料とする低圧ＣＶＤ法により形成することができる。また、ＴＥＯＳ（Tetra Ethyl Ortho Silicate；$Si(OC_2H_5)_4$）を原料とするＣＶＤ法またはプラズマＣＶＤ法により形成することもできる。

【００３７】

次に、トップ絶縁膜４ｅ上に、例えば5×10^{20}ａｔｍｓ／cm^3の不純物濃度を有する多結晶シリコン膜からなる導体膜を堆積する。この導体膜はＣＶＤ法により形成され、その厚さは、例えば１５０ｎｍを例示することができる。

【００３８】

次に、図４に示すように、レジストパターンをマスクとして上記導体膜をドライエッチング法により加工し、メモリゲート電極５を形成する。さらに、ドライエッチング法によりメモリゲート電極５と半導体基板１との間の電荷保持用絶縁膜４（トップ絶縁膜４ｅ、電荷蓄積膜４ｃおよびボトム絶縁膜４ａ）を残して、その他の領域の電荷保持用絶縁膜４（トップ絶縁膜４ｅ、電荷蓄積膜４ｃおよびボトム絶縁膜４ａ）を選択的に除去する。この後、ドライエッチング法によるメモリゲート電極５の側壁形状の損傷を回復させるために、半導体基板１に対してＩＳＳＧ酸化を施し、メモリゲート電極５の側壁に４ｎｍの側壁膜６を形成する。

【００３９】

次に、図５に示すように、メモリゲート電極５をマスクとしてｎ型不純物、例えばヒ素（Ａｓ）を半導体基板１の主面にイオン注入することにより、半導体基板１の主面にn^+型の半導体領域をメモリゲート電極５に対して自己整合的に形成する。この時の不純物イオンの打ち込みエネルギーは、例えば４０ｋｅＶ、ドーズ量は、例えば2×10^{15}ａｔｍｓ／cm^2である。その後、例えば１０００℃の温度で１０秒の熱処理を施すことにより、イオン注入したｎ型不純物を活性化することにより、ソース領域３ｓおよびドレイン領域３ｄを形成する。

【００４０】

次に、半導体基板１の主面上に層間絶縁膜７を、例えばＣＶＤ法により形成する。続いて層間絶縁膜７にコンタクトホールを形成した後、コンタクトホール内にプラグを形成する。その後、層間絶縁膜７上に、例えばタングステン、アルミニウムまたは銅等からなる第１層配線Ｍ１を形成することによって、メモリセルＭＣ１が略完成する。これ以降は、通常の半導体装置の製造工程を経て、半導体装置を製造する。

【００４１】

次に、本発明の一実施の形態による単体ゲート構造のＭＯＮＯＳ型メモリセルの書込みおよび消去方法について、前述した図２を用いて説明する。

【００４２】
「書込み」は、メモリセルＭＣ１の電荷蓄積膜４ｃ中にホットエレクトロンを注入する。例えばソース領域３ｓに印加する電圧（Ｖｓ）は０Ｖ、ドレイン領域３ｄに印加する電圧（Ｖｄ）は４Ｖ、メモリゲート電極５に印加する電圧（Ｖｇ）は６Ｖとする。
【００４３】
「消去」は、バンド間トンネリングにより発生したホットホールを電界加速して、メモリセルＭＣ１の電荷蓄積膜４ｃ中に注入するホットホール消去（ＢＴＢＴ（Band-To-Band Tunneling）消去）、またはＦＮ（Fowler-Nordheim）トンネリングにより半導体基板１からメモリセルＭＣ１の電荷蓄積膜４ｃ中にホールを注入するＦＮ消去のいずれかで行う。ＢＴＢＴ消去を行う場合は、例えばソース領域３ｓに印加する電圧（Ｖｓ）は０Ｖ、ドレイン領域３ｄに印加する電圧（Ｖｄ）は４Ｖ、メモリゲート電極５に印加する電圧（Ｖｇ）は－６Ｖである。ＦＮ消去の場合は、例えばソース領域３ｓに印加する電圧（Ｖｓ）は０Ｖ、ドレイン領域３ｄに印加する電圧（Ｖｄ）は０Ｖ、メモリゲート電極５に印加する電圧（Ｖｇ）は－１５Ｖである。なお、ここで示した書込み、消去の電圧は印加条件の一例であり、これに限定されるものではなく、必要に応じて変更可能である。
【００４４】
次に、本発明の一実施の形態による電荷保持用絶縁膜におけるボトム絶縁膜（酸化シリコン膜）と電荷蓄積膜（酸化ハフニウム膜）との相互反応について図６を用いて説明する。図６（ａ）は酸化シリコン膜中の酸化ハフニウム膜側にプラズマ窒化処理により窒化領域を形成した試料の膜厚方向の組成分布を示すグラフ図、図６（ｂ）は酸化シリコン膜中に窒化領域を形成しない試料の膜厚方向の組成分布を示すグラフ図であり、これら組成分布はＸ線光電子分光法（ＸＰＳ（X-ray Photoelectron Spectroscopy）法）により得られた。図６（ａ）に組成分布を示す試料では、シリコン基板上に形成した酸化シリコン膜に対してプラズマ窒化処理を行った後に酸化ハフニウム膜が堆積され、その後、９５０℃の温度で１分の熱処理を行っている。図６（ｂ）に組成分布を示す試料では、シリコン基板上に形成した酸化シリコン膜に対してプラズマ窒化処理を行わずに酸化ハフニウム膜が堆積され、その後、９５０℃の温度で１分の熱処理を行っている。ここでは、組成分布の分析感度を高めるために、酸化ハフニウム膜の厚さは２ｎｍとしている。
【００４５】
図６（ａ）に示すように、窒化領域を形成した試料では、酸化シリコン膜中へのハフニウムの拡散が抑制されている。これに対して、図６（ｂ）に示すように、酸化シリコン膜に窒化領域を形成しない試料では、酸化シリコン膜中にハフニウムが５％程度拡散している。これらの結果から、酸化シリコン膜中の酸化ハフニウム膜側に窒化領域を形成することにより、酸化シリコン膜中へのハフニウムの拡散を抑制することが可能となることがわかる。
【００４６】
図６（ａ）には、ボトム絶縁膜となる酸化シリコン膜中の上面側に窒化領域を形成し、このボトム絶縁膜となる酸化シリコン膜上に酸化ハフニウム膜を積層した試料の組成分析結果を示したが、酸化ハフニウム膜に対してプラズマ窒化処理を行うことにより、酸化ハフニウム膜中の上面側に窒化領域を形成し、この酸化ハフニウム膜上にトップ絶縁膜となる酸化シリコン膜を積層した試料についても本発明者は組成分析をしている。その組成分析結果からもトップ絶縁膜となる酸化シリコン膜中へのハフニウムの拡散を抑制できることが確かめられた。
【００４７】
次に、本発明の一実施の形態による単体ゲート構造のＭＯＮＯＳ型メモリセルの電気的特性を調べた結果について説明する。
【００４８】
ボトム絶縁膜に対するプラズマ窒化処理の処理時間とメモリセルの電荷保持特性との相関を調べたところ、プラズマ窒化処理の処理時間が３０秒以上においてメモリセルの電荷保持特性が改善される実験結果が得られた。このときのプラズマ窒化処理の圧力は５０Ｐ

ａ、パワーは２５０Ｗである。

【００４９】

　また、プラズマ窒化処理の窒化条件を様々に変化させて、ボトム絶縁膜の上面側に形成される窒化領域の厚さを制御し、この窒化領域の厚さとメモリセルの電荷保持特性との相関を調べたところ、窒化領域の厚さが０．５ｎｍ以上、１．５ｎｍ以下においてメモリセルの電荷保持特性が改善される実験結果が得られた。ここで窒化領域とは、シリコン、窒素および酸素から構成される絶縁領域を指し、窒化領域の厚さとは、窒素濃度の割合が１原子％以上である領域の厚さと定義する。

【００５０】

　また、プラズマ窒化処理の窒化条件を様々に変化させて、ボトム絶縁膜中の上面側に形成される窒化領域における窒素濃度のピーク位置を制御し、この窒素濃度のピーク位置とメモリセルの電荷保持特性との相関を調べたところ、窒素濃度のピーク位置がボトム絶縁膜と電荷蓄積膜との界面から２ｎｍ以内においてメモリセルの電荷保持特性が改善される実験結果が得られた。

【００５１】

　また、プラズマ窒化処理の窒化条件を様々に変化させて、ボトム絶縁膜中の上面側に形成される窒化領域における窒素ピーク濃度を０～４０原子％の範囲で制御し、この窒素ピーク濃度とメモリセルの電荷保持特性との相関を調べた。図７に、メモリセルの電荷保持特性の窒素濃度依存性を説明するグラフ図を示す。図７の縦軸はメモリセルの初期から所定時間までの電圧シフト（メモリセルのしきい値電圧の初期からの変化量）であり、横軸はボトム絶縁膜中の窒素領域における窒素ピーク濃度である。電荷保持温度は１５０℃とした。

【００５２】

　図７に示すように、ボトム絶縁膜中の窒素領域における窒素ピーク濃度が０原子％における電圧シフトは約－０．６Ｖであるが、ボトム絶縁膜中の窒素濃度における窒素ピーク濃度が増加するに従い電圧シフトは減少し、５原子％における電圧シフトは約－０．２２Ｖ、２０原子％における電圧シフトは約－１．６Ｖとなる。これより、ボトム絶縁膜中の窒素濃度における窒素ピーク濃度が５原子％以上において、電圧シフトを抑制できることがわかる。

【００５３】

　図７には、ボトム絶縁膜中の上面側に形成される窒化領域における窒素ピーク濃度とメモリセルの電荷保持特性との相関を調べた結果を示しているが、プラズマ窒化処理の窒化条件を様々に変化させて、電荷蓄積膜中の上面側に形成される窒化領域における窒素ピーク濃度を０～４０原子％の範囲で制御し、この窒素ピーク濃度とメモリセルの電荷保持特性との相関も調べた。その結果、ボトム絶縁膜の場合と同様に、電荷蓄積膜中の窒化領域における窒素ピーク濃度が５原子％以上において、電圧シフトを抑制できることがわかった。

【００５４】

　また、窒化領域の有無によるメモリセルの電荷保持特性の違いを調べた。図８に、ボトム絶縁膜中の上面側および電荷蓄積膜中の上面側に窒化領域を形成しない第１メモリセル、ボトム絶縁膜の上面側のみに窒化領域を形成した第２メモリセル、ボトム絶縁膜の上面側および電荷蓄積膜の上面側にそれぞれ窒化領域を形成した第３メモリセルの各電荷保持特性を説明するグラフ図を示す。図８の縦軸はメモリセルの初期から所定時間までの電圧シフト（メモリセルのしきい値電圧の初期からの変化量）であり、横軸はデータ保持時間である。第２メモリセルでは、ボトム絶縁膜のみに対してプラズマ窒化処理を行い、第３メモリセルでは、ボトム絶縁膜および電荷蓄積膜に対してそれぞれプラズマ窒化処理を行っており、ボトム絶縁膜中の上面側に形成された窒化領域または電荷蓄積膜中の上面側に形成された窒化領域の窒素ピーク濃度は１５原子％である。ボトム絶縁膜およびトップ絶縁膜は酸化シリコン膜からなり、電荷蓄積膜は酸化ハフニウム膜からなる。

【００５５】

図８に示すように、ボトム絶縁膜中の上面側のみに窒化領域を形成した第２メモリセルでも、窒化領域を形成しない第１メモリセルよりも電荷保持特性を著しく改善することができる。また、ボトム絶縁膜中の上面側および電荷蓄積膜中の上面側にそれぞれ窒化領域を形成した第３メモリセルでは、さらに第２メモリセルよりも電荷保持特性を改善することができる。しかし、プラズマ窒化処理により電荷保持特性が改善する効果は、電荷蓄積膜中の上面側に窒化領域を形成した場合よりも、ボトム絶縁膜中の上面側に窒化領域を形成した場合の方が大きいと考えられる。

【００５６】

以上に説明したメモリセルの電気的特性の結果から、ボトム絶縁膜に対してプラズマ窒化処理を行い、ボトム絶縁膜中の上面側に窒化領域を形成することにより、ボトム絶縁膜に窒化領域を形成しない場合よりも、メモリセルの電荷保持特性が改善できることがわかった。また、電荷蓄積膜に対してプラズマ窒化処理を行い、電荷蓄積膜中の上面側に窒化領域を形成することにより、電荷蓄積膜に窒化領域を形成しない場合よりも、メモリセルの電荷保持特性が改善できることがわかった。また、ボトム絶縁膜および電荷蓄積膜に対してそれぞれプラズマ窒化処理を行い、ボトム絶縁膜中の上面側および電荷蓄積膜中の上面側にそれぞれ窒化領域を形成することにより、ボトム絶縁膜中の上面側のみに窒化領域を形成した場合よりも、さらにメモリセルの電荷保持特性が改善できることがわかった。

【００５７】

このように、本実施の形態によれば、ボトム絶縁膜、金属酸化膜からなる電荷蓄積膜、およびトップ絶縁膜が順次積層されて構成される電荷保持用絶縁膜において、ボトム絶縁膜に対してプラズマ窒化処理を行い、ボトム絶縁膜中の上面側に窒素濃度のピーク値を有し、窒素濃度が１原子％以上の窒化領域（窒化領域の厚さは０．５ｎｍ以上、１．５ｎｍ以下、窒化領域の窒素濃度のピーク値は５原子％以上、４０原子％以下、窒化領域の窒素濃度のピーク値の位置は上面から２ｎｍ以内）を形成することにより、電荷蓄積膜からボトム絶縁膜への金属元素の拡散を抑制して、メモリセルの電荷保持特性を向上させることができる。また、同様に、上記電荷保持用絶縁膜において、電荷蓄積膜に対してプラズマ窒化処理を行い、電荷蓄積膜中の上面側に窒素濃度のピーク値を有し、窒素濃度が１原子％以上の窒化領域（窒化領域の窒素濃度のピーク値は５原子％以上、４０原子％以下）を形成することにより、電荷蓄積膜からトップ絶縁膜への金属元素の拡散を抑制して、メモリセルの電荷保持特性を向上させることができる。

【００５８】

また、例えば一酸化炭素、亜酸化窒素またはアンモニア雰囲気等の窒化性雰囲気中で熱処理を行った場合は、ボトム絶縁膜中の上面側に窒素が偏析せず、半導体基板とボトム絶縁膜との界面に窒素が偏析するため、ボトム絶縁膜へのハフニウムの拡散を抑制することができない。しかし、プラズマ窒化処理を採用することにより、ボトム絶縁膜中の上面側のみに窒素を偏析させることができるので、金属元素の拡散を効率よく抑制することができる。また、プラズマ窒化処理を採用することにより、ＣＶＤ法と比較して、ウエハ面内において窒素濃度と窒化領域の厚さを均一に容易に制御することができる。また、窒化領域の厚さを１．５ｎｍ以下と比較的薄く形成することが可能となる。

【００５９】

なお、本実施の形態では、本願発明を単体ゲート構造のＭＯＮＯＳ型メモリセルに適用した場合について説明したが、これに限定されるものではなく、例えば選択用ｎＭＩＳとメモリ用ｎＭＩＳとから構成されるスプリットゲート構造のＭＯＮＯＳ型メモリセルにも適用することができて、同様の効果を得ることができる。また、これらＭＯＮＯＳ型メモリセルは論理用半導体装置と同一のシリコン基板上に混載することができて、高機能の半導体装置を実現することが可能である。

【００６０】

スプリットゲート構造のＭＯＮＯＳ型メモリセルの一例を図９および図１０に示す。図９および図１０は、スプリットゲート構造のＭＯＮＯＳ型メモリセルをゲート長方向に沿って切断したメモリセルの要部断面図である。

【００６１】
図９に示すメモリセルＭＣ２では、半導体基板１１の主面（デバイス形成面）の活性領域に選択用ｎＭＩＳ（Ｑｎｃ）とメモリ用ｎＭＩＳ（Ｑｎｍ）とが配置されている。このメモリセルＭＣ２のドレイン領域Ｄｒｍおよびソース領域Ｓｒｍは、例えば相対的に低濃度のｎ$^{-}$型の半導体領域１２ａｄ，１２ａｓと、そのｎ$^{-}$型の半導体領域１２ａｄ，１２ａｓよりも不純物濃度の高い相対的に高濃度のｎ$^{+}$型の半導体領域１２ｂとを有している（ＬＤＤ（Lightly Doped Drain）構造）。ｎ$^{-}$型の半導体領域１２ａｄ，１２ａｓは、メモリセルＭＣ２のチャネル領域側に配置され、ｎ$^{+}$型の半導体領域１２ｂは、メモリセルＭＣ２のチャネル領域側からｎ$^{-}$型の半導体領域１２ａｄ，１２ａｓ分だけ離れた位置に配置されている。図中、符号ＮＷはｎウェル、符号ＰＷはｐウェルである。

【００６２】
このドレイン領域Ｄｒｍとソース領域Ｓｒｍとの間の半導体基板１１の主面上には、上記選択用ｎＭＩＳ（Ｑｎｃ）の選択ゲート電極ＣＧと、上記メモリ用ｎＭＩＳ（Ｑｎｍ）のメモリゲート電極ＭＧとが隣接して延在している。選択ゲート電極ＣＧは半導体基板１１の主面の第１領域に配置され、メモリゲート電極ＭＧは半導体基板１１の主面の第１領域とは異なる第２領域に配置されている。選択ゲート電極ＣＧは、例えばｎ型の多結晶シリコン膜からなり、そのゲート長は、例えば１００～２００ｎｍである。メモリゲート電極ＭＧは、例えばｎ型の多結晶シリコン膜からなり、そのゲート長は、例えば５０～１５０ｎｍである。

【００６３】
選択ゲート電極ＣＧと、メモリゲート電極ＭＧと、ソース領域Ｓｒｍおよびドレイン領域Ｄｒｍの一部を構成するｎ$^{+}$型の半導体領域１２ｂの上面には、例えばコバルトシリサイド、ニッケルシリサイド、チタンシリサイド等のようなシリサイド層１３が形成されている。シリサイド層１３の厚さは、例えば２０ｎｍである。

【００６４】
選択ゲート電極ＣＧと半導体基板１１の主面との間には、例えば厚さ１～５ｎｍの薄い酸化シリコン膜からなるゲート絶縁膜１４が設けられている。このゲート絶縁膜１４の下方の半導体基板１１の主面には、例えばボロン（Ｂ）が導入されてｐ型の半導体領域１５が形成されている。この半導体領域１５は、選択用ｎＭＩＳ（Ｑｎｃ）のチャネル形成用の半導体領域であり、この半導体領域１５により選択用ｎＭＩＳ（Ｑｎｃ）のしきい値電圧が所定の値に設定されている。

【００６５】
メモリゲート電極ＭＧは選択ゲート電極ＣＧの側壁の片側に設けられており、ボトム絶縁膜１６ａ、電荷蓄積膜１６ｃおよびトップ絶縁膜１６ｅを積層した電荷保持用絶縁膜１６により選択ゲート電極ＣＧとメモリゲート電極ＭＧとの絶縁がなされている。また、電荷保持用絶縁膜１６を介した半導体基板１１の第２領域上にメモリゲート電極ＭＧが配置されている。

【００６６】
電荷保持用絶縁膜１６は、前述の図２を用いて説明した電荷保持用絶縁膜４と同様である。すなわち、チャネル領域側から、ボトム絶縁膜１６ａ、電荷蓄積膜１６ｃおよびトップ絶縁膜１６ｅが順次積層されて構成されており、ボトム絶縁膜１６ａおよびトップ絶縁膜１６ｅは、例えば酸化シリコン膜からなり、電荷蓄積膜１６ｃは、例えば酸化ハフニウム膜などの金属酸化膜からなる。ボトム絶縁膜１６ａおよびトップ絶縁膜１６ｅの厚さは４ｎｍ以上、６ｎｍ以下、電荷蓄積膜１６ｃの厚さ（物理的膜厚）は２０ｎｍ以下である。さらに、ボトム絶縁膜１６ａ中の電荷蓄積膜１６ｃ側には、ピーク値を有して窒素濃度が１原子％以上の窒化領域が形成されており、その窒化領域の厚さは０．５ｎｍ以上、１．５ｎｍ以下である。また、その窒化領域における窒素濃度のピーク値は５原子％以上、４０原子％以下であり、ボトム絶縁膜１６ａと電荷蓄積膜１６ｃとの界面から２ｎｍ以内に位置している。また、電荷蓄積膜１６ｃ中のトップ絶縁膜１６ｅ側にも、ピーク値を有して窒素濃度が１原子％以上の窒化領域を形成してもよい。この場合、その窒化領域にお

ける窒素濃度のピーク値は５原子％以上、４０原子％以下とする。

【００６７】

ボトム絶縁膜１６ａの下方、ｐ型の半導体領域１５とソース領域Ｓｒｍとの間の半導体基板１１の主面には、例えばヒ素またはリン（Ｐ）が導入されてｎ型の半導体領域１７が形成されている。この半導体領域１７は、メモリ用ｎＭＩＳ（Ｑｎｍ）のチャネル形成用の半導体領域であり、この半導体領域１７によりメモリ用ｎＭＩＳ（Ｑｎｍ）のしきい値電圧が所定の値に設定されている。

【００６８】

メモリセルＭＣ２は層間絶縁膜１８により覆われている。ドレイン領域Ｄｒｍには、層間絶縁膜１８に形成されたコンタクトホール１９に埋め込まれたプラグ２０を介して、第１方向に延在するメモリゲート電極ＭＧ（または選択ゲート電極ＣＧ）に対して交差する方向である第２方向に延在する第１層配線Ｍ１が接続されている。この配線Ｍ１が、各メモリセルＭＣ２のビット線を構成している。

【００６９】

図１０に示すメモリセルＭＣ３は、前述のメモリセルＭＣ２と同様の電荷保持用絶縁膜を有するものであるが、メモリ用ｎＭＩＳ（Ｑｎｍ）のメモリゲート電極ＭＧの形状およびその形成方法が、前述のメモリセルＭＣ２と相違する。すなわち、前述のメモリセルＭＣ２では、選択用ｎＭＩＳ（Ｑｎｃ）の選択ゲート電極ＣＧの側壁に、自己整合を利用してメモリ用ｎＭＩＳ（Ｑｎｍ）のメモリゲート電極ＭＧが形成されたメモリゲート電極サイドウォール方式を採用している。これに対して、メモリセルＭＣ３では、メモリ用ｎＭＩＳ（Ｑｎｍ）のメモリゲート電極ＭＧの一部が選択用ｎＭＩＳ（Ｑｎｃ）の選択ゲート電極ＣＧ上に乗り上げたメモリゲート電極乗り上げ方式を採用しており、選択ゲート電極ＣＧおよびメモリゲート電極ＭＧをそれぞれリソグラフィ技術により形成されたレジストパターンを用いて加工している。メモリセルＭＣ３のメモリ用ｎＭＩＳ（Ｑｎｍ）のメモリゲート電極ＭＧ以外は、メモリセルＭＣ２とほぼ同様な構成であるため、その説明は省略する。

【００７０】

また、前述のメモリセルＭＣ３では、メモリ用ｎＭＩＳ（Ｑｎｍ）のメモリゲート電極ＭＧの一部が選択用ｎＭＩＳ（Ｑｎｃ）の選択ゲート電極ＣＧ上に乗り上げたメモリゲート電極乗り上げ方式を採用したが、選択用ｎＭＩＳ（Ｑｎｃ）の選択ゲート電極ＣＧの一部がメモリゲート用ｎＭＩＳ（Ｑｎｍ）のメモリゲート電極ＭＧ上に乗り上げたメモリゲート電極乗り上げ方式を採用することもできる。

【００７１】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【００７２】

例えば前記実施の形態では、電荷保持用絶縁膜の電荷蓄積膜に金属酸化膜である酸化ハフニウム膜を用いたが、これに限定されるものではなく、例えばアルミナ膜、酸化ジルコニウム膜、酸化タンタル膜、酸化イットリウム膜または酸化ランタン膜等の金属酸化膜を用いることができる。また、これらの金属酸化膜にシリコンを加えたいわゆるシリケート酸化膜（例えばハフニウムシリケート、ジルコニウムシリケート、アルミニウムシリケートなど）やアルミニウムを加えたアルミネート酸化膜（例えばハフニウムアルミネート、ジルコニウムアルミネートなど）を用いることができる。また、複数の金属酸化膜が混ざった酸化膜（例えばハフニウムとランタンが混ざった酸化膜など）を用いることができる。

【産業上の利用可能性】

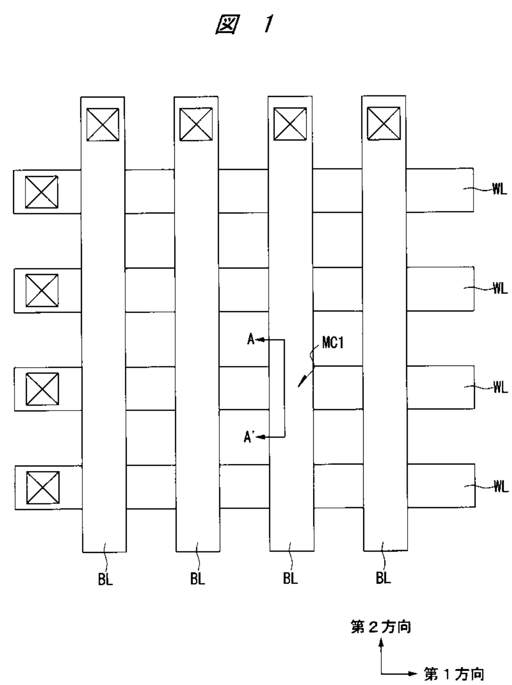
【００７３】

本発明は、金属酸化膜に電荷を蓄える不揮発性メモリセルを有する半導体記憶装置に適用することができる。

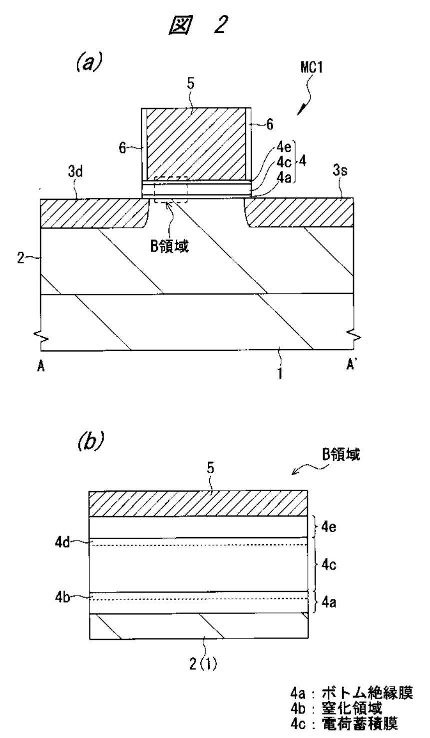
【図面の簡単な説明】
【００７４】
【図１】本発明の一実施の形態による単体ゲート構造のＭＯＮＯＳ型メモリセルを用いたメモリアレイの構成を示すワード線およびビット線の平面レイアウト図である。
【図２】本発明の一実施の形態による単体ゲート構造のＭＯＮＯＳ型メモリセルをゲート長方向に沿って切断したメモリセルの要部断面図である。
【図３】本発明の一実施の形態による単体ゲート構造のＭＯＮＯＳ型メモリセルの製造工程中の要部断面図である。
【図４】図３に続くＭＯＮＯＳ型メモリセルの製造工程中の図３と同じ箇所の要部断面図である。
【図５】図４に続くＭＯＮＯＳ型メモリセルの製造工程中の図３と同じ箇所の要部断面図である。
【図６】（ａ）は、酸化シリコン膜中の上面側にプラズマ窒化処理により窒化領域を形成した試料の膜厚方向の組成分布を示すグラフ図、（ｂ）は、酸化シリコン膜中に窒化領域を形成しない試料の膜厚方向の組成分布を示すグラフ図である。
【図７】本発明の一実施の形態によるＭＯＮＯＳ型メモリセルの電荷保持特性の窒素濃度依存性を説明するグラフ図である。
【図８】本発明の一実施の形態によるＭＯＮＯＳ型メモリセルの窒化領域有無による電荷保持特性の違いを説明するグラフ図である。
【図９】本発明の一実施の形態によるスプリットゲート構造のＭＯＮＯＳ型メモリセル（メモリゲート電極サイドウォール方式）をゲート長方向に沿って切断したメモリセルの要部断面図である。
【図１０】本発明の一実施の形態によるスプリットゲート構造のＭＯＮＯＳ型メモリセル（メモリゲート電極乗り上げ方式）をゲート長向に沿って切断したメモリセルの要部断面図である。
【符号の説明】
【００７５】
　１　半導体基板
　２　ｐウェル
　３ｓ　ソース領域
　３ｄ　ドレイン領域
　４　電荷保持用絶縁膜
　４ａ　ボトム絶縁膜（第１絶縁膜）
　４ｂ　窒化領域
　４ｃ　電荷蓄積膜
　４ｄ　窒化領域
　４ｅ　トップ絶縁膜（第２絶縁膜）
　５　メモリゲート電極
　６　側壁膜
　７　層間絶縁膜
１１　半導体基板
１２ａｄ，１２ａｓ，１２ｂ　半導体領域
１３　シリサイド層
１４　ゲート絶縁膜
１５　半導体領域
１６　電荷保持用絶縁膜
１６ａ　ボトム絶縁膜
１６ｃ　電荷蓄積膜
１６ｅ　トップ絶縁膜
１７　半導体領域

１８　層間絶縁膜
１９　コンタクトホール
２０　プラグ
ＢＬ　ビット線
ＣＧ　選択ゲート電極
Ｄｒｍ　ドレイン
Ｍ１　配線
ＭＣ１　メモリセル
ＭＧ　メモリゲート電極
Ｓｒｍ　ソース領域
ＷＬ　ワード線

【図１】

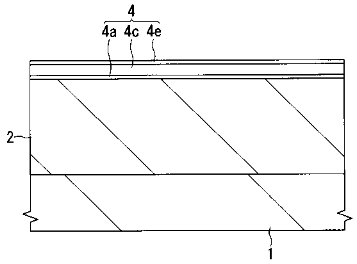


【図２】



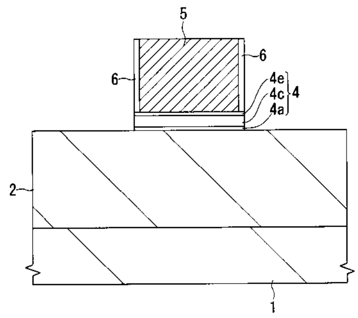
【図３】

図 3



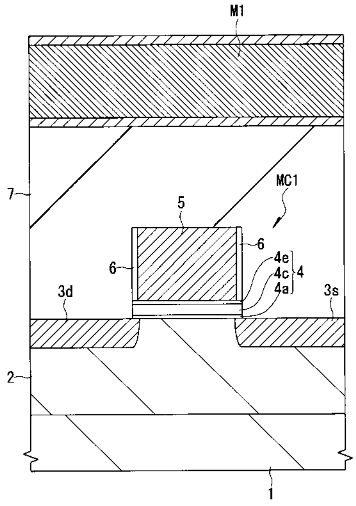
【図４】

図 4



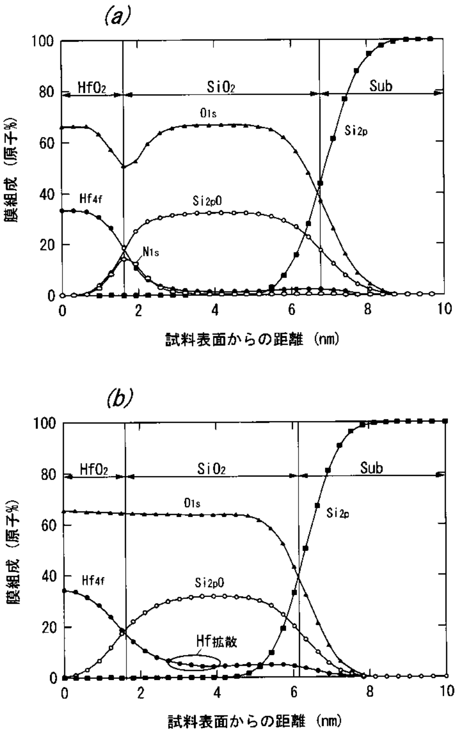
【図５】

図 5



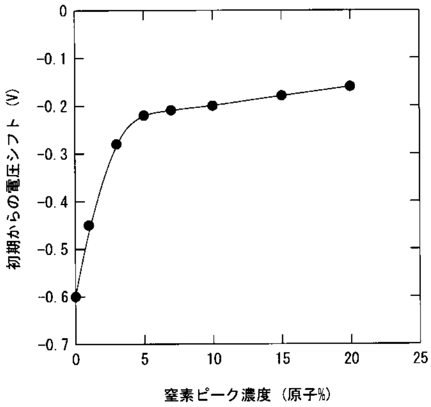
【図６】

図 6



【図７】

図 7



【図８】

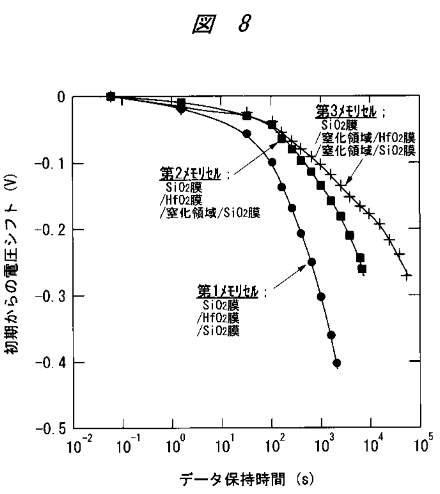


図 8
初期からの電圧シフト (V)
データ保持時間 (s)
第3メモリセル；
SiO2膜
/窒化領域/HfO2膜
/窒化領域/SiO2膜
第2メモリセル；
SiO2膜
/HfO2膜
/窒化領域/SiO2膜
第1メモリセル；
SiO2膜
/HfO2膜
/SiO2膜

【図９】

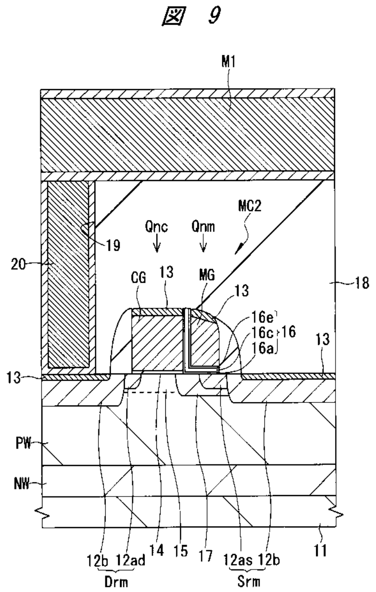


図 9
M1
MC2
Qnc
Qnm
CG
MG
13
16e
16c
16a
16
18
19
20
PW
NW
11
12b
12ad
14
15
17
12as
Drm
Srm

【図１０】

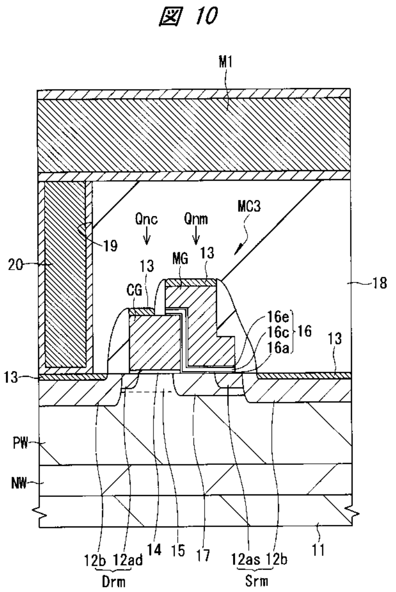


図 10
M1
MC3
Qnc
Qnm
CG
MG
13
16e
16c
16a
16
18
19
20
PW
NW
11
12b
12ad
14
15
17
12as
Drm
Srm

フロントページの続き

審査官　須原　宏光

(56)参考文献　特開２００７－１８４３８０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
ＨＯ１Ｌ　　２１／８２４７
ＨＯ１Ｌ　　２７／１１５
ＨＯ１Ｌ　　２９／７８８