



(12)发明专利

(10)授权公告号 CN 103093702 B

(45)授权公告日 2016.12.21

(21)申请号 201210415391.4

(22)申请日 2012.10.22

(65)同一申请的已公布的文献号

申请公布号 CN 103093702 A

(43)申请公布日 2013.05.08

(30)优先权数据

2011-237487 2011.10.28 JP

(73)专利权人 株式会社日本有机雷特显示器

地址 日本东京

(72)发明人 三浦究

(74)专利代理机构 北京信慧永光知识产权代理

有限责任公司 11290

代理人 陈桂香 褚海英

(51)Int.Cl.

G09F 9/33(2006.01)

(56)对比文件

US 2008/0029768 A1, 2008.02.07,

CN 102109723 A, 2011.06.29,

CN 101593736 A, 2009.12.02,

JP 特开2010-170108 A, 2010.08.05,

US 2011/0073868 A1, 2011.03.31,

JP 特开2007-219496 A, 2007.08.30,

JP 特开平10213814 A, 1998.08.11,

审查员 马燕玲

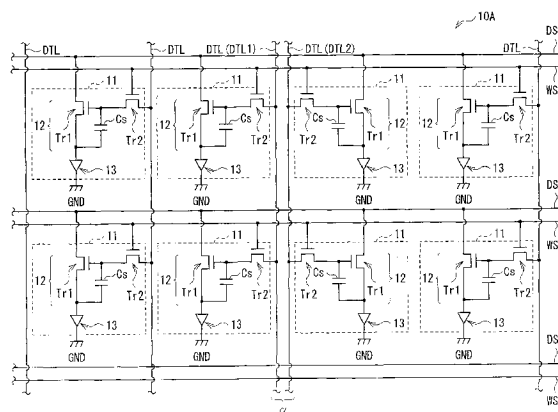
权利要求书1页 说明书10页 附图12页

(54)发明名称

显示面板、显示单元和电子单元

(57)摘要

公开了显示面板、显示单元和电子单元。一种显示面板包括：在行方向上延伸的多个第一布线；在列方向上延伸的多个第二布线；以及多个像素，每个像素布置于第一布线中每一个与第二布线中每一个的交叉点附近。多个第一布线中的两个布线或者多个第二布线中的两个布线安置于夹在彼此相邻的两个像素之间的共同区域中，且相应两个布线的布局在厚度方向上至少在每个布局的一部分上彼此不同。



1. 一种显示面板,包括:

在行方向上延伸的多个第一布线;

在列方向上延伸的多个第二布线;以及

多个像素,每个像素布置于所述第一布线中每一个与所述第二布线中每一个的交叉点附近,

其中所述多个第一布线中的两个布线或者所述多个第二布线中的两个布线安置于夹在彼此相邻的两个像素之间的共同区域中,且相应两个布线的布局在厚度方向上至少在每个布局的一部分上彼此不同,

其中,所述相应两个布线在所述显示面板的显示区域中安置于彼此不同的相应层中。

2. 根据权利要求1所述的显示面板,其中,所述相应两个布线中的每一个为信号线,根据图像信号的信号被施加到所述信号线上。

3. 根据权利要求1所述的显示面板,其中,所述相应两个布线的互连长度彼此相等。

4. 一种显示单元,包括:

显示面板,包括:在行方向上延伸的多个第一布线;在列方向上延伸的多个第二布线;以及多个像素,每个像素布置于所述第一布线中每一个与所述第二布线中每一个的交叉点附近;以及

驱动电路,通过所述多个第一布线和所述多个第二布线来驱动每个所述像素,

其中所述多个第一布线中的两个布线或者所述多个第二布线中的两个布线安置于夹在彼此相邻的两个像素之间的共同区域中,且相应两个布线的布局在厚度方向上至少在每个布局的一部分上彼此不同,

其中,所述相应两个布线在所述显示面板的显示区域中安置于彼此不同的相应层中。

5. 一种包括显示单元的电子单元,所述显示单元包括:

显示面板,包括:在行方向上延伸的多个第一布线;在列方向上延伸的多个第二布线;以及多个像素,每个像素布置于所述第一布线中每一个与所述第二布线中每一个的交叉点附近;以及

驱动电路,通过所述多个第一布线和所述多个第二布线来驱动每个所述像素,

其中所述多个第一布线中的两个布线或者所述多个第二布线中的两个布线安置于夹在彼此相邻的两个像素之间的共同区域中,且相应两个布线的布局在厚度方向上至少在每个布局的一部分上彼此不同,

其中,所述相应两个布线在所述显示面板的显示区域中安置于彼此不同的相应层中。

显示面板、显示单元和电子单元

技术领域

[0001] 该技术涉及适用于需要高清分辨率的显示面板和带有该显示面板的显示单元。该技术还涉及具备了显示单元的电子单元。

背景技术

[0002] 在显示图像的显示单元的领域中,开发了使用电流驱动型光学器件作为像素发光器件的显示单元,并在近年将其用于商业化。在电流驱动型光学器件中,发光强度取决于流动电流的值。电流驱动型光学器件的示例包括有机电致发光(EL)器件。有机EL器件为自发光器件,与液晶器件等不同。因此,在使用有机EL器件的显示单元中(即,有机EL显示单元),光源(背光)是不必要的,因此与其中需要光源的液晶显示单元相比能减小厚度且增加亮度。特别地,当有源矩阵系统用作驱动系统时,能点亮并保持每个像素,这能降低电力消耗。因此,预期有机EL显示单元将成为下一代平板显示器的主流。

[0003] 在有源矩阵型显示单元中,在针对每个像素设置的有机EL器件中流动的电流受到薄膜晶体管(TFT)控制,该薄膜晶体管(TFT)安置(dispose)于针对每个有机EL器件设置的像素电路中(参看日本未审查专利申请公告No.2008-33091)。

发明内容

[0004] 同时,从产量改进的观点而言,像素电路可处于镜像布置中(参看日本未审查专利申请公告No.2008-33091)。但在高清显示面板中,这种布置减小了像素间距,使得很难忽略存在彼此相邻的布线之间的寄生电容。在此情况下,在彼此相邻的布线之间的寄生电容导致诸如显示品质降级和功率消耗增加的缺点。

[0005] 需要提供一种显示面板、一种显示单元和一种电子单元,其能减小在彼此相邻的布线之间的寄生电容。

[0006] 根据本技术的一实施例,提供一种显示面板,包括:在行方向上延伸的多个第一布线;在列方向上延伸的多个第二布线;以及多个像素,每个像素布置于第一布线中每一个与第二布线中每一个的交叉点附近。多个第一布线中的两个布线或者多个第二布线中的两个布线安置于夹在彼此相邻的两个像素之间的共同区域中,且相应两个布线的布局在厚度方向上至少在每个布局的一部分上彼此不同。

[0007] 根据本技术的一实施例,提供一种显示单元,包括:显示面板,包括:在行方向上延伸的多个第一布线;在列方向上延伸的多个第二布线;以及多个像素,每个像素布置于第一布线中每一个与第二布线中每一个的交叉点附近;以及驱动电路,通过多个第一布线和多个第二布线来驱动每个像素。多个第一布线中的两个布线或者多个第二布线中的两个布线安置于夹在彼此相邻的两个像素之间的共同区域中,且相应两个布线的布局在厚度方向上至少在每个布局的一部分上彼此不同。

[0008] 根据本技术的一实施例,提供一种包括显示单元的电子单元。该显示单元包括:显示面板,包括:在行方向上延伸的多个第一布线;在列方向上延伸的多个第二布线;以及多

个像素,每个像素布置于第一布线中每一个与第二布线中每一个的交叉点附近;以及驱动电路,通过多个第一布线和多个第二布线来驱动每个像素。多个第一布线中的两个布线或者多个第二布线中的两个布线安置于夹在彼此相邻的两个像素之间的共同区域中,且相应两个布线的布局在厚度方向上至少在每个布局的一部分上彼此不同。

[0009] 在根据本技术上述实施例的显示面板、显示单元和电子单元中,彼此相邻的相应两个布线的布局,在厚度方向上至少在每个布局的一部分上彼此不同。因此,例如,与夹在彼此相邻的两个像素之间的两个布线安置于相同层中的情况相比,布线之间的距离至少在其每一个的一部分处增加。

[0010] 在根据本技术上述实施例的显示面板、显示单元和电子单元中,彼此相邻的相应两个布线的布局,在厚度方向上至少在每个布局的一部分上彼此不同。因此允许减小在彼此相邻的布线之间的寄生电容。

[0011] 应了解的是,前文的一般描述和下文的详细描述只是示例性的,且预期进一步对所要求保护的本技术进行解释。

附图说明

[0012] 通过附图可对本公开进行进一步理解,且附图合并于本说明书中并且构成本说明书的部分。附图示出了实施例且与说明书一起用于解释技术原理。

[0013] 图1为根据本技术实施例的显示单元的配置示例图。

[0014] 图2为示出了像素配置的示例图。

[0015] 图3为示出了显示区域布局的示例图。

[0016] 图4为示出了显示区域中另一布局的示例图。

[0017] 图5为示出了在彼此相邻的两个布线之间的位置关系的示例图。

[0018] 图6为示出了在彼此相邻的两个布线之间位置关系的另一示例的图。

[0019] 图7A和图7B为各示出在彼此相邻的两个布线之间位置关系的又一示例图。

[0020] 图8为示出了施加到显示面板的各种电压中的每一个如何随着时间而变化的示例,以及驱动晶体管的栅极电压和源极电压如何随着时间而变化的示例。

[0021] 图9为示出了根据比较示例施加到显示面板的各种电压中的每一个如何随着时间而变化的示例,以及驱动晶体管的栅极电压和源极电压如何随着时间而变化的示例。

[0022] 图10为示出了施加到显示面板的各种电压中的每一个如何随着时间而变化的另一示例,以及驱动晶体管的栅极电压和源极电压如何随着时间而变化的另一示例。

[0023] 图11为示出了包括该实施例的显示单元模块的示意性配置平面图。

[0024] 图12为示出了该实施例的显示单元可用于应用示例1的外观透视图。

[0025] 图13A和图13B为各示出了应用示例2的外观透视图,即,分别为当从前部观察时的外观和当从后部观察时的外观。

[0026] 图14为示出了应用示例3的外观透视图。

[0027] 图15为示出了应用示例4的外观透视图。

[0028] 图16A至图16G为应用示例5的视图,即,分别为处于打开状态的正视图、处于打开状态的侧视图、处于关闭状态的正视图、左侧视图、右侧视图、顶视图和底视图。

具体实施方式

[0029] 将在下文中参考附图来详细描述实施例。应当指出的是,描述以下列顺序提供。

[0030] 1.实施例(显示单元)

[0031] 两个信号线彼此相邻的示例。

[0032] 2.应用示例(电子单元)

[0033] 在每一个示例中,实施例的显示单元被应用于电子单元。

[0034] **【1.实施例】**

[0035] **【配置】**

[0036] 图1为示出了根据该技术实施例的显示单元1的示意配置。显示单元1包括显示面板10和驱动显示面板10的驱动电路20。驱动电路20包括(例如)定时产生电路21、图像信号处理电路22、信号线驱动电路23、写入线驱动电路24和电力线驱动电路25。

[0037] (显示面板10)

[0038] 在显示面板10中,多个像素11二维排列于显示面板10的显示区域10A的整个表面上。像素11中的每一个对应于在显示面板10的画面上的点,该点为最小单元。当显示面板10为彩色显示面板时,像素11等同于发出诸如红、绿和蓝的单个颜色的光的子像素。当显示面板10为单色显示面板时,像素11等同于发出白光的像素。

[0039] 当像素11中的每一个经受驱动电路20的有源矩阵驱动时,显示面板10基于自外部输入的图像信号20A来显示图像。图2示出了像素11的电路配置示例。如图2所示,例如,像素11包括像素电路12和有机EL器件13。有机EL器件13例如具有其中阳极、有机层和阴极按顺序分层的配置。

[0040] 如图2所示,像素电路12被配置成包括(例如)驱动晶体管Tr1、写入晶体管Tr2和保持电容器Cs。换言之,像素电路12具有2Tr1C的电路配置。写入晶体管Tr2对信号线DTL(在后面描述)的电压进行采样,且将电压写入到驱动晶体管Tr1的栅极。驱动晶体管Tr1根据写入晶体管Tr2所写入的电压的量值来控制流入到有机EL器件13的电流。保持电容器Cs维持在驱动晶体管Tr1的栅极与源极之间的预定电压。应当指出的是,像素电路12可具有不同于上文提到的2Tr1C的电路配置的电路配置。

[0041] 驱动晶体管Tr1和写入晶体管Tr2中的每一个由(例如)n沟道MOS型薄膜晶体管(TFT)形成。应当指出的是,TFT的类型不受限并且具体地可为(例如)倒置交错结构(底栅型)或交错结构(顶栅型)。另外,驱动晶体管Tr1或者写入晶体管Tr2可为p沟道MOS型TFT。

[0042] 如图2所示,显示面板10具有在行方向上延伸的多个写入线WSL、在列方向上延伸的多个信号线DTL和在行方向上延伸的多个电力线DSL。在信号线DTL中的每一个与写入线WSL中的每一个的交叉点附近设置像素11。信号线DTL中的每一个连接到信号线驱动电路23的输出端(未示出)和后面描述的写入晶体管Tr2的源极或漏极。写入线WSL中的每一个连接到后面描述的写入线驱动电路24的输出端(未示出)和写入晶体管Tr2的栅极。电力线DSL中的每一个连接到输出固定电压的电源(未示出)的输出端和驱动晶体管Tr1的源极或漏极。

[0043] 写入晶体管Tr2的栅极连接到写入线WSL上。写入晶体管Tr2的源极或漏极连接到信号线DTL。在写入晶体管Tr2的源极和漏极中,未连接到信号线DTL的端子连接到驱动晶体管Tr1的栅极。驱动晶体管Tr1的源极或漏极连接到电力线DSL。在驱动晶体管Tr1的源极和

漏极中,未连接到电力线DSL的端子连接到有机EL器件13的阳极。保持电容器Cs的一端连接到驱动晶体管Tr1的栅极,且保持电容器Cs的另一端连接到驱动晶体管Tr1的源极(即图2中在有机EL器件13侧上的端子)。换言之,保持电容器Cs插入到驱动晶体管Tr1的栅极与源极之间。有机EL器件13的阴极连接到地线GND上。地线GND电连接到基准电位(例如,接地电位)的外部电路(未示出)。

[0044] (显示面板10中的布局)

[0045] 之后,将参看图3和图4来描述显示面板10的平面布局。图3示出了显示区10A中平面布局的示例。图4示出了彩色显示器中像素排列的示例。

[0046] 多个像素11(例如)在行方向和列方向上排列于显示面板10中,如图3所示。每一个在行方向上排列的像素11连接到共同写入线WSL上,且也连接到共同电力线DSL上。每一个在列方向上排列的像素11连接到共同信号线DTL上。在行方向延伸的多个写入线WSL在列方向上均匀地间隔开。同样,在行方向延伸的多个电力线DSL在列方向上均匀地间隔开。

[0047] 同时,在列方向延伸的多个信号线DTL中,对应于特定像素列的信号线DTL(例如,图中的信号线DTL2)沿相邻此信号线DTL定位的另一信号线DTL(例如,图中的信号线DTL1)安置。换言之,信号线DTL1和信号线DTL2都安置在设于彼此相邻的两个像素11之间的共同区域 α 中。显示面板10为基于RGB的三原色来执行彩色显示的面板。如图4所示,例如,当对应于R的像素11(11R)、对应于G的像素11(11G)和对应于B的像素11(11B)类似条纹状排列时,连接到像素11R的信号线DTL和连接到像素11G的信号线DTL安置于设在像素11R与像素11G之间的共同区域 α 中。

[0048] 在之间夹了两个信号线DTL1和DTL2的两个像素11中,像素11之一的平面布局不同于另一像素11的平面布局。每一个连接到信号线DTL2的像素11的平面布局为对应于信号线DTL2位置的布局,且不同于每个连接到信号线DTL1的像素11的平面布局。另外,每一个连接到信号线DTL2的像素11的平面布局不同于安置于此像素11两侧上的每个像素11的平面布局。

[0049] 例如,在之间夹了两个信号线DTL1和DTL2的两个像素11中,这些像素11之一的平面布局是另一像素11的平面布局关于条纹形区域 α (其充当对称轴)的翻转(reverse)。如图3所示,例如,连接到信号线DTL2的每个像素11的平面布局是连接到信号线DTL1的像素11的平面布局关于条纹形区域 α (其充当对称轴)的翻转。另外,连接到信号线DTL2的每个像素11的平面布局是安置于此像素11两侧上的每个像素11的平面布局关于条纹形区域 α (其充当对称轴)的翻转。

[0050] 当从显示区域10A的法线方向观察信号线DTL1和信号线DTL2时,信号线DTL1与信号线DTL2之间的距离D1(例如)与信号线DTL2的宽度基本上相同。距离D1(例如)为亚微米级。应当指出的是,取决于信号线DTL1与信号线DTL2之间相对的位置关系,距离D1可比信号线DTL2的宽度更短。可替代地,距离D1为负的也可接受。此处,当从显示区域10A的法线方向观察信号线DTL1和信号线DTL2时,“距离D1为负的”指示信号线DTL1和信号线DTL2彼此部分地或全部地重合。

[0051] 之后,将参看图5至图7B来描述显示面板10的截面布局。图5至图7B中的每一个示出了显示面板10的一部分的截面布局示例,该部分包括信号线DTL。具体而言,图5和图6各示出了在列方向上的截面布局的示例,且图7A和图7B各示出了在行方向上的截面布局的示

例。

[0052] 例如,如图5所示,信号线DTL1形成于绝缘层14中,且信号线DTL2形成于绝缘层15中。信号线DTL1形成于绝缘层14中,绝缘层14等同于关于绝缘层15较低位置的层。信号线DTL2形成于绝缘层15中,绝缘层15等同于关于绝缘层14较高位置的层。换言之,两个信号线DTL1和DTL2安置于在显示区域10A中彼此不同的层中。因此,包括在列方向上的信号线DTL2的截面布局不同于包括在列方向上的信号线DTL1的截面布局。此处,信号线DTL1可形成于在整个显示区域10A中的绝缘层14中,且信号线DTL2可形成于在整个显示区域10A中的绝缘层15中。

[0053] 应当指出的是,在显示区域10A中,信号线DTL2的一部分可形成于置于绝缘层14上方的绝缘层(未示出)中。此外,例如,信号线DTL2的一段可形成于绝缘层14中,且另一段可形成于绝缘层15中,如图6所示。

[0054] 优选地,在显示区域10A中,两个信号线DTL1和DTL2的互连长度(interconnection length)相等。当信号线DTL1形成于绝缘层14中且信号线DTL2形成于绝缘层15中时,在显示区域10A中,两个信号线DTL1和DTL2的互连长度通常彼此相等。但是,当信号线DTL2中至少一部分形成于安置于绝缘层14上方的绝缘层(例如绝缘层15)中(如上文所述)时,优选地,例如,在列方向上的信号线DTL1的截面布局为通过垂直翻转在列方向上的信号线DTL2的截面布局而形成的布局。

[0055] 在任一情况下,在本实施例中,两个信号线DTL1与DTL2之间的距离大于(至少每一个的一部分中)两个信号线DTL1和DTL2安置于相同层时的距离。因此,在信号线DTL2的形成于安置于绝缘层14上方的绝缘层(例如绝缘层15)中的部分与信号线DTL1之间的实际距离D2大于距离D1,例如,如图7A所示。在图7A中的信号线DTL'指示当信号线DTL2被直接降至绝缘层14时的位置。

[0056] 应当指出的是,如图7A所示,例如,当从显示区域10A的法线方向观察信号线DTL1和信号线DTL2的形成于信号线DTL1上方的层中的部分时,信号线DTL1和信号线DTL2可彼此部分地或完全地重合。

[0057] (驱动电路20)

[0058] 现在,将参看图1来描述驱动电路20中的每个电路。定时产生电路21控制信号线驱动电路23、写入线驱动电路24和电力线驱动电路25,使得这些电路一起操作。例如,定时产生电路21根据自外部输入的同步信号20B(与其同步地)将控制信号21A输出到这些电路的每个中。例如,定时产生电路21与例如图像信号处理电路22、信号线驱动电路23、写入线驱动电路24、电力线驱动电路25等一起形成于独立于显示面板10的控制电路基板(未示出)上。

[0059] 图像信号处理电路22执行(例如)对自外部输入的数字形式的图像信号20A的预定校正。可使用伽马校正、过载校正等作为预定校正。另外,图像信号处理电路22根据自外部输入的同步信号20B(与其同步地)将例如经过预定校正的图像信号20A转换为模拟信号。图像信号处理电路22然后将模拟信号作为模拟显示信号22A输出到信号线驱动电路23。换言之,显示信号22A为对应于图像信号20A的信号。

[0060] 信号线驱动电路23根据控制信号21A的输入(与其同步地)将自图像信号处理电路22输入的显示信号22A输出到各信号线DTL中,且因此写入每一个选定的像素11中。应当指

出的是,“写入”指示向驱动晶体管Tr1的栅极施加预定电压。信号线驱动电路23(例如)能输出对应于显示信号22A的信号电压 V_{sig} 以及与显示信号22A不相关的恒定电压 V_{ofs} 。此处,电压 V_{ofs} 具有低于有机EL器件13阈值电压的电压值(恒定值)。

[0061] 写入线驱动电路24根据控制信号21A的输入(与其同步地)循序向一个或多个写入线WSL中施加选择脉冲,因此循序地选择一个或多个像素行。例如,写入线驱动电路24能输出用于施加以导通写入晶体管Tr2的电压 V_{on} 以及用于施加以关断写入晶体管Tr2的电压 V_{off} 。

[0062] 电力线驱动电路25根据控制信号21A的输入(与其同步地)循序将向一个或多个电力线DSL施加选择脉冲,因此控制一个或多个像素行的发光和灭光。例如,电力线驱动电路25能输出电压 V_{ccH} 和电压 V_{ccL} 。在 V_{th} 校正和 μ 校正(将在下文中描述)以及发光时施加电压 V_{ccH} 。在灭光时施加电压 V_{ccL} 。

[0063] 【操作】

[0064] 之后,将描述显示单元1的操作示例。图8示出了驱动显示单元1时各种波形的示例。图8(A)部分示出了周期性地向信号线DTL施加电压 V_{sig} 和电压 V_{ofs} 的状态。另外,图8(B)部分示出了基于预定定时将电压 V_{on} 和电压 V_{off} 施加到写入线WSL的状态。而且,图8(C)部分示出了电压 V_{ccH} 和电压 V_{ccL} 基于预定定时施加到电力线DSL的状态。应当指出的是,在图8(B)部分中,示出了驱动晶体管Tr1为n沟道型情况下的波形。图8(D)部分和(E)部分分别示出了驱动晶体管Tr1的栅极电压 V_g 的状态和源极电压 V_s 的状态,这些状态根据向信号线DTL、写入线WSL和电力线DSL中施加的电压而时刻变化。

[0065] (V_{th} 校正准备时段)

[0066] 首先,对 V_{th} 校正(阈值校正)做好准备。具体而言,当写入线WSL的电压为 V_{off} 且电力线DSL的电压为 V_{ccH} 时(即,当有机EL器件13发光时),电力线驱动电路25根据控制信号21A将电力线DSL的电压从 V_{ccH} 降低到 V_{ccL} (T1)。然后,源极电压 V_s 变为 V_{ccL} 且有机EL器件13停止发光。之后,在信号线驱动电路23根据控制信号21A将信号线DTL的电压从 V_{sig} 切换到 V_{ofs} 之后,电力线DSL的电压为 V_{ccL} 时,写入驱动电路24根据控制信号21A将写入线WSL的电压从 V_{off} 升高到 V_{on} 。然后,栅极电压 V_g 变为 V_{ofs} 。此刻,在电力线驱动电路25和信号线驱动电路23中,设置将向电力线DSL和信号线DTL施加的电压(V_{ccL} 和 V_{ofs}),使得栅极电压 V_g 与源极电压 V_s 之间的电位差 $V_{gs}(=V_{ofs}-V_{ccL})$ 大于驱动晶体管Tr1的阈值电压 V_{th} 。

[0067] (第一 V_{th} 校正时段)

[0068] 之后,执行 V_{th} 校正。具体而言,当信号线DTL的电压为 V_{ofs} 时,电力线驱动电路25根据控制信号21A将电力线DSL的电压从 V_{ccL} 升高到 V_{ccH} (T2)。然后,电流在驱动晶体管Tr1的漏极与源极之间流动,且源极电压 V_s 相应升高。然后,在信号线驱动电路23根据控制信号21A将信号线DTL的电压从 V_{ofs} 切换到 V_{sig} 之前,写入线驱动电路24根据控制信号21A将写入线WSL的电压从 V_{on} 降低到 V_{off} (T3)。然后,驱动晶体管Tr1的栅极进入浮动(floating)状态,且然后暂时地抑制 V_{th} 校正。

[0069] (第一 V_{th} 校正停止时段)

[0070] 在 V_{th} 校正停止时段中(即当写入线WSL的电压为 V_{off} 且电力线DSL的电压为 V_{ccH} 时),信号线DTL电压的采样在与经历了先前 V_{th} 校正的行(像素)不同的行(像素)中执行。应当指出的是,当 V_{th} 校正不足时,换言之,当驱动晶体管Tr1的栅极与源极之间的电位差 V_{gs}

大于驱动晶体管Tr1的阈值电压 V_{th} 时,将发生下述情况。即,在 V_{th} 校正停止时段中,电流也在经历了先前 V_{th} 校正的行(像素)中的驱动晶体管Tr1的漏极与源极之间流动。因此,源极电压 V_s 上升,且由于通过保持电容器 C_s 耦合,栅极电压 V_g 也上升。

[0071] (第二 V_{th} 校正时段)

[0072] 在 V_{th} 校正停止时段结束后,再次执行 V_{th} 校正。具体而言,当电力线DSL的电压为 V_{ccH} 时,信号线DTL的电压为 V_{ofs} ;且 V_{th} 校正是可能的,写入线驱动电路24根据控制信号21A将写入线WSL的电压从 V_{off} 升高到 $V_{on}(T4)$,且将驱动晶体管Tr1的栅极连接到信号线DTL上。此刻,当源极电压 V_s 低于 $V_{ofs}-V_{th}$ 时(即当 V_{th} 校正尚未完成时),电流在驱动晶体管Tr1的漏极与源极之间流动,直到驱动晶体管Tr1被切断(直到电位差 V_{gs} 变为 V_{th})。因此,栅极电压 V_g 变为 V_{ofs} ,且源极电压 V_s 上升。因此,保持电容器 C_s 被充电到 V_{th} ,且电位差 V_{gs} 变为 V_{th} 。随后,在信号线驱动电路23将信号线DTL的电压从 V_{ofs} 切换到 V_{sig} 之前,写入驱动电路24将写入线WSL的电压从 V_{on} 降低到 $V_{off}(T5)$ 。然后,驱动晶体管Tr1的栅极进入浮动状态,允许电位差 V_{gs} 保持在 V_{th} 水平,而无需考虑信号线DTL上的电压的量值。因此,通过将电位差 V_{gs} 设置在 V_{th} ,能消除有机EL器件13中的发光强度的变化,甚至当驱动晶体管Tr1的阈值电压 V_{th} 在像素电路12之中变化时也是如此。

[0073] (第二 V_{th} 校正停止时段)

[0074] 之后,在 V_{th} 校正停止时段期间(即,当写入线WSL的电压为 V_{off} 且电力线DSL的电压为 V_{ccH} 时),信号线驱动电路23根据控制信号21A将信号线DTL的电压从 V_{ofs} 切换到 V_{sig} 。

[0075] (写入和 μ 校正时段)

[0076] 在第二 V_{th} 校正停止时段结束后,将执行写入和 μ 校正。具体而言,当信号线DTL的电压为 V_{sig} 时,写入线驱动电路24根据控制信号21A将写入线WSL的电压从 V_{off} 升高到 $V_{on}(T6)$,且将驱动晶体管Tr1的栅极连接到信号线DTL。然后,驱动晶体管Tr1的栅极的电压变为信号线DTL的电压 V_{sig} 。此刻,在这个阶段,有机EL器件13的阳极电压仍小于有机EL器件13的阈值电压,且有机EL器件被切断。因此,电流在有机EL器件13的器件容量(未示出)中流动,且器件容量被充电。因此,源极电压 V_s 仅上升 ΔV ,且电位差 V_{gs} 很快变为 $V_{sig}+V_{th}-\Delta V$ 。以此方式, μ 校正与写入同时执行。此处,驱动晶体管Tr1的迁移率 μ 越大, ΔV 就越大。因此,通过在发光之前将电位差 V_{gs} 降低 ΔV ,允许去除每个像素的迁移率 μ 的变化。

[0077] (发光时段)

[0078] 之后,写入线驱动电路24根据控制信号21A将写入线WSL的电压从 V_{on} 降低到 $V_{off}(T7)$ 。驱动晶体管Tr1的栅极然后进入浮动状态,且电流因此在驱动晶体管Tr1的漏极与源极之间流动,且源极电压 V_s 升高。因此,等于或大于阈值电压的电压施加到有机EL器件13,且有机EL器件13发出期望亮度的光。

[0079] 【效果】

[0080] 接下来将描述本发明实施例的显示单元1的效果。

[0081] 图9示出了在连接到特定像素11的信号线DTL3驱动显示面板(根据比较示例的显示面板)时每个波形的示例,该信号线DTL3沿着连接到与此特定像素11相邻的像素11的信号线DTL4安置。假设当驱动根据该比较示例的此显示面板时,特定像素行进入 V_{th} 校正停止时段(在 $T5$ 与 $T6$ 之间),该 V_{th} 校正停止时段等同于紧接在写入和 μ 校正时段之前的时段。假定,此刻(例如)信号线DTL3的电压显著大于信号线DTL4的电压,如图9所示。在此情况下,如

图9所示,由于在信号线DTL3与信号线DTL4之间的寄生电容造成的耦合,信号线DTL4的电压受到信号线DTL3的电压的影响,从而偏离所需的值(在附图中以虚线指示)。因此,形成在图9中以虚线指示的圆包围的波形,使得难以正确执行 μ 校正。

[0082] 在本发明实施例中,相反,信号线DTL1和信号线DTL2的布局在厚度方向上至少在每个布局的一部分上彼此不同。因此,如图10所示,即使当信号线DTL1的电压显著大于信号线DTL2的电压时,在信号线DTL1与信号线DTL2之间的寄生电容较小且寄生电容造成的耦合得到抑制。因此,防止信号线DTL2的电压受到信号线DTL1的电压的影响,且因此允许正确执行 μ 校正,如图10中虚线的圆所示。因此,允许抑制串扰(混色)。另外,能减少信号线DTL的寄生电容,从而允许抑制电源的放电和充电增加。

[0083] 【2.应用示例】

[0084] 下文将描述根据实施例的显示单元1的应用示例。显示单元1可应用于在所有领域的电子单元的显示单元,其将外部输入的图像信号或内部生成的图像信号显示为静止或运动图像。电子单元包括(例如)电视接收机、数字照相机、膝上型计算机、诸如便携电话的便携式终端、摄像机等。

[0085] (模块)

[0086] 显示单元1(例如)作为在图11中示出的模块合并于诸如将在下文中描述的应用示例1至示例5的任何一个各种类型的电子单元中。例如通过提供从在基板31一侧上的密封基板32暴露的区域210形成此模块。在此暴露区域210中,外部连接端子(未示出)由驱动电路20的延伸布线形成。外部连接端子可具备用于信号输入和输出的柔性印刷电路(FPC)220。

[0087] (应用示例1)

[0088] 图12示出了显示单元1应用于电视接收机的外观。此电视接收机具有(例如)包括前面板310和滤光玻璃320的图像显示屏部分300。图像显示屏部分300使用显示单元1来配置。

[0089] (应用示例2)

[0090] 图13A和图13B各示出了显示单元1应用到数字照相机的外观。此数字照相机包括(例如)发闪光部分410、显示部分420、菜单切换430和快门启放器440。显示部分420使用显示单元1来配置。

[0091] (应用示例3)

[0092] 图14示出了显示单元1应用于膝上型计算机的外观。该膝上型计算机包括(例如)主体部分510、提供用于输入字符等的键盘520以及显示图像的显示部分530。显示部分530使用显示单元1来配置。

[0093] (应用示例4)

[0094] 图15示出了显示单元1应用于摄像机的外观。此摄像机包括(例如)主体部分610、安置于该主体部分610的前面上以拍摄被拍对象的图像的镜头620、用于拍摄的开始/停止开关630以及显示部分640。显示部分640使用显示单元1来配置。

[0095] (应用示例5)

[0096] 图16A至图16G各示出了显示单元1应用于便携式电话的外观。此便携式电话为(例如)由耦接部(铰链部)730连接的上外壳710和下外壳720的单元,且包括显示器740、副显示器750、图画灯760以及照相机770。显示器740或副显示器750使用显示单元1来配置。

[0097] 参考实施例和应用示例描述了本技术,但本技术不限于此,且可进行各种修改。

[0098] 例如,在实施例和类似实施方式中,作为示例描述了信号线DTL彼此靠近的情况。但是,本技术当然也可应用于写入线WSL彼此靠近的情况和电力线DSL彼此靠近的情况。

[0099] 另外(例如),在实施例和类似实施方式中,描述了显示单元1为有源矩阵型的情况。但是,有源矩阵驱动的像素电路12的配置并不限于实施例和类似实施方式。电容器件和晶体管可根据需要添加到像素电路12中。在此情况下,除了信号线驱动电路23、写入线驱动电路24和电力线驱动电路25之外,根据对像素电路12做出的修改可提供必要的驱动电路。

[0100] 而且(例如),在实施例和类似实施方式中,定时产生电路21控制图像信号处理电路22、信号线驱动电路23、写入线驱动电路24和电力线驱动电路25的驱动。然而,这些电路的驱动可受其它电路控制。此外,图像信号处理电路22、信号线驱动电路23、写入线驱动电路24和电力线驱动电路25可受到硬件(电路)控制或受到软件(程序)控制。

[0101] 此外(例如),本发明技术可按如下方式配置:

[0102] (1)一种显示面板,包括:

[0103] 在行方向上延伸的多个第一布线;

[0104] 在列方向上延伸的多个第二布线;以及

[0105] 多个像素,每个像素布置于第一布线中每一个与第二布线中每一个的交叉点附近,

[0106] 其中,多个第一布线中的两个布线或者多个第二布线中的两个布线安置于夹在彼此相邻的两个像素之间的共同区域中,且相应两个布线的布局在厚度方向上至少在每个布局的一部分上彼此不同。

[0107] (2)根据(1)所述的显示面板,其中,相应两个布线在显示面板的显示区域中安置于彼此不同的相应层中。

[0108] (3)根据(1)或(2)所述的显示面板,其中,相应两个布线中的每一个为信号线,根据图像信号的信号被施加到该信号线中。

[0109] (4)根据(1)至(3)中任一项所述的显示面板,其中,相应两个布线的互连长度相等。

[0110] (5)根据(1)至(4)中任一项所述的显示面板,其中,在之间夹了相应两个布线的两个像素中,两个像素之一的布局是另一像素的布局的翻转。

[0111] (6)一种显示单元,包括:

[0112] 显示面板,包括:在行方向上延伸的多个第一布线;在列方向上延伸的多个第二布线;以及多个像素,每个像素布置于第一布线中每一个与第二布线中每一个的交叉点附近;以及

[0113] 驱动电路,通过多个第一布线和多个第二布线来驱动每个像素,

[0114] 其中多个第一布线中的两个布线或者多个第二布线中的两个布线安置于夹在彼此相邻的两个像素之间的共同区域中,且相应两个布线的布局在厚度方向上至少在每个布局的一部分上彼此不同。

[0115] (7)一种包括显示单元的电子单元,该显示单元包括:

[0116] 显示面板,包括:在行方向上延伸的多个第一布线;在列方向上延伸的多个第二布线;以及多个像素,每个像素布置于第一布线中每一个与第二布线中每一个的交叉点附近;

以及

[0117] 驱动电路,通过多个第一布线和多个第二布线来驱动每个像素,

[0118] 其中多个第一布线中的两个布线或者多个第二布线中的两个布线安置于夹在彼此相邻的两个像素之间的共同区域中,且相应两个布线的布局在厚度方向上至少在每个布局的一部分上彼此不同。

[0119] 本公开包含在2011年10月28日在日本专利局提交的日本优先专利申请JP2011-237487的主题,该专利申请的全部内容以引用的方式合并到本文中。

[0120] 本领域技术人员应了解的是,可根据设计要求和其它因素做出各种修改、组合、子组合和更改,只要它们在所附权利要求或其等同物的范围内。

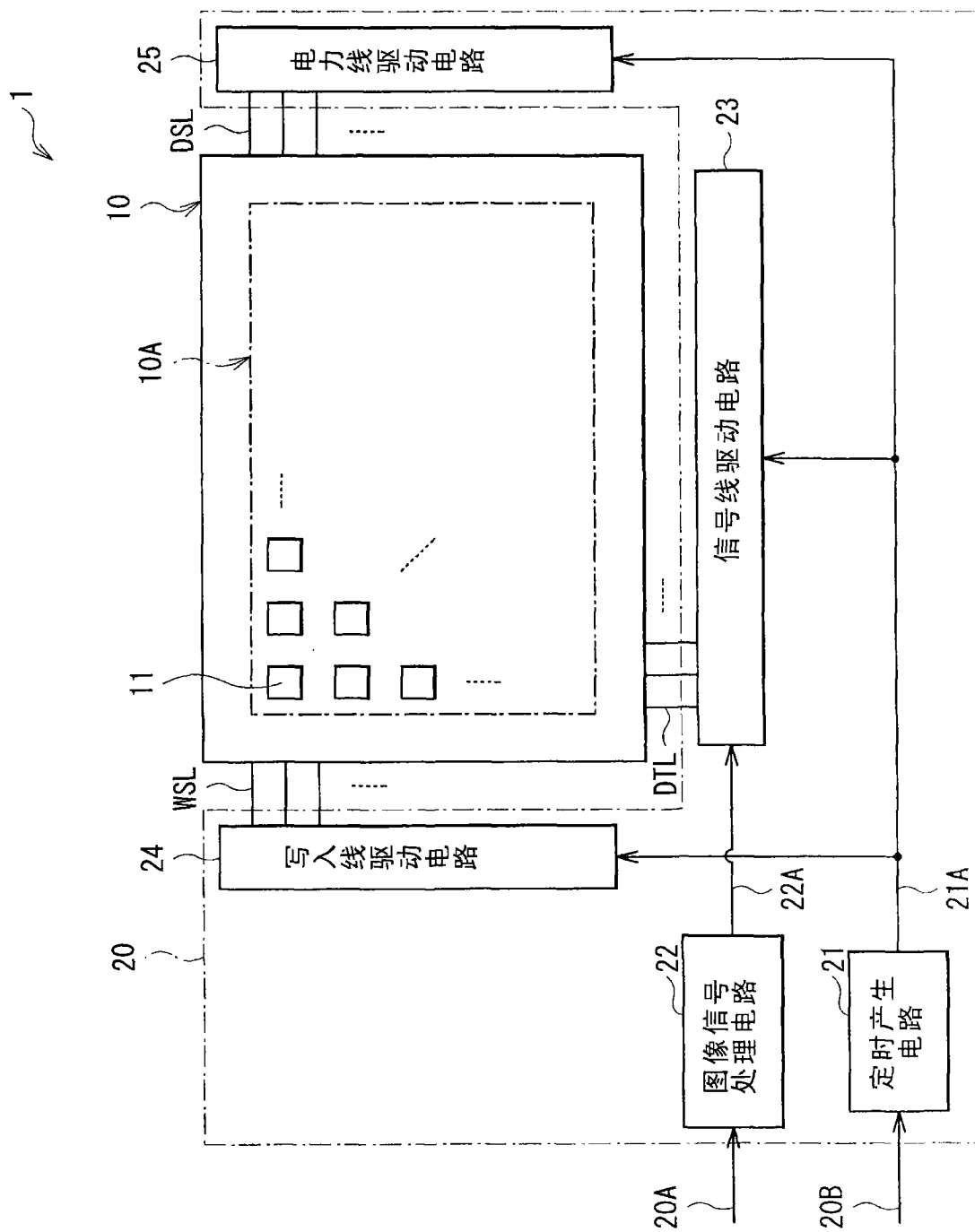


图1

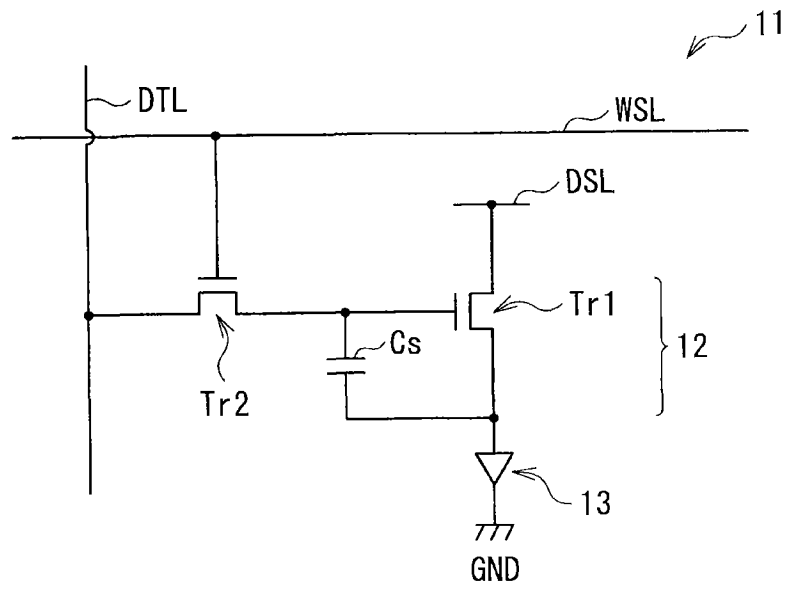


图2

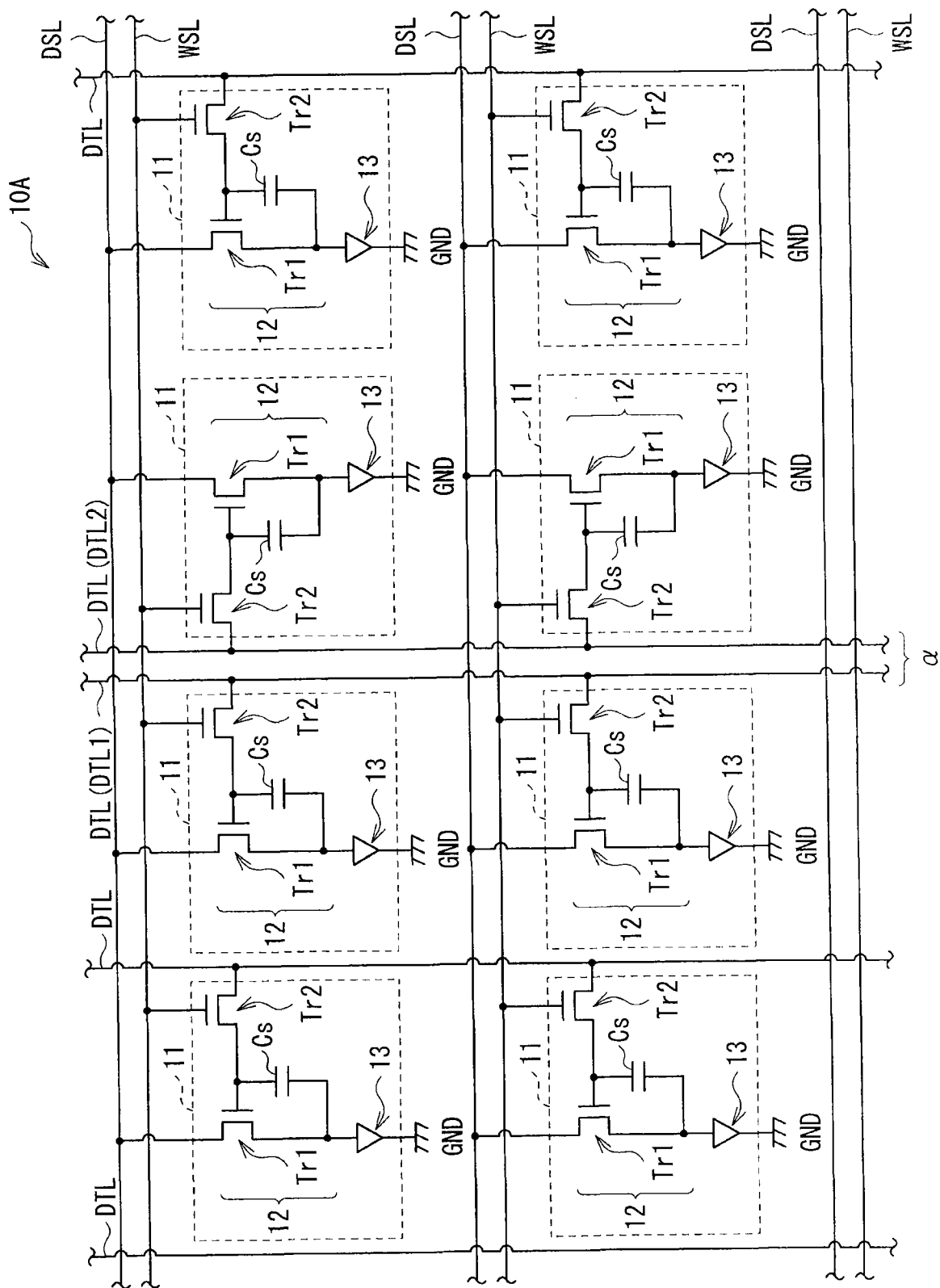


图3

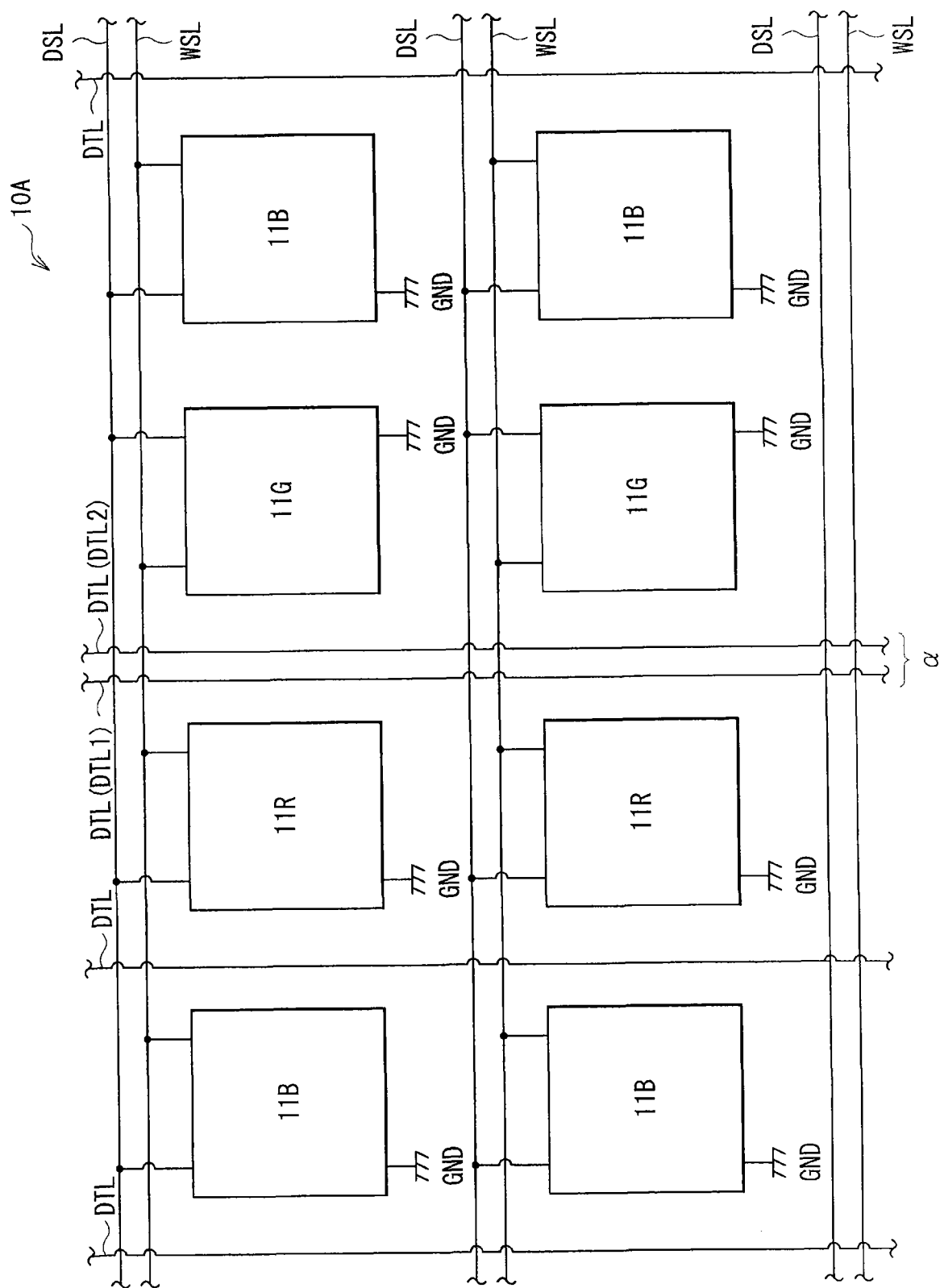


图4

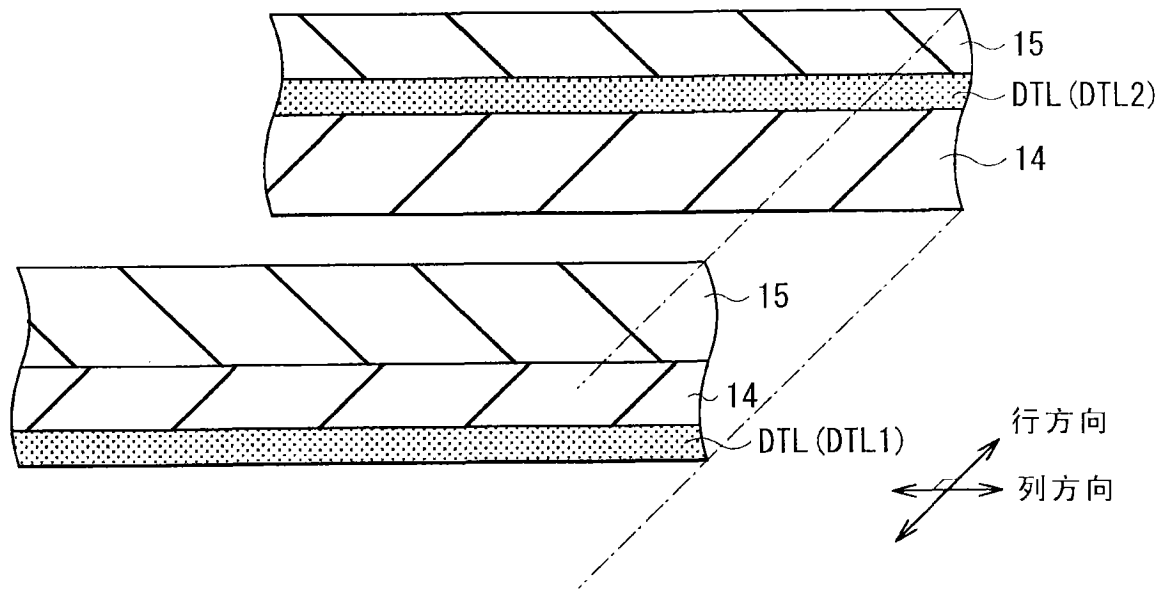


图5

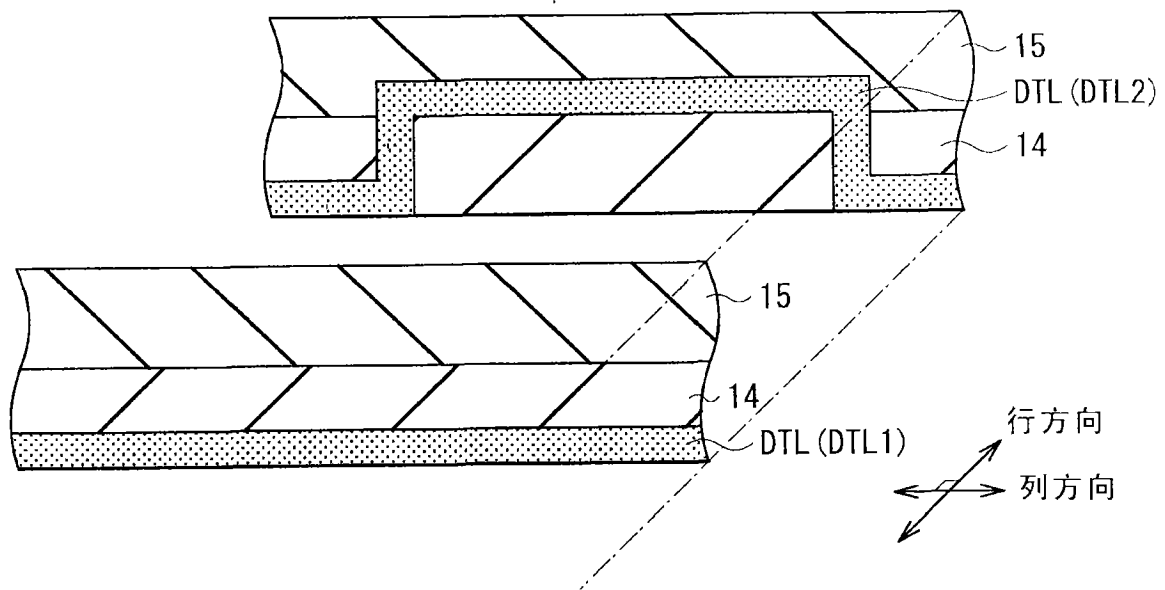


图6

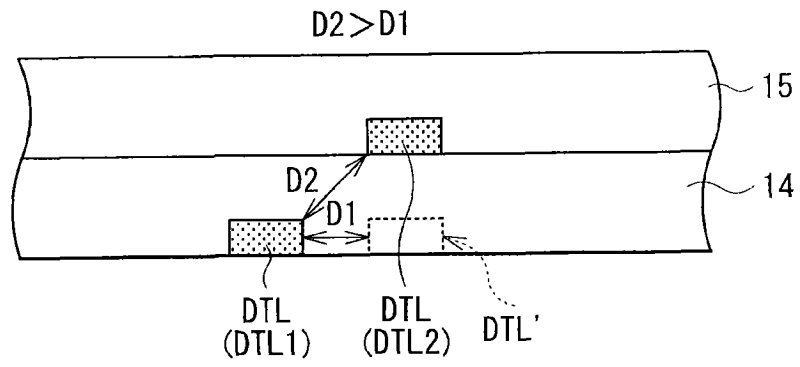


图7A

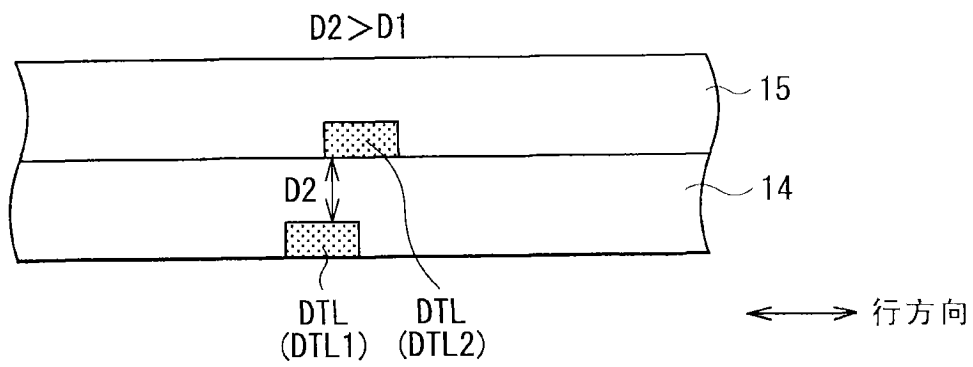


图7B

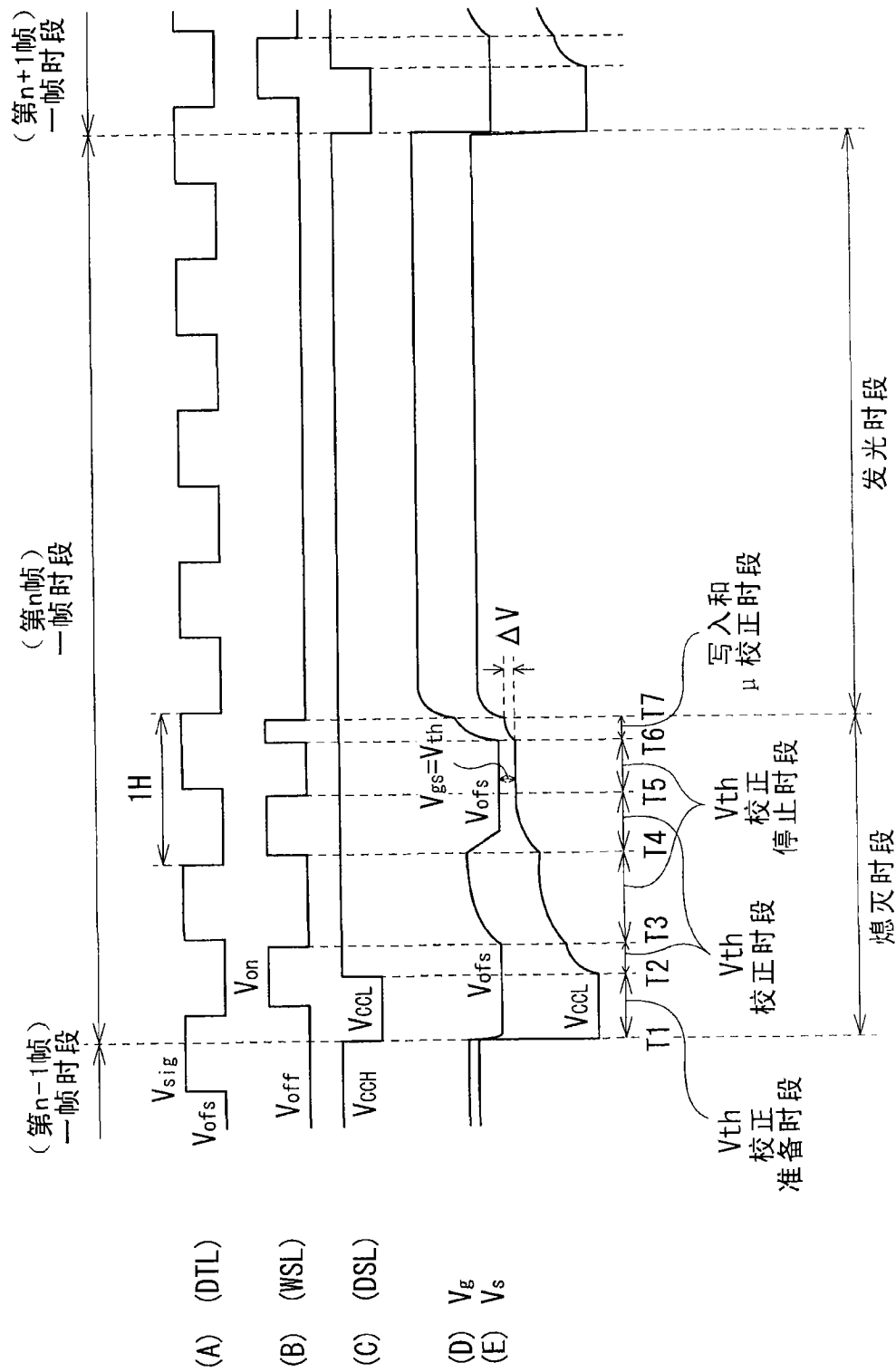


图8

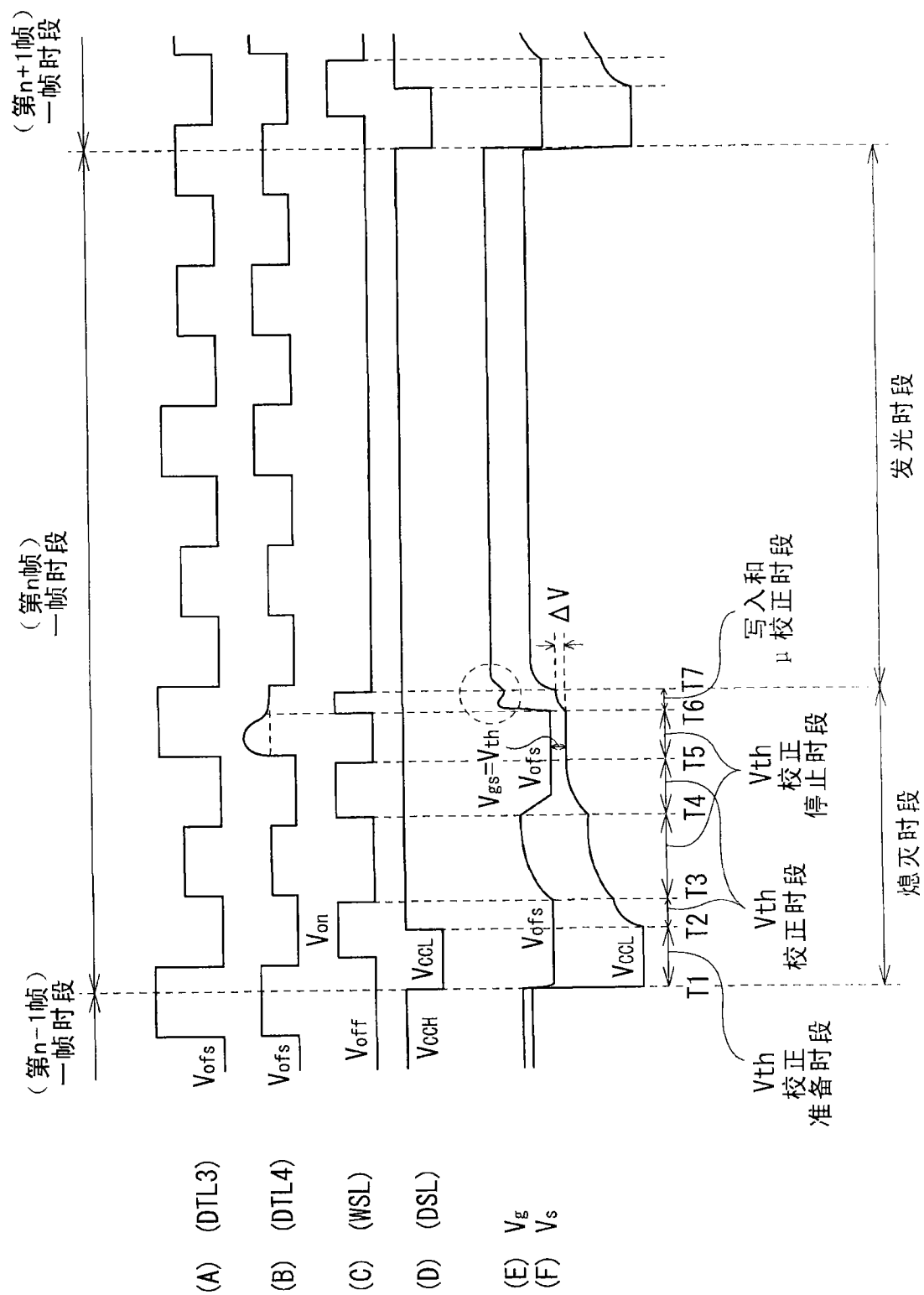


图9

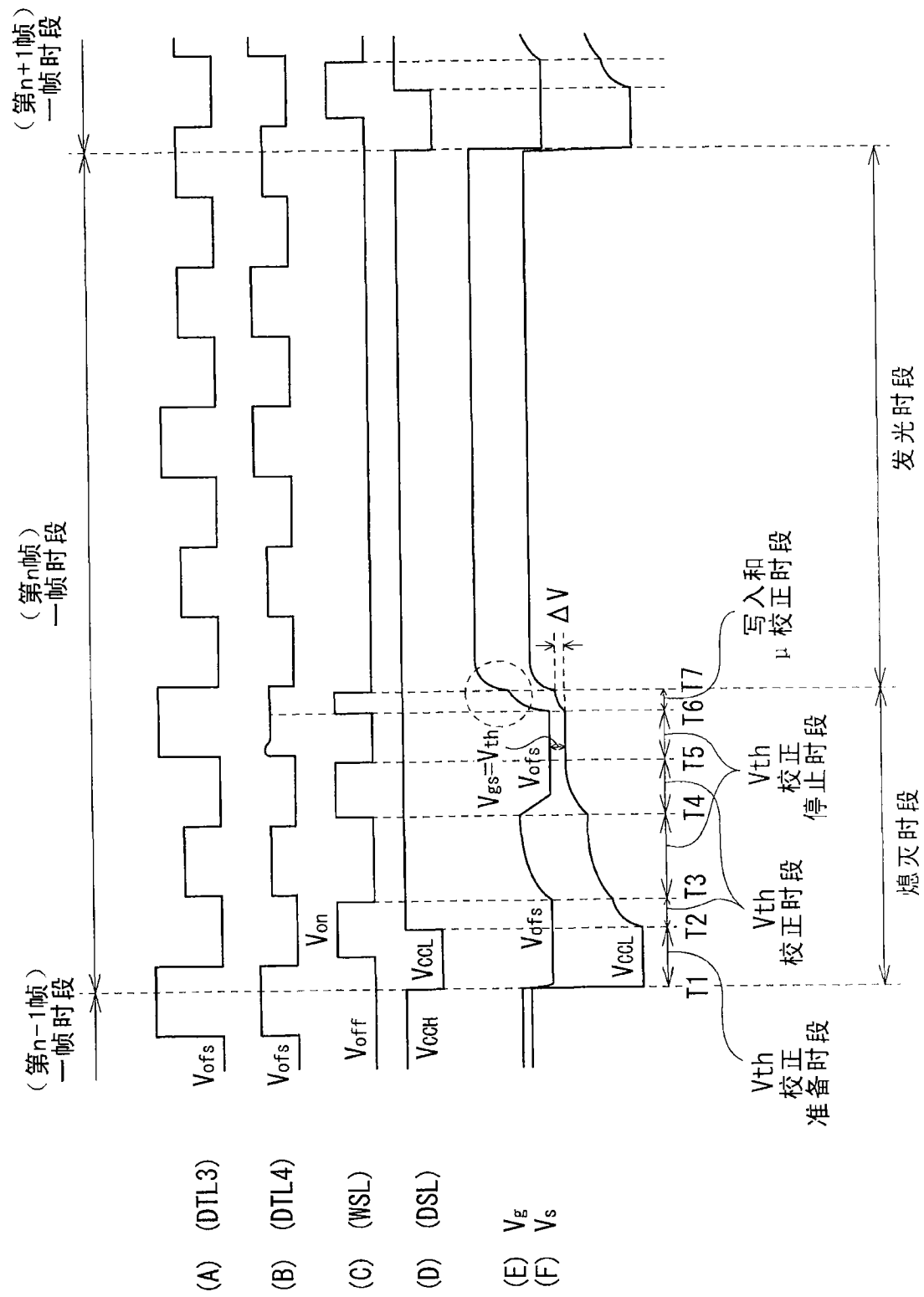


图10

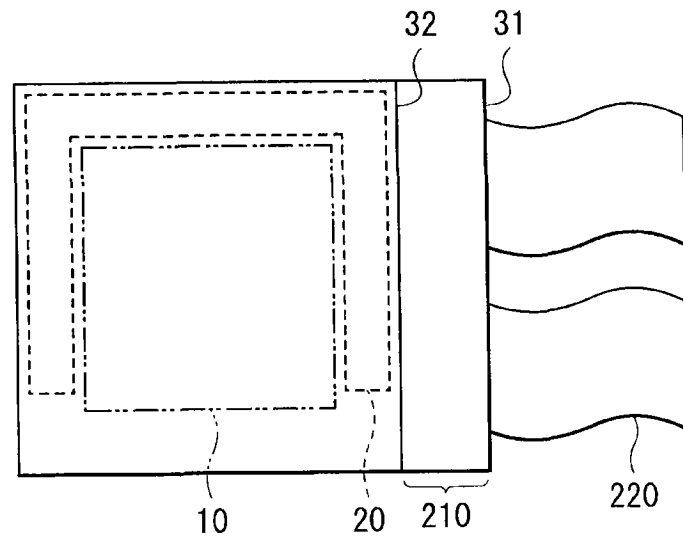


图11

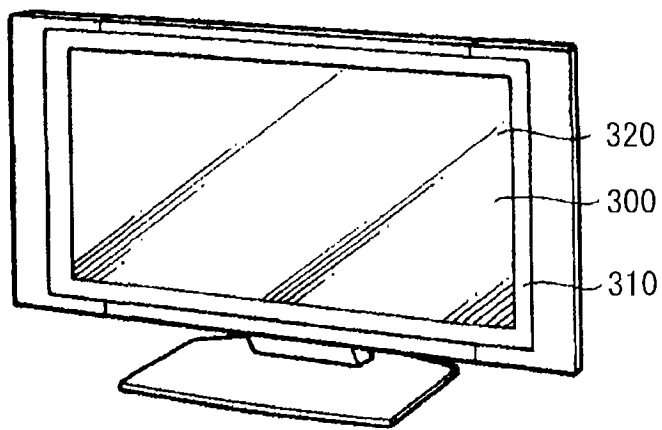


图12

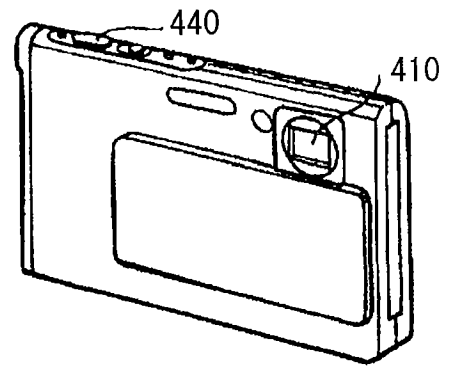


图13A

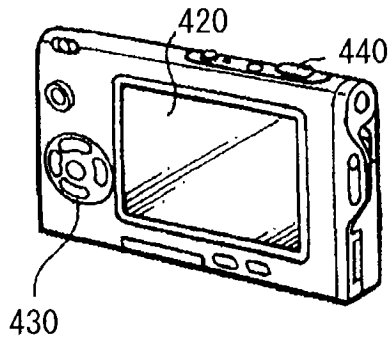


图13B

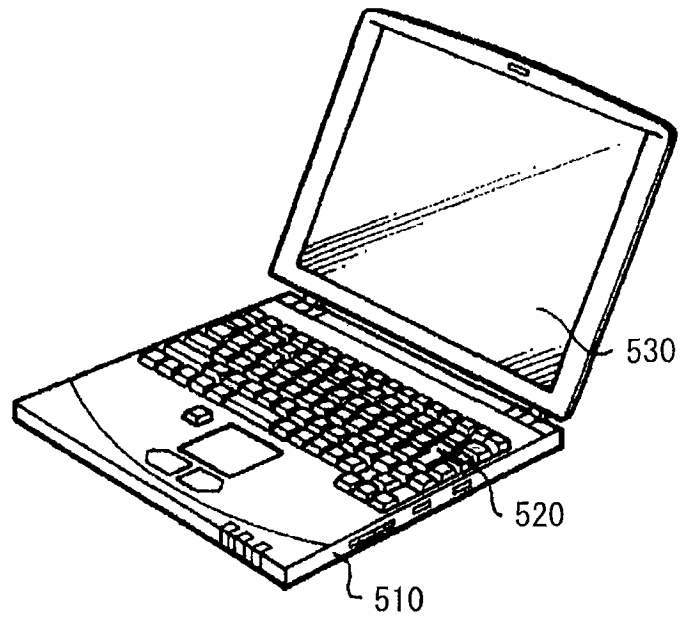


图14

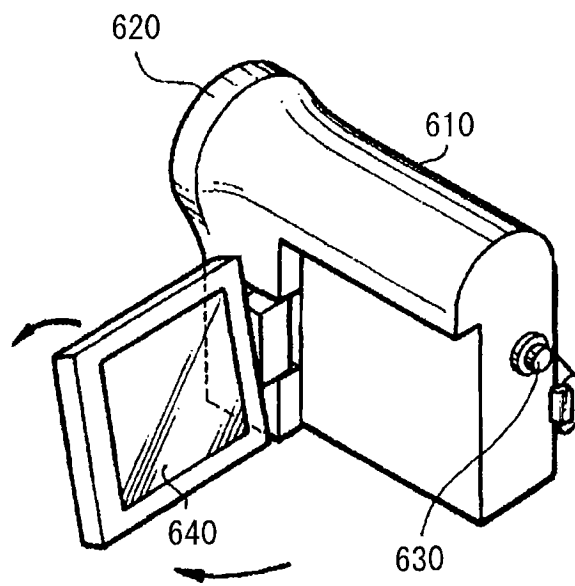


图15

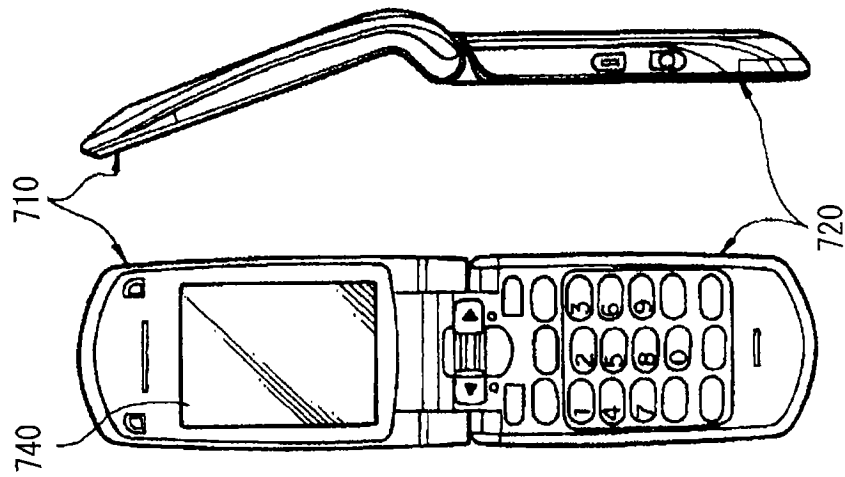


图16A 图16B

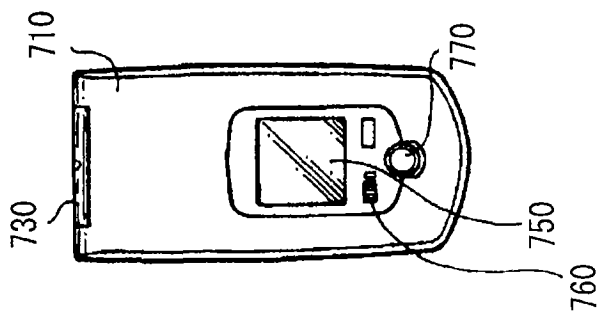


图16C

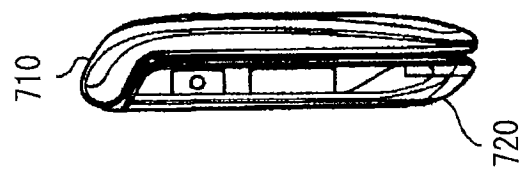


图16D



图16E

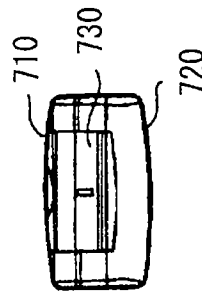


图16F

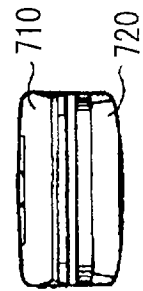


图16G