



## 특허청구의 범위

### 청구항 1

반도체 장치에 있어서,

반도체 소자와,

상기 반도체 소자에 전기적으로 연결된 배선 패턴 및 상기 배선 패턴을 포함하여 형성된 절연 기판을 포함하는 인터포저 기판과,

상기 반도체 소자와 상기 인터포저 기판 사이를 접촉시키는 연결층과,

상기 인터포저 기판 상에 배열된 솔더볼 외부 단자

를 포함하며,

상기 절연 기판은 상기 반도체 소자의 외측에 배열된 상기 외부 단자가 장착된 부분에서 접히고, 상기 절연 기판의 접히지 않은 부분과 접힌 부분은 이들 사이에 갭이 형성되도록 서로 대향하고 있는 반도체 장치.

### 청구항 2

제1항에 있어서,

상기 갭은 솔더 레지스트(solder resist), 응력-완화 탄성중합체(stress-relaxing elastomer), 또는 탄성중합체 대안 연결층(elastomer alternative connection layer)으로 충전되는 반도체 장치.

### 청구항 3

반도체 장치에 있어서,

반도체 소자와,

상기 반도체 소자에 전기적으로 연결된 배선 패턴 및 상기 배선 패턴을 포함하여 형성된 절연 기판을 포함하는 인터포저 기판과,

상기 반도체 소자와 상기 인터포저 기판 사이를 접촉시키는 연결층과,

상기 인터포저 기판 상에 배열된 솔더볼 외부 단자

를 포함하며,

상기 절연 기판은 상기 반도체 소자의 외측에 배열된 상기 외부 단자가 장착된 부분과 상기 반도체 소자가 장착된 부분이 동평면을 이루지 않도록 단차를 제공하는 램프 부분(ramped portion)을 포함하여 형성된 반도체 장치.

### 청구항 4

제1항에 있어서,

상기 연결층은 응력-완화 탄성중합체 연결층 또는 탄성중합체 대안 연결층을 포함하는 반도체 장치.

### 청구항 5

제1항에 있어서,

상기 반도체 장치는 BGA형, CSP 또는 SIP형 반도체 장치, 또는 그의 복합(MCP: multi-chip package) 반도체 장치인 반도체 장치.

### 청구항 6

제1항에 있어서,

다수의 상기 반도체 장치가 상기 솔더볼 외부 단자에 의해 적층되는 반도체 장치.

#### 청구항 7

제3항에 있어서,

상기 연결층은 응력-완화 탄성중합체 연결층 또는 탄성중합체 대안 연결층을 포함하는 반도체 장치.

#### 청구항 8

제3항에 있어서,

상기 반도체 장치는 BGA형, CSP 또는 SIP형 반도체 장치, 또는 그의 복합 (MCP: multi-chip package) 반도체 장치인 반도체 장치.

#### 청구항 9

제3항에 있어서,

다수의 상기 반도체 장치가 상기 솔더볼 외부 단자에 의해 적층되는 반도체 장치.

#### 청구항 10

인터포저 기판에 있어서,

반도체 소자에 전기적으로 연결된 배선 패턴과,

상기 배선 패턴을 포함하여 형성된 절연 기판

을 포함하며,

상기 절연 기판은 장착될 상기 반도체 소자의 외측에 배열된 솔더볼 외부 단자가 장착된 부분에서 접히고, 상기 절연 기판의 접히지 않은 부분과 접힌 부분은 이들 사이에 갭이 형성되도록 서로 대향하고 있는 인터포저 기판.

#### 청구항 11

인터포저 기판에 있어서,

반도체 소자에 전기적으로 연결된 배선 패턴과,

상기 배선 패턴을 포함하여 형성된 절연 기판

을 포함하며,

상기 절연 기판은, 상기 반도체 소자가 장착된 부분과, 장착될 상기 반도체 소자의 외측에 배열된 솔더볼 외부 단자가 장착된 부분이 동평면을 이루지 않도록 단차를 제공하는 램프 부분을 포함하여 형성된 인터포저 기판.

### 명세서

#### 발명의 상세한 설명

##### 기술 분야

- <1> 본 발명은 2006년 11월 17일 출원된 일본 특허출원 제2006-311850호를 기초로 하며, 그 전체 내용은 본 명세서에서 참조문헌으로 인용된다.
- <2> 본 발명은 반도체 장치, 적층형 반도체 장치, 및 인터포저 기판에 관한 것으로, 특히 반도체 소자와 인터포저 기판 사이, 또는 인터포저 기판과 인쇄 배선 기판(마더보드) 사이에서 응력이 작용하는, BGA형, CSP형, SIP형 반도체 장치, 그의 복합 반도체 장치, 적층형 반도체 장치, 및 반도체 장치에서 사용되는 인터포저 기판에 관한 것이다.

##### 배경 기술

- <3> 통상적으로, 반도체 소자와 반도체 소자의 인터포저 기판 사이에서 발생한 응력을 완화시키기 위한 것으로, 반

도체 소자와 인터포저 기관 사이에 응력-완화 탄성중합체(stress-relaxing elastomer)를 가지는 BGA형 반도체 장치 등이 있다.

- <4> 이 반도체 장치는 응력-완화 탄성중합체를 포함하는 것을 특징으로 한다. 이러한 응력-완화 탄성중합체로서, 솔더 리플로우 온도에서 탄성 계수가 1 MPa 보다 적지 않은 중합체 물질로 이루어진 접착 테이프(JP-A-9-321084 참조), 또는 연속 버블 구조나 3차원 망상 구조로 이루어진 다공성 수지 테이프(JP-A-10-340968 참조)가 알려져 있다.
- <5> 그러나, 이러한 응력-완화 탄성중합체는 재료의 비용이 높는데, 이 비용은 JP-A-10-340968에서 제시된 바와 같은 연속 버블 구조 또는 3차원 망상 구조로 이루어진 다공성 수지 테이프에서 특히 현저하게 높다.
- <6> 따라서, 응력-완화 탄성중합체의 대안으로서 아래의 발명이 개발되었으며, 이 발명의 특허 출원(미공개 선행 출원)은 본 출원인에 의해 먼저 출원되었다.
- <7> 도 1은 특정한 연결층을 갖는 반도체 장치의 구조를 도시하는 예시적인 도면이며, 도 2는 적층형 반도체 장치의 구조를 도시하는 예시적인 도면이다.
- <8> BGA형 반도체 장치(10)는, 폴리이미드 절연 기관(절연 테이프)(1) 위에 구리 배선 패턴(2)을 포함하여 형성된 인터포저 기관(3)과, Si 칩으로 이루어진 반도체 소자(4) 사이에 배열된 연결층(5)을 포함하며, 이들은 서로 일체로 접착을 이루고 있다.
- <9> 반도체 장치(10)는, 특정한 접합 톨(도시되지 않음)을 이용하여, 반도체 소자(4)의 전극 패드에 접합된 배선 패턴(2)의 내부 리드(6)를 포함한다. 연결층(5)의 상부면과 반도체 소자(4)의 측면 사이에 형성된 직각 코너 부분과 리드 접합부의 결합 부분은 몰드 수지, 포팅 수지 등과 같은 밀봉 수지(7)로 완전히 밀봉된다. 솔더볼(8)은 인터포저 기관(3) 내에 형성된 비아 홀들에서 장착되며, 배선 패턴(2)의 특정 부분과 전기적으로 연결된다.
- <10> 응력-완화 탄성중합체의 대안으로서의 연결층(5)(이하, "탄성중합체 대안 연결층(5)"이라 지칭함)은 반도체 소자(4)와 인터포저 기관(3) 사이에서 작용하는 응력으로 인하여 부분적으로 파손(breakage), 전단 변형(어긋남), 또는 박리(peeling)를 일으키는 물질 또는 구조로 구성된 층들을 갖는다("응력"이란 반도체 소자와 패키지 기관 사이에서 열적 확장 차(thermal expansivity difference)에 의해 야기된 열적 응력, 또는 BGA 패키지 내 솔더볼(8)에 작용하는 외적 충격에 기인한 응력을 지칭한다). 또한, 파손으로는 균열, 파열(rupture) 등과 같은 깨짐(fragile) 또는 연성(ductile) 파손이 있다.
- <11> 파손, 전단 변형(어긋남), 또는 박리는 반도체 소자(4)와 연결층(5) 사이의 접착 계면, 인터포저 기관(3)과 연결층(5) 사이의 접착 계면, 또는 연결층(5) 내 층들 사이의 계면에서 부분적으로 발생되지만, 반도체 소자(4)와 인터포저 기관(3) 사이에서는 아무런 분리도 발생되지 않는다. 반도체 소자(4)와 인터포저 기관(3)이 서로 분리되지 않도록 밀봉 수지(7)를 이용하여 유지되는 경우, 전술한 접착 계면에서는 파손, 전단 변형(어긋남), 또는 박리가 부분적으로 그리고 전체적으로 발생될 수 있다.
- <12> 구체적으로, 도 1에 도시된 바와 같이, 예를 들면, 반도체 소자(4)와 인터포저 기관(3) 사이에 삽입된 연결층(5)은 지지체로서 사용된 코어층(11)과, 상기 코어층(11)을 반도체 소자(4) 및 인터포저 기관(3)에 접착시켜주는 접착층(12 및 13)을 포함하도록 구성된다.
- <13> 코어층(11)은, 예를 들면, 빛에 노출될 때 경화되는 필름형 광 경화 물질(감광성 물질), 내부에 액체층이 있는 기계적 구조의 필름 물질 등을 포함하는 건식 필름 물질로 구성된다. 연결층(5)은 그를 통해 흡수되는 접착제의 접착 강도를 갖는 코어층(11)만으로 구성될 수 있다. 은(Ag) 페이스트 물질이 연결층(5)으로서 사용되는 경우, Ag 페이스트 물질은 자체적으로 접착층으로서 작용하며, 그럼으로써 Ag 페이스트 물질의 단일층으로서 사용될 수 있다. 즉, 연결층(5)은 테이프(필름) 또는 페이스트로 이루어진 층을 가지며, 단일, 이중, 삼중, 사중, 또는 그보다 많은 층 구조로서 사용될 수 있다.
- <14> 접착층(12 및 13)은 코어층(11), 반도체 소자(4), 또는 인터포저 기관(3)과의 접착 계면에서, 그 계면에서 작용하는 응력으로 인하여 파손, 전단 변형(어긋남), 또는 박리를 일으키는 물질로 이루어지거나 또는 그러한 구조를 가질 수 있다.
- <15> 비록 전술한 발명이 인터포저 기관과 반도체 소자 사이에서 발생한 응력을 완화시킬 수 있을지라도, 그 이외에 구조 설계에서 반도체 패키지와 반도체 패키지가 합체되는 인쇄 배선 기관(마더보드) 간의 열 팽창 차로 인한 응력, 또는 적층형 반도체 장치들의 사이에서 발생한 응력을 완화시키는 것이 중요하며, 더욱 우수한 응력-완화

능력을 가지는 반도체 장치, 적층형 반도체 장치, 및 반도체 장치에서 사용되는 인터포저 기판이 요구되고 있다.

## 발명의 내용

### 해결 하고자하는 과제

<16> 그러므로, 본 발명의 목적은 인터포저 기판과 인쇄 배선 기판(마더보드) 사이에서 발생한 응력, 또는 적층형 반도체 장치들 사이에서 발생한 응력을 우수하게 완화시키는 반도체 장치, 적층형 반도체 장치, 및 반도체 장치에서 사용되는 인터포저 기판을 제공하는 것이다.

### 과제 해결수단

- <17> 본 발명의 일 실시예에 따르면, 반도체 장치는,
- <18> 반도체 소자와;
- <19> 상기 반도체 소자에 전기적으로 연결된 배선 패턴 및 상기 배선 패턴을 포함하여 형성된 절연 기판을 포함하는 인터포저 기판과;
- <20> 상기 반도체 소자와 상기 인터포저 기판 사이를 접촉시키는 연결층과;
- <21> 상기 인터포저 기판 상에 배열된 솔더볼 외부 단자
- <22> 를 포함하며,
- <23> 상기 절연 기판은 상기 반도체 소자의 외측에 배열된 상기 외부 단자가 장착된 부분에서 접히고, 상기 절연 기판의 접히지 않은 부분과 접힌 부분은 이들 사이에 갭이 형성되도록 서로 대향하고 있다.
- <24> 본 발명의 다른 실시예에 따르면, 반도체 장치는,
- <25> 반도체 소자와;
- <26> 상기 반도체 소자에 전기적으로 연결된 배선 패턴 및 상기 배선 패턴을 포함하여 형성된 절연 기판을 포함하는 인터포저 기판과;
- <27> 상기 반도체 소자와 상기 인터포저 기판 사이를 접촉시키는 연결층과;
- <28> 상기 인터포저 기판 상에 배열된 솔더볼 외부 단자
- <29> 를 포함하며,
- <30> 상기 절연 기판은 상기 반도체 소자의 외측에 배열된 상기 외부 단자가 장착된 부분과 상기 반도체 소자가 장착된 부분이 동평면을 이루지 않도록 단차를 제공하는 램프 부분을 포함하여 형성된다.
- <31> 본 발명의 또 다른 실시예에 따르면, 반도체 장치는,
- <32> 반도체 소자와;
- <33> 상기 반도체 소자에 전기적으로 연결된 배선 패턴 및 상기 배선 패턴을 포함하여 형성된 절연 기판을 포함하는 인터포저 기판과;
- <34> 상기 반도체 소자와 상기 인터포저 기판 사이를 접촉시키는 연결층과;
- <35> 상기 인터포저 기판 상에 배열된 솔더볼 외부 단자
- <36> 를 포함하며,
- <37> 상기 절연 기판은 상기 반도체 소자가 장착된 부분의 외측에 슬릿(slit)으로 형성된다.
- <38> 본 발명의 또 다른 실시예에 따르면, 적층형 반도체 장치는,
- <39> 솔더볼 외부 단자에 의해 적층된 다수의 반도체 장치를 포함하며, 각각의 반도체 장치는,
- <40> 반도체 소자와;

- <41> 상기 반도체 소자에 전기적으로 연결된 배선 패턴 및 상기 배선 패턴을 포함하여 형성된 절연 기판을 포함하는 인터포저 기판과;
- <42> 상기 반도체 소자와 상기 인터포저 기판 사이를 접촉시키는 연결층과;
- <43> 상기 인터포저 기판 상에 배열된 상기 솔더볼 외부 단자를 포함하며,
- <44> 상기 절연 기판은 상기 반도체 소자가 장착된 부분의 외측에 슬릿을 포함하여 형성된다.
- <45> 본 발명의 또 다른 실시예에 따르면, 인터포저 기판은,
- <46> 반도체 소자에 전기적으로 연결된 배선 패턴과;
- <47> 상기 배선 패턴을 포함하여 형성된 절연 기판
- <48> 을 포함하며,
- <49> 상기 절연 기판은 장착될 상기 반도체 소자의 외측에 배열된 솔더볼 외부 단자가 장착된 부분에서 접히고, 상기 절연 기판의 접히지 않은 부분과 접힌 부분은 이들 사이에 갭이 형성되도록 서로 대향하고 있다.
- <50> 본 발명의 또 다른 실시예에 따르면, 인터포저 기판은,
- <51> 반도체 소자에 전기적으로 연결된 배선 패턴과;
- <52> 상기 배선 패턴을 포함하여 형성된 절연 기판
- <53> 을 포함하며,
- <54> 상기 절연 기판은 상기 반도체 소자가 장착된 부분과 장착될 상기 반도체 소자의 외측에 배열된 솔더볼 외부 단자가 장착된 부분이 동평면을 이루지 않도록 단차를 제공하는 램프 부분을 포함하여 형성된다.
- <55> 본 발명의 또 다른 실시예에 따르면, 인터포저 기판은,
- <56> 반도체 소자에 전기적으로 연결된 배선 패턴과;
- <57> 상기 배선 패턴을 포함하여 형성된 절연 기판
- <58> 을 포함하며,
- <59> 상기 절연 기판은 상기 반도체 소자가 장착된 부분의 외측에서 슬릿을 포함하여 형성된다.

## 효 과

- <60> 본 발명에 따르면, 인터포저 기판과 인쇄 배선 기판(마더보드) 사이에서 발생한 응력, 또는 적층형 반도체 장치들 사이에서 발생한 응력을 우수하게 완화시키는 반도체 장치, 적층형 반도체 장치, 및 반도체 장치에서 사용된 인터포저 기판을 제공하는 것이 가능하다.

## 발명의 실시를 위한 구체적인 내용

- <61> 본 발명에 따른 바람직한 실시예들이 이하에서 도면을 참조하여 설명될 것이다.
- <62> 제1 실시예
- <63> 반도체 장치의 구성
- <64> 도 3은 본 발명에 따른 제1 실시예의 반도체 장치의 구조를 도시하는 예시적인 도면이며, 도 4는 본 발명에 따른 제1 실시예의 적층형 반도체 장치의 구조를 도시하는 예시적인 도면이다. 아래에서 설명될 모든 사항은 도 1 및 도 2에 각기 도시된 반도체 장치 및 적층형 반도체 장치와 동일하다. 더욱이, 연결층(5)은 탄성중합체 대안 연결층으로 한정되지 않고, 통상의 응력-완화 탄성중합체를 사용할 수 있다. 또한, 완화층을 제공하지 않고 접착층만을 사용할 수 있다.
- <65> BGA형 반도체 장치(20)는 인터포저 기판(3)을 구성하는 절연 기판(1)의 솔더볼(8)(반도체 소자(4) 외측의 솔더볼(8)) 장착 부분을 인쇄 배선 기판(9) 측(반도체 소자(4)의 비접착측)으로 대략 180° 접히게 함으로써 형성된 접합부(1a)를 포함한다.
- <66> 절연 기판(1)의 접히지 않은 부분과 접힌 부분은 갭(22)을 갖도록 서로 대향하고 있다. 이것은 응력을 완화시



키고 공간 효율을 향상시키는 효과가 있으며, 또한 솔더볼(8)의 크기를 줄이는 효과가 있다.

<67> 갭(22)은 도 3의 우측에 도시된 바와 같이 솔더 레지스트로 충전된다. 충전재로서 응력-완화 탄성중합체, 또는 탄성중합체 대안 연결층 등이 솔더 레지스트 대신 사용될 수 있다. 이것은 접힌 부분의 고정시, 치수의 정확성, 그리고 밸런싱 면에서 유리한 효과가 있다.

<68> 본 실시예는 도 3에 도시된 바와 같이 외부 단자로서 작용하는 솔더볼(8)이 반도체 소자(4)의 외측에 배치된 경우(팬-아웃 형) 이외에도, 솔더볼(8)이 반도체 소자(4)의 아래와 외측에 모두 배치되는 경우(팬-인/아웃 형)에도 적용될 수 있다.

<69> 또한, 도 3 및 도 4에서, 비록 도시하지는 않았지만, 배선 패턴(2)은 솔더볼(8)에 전기적으로 연결된다(후술하는 제2 내지 제6 실시예의 예시적인 도면인 도 5 내지 도 14에도 동일하게 적용된다).

#### <70> 제1 실시예의 장점

<71> (1) 접힘 부분(1a)은 절연 기판(1)의 솔더볼 장착 부분에 제공되기 때문에, 반도체 기판(20)과 인쇄 배선 기판(마더보드)(9) 사이에서 생긴 응력, 및 적층형 반도체 장치(200)의 반도체 장치들(20) 사이에서 생긴 응력을 완화시키는 것이 가능하다.

<72> (2) 반도체 장치들(20)을 적층하는 동안 상위 및 하위 반도체 소자들(20) 사이의 간격을 융통성 있게 조절하는 것이 가능하다. 솔더볼 등은 또한 다수의 핀으로 구성될(multi-pinned) 수 있다.

#### <73> 제2 실시예

##### <74> 반도체 장치의 구성

<75> 도 5는 본 발명에 따른 제2 실시예의 반도체 장치의 구조를 도시하는 예시적인 도면이며, 도 6은 본 발명에 따른 제2 실시예의 적층형 반도체 장치의 구조를 도시하는 예시적인 도면이다. 아래에서 설명될 모든 사항은 제1 실시예의 반도체 장치 및 적층형 반도체 장치에서와 동일하다.

<76> 다시 말해서, 차이점은 제1 실시예의 반도체 장치(20)의 반도체 소자(4)가 인쇄 배선 기판(9)에 대향하는 측에 부착되지만, 제2 실시예의 반도체 장치(30)의 반도체 소자(4)는 인쇄 배선 기판(9)에 직면하는 측에 부착된다는 점이다.

<77> 접힘 부분(1a)은 인터포저 기판(3)을 구성하는 절연 기판(1)의 솔더볼(8) (반도체 소자(4)의 외측의 솔더볼(8)) 장착 부분을 인쇄 배선 기판(9) 측(반도체 소자(4) 부착 측)으로 대략 180° 접는 것에 의해 형성된다.

<78> 이 실시예는 도 5에 도시된 바와 같이 외부 단자로서 작용하는 솔더볼(8)이 반도체 소자(4)의 외측에 배치된 경우(팬-아웃 형)에 적용될 수 있다.

#### <79> 제3 실시예

##### <80> 반도체 장치의 구성

<81> 도 7은 본 발명에 따른 제3 실시예의 반도체 장치의 구조를 도시하는 예시적인 도면이며, 도 8은 본 발명에 따른 제3 실시예의 적층형 반도체 장치의 구조를 도시하는 예시적인 도면이다. 아래에서 설명되는 모든 사항은 도 1 및 도 2에 각기 도시된 반도체 장치 및 적층형 반도체 장치에서와 동일하다. 더욱이, 연결층(5)은 탄성중합체 대안 연결층으로 한정되지 않고, 통상의 응력-완화 탄성중합체를 사용할 수 있다. 또한, 완화층을 제공하지 않고 접착층만을 사용할 수 있다.

<82> BGA형 반도체 장치(40)는 인터포저 기판(3)을 구성하는 절연 기판(1)에 솔더볼(8)(반도체 소자(4)의 외측의 솔더볼(8)) 장착 부분을 가지고 있다. 솔더볼 장착 부분은 각기 반도체 소자(4) 부착(장착) 부분에 대해 하향 단차(도 7의 좌측) 형상 또는 상향 단차(도 7의 우측) 형상으로 된 램프 부분(ramped portion)(41a 및 41b)을 가지고 있다.

<83> 솔더볼 장착 부분 및 반도체 소자(4) 장착 부분은 반드시 동평면상에 배치되지 않아도 되며, 이들의 레벨 차이는 인터포저 기판 두께보다 크고 관련 패키지 높이보다 낮은 것이 바람직하다.

<84> 이 실시예는, 도 7에 도시된 바와 같이 외부 단자로서 작용하는 솔더볼(8)이 반도체 소자(4)의 외측에 배치되는 경우(팬-아웃 형) 이외에도, 솔더볼(8)이 반도체 소자(4)의 아래와 외측에 모두 배치되는 경우(팬-인/아웃 형)에도 또한 적용될 수 있다.

- <85> 제3 실시예의 장점
- <86> (1) 솔더볼(8) 장착 부분 및 반도체 소자(4) 장착 부분이 단차 형상을 갖도록 램프 부분(41a 및 41b)이 제공되기 때문에, 반도체 장치(40)와 인쇄 배선 기판(마더보드)(9) 사이에서 생기는 응력, 및 적층형 반도체 장치(400)의 반도체 장치들 사이에서 생기는 응력을 완화시키는 것이 가능하다.
- <87> 제4 실시예
- <88> 반도체 장치의 구성
- <89> 도 9는 본 발명에 따른 제4 실시예의 반도체 장치의 구조를 도시하는 예시적인 도면이며, 도 10은 본 발명에 따른 제4 실시예의 적층형 반도체 장치의 구조를 도시하는 예시적인 도면이다. 아래에서 설명되는 모든 사항은 제3 실시예의 반도체 장치 및 적층형 반도체 장치에서와 동일하다.
- <90> 다시 말해서, 차이점은 제3 실시예에서 반도체 장치(40)의 반도체 소자(4)는 인쇄 배선 기판(9)에 대향하는 측에 부착되지만, 제4 실시예에서 반도체 장치(50)의 반도체 소자(4)는 인쇄 배선 기판(9)에 직면하는 측에 부착된다는 점이다.
- <91> 이 실시예는, 도 9에 도시된 바와 같이, 외부 단자로서 작용하는 솔더볼(8)이 반도체 소자(4)의 외측에 배치되는 경우(팬-아웃 형)에 적용될 수 있다.
- <92> 제5 실시예
- <93> 반도체 장치의 구성
- <94> 도 11은 본 발명에 따른 제5 실시예의 반도체 장치의 구조를 도시하는 예시적인 도면이며, 도 12는 본 발명에 따른 제5 실시예의 적층형 반도체 장치의 구조를 도시하는 예시적인 도면이다. 아래에서 설명되는 모든 사항은 도 1 및 도 2에 각기 도시된 반도체 장치 및 적층형 반도체 장치에서와 동일하다. 또한, 연결층(5)은 탄성중합체 대안 연결층으로 한정되지 않고, 통상의 응력-완화 탄성중합체를 사용할 수도 있다. 또한, 완화층을 제공하지 않고 접착층만을 사용할 수 있다.
- <95> BGA형 반도체 장치(60)는 반도체 소자(4) 부착(장착) 부분의 외측에, 예를 들면, 반도체 소자(4) 장착 부분과 솔더볼(8)(반도체 소자(4)의 외측의 솔더볼(8)) 장착 부분 사이에 편칭이나 레이저 등에 의해 슬릿(61)이 형성된 절연 기판(1)을 가지고 있다. 배선 패턴(2)은 슬릿(61) 위에 부분적으로 배열되도록 설계된다.
- <96> 슬릿(61)은 버퍼 물질 또는 다른 플라스틱 등으로 충전될 수도 있다.
- <97> 슬릿(61)은 대략 1  $\mu\text{m}$  - 1 mm의 폭과, 대략 100  $\mu\text{m}$ 의 길이(패키지 전체 길이)를 갖는 것이 바람직하다. 슬릿의 형상은 아래에서 상세히 설명될 것이다.
- <98> 이 실시예는, 도 11에 도시된 바와 같이, 외부 단자로서 작용하는 솔더볼(8)이 반도체 소자(4)의 외측에 배치되어 있는 경우(팬-아웃 형) 이외에도, 솔더볼(8)이 반도체 소자(4)의 아래 및 외측에 모두 배치되어 있는 경우(팬-인/아웃 형)에도 동일하게 적용될 수 있다.
- <99> 제5 실시예의 장점
- <100> (1) 슬릿(61)이 반도체 소자(4) 장착 부분의 외측(여기서는 반도체 소자(4) 장착 부분과 솔더볼(8) 장착 부분 사이)에 형성되기 때문에, 반도체 장치(60)와 인쇄 배선 기판(마더보드)(9) 사이에서 생기는 응력, 및 적층형 반도체 장치(600)의 반도체 장치들(60) 사이에서 생기는 응력을 완화시킬 수 있다.
- <101> 제6 실시예
- <102> 반도체 장치의 구성
- <103> 도 13은 본 발명에 따른 제6 실시예의 반도체 장치의 구조를 도시하는 예시적인 도면이며, 도 14는 본 발명에 따른 제6 실시예의 적층형 반도체 장치의 구조를 도시하는 예시적인 도면이다. 아래에서 설명되는 모든 사항은 제5 실시예의 반도체 장치와 적층형 반도체 장치에서와 동일하다.
- <104> 다시 말해서, 차이점은 제5 실시예의 반도체 장치(60)의 반도체 소자(4)가 인쇄 배선 기판(9)에 대향하는 측에 부착되지만, 제6 실시예의 반도체 장치(70)의 반도체 소자(4)는 인쇄 배선 기판(9)에 직면하는 측에 부착된다는 점이다.



- <105> 이 실시예는, 도 13에 도시된 바와 같이, 외부 단자로서 작용하는 솔더볼(8)이 반도체 소자(4)의 외측에 배치되는 경우(팬-아웃 형)에 적용될 수 있다.
- <106> 슬릿의 형상
- <107> 본 발명에 따른 제5 및 제6 실시예의 반도체 장치들 및 적층형 반도체 장치들에서, 슬릿(61)은 아래에서 설명하는 바와 같이 그 형상이 다를 수 있다.
- <108> 도 15 내지 도 18은 본 발명에 따른 제5 및 제6 실시예의 반도체 장치 및 적층형 반도체 장치들에서 절연 기판(1)에 형성된 슬릿(61)의 형상의 예를 예시한다.
- <109> 도 15의 슬릿(61a)은, 이 도면의 중앙에 배치되는 반도체 소자(4) 장착 부분의 긴 길이 측과 평행하게, 반도체 소자(4) 장착측과 솔더볼(8) 랜드/접촉 측을 완전히 분리시킨다. 한편, 슬릿(61b 및 61c)은 반도체 소자(4) 장착 부분의 길이가 긴 측과 평행하게 반도체 소자(4) 장착측과 솔더볼(8) 랜드/접촉측을 불완전하게 분리시킨다(슬릿(61b)은 직사각형 창 형상이고, 슬릿(61c)은 일단에서 분리된 빗살 형상이다).
- <110> 다시 말해서, 슬릿(61a - 61c)은 이 도면의 중앙에 배치된 반도체 소자(4) 장착 부분의 긴 길이측에 평행하게 형성되어, 반도체 소자(4) 장착 부분과 반도체 소자(4)의 외측에 배열된 솔더볼(8) 장착 부분을 완전하게 또는 부분적으로 분리시킨다.
- <111> 도 16의 슬릿(61d)은 이 도면의 중앙에 배치된 반도체 소자(4) 장착 부분의 긴(또는 짧은) 길이측과 직각으로, 반도체 소자(4)의 외측에서, 빗살 형상으로 솔더볼(8) 랜드/접촉 영역을 분리시킨다. 또한, 슬릿(61e)은 직사각형 창 형상으로 구성되어, 반도체 소자(4) 장착 부분의 긴 길이(또는 짧은 길이)측과 직각으로 반도체 소자(4)의 외측에서 솔더볼(8) 랜드/접촉 영역을 분리시킨다.
- <112> 다시 말해서, 슬릿(61d 및 61e)은 이 도면의 중앙에 배치된 반도체 소자(4) 장착 부분의 긴 또는 짧은 길이 측과 수직으로 형성되어, 반도체 소자(4) 장착 부분과 반도체 소자(4)의 외측에 배열된 솔더볼(8) 장착 부분을 완전히 또는 부분적으로 분리시킨다.
- <113> 도 17은 도 15 및 도 16에 도시된 모든 슬릿(61a-61e)을 가지는 복합 형태를 도시한다.
- <114> 도 18의 슬릿(61f)은 이 도면의 중앙에 배치된 반도체 소자(4) 장착 부분의 짧은 길이측에 평행하게, 반도체 소자(4) 장착측과 솔더볼(8) 랜드/접촉 측을 완전하게 분리시킨다. 한편, 슬릿(61g)은 반도체 소자(4) 장착 부분의 짧은 길이측에 평행하게, 반도체 소자(4) 장착 측과 솔더볼(8) 랜드/접촉 측과를 불완전하게 분리시킨다(슬릿(61g)은 직사각형 창 형상으로 되어 있다).
- <115> 다시 말해서, 슬릿(61f 및 61g)은 이 도면의 중앙에 배치된 반도체 소자(4) 장착 부분의 짧은 길이측에 평행하게 형성되어, 반도체 소자(4) 장착 부분과 반도체 소자(4)의 외측에 배열된 솔더볼(8) 장착 부분을 완전하게 또는 부분적으로 분리시킨다.
- <116> 탄성중합체 대안 연결층(5)의 형태
- <117> 비록 전술한 설명이 부분적으로 중복될지라도, 탄성중합체 대안 연결층(5)의 가능한 형태는 다음과 같다.
- <118> (1) 연결층(5)은 반도체 소자(4)와 인터포저 기판(3) 사이에서 작용하는 응력으로 인하여, 반도체 소자(4)와 연결층(5) 사이의 접촉 계면, 인터포저 기판(3)과 연결층(5) 사이의 접촉 계면, 또는 연결층(5) 내 층들 사이의 계면에서 부분적으로 파손, 전단 변형(어긋남), 또는 박리를 일으키는 물질 또는 구조로 구성된 층들을 갖는다.
- <119> (2) 연결층(5)은 반도체 소자(4)와 인터포저 기판(3) 사이에 작용하는 응력으로 인하여 연결층(5)에서 부분적으로 파손 또는 전단 변형(어긋남)을 일으키지만, 반도체 소자(4)와 인터포저 기판(3)간의 분리를 일으키지는 않는 물질 또는 구조로 구성된 층들을 갖는다.
- <120> (3) 반도체 소자(4) 및 인터포저 기판(3)은 서로 분리되지 않도록 부분적으로 또는 전체적으로 수지로 유지되며, 연결층(5)은 반도체 소자(4)와 인터포저 기판(3) 사이에서 작용하는 응력으로 인하여, 반도체 소자(4)와 연결층(5) 사이의 접촉 계면, 인터포저 기판(3)과 연결층(5) 사이의 접촉 계면, 또는 연결층(5) 내 층들간의 계면에서 파손, 전단 변형(어긋남), 또는 박리를 일으키는 물질 또는 구조로 구성된 층들을 갖는다.
- <121> (4) 반도체 소자(4) 및 인터포저 기판(3)은 서로 분리되지 않도록 부분적으로 또는 전체적으로 수지로 유지되며, 연결층(5)은 반도체 소자(4)와 인터포저 기판(3) 사이에서 작용하는 응력으로 인하여, 연결층(5)에서

파손 또는 전단 변형(어긋남)을 일으키는 물질 또는 구조로 구성된 층들을 갖는다.

<122> (5) 연결층(5)은 테이프(필름) 또는 페이스트로 구성된 층들을 갖는다.

<123> (6) 연결층(5)은 코어층(11), 및 코어층(11)을 반도체 소자(4) 및 인터포저 기판(3)에 부착시키는 접착층(12 및 13)을 포함하도록 구성된다.

<124> (7) 연결층(5)은 단층 또는 이중층 접착층들로 구성된다.

<125> (8) 연결층(5)은 이중 또는 더 많은 층의 접착 코어층으로 구성된다.

<126> (9) 연결층(5)은 필름형 광 경화 물질(감광성 물질), 그 내부에 액체층을 갖는 기계적 구조를 갖는 필름 물질, 또는 은 페이스트 물질을 포함하는 건식 필름 물질로 구성된 층들을 갖는다.

<127> 탄성중합체 대안 연결층(5)의 가능한 형태는 아래에서 상세하게 설명된다.

#### <128> 단층 연결층

<129> 연결층(5)은 단층 필름 베이스 물질 및 이를 통해 흡수되는 접착제로 구성된다. 반도체 소자(4) 또는 인터포저 기판(3)에 대한 접착제의 접착 강도는  $1-500 \text{ gf}(0.01-5\text{N})/\text{mm}^2$ 의 범위로 비교적 약해서, 접착되는 부분들 사이에서 전단 변형(어긋남) 또는 박리를 일으켜 그 응력을 흡수한다.

#### <130> 단층 연결층

<131> 연결층(5)은 수지 물질 및 충전재와 같은 충전 물질을 포함하는 페이스트로 구성된다.  $0.01-5\text{N}/\text{mm}^2$  또는 더 큰 응력에서, 수지 물질과 충전 물질 사이의 계면에서 박리를, 또는 수지 물질(벌크)에서 균열, 파손 등을 부분적으로 또는 전체적으로 일으켜 그 응력을 흡수하는 페이스트가 사용된다.

#### <132> 이중층 연결층

<133> 연결층(5)은 전술한 접착제가 흡수된(adhesive-soaked) 두 단일층 필름 베이스 물질을 중첩시킴으로써 형성된 이중층 구조를 갖는다. 반도체 소자(4) 또는 인터포저 기판(3)에 대한 접착제의 접착 강도는  $0.01-5\text{N}/\text{mm}^2$ 의 범위로 비교적 약해서 접착되는 부분들 사이, 또는 두 필름 베이스 물질 층들 사이에서 전단 변형(어긋남) 또는 박리를 일으켜서 그 응력을 흡수한다.

#### <134> 이중층 연결층

<135> 연결층(5)은 전술한 접착제가 흡수된 두 단층 필름 베이스 물질 및 상기 단층 필름 베이스 물질과 상이한 접착 강도를 갖는 필름 베이스 물질을 중첩시킴으로써 형성된 이중층 구조를 갖는다. 반도체 소자(4) 또는 인터포저 기판(3)에 대한 접착제의 접착 강도는  $0.01-5\text{N}/\text{mm}^2$ 의 범위로 비교적 약해서 접착된 부분들 사이 또는 두 필름 베이스 물질 층들 사이에서 전단 변형(어긋남) 또는 박리를 일으켜 그 응력을 흡수한다.

#### <136> 삼중층 연결층

<137> 연결층(5)은 전술한 접착제가 흡수된 세 개의 단층 필름 베이스 물질, 또는 전술한 접착제-흡수된 두 개의 단층 필름 베이스 물질 및 단층 필름 베이스 물질과 상이한 접착 강도를 갖는 하나의 필름 베이스 물질을 중첩시킴으로써(순서와 무관함) 형성된 삼중층 구조를 갖는다. 반도체 소자(4) 또는 인터포저 기판(3)에 대한 접착제의 접착 강도는  $0.01-5\text{N}/\text{mm}^2$ 의 범위로 비교적 약해서 접착된 부분들 사이, 또는 동일하거나 상이한 필름 베이스 물질들 사이에서 전단 변형(어긋남) 또는 박리를 일으켜서 그 응력을 흡수한다.

#### <138> 이중층 연결층(연결층 방향성의 예)

<139> 연결층(5)은 전술한 두 개의 접착제가 흡수된 단층 필름 베이스 물질(코어층(11A 및 11B)), 또는 전술한 한 개의 접착제가 흡수된 단층 필름 베이스 물질 및 단층 필름 베이스 물질과 상이한 접착 강도를 갖는 하나의 필름 베이스 물질을 중첩시킴으로써 형성된 이중층 구조를 가지며(접착제와 반도체 소자(4) 또는 인터포저 기판(3)과의 접착 강도는  $0.01-5\text{N}/\text{mm}^2$ 의 범위로 비교적 약함), 각 층은 박리시 방향성 또는 분열 강도(cleavage strength)를 갖는다(예컨대, X 방향에서 강하고, Y 방향에서 약함). 예를 들면, 90도만큼 시프트된 동일한 두 개의 필름 베이스 물질들이 중첩되어 의도적으로 각 층의 박리, 분열 등을 일으켜서 반도체 소자(4)에 작용하는 XY 평면의 360도에서 발생하는 모든 응력을 흡수한다. 더욱이, 두 가지의 상부 및 하부 접착 층들의 방향 시프트는 45-135도의 범위 내에서 이루어진다.

#### <140> 삼중 또는 더 많은 층 연결층(코어층에 의해 흡수되는 예)

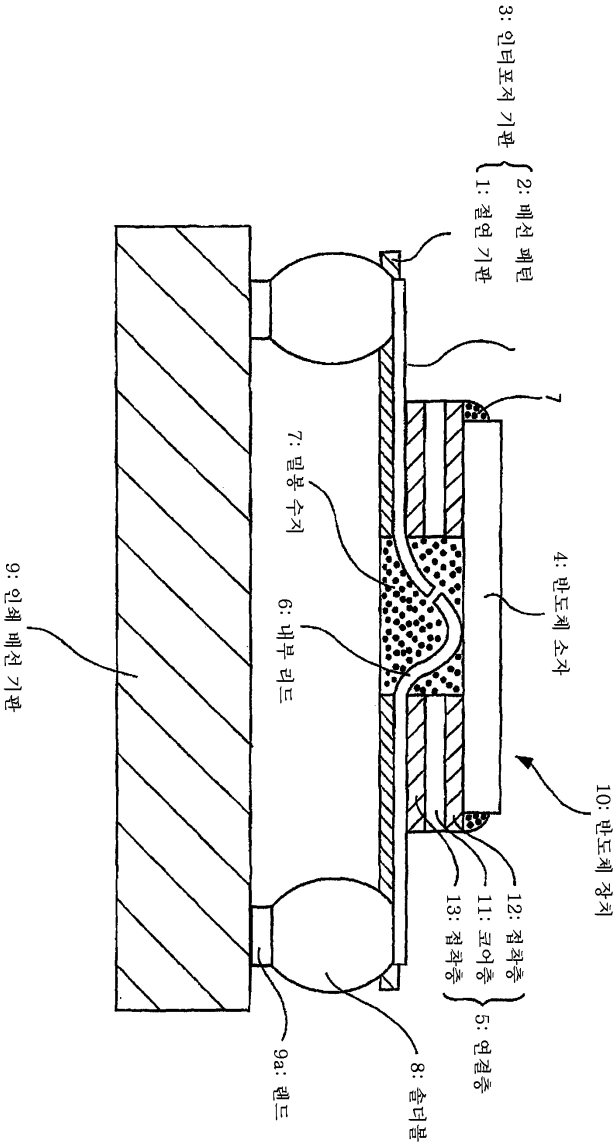
- <141> 연결층(5)은 전술한 세 개의 또는 그 이상의 접착제가 흡수된 단층 필름 베이스 물질(코어층(11A 및 11B)) 또는 전술한 두 접착제가 스며든 단층 필름 베이스 물질 및 단층 필름 베이스 물질과 상이한 접착 강도를 갖는 하나 이상의 필름 베이스 물질을 중첩시킴으로써 형성된 삼중층 구조를 가지며(접착제와 반도체 소자(4) 또는 인터포저 기판(3)과의 접착 강도는 0.01-5N/mm<sup>2</sup>의 범위로 비교적 약함), 각 층은 박리시 방향성 또는 분열 강도를 갖는다(예컨대, X 방향에서 강하고, Y 방향에서 약함). 예를 들면, 90도 만큼 시프트된 동일한 두 개의 필름 베이스 물질들(코어층(11A))이 중첩되며, 상기 코어 층(11A)과 상이한 90도 만큼 시프트된 동일한 두 개의 필름 베이스 물질들(코어층(11B))이 이들 사이에서 상기 중첩된 두 필름 베이스 물질들(코어층(11A))을 샌드위치하도록 중첩되어 각 층의 박리, 분열 등을 일으키고 그럼으로써 반도체 소자(4)에 작용하는 XY 평면의 360도에서 발생하는 모든 응력을 흡수한다. 더욱이, 상부 및 하부의 동일한 두 접착층들의 방향 시프트는 45-135도의 범위 내에서 이루어진다.
- <142> 전술한 특정한 예들에서, 비록 접착제가 코어층을 통해 흡수될지라도, 접착층은 일측 또는 양측에 개별적으로 제공될 수 있다.
- <143> 접착 강도 조절
- <144> 연결층(5)의 접착 강도를 조절하기 위한 방법의 예들은 아래와 같이 제시된다.
- <145> (1) 페이스트 베이스 물질의 양을 감소시켜, 직접적으로 접착에 영향을 미치지 않는 충전재의 부분 등의 비율을 증가시킴으로써, 연결층에서 접착되는 부분들과의 접착 면적을 줄이게 되어, 접착 강도가 낮게 제어될 수 있다.
- <146> (2) 접착제가 (균일하지 않게) 패치에서 흡수되어서, 접착 강도의 변동(0 - 100%)이 실현될 수 있다.
- <147> (3) 접착제는 부분적으로 흡수되어, 연결층에서 접착되는 부분들과의 접착 면적을 줄이게 되어, 접착 강도가 낮게 제어될 수 있다.
- <148> (4) 이중 또는 더 많은 층 코어층의 경우에 있어서, 흡수되는 접착제를 층마다 변경하여, 접착층들 사이의 접착 강도를 접착층과 접착된 부분들과의 접착 강도보다 낮게 조절함으로써, 접착층들 사이에서 전단 변형(어긋남) 또는 박리가 먼저 일어나게 할 수 있다.
- <149> 탄성중합체 대안 연결층(5)의 장점
- <150> 탄성중합체 대안 연결층(5)을 이용하는 실시예들에 따르면, 다음과 같은 장점들이 나타난다.
- <151> (1) 반도체 소자와 인터포저 기판 사이에서 응력이 작용할 때 파손, 전단 변형(어긋남), 또는 박리를 일으키는 물질로 구성되거나 또는 그 구조를 갖는 연결층을 이용함으로써, 응력을 완화시킬 수 있는 반도체 장치를 제공할 수 있다. 여기서, 완화란 흡수, 분산 등을 말한다.
- <152> (2) 어떠한 통상적인 응력-완화 탄성중합체도 사용되지 않기 때문에, 반도체 소자 및 인터포저 기판을 구성함에 있어서 재료 비용을 줄이는 것이 가능하며, 이를 취급하는 것 또한 통상의 응력-완화 탄성중합체에 비해서 용이하다.
- <153> 다른 실시예
- <154> 본 발명은 전술한 각각의 실시예로 한정되는 것은 아니고, 본 발명의 기술적 사상을 일탈 또는 변경하지 않는 범위 내에서 여러 가지 변형이 이루어질 수 있다.
- <155> 예를 들면, 비록 전술한 실시예가 BGA형 반도체 장치를 예를 들어 설명되었을지라도, 전술한 실시예는 CSP형 또는 SIP형 반도체 장치, 또는 MCP(multi-chip package)와 같은, 동일한 문제를 야기하는 반도체 장치에도 또한 적용될 수 있다.
- <156> 비록 본 발명이 완전하고 명확한 설명을 위해 특정 실시예에 대하여 기술되었을지라도, 첨부한 청구범위는 그것으로 제한되지 않고, 전술한 기본적인 교시 내에 명백히 속하는, 본 기술 분야에서 통상의 지식을 가진자에게서 발생할 수 있는 모든 변형과 대안의 구성을 구체화하는 것으로 해석되어야 할 것이다.
- 도면의 간단한 설명**
- <157> 도 1은 탄성중합체 대안 연결층을 갖는 반도체 장치의 구조를 도시하는 예시적인 도면.
- <158> 도 2는 탄성중합체 대안 연결층을 갖는 적층형 반도체 장치의 구조를 도시하는 예시적인 도면.

- <159> 도 3은 본 발명에 따른 제1 실시예의 반도체 소자의 구조를 도시하는 예시적인 도면.
- <160> 도 4는 본 발명에 따른 제1 실시예의 적층형 반도체 장치의 구조를 도시하는 예시적인 도면.
- <161> 도 5는 본 발명에 따른 제2 실시예의 반도체 장치의 구조를 도시하는 예시적인 도면.
- <162> 도 6은 본 발명에 따른 제2 실시예의 적층형 반도체 장치의 구조를 도시하는 예시적인 도면.
- <163> 도 7은 본 발명에 따른 제3 실시예의 반도체 장치의 구조를 도시하는 예시적인 도면.
- <164> 도 8은 본 발명에 따른 제3 실시예의 적층형 반도체 장치의 구조를 도시하는 예시적인 도면.
- <165> 도 9는 본 발명에 따른 제4 실시예의 반도체 장치의 구조를 도시하는 예시적인 도면.
- <166> 도 10은 본 발명에 따른 제4 실시예의 적층형 반도체 장치의 구조를 도시하는 예시적인 도면.
- <167> 도 11은 본 발명에 따른 제5 실시예의 반도체 장치의 구조를 도시하는 예시적인 도면.
- <168> 도 12는 본 발명에 따른 제5 실시예의 적층형 반도체 장치의 구조를 도시하는 예시적인 도면.
- <169> 도 13은 본 발명에 따른 제6 실시예의 반도체 장치의 구조를 도시하는 예시적인 도면.
- <170> 도 14는 본 발명에 따른 제6 실시예의 적층형 반도체 장치의 구조를 도시하는 예시적인 도면.
- <171> 도 15는 본 발명에 따른 제5 및 제6 실시예의 반도체 장치 및 적층형 반도체 장치 내 절연 기판에 형성된 슬릿 형상의 예를 도시하는 도면.
- <172> 도 16은 본 발명에 따른 제5 및 제6 실시예의 반도체 장치 및 적층형 반도체 장치 내 절연 기판에 형성된 슬릿 형상의 예를 도시하는 도면.
- <173> 도 17은 본 발명에 따른 제5 및 제6 실시예의 반도체 장치 및 적층형 반도체 장치 내 절연 기판에 형성된 슬릿 형상의 예를 도시하는 도면.
- <174> 도 18은 본 발명에 따른 제5 및 제6 실시예의 반도체 장치 및 적층형 반도체 장치 내 절연 기판에 형성된 슬릿 형상의 예를 도시하는 도면.
- <175> <도면의 주요 부분에 대한 부호의 설명>
- <176> 1: 절연 기판
- <177> 2: 배선 패턴
- <178> 3: 인터포저 기판
- <179> 4: 반도체 소자
- <180> 5: 연결층
- <181> 6: 내부 리드
- <182> 7: 밀봉 수지
- <183> 8: 솔더볼
- <184> 9: 인쇄 배선 기판
- <185> 9a: 랜드
- <186> 10: 반도체 장치
- <187> 11: 코어층
- <188> 12: 접착층
- <189> 13: 접착층
- <190> 20: 반도체 장치
- <191> 1a: 접힘 부분

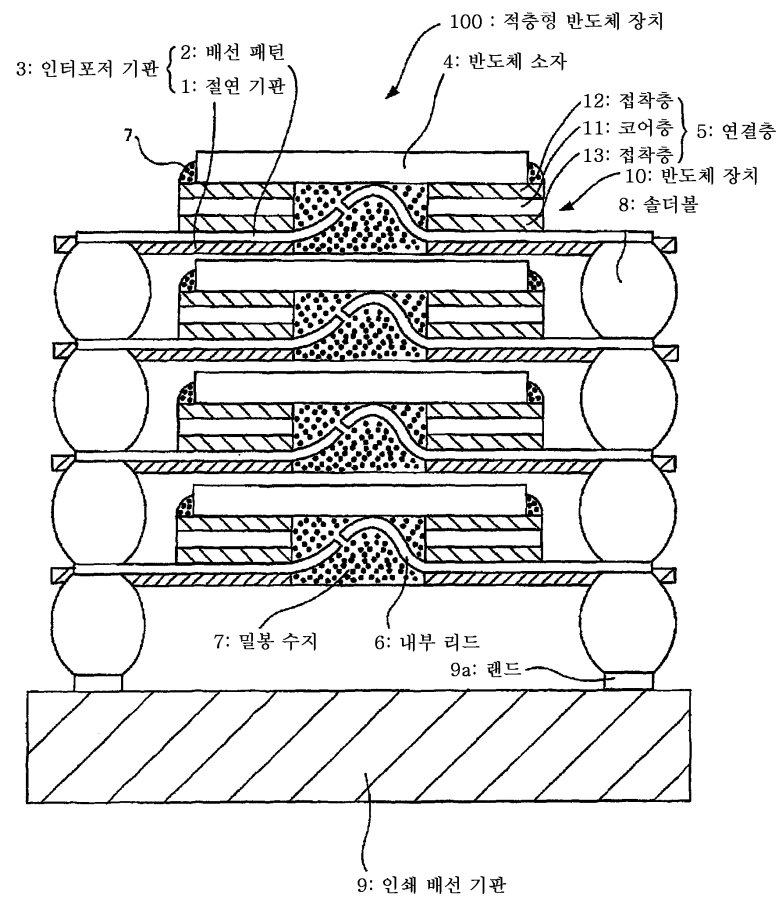
- <192> 21: 솔더 레지스트
- <193> 22: 겹
- <194> 100: 적층형 반도체 장치

도면

도면1

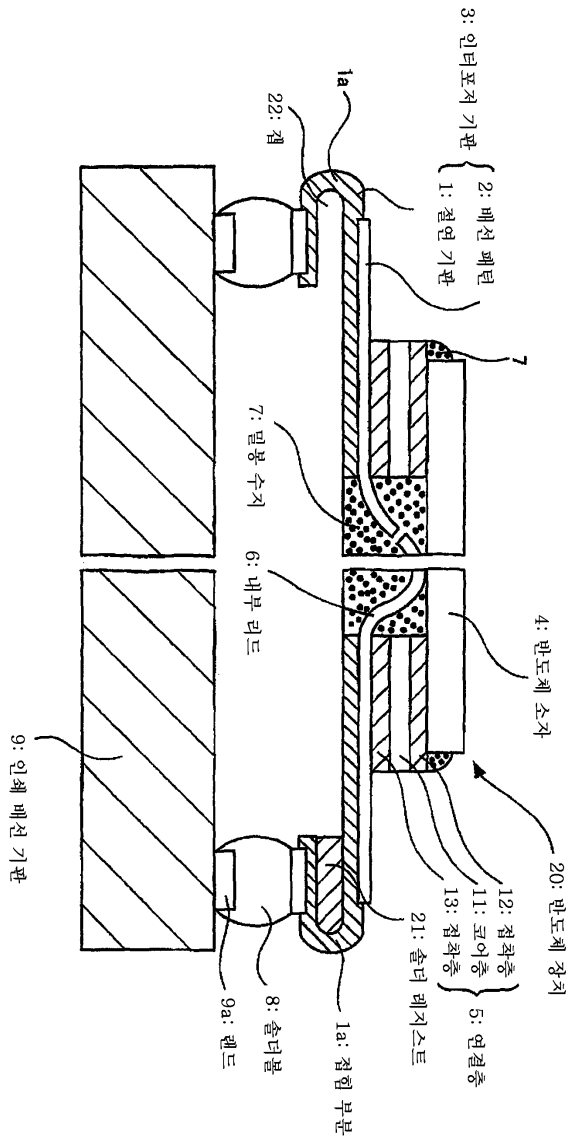


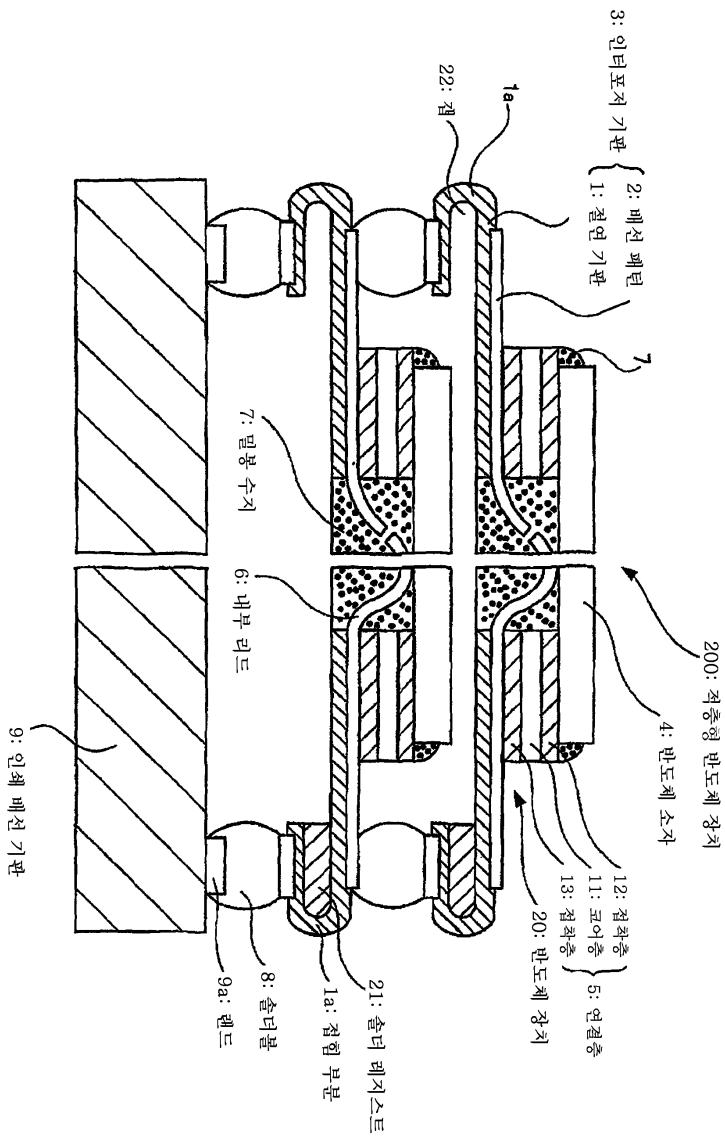
도면2





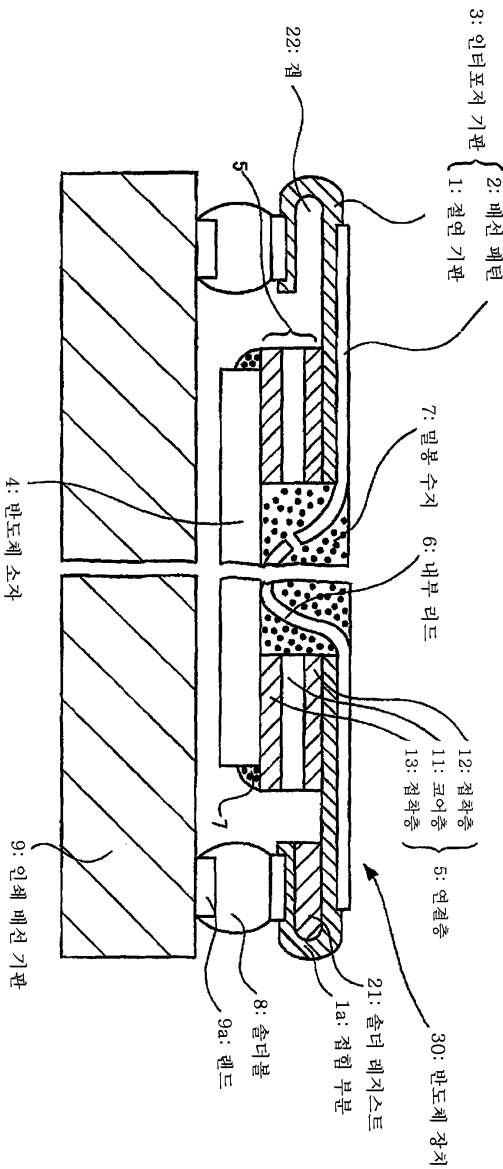
도면3





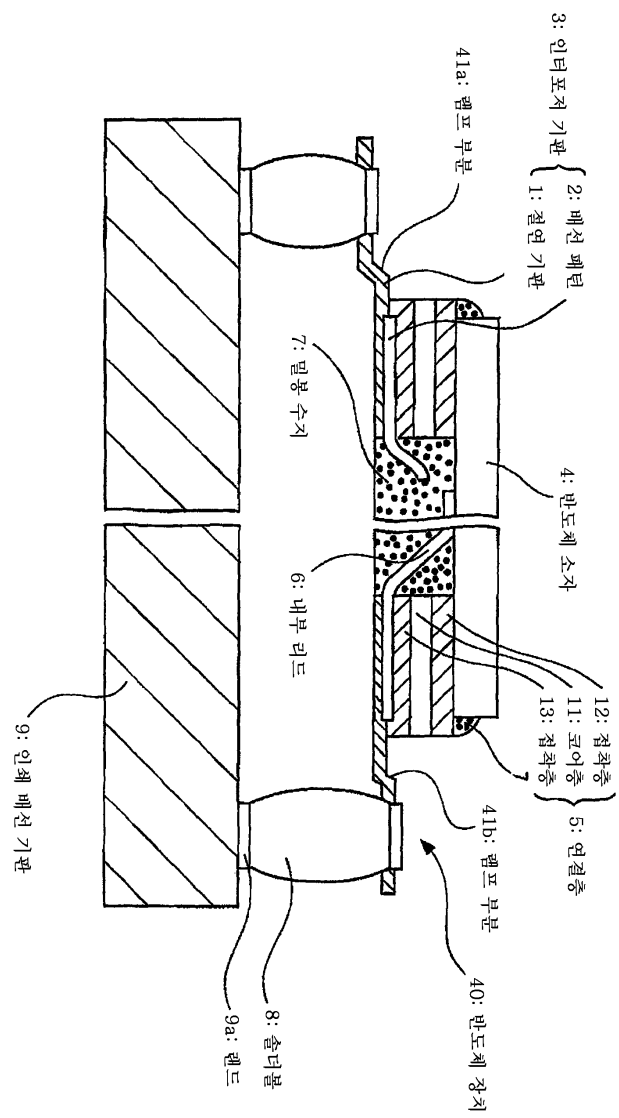
도면4

도면5

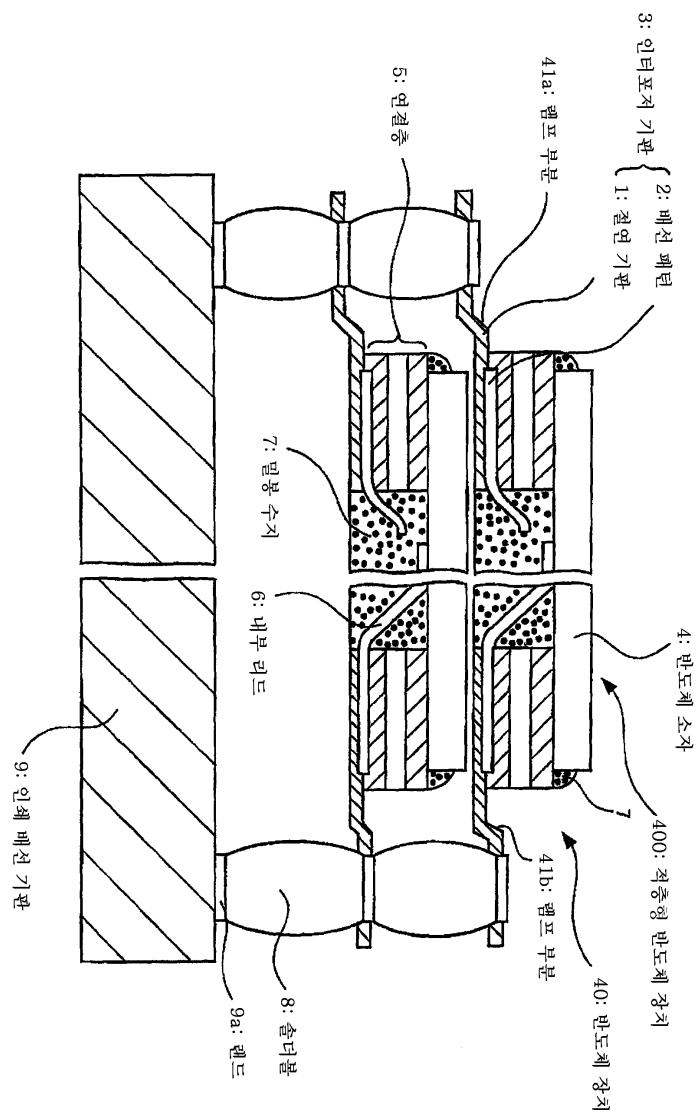




도면7

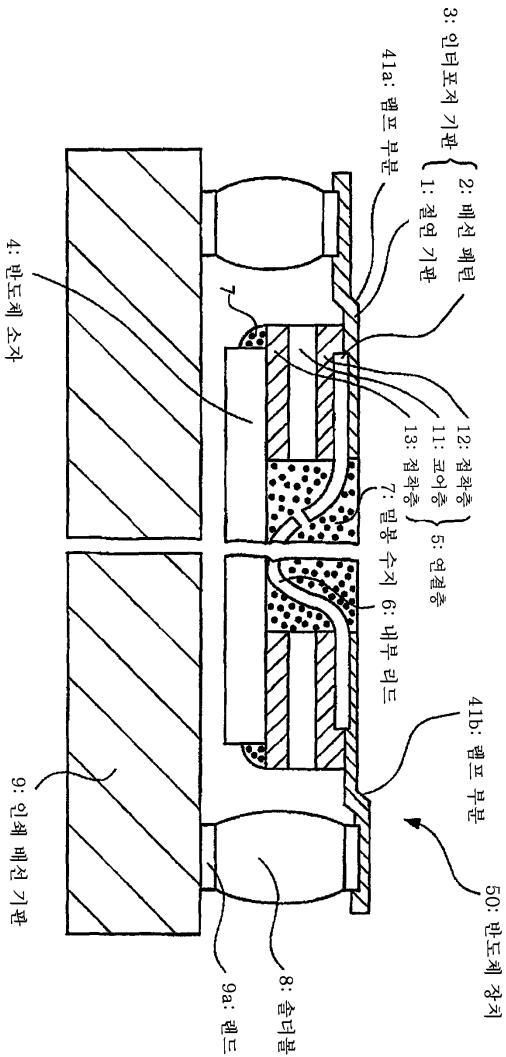


도면8

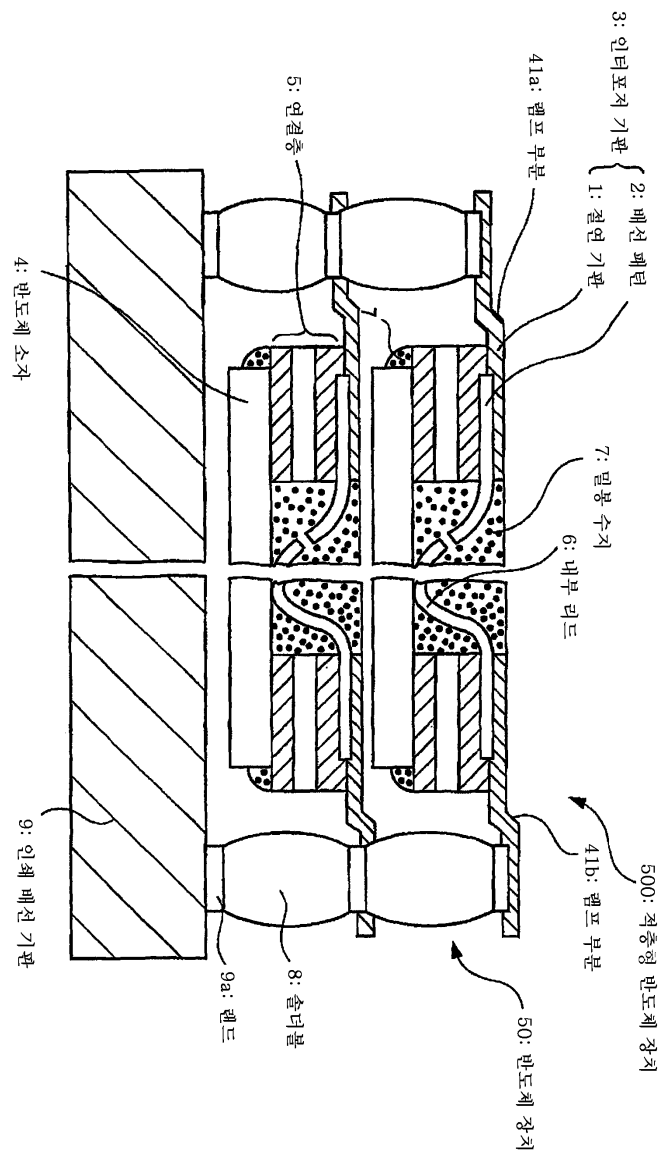




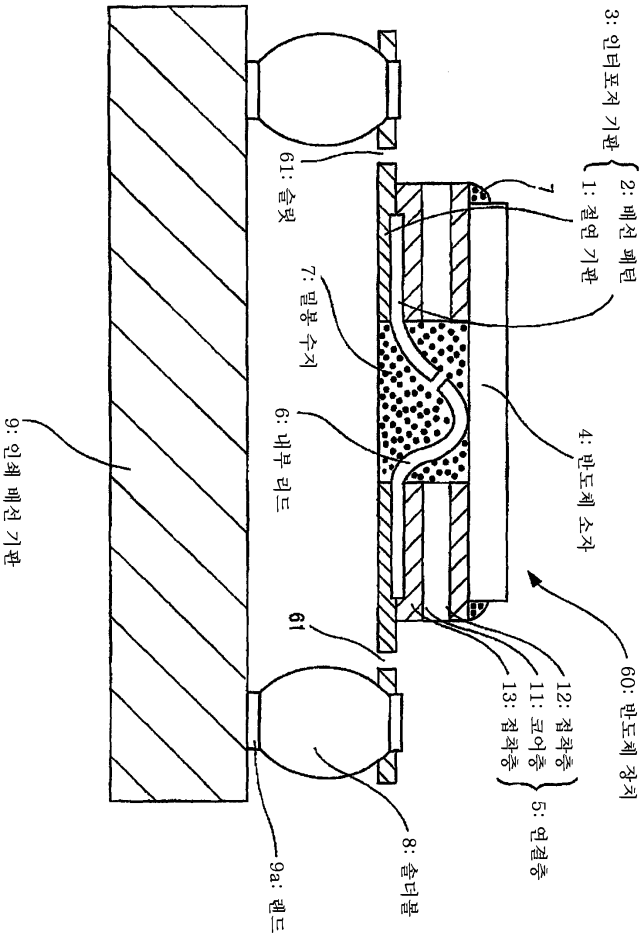
도면9



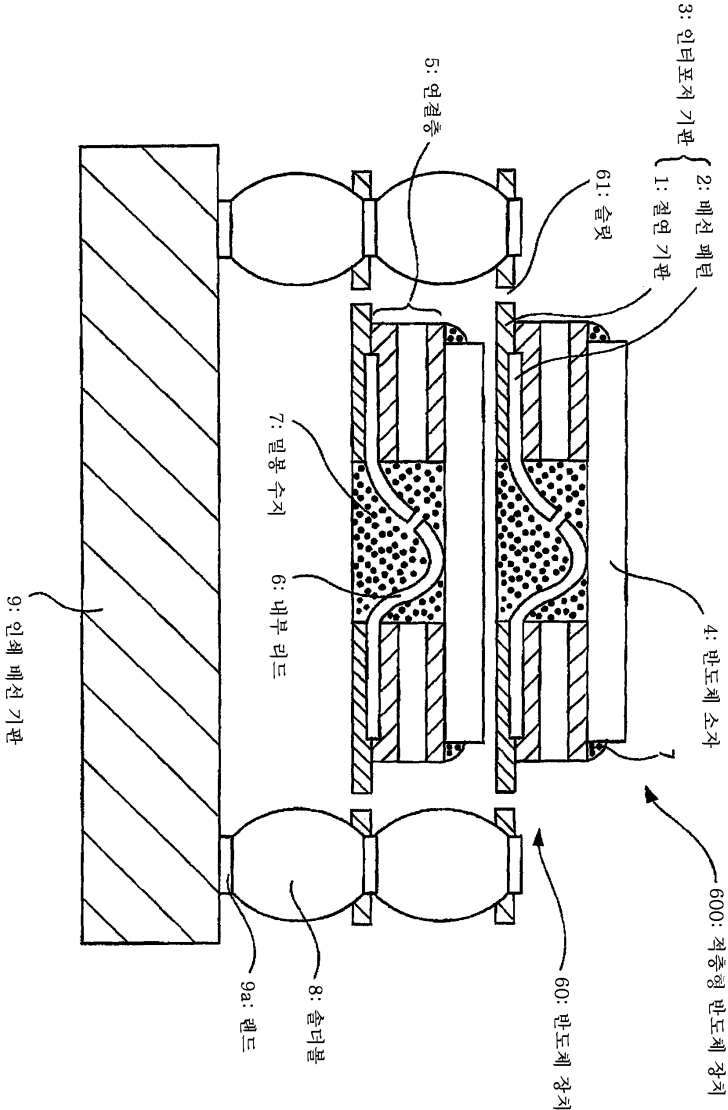
도면10



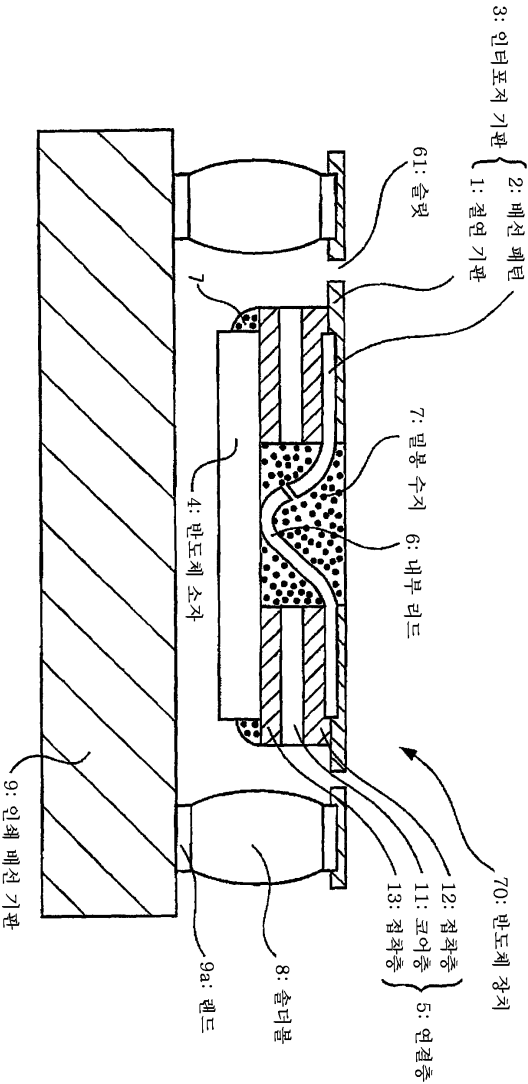
도면11



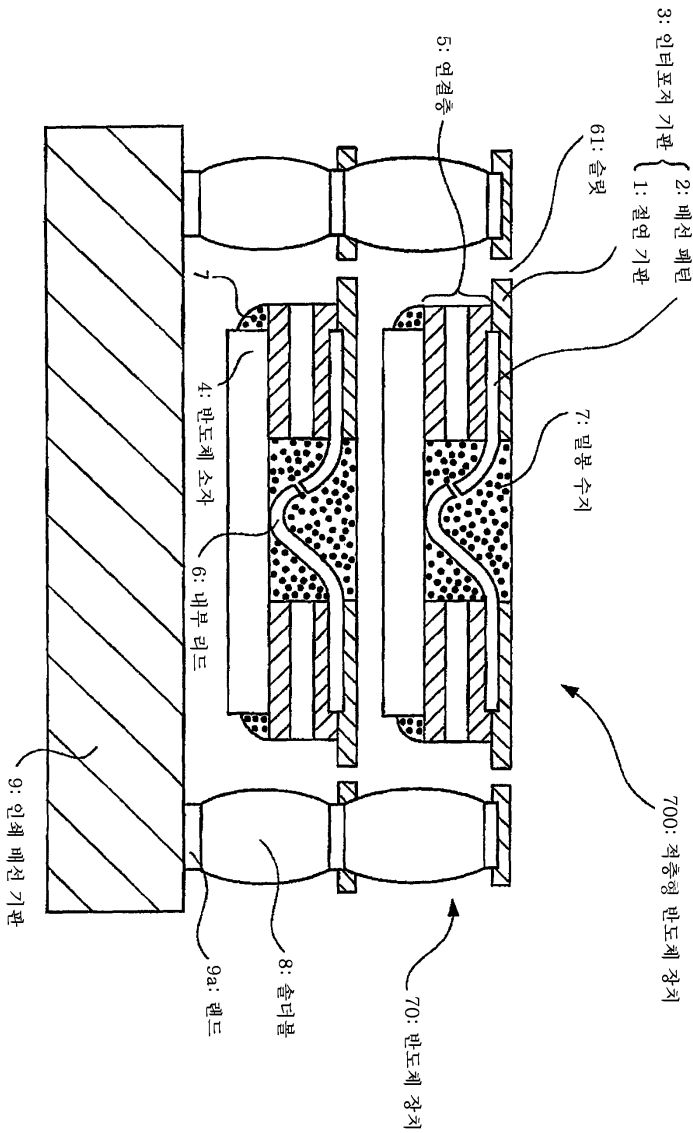
도면12



도면13

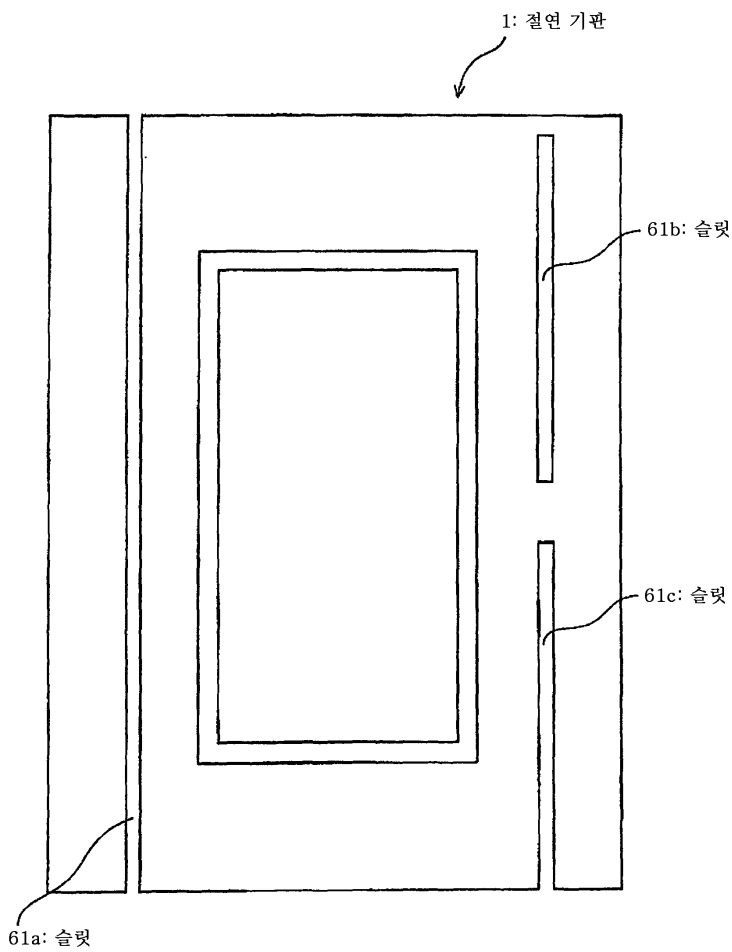


도면14

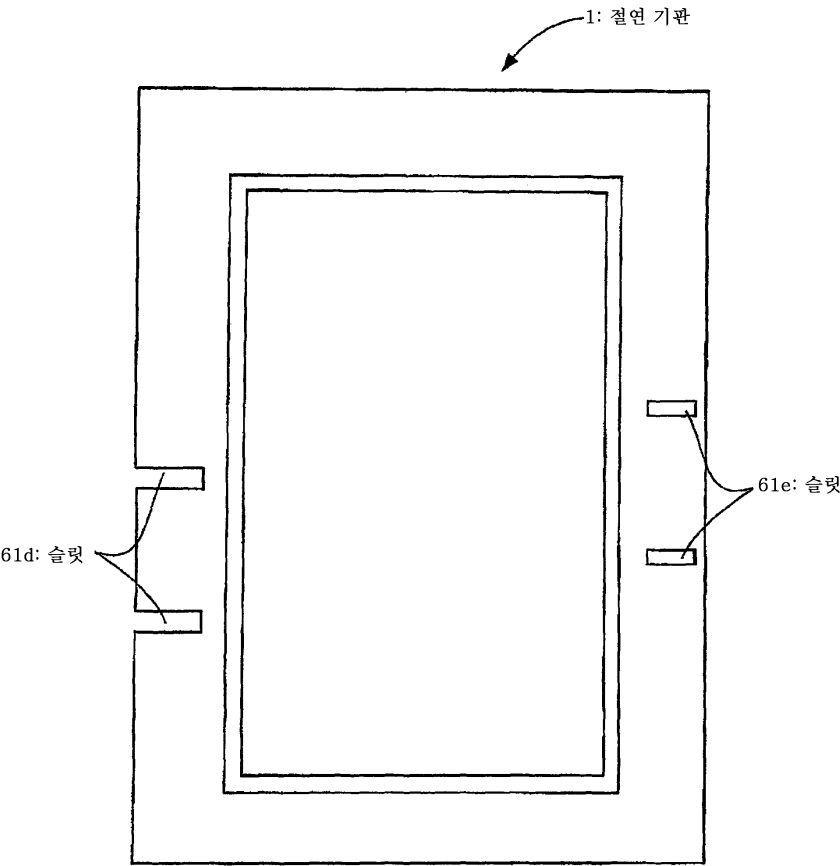




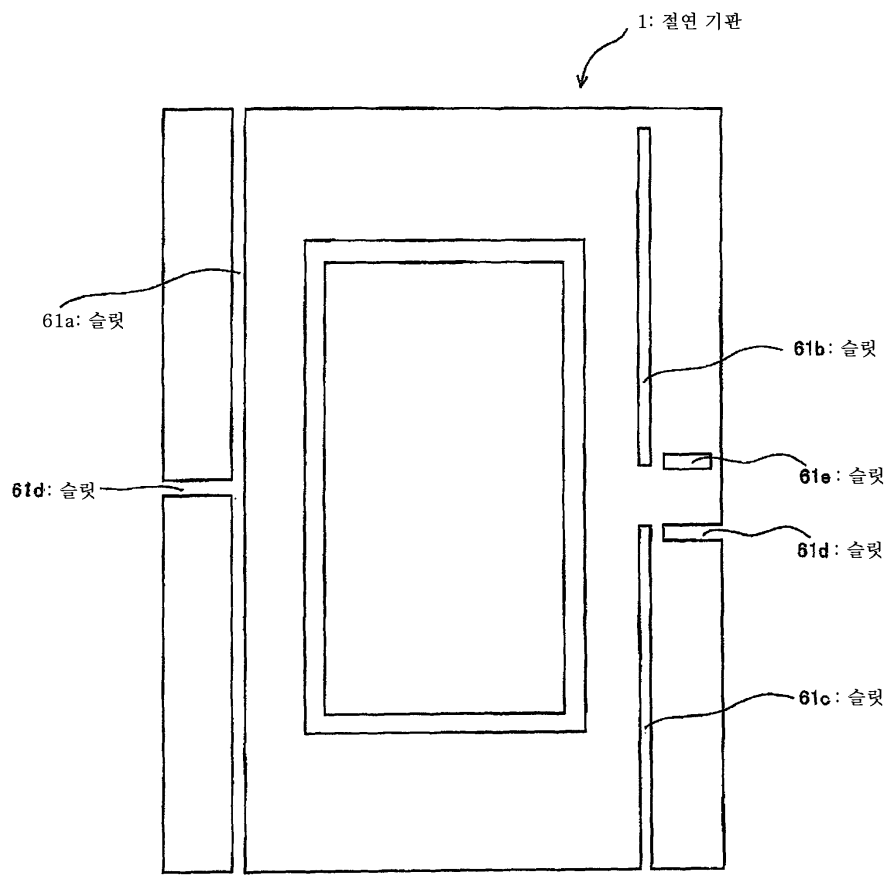
도면15



도면16



도면17



도면18

