



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월13일  
(11) 등록번호 10-1093125  
(24) 등록일자 2011년12월06일

(51) Int. Cl.

*H01L 29/78* (2006.01) *H01L 21/24* (2006.01)*H01L 21/336* (2006.01)

(21) 출원번호 10-2006-7010943

(22) 출원일자(국제출원일자) 2004년10월26일

심사청구일자 2009년08월13일

(85) 번역문제출일자 2006년06월02일

(65) 공개번호 10-2006-0115892

(43) 공개일자 2006년11월10일

(86) 국제출원번호 PCT/US2004/035408

(87) 국제공개번호 WO 2005/062387

국제공개일자 2005년07월07일

(30) 우선권주장

10/727,999 2003년12월03일 미국(US)

(56) 선행기술조사문헌

US19894885617 A1

US20026451693 A1

US19884769686 A1

전체 청구항 수 : 총 10 항

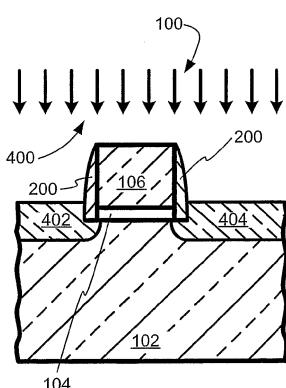
심사관 : 정두한

(54) 실리사이드 성장 도편트의 스노우플로우 효과를 이용한 디바이스 내의 계단 접합의 형성

### (57) 요 약

반도체 기판(102)을 갖는 계단 접합 디바이스(100)를 형성하는 방법(1100)이 제공된다. 게이트 유전층(104)이 반도체 기판(102) 위에 형성되고(1104), 이 게이트 유전층(104) 위에 게이트(106)가 형성된다(1106). 측벽 스페이서(200)가 게이트(106) 및 게이트 유전층(104)에 인접하는 반도체 기판(102) 위에 형성된다(1108). 측벽 스페이서(200)에 인접하는 반도체 기판(102) 위에 선택적인 에피택셜 성장에 의해 두꺼운층(300)이 형성된다(1110). 용기된 소스/드레인 도편트 주입 영역들(402, 404)이 두꺼운층(300)의 적어도 일부 내에 형성된다(1112). 실리사이드층들(602, 604)이 용기된 소스/드레인 도편트 주입 영역들(402, 404)의 적어도 일부 내에 형성되어, 실리사이드층들(602, 604) 바로 아래에, 이들 실리사이드층들(602, 604)로부터의 도편트가 풍부한 소스/드레인 영역들(606, 608)을 형성한다(1114). 실리사이드층들(602, 604) 위에 유전층(900)이 증착된 다음, 이 유전층(900) 내에 실리사이드층들(602, 604)에 대한 컨택들(1002, 1004)이 형성된다.

대 표 도 - 도4



## 특허청구의 범위

### 청구항 1

디바이스(100)를 형성하기 위한 방법(1100)으로서,

반도체 기판(102)을 제공하는 단계(1102)와;

상기 반도체 기판(102) 위에 게이트 유전층(104)을 형성하는 단계(1104)와;

상기 게이트 유전층(104) 위에 게이트(106)를 형성하는 단계(1106)와;

상기 게이트(106) 및 상기 게이트 유전층(104)에 인접하는 상기 반도체 기판(102) 위에 측벽 스페이서(200)를 형성하는 단계(1108)와;

상기 측벽 스페이서(200)에 인접하는 상기 반도체 기판(102) 위에 선택적인 에피택셜 성장에 의해, 상기 반도체 기판(102)의 높이를 소정 두께 만큼 상승시키기 위한 층(300)을 형성하는 단계(1110)와;

상기 층(300)의 적어도 일부에, 용기된 소스/드레인 도편트 주입 영역들(402, 404)을 형성하는 단계(1112)와;

상기 용기된 소스/드레인 도편트 주입 영역들(402, 404)의 적어도 일부에 실리사이드층들(602, 604)을 형성하여, 상기 실리사이드층들(602, 604) 바로 아래에, 상기 실리사이드층(602, 604)들로부터의 도편트가 풍부한 소스/드레인 영역들(606, 608)을 형성하는 단계(1114)와;

상기 실리사이드층(602, 604)들 위에 유전층(900)을 증착하는 단계(1116)와; 그리고

상기 유전층(900) 내에 상기 실리사이드층들(602, 604)에 대한 컨택들(1002, 1004)을 형성하는 단계(1118)를 포함하는 것을 특징으로 하는 디바이스 형성 방법.

### 청구항 2

제 1 항에 있어서,

상기 용기된 소스/드레인 도편트 주입 영역들(402, 404)을 형성하는 단계는 상기 층(300) 및 상기 반도체 기판(102)의 인접하는 상면에 도편트를 주입하는 단계를 더 포함하는 것을 특징으로 하는 디바이스 형성 방법.

### 청구항 3

제 1 항에 있어서,

상기 용기된 소스/드레인 도편트 주입 영역들(402, 404)에 실리사이드층들(602, 604)을 형성하는 단계는,

상기 용기된 소스/드레인 도편트 주입 영역들(402, 404) 위에 금속층들(502)을 증착하는 단계와; 그리고

상기 용기된 소스/드레인 도편트 주입 영역들(402, 404)의 물질 내로의 상기 금속층들(502)의 열 실리사이드화에 의해 실리사이드층들(602, 604)을 형성하는 단계를 더 포함하는 것을 특징으로 하는 디바이스 형성 방법.

### 청구항 4

제 1 항에 있어서,

상기 용기된 소스/드레인 도편트 주입 영역들(402, 404)에 실리사이드층들(602, 604)을 형성하여, 상기 실리사이드층들(602, 604) 바로 아래에, 상기 실리사이드층들(602, 604)로부터의 도편트가 풍부한 소스/드레인 영역들(606, 608)을 형성하는 단계는, 도편트가 풍부한 소스/드레인 영역들(606, 608)을 형성하는 단계를 더 포함하는 바, 그 도편트 프로파일(800)은 최초로 주입되었던 도편트의 프로파일(700) 보다 가파른 것을 특징으로 하는 디바이스 형성 방법.

### 청구항 5

제 1 항에 있어서,

상기 용기된 소스/드레인 도편트 주입 영역들(402, 404)을 형성하는 단계(1112)는 비소, 인, 안티몬, 봉소, 인듐 및 그들의 화합물로 이루어지는 그룹으로부터 선택되는 도편트로 상기 영역들(402, 404)을 주입하는 단계를

더 포함하고; 그리고

상기 실리사이드층들(602, 604)을 형성하는 단계(1114)는 코발트, 니켈, 티타늄, 하프늄, 백금 및 그들의 화합물로 이루어지는 그룹으로부터 선택되는 금속층(502)을 증착하는 단계를 더 포함하는 것을 특징으로 하는 디바이스 형성 방법.

### 청구항 6

반도체 기판(102)과;

상기 반도체 기판(102) 위의 게이트 유전층(104)과;

상기 게이트 유전층(104) 위의 게이트(106)와;

상기 게이트(106) 및 상기 게이트 유전층(104)에 인접하는 상기 반도체 기판(102) 위의 측벽 스페이서(200)와;

상기 측벽 스페이서(200)에 인접하는 상기 반도체 기판(102) 위에 에피택셜 성장에 의해 형성되며, 상기 반도체 기판(102)의 높이를 소정 두께 만큼 상승시키기 위한 층(300)과;

상기 층(300)의 적어도 일부 내의 실리사이드층들(602, 604)과;

상기 실리사이드층들(602, 604) 바로 아래의, 상기 실리사이드층들(602, 604)로부터의 도편트가 풍부한 소스/드레인 영역들(606, 608)과;

상기 실리사이드층들(602, 604) 위의 유전층(900)과; 그리고

상기 유전층(900) 내의 상기 실리사이드층들(602, 604)에 대한 컨택들(1002, 1004)을 포함하는 것을 특징으로 하는 디바이스(100).

### 청구항 7

제 6 항에 있어서,

상기 층(300) 및 상기 반도체 기판(102)의 인접하는 상면은 도편트 주입 영역들(402, 404)인 것을 특징으로 하는 디바이스(100).

### 청구항 8

제 6 항에 있어서,

상기 층(300) 내의 상기 실리사이드층들(602, 604)은, 상기 층(300) 위에 증착되는 금속층들(502)을 도편트 주입된 상기 층(300) 내로 열 실리사이드화시킴으로써 형성되는 실리사이드층들(602, 604)인 것을 특징으로 하는 디바이스(100).

### 청구항 9

제 6 항에 있어서,

상기 실리사이드층들(602, 604)로부터의 도편트가 풍부한 상기 소스/드레인 영역들(606, 608)은, 상기 실리사이드층들(602, 604)로부터의 도편트가 풍부하지 않은 도편트 프로파일(700) 보다 가파른 도편트 프로파일(800)을 갖는 것을 특징으로 하는 디바이스(100).

### 청구항 10

제 6 항에 있어서,

상기 도편트는 비소, 인, 안티몬, 봉소, 인듐 및 그들의 화합물로 이루어지는 그룹으로부터 선택되는 물질이며; 그리고

상기 실리사이드층들(602, 604)은 코발트, 니켈, 티타늄, 하프늄, 백금 및 그들의 화합물로 이루어지는 그룹으로부터 선택되는 금속(502)의 실리사이드인 것을 특징으로 하는 디바이스(100).

## 명세서

## 기술 분야

[0001]

본 발명은 일반적으로 반도체 기술에 관한 것으로서, 특히 실리사이드 성장 도편트의 스노우플로우 효과(snowplow effect)에 의해 계단 접합을 형성하기 위한 반도체 디바이스에 있어서의 실리사이딩(siliciding)에 관한 것이다.

## 배경 기술

[0002]

집적 회로는 수백개 내지 수백만개의 개별적인 구성 요소들로 이루어진다. 하나의 공통적인 구성 요소는 반도체 트랜지스터이다. 현재 이용되고 있는 가장 공통적이고 중요한 반도체 기술은 실리콘 기반이며, 가장 선호되는 실리콘 기반 반도체 디바이스는 금속 산화물 반도체("MOS") 트랜지스터이다.

[0003]

트랜지스터는 실리콘 기판 윗쪽의 게이트 유전층 위의 게이트 전극(대개 폴리실리콘)을 포함한다. 폴리실리콘 게이트 양측 상의 실리콘 기판은 그 실리콘 기판의 표면 내로의 붕소 또는 인 또는 다른 불순물 원자들의 이온 주입에 의해 도핑되어, 도전성이 된다. 실리콘 기판의 이러한 도핑 영역들은 "얕은(shallow) 소스/드레인 접합들"이라 불리는 바, 이들은 폴리실리콘 게이트 바로 아래의 채널 영역에 의해 분리된다.

[0004]

"측벽 스페이서"라 불리는, 실리콘 산화물 또는 실리콘 나이트라이드 스페이서는 부가적인 도핑의 증착을 가능하게 하여, 얕은 소스/드레인 접합들의 보다 과도핑(heavily doping)된 영역들을 형성할 수 있게 하는 바, 이들은 "깊은(deep) 소스/드레인 접합들"이라 불린다. 이러한 얕은 그리고 깊은 소스/드레인 접합들은 접합적으로 "S/D 접합들"이라 불린다.

[0005]

트랜지스터를 완성하기 위해, 실리콘 산화물 유전층이 증착되어, 게이트, 스페이서 및 실리콘 기판을 덮는다. 트랜지스터에 대한 전기적인 접속부들을 제공하기 위해, 폴리실리콘 게이트 및 S/D 접합들에 대한 실리콘 산화물 유전층 내에 개구부들이 식각된다. 이 개구부들은 금속으로 채워져, 전기적인 컨택들을 형성한다. 집적 회로를 완성하기 위해, 이러한 컨택들은 유전 물질 외부의 부가적인 레벨의 유전 물질의 부가적인 레벨의 배선에 연결된다.

[0006]

트랜지스터들의 사이즈가 감소함에 따라, 금속 컨택과 실리콘 기판 또는 폴리실리콘 간의 전기 저항은, 트랜지스터들의 성능에 부정적인 영향을 미치는 레벨로 증가한다는 것을 발견하였다. 이러한 전기 저항을 낮추기 위해, 전이 물질(transition material)이 금속 컨택들과 실리콘 기판 또는 폴리실리콘 사이에 형성된다. 최상의 전이 물질들은 코발트 실리사이드( $\text{CoSi}_2$ ) 및 니켈 실리사이드( $\text{NiSi}_2$ )인 것으로 발견되었다.

[0007]

이러한 실리사이드들은 먼저 S/D 접합들 및 폴리실리콘 게이트들 윗쪽의 반도체 기판 위에 코발트(Co) 또는 니켈(Ni)의 얇은 층을 도포함으로써 형성된다. 반도체 웨이퍼에는  $800^\circ\text{C}$  미만의 온도에서 1개 또는 그 이상의 어닐링 단계들이 행해지며, 이에 의해 코발트 또는 니켈은 실리콘 및 폴리실리콘과 선택적으로 반응하여 금속 실리사이드를 형성한다. 이러한 공정은 일반적으로 "실리사이딩"이라 불린다.

[0008]

집적 회로들의 복잡성 및 실장 밀도가 계속하여 증가함에 따라, 이러한 집적 회로들에 이용되는 트랜지스터들도 그에 따라 끊임없이 보다 작게 제조되었다. 이들 트랜지스터들은 p-n 접합들을 이용하는 바, 이러한 접합들은 선택된 영역들 내에 1개 또는 그 이상의 도편트 종을 제어 도입하여 반도체 기판에 형성된다. 현대의 규모가 감소된 고성능의 디바이스들은, 이러한 접합들이 얇고 가파르게 될 것을 요구한다.

[0009]

이러한 접합들이 이온 주입에 의해 형성될 때, 이들은 이온 주입 파라미터들 및 기판 특성에 의해 결정되는 기판 내에서의 이온 분포 패턴들 또는 프로파일들을 갖는다. 이러한 이온 주입 분포는 그들의 에지들에 있어서 한정된(즉, 제한된) 가파름(sharpness) 또는 계단상(abruptness)을 갖는다. 이후, 이러한 계단상은, 기판 내에서 도편트를 전기적으로 활성화시키기 위해 도편트를 열 어닐링할 때에 무뎌지게 된다. 도편트 프로파일의 이러한 한정된 계단상, 특히 도편트 프로파일의 활성 부분의 한정된 계단상은 이러한 디바이스들의 확장성을 매우 작은 사이즈로 제한하게 된다.

[0010]

소스 접합 및 드레인 접합에서의 활성화된 도편트 프로파일을 가파르게 하기 위한 다양한 방법들이 제안되어 있다. 이들은 도핑된 영역의 프리 아몰파이즈(preamorphize)된 부분의 고상 에피택셜 재성장 뿐 아니라, 레이저에 의한 이 영역의 얇고 신속한 용해(melting)를 포함한다. 양쪽 모두의 경우, 접합에서 달성되는 활성 도편트 프로파일들은 최초로 주입된 프로파일들 보다 가파르게 될 수 있다. 하지만, 이것들은 고유의 제한들을 갖는 복잡한 공정들이며, 보다 우수하고 개선된 해결책들에 대한 요구를 완전히 충족시키지 못한다.

[0011]

이러한 문제들에 대한 해결책을 오랫동안 찾고자 하였으나, 종래의 기술로는 어떠한 해결책도 교시 또는 제안하

지 못하였으며, 이에 따라 당업자들은 이러한 문제들에 대한 해결책을 찾지 못하였다.

### 발명의 상세한 설명

[0012] 본 발명은 계단 접합을 갖는 디바이스 및 그 형성 방법을 제공한다. 게이트 유전층이 반도체 기판 위에 형성되고, 이 게이트 유전층 위에 게이트가 형성된다. 측벽 스페이서가 게이트 및 게이트 유전층에 인접하는 반도체 기판 위에 형성된다. 측벽 스페이서에 인접하는 반도체 기판 위에 선택적인 에피택셜 성장에 의해 두꺼운층(thickening layer)이 형성된다. 융기된(raised) 소스/드레인 도편트 주입 영역들이 두꺼운층의 적어도 일부 내에 형성된다. 실리사이드층들이 융기된 소스/드레인 도편트 주입 영역들의 적어도 일부 내에 형성되어, 실리사이드층들 바로 아래에, 이들 실리사이드층들로부터의 도편트가 풍부한 소스/드레인 영역들을 형성한다. 실리사이드층들 위에 유전층이 증착된 다음, 이 유전층 내에 실리사이드층들에 대한 컨택들이 형성된다. 이에 따라, 본 발명의 방법은 계단형의 얇고 고 농도의 집적 회로 소스 및 드레인 접합들을 형성하기 위한 매우 효율적이고 경제적인 이온 주입 및 실리사이딩 방법을 제공한다.

[0013] 본 발명의 임의의 실시예들은 상기 설명한 것들에 부가하여 또는 이들을 대신하여 다른 장점들을 갖는다. 이러한 장점들은 도면을 참조하여 하기의 상세한 설명을 숙독함으로써 당업자에게 명백해질 것이다.

### 실시 예

[0025] 하기의 설명에서는, 본 발명을 철저하게 이해할 수 있도록 하기 위해 많은 특정 세부사항들을 제공한다. 하지만, 본 발명이 이러한 특정의 세부사항들 없이도 실행될 수 있음이 명백할 것이다. 본 발명을 애매하게 하는 것을 피하기 위해, 일부 잘 알려진 회로들 및 공정 단계들에 대해서는 상세히 설명하지 않는다. 또한, 장치의 실시예들을 나타내는 도면들은 반 도식적(semi-diagrammatic)이고, 그 규모대로 그려지지 않았으며, 특히 일부 치수들은 제시를 명확하게 하기 위한 것이며 도면에서 과장되어 나타나 있다. 동일한 부호들이 모든 도면들에서 이용되어, 동일한 요소들에 관련된다.

[0026] 여기에서 이용되는 용어 "수평"은 기판 또는 웨이퍼에 평행한 평면으로서 정의된다. 용어 "수직"은 방금 정의된 수평에 수직하는 방향을 말한다. "상의(on)", "윗쪽의(above)", "아래(below)", "하부(bottom)", "상부(top)", ("측벽"에서와 같은) "측(side)", "보다 높은", "보다 낮은", "위에" 및 "아래" 등의 용어들은 수평면에 대해 정의된다.

[0027] 집적 회로 디바이스들의 제조에 있어서, 스케일된(scaled) 디바이스의 소스/드레인("S/D") 접합들은 매우 얕다. 따라서, 고성능이 가능하기 위해서는, 이들은 매우 가파른 도편트 프로파일을 가질 필요가 있다. 본원에서 교시되는 바와 같이, 최초로 주입된 도편트들의 프로파일들 보다 가파른 도편트 프로파일들이 생성될 수 있다는 것을 발견하였다.

[0028] 본 발명에 의해 교시되는 바와 같이, 성장하는 실리사이드로부터의 도편트 거부(dopant rejection)가 도편트 프로파일을 가파르게 하는 데에 이용된다. 보다 구체적으로, 실리사이드는 S/D 접합 주입된 영역들의 실리콘 내에 성장된다. 실리사이드가 실리콘 내에 성장할 때, 실리사이드는 실리콘 내의 도편트를 거부하고, 그 도편트를 그 실리사이드의 정면(front)을 따라 밀어낸다. 이러한 도편트의 거부는 실리사이드에 있어서의 도편트들의 제한된 고체 용해도(solid solubility) 및 실리사이드-실리콘 계면에 있어서의 관련된 분리에 의한 것이다.

[0029] 일 실시예에서는, 선택적인 에피택셜 성장(SEG 또는 epi)에 의해 처음으로 두껍게 되는 S/D 영역들을 갖는 트랜지스터가 형성된다. 이후, S/D 영역들이 이들을 최초의 원하는 농도의 도편트, 예를 들어 비소(As) 또는 봉소(B)를 주입함으로써 상기 두꺼운 S/D 영역들 내에 형성된다. 일부 도편트는, epi 층 위에 실리사이드, 예를 들어 코발트 실리사이드(CoSi<sub>2</sub>) 또는 니켈 실리사이드(NiSi)를 성장시킴으로써 스노우플로우된다. 실리사이드가 실리콘 내로 아랫쪽으로 성장함에 따라, 이것은 그 정면에서 실리콘 내에 과도한 도편트를 주입한다.

[0030] 도 1은 반도체 디바이스, 특히 본 발명에 따른 제조의 중간 단계에서의 트랜지스터(100)를 나타낸다.

[0031] 이러한 중간 단계를 형성하기 위해, 실리콘 산화물 등의 게이트 유전층 및 폴리실리콘 등의 도전성 게이트층이 실리콘 등의 물질로 된 반도체 기판(102) 위에 증착된다. 이 층들은 패터닝되고 식각되어, 게이트 유전층(104) 및 게이트(106)를 형성한다.

[0032] 도 2는 측벽 스페이서(200)를 형성하기 위해, 전형적으로 실리콘 나이트라이드로 된 측벽 스페이서층을 증착 및 식각한 이후의 도 1의 구조를 나타낸다. 이 측벽 스페이서(200)는 epi가 S/D 영역들(606 및 608)(도 6 참조) 및 게이트(106)를 단락시키는 것을 막는다(다음 절 참조). 알 수 있는 바와 같이, 측벽 스페이서(200)는 상당히 얇

으며, 이에 따라 (도 6에 나타낸 바와 같이) S/D 영역들(606 및 608)은 게이트(106)의 에지와 매우 가까울 수 있다.

[0033] 도 3은 측벽 스페이서(200) 및 게이트(106)에 인접하는 반도체 기판(102)의 표면에 두꺼운 층(300)을 SEG에 의해 형성한 이후의 도 2의 구조이다. 두꺼운 층(300)은 측벽 스페이서(200) 및 게이트(106)에 인접하는 반도체 기판의 표면의 레벨 또는 높이를 들어올림으로써, 측벽 스페이서(200) 및 게이트(106)에 인접하는 용기된 구조를 형성한다.

[0034] 도 4는 이러한 용기된 구조를 형성하기 위한 도편트 이온 주입(400)이 행해지는 동안의 도 3의 구조를 나타낸다. 특히, 도편트 이온 주입(400)은 두꺼운 층(300)(도 3) 내에 그리고 반도체 기판(102)의 인접하는 상부에, 용기된 S/D 도편트 주입 영역들(402 및 404)을 형성한다. 게이트(106) 및 측벽 스페이서(200)는 용기된 S/D 도편트 주입 영역들(402 및 404)을 형성하기 위한 마스크의 역할을 한다. 도편트 이온 주입(400) 이후, 용기된 S/D 도편트 주입 영역들(402 및 404)에 있어서 주입된 불순물 원자들을 활성화시키기 위한 고온(예를 들어, 700 °C 이상) 어닐링이 행해진다.

[0035] 용기된 S/D 도편트 주입 영역들(402 및 404)에 대해 이용될 수 있는 도편트들은 NMOS 디바이스를 위한 비소(As), 인(P), 안티몬(Sb), 그리고 PMOS 디바이스를 위한 붕소(B) 및 인듐(In)을 포함한다.

[0036] 도 5는 게이트(106) 및 용기된 S/D 도편트 주입 영역들(402 및 404) 위에 각각 금속층(502)을 형성하는 증착 공정(500)을 나타낸다. 예를 들어, 그리고 도편트들의 선택에 따라 적절한 것으로서, 금속층(502)은 코발트(Co), 니켈(Ni), 티타늄(Ti), 하프늄(Hf) 및 백금(Pt)으로 형성될 수 있다.

[0037] 도 6은 본 발명에 따른 실리사이드층들(600, 602 및 604)의 형성을 나타낸다. 이들 실리사이드층들(600, 602 및 604)은 게이트(106) 및 용기된 S/D 도편트 주입 영역들(402(도 5) 및 404(도 5)) 각각의 실리콘 물질 내에 금속층(502)(도 5)을 열 실리사이드화(thermal silicidation)시킴으로써 형성된다. 열 실리사이드화 어닐이후, 금속층(502)으로부터 남는 임의의 잔여 금속이 통상의 방식으로 식각되어 제거된다.

[0038] 실리사이드가 상기 용기된 S/D 도편트 주입 영역들(402 및 404) 내로 아랫쪽으로 성장함에 따라, 이전의 도편트 이온 주입(400)(도 4)으로부터의 과도한 도편트를, 아랫쪽으로 성장하는 실리사이드층들(602 및 604)의 정면에서 실리콘 내로 주입시킨다. 이는, 실리사이드에 있어서의 도편트의 용해도가 실리콘에 있어서의 도편트의 용해도 보다 훨씬 작기 때문에 일어난다. 결과로서, 실리사이드층들(602 및 604) 바로 아래의, S/D 도편트 주입 영역들(402 및 404)의 나머지 부분들은 도편트가 상당히 풍부하게 된다. 이렇게 되면, 실리사이드층들(602 및 604) 바로 아래의, S/D 도편트 주입 영역들(402 및 404)의 이러한 나머지 부분들은 트랜ジ스터(100)를 위한 각각의 S/D 영역들(606 및 608)이 된다.

[0039] S/D 영역들(606 및 608)은, 실리사이드층들로부터의 도편트들이 상당히 풍부해질 뿐 아니라, 매우 얇아지게 되는 장점을 갖는다. 이에 따라, 이들은 최초에 주입 및 어닐링되었던 도편트의 프로파일 보다 가파른, 그리고 실리사이드층들로부터의 도편트가 풍부하지 않은 도편트 프로파일 보다 가파른, 계단상의 매우 가파른 도편트 프로파일을 제시한다. 이러한 보다 가파른 도편트 프로파일이, 얇은 스케일된 디바이스에 있어서 고성능을 가능하게 하기 위해 요구되는 도편트 프로파일이다.

[0040] 도 7은 용기된 S/D 도편트 주입 영역들(402 및 404)에 최초로 주입 및 어닐링되었던 도편트 농도의 프로파일(700)의 그래프 표현을 나타낸다. 통상적으로 이해되는 바와 같이, ("conc"로 라벨이 붙은) 수직축은 도편트 농도를 나타내고, ("d"로 라벨이 붙은) 수평축은 용기된 S/D 도편트 주입 영역들(402 및 404)의 표면 아래의 깊이를 나타낸다.

[0041] 도 8은, 도 7과 유사한, 실리사이드층들(602 및 604) 및 S/D 영역들(606 및 608)을 형성한 다음의 도편트 농도의 프로파일(800)의 그래프 표현을 나타낸다.

[0042] 일 실시예에서, 도 6과 관련하여 설명된 실리사이드화는, S/D 영역들(606 및 608) 내로의 도편트 분리 또는 플로잉 효과(plowing effect)가 S/D 영역들(606 및 608)의 실리콘 그 자체 내에서의 임의의 도편트 확산을 억제(dominate)하기에 충분히 낮은 온도에서 행해진다. 이는 S/D 영역들(606 및 608)에 있어서의 도편트 프로파일을 보존하고 가파르게 한다. 실제로, 실리사이드화 온도를 충분히 낮게 유지함으로써, S/D 영역들 및 인접하는 실리콘 기판 내에서의 도편트 확산은 본질적으로 존재하지 않도록 유지될 수 있다.

[0043] 두꺼운 층(300)(도 3)의 epi 증착에 의해, 실리사이드층들(602(도 6) 및 604(도 6))이 훨씬 더 두꺼워질 수 있게 되어, 기생 S/D 저항을 작게 할 수 있다. 이에 따라, 바람직하게는, 대응하게 두꺼운 실리사이드를 생성하기 위

해서는, epi 증착이 가능한 한 두꺼워야 한다. 한편, epi 증착은 너무 두꺼워서는 안되는데, 그렇지 않으면 게이트(106)에 의한 과도한 캐페시턴스를 생성할 수 있다.

[0044] 실리사이드가 성장할 때, 그 정면에서 실리콘 내로 적절한 것 이상의 과도한 도편트를 주입할 수 있다는 것이 본 발명의 장점으로 여겨지고 있다. 이는 또한 그 정면에서 실리콘 내에 베이컨시(vacancy)를 주입할 수 있는 바, 이러한 베이컨시는 실리콘 격자의 대체 사이트(substitutional site)에서 도편트가 종결(ending up)되어 활성화될 수 있는 기회를 개선한다. 결과적으로, 보다 가파르고 보다 풍부한 도편트 프로파일을 얻을 수 있을 뿐만 아니라, 도편트 활성화 역시 보다 완전해질 수 있게 된다.

[0045] 도 9는 실리사이드층들(600, 602 및 604) 및 측벽 스페이서(200) 위에 유전층(900)이 증착된 이후의 도 6의 구조를 나타낸다. 유전층(900)은 기존의 방식으로 증착되며, 예를 들어 응용하기에 적절한 유전 상수를 갖는 적절한 기존의 물질로 이루어질 수 있다.

[0046] 도 10은 금속 컨택들(1000, 1002 및 1004)을 형성한 이후의 도 9의 구조를 나타낸다. 이를 금속 컨택들(1000, 1002 및 1004)은 실리사이드층들(600, 602 및 604) 각각 및 게이트(106) 및 S/D 영역들(606 및 608) 각각에 전기적으로 연결된다.

[0047] 다양한 실시예들에서, 금속 컨택들(1000, 1002 및 1004)은 탄탈륨(Ta), 티타늄(Ti), 텉스텐(W) 등의 금속, 그들의 합금 및 그들의 화합물로 이루어진다. 다른 실시예들에서, 금속 컨택들(1000, 1002 및 1004)은 구리(Cu), 금(Au), 은(Ag) 등의 금속, 그들의 합금, 그들의 화합물 및 그들 주위에 확산 장벽을 갖는 상기 요소들중 하나 또는 그 이상을 갖는 그 결합으로 이루어진다.

[0048] 도 11은 본 발명에 따른 방법(1100)의 단순화된 흐름도이다. 이 방법(1100)은 반도체 기판을 제공하는 단계(1102)와; 상기 반도체 기판 위에 게이트 유전층을 형성하는 단계(1104)와; 상기 게이트 유전층 위에 게이트를 형성하는 단계(1106)와; 상기 게이트 및 상기 게이트 유전층에 인접하는 상기 반도체 기판 위에 측벽 스페이서를 형성하는 단계(1108)와; 상기 측벽 스페이서에 인접하는 상기 반도체 기판 위에 선택적인 에피택셜 성장에 의해 두꺼운층을 형성하는 단계(1110)와; 상기 두꺼운층의 적어도 일부에, 융기된 소스/드레인 도편트 주입 영역들을 형성하는 단계(1112)와; 상기 융기된 소스/드레인 도편트 주입 영역들의 적어도 일부에 실리사이드층들을 형성하여, 상기 실리사이드층들 바로 아래에, 상기 실리사이드층들로부터의 도편트가 풍부한 소스/드레인 영역들을 형성하는 단계(1114)와; 상기 실리사이드층들 위에 유전층을 증착하는 단계(1116)와; 그리고 상기 유전층 내에 상기 실리사이드층들에 대한 컨택들을 형성하는 단계(1118)를 포함한다.

[0049] 따라서, 본 발명은 많은 장점들을 제공한다는 것을 알게 되었다. 예를 들어, 본 발명은 계단형의 가파르고 고농도의 집적 회로 소스 및 드레인 접합들을 형성하기 위한 매우 효율적이고 경제적인 이온 주입 및 실리사이딩 방법을 제공한다.

[0050] 다른 장점은, 실리사이드가 성장할 때 그리고 그 정면에서 실리콘 내에 과도한 도편트를 주입할 때, 베이컨시를 또한 주입함으로써, 도편트가 실리콘 격자의 대체 사이트에서 종결되어 활성화되는 기회를 개선할 수 있다는 것이다.

[0051] 따라서, 본 발명의 방법 및 결과적인 구조들은 실리사이드 성장 도편트 스노우플로우 효과를 이용하여 집적 회로 디바이스들 내에 계단 접합을 형성하기 위한 중요하고 지금까지 이용가능하지 않았던 해결책, 성능 및 기능적인 장점들을 제공한다는 것을 알게 되었다.

[0052] 이해될 사항으로서, 본 발명이 특정의 최상의 방법과 관련하여 설명되었지만, 상기 설명에 비추어 당업자에게 많은 대안들, 변경들 및 변형들이 명백해질 것이다. 따라서, 본 발명은 첨부된 특허 청구의 범위에 포함되는 이러한 모든 대안들, 변경들 및 변형들을 포괄하는 것으로 의도된다. 지금까지 본원에서 설명되거나 또는 첨부 도면들에 나타낸 모든 것들은 예시적이고 비한정적인 의미로 해석되어야 한다.

## 도면의 간단한 설명

[0014] 도 1은 본 발명에 따른 제조의 중간 단계에서의 트랜지스터의 단면도이다.

[0015] 도 2는 측벽 스페이서를 형성하기 위한 증착 및 식각 이후의 도 1의 구조이다.

[0016] 도 3은 반도체 기판의 표면에 두꺼운층을 형성한 이후의 도 2의 구조이다.

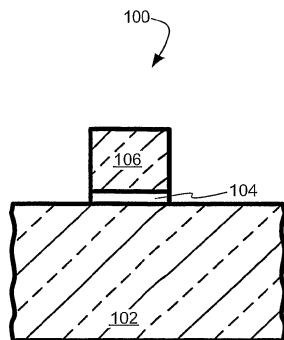
[0017] 도 4는 두꺼운층 및 반도체 기판의 인접하는 상부에, 융기된 소스/드레인 도편트 주입된 영역들을 형성하는 동

안의 도 3의 구조이다.

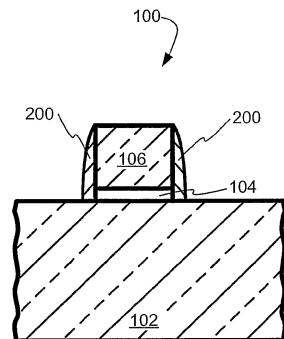
- [0018] 도 5는 용기된 소스/드레인 도펀트 주입된 영역들 및 게이트 위에 금속충들을 형성하는 동안의 도 4의 구조이다.
- [0019] 도 6은 실리사이드충들을 형성하는 동안의 도 5의 구조이다.
- [0020] 도 7은 최초로 주입된 도펀트 농도의 프로파일의 그래프 표현이다.
- [0021] 도 8은 실리사이드충들 및 소스/드레인 영역들을 형성한 다음의 도펀트 농도의 프로파일의 그래프 표현이다.
- [0022] 도 9는 실리사이드 및 측벽 스페이서 위에 유전충을 증착한 이후의 도 6의 구조이다.
- [0023] 도 10은 금속 컨택들을 형성한 이후의 도 9의 구조이다.
- [0024] 도 11은 본 발명에 따라 디바이스를 형성하는 방법의 단순화된 흐름도이다.

## 도면

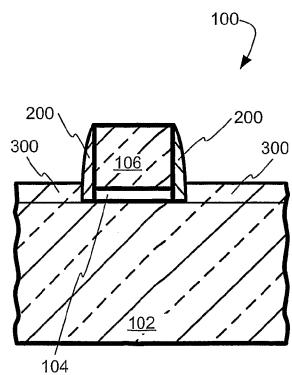
### 도면1



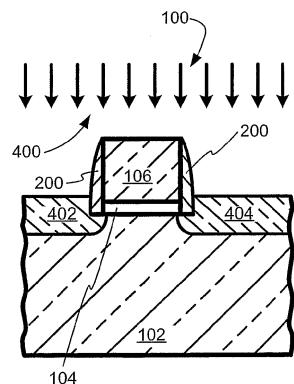
### 도면2



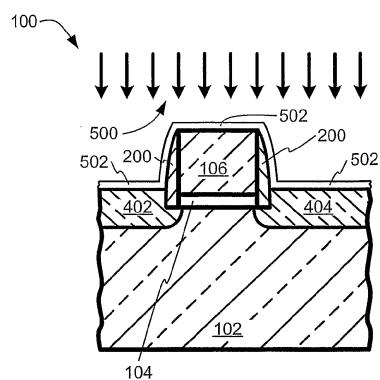
도면3



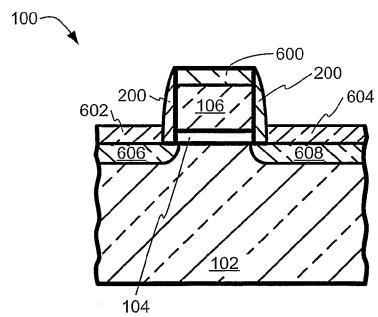
도면4



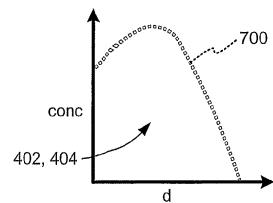
도면5



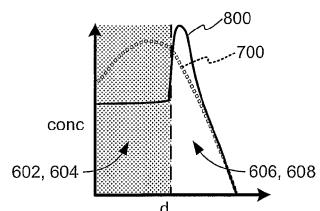
도면6



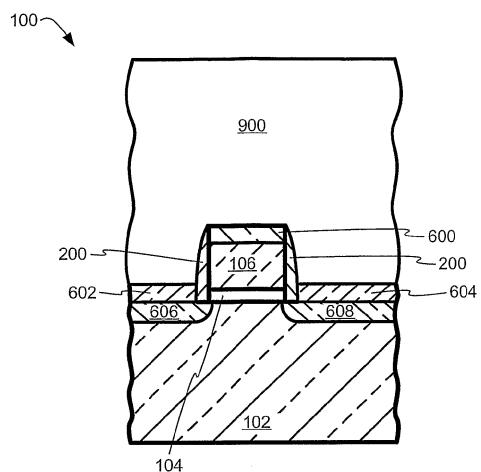
도면7



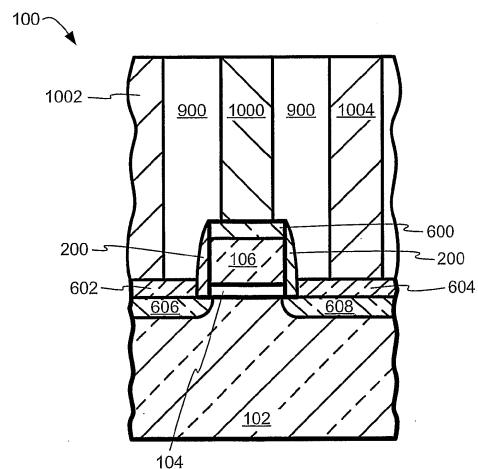
도면8



도면9



도면10



도면11

