

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(10) 국제공개번호
WO 2011/122856 A2

PCT

(43) 국제공개일
2011년 10월 6일 (06.10.2011)

(51) 국제특허분류:

H01L 31/09 (2006.01) H01L 27/14 (2006.01)
H01L 31/102 (2006.01) H01L 27/15 (2006.01)

(21) 국제출원번호:

PCT/KR2011/002192

(22) 국제출원일:

2011년 3월 30일 (30.03.2011)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2010-0028869 2010년 3월 30일 (30.03.2010) KR
10-2010-0028868 2010년 3월 30일 (30.03.2010) KR

(71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): **이화여자대학교 산학협력단 (EWha University - Industry Collaboration Foundation)** [KR/KR]; 서울 서대문구 대현동 11-1 이화여자대학교 내, 120-750 Seoul (KR).

(72) 발명자: **김**

(75) 발명자/출원인 (US 에 한하여): **박일홍 (PARK, Il Hung)** [KR/KR]; 경기도 성남시 분당구 수내 1 동 양지마을 금호아파트 306 동 1604 호, 463-920 Gyeonggi-do (KR). **이직 (LEE, Jik)** [KR/KR]; 서울 강동구 명일 1 동 251-1 번지 명일 현대아파트 102 동 904 호, 134-828 Seoul (KR). **남지우 (NAM, Ji Woo)** [KR/KR]; 서울 종로구 무악동 무악현대아파트 110 동 901 호, 110-797 Seoul (KR). **이혜영 (LEE, Hye Young)** [KR/KR]; 충청북도 청원군 강외면 오송리 재원아파트 1006 호, 363-954 Chungcheongbuk-do (KR).

(74) 대리인: **특허법인 엠에이피에스 (MAPS INTELLECTUAL PROPERTY LAW FIRM)**; 서울 강남구 신사동 587-23 성도빌딩 11 층, 135-747 Seoul (KR).

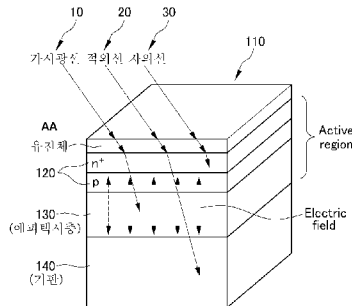
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

[다음 쪽 계속]

(54) Title: **SILICON PHOTOMULTIPLIER**

(54) 발명의 명칭: **실리콘 광증배 소자**

[Fig. 1]



(57) Abstract: Disclosed is a silicon photomultiplier which comprises: a plurality of micro pixels which include p conductive-type epitaxial layers and PN-bonding layers formed inside the epitaxial layers; trench electrodes which are arranged around the micro pixels; and a substrate, which is opened to allow outside light to be incident, on which the micro pixels and the trench electrodes are settled at the same time. Central shafts of longitudinal sections of said PN-bonding layers are formed to be vertical to the epitaxial layers.

(57) 요약서: p 전도성 타입의 에피택시층 및 상기 에피택시층 내부에 형성된 PN-접합층을 포함하는 다수의 마이크로 픽셀; 상기 마이크로 픽셀 주위에 배치되는 트렌치 전극; 및 상기 마이크로 픽셀 및 상기 트렌치 전극이 안착되는 동시에 외부의 광선이 입사 가능하도록 개방된 상태의 기판을 포함하는 실리콘 광증배 소자가 제공된다. 상기 PN-접합층의 종단면의 중심축은 상기 에피택시층에 수직이 되도록 형성된다.

AA ... Dielectric
10 ... Visible light
20 ... Infrared light
30 ... Ultraviolet light
130 ... Epitaxial layer
140 ... Substrate

WO 2011/122856 A2



HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) **지정국** (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ,

TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

명세서

발명의 명칭: 실리콘 광증배 소자

기술분야

- [1] 본 발명은 실리콘 광증배 소자에 관한 것으로서, 보다 구체적으로는 전 파장대에서 양자 효율을 향상 시키고, 암전류를 감소시키는 실리콘 광증배 소자에 관한 것이다.

배경기술

- [2] 최근, 광 센서 분야에서 광전증배관(PMT, Photomultiplier Tube)을 대체하기 위해 고안된 실리콘 광증배 소자(Silicon Photomultiplier, SiPM)는 기존의 광전증배관(PMT)에 비해 크기가 매우 작고, 동작 전압이 매우 낮으며(25~100V), 자기장에 영향을 받지 않는 등 큰 장점을 가지고 있다.
- [3] 그러나, 자외선(200~400nm) 파장 대의 빛에서는 양자 효율이 10% 이하로 매우 낮다는 문제점을 가지고 있기 때문에 전 파장 대(200~900nm)에서 양자 효율(quantum efficiency)을 극대화하는 연구가 활발히 진행되고 있다.
- [4] 도 1은 일반적인 실리콘 광증배 소자(100)의 단면도이다.
- [5] 도 1에 도시된 바와 같이, 실리콘 광증배 소자(100)는 기판(140)에 다수의 마이크로 픽셀(110)을 포함하고 있다.
- [6] 마이크로 픽셀(110)은 p+ 전도성 타입의 기판(140)에 5 μ m 이하의 두께로 형성된 p- 전도성 타입의 에피택시층(epitaxial layer)(130)과, 에피택시층(130) 내에 순차적으로 p 이온과 n+ 이온을 주입하여 형성된 PN-접합층(PN-Junction)(120)으로 구성된다.
- [7] p형층과 n형층이 만나는 부분인 PN-접합층(120)에는 n형층으로부터 p형층으로의 방향을 가지는 전기장이 형성된다.
- [8] 이때, 빛(광자)이 마이크로 픽셀(110)로 주입되면, 빛(광자)에 의해 생성된 전자-정공 쌍(electron-hole pair)이 전기장에 의해 가속되면서 전자 사태 방전(avalanche breakdown)을 형성하여 증폭된 신호가 출력된다.
- [9] 그러나 일반적인 실리콘 광증배 소자에서는 PN-접합층(120)이 기판(140)과 수평으로 형성되기 때문에, 광 입사면에 형성될 수밖에 없는 여러 층이 광의 입사를 방해한다.
- [10] 특히, 파장이 짧은 자외선(30) 파장 영역 대의 빛은 에피택시층(130) 내의 PN-접합층(120)까지 투입되는 확률이 낮아 양자효율이 낮아지게 된다.
- [11] 또한, 빛이 입사되어 반응을 하는 에피택시층(130)의 두께가 5 μ m 정도이기 때문에, 파장이 긴 적외선(20)과 같이 실리콘층을 깊게 투과하는 빛 또한 반응 확률이 낮아져서 양자효율이 낮아지는 문제점이 있다.
- [12] 또한, 종래의 실리콘 광증배 소자는, 기판(140)과 에피택시층(130)의 경계면에서 강한 전기장이 발생하는데, 이에 의해 암전류가 많이 발생하여

센서의 정확도를 떨어뜨리는 문제점도 있다.

발명의 상세한 설명

기술적 과제

- [13] 상술한 종래 기술의 문제점을 해결하기 위해, 본 발명은 자외선, 가시광, 적외선에 이르는 광대역 모두에서 양자 효율이 크게 향상된 실리콘 광증배 소자를 제공한다.
 - [14] 또한 본 발명은, PN-접합층 형성 시 p 전도성 타입층 및 n+ 전도성 타입층의 도핑 농도, 넓이 및 침투 깊이 등을 조절하여 마이크로 픽셀 내의 넓은 영역에 공핍 영역이 형성될 수 있도록 함으로써, 입사광에 대한 이온화 확률 및 전자 사태 방전 확률을 증가시키는 실리콘 광증배 소자를 제공하는 것을 또 다른 목적으로 한다.
 - [15] 또한 본 발명은, 저농도의 p 전도성 타입 실리콘 기판을 이용하고 그 위에 PN-접합층을 형성하여 실리콘 광증배 소자를 제공하는 것을 또 다른 목적으로 한다.
 - [16] 본 발명의 목적들은 이상에서 언급한 목적들로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 명확하게 이해될 수 있을 것이다.
- ### 과제 해결 수단
- [17] 상기한 목적을 달성하기 위하여 본 발명의 일 측면에 따른 실리콘 광증배 소자는, p 전도성 타입의 에피택시층 및 상기 에피택시층 내부에 형성된 PN-접합층을 포함하는 다수의 마이크로 픽셀; 상기 마이크로 픽셀 주위에 배치되는 트렌치 전극; 및 상기 마이크로 픽셀 및 상기 트렌치 전극이 안착되는 동시에 외부의 광선이 입사 가능하도록 개방된 상태의 기판을 포함한다. 여기서, 상기 PN-접합층의 종단면의 중심축이 상기 에피택시층에 수직으로 형성된다.
 - [18] 여기서, 상기 마이크로 픽셀 내의 적어도 절반 이상의 영역에 공핍 영역이 형성될 수 있다.
 - [19] 또한, 상기 PN-접합층의 단면의 형상은 삼각형, 사각형 및 U자형 중 적어도 하나일 수 있다.
 - [20] 또한, 상기 PN-접합층의 종단면의 내부에는 캐소드 전극이 형성된다.
 - [21] 여기서, 상기 에피택시층에서는 수평 방향으로 전기장이 형성될 수 있다.
 - [22] 여기서, 상기 기판은 상기 에피택시층과 실질적으로 동일한 도핑 농도로 도핑될 수 있으며, 상기 기판은 $10^{11} \sim 10^{16} \text{cm}^{-3}$ 의 도핑 농도를 가질 수 있다.
 - [23] 또한, 상기 PN-접합층의 p 층은 상기 기판으로부터의 침투 깊이가 $1 \sim 1.5 \mu\text{m}$ 이 될 수 있다.
 - [24] 또한, 상기 p 층의 도핑에 사용되는 이온은 붕소(Boron)가 이용될 수 있다.
 - [25] 또한, 상기 PN-접합층의 n+ 층은 상기 p 층보다 넓은 영역을 가질 수 있다.
 - [26] 여기서, 상기 PN-접합층의 n+ 층은 상기 기판으로부터의 침투 깊이가 $1 \mu\text{m}$ 이하로 형성될 수 있으며, 상기 n+ 층의 도핑에 사용되는 이온은

인(Phosphorus)이 이용될 수 있다.

- [27] 또한, 본 발명의 다른 측면을 따른 실리콘 광증배 소자는, 기판 상부에 형성되는 에피택시층; 상기 에피택시층 내부에 형성된 PN-접합층; 상기 PN-접합층 내부에 형성된 캐소드 전극 및 상기 에피택시층과 수직 방향으로 형성된 트렌치 전극을 포함한다. 여기서, 전기장은 상기 PN 접합층과 상기 트렌치 전극 사이의 에피택시층에서 수평으로 발생된다.
- [28] 여기서, 상기 기판과 상기 에피택시층은 $10^{11} \sim 10^{16} \text{cm}^{-3}$ 의 도핑 농도를 가질 수 있다.
- [29] 또한, 상기 트렌치 전극은 말단이 둥글게 형성되는 것인, 실리콘 광증배 소자.
- [30] 여기서, 상기 트렌치 전극은 브롬화수소(HBr)를 사용하여 말단이 둥글게 형성될 수 있다.
- [31] 또한, 상기 실리콘 광증배 소자는 복수의 마이크로 픽셀로 구성되어 있으며, 상기 마이크로 픽셀을 포함하는 영역 내에 가드링이 형성될 수 있다.
- [32] 상기 목적을 달성하기 위한 구체적인 사항들은 첨부된 도면과 함께 상세하게 후술된 실시예들을 참조하면 명확해질 것이다.
- [33] 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라, 서로 다른 다양한 형태로 구성될 수 있으며, 본 실시예들은 본 발명의 개시가 완전하도록 하고 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

발명의 효과

- [34] 전술한 본 발명의 실리콘 광증배 소자의 과제 해결 수단 중 하나에 의하면, 마이크로 픽셀을 구성하는 PN-접합층의 단면을 에피택시층 내에 수직으로 형성하고 그 주위에 형성되는 트렌치 전극을 구비한 다음, 그 사이에 역 바이어스를 가하여 전기장이 수평으로 형성되도록 함으로써, 전 파장 대에서 양자 효율을 향상시킬 수 있다.
- [35] 또한, PN-접합층 형성 시 p 전도성 타입층 및 n+ 전도성 타입층의 도핑 농도, 넓이 및 침투 깊이 등을 조절하여, 마이크로 픽셀 내의 넓은 영역에 공핍 영역이 형성될 수 있도록 함으로써, 입사광에 대하여 이온화 확률을 높이고, 이에 따른 전자사태 방전 확률도 증가시켜 양자 효율을 높일 수 있다.
- [36] 또한, 저농도의 p 전도성 타입 실리콘 기판을 이용하고 그 위에 PN-접합층을 형성함으로써, 고농도(저저항) 기판에 의해 생성되는 암전류 및 기판과 에피택시층의 경계면에서 발생하는 강한 전기장에 의해 생성되는 암전류를 감소시킬 수 있어서, 종래의 실리콘 실리콘 광증배 소자에 비해 암전류를 획기적으로 줄일 수 있다.

도면의 간단한 설명

- [37] 도 1은 일반적인 실리콘 광증배 소자의 단면도이다.
- [38] 도 2는 일반적인 실리콘 광증배 소자의 에피택시층 내의 전기장의 분포를

나타내는 도면이다.

- [39] 도 3은 본 발명의 일 실시예에 따른 전 파장 대에서 양자 효율이 향상되며, 암전류가 감소된 실리콘 광증배 소자를 구성하는 마이크로 픽셀의 단면도이다.
- [40] 도 4는 본 발명의 일 실시예에 따른 마이크로 픽셀 내의 PN-접합층 내의 전기장을 나타내는 도면이다.
- [41] 도 5는 본 발명의 일 실시예에 따른 마이크로 픽셀 내에 형성된 공핍 영역을 나타내는 도면이다.
- [42] 도 6은 본 발명의 일 실시예에 따른 암전류가 감소된 실리콘 광증배 소자의 동작 전압에 따른 암전류를 나타내는 도면이다.
- [43] 도 7은 본 발명의 다른 실시예에 따른 일자형 구조 실리콘 광증배 소자를 구성하는 마이크로 픽셀의 단면도이다.
- [44] 도 8은 본 발명의 또 다른 실시예에 따른 U자형 구조 실리콘 광증배 소자를 구성하는 마이크로 픽셀의 단면도이다.

발명의 실시를 위한 형태

- [45] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명하도록 한다.
- [46] 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [47] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [48] 참고로, 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다.
- [49] 또한 어떤 부분이 어떤 구성 요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.
- [50] 이하, 첨부된 구성도 또는 처리 흐름도를 참고하여, 본 발명의 실시를 위한 구체적인 내용을 설명하도록 한다.
- [51] 도 1은 일반적인 실리콘 광증배 소자(100)의 단면도이고, 도 2는 일반적인 실리콘 광증배 소자(100)의 에피택시층(130) 내의 전기장 분포를 나타낸 도면이다.
- [52] 도 1에 도시된 바와 같이, 실리콘 광증배 소자(100)는 천여 개에서 수백 개의 마이크로 픽셀(micropixel)(110)로 구성된 반도체 광 다이오드이다.
- [53] 실리콘 광증배 소자(100)의 마이크로 픽셀(110)의 크기는 10~100 μm 로 1mm²의 면적당 마이크로 픽셀 100~1000개가 집적된다.

- [54] 도 2에 도시된 바와 같이, 실리콘 광증배 소자(100)은 전압을 걸었을 때 기판(140)으로부터 수 μm 깊이 내에 약한 전기장을 가함으로써 전하들의 편류 영역(drift region)을 형성하고 에피택시층(130) 내의 PN-접합층(120)에는 매우 강한 전기장이 생기게 하여 얇은 공핢 영역(depletion region)을 만든다.
- [55] 이 공핢 영역에서 동작 전압일 때 가이거 모드(Geiger mode) 방전(breakdown)을 생성한다.
- [56] 센서의 마이크로 픽셀(110) 내에 입사된 광자는 전기장이 높게 걸린 공핢영역 내에서 전자사태 방전을 발생시킨다.
- [57] 이때, 한 개의 광자에 의해서 얻는 전류의 증폭률(gain)은 106으로 기존 광전증배관(PMT)과 같은 정도이다.
- [58] 도 1에 도시된 바와 같이, 기존의 실리콘 광증배 소자(100)는 PN-접합층(120)이 기판(140)과 수평으로 형성되기 때문에 전기장이 기판(140)의 바닥 쪽으로 수직으로 형성된다.
- [59] 이러한 구조에서는 파장이 짧은 자외선이 n+ 이온이 주입된 영역까지 투과될 확률이 10% 이하이므로 양자 효율이 매우 작을 수밖에 없으며, n+ 영역을 얇게 제조한다고 하더라도 한계가 있다.
- [60] 또한, 기판(140)은 $10^{18}\sim 10^{20}\text{cm}^{-3}$ 의 고농도 p 전도성 타입 실리콘 기판인데, 이러한 고농도(저저항) 기판(140)에 의해 많은 암전류가 생성된다.
- [61] 또한, 기판(140)과 에피택시층(130)의 경계면에서 강한 전기장이 발생하는데, 이에 의해서도 많은 암전류가 생성된다.
- [62] 이 경우, 사용한 미약한 빛의 측정 등에서는 되도록 암전류가 적은 것이 바람직하나, 기존의 실리콘 광증배 소자(100) 사용 시 센서의 암전류율(dark rate)은 2MHz에 달하는 문제가 있었다.
- [63] 도 3은 상기와 같은 한계를 극복하기 위한 본 발명의 일 실시예에 따른 실리콘 광증배 소자(200)를 구성하는 마이크로 픽셀(210)의 단면도이다.
- [64] 도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따른 전 파장 대의 양자 효율을 크게 향상시키며, 암전류를 감소시키는 실리콘 광증배 소자(200)는, 가이거 모드에서 동작하는 다수의 마이크로 픽셀(210), 마이크로 픽셀(210) 주위에 배치되는 트렌치 전극(250) 및 마이크로 픽셀(210)과 트렌치 전극(250)이 안착되는 동시에 외부로 연결되도록 부분적으로 개방된 상태의 기판(240)을 포함한다.
- [65] 또한, 본 발명의 일 실시예에 따른 실리콘 광증배 소자(200)는 PN-접합층(220) 상단에 유전체 및 알루미늄 스트립을 더 포함할 수 있으며, 실리콘 광증배 소자(200)의 테두리 쪽으로 반도체칩을 보호하기 위해 가드링(Guard ring)을 더 포함할 수 있다.
- [66] 참고로, 가드링은, 반도체 칩의 내부를 보호하거나 암전류를 감소시키기 위한 것으로서 반도체칩 둘레 등에 형성될 수 있다.
- [67] 본 발명에 일 실시예에 따르면, 실리콘 광증배 소자(200) 내의 모든 마이크로

- 픽셀(210)을 포함하는 영역 내에 2~3개의 가드링이 형성될 수 있다.
- [68] 이러한 가드링은 실리콘 광증배 소자(200)의 최외각 마이크로 픽셀(210)로부터 $100\mu\text{m}$ 이내에 형성될 수 있다.
- [69] 각 구성 요소를 설명하면, 마이크로 픽셀(210)은, P-전도성 타입의 에피택시층(230) 및 에피택시층(230) 내부에 형성되는 PN-접합층(220)을 포함하여 구성될 수 있다. 에피택시층(230)은 기판(240) 위에 형성되며, $10^{11}\sim 10^{16}\text{cm}^{-3}$ 의 농도를 갖는 p-전도성 타입의 반도체로 구현될 수 있다.
- [70] 여기에서, 에피택시층(230)은 반도체 소자를 만들 때 기판(240) 위에 끼우는 편향된 단일 결정 층으로서, 빛이 들어와 반응을 하는 영역이다.
- [71] 본 발명에 따른 PN-접합층(220)은 에피택시층(230) 내에 형성되게 된다.
- [72] 한편, PN-접합층(220)은, 도 3에 도시된 바와 같이, p 전도성 타입층(221), 및 p 전도성 타입층(221)의 외부에 형성되는 n+ 전도성 타입층(222)을 포함하여 구성될 수 있고, 에피택시층(230) 내부에 형성될 수 있다.
- [73] 도 3에 도시된 실시예에서는 PN-접합층(220)과 캐소드(Cathode)(J)는 종단면의 중심축이 에피택시층(230)과 수직이며, 그 형상은 삼각형 형태로 형성되어, 에피택시층(230)이 가시 광선(10), 적외선(20), 자외선(30)에 대해 개방되도록 구현된다.
- [74] PN-접합 층을 형성할 때, n+ 전도성 타입층(222)의 영역을 p 전도성 타입층(221)의 영역보다 $2\mu\text{m}$ 정도 두껍게 형성하면 노이즈를 감소시킬 수 있다.
- [75] 또한, PN-접합층(220)의 높이를 $10\mu\text{m}$ 정도로 형성하면 적외선(20)이 실리콘에 깊이 입사되어도 형성된 전기장에 반응할 수 있다.
- [76] 또한, PN-접합층(220)은 $10^{11}\sim 10^{16}\text{cm}^{-3}$ 의 도핑 농도를 갖는 저농도 p 전도성 타입 실리콘 기판(240) 위에 동일 농도 범위의 에피택시층(230)을 형성한 다음 에피택시층(230) 내에 PN-접합층(220)을 형성할 수도 있다.
- [77] 이를 통해, 고농도(저저항) 기판(140)에 의해 생성되는 암전류 비율 및 기판(240)과 에피택시층(230)의 경계면에서 발생하는 높은 전기장에 의해 생성되는 암전류 비율을 감소시킬 수 있다.
- [78] 또한, PN-접합층(220)은 암전류 비율을 감소시키기 위해, $10^{11}\sim 10^{16}\text{cm}^{-3}$ 의 도핑 농도를 갖는 저농도 p 전도성 타입 실리콘 기판(240) 위에 별도의 에피택시층(230)을 형성하지 않고 PN-접합을 형성할 수도 있다.
- [79] 한편, 에피택시층(230)은 $10^{11}\sim 10^{16}\text{cm}^{-3}$ 의 도핑 농도를 갖는 저농도 p 전도성 타입 실리콘 기판(240) 위에 형성되며, 동일 범위인 $10^{11}\sim 10^{16}\text{cm}^{-3}$ 범위의 농도를 갖도록 형성될 수 있다.
- [80] 이는 에피택시층(230)의 경계면에서 발생하는 높은 전기장에 의해 생성되는 암전류의 비율을 감소시키기 위한 것이다.
- [81] 한편, 기판(240)은, 마이크로 픽셀(210) 및 트렌치 전극(250)이 안착되는 동시에 외부로 연결되도록 부분적으로 개방된 상태이다.
- [82] 기판(240)은 p+ 전도성 타입이며, 실리콘으로 형성될 수 있으며, 암전류를

감소시키기 위해, $10^{11} \sim 10^{16} \text{cm}^{-3}$ 의 도핑 농도를 가질 수 있다.

- [83] 더 상세히 설명하면, 종래에는 기판으로 $10^{18} \sim 10^{20} \text{cm}^{-3}$ 정도의 고농도 p 전도성 타입 실리콘 기판(140)을 이용하였으나, 본 발명의 일 실시예에 따르면 $10^{11} \sim 10^{16} \text{cm}^{-3}$ 의 도핑 농도를 갖는 저농도 p 전도성 타입 실리콘 기판(240)을 사용하여 실리콘 광증배 소자(200)를 형성한다.
- [84] 저농도의 실리콘 기판(240)을 사용함으로써, 고농도 즉, 저저항의 기판에 의해 생성되는 암전류의 비율을 감소시킬 수 있게 된다.
- [85] 한편, 트렌치 전극(250)은, 마이크로 픽셀(210) 주위에 배치되는 것으로서 금속을 증착하여 형성할 수 있다.
- [86] PN-접합층(220)의 주위에 트렌치를 형성하여 두르고 트렌치의 내부에 금속을 증착하여 트렌치 전극(250)을 형성할 수 있다.
- [87] 트렌치 전극(250)은 마이크로 픽셀(210) 주위에 정사각형 둘레, 정사각형 모서리, 육각형 모서리 중 어느 한 형태로 배치될 수 있으며, 금속을 증착하여 형성할 수 있다.
- [88] 트렌치 전극(250)이 배치되는 형태에 따라 인가 전압과 PN-접합층(220)과 트렌치 전극(250) 사이에 형성되는 전기장의 세기 또는 형태 등을 조절할 수 있다.
- [89] PN-접합층(220)에 의해 형성된 삼각형 단면의 높이가 $10 \mu\text{m}$ 일 경우, 트렌치 전극(250)의 높이를 $10 \sim 13 \mu\text{m}$ 로 하면 PN-접합층(220)과 트렌치 전극(250) 사이에 형성되는 전기장을 수평으로 균일하게 형성할 수 있게 된다.
- [90] 즉, 트렌치 전극(250)과 수직으로 형성된 PN-접합층(220) 사이에 역 바이어스를 가하여 전기장이 수평으로 형성되도록 함으로써, 파장이 짧은 자외선(30)이 PN-접합층(220)까지 들어가지 않고 표면으로 얇게 입사되어도 트렌치 전극(250)과 PN-접합층(220) 사이에 형성된 전기장에 의해 전자-정공 쌍이 형성되어 애벌런치 방전이 발생하도록 한다.
- [91] 또한 파장이 긴 적외선(20)이 깊이 입사되어도 PN-접합층(220)의 전기장에 반응함으로써 전 파장 대($200 \sim 900 \text{nm}$)에서 양자 효율을 증가시킬 수 있다.
- [92] 더 나아가, PN-접합층(220) 형성 시 일정한 조건을 부가하여 공핍 영역이 마이크로 픽셀(210)의 대부분을 차지하도록 넓힘으로써 양자 효율을 증가시킬 수 있다.
- [93] 본 발명에 따른 실리콘 광증배 소자(200)는 이상 설명한 바와 같이, 구조적 특성에 의해 모든 파장의 빛에 대해 우수한 양자 효율을 가질 수 있다.
- [94] 특히, PN-접합층(220)을 추후 설명하는 바와 같이 일정한 조건 하에서 형성하여 공핍 영역을 넓힘으로써, 보다 향상된 양자 효율을 가질 수 있다.
- [95] PN-접합층(220)의 p 전도성 타입층(221)은, $10^{12} \sim 10^{13} \text{cm}^{-3}$ 의 농도를 갖도록 하고, 기판(240)으로부터의 침투 깊이를 $1 \sim 1.5 \mu\text{m}$ 이내에 형성할 수 있다.
- [96] 이때, 붕소(Boron) 등의 이온을 사용하여 p 타입으로 형성할 수 있다.
- [97] 또한, PN-접합층(220)의 n+ 전도성 타입층(222)은, 트렌치 내에 p 전도성

- 타입층(221)을 형성한 이후에 그 상부에 형성하되 p 전도성 타입층(221)의 영역보다 더 넓은 영역을 갖도록 할 수 있다.
- [98] n+ 전도성 타입층(222)은 인(Phosphorus) 등의 이온을 사용하여 $10^{15} \sim 10^{17} \text{cm}^{-3}$ 의 농도를 갖는 n 타입으로 만들 수 있으며, 기판(240)으로부터의 침투 깊이를 $1 \mu\text{m}$ 이내에 형성하도록 할 수 있다.
- [99] 또한, 트렌치 전극(250)은 암전류를 감소시키기 위해 트렌치 전극(250)의 말단을 둥글게 형성할 수 있다.
- [100] 이를 통해 모서리 부분에서 생성되는 높은 전기장을 제거하여 전기장에 의해 생성되는 암전류 비율을 감소시킬 수 있다.
- [101] 이때, 트렌치 전극(250)의 말단을 둥글게 형성하기 위해 브롬화수소(HBr)와 같은 가스를 사용할 수 있다.
- [102] 도 4는 본 발명의 일 실시예에 따른 마이크로 픽셀(210) 내의 PN-접합층(220) 내의 전기장(300)을 나타내는 도면이고, 도 5는 본 발명의 일 실시예에 따른 마이크로 픽셀(210) 내에 형성된 공핍 영역(400)을 나타내는 도면이다.
- [103] 도 4 및 도 5에서는, 본 발명의 일 실시예에 따라 수직으로 PN-접합층(220)을 형성하되, 일정한 조건을 부가하였다.
- [104] 도 4에 도시된 바와 같이, 마이크로 픽셀(210) 내의 PN-접합층(220) 내에 전기장(300)이 형성되는데, 상기 설명한 바와 같이 도핑 농도, 침투 깊이, 넓이 등을 조절하여 PN-접합층(220)을 형성하는 경우, n+ 전도성 타입층(222)과 p 전도성 타입층(221) 사이에 특히 강한 전기장이 형성되며, 형성된 전기장(300)의 크기는 $4 \times 10^5 \text{V/cm}$ 정도임을 확인할 수 있다.
- [105] 이로 인해 도 5에 도시된 바와 같이, 실리콘 광증배 소자(200)의 마이크로 픽셀(210) 내의 대부분 영역에 공핍 영역(400)이 형성된다.
- [106] 이는 적어도 절반 이상의 영역에 공핍 영역이 형성된 것이고, 도 4에서 전기장(300)이 형성된 영역은 곧 도 5에서 공핍 영역(400)이 형성된 영역에 해당한다.
- [107] 이와 같이, 공핍 영역(400)이 넓어짐으로써 이온들이 이온화 될 확률이 높아지고, 결과적으로 양자 효율이 향상되게 된다.
- [108] 도 6은 본 발명의 일 실시예에 따른 암전류가 감소된 실리콘 광증배 소자(200)의 동작 전압에 따른 암전류를 나타내는 도면이다.
- [109] 도 6에 도시된 바와 같이, 본 발명의 일 실시예에 따른 암전류가 감소된 실리콘 광증배 소자(200)의 동작전압이 12.7V, 12.8V, 12.9V일 때, 암전류율은 각각 310Hz, 500Hz, 750Hz 정도로 모두 1kHz 이하로 나타난다.
- [110] 종래의 일반적인 실리콘 광증배 소자의 암전류율이 2MHz에 달하는 크기였음을 고려할 때, 본 발명의 일 실시예에 따른 실리콘 광증배 소자(200)에 의하면 암전류를 획기적으로 감소시킬 수 있음을 확인할 수 있다.
- [111] 도 7은 본 발명의 다른 실시예에 따른 사각형 단면 구조 실리콘 광증배 소자(200)을 구성하는 마이크로 픽셀(210)의 단면도이고, 도 8은 본 발명의 또

다른 실시예에 따른 U자형 단면 구조 실리콘 광증배 소자(200)를 구성하는 마이크로 픽셀(210)의 단면도이다.

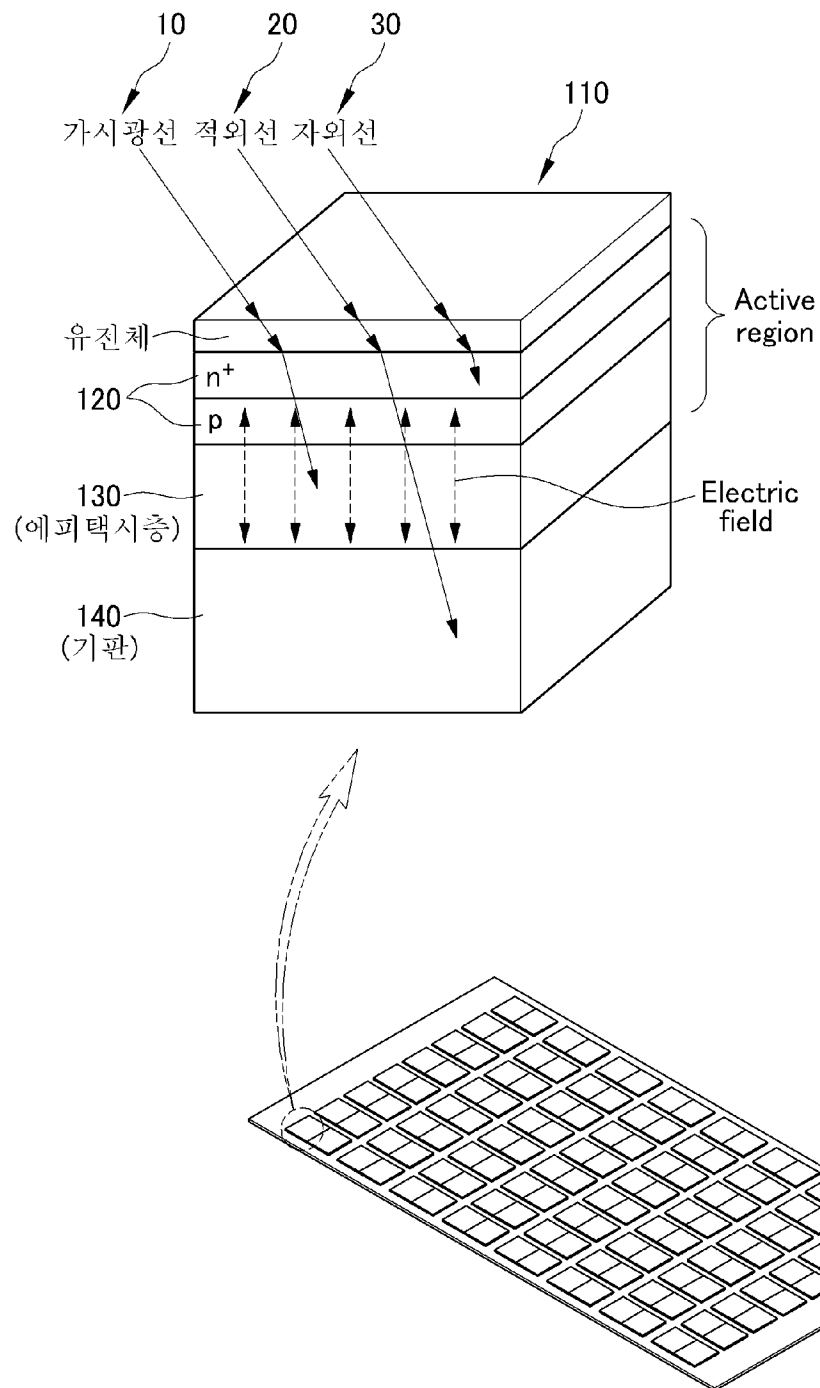
- [112] 도 7에 도시된 바와 같이, PN-접합층(220)을 형성할 때 삼각형 단면 구조(200)가 아닌 사각형 단면 구조(200)로 형성하거나, 도 8에 도시된 바와 같이, U자형 단면 구조(200)로 형성할 수 있다.
- [113] 사각형 단면 구조(200)나 U자형 단면 구조(200)로 PN-접합층(220)을 형성하면, 삼각형 단면 구조(200)에 비하여 공핍 영역이 더 넓어져서 마이크로 픽셀(210) 내의 모든 영역에 공핍 영역이 형성되기 때문에 양자 효율은 더욱 향상될 수 있다.
- [114] 이와 같이 모든 영역에 공핍 영역이 형성되면 빛이 입사되었을 때 광자에 의해 공핍 영역 내에서 이온들이 이온화 될 확률을 높일 수 있다.
- [115] 이온화 확률이 높을수록 전자사태 방전(Avalanche breakdown)이 발생할 확률이 높아지기 때문에 빛이 들어왔을 때 손실되지 않고 모두 반응하게 되어 결론적으로 양자 효율 또한 높아질 수 있다.
- [116] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다.
- [117] 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.
- [118] 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [119] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

청구범위

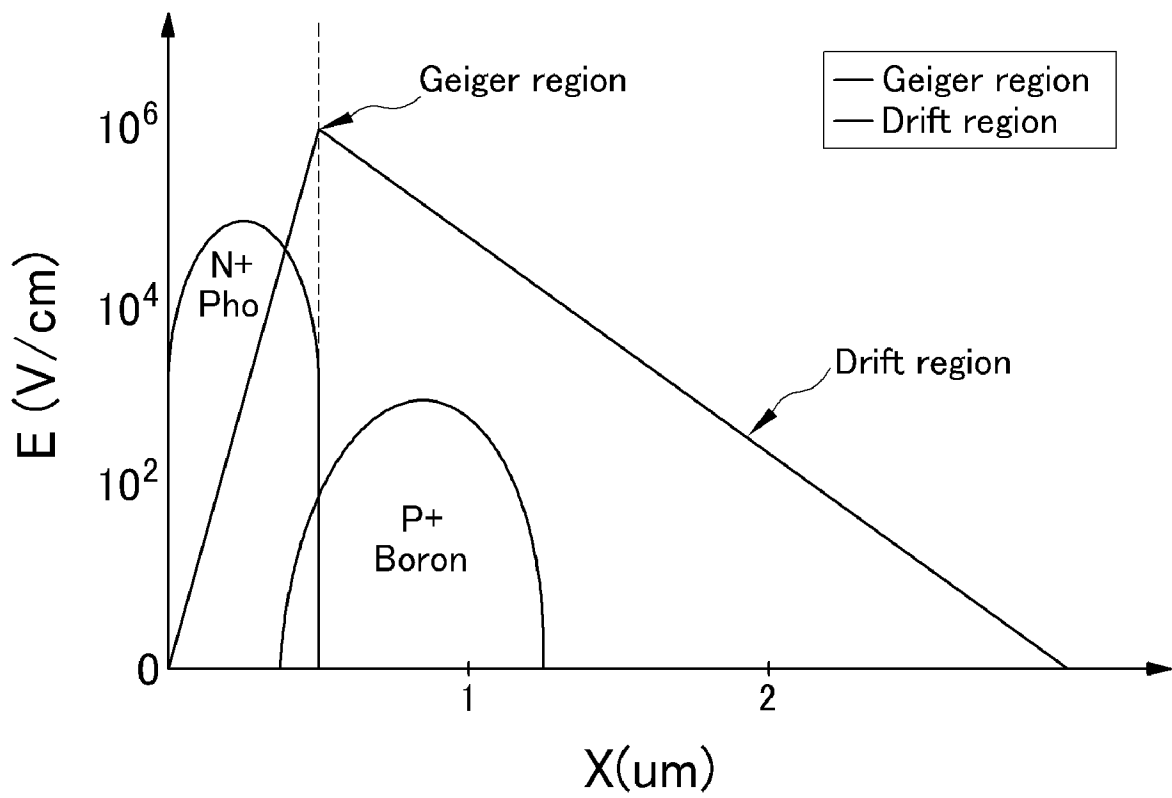
- [청구항 1] 실리콘 광증배 소자로서,
p 전도성 타입의 에피택시층 및 상기 에피택시층 내부에 형성된 PN-접합층을 포함하는 다수의 마이크로 픽셀;
상기 마이크로 픽셀 주위에 배치되는 트렌치 전극; 및
상기 마이크로 픽셀 및 상기 트렌치 전극이 안착되는 동시에 외부의 광선이 입사 가능하도록 개방된 상태의 기판을 포함하되,
상기 PN-접합층의 종단면의 중심축이 상기 에피택시층에 수직인 것인 실리콘 광증배 소자.
- [청구항 2] 제 1 항에 있어서,
상기 마이크로 픽셀 내의 적어도 절반 이상의 영역에 공핍 영역이 형성되는 것인, 실리콘 광증배 소자.
- [청구항 3] 제 1 항에 있어서,
상기 PN-접합층의 단면의 형상은 삼각형, 사각형 및 U자형 중 적어도 하나인 것인, 실리콘 광증배 소자.
- [청구항 4] 제 3 항에 있어서,
상기 PN-접합층의 종단면의 내부에는 캐소드 전극이 형성되어 있는 것인 실리콘 광증배 소자.
- [청구항 5] 제 4 항에 있어서,
상기 에피택시층에서는 수평 방향으로 전기장이 형성되어 있는 것인 실리콘 광증배 소자.
- [청구항 6] 제 1 항에 있어서,
상기 기판은 상기 에피택시층과 실질적으로 동일한 도핑 농도로 도핑되는 것인 실리콘 광증배 소자.
- [청구항 7] 제 6 항에 있어서,
상기 기판은 $10^{11} \sim 10^{16} \text{cm}^{-3}$ 의 도핑 농도를 갖는 것인, 실리콘 광증배 소자.
- [청구항 8] 제 7 항에 있어서,
상기 PN-접합층의 p 층은 상기 기판으로부터의 침투 깊이가 $1 \sim 1.5 \mu\text{m}$ 인 것인, 실리콘 광증배 소자.
- [청구항 9] 제 8 항에 있어서,
상기 p 층의 도핑에 사용되는 이온은 붕소(Boron)인 것인, 실리콘 광증배 소자.
- [청구항 10] 제 7 항에 있어서,
상기 PN-접합층의 n+ 층은 상기 p 층보다 넓은 영역을 가지는 것인, 실리콘 광증배 소자.
- [청구항 11] 제 10 항에 있어서,

- 상기 PN-접합층의 n+ 층은 상기 기판으로부터의 침투 깊이가 $1\mu\text{m}$ 이하인 것인, 실리콘 광증배 소자.
- [청구항 12] 제 10 항에 있어서,
상기 n+ 층의 도핑에 사용되는 이온은 인(Phosphorus)인 것인,
실리콘 광증배 소자.
- [청구항 13] 실리콘 광증배 소자로서,
기판 상부에 형성되는 에피택시층;
상기 에피택시층 내부에 형성된 PN-접합층;
상기 PN-접합층 내부에 형성된 캐소드 전극 및
상기 에피택시층과 수직 방향으로 형성된 트렌치 전극을
포함하고,
전기장이 상기 PN 접합층과 상기 트렌치 전극 사이의
에피택시층에서 수평으로 발생하는 것인 실리콘 광증배 소자.
- [청구항 14] 제 13 항에 있어서,
상기 기판과 상기 에피택시층은 $10^{11}\sim 10^{16}\text{cm}^{-3}$ 의 도핑 농도를 갖는
것인, 실리콘 광증배 소자.
- [청구항 15] 제 13 항에 있어서,
상기 기판의 일부는 입사되는 광선에 대해 개방되어 있는 것인
실리콘 광증배 소자.
- [청구항 16] 제 13 항에 있어서,
상기 트렌치 전극은 말단이 둥글게 형성되는 것인, 실리콘 광증배
소자.
- [청구항 17] 제 16 항에 있어서,
상기 트렌치 전극은 브롬화수소(HBr)를 사용하여 말단이 둥글게
형성되는 것인, 실리콘 광증배 소자.
- [청구항 18] 제 13 항에 있어서,
상기 실리콘 광증배 소자는 복수의 마이크로 픽셀로 구성되어
있으며, 상기 마이크로 픽셀을 포함하는 영역 내에 가드링이
형성되는 것인, 실리콘 광증배 소자.
- [청구항 19] 제 13 항에 있어서,
상기 PN-접합층의 단면의 중심축이 상기 에피택시 층과 수직인
것인, 실리콘 광증배 소자.
- [청구항 20] 제 19 항에 있어서,
상기 PN-접합층의 단면의 형태는 삼각형, 사각형 및 U자형 중
적어도 하나인 것인, 실리콘 광증배 소자.

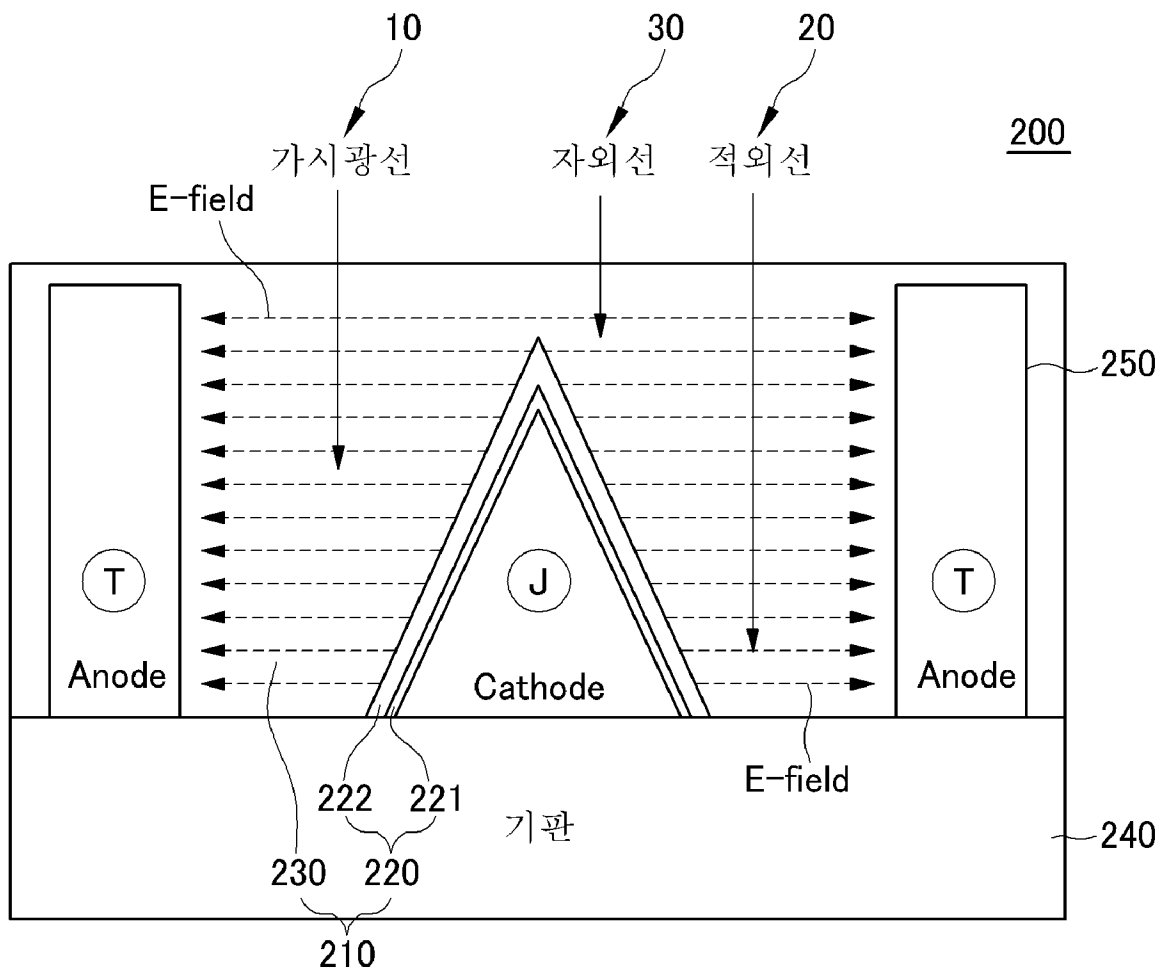
[Fig. 1]



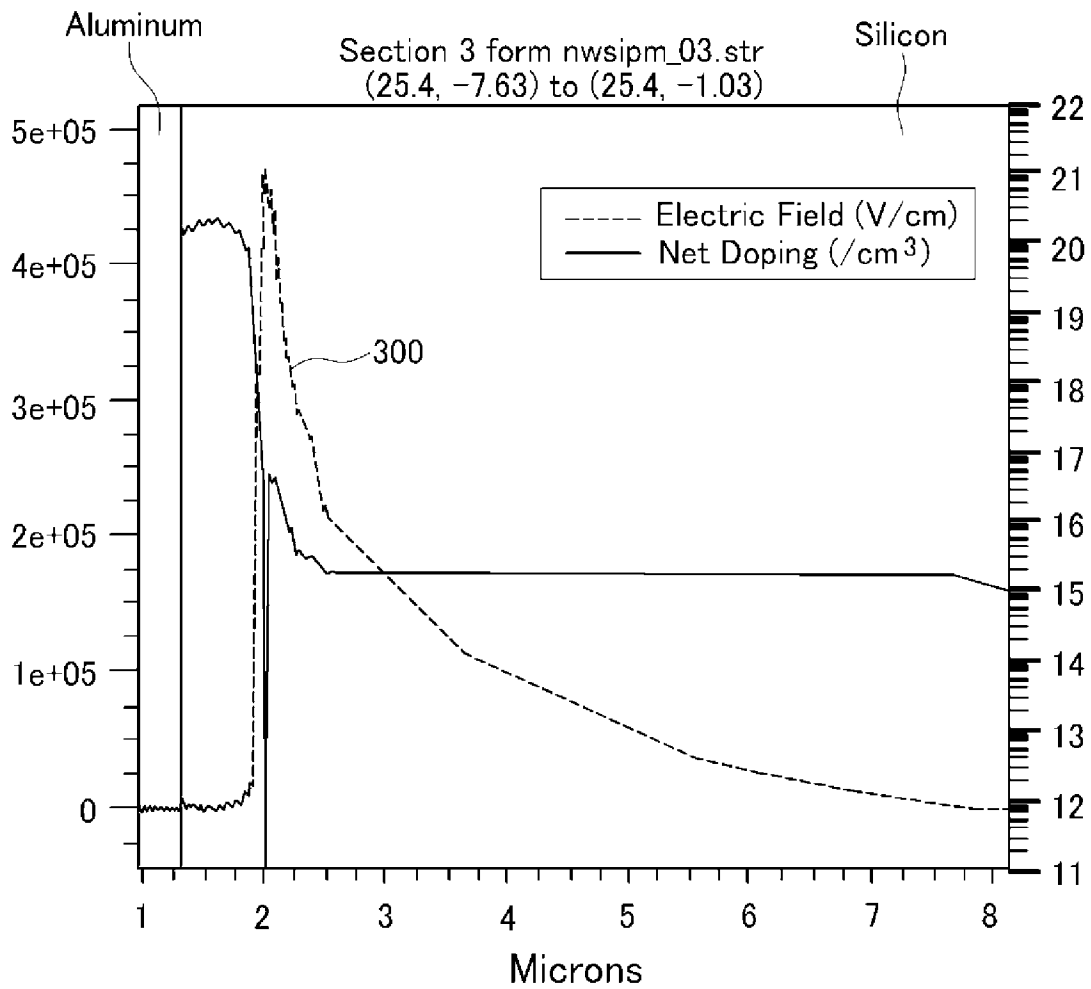
[Fig. 2]



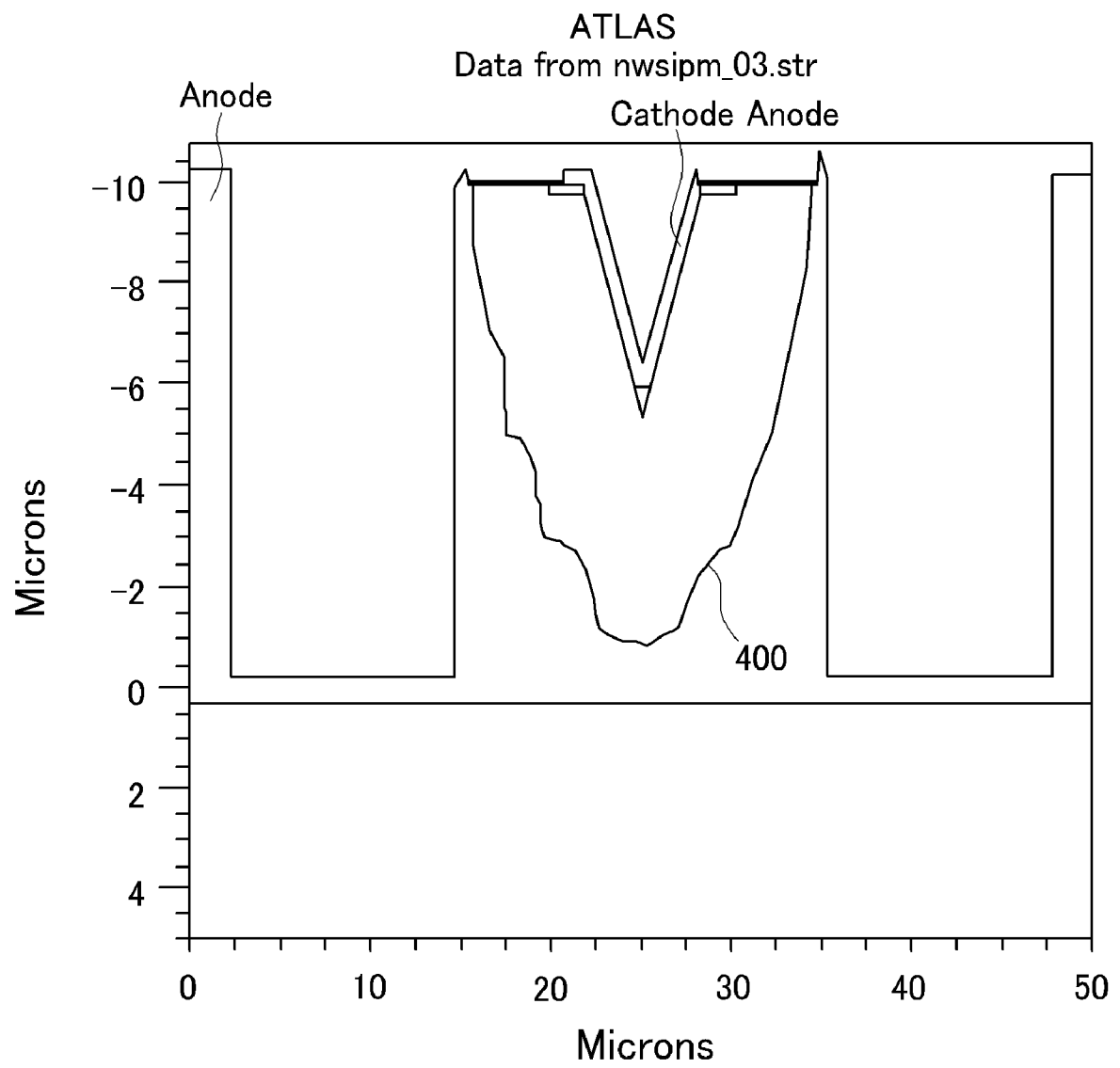
[Fig. 3]



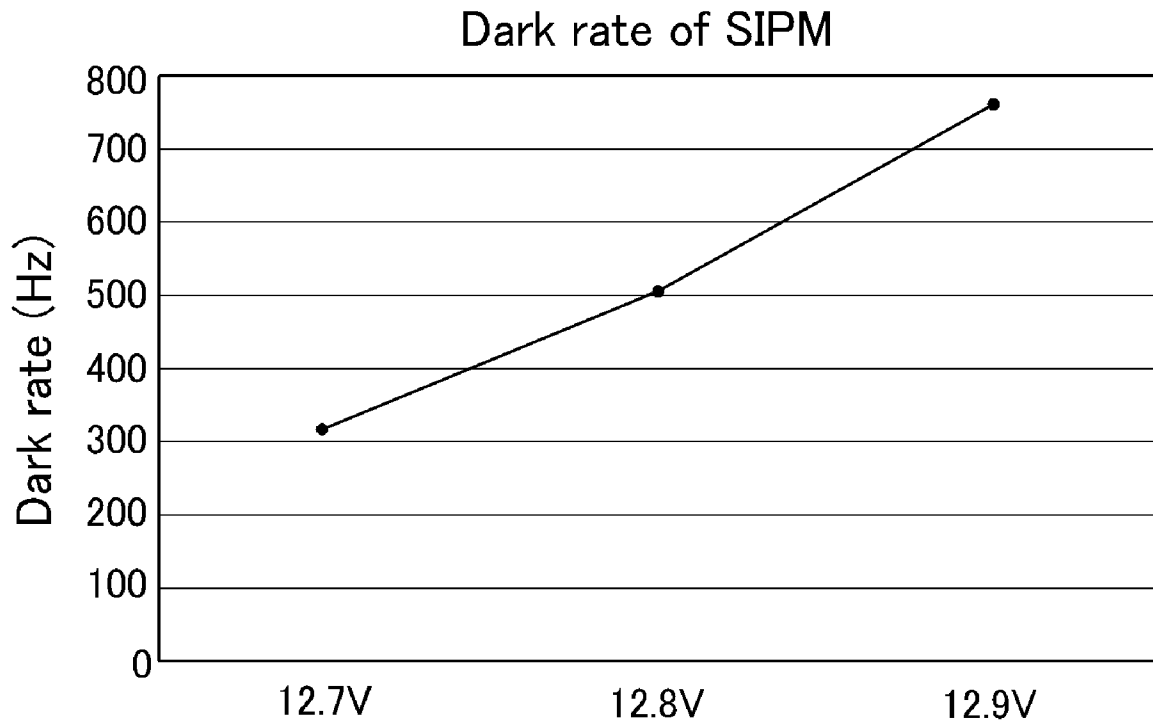
[Fig. 4]



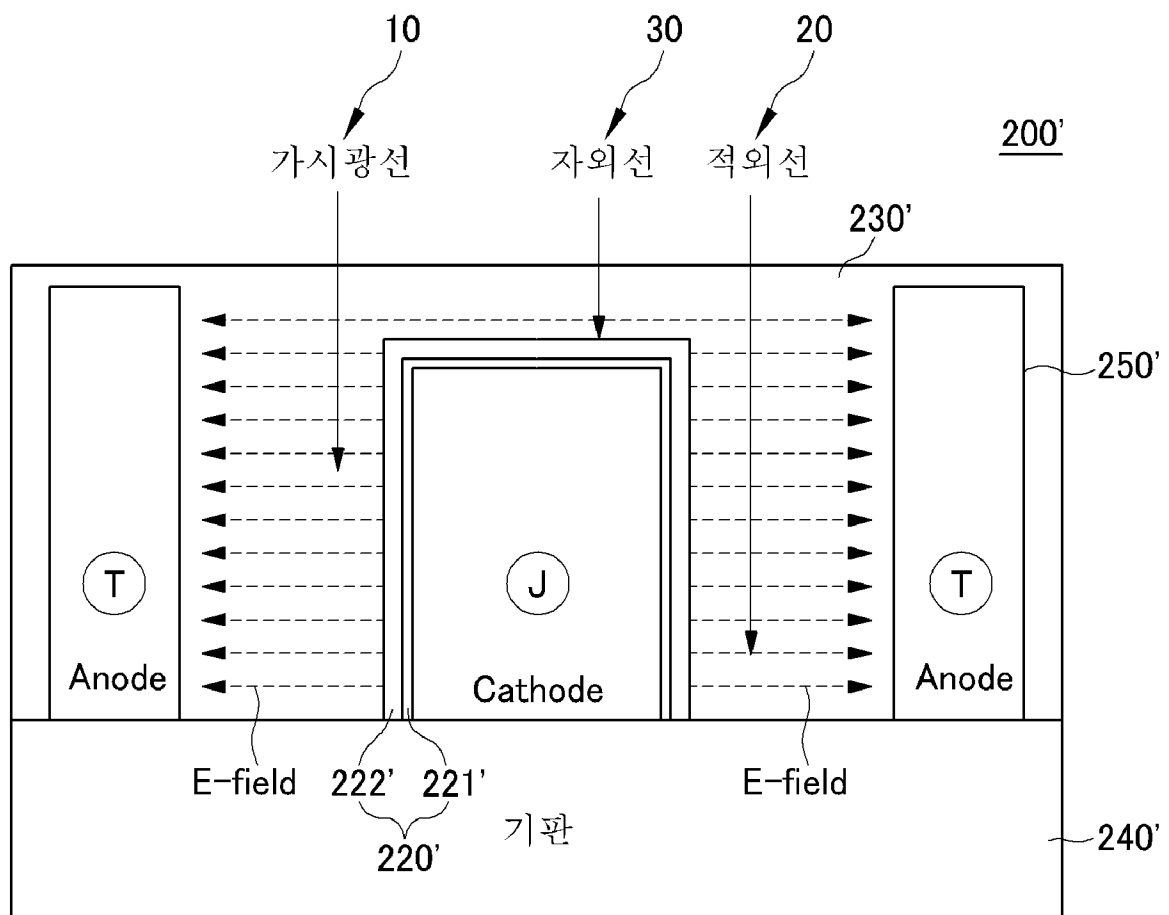
[Fig. 5]



[Fig. 6]



[Fig. 7]



[Fig. 8]

