(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 29/78

(45) 공고일자 2002년08월14일
(11) 등록번호 10-0330995
(24) 등록일자 2002년03월20일

(21) 출원번호 10-1995-0002705
(22) 출원일자 1995년02월14일

(65) 공개번호 특1995-0034835
(43) 공개일자 1995년12월28일

(30) 우선권주장 94-51273 1994년02월24일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 구로다겐이치
일본국도오쿄오토다치카와시스나가와?오6-29-28

(74) 대리인 특허법인 원전
강용복

심사관 : 임동우

(54) 반도체기억장치

요약

실질적인 고집적화를 도모하면서, 비선택의 강유전체 캐패시터에 대한 스트레스를 경감시킨 반도체 기억장치를 제공한다.

제1 어드레스 선택 스위치에 복수의 강유전체 캐패시터를 구성하는 한쪽의 전극을 형성하고 그것과 직교하도록 횡방향으로 나란히 배치되어서 이루어지는 복수의 다른쪽 전극을 설치해서 제2어드레스 선택선으로 해서 양전극의 교점에 상기 복수의 강유전체 캐패시터를 구성해서 이루어지는 복수의 부블럭 기억회로를 구비하고, 각 부블럭의 제1 어드레스 선택선에는 각각 다른 어드레스를 할당해서, 상기 복수로 되는 부블럭 기억회로의 제2 어드레스 선택선에는 각각 공통의 어드레스를 할당해서 공통화된 어드레스 선택회로를 설치하고, 제1 어드레스 선택선이 선택 상태로 되어서 제1 스위치 소자가 온상태로 될 때에는 복수로 되는 제2 어드레스 선택선 중의 하나의 선택상태로 해서 강유전체 캐패시터에 분극이 생기는 전압을 인가하고, 나머지 제2어드레스 선택선에 강유전체 캐패시터에 가해지는 전압이 선택된 강유전체 캐패시터에 가해지는 전압의 거의 반이 되는 비선택 전위로 하고, 제1 어드레스 선택선이 비선택 상태로 되어서 제1 스위치 소자가 오프상태로 될 때에는 복수로 되는 제2 어드레스 선택선에는 강유전체 캐패시터에 가해진 전압이 거의 0이 되는 비선택 전위를 공급한다.

강유전체 캐패시터의 다른쪽의 전극을 구성하는 복수의 제2 어드레스 선택선에 대해서 하나의 선택회로를 설치하도록 할 수 있음과 동시에 비선택스위치 소자에 대응된 부블럭 기억회로의 강유전체 캐패시터에는 전압이 가해지지 않으므로 유전체 캐패시터에 대한 스트레스를 대폭 저감할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도는 본 발명에 관한 반도체 기억장치에서 메모리 블럭의 일실시예를 나타내는 레이아웃 패턴도,

제 2 도는 본 발명에 관한 반도체 기억장치의 일실시예를 나타내는 일부 블럭도,

제 3 도는 본 발명에 관한 반도체 기억장치의 일실시예를 나타내는 나머지의 일부 블럭도,

제 4 도는 상기 제2도와 제3도의 반도체 기억장치의 기록과 판독방법의 일실시예를 설명하기 위한 회로도,

제 5 도는 상기 제2도와 제3도에 나타난 반도체 기억장치의 기록동작과 판독동작을 설명하기 위한 개략파형도,

제 6 도는 상기 제2도와 제3도에 나타난 반도체 기억장치의 선택 블럭내에서 선택 부블럭에서의 기록동작과 판독동작을 설명하기 위한 개략파형도,

제 7 도는 상기 제2도와 제3도에 나타난 반도체 기억장치의 선택 블럭내에서 비선택 부블럭에서의 기록동작과 판독동작에 따른 개략파형도,

제 8 도는 본 발명에 관한 반도체기억장치의 기록과 판독방법의 다른 일실시예를 설명하기 위한 회로도,

제 9 도는 본 발명에 관한 반도체 기억장치의 다른 일실시예를 나타내는 일부 블럭도,

제 10 도는 본 발명에 관한 반도체 기억장치의 다른 일실시예를 나타내는 나머지의 일부 블럭도,

제 11 도는 상기 제9도와 제10도의 반도체 기억장치의 기록과 판독방법의 일실시예를 설명하기 위한 회로도,

제 12 도는 상기 제9도와 제10도에 나타난 반도체 기억장치의 기록동작과 판독동작을 설명하기 위한 개략파형도,

제 13 도는 상기 제9도와 제10도에 나타난 반도체 기억장치의 선택 블럭내에서 선택 부블럭에서의 기록동작과 판독동작을 설명하기 위한 개략파형도,

제 14 도는 상기 제9도와 제10도에 나타난 반도체 기억장치의 선택블럭내에서 비선택 부블럭에서의 기록동작과 판독동작에 따른 개략파형도,

제 15 도는 상기 제9도와 제10도에 나타난 반도체 기억장치의 기록과 판독방법의 다른 일실시예를 설명하기 위한 회로도,

제 16 도는 본 발명에 관한 반도체 기억장치의 메모리 어레이부의 다른 일실시예를 나타내는 회로도,

제 17 도는 본 발명에 관한 반도체 기억장치의 메모리 어레이부의 다른 일실시예를 나타내는 회로도,

제 18 도는 본 발명에 관한 반도체 기억장치의 메모리 어레이부의 다른 일실시예를 나타내는 회로도,

제 19 도는 본 발명에 관한 반도체 기억장치의 메모리 어레이부의 다른 일실시예를 나타내는 회로도,

제 20 도는 본 발명에 관한 반도체 기억장치의 구성도,

제 21 도는 본 발명에 관한 반도체 기억장치의 메모리 어레이부의 다른 일실시예를 나타내는 회로도,

제 22 도는 본 발명에 관한 반도체 기억장치의 Y계 선택회로와 기록 판독 회로의 일실시예를 나타내는 회로도,

제 23 도는 본 발명에 관한 반도체 기억장치의 다른 일실시예를 나타내는 회로도,

제 24 도는 본 발명에 관한 반도체 기억장치의 메모리 어레이부와 입출력계 회로의 다른 일실시예를 나타내는 회로도,

제 25 도는 본 발명에 관한 반도체 기억장치의 메모리 어레이부와 입출력계 회로의 다른 일실시예를 나타내는 회로도,

제 26 도는 본 발명에 관한 반도체 기억장치가 이용되는 마이크로 컴퓨터의 일실시예를 나타내는 블럭도,

제 27 도는 본 발명에 관한 반도체 기억장치의 메모리 어레이부의 다른 일실시예를 나타내는 레이 아웃도,

제 28 도는 제27도의 A - A'선으로 자른 단면도,

제 29 도는 제27도의 B - B'선으로 자른 단면도,

제 30(A) 도 및 제 30(B) 도는 상기 제27도의 반도체 기억장치의 제조방법의 일실시예를 설명하기 위한 일부 제조공정 단면도,

제 31 도는 상기 제27도의 반도체 기억장치의 제조방법의 일실시예를 설명하기 위한 나머지의 일부 제조공정 단면도,

제 32 도는 종래기술의 일예를 나타내는 회로도이다.

* 도면의 주요부호의 설명 *

XAB . . . X어드레스 버퍼, XAL . . . X어드레스 랫치회로,

XDEC . . . X디코더회로, YAB . . . Y어드레스 버퍼,

YAL . . . Y어드레스 랫치회로, YDEC . . . Y디코더회로,

CONT . . . 제어회로, SA . . . 센스앰프,

WRITE . . . 라이트앰프, DIL . . . 데이터인 랫치회로,

DOL . . . 데이터 아웃 랫치회로, DIB . . . 데이터 입력버퍼,

DOB . . . 데이터 출력버퍼, DIO-0 DIO-7 . . . 데이터 단자,

Q1 Q16 . . . 강유전체 캐패시터, T11 T14, T1 T9 . . . MOSFET,

D1 D8 . . . 주데이터선,

d1 d8, d1' d8', d1" d8", d1" ' d8" ' . . . 블럭내 데이터선(부데이터선),

CPU . . . 마이크로프로세서, TIM . . . 타이머 회로,

SCI . . . 시리얼 · 커뮤니케이tus · 인터페이스회로

A/D . . . 아날로그/디지탈 변환회로,

FRAM . . . 반도체 기억장치(강유전체 메모리), I/O . . . 입출력 회로,

C-MEM . . . 캐쉬메모리, 1 . . . 반도체 기판,

2 . . . N^- 형 웰영역, 3 . . . P^- 형 웰영역,

4 . . . 필드절연막, 5 . . . 채널스톱퍼,

6 . . . 게이트절연막, 7 . . . 게이트 전극,

8 . . . CVD-SiO_2 막, 9 . . . N^+ 확산층(소스, 드레인),

10 . . . P^+ 확산층(소스, 드레인), 11 . . . 사이드월,

12 . . . 하부전극(Pt등의 실리사이드층), 13 . . . 강유전체,

14 . . . 상부전극, 15 . . . 층간절연막,

16 . . . 콘택트, 17. . . 알루미늄층(데이터선),

18 . . . 층간절연막, 19 . . .알루미늄층(워드선션트),

104 . . . CVD-SiO_2 막, 116 . . . 개구.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기억장치에 관한, 특히 강유전체 캐패시터를 이용하는데 이용되는 유효한 기술에 관한 것이다.

고집적화등을 위해, 제32도에 나타난 바와 같이 1개의 스위치 소자에 대해서 복수개의 강유전체 캐패시터(콘덴서)가 설치된 반도체 장치가 있다. 이와같은 반도체 장치에 관해서는 일본특허공개 평4-90189호가 있다.

본원 발명자는 상기와 같은 1개의 스위치 소자에 대해서 복수개의 강유전체 캐패시터를 설치한 경우에 필요적으로 생기는 비선택의 강유전체 캐패시터에 대한 스트레스, 실제상의 기록/판독 동작에 따른 회로구성과 레이아웃 등에서 해결하지 않으면 안되는 여러가지의 문제가 있는 것을 발견했다.

본 발명의 목적은 실질적인 고집적화를 도모하면서, 비선택의 강유전체 캐패시터에 대한 스트레스를 경감시킨 반도체 기억장치를 제공하는 것이다.

본 발명의 다른 목적은 고집적화를 도모하면서, 동작의 안정화를 실현한 반도체 기억장치를 제공하는 것이다.

본 발명의 상기 및 그외의 목적과 신규한 특징은 본 명세서의 기술 및 첨부도면에서 명확하게 된다.

본원에서 개시된 발명중 대표적인 것의 개요를 간단히 설명하면, 아래와 같다. 즉, 제1의 수단으로서 제1의 어드레스 선택선에 제어단자가 접속된 제1의 스위치 소자, 이러한 제1의 스위치 소자의 일단측에 공통으로 한쪽의 전극이 접속되며 상기 한쪽의 전극에 대해서 직교하도록 평면적으로 나란히 배치되어 이루어지는 다른쪽의 전극을 제2의 어드레스 선택선으로 해서 양전극의 교점에 강유전체 개패시터가 형성되어 이루어지는 복수로 되는 부블럭 기억회로를 구비하고, 각 부블럭 기억회로의 제1의 어드레스 선택선에는 각각 다른 어드레스를 할당해서 상기 복수로 되는 부블럭 기억회로의 제2 어드레스 선택선에는 각각 공통의 어드레스를 할당해서 공통화된 어드레스 선택회로를 설치하고, 제1의 어드레스 선택선이 선택상태로 되어서 제1의 스위치 소자가 온상태로 된 때에는 복수로 되는 제2 어드레스 신호선중의 하나를 선택상태로 해서 강유전체 캐패시터에 분극이 생기는 전압을 인가하고, 나머지 제2어드레스 선택선에 강유전체 캐패시터에 가해지는 전압이 선택된 강유전체 캐패시터에 인가전압의 거의 반이 되는 비선택 전위로 하며, 제1 어드레스 선택선이 비선택 상태로 되어서 제1의 스위치 소자가 오프상태로 된 때에는 복수로 되는 제2의 어드레스 선택선에는 강유전체 캐패시터에 인가되는 전압이 거의 0이 되는 비선택 전위를 공급한다.

상기한 제1수단에 의하면, 고밀도로 배치된 강유전체 캐패시터의 다른쪽의 전극을 구성하는 복수의 제2 어드레스 선택선에 대해서, 복수개에 대해서 하나의 선택회로를 설치되도록 할 수 있으므로 강유전체 캐패시터를 가능한 한 고밀도화해서 고집적화를 도모하면서, 비선택의 스위치 소자에 대응한 부블럭 기억회로의 강유전체 캐패시터에는 전압이 인가되지 않으므로 이들 유전체 캐패시터에 대한 스트레스를 대폭으로 저감할 수 있다.

본 발명에서 개시된 것 중 다른 대표적인 것의 개요를 간단하게 설명하면 아래와 같다. 즉, 제2수단으로서 상기 강유전체 캐패시터의 공통화된 한쪽의 전극측에는 제2의 스위치 소자가 설치되며, 대응하는 부블럭 기억회로의 제1의 스위치 소자가 온상태일 때에는 오프상태로 대응하는 부블럭 기억회로의 제1 스위치 소자가 오프상태일 때에는 온상태로 되어서 비선택시의 제2선택선의 전위와 같은 전위를 공급한다.

상기한 제2의 수단에 의하면, 비선택의 스위치 소자에 대응한 부블럭 기억회로의 강유전체 캐패시터에 대한 스트레스를 효율 좋게 저감할 수 있다.

본 발명에서 개시된 발명 중 다른 대표적인 것의 개요를 간단하게 설명하면 아래와 같다. 즉, 제3수단으로서 상기 복수로 되는 부블럭 기억회로 중, 비선택으로 되는 것에는 제1의 스위치소자를 통해서 강유전체 캐패시터에 분극이 생기는 전압의 거의 반이 되는 프리차지 전압을 공급하고, 이러한 프리차지동작 후에 선택된 부블럭 기억 회로의 제1 스위치 소자를 온 상태로 하고, 복수로 되는 제2 어드레스 선택선 중의 하나를 선택상태로 해서 선택된 강유전체 캐패시터에 분극이 생기는 전압을 공급하고, 나머지 제2 어드레스 선택선에 강유전체 캐패시터에 인가되는 전압이 선택된 강유전체 캐패시터에 인가하는 전압의 거의 반이 되는 비선택 전위로 한다.

상기한 제3수단에 의하면, 간단한 구성에 의해 부블럭의 제2 어드레스 선택선의 공통화를 도모하면서, 비선택의 스위치 소자에 대응한 부블럭 기억회로의 강유전체 캐패시터에 대한 스트레스를 대폭으로 저감할 수 있다.

본 발명에서 개시된 발명 중 다른 대표적인 개요를 간단히 설명하면 아래와 같다. 즉, 제4수단으로서 하나의 스위치 소자와 하나의 강유전체 캐패시터로 이루어지는 메모리셀을 가진 메모리셀 어레이부를 병설시켜, 이러한 메모리셀 어레이부에서 상기 한쪽의 전극을 생략하여, 제2의 선택선에 대응된 더미의 다른 전극을 설치해 제2의 선택선의 레이아웃 패턴이 상기 부블럭 기억회로의 그것과 같은 구성으로 한다.

상기한 제4의 수단에 의하면, 다른 구성의 기억블럭을 구비하면서, 캐패시터의 다른 전극의 소밀에 의한 패턴 사이즈의 변동을 방지할 수 있고, 동작 마진을 확보할 수 있다.

1993. 8. 24. 출원된 미국출원번호 08/111,507의 우리의 미특허 출원이 계류 중에 있는 것을 참조했으며 그 내용이 여기에 삽입되어 있다.

제2도에는 본 발명에 관한 반도체 기억장치의 일실시예의 일부 블럭도를 나타내고, 제3도에는 나머지 일부 블럭도가 나타나 있다. 제2도에는 제3도와의 관련을 명확하게 하기 위해 제3도와 일부 중복해서 묘사되어 있다. 동도면의 각 회로 블럭 및 회로 소자는 공지의 반도체 집적회로의 제조기술에 의해 단결정 실리콘과 같은 1개의 반도체 기판상에서 형성된다. 본원에서는 MOSFET는 절연게이트형 전계효과 트랜지스터(MOSFET)의 의미로 이용되고 있다.

본 실시예의 반도체 기억장치는 한장의 반도체 기판상에 형성되며, 8비트의 단위로 데이터의 기록/판독 동작을 행하는 것으로 된다. 메모리 어레이부는 대표로 해서 2×8개의 메모리 블럭이 나타나 있다. 즉 횡방향으로 8개의 메모리 블럭이 설치되며, 종방향으로 2개의 메모리 블럭이 설치된다. 상기 횡방향으로 배치되는 8개의 메모리 블럭은 8개의 데이터 단자 DIO-1 내지 DIO-8에 대응해서 설치된다. 동도면에서는 그중 2개의 메모리 블럭에 대응한 회로가 대표로 해서 예시적으로 나타나 있다.

하나의 메모리블럭은 메모리블럭(BL11)에 나타나 있는 바와 같이 2개의 부블럭 기억회로(SBL1, SBL2)로 나뉘어진다. 하나의 부블럭 기억회로(SBL1)에는 하나의 스위치 MOSFET(11)와 그것에 대하여 복수개(동도면에서는 2개) 설치된 강유전체 캐패시터(Q2, Q10)와 스트레스 방지를 위해 설치된 스위치 MOSFET(21)로 구성된 단위 기억회로가 복수개 설치된다. 즉, 8개로 이루어지는 주데이터선(D1 D8)에 대응해서 8개의 단위 기억회로가 설치된다.

한쪽의 부블럭 기억회로(SBL1)에서 제1의 어드레스 선택선인 워드 블럭선(WB11)에 게이트가 공통으로 접속된 MOSFET(11)로 대표된 8개의 스위치 MOSFET에 대응해서 d1 d8의 데이터선이 설치된다. 이들 데이터선(d1 d8)은 후술하는 바와 같은 상기 강유전체 캐패시터(Q1 Q8, Q9 Q16)의 한쪽의 전극을 구성한다. 이 실시예에서는 상기 데이터선(d1 d8)의 타단에는 상기 MOSFET(T21)로 대표된 스트레스 방지를 위한 스위치 MOSFET가 설치되며, 스트레스 방지 전압 공급선(SD1)에 접속된다. 상기 강유전체 캐패시터(Q1 Q8)를 구성하기 위한 다른쪽의 전극(P11)이 공통으로 형성된다. 이 전극(P11)은 제2 어드레스 선택선으로 해서 상기 데이터선(d1 d8)과 직교하도록 배치된다. 전극(P12)은 다른 강유전체 캐패시터(Q9 Q16)에 대응해서 상기 전극(P11)과 일렬로 배치된다.

상기 메모리블럭(BL1)을 구성하는 다른쪽의 부블럭 기억회로(SBL2)에 있어서도 상기와 같게, 제1 어드레스 선택선인 워드블럭선(WB12)에 게이트가 공통으로 접속된 MOSFET(T12)로 대표된 8개의 스위치 MOSFET에 대응해서, d1' d8'의 데이터선이 설치된다. 이들 복수의 데이터선(d1' d8')은 후술하는 바와 같은 상기 강유전체 캐패시터(q1 q8, q9 q16)의 한쪽의 전극을 구성한다. 이 실시예에서는 상기 데이터선(d1' d8')의 하단에는 상기 MOSFET(T22)로 대표된 스트레스 방지를 위한 스위치 MOSFET가 설치되며 상기 스트레스방지 전압 공급선(SD1)에 접속된다. 상기 강유전체 캐패시터(q1 q8)를 구성하기 위한 다른쪽의 전극(P12)이 공통으로 형성된다. 이 전극(P12)은 제2 어드레스 선택선으로 해서 상기 데이터선(d1' d8')과 직교하도록 다른 강유전체 캐패시터(q9 q16)를 구성하는 다른 어드레스 선택선(P22)과 나란히 배치된다.

결국, 메모리블럭(BL1)은 상기 2개의 부블럭 기억회로(SBL1, SBL2)가 스트레스방지 전압 공급선(SD1)을 에워싸고 상하 대칭적으로 배치된다. 특별히 제한하지 않으나, 실질적인 배선 길이를 서로 같게 하기 위하여, 제2 어드레스 선택선인 전극(P11, P12) 및 전극(P21, P22)의 어드레스 할당은 상하 대칭 없이 위에서 차례대로 1과 2와 같이 할당된다.

상기 강유전체 캐패시터(Q1)등은 그 자체로 하나의 메모리셀을 구성하는 것이고, 상기와 같이 2개의 전극(d1, P11)등을 강유전체를 사이에 두고 직교하도록 배치하는 것만으로 형성할 수 있다. 결국, 전극(d1) 및 전극(P11)을 다른층에 형성하여 양전극이 교차된 장소에서 양전극의 사이층에 강유전체를 설치한 경우, 캐패시터를 고밀도로 형성할 수 있다.

그러나 메모리 억세스를 위한 어드레스 선택회로를 생각하면, 메모리셀만을 고밀도로 배치해도 의미가 없고, 어드레스 선택회로와의 레이아웃상의 정합성이 필요로 된다. 결국 기억회로를 생각할 때에는 메모리어레이와 그 선택을 행하는 어드레스 선택회로가 반도체 기판상에서 기하학적인 소자배치에 정합성이 맞어야 한다. 어드레스 선택회로와 메모리어레이의 정합성이 나쁘고, 어드레스 선택회로의 집적도가 메모리 어레이의 집적도 보다 낮은 경우 반도체 기억장치의 집적도는 어드레스 선택회로의 집적도로 비율판정 되게 되어 고집적화가 제한되어 버린다.

본 실시예에서는 상기 부블럭 기억회로(SBL1, SBL2)에 대해서, 제2의 어드레스 선택선인 전극(P11, P12)에 같은 어드레스를 할당해서 공통 플레이트(PL1)에 접속한다. 같은 모양으로, 다른쪽의 제2 어드레스 선택선인 전극(P2l, P22)에 같은 어드레스를 할당해서 공통 플레이트(PL2)에 접속한다. 그리고, 이들의 공통 플레이트(PL1, PS2)에 대해서, 어드레스 선택 회로로서의 공통 플레이트선 드라이버(PL-DV1)를 설치한다.

이와같이 구성하는 것에 의해, 공통 플레이트선 드라이버(PL-DV)는 실질적으로 제2의 어드레스 선택선인 다른쪽의 전극(P11 P22)의 핏치에 대해서 약 2배 큰 핏치로 형성할 수 있고, 메모리 어레이부와 어드레스 선택회로와의 정합성을 채택할 수 있다.

그외 대표로서 나타나 있는 메모리블럭(BL21)에 있어서도, 상기와 같은 구성으로 된다. 그리고, 동도면에서는 점선에 의한 블랙 박스로 해서 나타나 있는 메모리블럭(BL18, BL28)과 그 사이에 생략되어 있는 다른 메모리 블럭도 같게 구성된다. 상기 제2 어드레스 선택선으로서의 강유전체 캐패시터의 다른쪽 전극(P11)등은 그대로 횡방향으로 연장되어서 같은 어드레스가 할당된 다른 메모리 블럭 선택회로(BL18)등에 포함되는 메모리셀로서의 강유전체 캐패시터의 다른쪽의 전극을 구성한다.

Y셀렉터(YSW-1)는 상기 주데이터선(D1 D8)중에서 하나를 선택해서 공통 데이터선에 접속한다. 이 공통 데이터선에는 상기 기록/판독 회로(RWCl)에 데이터단자(DIO-1)가 설치된다. 또한, 상기 Y셀렉터(YSW-1)는 비선택의 메모리셀에 대해서 가해지는 스트레스를 경감시키기 위하여, 비선택용의 주데이터선에 대해서도 기록(판독)전압(Vo)의 반전압(Vo/2)을 공급하는 스위치 MOSFET가 부가된다.

나머지 7개의 데이터단자(DIO-2 DIO-8)에 대해서도 상기와 같은 구성의 Y셀렉트와 기록/판독회로가 설치된다. 동도면에는 그중의 데이터단자(DIO-7)에 대응한 Y셀렉트(7) 및 기록/판독회로(RWC7)가 대표로 해서 나타나게 되며, 그외 회로는 생략되어 있다.

상기 메모리 어레이부의 메모리블럭의 제1어드레스 선택선인 워드선(블럭선택선 WB11등) 및 제2 어드레스 선택선인 워드선(공통 플레이트선 PL1등)은 디코더(WB-DEC, PL-DEC)에 의해 선택/비선택의 전위가 각각 공급된다. X계 어드레스 신호(XA)는 어드레스 버퍼(XAB)를 통해서 어드레스 랫치회로(XAL)로 취해진다. 상기 디코더(WB-DEC, PL-DEC)는 어드레스 랫치회로(XAL)로 취해진 어드레스 신호를 해독해서, 일련의 동작 시퀀스에 대응해서 제1 어드레스 선택선 및 제2 어드레스 선택선의 선택/비선택신호를 형성한다.

상기 Y셀럭터(YSW-1 YSW-8)의 각 스위치 MOSFET는 Y디코더(YDEC)에 의해 스위치 제어된다. Y계 어드레스 신호(YA)는 어드레스 버퍼(YAB)를 통해서 어드레스 랫치회로(YAL)로 취해진다. Y디코더(YDEC)는 어드레스 랫치회로(YAL)로 취해진 어드레스 신호를 해독해서 선택된 하나의 데이터선은 기록/판독회로(RWC)에 접속하고, 나머지 7개의 비선택 데이터선에는 바이어스 전압(Vo/2)을 공급한다.

제어회로(CONT)는 전원전압(Vcc)에 의해 기록전압(Vo), 반기록전압(Vo/2)의 출력과, 기록/판독신호 (R/W)에 대응해서 타이밍신호(ø)등을 형성한다. 그외, 필요에 따라서 칩 선택신호/CE와 도시되지 않는 강제 리프레시처리(또는 폴링 처리)용의 고전압이 공급된다. 또, 블럭억세스 동작과 자동기록 베리파이기능을 부가하는 경우에는 그 시퀀스 제어를 위한 논리회로가 설치된다.

제1도에는 본 발명에 관한 반도체 기억장치에서 메모리블럭의 일실시예의 레이아웃 패턴도가 나타나 있다. 동도면은 하나의 메모리블럭이 상하로 나뉘어진 2개의 부블럭 기억회로로 나누어진 예가 나타내고, 상기 제2도의 하나의 메모리블럭에 거의 대응되어 있다.

제2도의 메모리블럭의 구성소자와 제1도에 나타난 메모리블럭의 구성소자의 상이점을 이하 설명한다. 제2도의 메모리블럭의 각 부블럭 기억회로는 제1 어드레스 선택선에 결합된 하나의 스위치 MOSFET와, 스트레스방지 전압 공급선에 결합된 하나의 스트레스 방지용의 스위치 MOSFET와, 상기 각 스위치 MOSFET 사이에 접속된 2개의 강유전체 캐패시터를 포함하는 단위 기억회로에 의해 구성되는데 대하여 제1도의 메모리블럭의 부블럭 기억회로는 제1 어드레스 선택선에 접속된 하나의 스위치 MOSFET와 어드레스방지 전압 공급선에 결합된 하나의 스트레스 방지용의 스위치 MOSFET와, 상기 각 스위치 MOSFET 사이에 결속된 4개의 강유전체 캐패시터를 포함하는 단위 기억회로에 의해 구성된다. 또한, 제2도의 메모리블럭은 8개의 주데이터선에 의해 구성되는 데에 대하여, 제1도의 메모리블럭은 6개의 주데이터선에 의해 구성된다. 또, 제1도에 있어서는 메모리블럭의 각 부블럭 기억회로의 단위 기억회로가 4개의 강유전체 캐패시터를 포함하는 것에 대응해서, 4개의 공통 플레이트 드라이버가 하나의 메모리블럭에 대해서 설치된다.

동도면에 있어서, 종방향에 점선으로 나타난 주 데이터선(D1 D6)과, 그것과 겹쳐지도록 형성된 스위치 MOSFET(11)등을 통해서 접속된 상측의 부블럭 기억회로(SLB1)를 구성하는 데이터선 및 이것과 직교하도록 배치된 제2의 어드레스 선택선으로 해서의 전극(P11 P41)이 형성된다. 상기 스위치 MOSFET(11)등의 게이트는 워드블럭 선택선(WB11)과 일체적으로 구성된다. 본 실시예의 부블럭 기억회로(SBL1)은 하나의 스위치 MOSFET(T11)등에 대해서 4개의 강유전체 캐패시터가 형성되는 예가 나타나 있다.

특별히 제한되지 않으나, 워드블럭 선택선(WB11)은 제1층째의 배선층이고, 예를들면 폴리실리콘층으로 구성된다. 스위치 MOSFET(T11)등을 통해서 접속되는 부블럭 기억회로(SBL1)내의 데이터선과 그것과 직교하게 되는 플레이트 전극(P11 P41)은 2층째와 3층째의 배선층으로 되며, 후술하는 바와 같이 각각 백금으로 되는 금속 배선층에 의해 형성된다. 상기 부블럭 기억회로(SBL1)내의 데이터선의 타단에는 스트레스방지를 위한 스위치 MOSFET(T21)등이 설치되며 상기 스트레스 방지전압 공급선(SD1)에 접속된다. 상기 스트레스 방지 스위치 MOSFET(T21)등의 게이트는 데이터 블럭선(DB11)에 접속된다.

상기 스트레스방지 전압 공급선(SD1)에 대해서 대칭적으로 하측의 부블럭 기억회로(SBL2)가 형성된다. 즉, 상기 스트레스방지용 전압 공급선(SD1)에 인접해서, 스트레스방지를 위한 스위치 MOSFET(T22)등이 설치되며, 그 게이트는 데이터 블럭선(DBl2)에 접속된다.

상기 종방향에 점선으로 나타난 주데이터선(D1 D6)과 그것을 겹치도록 형성된 스위치 MOSFET(T12)등을 통해서 접속된 하측의 부블럭 기억회로(SBL2)를 구성하는 데이터선 및 이것과 직교하게 배치된 제2의 어드레스 선택선으로 해서의 전극(P12 P42)이 형성된다. 그리고 데이터선의 하측에 설치된 상기 스위치 MOSFET(T12)등의 게이트는 워드블럭 선택선(WB12)과 일체적으로 구성된다. 동도면에는 하나의 메모리블럭밖에 나타나 있지 않으나, 다른 메모리블럭은 그워드 블럭선이 상기 워드블럭선(WB11) 또는 (WB12)에 인접해서 배치되도록 설치되며, 주 데이터선과 그것에 대응된 스위치 MOSFET의 콘택트열에 대해서 상하 대칭적으로 배치된다. 이와 같은 대칭 배치에 의해, 콘택트수가 적고 효율좋게 메모리 어레이를 레이아웃 할 수 있다.

이 실시예에서는 상기 부블럭 기억회로(SBL2)의 전극(Pl2 P42)은 드라이버측에서 종방향으로 연장된 접속배선(PL1'-PL4')을 통해서 공통 플레이트선(PL1 PL4)에 접속된다. 이 접속배선(PL1' PL4')은 특별히 제한되지 않으나, 4층째 배선이 이용되며 예를들면 알루미늄과 같은 금속배선층으로 된다.

상기 4개의 공통 플레이트선은 공통 플레이트선(PL1, PL2) 및 공통 플레이트선(PL3, PL4)의 2개조로 나누어서 배치된다. 공통 플레이트선(PL1, PL2)은 전극(P11, P12) 및 전극(P21, P22)에 각각 결합되며, 공통 플레이트선(PL3, PL4)은 전극(P31, P32) 및 전극(P41, P42)에 각각 공통으로 결합된다. 상측에 배치된 공통 플레이트선 드라이버(PL-DV1, PL-DV2)의 출력신호는 제5층째의 배선층에 의해 구성된 공통 플레이트선(PL1, PL2)을 통해서 전극(P11, P12) 및 전극(P21, P22)으로 전달된다. 같은 모양으로 2개조로 나누어져 다른 공통 접속된 전극(P31, P32) 및 전극(P41, P42)에는 하측에 배치된 공통 플레이트선 드라이버(PL-DV3, PL-DV4)의 출력신호가 제5층째의 배선층에 의해 구성된 공통 플레이트선(PL3, PL4)을 통해서 전달된다.

이와같은 구성으로 하는 것에 의해 각 부블럭 기억회로에 포함되는 단위 기억회로가 4개의 플레이트선(4개의 강유전체 캐패시터)을 가짐에도 불구하고 그것을 선택하는 공통 플레이트 선드라이버는 각 부블럭 기억회로에 대해서 실질적으로 2개만 배치하면 좋다. 이와같이 하는 것에 의해 메모리어레이와 그 선택신호를 형성하는 공통 플레이트선 드라이버 및 디코더를 포함하는 어드레스 선택회로와의 기하학적 정합성을 채택하면서, 고밀도로 회로를 형성할 수 있다. 즉 메모리어레이의 집적도가 어드레스 선택회로의 집적도보다 높은 것에 의해, 반도체 기억장치의 집적도가 어드레스 선택회로의 집적도로 비율판정되는 것을 회피 또는 개선 하는 것이 가능하게 된다.

제4도에는 상기 반도체 기억장치의 기록과 판독방법의 일실시예를 설명하기 위한 회로도가 나타나 있다. 동도면에 있어서는 선택블럭과 비선택블럭의 2개가 대표로 해서 예시적으로 나타나 있다. 이 실시예에서는 강유전체 캐패시터(Q1) 등에서 분극의 반전을 발생시키는 전압을 Vo로 하고, 그 반의 전압(Vo/2)에서는 분극의 반전이 생기지 않는 것으로 한다.

선택블럭(BL11)중의 선택부블럭(SBL1)의 스위치 MOSFET(T11)등은 온상태(ON)에, 스위치 MOSFET(T12)는 오프상태(OFF)로 된다. 이것에 의해, 부블럭 기억회로(SBL1)의 데이터선(d1 d8)을 각각이 주데이터선(D1 D8)에 접속된다. 이때, 주 데이터선(D1 D8)중 주데이터선(D1)이 선택되어서, 기록 또는 판독신호 (0)(또는 Vo)가 공급된다. 다른 비선택 주데이터선(D2 D8)에는 Vo/2가 공급된다.

상기 선택부블럭(SBL1)에서, 플레이트전극(P11)이 선택되어서, 강유전체 캐패시터(Q1)에 기록 또는 판독이 행해질 때, 공통 플레이트선(PL1)에 전압 (Vo)(또는 0)이 공급되며, 다른 비선택의 공통 플레이트선(PL2)에는 Vo/2가 공급된다.

이것에 의해, 선택부블럭(SBL1)의 강유전체 캐패시터(Q1)의 양전극간에 대해서, Vo가 인가되어 분극의 반전이 가능하게 된다. 물론, 강유전체 캐패시터(Q1)에서 유지상태의 분극방향과 같다면 그 상태를 유지한다. 이것에 대해서, 상기 선택플레이트전극(P11)과 비선택의 데이터선(d2 d8)으로 구성되는 비선택의 강유전체 캐패시터(Q2 Q8)에서는 Vo/2의 전압만이 인가되므로 원래의 분극상태를 유지한다. 상기 선택 데이터선(d1)과 비선택 플레이트 전극(P12)으로 구성된 강유전체 캐패시터(Q9)에 있어서도 상기와 같게 Vo/2의 전압만이 인가되므로 원래의 분극상태를 유지한다. 상기 비선택 데이터선(d2 d8)과 비선택 플레이트전극(P21)으로 구성된 강유전체 캐패시터(Q9 Q16)에 있어서는 양전극간에 주어진 전압이 Vo/2의 동전위로 되어서 분극의 반전이 생기지 않을 뿐이고, Vo/2와 같은 스트레스의 원인이 되는 전압도 인가되지 않는다.

선택블럭(BL11)중의 비선택부블럭(SBL2)의 스위치 MOSFET(Tl2)등은 오프상태(OFF)로, 스위치 MOSFET(T22)는 온상태(ON)으로 된다. 이것에 의해, 비선택의 부블럭 기억회로(SBL2)의 데이터선(d1' d8')은 각각이 스트레스 방지 전압 공급선(SD1)에 접속되어서 전압(Vo/2)이 인가된다. 이것에 의해, 상기 플레이트전극(P11, P12)의 공통화에 의해 Vo(또는 0)와 같은 전압이 인가된 플레이트 전극(P12)에 설치되는 강유전체 캐패시터(q1 q8)에 있어서도, Vo/2와 같은 전압만이 인가되므로 분극은 생기지 않는다. 또, 상기 비선택 데이터선(d1' d8')과 비선택 플레이트전

극(P22)과의 사이에 구성된 강유전체 캐패시터에서는 양전극간에 공급되는 전압이 Vo/2의 동전위로 되어서 분극의 반전이 생기지 않을 뿐이고, Vo/2와 같은 스트레스 원인으로 되는 전압이 인가되지 않는다.

비선택블럭(BL21)에서는 주데이터선(D1 D8)과, 스트레스방지 전압 공급선(SD2)에 접속되는 스위치 MOSFET(T13, T23, T14, T24)등이 오프상태로 되고, 블럭내의 데이터선 d1" d8" 등은 도시되지 않는 디스차지 회로에 의해 0V로 디스차지 되어 있고, 플레이트전극(P31 P42)에도 0V가 인가되어 있을 뿐이므로, 분극이 생기지 않고 스트레스 원인으로 되는 전압이 인가되지 않는다.

제5도에는 기록동작 또는 판독동작을 설명하기 위한 개략파형도가 나타나 있다. 기록 사이클에서는 주데이터선 중에서 선택된 것에는 실선으로 나타난 Vo 또는 점선으로 나타낸 0V가 공급된다. 이것에 대해서, 비선택의 주데이터선에는 Vo/2가 공급된다. 공통 플레이트선 중에서 선택된 것에는 상기 주데이터선의 선택된 것의 전압과는 역으로, 실선으로 나타난 0V 또는 점선으로 나타난 Vo가 공급된다. 또, 선택블럭 중의 비선택의 플레이트전압은 Vo/2로 되며, 비선택블럭 중에서의 플레이트전압은 0V로 된다.

판독 사이클에서는 주데이터선 중에서 선택된 것에는 실선으로 나타난 바와 같이 (a)의 기간(Vo)에 프리차지되며, 플레이트전압이 0V로 되어 있으므로 분극의 반전이 생긴 것에 분극으로 수반되는 전류를 (b)기간에서 센스앰프에 의해 센스 한다. 즉, 분극의 반전에 수반하는 전하의 이동에 대응된 전위 변화가 데이터선에 나타내어서, 그것이 센스앰프에 의해 센스된다. 이것에 대해서, 분극의 반전이 행해지지 않는 강유전체 캐패시터가 접속되는 데이터선에서는 전위 변화가 생기지 않는다. 이와같은 판독에 의한 분극의 반전을 원래로 되돌리기 위해 (c)와 같이 선택된 주 데이터선과 플레이트 전압의 전압을 판독시와 역전시켜 원래의 상태로 되돌린다. 만약, 점선으로 나타난 바와 같이 분극 비반전 때에는 모두 0V로 되어서 그 상태를 유지시킨다. 판독 사이클에 있어서도 비선택의 주데이터선과 플레이트 전극의 전압은 상기 기록과 같다.

제6도에는 상기 선택 블럭내에서 선택부블럭(SBL1)에서의 기록동작과 판독동작을 설명하기 위한 개략파형도가 나타나 있다. 기록 사이클에서는 데이터선을 주데이터선에 접속시키는 트랜스퍼 MOSFET(T11)가 온상태로, 데이터선을 스트레스방지 전압 공급선에 접속된 트랜스퍼 MOSFET(T21)가 오프상태로 된다. 이것에 의해, 선택된 데이터선(d1)에는 주데이터선의 선택전압 (Vo)(또는 0V)이 인가되며, 다른 비선택 데이터선(d2 d8)에는 비선택의 주데이터선의 전압(Vo/2)이 인가된다. 플레이트선의 전압은 상기 도면 제5도와 같다. 이것에 의해, 선택 데이터선(d1)과 선택 플레이트선(P11)과의 사이에 형성된 강유전체 캐패시터에 전압(Vo)이 인가된다. 다른 강유전체 캐패시터에는 Vo/2의 전압만이 인가된다.

판독 사이클에서는 상기와 같은 데이터선을 주데이터선에 접속되는 트랜스퍼 MOSFET(T11)가 온상태로, 데이터선을 스트레스 방지 전압 공급선으로 접속되는 트랜스퍼 MOSFET(T21)가 오프상태로 되어 있으므로, 선택된 데이터선(d1)에는 실선으로 나타난 바와 같이 (a)의 기간에 Vo로 프리차지 되며, 플레이트 전극의 전압이 0V로 되어 있으므로서 분극의 반전이 생긴것이므로 분극에 수반하는 전류를 (b)의 기간에서 센스앰프에 의해 센스 한다. 이와같은 판독에 의한 분극의 반전을 원래로 되돌리기 위해서 (c)와 같이 선택된 데이터선과 플레이트 전압의 전압을 판독시와 역전시켜서 원래상태로 되돌린다. 만약, 점선으로 나타난 바와 같이 분극 비반전일 때에는 모두 0V로 되어서 그 상태를 유지시킨다. 판독사이클에서도 비선택의 주데이터선과 플레이트 전극의 전압은 상기 기록과 같다.

제7도에는 상기 선택 블럭내에서 비선택부블럭(SBL2)에서의 기록 동작과 판독동작에 수반하는 개략파형도가 나타나

있다. 기록 및 판독 사이클에서는 데이터선을 주데이터선에 접속되는 트랜스퍼 MOSFET(T12)가 오프상태로, 데이터선을 스트레스방지 전압 공급선에 접속되는 트랜스퍼 MOSFET(T22)가 온상태로 된다. 이것에 의해 데이터선(d1" d8")에는 Vo/2가 인가된다. 그외는 상기 제6도와 같다. 플레이트선의 공통화에 의해 비선택부블럭(SBL2)에 있어서도 기록 또는 판독에 의한 데이터의 반전에 수반하는 재기록시에 Vo와 같은 전압이 인가되나, 상기와 같은 데이터선(d1" d8")에는 Vo/2가 인가되어 있으므로 분극의 반전을 생기지 않는다.

데이터의 1과 0에 응해서, 상기 전압의 인가방향을 지정하는 것에 의해 기록을 행하도록 하는 것 외에 예를들면 데이터 0에 대응된 상태를 소거상태로 결정해 놓고 기록시에는 데이터 0에 대응한 분극 방향이 되도록 소거기록을 행하고, 그 후에 데이터 1로 되는 것에 대해서만 기록을 행하도록 해도 좋다. 결국, 종래의 일괄소거형 EFROM등과 같은 재기록 동작과 같게 8비트의 단위에서의 데이터 기록에서 전비트를 0으로 소거상태로 하고, 8비트중에서 0에서 1로 바꾸는 비트만을 기록하는 것이어도 좋다. 이와같이 하는 것에 의해, 주데이터선과 플레이트선에 공급하는 전압의 극성을 규칙적으로 설정할 수 있다.

결국, 제1회째의 소거기간과 제2회째의 기록기간에서, 상기 트랜스퍼 MOSFET의 게이트가 접속된 블럭워드선을 선택전위로 유지하고, 제1회째의 소거기간에서 " 0" 기록때에는 선택된 플레이트선의 전위가 Vo/2와 같은 비선택 레벨에서 0V와 같은 선택레벨로 변화하고, 그것과 동기해서 데이터선의 전위가 Vo/2와 같은 비선택 레벨에서 Vo와 같은 기록전압으로 변화된다. 이것에 의해, 선택된 강유전체 캐패시터에는 Vo의 전압이 인가되어서 분극이 일방향으로 향하도록 된다.

계속해서 행해지는 제2회째의 " 1" 기록때에는 선택되는 제2워드선의 전위가 0V에서 Vo로 변화하고, 데이터선의 전위가 Vo에서 0V변화된다. 이것에 의해, 선택된 강유전체 캐패시터에는 상기와는 역극성으로 기록전압(Vo)이 인가되어서 분극이 다른쪽으로 향하게 된다.

제8도에는 상기 반도체 기억장치의 기록과 판독방법의 다른 일실시예를 설명하기 위한 회로도가 나타나 있다. 동도면에 있어서는 제4도의 실시예와 같이 선택블럭(BL11)과 비선택 블럭(BL21)과의 2개가 대표로 해서 예시적으로 나타나 있다.

이 실시예에서는 비선택블럭(BL21)측의 바이어스의 인가방법의 다른 일실시예가 나타나있고, 선택블럭(BL11)측에 대해서는 상기 제4도의 실시예와 같으므로 설명을 생략한다. 비선택블럭(BL21)측에서, 스트레스방지 전압 공급선(SD2)에 대응한 스위치 MOSFET(T23, T24)등을 온상태(ON)로 해서, 스위치 MOSFET(T23, T24)등의 소스 드레인 경로의 일단에 Vo/2와 같은 중간전압을 공급한다. 이것에 응해서, 플레이트 전압도 상기와 같은 0에서 블럭내의 데이터선(d1" d8")과 같은 전위의 Vo/2로 설정한다. 또는 비선택블럭(BL21)에서는 스트레스 방지 전압 공급선(SD2)에 0V를 공급하도록 하고, 이것에 응해서 플레이트전압도 0V로 해도 좋다. 이와같은 구성에 의해, 상기와 같이 데이터선(d1" d8")에 디스차지 회로를 별도로 설치하는 것이 아니고, 비선택블럭(BL21)의 강유전체 캐패시터의 양전극에는 같은 바이어스 전압이 공급되므로서, 비선택의 강유전체 캐패시터에 가해지는 스트레스를 최소로 할 수 있다.

제9도에는 본 발명에 관한 반도체 기억장치의 다른 일실시예의 일부 블럭도를 나타내고, 제10도에는 나머지 일부 블럭도가 나타나 있다. 상기와 같이 제9도에는 제10도와의 연관을 명확하게 하기 위해 제10도와 일부 중복해서 묘사되어 있다.

이 실시예에서는 스트레스방지 전압 공급선과 그것에 대응해서 설치되는 스위치 MOSFET가 생략된다. 결국 하나의 메모리블럭(BL11)이 2개의 부블럭 기억회로(SBL1, SBL2)로 나뉘어져, 2개의 부블럭 기억회로(SBLl, SBL2)에서 플레이트전극(P11, P12) 및 전극(P21, P22)을 공통화시켜, 그것에 대응된 공통플레이트선 드라이버의 핏치를 넓게 하는 것이다. 그외의 구성은 상기 제2도 및 제3도 등의 실시예와 같다.

이 구성에서는 상기와 같은 스트레스 방지 전압 공급선과 그것과 부블럭의 데이터선들을 접속하는 스위치 MOSFET를 생략할 수 있으므로 회로가 대폭으로 간소화할 수 있게 된다.

제11도에는 상기 제9도와 제10도에 나타낸 반도체 기억장치에서 기록과 판독방법의 일실시예를 설명하기 위한 회로도가 나타나 있다. 동도면에서는 선택블럭(BL11)과 비선택블럭(BL21)과의 2개가 대표로 해서 예시적으로 나타내며, 상기와 같은 강유전체 캐패시터(Q1)등에서 분극의 반전을 발생시키는 전압을 Vo로 하고, 그 반의 전압(Vo/2)에서는 분극의 반전이 생기지 않는 것으로 한다.

이 실시예에서는 상기와 같은 회로의 간소화를 위하여, 스트레스 방지 전압 공급선과 스위치 MOSFET를 생략한 것으로, 그것에 상당하는 기능을 동작 시퀀스에 의해 행해진다. 결국, 기록 또는 판독 동작에 앞서서 프리차지 기간이 설치된다. 이 프리차지 기간에서는 선택블럭의 선택 부블럭의 워드블럭선(WB11)이 로레벨로 되어서 스위치 MOSFET(T11)등을 오프상태로, 비선택부블럭(SBL2)의 블럭워드선(WB12)을 하이레벨로해서 스위치 MOSFET(T12)등을 온상태로 한다. 그리고 주데이터선(D1 D8)을 전부 비선택으로 해서 Vo/2를 공급한다. 이것에 의해 비선택 부블럭의 데이터선(d1' d8')을 Vo/2로 프리차지 한다.

상기와 같은 프리차지가 종료하면, 선택블럭(BL11)의 중의 선택 부블럭 기억회로(SBL1)의 스위치 MOSFET(T11)등은 온상태(ON)로, 스위치 MOSFET(T12)는 오프상태(OFF)로 된다. 이것에 의해, 선택 부블럭 기억회로(SBL1)의 데이터선(d1 d8)은 각각이 주데이터선(D1 D8)에 접속된다. 한편, 비선택 부블럭 기억회로(SBL2)의 데이터선(d1' d8')은 상기 제4도와 같이 Vo/2로 유지된다. 상기 제4도와 제11도의 상이점으로는 제4도의 실시예에서 데이터선(d1' d8')은 스트레스방지용의 스위치 MOSFET를 통해서 Vo/2의 전압이 정상적으로 공급되는 데에 대해서 제11도의 실시예에서는 데이터선(d1' d8')등에 기생적으로 결합된 기생용량에 전하가 유지되는 것에 의해 데이터선(d1' d8')의 전위가 Vo/2로 유지되는 점이다.

그리고, 주데이터선(D1 D8)중, 주데이터선(D1)이 선택되어서, 기록 또는 판독신호 (0)(또는 Vo)가 공급된다. 다른 비선택 주데이터선(D2 D8)에는 Vo/2가 공급된다. 상기 선택 부블럭 기억회로(SBL1)에서, 플레이트 전극(P11)이 선택되어서 강유전체 캐패시터(Q1)에 기록 또는 판독이 행해질때, 공통 플레이트선(PL1)에 전압 (Vo)(또는 0)이 공급되며, 다른 비선택의 공통 플레이트선(PL2)은 0에서 Vo/2로 절환된다.

이것에 의해, 선택부클럭 기억회로(SBL1)의 강유전체 캐패시터(Q1)의 양전극간에 Vo가 인가되어서 분극의 반전이 가능하게 된다. 물론, 강유전체 캐패시터(Q1)에서 유지상태의 분극방향과 같다면 그 상태를 유지한다. 이것에 대해서 상기 선택 플레이트전극(P11)과 비선택의 데이터선(d2 d8)과의 사이에 형성된 비선택의 강유전체 캐패시터(Q2 Q8)의 양전극간에는 Vo/2의 전압만이 인가되므로 원래의 분극상태를 유지한다. 상기 선택의 데이터선(d1)과 비선택의 플레이트전극(P12)과의 사이에 형성된 강유전체 캐패시터(Q9)에 있어서도, 상기와 같이 Vo/2의 전압만이 인가되므로 원래의 분극상태를 유지한다. 상기 비선택의 데이터선(d2 d8)과, 비선택의 플레이트 전극(P21)과의 사이에 형성된 강유전체 캐패시터(Q11 Q16)에서는, 양전극에 공급되는 전압이 Vo/2의 동전위로 되어서 분극의 반전이 생기지 않을 뿐이고, Vo/2의 스트레스 원인으로 되는 전압이 양전극간에 인가되지 않는다.

선택블럭(BL11)중의 비선택 부블럭 기억회로(SBL2)의 스위치 MOSFET(T12)등은 상기 상태를 유지하여 오프상태(OFF)로 되며, 데이터선(d1' d8')이 Vo/2를 유지하고 있다. 이것에 의해, 상기 플레이트 전극(P11, P12)의 공통화에 의해 Vo(또는 0)의 전압이 인가되는 플레이트 전극(P12)을 가지는 강유전체 캐패시터에 있어서도, 양전극 사이에 Vo/2 전압만이 인가되므로서 분극의 반전은 생기지 않는다. 또, 상기 비선택의 데이터선(d1' d8')과 비선택 플레이트 전극(P22)으로 구성된 강유전체 캐패시터에서는 양전압이 Vo/2의 동전위로 되어서 분극의 반전이 생기지 않을 뿐만아니라, Vo/2의 스트레스의 원인으로 되는 전압이 인가되는 것은 아니다.

비선택블럭(BL21)에서는 주데이터선(D1 D8)과, 워드블럭선(WB21, WB22)이 로레벨로 되는 것에 의해 스위치 MOSFET(T13, T14)등이 오프상태로 되며, 비선택블럭(BL21)내의 데이터선(d1" d8")등은 특별히 제한되지 않으나, 도시되지 않은 디스차지 회로에 의해 0V로 디스차지되어 있고, 플레이트 전극(P31 P42)에도 0V가 인가되어 있을 뿐이므로, 분극이 생기지 않아 스트레스 원인으로 되는 전원이 인가되지 않는다.

제12도에는 상기 제11도의 기록동작과 판독동작을 설명하기 위한 개략파형도가 나타나 있다. 기록 사이클에서는 프리차지 기간이 설치되어서 상기와 같은 Vo/2의 프리차지 동작이 행해진다. 이와같은 프리차지 기간이 종료하면 상기와 같이 주데이터선 중에서 선택된 것에는 실선으로 나타난 Vo(또는 점선으로 나타난 0V)가 공급된다. 이것에 대해서, 비선택의 주데이터선에는 Vo/2가 공급된다. 공통 플레이트선 중에서 선택된 것에는 상기 주데이터선의 선택된 것의 전압과는 역으로, 실선으로 나타난 바와 같은 0V(또는 점선으로 나타난 Vo)가 공급된다. 또, 선택블럭 중의 비선택의 플레이트 전압은 Vo/2로 되며, 비선택블럭 중의 플레이트 전압은 0V로 된다.

판독 사이클에서는 프리차지 기간이 설치되어서 상기 Vo/2와 같은 프리차지 동작이 행해진다. 이와같은 프리차지 기간이 종료하면, 상기와 같이 주데이터선 중에서 선택된 것에는 실선으로 나타난 바와 같이 (a)의 기간에 Vo로 프리차지되며, 플레이트 전압이 0V로 되어 있으므로 분극의 반전이 생긴 것으로 분극에 수반하는 전류를(b)의 기간에서 센스앰프에 의해 센스 한다. 즉, 분극의 반전에 수반하는 전하의 이동에 대응한 전위 변화가 데이터선에 나타내고, 이것이 센스앰프에 의해 센스 된다. 이것에 대해서, 분극의 반전이 행해지지 않는 강유전체 캐패시터가 접속되는 데이터선에서는 전위 변화가 생기지 않는다. 이와같은 판독에 의한 분극의 반전을 원래로 되돌리기 위해서 (c)와 같이 선택되는 주데이터선과 플레이트 전극의 전압을 판독시와는 역으로 반전시켜서 원래의 상태로 되돌린다. 만약, 점선으로 나타난 바와 같이 분극 비반전일 때에는 모두 0V로 되어서 그 상태를 유지시킨다. 판독 사이클에서도, 비선택의 주데이터선과 플레이트전극의 전압은 상기 기록과 같다.

제13도에는 선택블럭(BL11)내에서의 선택 부블럭 기억회로(SBL1)에서의 기록동작과 판독동작을 설명하기 위한 개략파형도가 나타나 있다. 기록 사이클에서는 프리차지 기간이 설치되어서 상기와 같은 Vo/2의 프리차지 동작을 행한다. 이와같은 프리차지 기간이 종료하면, 상기와 같이 데이터선을 주데이터선에 접속되는 트랜스퍼 MOSFET(T11)가 온상태로 된다. 이것에 의해, 선택된 데이터선(d1)에는 주데이터선의 선택전압 (Vo)(또는 0V)이 인가되며, 다른 비선택 데이터선(d2 d8)에는 비선택의 주데이터선의 전압 (Vo/2)이 인가된다.

플레이트선의 전압은 상기 제12도와 같다. 이것에 의해, 선택 데이터선(d1)과 선택의 플레이트선(P11)과의 사이에 형성된 강유전체 캐패시터에 전압(Vo)이 인가된다. 다른 강유전체 캐패시터에는 Vo/2의 전압 밖에 인가되지 않는다.

판독 사이클에서는 프리차지 기간이 설치되어서 상기의 Vo/2와 같은 프리차지 동작이 행해진다. 이와같은 프리차지 기간이 종료하면, 상기와 같이 데이터선을 주데이터선에 접속되는 트랜스퍼 MOSFET(T11)가 온상태로 된다. 선택된 데이터선(d1)에는 실선으로 나타낸 바와 같이 (a)의 기간에 Vo로 프리차지 되며, 플레이트 전압이 0V로 되어 있으므로 분극의 반전이 생긴 것으로 분극에 수반하는 전류를 (b)의 기간에서 센스앰프에 의해 센스 한다. 이와같은 판독에 의한 분극의 반전을 원래로 되돌리기 위하여, (c)와 같이 선택되는 데이터선과 플레이트전극의 전압을 판독할 시와는 역으로 반전되어서 원래의 상태로 되돌아간다. 만약, 전선으로 나타낸 바와 같이 분극 반전때에는 원래 0V로 되어서 그 상태를 유지시킨다.

판독 사이클에 있어도, 비선택의 주데이터선과 플레이트전극의 전압은 상기 기록과 같다.

제14도에는 선택블럭(BL11)내에서의 비선택 부블럭 기억회로(SBL2)에서의 기록동작과 판독동작에 수반하는 개략파형도가 나타나 있다. 기록 및 판독 사이클에서는 프리차지 기간이 설치되어서 상기와 같은 Vo/2의 프리차지 동작이 행해진다. 이와 같은 프리차지 기간이 종료하면, 상기 같은 모양으로 데이터선을 주데이터선에 접속되는 트랜스퍼 MOSFET(T12)가 오프상태로 된다. 상기 프리차지에 의해 데이터선(d1" d8")에는 Vo/2가 유지된다. 그외는, 상기 제13도와 같다. 플레이트선의 공통화에 의해, 비선택 부블럭 기억회로(SBL2)에 있어서도, 기록 또는 판독에 의한 데이터의 반전에 수반되는 재기록시에 Vo와 같은 전압이 인가되나, 상기와 같은 데이터선(d1" d8")에는 Vo/2가 유지되어 있으므로 분극의 반전은 생기지 않는다.

제15도에는 상기 제9도와 제10도에 나타난 반도체 기억장치의 기록과 판독방법의 다른 일실시예를 설명하기 위한 회로도가 나타나 있다. 동도면에 있어서는, 선택블럭(BL11)과 비선택블럭(BL21)과의 2개가 대표로 해서 예시적으로 나타나고 상기와 같이 강유전체 캐패시터(Q1)등에서 분극의 반전을 발생시키는 전압을 Vo로 하고, 그 반전압 (Vo/2)에서는 분극의 반전이 생기지 않는 것으로 한다.

본 실시예에서는 프리차지 기간에 있어서도, 비선택 부블럭 기억회로(SBL2)의 워드블럭선(WB12)과 같게 선택블럭(BL11)의 선택부 블럭 기억회로(SBL1)의 워드블럭선(WB11)도 하이레벨로 되어서 스위치 MOSFET(T11) 및 (T12) 등을 모두 온상태로 하고, 주데이터선(D1 D8)을 전부 비선택으로 해서 Vo/2를 공급해서, 선택블럭내의 데이터선(d1 d8) 및 데이터선(d1' d8')을 Vo/2로 프리차지 한다.

상기와 같은 프리차지가 종료하면, 선택블럭(BL11)의 중의 비선택 부블럭 기억회로(SBL2)의 스위치 MOSFET(12) 등은 오프상태(OFF)로 절환되어서 비선택 부블럭 기억회로(SBL2)의 데이터선(d1' d8')에 Vo/2를 유지시킨다. 그외는 상기 제11도와 같으므로 설명을 생략한다. 이 구성에서는 선택블럭(BL11)에서의 선택부블럭 기억회로(SBL1)의 워드블럭선(WB11)을 메모리 사이클 기간에 걸쳐서 하이레벨로 하면 좋으므로 제어가 간단하게된다.

다음에, 메모리 억세스 때에 비선택으로 되어야할 강유전체 캐패시터에 걸리는 Vo/2의 스트레스에 대해 고찰한다. 상기 비선택전압 Vo/2는 강유전체 캐패시터에 대해서 직접으로 분극을 반전시키지 않으나, 그 회수 내지 시간이 길게 되면 무시할 수 없게 되고, 강유전체 캐패시터가 가지는 분극과 전계와의 히스테리시스 특성에서 잔류분극의 유지 특성을 열화시킨다.

예를들면 이 실시예의 반도체 기억장치와 같이 하나의 스위치 소자에 대해서 m개(8개)의 강유전체 캐패시터를 접속하고, 데이터선을 N개(128개)로 해서 플레이트 전극 1024개로 한 경우 전부 약 1M비트의 기억용량을 가진 메모리 어레이를 상정하여, 전비트에 1회의 기록 또는 판독을 행한 경우의 Vo/2 스트레스를 계산하면 다음 표1과 같게 된다.

< 표 1>

	워드선/데이터선	본 발명	종래 1	종래 2	종래 3
선택 블럭	선택/비선택	N-1	N-1	N-1	N-1
	비선택/선택	m-1	M-1	0	m-1
	비선택/비선택	0	NM-1	0	
비선택 블럭	선택/비선택	-	-	-	-
	비선택/선택	-	-	-	-
	비선택/비선택	0	-	-	N·m(M/m-1)

표1에서는 비교를 위하여, 일본특허공개 4-336477호 공보와 같이 스위치 소자를 갖지 않고서 데이터선과 워드선의 교점에 강유전체 캐패시터를 설치된 것을 종래기술(종래1)로 하고 일본특허공개 3-36763호 공보와 같이 하나의 강유전체 캐패시터에 하나의 스위치를 설치된 것을 종래기술(종래 2)로 하며, 일본특허공개 4-90189호 공보와 같이 하나의 스위치에 복수개의 강유전체 캐패시터를 설치된 것에 있어서, 공보에서는 명확하지 않으나 비선택레벨로 해서 Vo/2를 정상적으로 공급하는 구성으로 한 것을 종래기술(종래 3)로 한다.

최대스트레스의 회수는 다음의 식(1) 내지 (4)로 된다.

$$\text{본 발명의 최대스트레스} = (N-1) + (m-1) \quad \cdots (1)$$

$$\text{종래 1의 최대스트레스} = NM-1 \quad \cdots (2)$$

$$\text{종래 2의 최대스트레스} = N-1 \quad \cdots (3)$$

$$\text{종래 3의 최대스트레스} = 1+(m-1)/(N-1)+Nm/(N-1)\cdot(M/m-1) \quad \cdots (4)$$

종래 2에 대한 최대스트레스의 상대비는 다음식 (5) 내지 (7)로 된다.

$$\text{본 발명의 상대비} = 1+(m-1)/(N-1) \quad \cdots (5)$$

$$\text{종래 1의 상대비} = (NM-1)/(N-1) \quad \cdots (6)$$

$$\text{종래 3의 상대비} = 1+(m-1)/(N-1) + Nm/(N-1)\cdot(M/m-1) \quad \cdots (7)$$

상기와 같이 N=128, M=1024, m=8로 한 경우의 상대비는 종래 2의 1에 대해서 본 발명은 1.06배와 거의 같게 되는데에 대해서, 종래 1과 종래 3은 1025배로 크게 된다. 이것에서, 본 발명에서는 하나의 스위치 소자에 대해서 복수의 강유전체 캐패시터를 설치하는 것에 의해 고집적화를 도모하면서 메모리 억세스시에 비선택으로 되는 강유전체 캐패시터에 걸리는 Vo/2의 스트레스를 종래 2와 같은 1스위치 l캐패시터와 거의 같게 할 수 있다. 또한, 8비트의 단위에서의 메모리 억세스가 행해지는 경우에는 상기와 같은 구성의 메모리 어레이가 전체에서 8개 설치된다. 그러므로 반도체 기억장치가 가지는 기억용량은 약 8M 비트와 같은 대기억용량으로 된다.

제16도에는 본 발명에 관한 반도체 기억장치의 메모리 어레이부의 다른 일실시예의 회로도가 나타내고 있다. 본 실시예에서는 하나의 블럭에 4개의 부블럭 기억회로(SBL1) 내지 부블럭 기억회로(SBL4)와 같이 4개의 부블럭 기억회로가 설치된다. 이것에 대응해서, 4개의 부블럭 기억회로(SBL1 SBL4)에서 대응하는 4개의 플레이트 전극(P11, P12, P13, P14 및 P21, P22, P23, P24)이 각각 공통 플레이트선(PL1, PL2)에 접속된다.

이와같이 부블럭 기억회로의 수를 증가시키는 것에 의해, 공통 플레이트선 드라이버의 핏치를 한층 크게 할 수 있고, 플레이트 선택회로를 형성하는 레이아웃상의 제어가 더 완화하게 된다.

동도면에서, 상기 제1도의 실시예와 같은 스트레스방지 전압 공급선과 스위치 MOSFET를 설치해서 비선택의 부블럭의 데이터선에 대해서 상기와 같은 프리차지 동작을 행하는 것 없이, Vo/2의 스트레스가 걸리지 않는 소정전압을 공급하는 것이어도 좋다.

제17도에는 본 발명에 관한 반도체 기억장치의 메모리 어레이부의 다른 일실시예의 회로도가 나타나 있다. 이 실시예에서는 블럭마다 부블럭수가 다르게 된다. 결국, 블럭 1에서는 4개의 부블럭 기억회로(SBL1 SBL4)가 설치되는데 대해서, 블럭 2에서는 2개의 부블럭 기억회로(SBL5, SBL6)가 설치된다.

즉, 블럭 1에서는 4개의 부블럭 기억회로(SBL1 SBL4)의 각각 1개의 플레이트 전극이 공통 플레이트선(PL1, PL2)에 접속된다. 블럭 2에서는 2개의 부블럭 기억회로(SBL5, SBL6)의 각각 하나의 플레이트전극이 공통 플레이트선(PL3, PL4)에 접속된다.

본원 발명에 관한 반도체 기억장치에서는 블럭단위에서 메모리 억세스를 행하는 것이 강유전체 캐패시터에 대한 스트레스를 최소로 하는 데에 유효하다. 왜냐하면, 블럭간에 걸쳐서 점점 1비트씩 메모리 억세스를 행하는데 비해서, 블럭마다로 모아진 데이터의 기록과 판독을 행하도록 하면 비선택 메모리블럭에 있어서는 상기와 같이 강유전체 캐패시터의 스트레스의 원인으로 되는 직류전압이 걸리지 않기 때문이다.

결국, 자기 디스크 메모리장치와 같이 하나로 모아진 데이터 단위(섹터)로 기록과 판독을 하도록 하고, 그것을 하나의 메모리블럭에 할당하는 것에 의해, 강유전체 캐패시터를 스트레스에 의한 특성열화를 적게 할 수 있다. 이 경우, 반도체 기억장치에 다이나믹형 RAM 또는 스태틱 RAM 혹은 레지스터를 내장시켜서 외부로부터의 기록 데이터를 상기 RAM과 레지스터로 취해서, 그것을 순차로 블럭 단위로 강유전체 캐패시터에 기록하도록 하는 것이 편리하다. 판독 동작에서는 상기 RAM 또는 레지스터에 강유전체 캐패시터로부터의 기록 데이터를 전송하고 이러한 RAM 또는 레지스터를 통해서 고속으로 판독신호를 출력시키도록 한다.

상기와 같이 블럭 단위에서의 데이터 기록과 판독을 행하는 경우, 다수 비트로 이루어지는 데이터와 그것보다 적은 비트로 되는 데이터 2종류가 있을 때, 상기 제17도와 같이 부블럭수가 다른 것을 설치해 놓으면 데이터의 사이즈에 응해서 블럭을 선택하도록 하는 것에 의해 블럭내의 메모리셀을 낭비없이 유효하게 사용할 수 있다.

제18도에는 본 발명에 관한 반도체 기억장치의 메모리 어레이부의 다른 일실시예의 회로도가 나타나 있다. 이 실시예에서는 블럭마다 부블럭 기억회로의 수가 같으나, 플레이트전극의 수가 다르게 된다. 결국 블럭 1의 부블럭 기억회로(SBLl, SBL2)에는 하나의 스위치 MOSFET에 대해서 2개의 강유전체 캐패시터가 설치되는 데에 대해 블럭 2의 부블럭 기억회로(SBL3, SBL4)에서는 스위치 MOSFET에 대해서 1개의 강유전체 캐패시터가 설치된다. 이와같은 구성으로 하는 것에 의해서도 상기와 같이 블럭마다의 데이터 사이즈를 다르게 할 수 있다.

제19도에는 본 발명에 관한 반도체 기억장치의 메모리 어레이부의 다른 일실시예의 회로도가 나타나 있다. 이 실시에에서는 블럭마다 부블럭 기억회로의 수가 같으나, 플레이트 전극의 수가 다르게 된다. 결국, 블럭 1의 부블럭 기억회로(SBL1, SBL2)에서는 하나의 스위치 MOSFET에 대해 2개의 강유전체 캐패시터가 설치되는데 대해, 블럭 2의 부블럭 기억회로(SBL3, SBL4)에서는 스위치 MOSFET에 대해서 1개의 강유전체 캐패시터가 설치된다. 이 경우 블럭 1과 블럭 2에서는 플레이트 전극의 밀도가 다르게 되어 버리므로 블럭 1과 같은 구성으로 하기 위하여 더미 플레이트전극이 설치된다.

결국 더미 플레이트 전극에 대해서는 블럭내의 데이터선과 교차하지 않도록 되는 것에 의해 강유전체 캐패시터가 형성되지 않도록 한다. 이와같은 더미 플레이트 전극을 설치하면 플레이트 전극의 패턴의 소밀에 의한 패턴 사이즈의 변동을 방지할 수 있다. 즉, 강유전체 캐패시터는 상기 패턴 사이즈의 변동이 직접적으로 용량치의 변동으로 되어버리므로 상기와 같은 패턴 사이즈의 변동방지에 의해 동작 마진을 크게 할 수 있다.

제20도에는 본 발명에 관한 반도체기억장치(FRAM)의 구성도가 나타나 있다. 동도면에서는 블럭과 부블럭의 관계와 공통 플레이트선과 플레이트선의 관계를 나타내고 있다.

블럭은 1에서 i까지 i개 설치된다. 하나의 블럭에는 n개의 부블럭이 설치된다. 각부 블럭에서는 m개의 플레이트선(전극)이 있는 경우에 필요한 공통 플레이트선의 수는 m개로 된다. 이것은 각 플레이트선의 전수(n×m)에 대해서 1/n로 감할 수 있다는 것을 의미한다. 이 결과, 플레이트선 드라이버수도 m개로 적게 할 수 있다.

기록과 판독시의 블럭의 선택은 블럭레지스터를 이용해서 행하게 된다. 각 블럭내의 부블럭의 선택은 부블럭선택 레지스터를 이용해서 행하도록 한다. 상기 실시예와 같이 각 블럭마다에서 부블럭의 수가 다른 경우에는 부블럭 선택 레지스터수는 하나의 블럭이 가진 최대 부블럭수로 한다. 그리고, 특별히 제한하지 않으나, 블럭선택 레지스터내에는 각 블럭의 부블럭수를 기억해 놓고, 불필요한 선택이 행해지지 않도록 한다. 하나의 블럭이 가진 최대 부블럭수가 2^k개인 경우, 블럭선택 레지스터의 각 비트는 각각 예를들면 k+1 비트로 된다.

제21도에는 본 발명에 관한 반도체 기억장치의 메모리 어레이부의 다른 일실시예의 회로도가 나타나 있다. 이 실시예에서는 메모리셀이 다이나믹형 RAM과 같이 하나의 스위치 MOSFET와 하나의 강유전체 캐패시터로 구성된다. 이 경우에도 블럭마다 플레이트선(P11, P12)을 공통화해서 공통 플레이트선(PL1)에 접속한다. 이와같이 하는 것에 의해 블럭단위로 플레이트선 드라이버를 설치하도록 할 수 있고, 메모리 어레이측을 고밀도로 형성함과 동시에 그것에 정합시켜서 어드레스 선택회로를 형성할 수 있게 된다.

제22도에는 Y계 선택회로와 기록판독회로의 일실시예의 회로도가 나타나 있다. 동도면에는 데이터단자(DIO-1)에 대응된 Y셀렉터(YSW-1)와 그것에 대응된 판독/기록회로(RWC-1)가 대표로 해서 예시적으로 나타나 있다.

Y셀렉터(YSW-1)는 대표로 해서 예시적으로 나타나 있는 하나의 주데이터선(D1)에 대해서 선택용 스위치 MOSFET(T4)와 비선택용 스위치 MOSFET(T3)로 구성되는 한쌍의 스위치 소자가 설치된다. 마찬가지로, 대표로 해서 예시적으로 나타나 있는 다른 데이터선(D2, D8)에 대해서도, 비선택용과 선택용의 스위치 MOSFET(T5, T6, T7, T8)가 설치된다. 선택용 스위치 MOSFET(T4, T6, T8)는 대응하는 주데이터선(D1, D2, D8)을 공통 데이터선에 접속한다.

이 공통 데이터선에는 상기 판독/기록회로(PWC-1)가 설치된다. 비선택용 스위치 MOSFET (T3, T5, T7)는 대응하는 데이터선(D1, D2, D8)에 대해서 기록(판독)전압(Vo)의 반전압(Vo/2)을 공급한다. 도시되지 않는 다른 주데이터선(D3 D7)에 대해서도 같은 선택용과 비선택용의 스위치 MOSFET가 설치된다.

상기 데이터선(D1)에 대응한 선택용의 스위치 MOSFET(T4)의 게이트에는 Y디코더(YDEC)에서 형성된 선택신호(Y1)가 공급되며, 비선택용의 스위치 MOSFET(T3)의 게이트에는 이러한 선택신호(Y1)가 인버터 회로에 의해 반전되어서 공급된다. 마찬가지로, 다른 선택용의 스위치 MOSFET(T6, T8)는 선택신호(Y2, Y8)에 의해 스위치 제어되며, 비선택용의 스위치 MOSFET(T5, T7)는 상기 선택신호(Y2, Y8)가 인버터회로에 의해 반전되어 공급된다. 이것에 의해 하나의 데이터선이 선택되어서 공통 데이터선에 접속될 때에는 다른 데이터선은 Vo/2의 바이어스 전압이 제공된다.

기록계의 회로는 데이터 입력버퍼(DIB)와 데이터 인 랫치(DIL) 및 기록앰프(WRITE)이고, 판독계 회로는 센스앰프(SA)와 데이터 아웃 랫치(DOL) 및 데이터 출력버퍼(DOB)이다. 데이터 아웃 및치(DOL)에서 데이터 인 랫치(DIL)로 공급되는 데이터는 상기와 같은 파괴 판독에 의한 재기록을 위한 것이다. 결국 재기록이 필요한 경우에는 데이터 출력 랫치(DOL)에 의해 재기록신호가 데이터 입력버퍼(DIL)와 디코더(PL-DEC)로 발생된다. 이것에 의해, 데이터선 전압과 플레이트선 전압이 반전되어서(Vo는 0V로, 0V는 Vo로 각각 변화된다)재기록이 행해진다.

MOSFET(T9)는 타이밍 신호(ø)에 의해 상기 센스앰프(SA)의 입력과 기록앰프(WRITE)의 출력이 접속되는 공통 데이터선에 Vo/2의 전위를 공급하는 스위치 MOSFET 이다. 스위치 MOSFET(T9)는 프리차지 동작시에 선택 주데이터선을 Vo/2로 프리차지한다. 이때, 비선택 주데이터선은 Y셀렉터(YSW-1)를 통해서 Vo/2로 프리차지 된다. 이 프리

차지 동작의 종료와 함께 스위치 MOSFET(T9)는 오프상태로 되며, 라이트앰프(WRITE) 또는 센스앰프(SA)가 동작해서 기록 및 판독동작이 행해진다.

상기 MOSFET(T9)는 생략할 수 있는 것이다. 상기 프리차지 동작시에 디코더(YDEC)에서 Y셀렉터(YSW-1)를 전부 비선택으로 하도록 출력신호를 형성하면 전체의 주데이터선에 상기와 같이 Vo/2 전압을 출력시킬 수 있기 때문이다. 또, 상기 제1도 등의 실시예와 같이 부블럭 기억회로에 스트레스 방지 전압 공급선과 그것에 대응한 스위치 MOSFET가 설치된 것에서는 비선택부 블럭 기억회로의 내부 데이터선에 프리차지를 행하는 것이 필요 없으므로 상기 MOSFET(T9)는 삭제된다.

제23도에는 본 발명에 관한 반도체 기억장치의 다른 일실시예의 전체 회로도가 나타나 있다. 동도면에는 상기 제2도와 제3도의 실시예의 변형예가 나타나 있다. 즉 이 실시예에서는 센스앰프(SA)의 판독 기준전압을 형성하기 위해서 더미데이터선(DUMDL1)이 설치된다. 이 더미데이터선(DUMDL1)에 대응해서, 더미스위치 MOSFET 더미강유전체 캐패시터(Dm1, Dm2)등이 설치된다. 이들 더미데이터선(DUMDL1)과 더미스위치 MOSFET, 더미강유전체 캐패시터(Dm1, Dm2)등에 의해 더미어레이(DUM1)가 구성된다.

기록 및 판독시에, 더미셀(강유전체 캐패시터 Dm1 등)에는 프리차지 MOSFET(Td)를 통해서 Vo/2의 전압이 공급된다. 이것에 의해, 더미셀에는 기록 및 판독시에 기억정보가 반전하지 않는다. 더미셀은 특별히 제한되지 않으나, 메모리셀과 같은 구성이다. 그리고, 더미셀의 정전용량은 메모리셀의 정전용량보다는 크게 구성된다. 주데이터선과 더미데이터선과의 기생용량은 같게 되어 있다. 예를들면 더미셀에 의한 더미 데이터선의 전위 변화를 선택 메모리셀의 분극이 반전하는 것에 의해 발생하는 주데이터선의 전위 변화분과, 선택 메모리 셀의 분극이 반전하지 않고서 발생하는 주데이터선의 전위 변화분과의 중간으로 되도록 하는 것에 의해 센스앰프(SA)가 고속으로 또 정확하게 판독신호를 센스 할 수 있다.

다른 구성은 상기 제2도와 제3도의 실시예와 같으므로, 그 설명을 생략한다. 또 제9도와 제10도의 실시예와 같이 스트레스방지용 전압 공급선(SD1)등과 그것에 대응해서 설치되는 스위치 MOSFET를 생략한 경우에도 상기 더미데이터선(DUMDL)을 설치해서 센스앰프(SA)의 기준전압을 형성할 수 있다. 이 경우, 공통 데이터선에 상기 제22도와 같은 프리차지용 스위치 MOSFET(T9)를 설치하도록 하면 좋다.

제24도에는 본 발명에 관한 반도체 기억장치의 메모리 어레이부와 입출력계 회로의 다른 일실시예의 회로도가 나타나 있다. 이실시예에서는 제23도의 실시예와 같은 더미데이터선(DUMDL)을 설치해서 센스앰프(SA)의 기준전압을 형성하는 경우의 변형예가 나타나 있다. 이 실시예에서는 더미 데이터선(DUMDL1)이 메모리블럭의 중앙부에 배치된다. 즉 상기 제 23도의 실시예에서는 메모리블럭의 단부에 더미어레이(DUM1)를 배치했으나, 이 실시예에서는 메모리 블럭(BL21)의 중앙부에 그것과 대응된 더미어레이(DUM1)가 배치된다. 이 실시예와 같이 더미어레이(DUM1)를 메모리블럭의 중앙부에 설치하도록 하면, 이러한 메모리블럭의 어느 주데이터선에 대해서도 적당한 특성을 얻을 수 있고, 센스앰프(SA)의 레벨마진이 확대를 도모할 수 있다.

제25도에 본 발명에 관한 반도체 기억장치의 메모리 어레이부와 입출력계 회로의 다른 일실시예의 회로로가 나타나 있다. 이 실시예에서는 상기와 같은 더미데이터선(DUMDL)에 대신해서, 더미 용량(Cd)에 의해 센스앰프(SA)이 기준전압을 형성한다. 이 경우, 더미용량(Cd)의 용량치는 실제의 주데이터선의 용량과 메모리셀 용량의 합보다도 크게 설정된다.

이 실시예에 있어서도, 스트레스방지용 전압 공급선(SD2)등과 그것에 대응한 스위치 MOSFET를 생략해서 메모리블럭을 구성해도 좋다. 하나의 센스앰프에 접속되는 에리어에 복수의 더미용량 또는 상기와 같은 더미데이터선을 설치해 놓고, Y셀렉터에 의해 선택되는 주데이터선에 가까운 더미용량 또는 더미데이터선을 선택하도록 해도 좋다. 이와같은 구성으로 하는 것에 의해 센스앰프(SA)의 동작마진을 확대할 수 있다.

제26도에는 본 발명에 관한 반도체 기억장치가 이용되는 마이크로컴퓨터의 일실시예의 블럭도가 나타나 있다. 본 실시예에서는 메모리회로로서 본 발명에 관한 반도체 기억장치(FRAM)와 캐쉬메모리(C-MEM)가 이용된다. 본 발명에 관한 반도체 기억장치(FRAM)는 메모리 어레이 중의 특정의 에리어를 RAM(랜덤, 억세스, 메모리)으로 해서 이용하며, 다른 것은 ROM(리이드, 오운리 메모리)으로서 이용한다. 특별히 제한되지 않으나, 제21도의 실시예와 같이 메모리블럭에 대해서 분극 반전이 생기지 않는 전압에 의해 억세스 되어 다이나믹형 RAM과 같은 동작을 시켜며 마이크로컴퓨터에 전원이 공급되어 동작상태일 때에는 이러한 RAM 영역을 고속으로 데이터의 기록/판독을 수반하는 데이터처리를 행하도록 할 수 있다.

상기 마이크로 컴퓨터의 전원을 차단시킬 때에는 그 앞에 RAM의 기억된 데이터 가운데 불휘발화를 필요로 하는 것은 ROM부로 전송시킨다. 이것에 의해 전원이 차단되어도 필요한 데이터를 ROM부로 기억시켜 놓을 수 있다. 그리고 재차 전원투입에 의해 마이크로컴퓨터가 동작을 개시할 때에는 상기 ROM에 저장된 데이터를 판독해서 RAM으로 전송하고, 재차 RAM을 이용해서 고속데이터 처리를 행하도록 한다.

이와같은 구성을 채택하는 것에 의해, FRAM에 대한 재기록 회수를 대폭으로 줄일 수 있다. 이것에 의해, FRAM에 대한 재기록 회수의 제한을 실질적으로 없앨 수 있다. 상기와 같은 구성은 IC 카드에 적합하다. 즉, IC 카드에 있어서는 밧데리를 탑재시키지 않고 필요한 기억 데이터의 불휘발화가 가능하게 되며, 불휘발성 메모리의 재기록 회수의 제약을 실질적으로 받지 않고 사용할 수 있게 된다.

CPU는 마이크로프로세서(중앙처리유니트)이고, 일련의 데이터처리 프로그램에 따라서 데이터의 처리를 행한다. 이 마이크로프로세서 CPU를 중심으로 해서 버스(BUS)에 의해 상기한 바와 같은 반도체 기억장치(FRAM)와 C-MEM 이외에 주변회로로서 타이머 회로 (TIM), 시리얼 · 커뮤니케이션 · 인터페이스(SCI). 아날로그/디지탈 변환회로 (A/D) 및 입출력회로(I/O)가 설치된다.

전원단자(V_{cc} , V_{ss})에는 특별히 제한되지 않으나, 약 5V와 0V이고, 상기와 같은 디지탈 회로용의 전원전압으로 해서 이용되며, 상기 반도체기억장치(FRAM)의 동작에 필요한 기록전압(V_o)과 (V_o/2) 및 제1 워드선에 공급된 선택전압(V_w)등은 내부 승압회로에 의해 형성된다.

전원단자(AV_{cc} , AV_{ss})는 아날로그 회로용의 전원전압이다. 이와같이 디지탈회로와 아날로그회로에서 전원을 별도로 하는 것에 의해, 디지탈회로 측에 전원선에 발생하는 비교적 큰 노이즈가 아날로그회로 측의 전원선으로 리이크하는 것을 방지할 수 있다.

상기 마이크로컴퓨터는 각각이 하나의 반도체 집적회로장치에 의해 구성되며, 프린트 기판등의 실장기판에 탑재되는 보드 구성의 것이어도 좋은 것은 말할 필요도 없다. 이 경우에는 기억회로(FRAM)는 복수의 반도체 집적기억장치에 의해 구성될 수 있으므로, 큰 기억용량을 갖게 할 수 있다. 또, 외부메모리로서 RAM 등을 접속해도 좋다.

제27도에는 본 발명에 관한 반도체 기억장치의 메모리 어레이부의 다른 일실시예의 레이아웃도가 나타나 있다. 제28도에는 그 A-A'선으로 자른 단면도가 제29도에는 B-B'선으로 자른 단면도가 나타나 있다.

제27 제29도에서 명확한 바와 같이, 이실시예에서는 필드 절연막(4)의 위에 강유전체 캐패시터의 하부전극(12)이 형성되며, 트랜스퍼 MOSFET의 소스 또는 드레인에 접속되어 있다. 이것에 의해, 트랜스퍼 MOSFET의 소스 또는 드레인을 구성하는 확산층(9)은 콘택트(116)을 얻는데 필요한 작은 사이즈로 된다. 이결과 부블럭내의 부데이터선에서 기생저항치가 약간 크게 되는 반면, 그 기생용량을 대폭으로 저감시킬 수 있다.

제30(A)도와 제30(B)도 및 제31도에는 상기의 반도체 기억장치의 제조방법의 일실시예를 설명하기 위한 제조공정 단면도가 나타나 있다. 상기 구성의 반도체 기억장치의 구조의 상세는 다음의 제조방법의 설명에 의해 한층 용이하게 이해된다. 동도면에는 단위의 기억회로(MC-FRAM)와 그 주변회로에 이용되는 N채널형 MOSFET와 P채널형 MOSFET도 합쳐서 그려져 있다.

제30(A)도에서, 공지의 CMOS 집적회로의 제조기술에 의해, P^- 또는 N^- 형 반도체 기판(1)상에 상기 단위 기억회로(MC-FRAM)와 N채널형 MOSFET가 형성된 부분에는 P^- 층(3)이 형성되며, P채널형 MOSFET가 형성되는 부분에는 N^- 층(2)이 형성된다.

소자형성용의 확산층의 부분을 남겨서 필드절연막(4)이 형성된다. 이 필드절연막하에는 P형 채널 스톱퍼(5)가 형성되어 있다. 상기 필드절연막으로 에워싼 소자 형성영역의 표면에 얇은 게이트 절연막(6)이 형성되며, 그 위에 폴리실리콘 또는 폴리사이드로 이루어지는 게이트전극(7)이 형성된다. 이 게이트전극(7)과 필드절연막(4)을 마스크로 해서 N채널형 MOSFET의 소스와 드레인을 구성하는 N^+ 형 확산층(9)이 형성된다. P채널형 MOSFET에서는 별도의 공정에서 소스와 드레인을 구성하는 P^+ 형 확산층(10)이 형성된다. 상기 게이트절연막(7)상에는 CVD-SiO_2가 형성된다.

게이트전극(7)에 대해서 CVD-SiO_2로 이루어지는 사이드월(11)이 형성되며, CVD-SiO_2로 이루어지는 층간절연막(104)이 형성된다. 그리고, 트랜스퍼 MOSFET의 소스 또는 드레인에 상당하는 부분에는 개구(116)가 형성된다.

제30(B)도에서, 공지의 방법에 의해 Pt등으로 되는 실리사이드막(12)이 필드절연막(4)상에 층간절연막(104)을 통해서 형성된다. 예를들면, 상기 층간절연막(104)상에 Pt 등을 디포지션 해서, 실리코이드화 시킨 후에 패턴닝에 의해 하부전극(12)이 형성된다.

제31도에서는 공지의 방법에 의해 PZT 등으로 이루어지는 강유전체(13)가 디포지션 되며, 그 위에 Pt 등으로 이루어지는 상부 전극(14)이 형성된다. 상기 상부 도체(14)와 강유전체(13)는 동시에 패턴닝 된다. 이것에 의해 단위 기억회로에 필요한 트랜스퍼 MOSFET로서 N채널형 MOSFET, 강유전체 캐패시터가 형성된다. 이하, 층간절연막을 형성하고, 알루미늄등에 의해 데이터선을 형성하며, 트랜스퍼 MOSFET의 드레인(또는 소스)과 접속시킨다. 그리고, 필요하다면 상기 실시예와 같이 층간절연막을 형성해서 워드선의 저항치를 줄이기 위한 션트용의 알루미늄 등으로 이루어지는 금속배선층(19)이 형성된다.

이상의 실시예와 같이, 하나의 트랜스퍼 MOSFET에 대해서 복수개 설치되는 강유전체 캐패시터를 종래와 같이 적층구조로 종적하는 것에 대신해서, 횡방향에 배치하는 것에서는 1회분의 강유전체 캐패시터를 형성하는 공정으로 끝나므로 제조공정을 대폭으로 저감할 수 있다. 즉 종적구조로 하면, 그 캐패시터의 수만큼 같은 제조 프로세스를 반복하는 것으로 되고, 제조 프로세스가 복잡 다기해 진다.

상기와 같이 제조프로세스가 복잡하게 되면, 단순하게 코스트가 높게 될 뿐아니라, 강유전체 캐패시터의 특성에 변동과 열화를 수반한다. 즉 하측의 캐패시터의 유전체는 그위에 형성되는 캐패시터의 제조프로세스 마다 열처리등이 실시되므로서 그 영향을 받어서 특성이 열화해 버린다고 생각된다.

적층구조의 경우에는 마스크 어긋남 등에 의해 단위 기억회로를 구성하는 캐패시터의 사이즈 변동이 생기거나 상기와 같은 유전체의 특성 열화 및 변동에 의해 판독동작에서 분극의 반전시에 생기는 전하의 이동에 비교적 큰 변동이 생기는 것이 예상된다. 이것에 의해, 센스앰프의 동작마진이 악화해서, 판독시 불량 등이 생길 우려가 있다.

이것이 대해, 이실시예와 같이 횡방향으로 배치하는 것에서는 같은 공정으로 같은 복수의 캐패시터가 형성되므로 그 특성의 변동이 없는 안정된 기록특성과 판독특성을 얻을 수 있다.

상기와 같이 횡방향으로 배치한 경우에는 메모리어레이 자체의 점유면적은 필요적으로 크게 된다. 이전에서는 상기 종래기술과 같이 종적으로 하는 구조의 쪽이 우수하다. 그러나, 메모리 어레이 자체를 아무리 고집적화 해도 의미가 없다.

메모리셀을 선택하거나, 기록전압과 비선택전압을 공급하기 위한 어드레스 선택회로가 존재하는 것을 잊어버려서는 안된다. 즉 종적구조로 해서 제2 워드선이 핏치를 좁게 해도 그것을 선택하는 회로도 종적 구조로 되지 않으면 실제상의 의미가 되지 않기 때문이다. 일반적으로 말해 디코더 등의 CMOS 회로를 종적으로 할 수 없으므로 상기 종적구조는 종적구조의 디코더가 개발되지 않는 한 실질적인 고집적화에는 맞지 않는다고 해도 과언이 아니다.

이 실시예에서는 횡방향으로 늘어서 강유전체 캐패시터의 전극에 접속되는 제2 워드선이 배치된다. 그리고, 강유전체 캐패시터의 다른쪽 전극인 플레이트선을 부블럭마다에 공통화하는 것에 의해, 플레이트선 핏치에 대응해서 공통화된 수만큼 디코더회로 등의 핏치를 확대시킬 수 있고, 이러한 어드레스 선택회로를 메모리 어레이에 맞추어 넣을 수 있어 이 결과로 해서 효율 좋게 반도체 기판상에 레이아웃 할 수 있다.

상기의 실시예에서 얻어진 작용효과는 아래와 같다.

(1) 제1어드레스 선택선에 제어단자가 접속된 제1 스위치 소자, 이러한 제1 스위치 소자의 일단측에 공통으로 한쪽의 전극이 접속되며, 상기 한쪽의 전극에 대해 직교하도록 횡방향으로 늘어서서 배열되게 되는 다른쪽의 전극을 제2의 어드레스 선택선으로 해서 양전극의 교전에 강유전체 캐패시터가 형성되게 되는 복수로 이루어지는 부블럭 기억회로를 구비하고, 각 부블럭 기억회로의 제1 어드레스 선택선에는 각각 다른 어드레스를 할당하며, 상기 복수로 이루어지는 부블럭 기억회로의 제 2어드레스 선택선에는 각각 공통이 어드레스를 할당해서 공통화된 어드레스 선택회로를 설치하고, 제1 어드레스 선택선이 선택상태로 되어서 제1의 스위치소자가 온상태로 된 때에는 복수로 되는 제 2어드레스 선택선 가운데 하나를 선택상태로 해서 강유전체 캐패시터에 분극이 생기는 전압을 인가하고, 나머지 제 2어드레스 선택선에 강유전체 캐패시터에 가해지는 전압이 선택된 강유전체 캐패시터에 가해지는 전압이 거의 반이 되는 비선택 전위로 하고, 제1의 어드레스 선택선이 비선택상태로 되어서 제1 스위치 소자가 오프상태로 된 때에는 복수로 이루어지는 제2 어드레스 선택선에는 강유전체 캐패시터에 가해지는 전압이 거의 0이 되는 비선택전위를 공급하는 것에 의해, 강유전체 캐패시터를 이용한 메모리 어레이의 고집적화를 도모하면서, 비선택스위치 소자에 대응한 부블럭 기억회로의 강유전체 캐패시터에는 전압이 가해지지 않도록 할 수 있으므로 유전체 캐패시터에 대한 스트레스를 대폭으로 저감할 수 있다는 효과를 얻을 수 있다.

(2) 상기 강유전체 캐패시터의 공통화된 한쪽의 전극측에 제2 스위치 소자를 설치해서 대응하는 부블럭 기억회로의 제1 스위치 소자가 온상태일 때에는 오프상태로, 대응하는 부블럭 기억회로의 제1스위치소자가 오프상태일 때에는 온상태로 해서 비선택시의 제2 선택선이 전위와 같은 전위를 공급하도록 하는 것에 의해, 비선택스위치 소자에 대응한 부블럭 기억회로의 강유전체 캐패시터에 대한 스트레스를 효율 좋게 저감할 수 있다는 효과가 얻어진다.

(3) 상기 복수로 되는 부블럭 기억회로 가운데, 비선택으로 되는 것에는 제1 스위치 소자를 통해서 강유전체 캐패시터에 분극이 생기는 전압의 거의 반이 되는 프리차지 전압을 공급하고, 이러한 프리차지동작 후에 선택된 부블럭 기억회로의 제1 스위치 소자를 온상태로 하고, 복수로 이루어지는 제2 어드레스 선택선 중의 하나를 선택상태로 해서 선택된 강유전체 캐패시터에 분극이 생기는 전압을 인가하고, 나머지 제2 어드레스 선택선에 강유전체 캐패시터에 가해지는 전압이 선택된 강유전체 캐패시터에 가해지는 전압이 거의 반이 되는 비선택전위로 하는 것에 의해, 간단한 구성에 의해 부블럭의 제2 어드레스 선택선의 공통화를 도모하면서, 비선택 스위치 소자에 대응된 부블럭 기억회로의 강유전체 캐패시터에 대한 스트레스를 대폭으로 저감할 수 있다 하는 효과가 얻어진다.

(4) 하나의 스위치 소자와 하나의 강유전체 캐패시터로 이루어진 메모리셀을 가진 메모리셀 어레이부를 병설시켜, 이러한 메모리셀 어레이부에서 상기 한쪽의 전극을 생략하고, 제2 선택선에 대응된 더미의 다른쪽 전극을 설치해서 제2 선택선의 레이아웃 패턴이 상기 부블럭 기억회로의 그것과 같은 구성으로 하는 것에 의해, 다른 구성의 기억블럭을 구비하면서 캐패시터의 다른쪽의 전극의 소밀에 의한 패턴 사이즈의 변동을 방지할 수 있고, 동작마진을 확보할 수 있다 하는 효과가 얻어진다.

(5) 기억 블럭 단위로 메모리억세스를 행하도록 하는 것에 의해, 개개의 유전체 캐패시터가 랜덤으로 억세스 되는 경우에 비해서 비선택의 강유전체 캐패시터를 피로시키는 인가전압의 회수를 대폭으로 줄일 수 있다 하는 효과가 얻어진다.

(6) 상기 기억 블럭의 강유전체 캐패시터에 대해서 한쪽에 분극이 생기도록 초기화가 되어, 그것을 기준으로 해서 데이터의 기록은 분극을 반전시키도록 한 데이터에 대응해서만 실제의 기록동작을 행하도록 하는 것에 의해, 실시적인 기록시간의 단축화와 저소비 전력화를 도모할 수 있다는 효과가 얻어진다.

이상 본 발명자에 의해 행하여진 발명을 실시예에 의거해서 구체적으로 설명했으나, 본원 발명은 상기 실시예에 한정되는 것이 아니고, 그요지를 일탈하지 않는 범위에서 여러가지 변경 가능하다. 예를들면, 강유전체 캐패시터를 구성하는 강유전체 재료에 관해서는 상기 공보등에 의해 공지된 그재료는 아무 것이라도 좋다.

예를들면 강유전체 결정의 잔류분극의 주요부분의 크기는 결정축의 인가 전계 벡터에의 투영의 총화로 결정되므로 결정축 방향이 각각 다른 경우, 주요부분의 잔류분극이 작게된다. 그래서 잔류분극을 크게 하기 위하여 결정축의 방향과 인가 전압이 이루는 각도가 5 ° 이하인 부분이 강유전체 캐패시터를 구성하는 강유전체 결정이 가급적 많게 되도록 예를들면 80% 이상이 되도록 형성된다. 강유전체 결정으로서는 예를들면 BaTiO, PZT 등이 있다.

메모리 어레이의 주변회로는 CMOS 회로에 의해 구성된 것 이외, N채널형 MOSFET 또는 P채널형 MOSFET에 의해 구성된 것, 또는 MOSFET와 바이폴라형 트랜지스터를 조합시킨 것 등 여러가지의 실시예 형태를 채택할 수 있다.

어드레스 입력방법은 상기와 같이 블랙단위로 어드레스 신호를 입력하는 것 이외, 일반적인 RAM이나 ROM과 같이 메모리셀에 할당된 어드레스를 입력하는 것이어도 좋다. 이경우, 외부단자수를 줄이기 위해서, 다이나믹형 RAM과 같이 공통의 어드레스단자에서 X계와 Y계를 다중화해서 입력하는 것이어도 좋다.

본원에 있어서 개시된 발명중 대표적인 것에 의해 얻어진 효과를 간단하게 설명하면 아래와 같다. 즉, 제1 어드레스 선택선에 제어단자가 접속된 제1 스위치 소자, 이러한 제1 스위치 소자의 일단측에 공통으로 한쪽의 전극이 접속되며, 상기 한쪽의 전극에 대해서 직교하도록 횡방향으로 늘어서서 배열되어 이루어지는 다른쪽의 전극을 제2 어드레스 선택선으로 해서 양전극의 교점에 강유전체 캐패시터가 형성되어서 이루어지는 복수로 되는 부블럭 기억회로를 구비하고, 각 부블럭 기억회로의 제1 어드레스 선택선에는 각각 다른 어드레스를 할당해서 상기 복수로 되는 부블럭 기억회로의 제2 어드레스 선택선에는 각각 공통의 어드레스를 할당해서 공통화된 어드레스 선택회로를 설치하고, 제1 어드레스 선택선이 선택상태로 되어서 제1스위치 소자가 온상태로 될 때에는 복수로 되는 제2 어드레스 선택선 중의 하나를 선택상태로 해서 강유전체 캐패시터에 분극이 생기는 전압을 인가하고, 나머지 제2 어드레스 선택선에 강유전체 캐패시터에 가해지는 전압이 선택된 강유전체 캐패시터에 가해지는 전압의 거의 반이 되는 비선택 전위로 하고, 제1 어드레스 선택선이 비선택상태로 되어서 제 1스위치 소자가 오프상태로 될 때에는 복수로 되는 제2 어드레스 선택선에는 강유전체 캐패시터에 가해진 전압에 거의 0이 되는 비선택전위를 공급하는 것에 의해, 강유전체 캐패시터를 이용한 메모리어레이의 고집적화를 도모하면서 비선택의 스위치 소자에 대응된 부블럭 기억회로의 강유전체 캐패시터에는 전압이 가해지지 않도록 할 수 있으므로 강유전체에 대한 스트레스를 대폭으로 저감할 수 있다.

상기 강유전체 캐패시터의 공통화된 한쪽의 전극측에 제2의 스위치 소자를 설치해서, 대응하는 부블럭 기억회로의 제1 스위치 소자가 온상태로 될 때에는 오프상태로, 대응하는 부블럭 기억회로의 제1스위치소자가 오프상태일 때에는 온상태로 해서 비선택시의 제2 선택선의 전위와 같은 전위를 공급하도록 하는 것에 의해, 비선택의 스위치 소자에 대응한 부블럭 기억회로의 강유전체 캐패시터에 대한 스트레스를 효율 좋게 저감할 수 있다.

상기 복수로 되는 부블럭 기억회로 가운데, 비선택으로 되는 것에는 제1 스위치 소자를 통해서 강유전체 캐패시터에 분극이 생기는 전압이 거의 반이 되는 프리차지전압을 공급하며, 이러한 프리차지동작 뒤에 선택된 부블럭 기억회로의 제1 스위치 소자를 온상태로 하고, 복수로 되는 제2 어드레스 선택선 중 하나를 선택상태로 해서 선택된 강유전체 캐패시

터에 분극이 생기는 전압을 공급하고, 나머지 제2 어드레스 선택선에 강유전체 캐패시터에 가해지는 전압이 선택된 강유전체 캐패시터에 가해지는 전압이 거의 반이 되는 비선택 전위로 하는 것에 의해, 간단한 구성에 의해 부블럭의 제2 어드레스 선택선의 공통화를 도모하면서, 비선택 스위치 소자에 대응한 부블럭 기억회로의 강유전체 캐패시터에 대한 어드레스를 대폭으로 저감할 수 있다.

하나의 스위치 소자와 하나의 강유전체 캐패시터로 이루어지는 메모리셀을 가진 메모리셀 어레이부를 병설시켜, 이러한 메모리셀 어레이부에서 상기 한쪽의 전극을 생략하고, 제2 선택선에 대응한 더미의 다른쪽 전극을 설치해서 제2 선택선의 레이아웃 패턴이 상기 부블럭 기억회로의 그것과 같은 구성으로 하는 것에 의해, 다른 구성의 기억블럭을 구비하면서, 캐패시터의 다른쪽의 전극의 소밀에 의한 패턴 사이즈의 변동을 방지할 수 있고 동작마진을 확보할 수 있다.

기억블럭 단위로 메모리 억세스를 행하는 것에 의해, 개개의 유전체 캐패시터가 랜덤하게 억세스 되는 경우에 비해서 비선택의 강유전체 캐패시터를 피로시키는 인가 전압의 회수를 대폭으로 줄일 수 있다.

상기 기억블럭의 강유전체 캐패시터에 대해서 한쪽에 분극이 생기는 초기화가 되어서, 그것을 기준으로 해서 데이터의 기록은 분극을 반전시키는 데이터에 대응해서만 실제의 기록동작을 행하도록 하는 것에 의해 실질적인 기록시간의 단축화와 저소비 전력화를 도모할 수 있다.

(57) 청구의 범위

청구항 1.

제1 어드레스 선택선에 제어단자가 접속된 제1 스위치 소자, 이러한 제1 스위치 소자의 일단측에 공통으로 한쪽의 전극이 접속되며, 상기 한쪽의 전극에 대해 직교하도록 반도체 기판상에 평면적으로 나란히 배열되어서 이루어지는 다른쪽의 전극을 제2 어드레스 선택선으로하고, 상기 양전극의 교점에 강유전체 캐패시터가 형성되어서 이루어지는 복수로 되는 부(副)블럭 기억회로를 구비하고, 상기 복수로 되는 부블럭 기억회로의 제1 어드레스 선택선에는 각각 다른 어드레스를 할당함과 동시에, 상기 복수로 되는 부블럭 기억회로의 제2 어드레스 선택선에는 각각 공통의 어드레스를 할당해서, 대응하는 어드레스가 할당된 제2 어드레스 선택선에 대해서 공통화된 어드레스 선택회로를 설치하고, 제1 어드레스 선택선이 선택상태로 되어서 제1의 스위치 소자가 온상태로 된 때에는 복수로 되는 제2 어드레스 선택선 중 하나를 선택상태로 해서 강유전체 캐패시터에 분극이 생기는 전압을 공급하고, 나머지 제2 어드레스 선택선에 강유전체 캐패시터에 가해지는 전압이 선택된 강유전체 캐패시터에 가해지는 전압의 거의 반이 되는 비선택 전위로 하고, 제1 어드레스 선택선이 비선택상태로 되어서 제1 스위치 소자가 오프상태로 된 때에는 복수로 되는 제2 어드레스 선택선에는 강유전체 캐패시터에 가해지는 전압이 거의 0이 되는 비선택전위를 공급하는 것을 특징으로 하는 반도체 기억장치.

청구항 2.

제 1 항에 있어서,

상기 강유전체 캐패시터의 공통화된 한쪽의 전극 측에는 제2의 스위치소자가 설치되며, 대응하는 부블럭 기억회로의 제1 스위치 소자가 온상태일 때에는 오프상태로, 대응하는 부블럭 기억회로의 제1 스위치 소자가 오프상태일 때에는 온상태로 되어서 비선택시의 제2선택선의 전위와 같은 전위를 공급하는 것을 특징으로 하는 반도체 기억장치.

청구항 3.

제 1 항에 있어서,

상기 복수로 되는 부블럭 기억회로 가운데, 비선택으로 되는 것에는 제1 스위치 소자를 통해서 강유전체 캐패시터에 분

극이 생기게 하는 전압의 거의 반이 되는 프리차지전압이 공급되며, 이러한 프리차지동작 후에 선택된 부블럭 기억회로의 제1 스위치 소자를 온상태로 하고, 복수로 되는 제2 어드레스 선택선 중의 하나를 선택상태로 해서 선택된 강유전체 캐패시터에 분극이 생기게 하는 전압을 공급하고, 나머지 제2 어드레스 선택선에 강유전체 캐패시터에 가해지는 전압이 선택된 강유전체 캐패시터에 가해지는 전압의 거의 반인 비선택 전위로 하는 것을 특징으로 하는 반도체 기억장치.

청구항 4.

제 3 항에 있어서,

상기 부블럭 기억회로는 복수의 부블럭 기억회로가 매트릭스 배치되는 것이고, 제1 어드레스 선택선 및 제2 어드레스 선택선은 X계의 어드레스가 할당되며, 상기 제1 스위치 소자는 이러한 부블럭 기억회로를 Y계의 어드레스가 할당되는 복수의 신호선 중의 하나와 접속시키는 것을 특징으로 하는 반도체 기억장치.

청구항 5.

제 4 항에 있어서,

상기 복수로 이루어지는 신호선에는 한쌍의 스위치 소자가 각각 설치되며, 선택된 하나의 신호선에는 한쪽의 스위치 소자를 통해서 공통의 신호선에 접속되어서 선택전압이 인가되며, 나머지 비선택 신호선에는 다른쪽의 스위치 소자를 통해서 선택전압의 거의 절반의 전압이 공급되는 것을 특징으로 하는 반도체 기억장치.

청구항 6.

제 5 항에 있어서,

상기 한쌍의 스위치 소자의 제어단자에는 Y계의 디코더회로에 의해 형성된 상보적으로 신호가 공급되는 것을 특징으로 하는 반도체 기억장치.

청구항 7.

제 6 항에 있어서,

상기 부블럭 기억회로는 각각 제1 및 제2 어드레스 선택선을 각각 공통으로 하는 복수개에 의해 하나의 기억 블럭이 구성되어 이루어지며, 이 기억블럭의 단위로 메모리 액세스가 행해지는 것을 특징으로 하는 반도체 기억장치.

청구항 8.

제 7 항에 있어서,

상기 기억블럭은 그것에 설치되는 강유전체 캐패시터에 대해서 한쪽에 분극이 생기는 초기화가 행하여지며, 그것을 기준으로 해서 데이터의 기록은 분극을 반전시키는 데이터에 대응해서만 실제의 기록동작이 행해지는 것을 특징으로 하는 반도체 기억장치.

청구항 9.

제 1 항에 있어서,

하나의 스위치 소자와 하나의 강유전체 캐패시터로 이루어지는 메모리셀을 가진 메모리셀 어레이부가 병설시켜서 설치되는 것을 특징으로 하는 반도체 기억장치.

청구항 10.

제 9 항에 있어서,

상기 하나의 스위치 소자와 하나의 강유전체 캐패시터로 이루어지는 메모리전부에는 상기 한쪽의 전극이 생략되며, 제2 선택선에 대응한 더미의 다른쪽의 전극이 설치되어서, 제2 선택선의 레이아웃 패턴이 상기 부블럭 기억회로의 그것과 같은 구성으로 되는 것을 특징으로 하는 반도체 기억장치.

청구항 11.

제1 및 제2 부블럭 기억회로를 가지는 메모리블럭을 포함하는 반도체 기억장치로서, 상기 제1 및 제2 부블럭 기억회로의 각각은 제1 어드레스 선택선과, 데이터선과, 제1 단자와 상기 데이터선에 결합된 제2 단자와 상기 제1 어드레스 선택선에 결합된 제어단자를 가지는 스위치 소자와, 제1 전극과 상기 데이터선에 결합된 제2 전극을 가지는 제1 기억소자와, 제3 전극과 상기 데이터선에 결합된 제4 전극을 가지는 제2 기억소자를 포함하고,

상기 제1 및 제2 부블럭 기억회로의 상기 스위치 소자의 제1 단자는 함께 주(主)데이터선에 결합되며,

상기 제1 및 제2 부블럭 기억회로의 상기 제1 기억소자의 상기 제1 전극은 함께 제2 어드레스 선택선에 결합되고, 상기 제1 및 제2 부블럭 기억회로의 상기 제2 기억소자의 상기 제 3 전극은 함께 제3 어드레스 선택선에 결합되며,

상기 반도체 기억장치는 상기 제1 부블럭 기억회로의 상기 제1 기억소자를 선택할 때, 상기 제1 부블럭 기억회로의 상기 제1 기억소자의 제1 및 제2 전극간에 상기 제1 기억소자가 분극 가능하게 되는 제1 전압을 인가하는 것을 제어하고, 또한 상기 제1 부블럭 기억회로의 상기 제2 기억소자의 상기 제3 및 제4 전극 사이와 상기 제2 부블럭 기억회로의 상기 제1 기억소자의 상기 제1 및 제2 전극 사이와 상기 제2 부블럭 기억회로의 상기 제2 기억소자의 상기 제3 및 제4 전극 사이에, 상기 제1 부블럭 기억회로의 상기 제2 기억소자와 상기 제2 부블럭 기억회로의 상기 제1 및 제2 기억소자가 함께 분극 불가능하게 되는 제2 전압을 인가하는 것을 제어하기 위한 수단을 더 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 12.

제1 선택선과,

제2 선택선과,

제1 배선과,

데이터선과,

제1 및 제2 메모리셀을 포함하고,

상기 제1 메모리셀은 상기 제1 선택선에 접속된 제1 단자와 상기 데이터선에 접속된 제2 단자와 제3 단자를 포함하는 제1 스위치와, 상기 제3 단자에 접속된 제1 전극과 상기 제1 배선에 접속된 제2 전극을 포함하는 제1 기억소자를 포함하며,

상기 제2 메모리셀은 상기 제2 선택선에 접속된 제4 단자와 상기 데이터선에 접속된 제5 단자와 제6 단자를 포함하는 제2 스위치와, 상기 제6 단자에 접속된 제3 전극과 상기 제1 배선에 접속된 제4 전극을 포함하는 제2 기억소자를 포함하고,

상기 제1 및 상기 제2 기억소자는 데이터를 불휘발로 유지 가능한 것을 특징으로 하는 반도체 기억장치.

청구항 13.

제 12 항에 있어서,

상기 제1 및 제2 스위치는 MOSFET를 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 14.

제 12 항에 있어서,

상기 제1 메모리셀이 선택될 때, 상기 제1 및 제2 전극간에는 상기 제1 기억소자가 분극가능하게 되는 전압이 인가되는 것을 특징으로 하는 반도체 기억장치.

청구항 15.

제 12 항에 있어서,

상기 제1 메모리셀이 선택되고 또한 상기 제2 메모리셀이 비선택으로 될 때, 상기 제1 전극과 상기 제2 전극과의 전위차는 상기 제1 기억소자가 분극 가능하게 되는 전위차로 되며 또한 상기 제3 전극과 제4 전극과의 전위차는 상기 제2 기억소자가 분극되지 않는 전위차로 되는 것을 특징으로 하는 반도체 기억장치.

청구항 16.

제 12 항에 있어서,

상기 제1 및 제2 기억소자는 강유전체 용량인 것을 특징으로 하는 반도체 기억장치.

청구항 17.

제1 워드선과,

제2 워드선과,

플레이트선과,

데이터선과,

제1 및 제2 메모리셀을 포함하고,

상기 제1 메모리셀은 상기 제1 워드선에 접속된 제1 단자와 상기 데이터선에 접속된 제2 단자와 제3 단자를 포함하는 제1 스위치와, 상기 제3 단자에 접속된 제1 전극과 상기 플레이트선에 접속된 제2 전극을 포함하는 제1 강유전체 용량을 포함하며,

상기 제2 메모리셀은 상기 제2 워드선에 접속된 제4 단자와 상기 데이터선에 접속된 제5 단자와 제6 단자를 포함하는 제2 스위치와, 상기 제6 단자에 접속된 제3 전극과 상기 플레이트 배선에 접속된 제4 전극을 포함하는 제2 강유전체 용량을 포함하고,

상기 제1 메모리셀이 선택되고 또한 상기 제2 메모리셀이 비선택으로 될 때, 상기 제1 전극과 상기 제2 전극과의 전위차는 상기 제1 강유전체 용량이 분극 가능하게 되는 전위차가 되며 또한 상기 제3 전극과 제4 전극과의 전위차는 상기 제2 강유전체 용량이 분극되지 않는 전위차로 되는 것을 특징으로 하는 반도체 기억장치.

청구항 18.

제 17 항에 있어서,

상기 제1 및 제2 스위치는 MOSFET를 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 19.

제1, 제2, 제3 및 제4 워드선과,

제1 및 제2 배선과,

제1 데이터선과,

제1, 제2, 제3 및 제4 메모리셀을 포함하고,

상기 제1 메모리셀은 상기 제1 워드선에 접속된 제1 단자와 상기 제1 데이터선에 접속된 제2 단자와 제3 단자를 포함하는 제1 스위치와, 상기 제3 단자에 접속된 제1 전극과 상기 제1 배선에 접속된 제2 전극을 포함하는 제1 용량을 포함하며,

상기 제2 메모리셀은 상기 제2 워드선에 접속된 제4 단자와 상기 제1 데이터선에 접속된 제5 단자와 제6단자를 포함하는 제2 스위치와, 상기 제6 단자에 접속된 제3 전극과 상기 제1 배선에 접속된 제4 전극을 포함하는 제2 용량을 포함하고,

상기 제3 메모리셀은 상기 제3 워드선에 접속된 제7 단자와 상기 제1 데이터선에 접속된 제8 단자와 제9 단자를 포함하는 제3 스위치와, 상기 제9 단자에 접속된 제5 전극과 상기 제2 배선에 접속된 제6 전극을 포함하는 제3 용량을 포함하며,

상기 제4 메모리셀은 상기 제4 워드선에 접속된 제10 단자와 상기 제1 데이터선에 접속된 제11 단자와 제12 단자를 포함하는 제4 스위치와, 상기 제12 단자에 접속된 제7 전극과 상기 제2 배선에 접속된 제8 전극을 포함하는 제4 용량을 포함하고,

상기 제1, 제2, 제3 및 제4 용량은 데이터를 불휘발로 유지 가능한 것을 특징으로 하는 반도체 기억장치.

청구항 20.

제 19 항에 있어서,

상기 제1, 제2, 제3 및 제4 스위치는 MOSFET를 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 21.

제 19 항에 있어서,

상기 제1 메모리셀이 선택될 때, 상기 제1 및 제2 전극간에는 상기 제1 용량이 분극 가능하게 되는 전압이 인가되는 것을 특징으로 하는 반도체 기억장치.

청구항 22.

제 19 항에 있어서,

상기 제1 메모리셀이 선택되고 또한 상기 제2, 제3 및 제4 메모리셀이 비선택으로 될 때, 상기 제1 전극과 상기 제2 전극과의 전위차는 상기 제1 용량이 분극 가능하게 되는 전위차로 되며, 또한 상기 제3 전극과 상기 제4 전극과의 전위차, 상기 제5 전극과 상기 제6 전극과의 전위차 및 상기 제7 전극과 상기 제8 전극과의 전위차는 상기 제2, 제3 및 제4 용량이 분극되지 않는 전위차로 되는 것을 특징으로 하는 반도체 기억장치.

청구항 23.

제 19 항에 있어서,

상기 제1, 제2, 제3 및 제4 용량은 강유전체 용량인 것을 특징으로 하는 반도체 기억장치.

청구항 24.

제 19 항에 있어서,

상기 제1 및 제2 배선은 플레이트선인 것을 특징으로 하는 반도체 기억장치.

청구항 25.

제 19 항에 있어서,

제2 데이터선과,

제5, 제6, 제7 및 제8 메모리셀을 포함하고,

상기 제5 메모리셀은 상기 제1 워드선에 접속된 제13 단자와 상기 제2 데이터선에 접속된 제14 단자와 제15 단자를 포함하는 제5 스위치와, 상기 제15 단자에 접속된 제9 전극과 상기 제1 배선에 접속된 제10 전극을 포함하는 제5 용량을 포함하며,

상기 제6 메모리셀은 상기 제2 워드선에 접속된 제16 단자와 상기 제2 데이터선에 접속된 제17 단자와 제18 단자를 포함하는 제6 스위치와, 상기 제18 단자에 접속된 제11 전극과 상기 제1 배선에 접속된 제12 전극을 포함하는 제6 용량을 포함하고,

상기 제7 메모리셀은 상기 제3 워드선에 접속된 제19 단자와 상기 제2 데이터선에 접속된 제20 단자와 제21 단자를 포함하는 제7 스위치와, 상기 제21 단자에 접속된 제 13 전극과 상기 제2 배선에 접속된 제14 전극을 포함하는 제7 용량을 포함하며,

상기 제8 메모리셀은 상기 제4 워드선에 접속된 제22 단자와 상기 제2 데이터선에 접속된 제23 단자와 제24 단자를 포함하는 제8 스위치와, 상기 제24 단자에 접속된 제15 전극과 상기 제2 배선에 접속된 제16 전극을 포함하는 제8 용량을 포함하고,

상기 제5, 제6, 제7 및 제8 용량은 데이터를 불휘발로 유지 가능한 것을 특징으로 하는 반도체 기억장치

청구항 26.

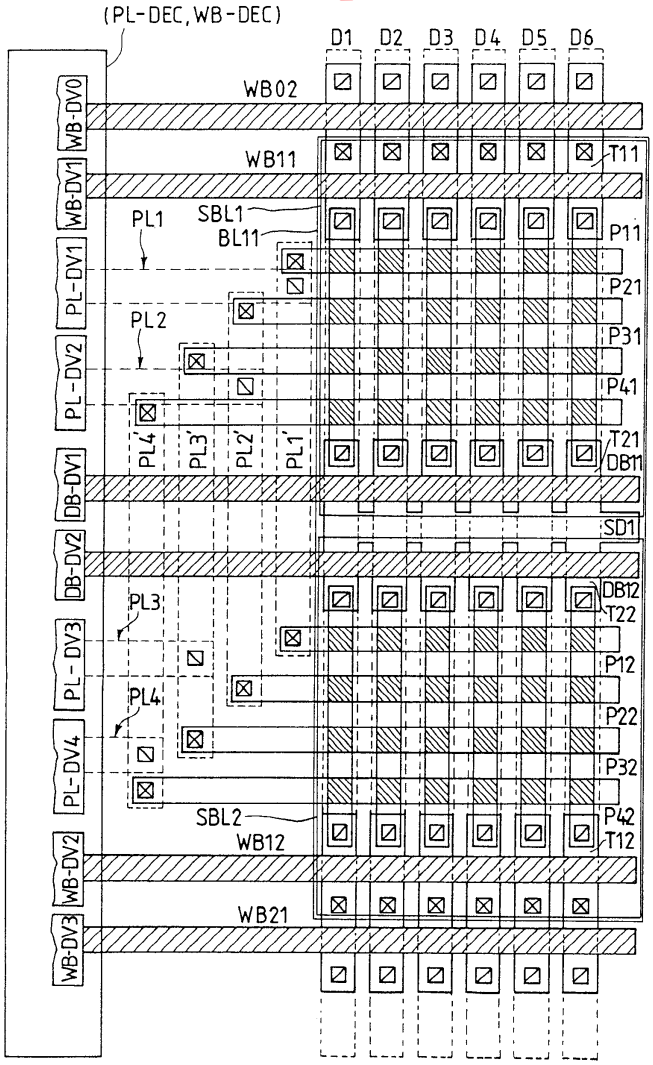
제 19 항에 있어서,

상기 제1 배선을 구동하는 제1 드라이버와,

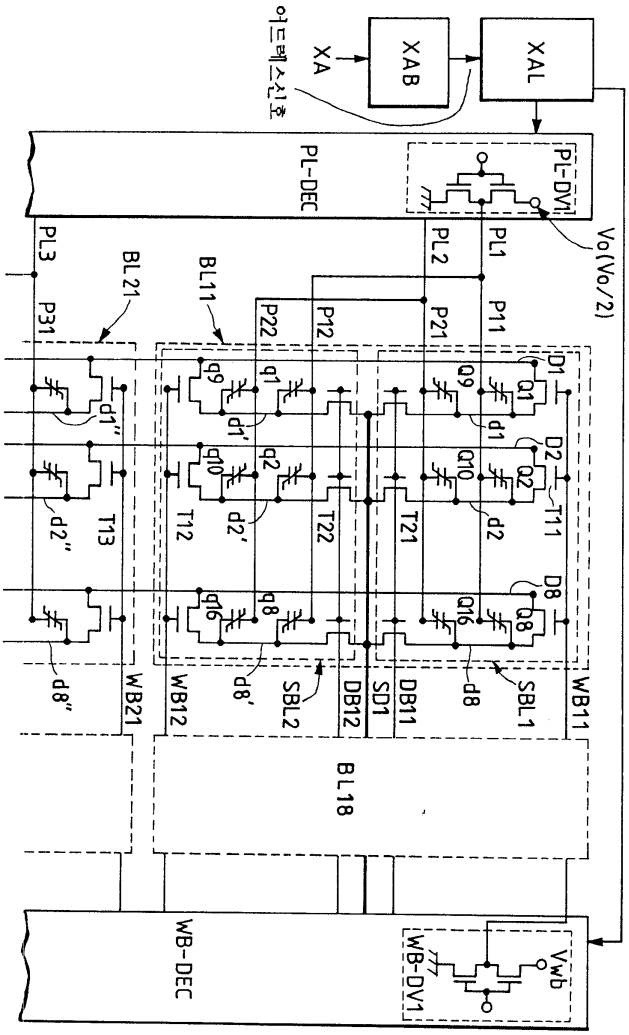
상기 제2 배선을 구동하는 제2 드라이버를 더 포함하는 것을 특징으로 하는 반도체 기억장치.

도면

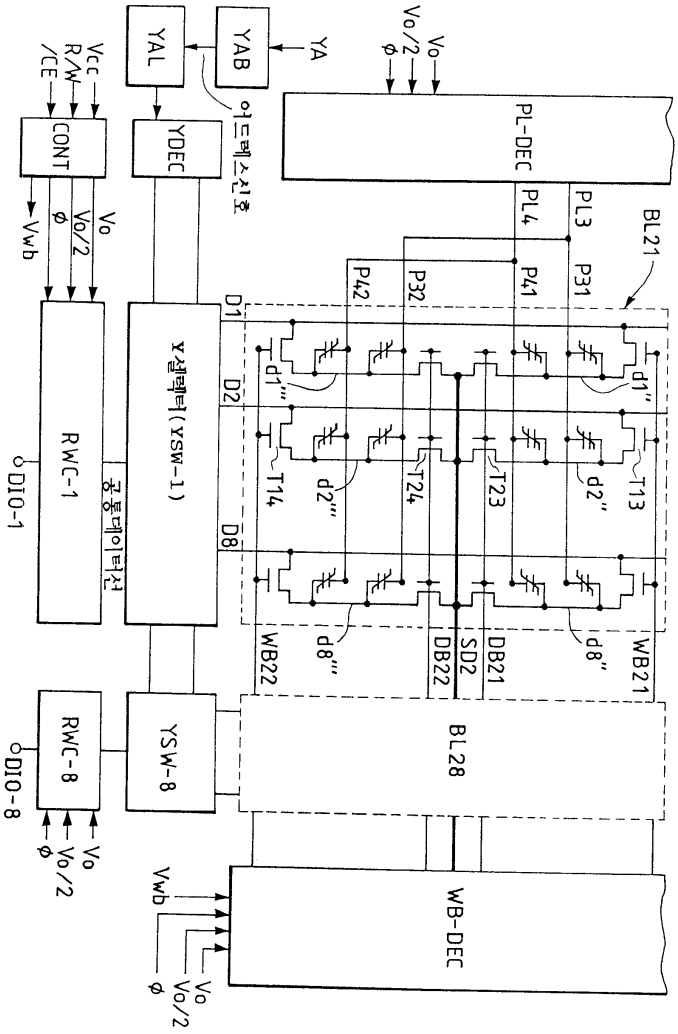
도면 1



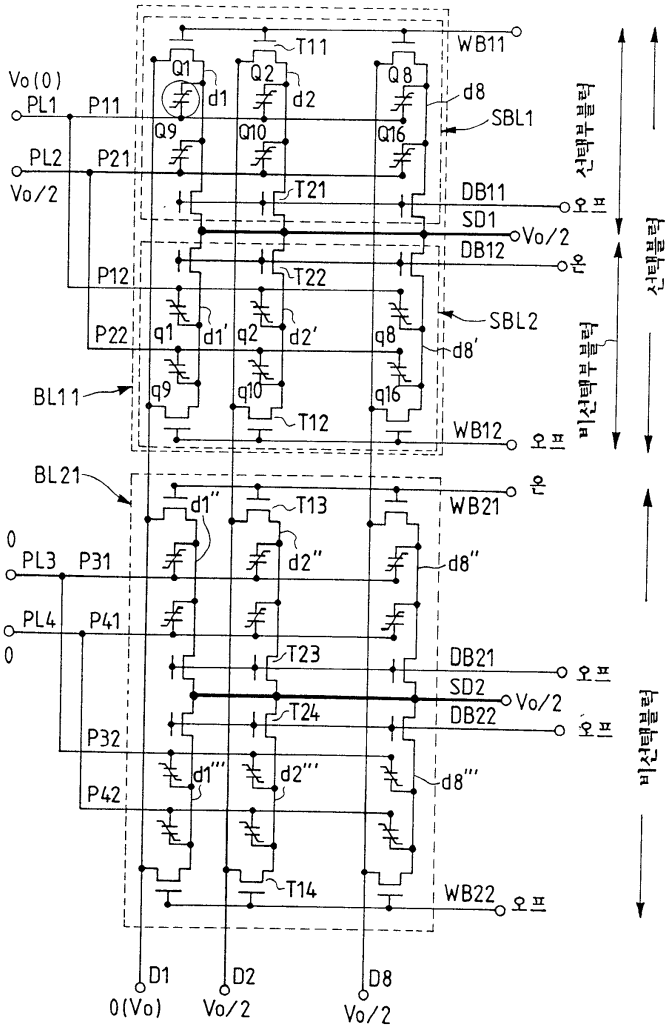
도면 2


어드레스신호
XA
XAB
XAL
PL-DEC
PL-DV1
Vo(Vo/2)
PL3
PL2
PL1
BL21
BL11
P31
P22
P12
P21
P11
WB-DEC
WB-DV1
Vwb
BL18
WB21
WB12
WB11
SBL2
SBL1
DB12
DB11
SD1
T13
T12
T22
T21
T11

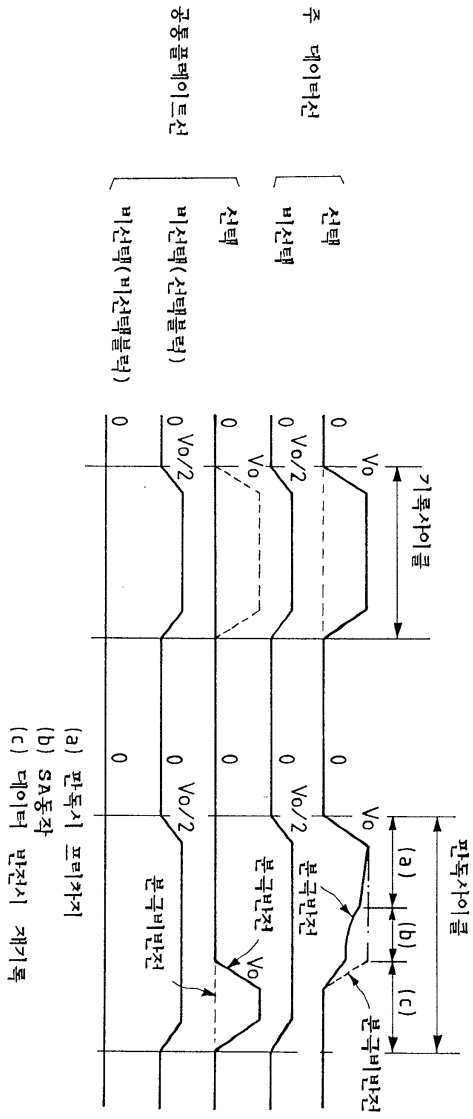
도면 3


YA
YAB
YAL
YDEC
어드레스신호
CONT
Vcc
R/W
/CE
Vwb
Vo
Vo/2
ø
PL-DEC
PL4
PL3
BL21
P42
P32
P41
P31
D1
D2
D8
Y선택기(YSW-1)
RWC-1
DIO-1
공통데이터선
d1'''
d2'''
d8'''
d1''
d2''
d8''
T14
T24
T23
T13
WB22
DB22
SD2
DB21
WB21
BL28
YSW-8
RWC-8
DIO-8
WB-DEC

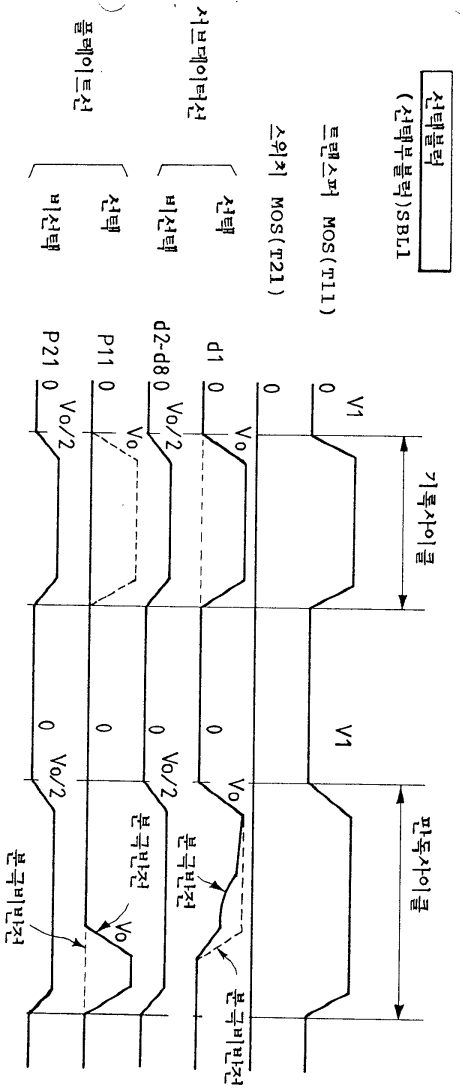
도면 4


Vo(0)
PL1
P11
PL2
P21
Vo/2
Q1
Q2
Q8
d1
d2
d8
SBL1
Q9
Q10
Q16
T11
T21
WB11
DB11
SD1
Vo/2
DB12
P12
T22
SBL2
P22
q1
d1'
q2
d2'
q8
d8'
BL11
q9
q10
q16
T12
WB12
BL21
d1''
T13
WB21
d2''
d8''
0
PL3
P31
PL4
P41
0
T23
DB21
SD2
Vo/2
T24
DB22
P32
P42
d1'''
d2'''
d8'''
T14
WB22
D1
0(Vo)
D2
Vo/2
D8
Vo/2
선택부 블럭
비선택부 블럭
선택블럭
비선택블럭
오프
온

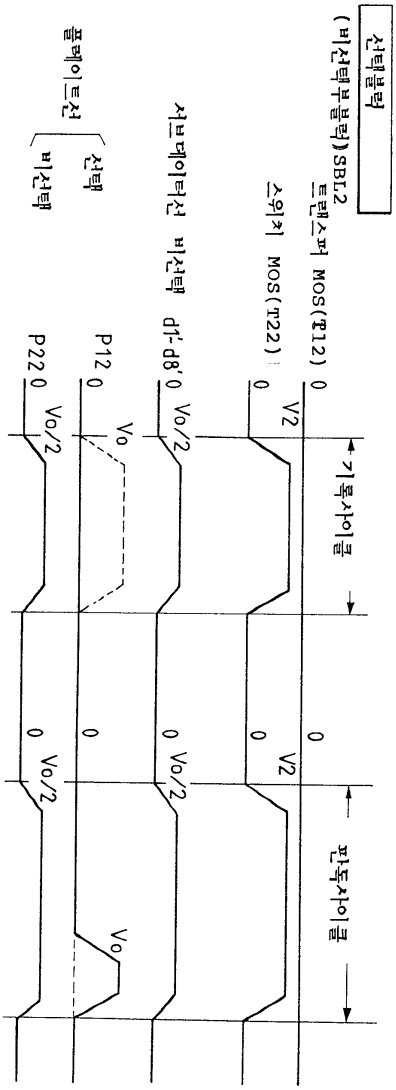
도면 5


주 데이터선
선택
비선택
공통플레이트선
선택
비선택(선택블럭)
비선택(비선택블럭)
기록사이클
판독사이클
Vo
Vo/2
0
(a)
(b)
(c)
(a) 판독시 프리차지
(b) SA동작
(c) 데이터 반전시 재기록

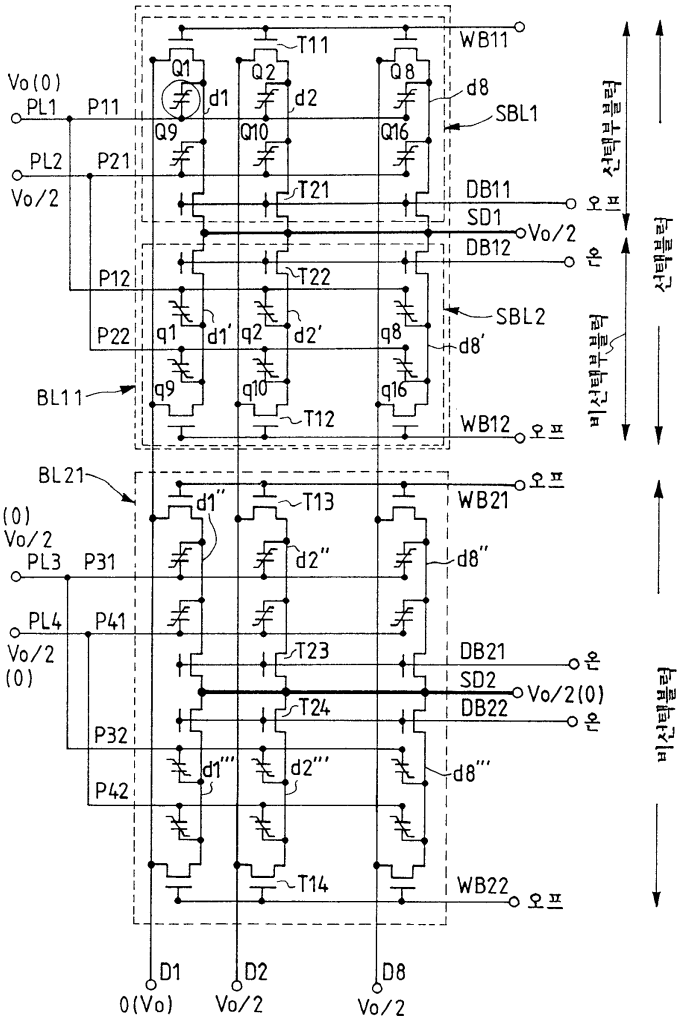
도면 6


선택블럭
(선택부블럭)SBL1
트랜스퍼 MOS(T11)
스위치 MOS(T21)
서브데이터선
선택
비선택
플레이트선
선택
비선택
V1
0
d1
0
d2-d8
0
P11
0
P21
0
Vo
Vo/2
기록사이클
판독사이클
분극반전
분극비반전

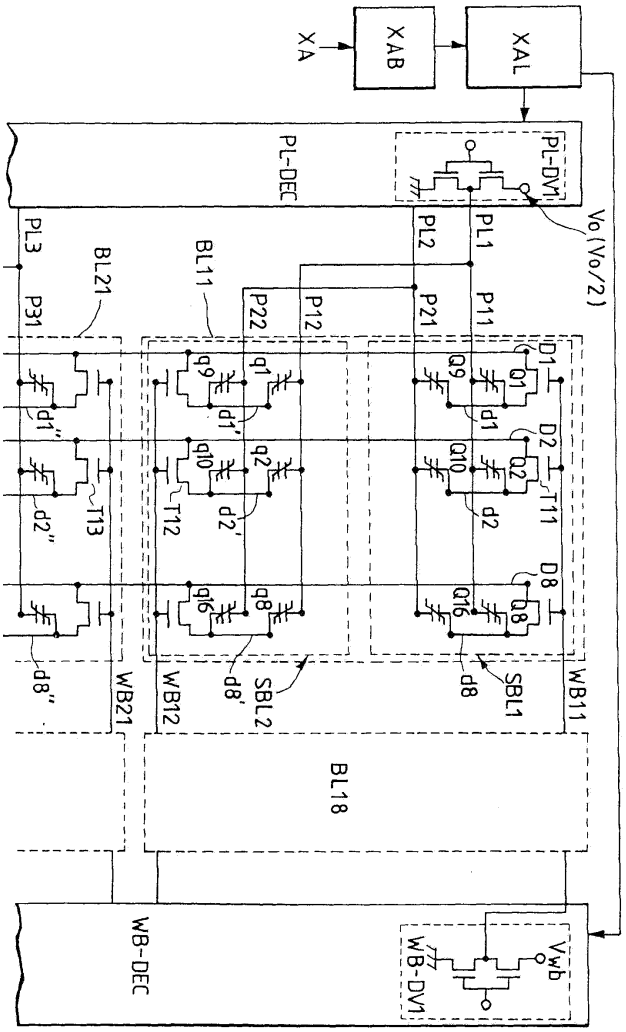
도면 7


선택블럭
(비선택부블럭)SBL2
트랜스퍼 MOS(T12)
스위치 MOS(T22)
서브데이터선 비선택
d1-d8
플레이트선
선택
비선택
P12
P22
V2
Vo/2
Vo
0
기록사이클
판독사이클

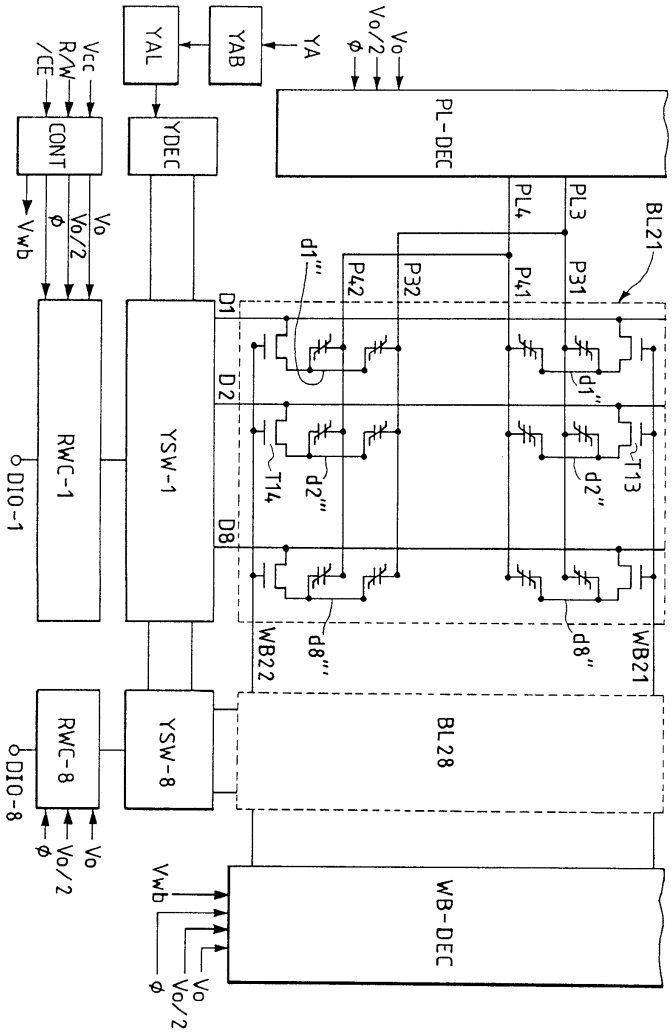
도면 8


Vo(0)
PL1
P11
PL2
P21
Vo/2
P12
P22
BL11
BL21
(0)
Vo/2
PL3
P31
PL4
P41
Vo/2
(0)
P32
P42
Q1
Q2
Q8
Q9
Q10
Q16
T11
T21
T22
T12
T13
T23
T24
T14
d1
d2
d8
SBL1
SBL2
DB11
SD1
DB12
WB11
WB12
WB21
SD2
DB21
DB22
WB22
Vo/2
Vo/2(0)
오프
온
선택부블럭
비선택부블럭
D1
D2
D8
0(Vo)
Vo/2
Vo/2

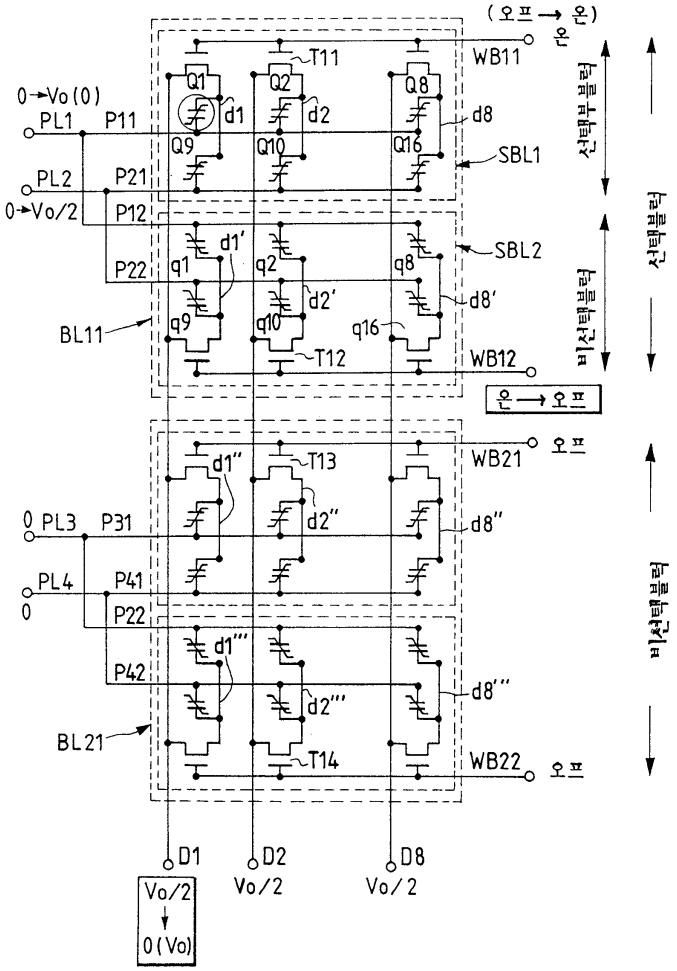
도면 9


XA
XAB
XAL
PL-DEC
PL-DV1
Vo (Vo/2)
PL3
PL2
PL1
BL21
BL11
P31
P22
P12
P21
P11
D1
Q9
q9
q1
Q1
d1
d1'
d1"
D2
Q10
q10
q2
Q2
d2
d2'
d2"
T11
T12
T13
D8
Q16
q16
q8
Q8
d8
d8'
d8"
SBL1
SBL2
WB11
WB12
WB21
BL18
WB-DEC
WB-DV1
Vwb

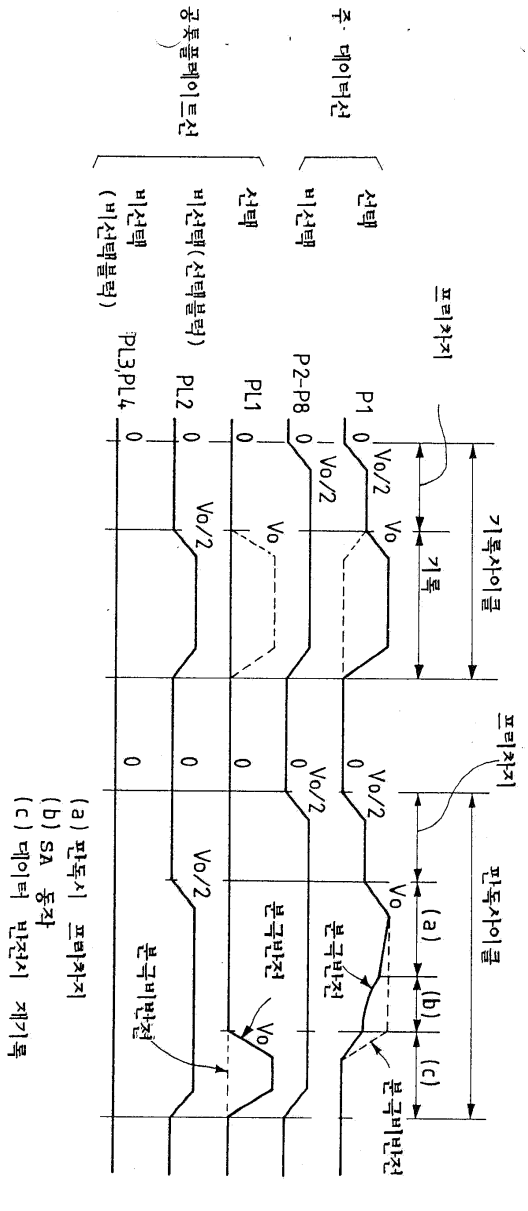
도면 10


YAL
YAB
YA
Vo/2
Vo
ø
PL-DEC
Vcc
R/W
/CE
CONT
YDEC
Vwb
PL4
PL3
BL21
P42
P32
P41
P31
d1'''
D1
D2
D8
d1''
d2'''
d2''
T14
T13
RWC-1
YSW-1
DIO-1
WB22
d8'''
d8''
WB21
BL28
RWC-8
YSW-8
DIO-8
WB-DEC

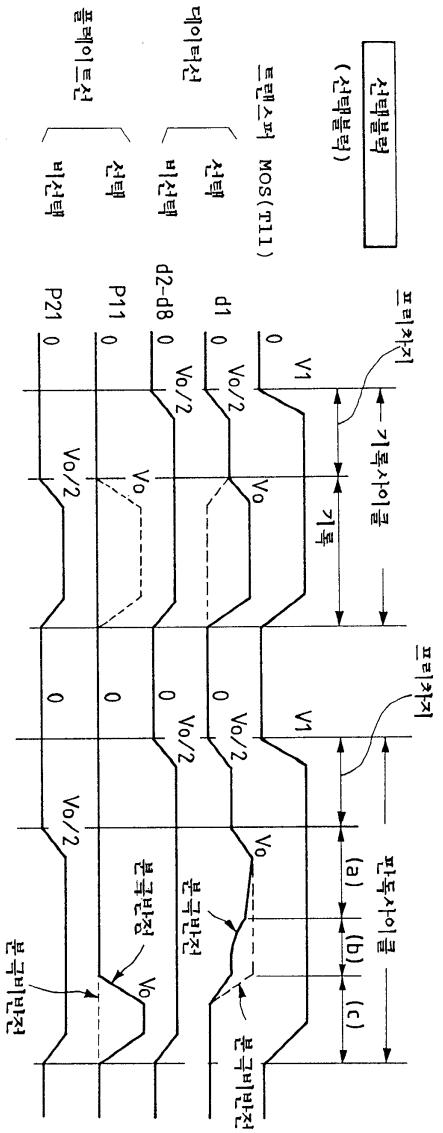
도면 11


(오프→온)
WB11
T11
Q1
Q2
Q8
d1
d2
d8
Q9
Q10
Q16
SBL1
0→Vo(0)
PL1
P11
PL2
P21
0→Vo/2
P12
선택블럭
SBL2
d1'
q1
q2
q8
P22
d2'
d8'
q9
q10
q16
BL11
T12
WB12
비선택블럭
온→오프
오프
WB21
d1''
T13
d2''
d8''
0 PL3
P31
PL4
P41
0
P22
d1'''
P42
d2'''
d8'''
BL21
T14
WB22
D1
D2
D8
Vo/2
0(Vo)
Vo/2
Vo/2

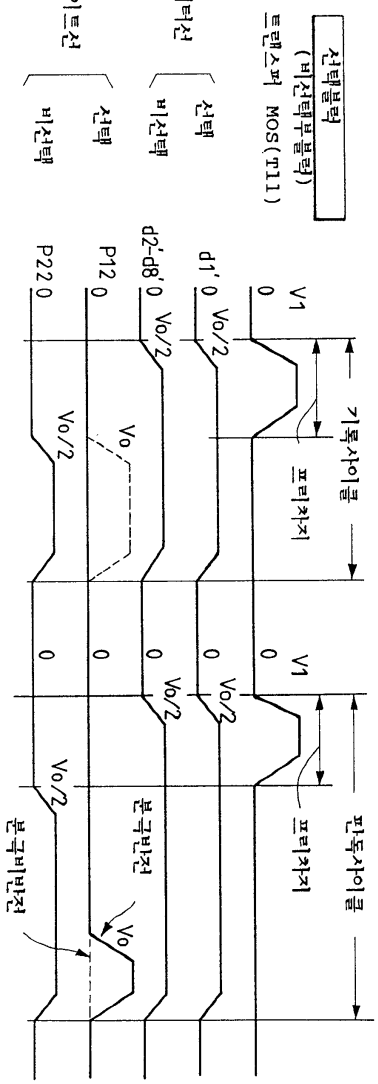
도면 12


주 데이터선
공통플레이트선
선택
비선택
선택
비선택(선택블럭)
비선택
(비선택블럭)
프리차지
기록사이클
기록
판독사이클
(a)
(b)
(c)
P1
P2-P8
PL1
PL2
PL3,PL4
Vo/2
Vo
0
분극반전
분극비반전
(a) 판독시 프리차지
(b) SA 동작
(c) 데이터 반전시 재기록

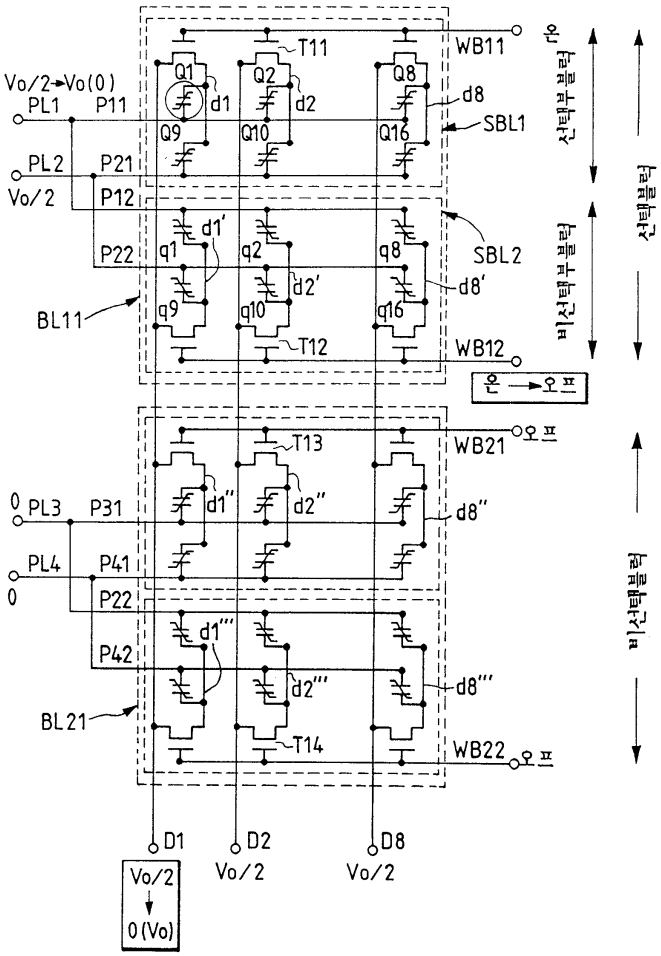
도면 13


선택블럭
(선택블럭)
트랜스퍼 MOS(T11)
데이터선
선택
비선택
플레이트선
선택
비선택
d1
d2-d8
P11
P21
V1
Vo/2
Vo
0
프리차지
기록사이클
기록
판독사이클
(a)
(b)
(c)
분극반전
분극비반전

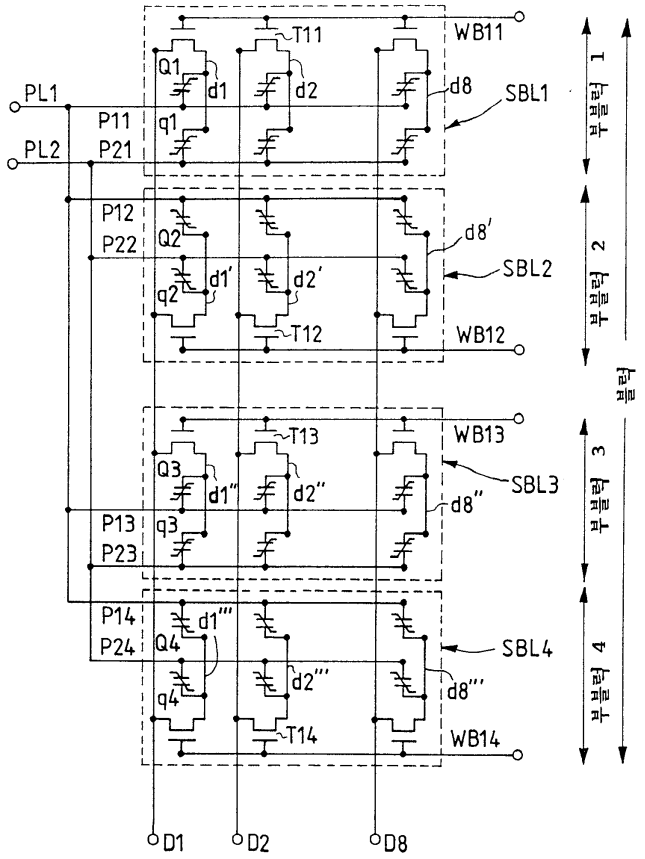
도면 14


선택블럭
(비선택부블럭)
트랜스퍼 MOS(TTL)
데이터선
선택
비선택
플레이트선
선택
비선택
V1
0
d1' 0
Vo/2
d2'-d8' 0
Vo/2
P12 0
Vo
Vo/2
P22 0
Vo/2
기록사이클
프리차지
V1
0
Vo/2
0
Vo/2
0
Vo/2
0
Vo/2
프리차지
판독사이클
분극반전
분극비반전
Vo
Vo

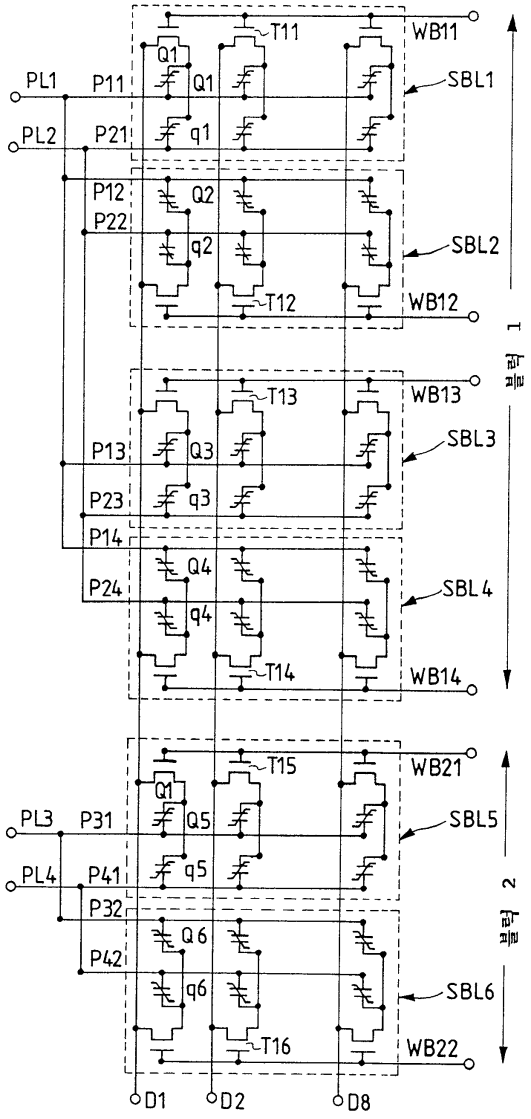
도면 15


Vo/2→Vo(0)
PL1
P11
PL2
P21
Vo/2
P12
P22
BL11
Q1
d1
Q2
d2
Q8
d8
T11
WB11
SBL1
Q9
Q10
Q16
d1'
q1
q2
q8
d2'
d8'
q9
q10
q16
T12
WB12
SBL2
0
PL3
P31
PL4
P41
0
P22
P42
BL21
d1''
d2''
d8''
T13
WB21
d1'''
d2'''
d8'''
T14
WB22
D1
D2
D8
Vo/2
0(Vo)
Vo/2
Vo/2
선택블럭
비선택부블럭
비선택부블럭
선택블럭
비선택블럭

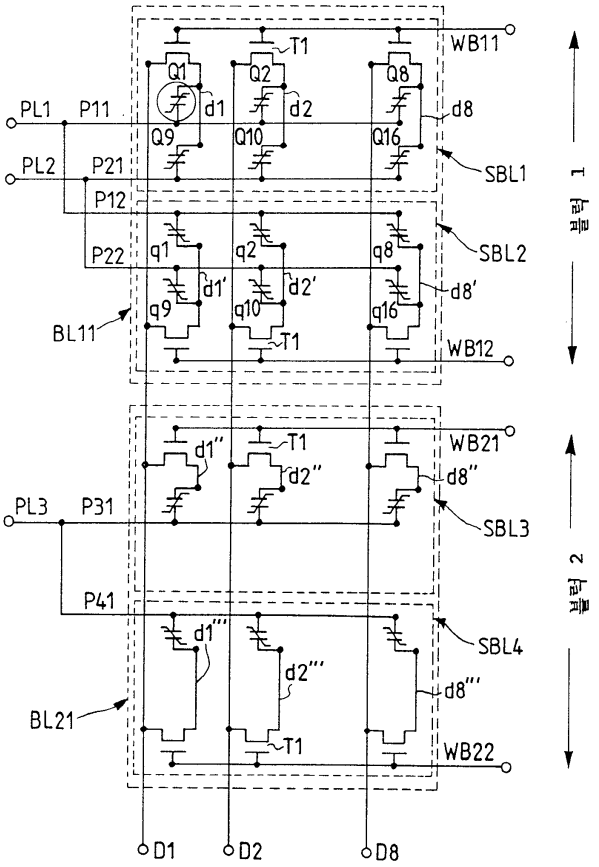
도면 16


T11
WB11
Q1
d1
d2
d8
SBL1
PL1
P11
q1
PL2
P21
부블럭 1
P12
Q2
d8'
P22
SBL2
d1'
d2'
q2
T12
WB12
부블럭 2
블럭
T13
WB13
Q3
d1''
d2''
SBL3
d8''
P13
q3
P23
부블럭 3
P14
d1'''
P24
Q4
SBL4
d2'''
d8'''
q4
T14
WB14
부블럭 4
D1
D2
D8

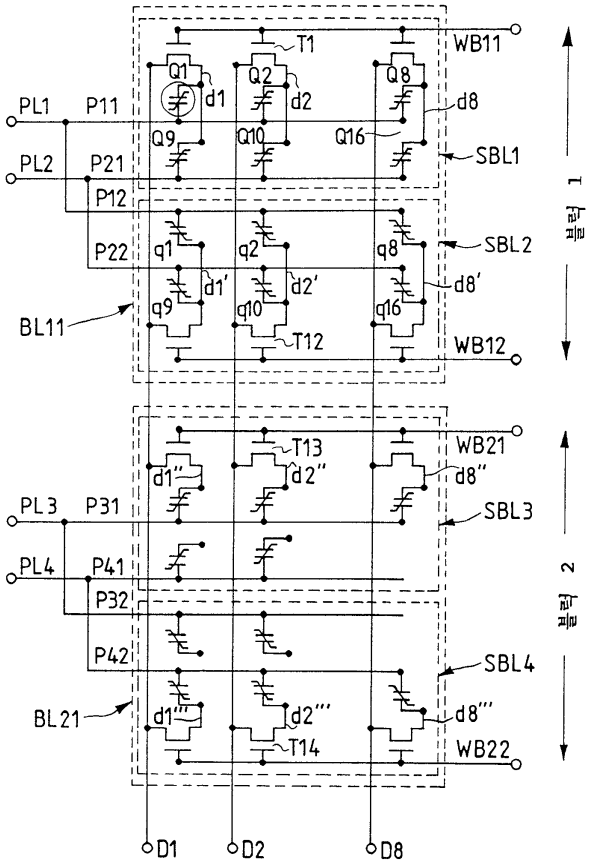
도면 17


T11
WB11
Q1
PL1
P11
Q1
SBL1
PL2
P21
q1
P12
Q2
P22
SBL2
q2
T12
WB12
블럭 1
T13
WB13
P13
Q3
SBL3
P23
q3
P14
Q4
P24
SBL4
q4
T14
WB14
T15
WB21
Q1
PL3
P31
Q5
SBL5
PL4
P41
q5
P32
Q6
P42
SBL6
q6
T16
WB22
블럭 2
D1
D2
D8

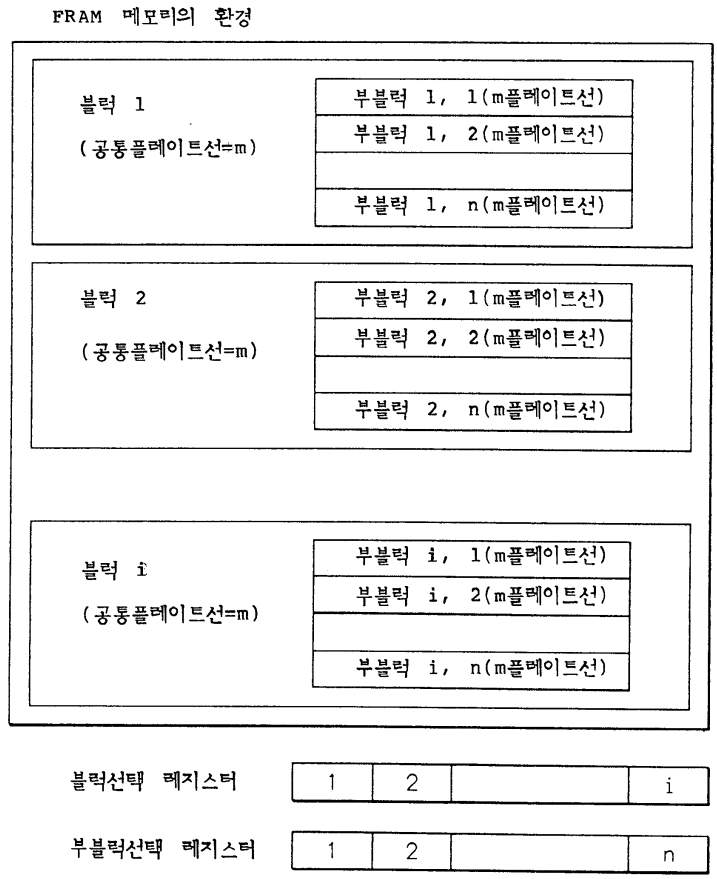
도면 18


T1
WB11
Q1
Q2
Q8
PL1
P11
d1
d2
d8
Q9
Q10
Q16
PL2
P21
SBL1
P12
q1
q2
q8
P22
SBL2
d1'
d2'
d8'
q9
q10
q16
BL11
T1
WB12
블럭 1
d1''
T1
WB21
d2''
d8''
PL3
P31
SBL3
P41
d1'''
SBL4
d2'''
d8'''
BL21
T1
WB22
블럭 2
D1
D2
D8

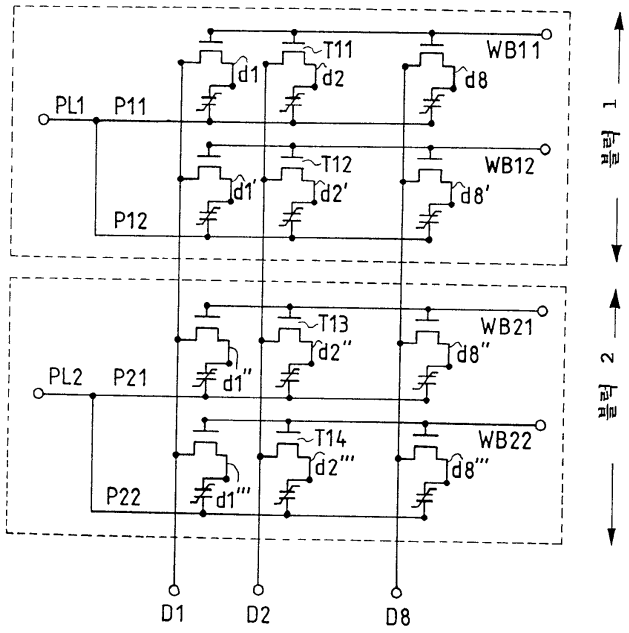
도면 19


T1
WB11
Q1
Q2
Q8
d1
d2
d8
PL1
P11
Q9
Q10
Q16
SBL1
PL2
P21
P12
P22
q1
q2
q8
SBL2
d1'
d2'
d8'
q9
q10
q16
BL11
T12
WB12
블럭 1
T13
WB21
d1''
d2''
d8''
PL3
P31
SBL3
PL4
P41
P32
P42
SBL4
BL21
d1'''
d2'''
d8'''
T14
WB22
블럭 2
D1
D2
D8

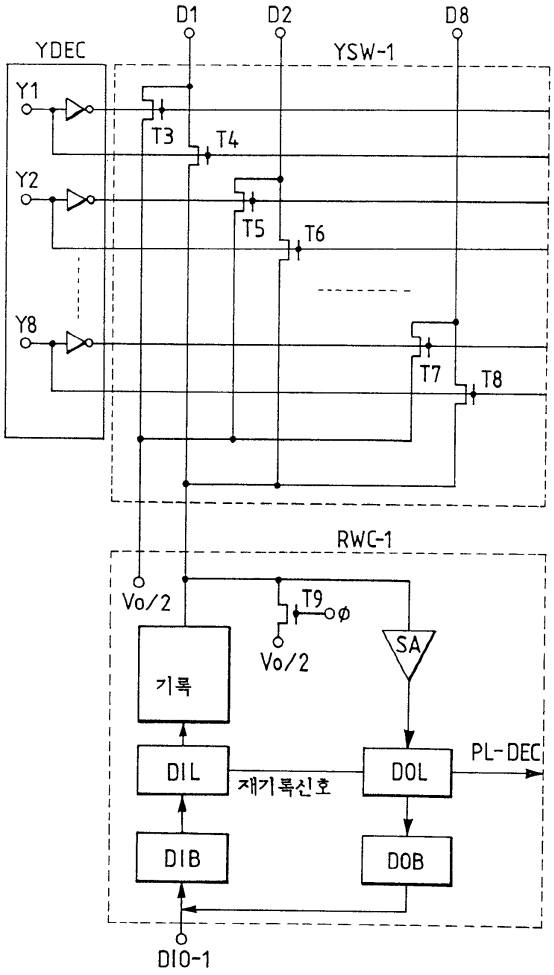
도면 20


FRAM 메모리의 환경
블럭 1
(공통플레이트선=m)
부블럭 1, 1(m플레이트선)
부블럭 1, 2(m플레이트선)
부블럭 1, n(m플레이트선)
블럭 2
(공통플레이트선=m)
부블럭 2, 1(m플레이트선)
부블럭 2, 2(m플레이트선)
부블럭 2, n(m플레이트선)
블럭 i
(공통플레이트선=m)
부블럭 i, 1(m플레이트선)
부블럭 i, 2(m플레이트선)
부블럭 i, n(m플레이트선)
블럭선택 레지스터
1
2
i
부블럭선택 레지스터
1
2
n

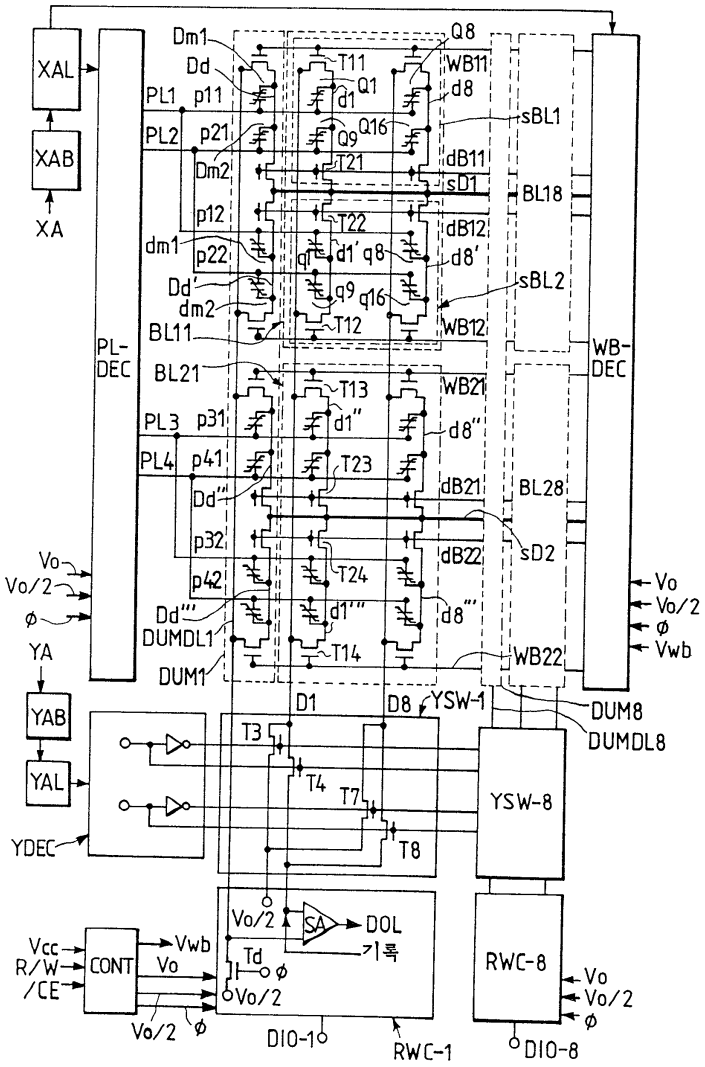
도면 21


T11
WB11
d1
d2
d8
PL1
P11
T12
WB12
d1'
d2'
d8'
P12
1 블록
T13
WB21
d2''
d8''
d1''
PL2
P21
T14
WB22
d2'''
d8'''
P22
d1'''
2 블록
D1
D2
D8

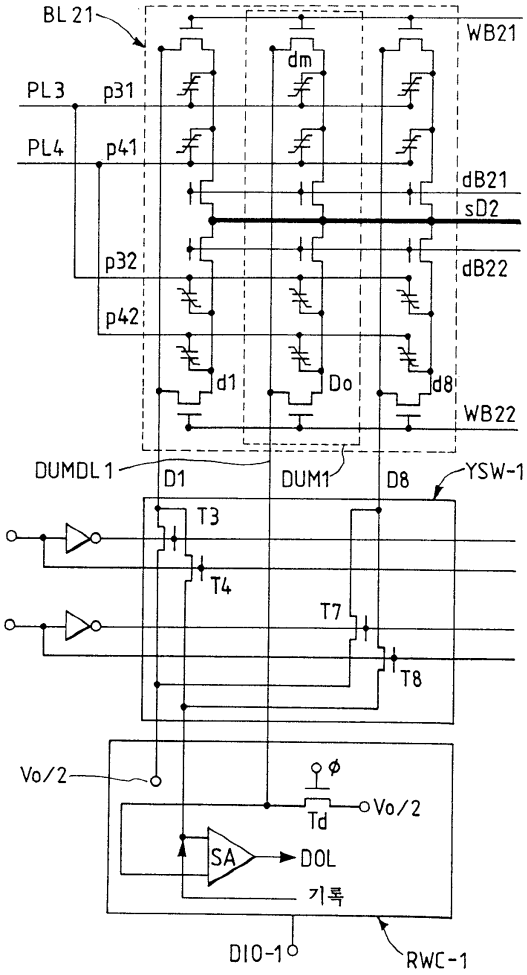
도면 22


D1
D2
D8
YDEC
YSW-1
Y1
Y2
Y8
T3
T4
T5
T6
T7
T8
RWC-1
Vo/2
T9
φ
Vo/2
SA
기록
DIL
재기록신호
DOL
PL-DEC
DIB
DOB
DIO-1

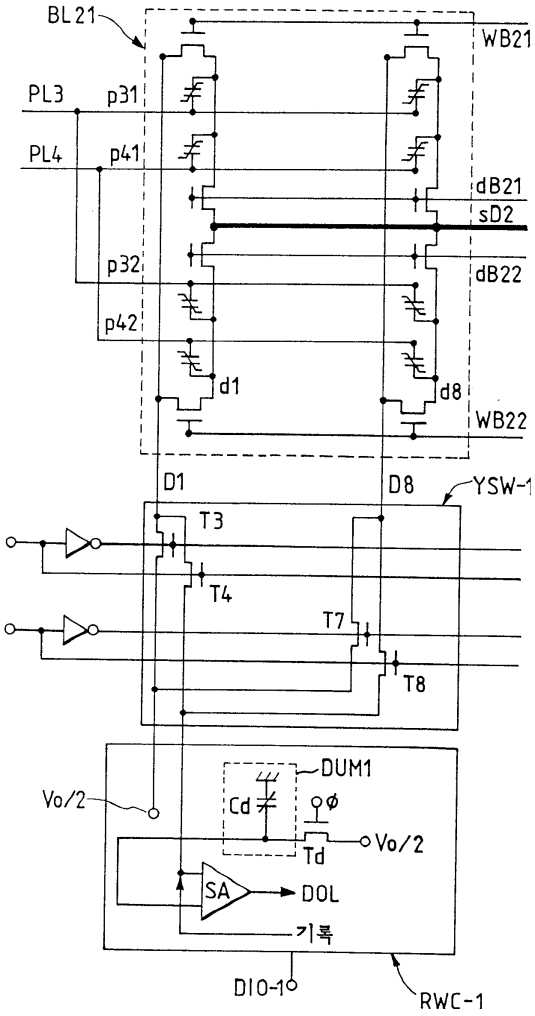
도면 23


XAL
XAB
XA
PL-DEC
WB-DEC
Dm1
Dd
PL1
p11
PL2
p21
Dm2
p12
dm1
p22
Dd'
dm2
BL11
BL21
PL3
p31
PL4
p41
Dd''
p32
p42
Dd'''
DUMDL1
DUM1
Q8
WB11
T11
Q1
d1
d8
sBL1
Q16
Q9
T21
dB11
sD1
BL18
T22
dB12
d1' q8
d8'
sBL2
q9
q16
T12
WB12
T13
WB21
d1''
d8''
T23
dB21
BL28
sD2
dB22
T24
d1'''
d8'''
T14
WB22
DUM8
DUMDL8
YSW-1
D1
D8
T3
T4
T7
T8
YSW-8
Vo
Vo/2
ϕ
Vwb
YA
YAB
YAL
YDEC
Vcc
R/W
/CE
CONT
SA
DOL
기록
Td
RWC-8
RWC-1
DIO-1
DIO-8

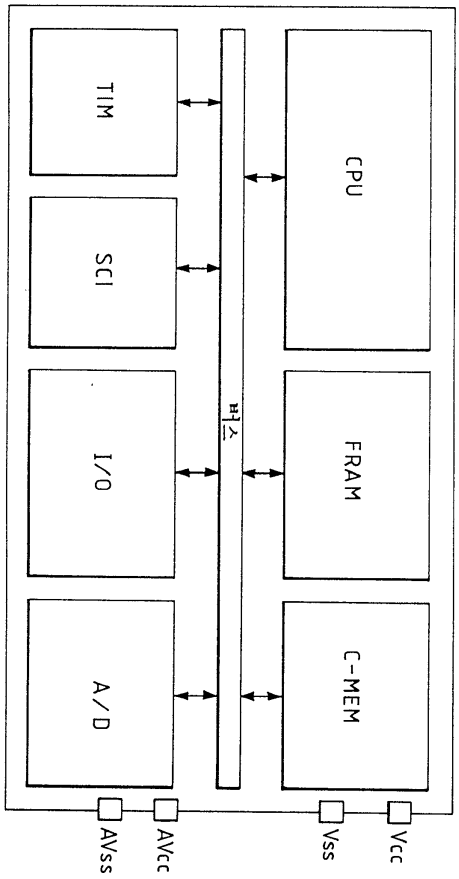
도면 24


BL 21
WB21
dm
PL3
p31
PL4
p41
dB21
sD2
p32
dB22
p42
d1
Do
d8
WB22
DUMDL 1
D1
DUM1
D8
YSW-1
T3
T4
T7
T8
Vo/2
φ
Td
Vo/2
SA
DOL
기록
DIO-1
RWC-1

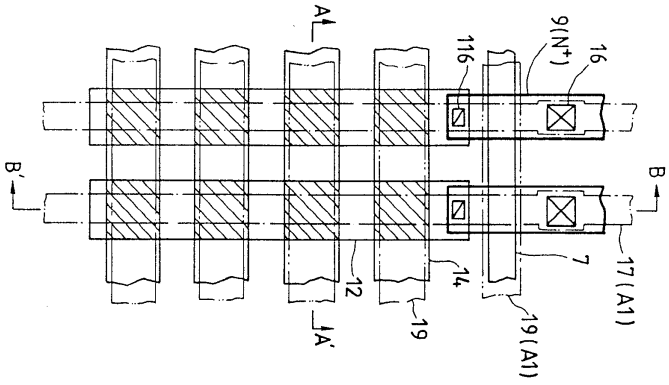
도면 25


BL21
WB21
PL3
p31
PL4
p41
dB21
sD2
p32
dB22
p42
d1
d8
WB22
D1
D8
YSW-1
T3
T4
T7
T8
DUM1
Cd
φ
Vo/2
Td
Vo/2
SA
DOL
기록
DIO-1
RWC-1

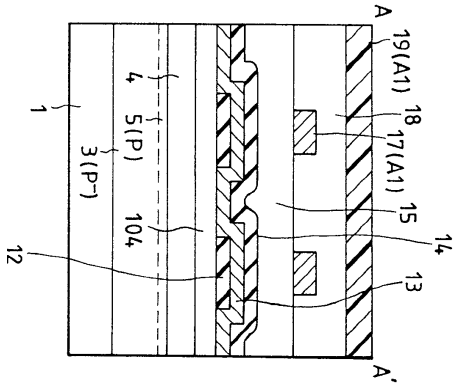
도면 26


TIM
SCI
I/O
A/D
버스
CPU
FRAM
C-MEM
AVss
AVcc
Vss
Vcc

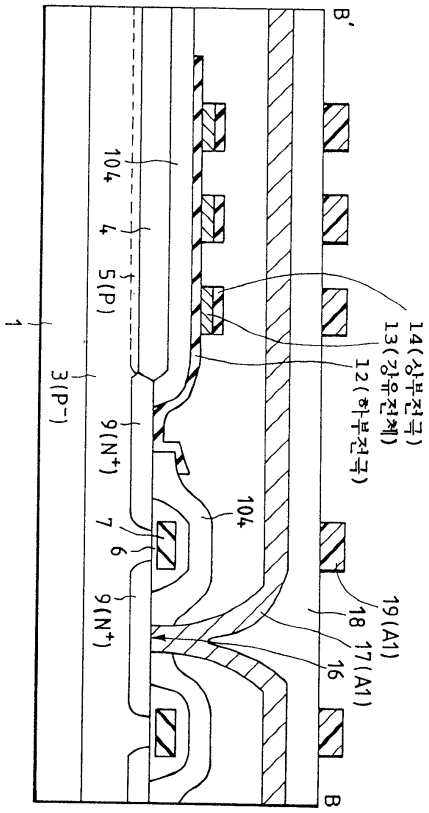
도면 27


A
A'
B
B'
116
9(N+)
16
7
14
12
19
17(A1)
19(A1)

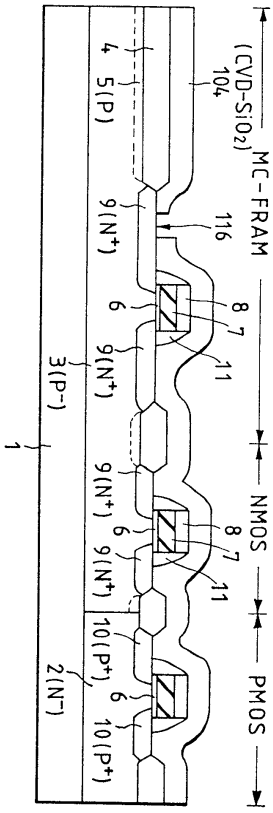
도면 28


A
19(A1)
18
17(A1)
15
14
13
A'
12
104
3(P⁻)
5(P)
4
1

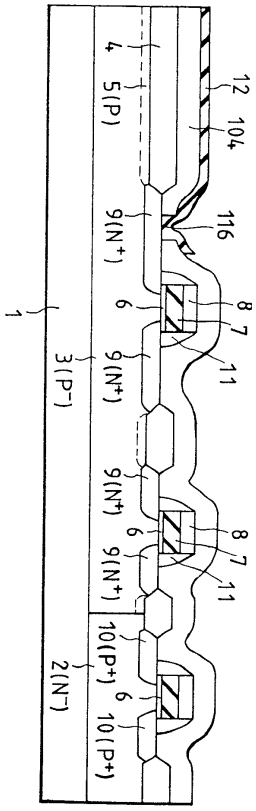
도면 29


B'
14(상부전극)
13(강유전체)
12(하부전극)
19(A1)
18
17(A1)
16
B
104
9(N⁺)
7
6
9(N⁺)
104
4
5(P)
3(P⁻)
1

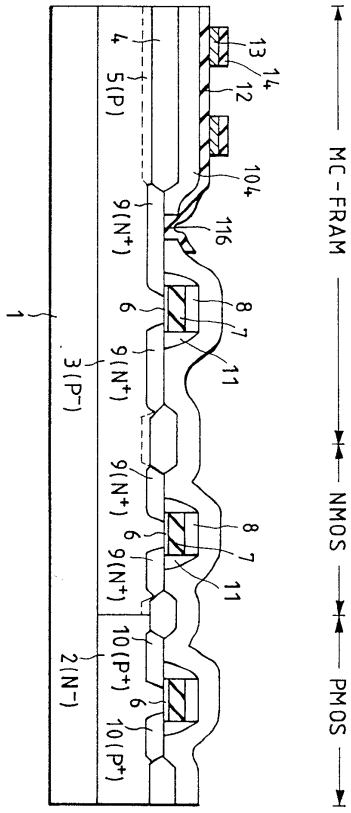
도면 30a



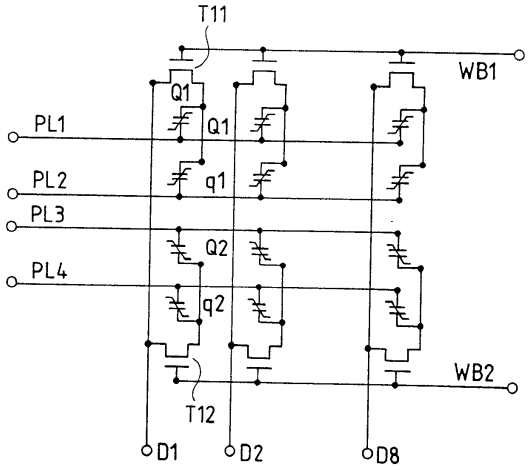
도면 30b



도면 31


MC-FRAM
NMOS
PMOS
1
2(N-)
3(P-)
4
5(P)
6
7
8
9(N+)
10(P+)
11
12
13
14
104
116

도면 32


T11
WB1
Q1
PL1
Q1
PL2
q1
PL3
Q2
PL4
q2
WB2
T12
D1
D2
D8