

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4940064号
(P4940064)

(45) 発行日 平成24年5月30日(2012.5.30)

(24) 登録日 平成24年3月2日(2012.3.2)

(51) Int.Cl.

F I

H O 1 L 25/065 (2006.01)

H O 1 L 25/08

Z

H O 1 L 25/07 (2006.01)

H O 1 L 23/50

X

H O 1 L 25/18 (2006.01)

H O 1 L 23/50 (2006.01)

請求項の数 14 (全 26 頁)

(21) 出願番号 特願2007-221199 (P2007-221199)
(22) 出願日 平成19年8月28日(2007.8.28)
(65) 公開番号 特開2009-54850 (P2009-54850A)
(43) 公開日 平成21年3月12日(2009.3.12)
審査請求日 平成22年8月25日(2010.8.25)

(73) 特許権者 302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100080001
弁理士 筒井 大和
(72) 発明者 小池 信也
東京都千代田区大手町二丁目6番2号 株
式会社ルネサステクノロジ内
(72) 発明者 永田 真也
東京都千代田区大手町二丁目6番2号 株
式会社ルネサステクノロジ内

審査官 宮本 靖史

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

チップ搭載部と、
前記チップ搭載部上に搭載された、第1主面を有する第1半導体チップと、
前記第1半導体チップの前記第1主面上に搭載された第2主面を有する第2半導体チップと、
前記第1半導体チップと前記第2半導体チップとに電氣的に接続された複数のリードと、
前記第1半導体チップ、前記第2半導体チップ、及び前記複数のリードのそれぞれの一部を封止する封止体と、を有し、
前記第1半導体チップの前記第1主面には、ドライバ回路と複数のパッドが形成されており、
前記第2半導体チップの前記第2主面には、複数の回路を有するアナログ回路ブロックが形成されており、
前記アナログ回路ブロックの前記複数の回路は、アナログデジタル変換回路を含み、
前記アナログデジタル変換回路の動作電圧は、前記第2半導体チップのその他の回路の動作電圧よりも低く、
前記第1半導体チップの前記ドライバ回路は、前記第1半導体チップの前記第1主面の中心よりも外周縁に近い位置に配置されており、
前記第2半導体チップは、前記第2半導体チップが前記第1半導体チップのドライバ回

10

20

路と重なるように、かつ前記第2半導体チップの前記アナログデジタル変換回路が前記第1半導体チップの前記ドライバ回路と重ならないように、前記第1半導体チップの前記第1主面上に搭載されていることを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置において、

前記第2半導体チップは、その中心が前記第1半導体チップの中心からずらして搭載されていることを特徴とする半導体装置。

【請求項3】

請求項2に記載の半導体装置において、

前記第1半導体チップの動作時の発熱量は、前記第2半導体チップの動作時の発熱量よりも大きいことを特徴とする半導体装置。

10

【請求項4】

請求項3に記載の半導体装置において、

前記第1半導体チップは、第1部材を介して前記チップ搭載部上に搭載されており、

前記第2半導体チップは、第2部材を介して前記第1半導体チップの前記第1主面上に搭載されており、

前記第1部材の熱伝導率は、前記第2部材の熱伝導率よりも高いことを特徴とする半導体装置。

【請求項5】

請求項4に記載の半導体装置において、

前記アナログ回路ブロックの前記複数の回路は、前記ドライバ回路の動作を制御する制御回路、デジタルアナログ変換回路、センスアンプ回路、および電源回路をさらに有することを特徴とする半導体装置。

20

【請求項6】

請求項5に記載の半導体装置において、

前記複数のリードのうち、前記第2半導体チップの前記アナログデジタル変換回路または前記デジタルアナログ変換回路の外部端子に電気的に接続される第1リードと、前記第1半導体チップの前記ドライバ回路の外部端子に電気的に接続される第2リードとの間に、リセット信号用の外部端子、チップセレクト信号用の外部端子、電源用の外部端子または接地用の外部端子のいずれかに電気的に接続された第3リードが配置されていることを特徴とする半導体装置。

30

【請求項7】

請求項6に記載の半導体装置において、

前記第2半導体チップの前記アナログデジタル変換回路または前記デジタルアナログ変換回路の外部端子と、前記第1半導体チップの前記ドライバ回路の外部端子とは、前記第1、第2半導体チップの互いに異なる向きの辺の側に配置されていることを特徴とする半導体装置。

【請求項8】

請求項7に記載の半導体装置において、

前記第2半導体チップの前記アナログデジタル変換回路または前記デジタルアナログ変換回路の外部端子は、前記第1半導体チップの外部端子を介して前記複数のリードのうちの第1リードに電気的に接続されていることを特徴とする半導体装置。

40

【請求項9】

請求項4に記載の半導体装置において、

前記第1部材は半田であって、前記第2部材は絶縁ペーストもしくは絶縁フィルムであることを特徴とする半導体装置。

【請求項10】

請求項1に記載の半導体装置において、

前記チップ搭載部の一部は、前記封止体により封止されており、前記チップ搭載部のその他の部分は前記封止体から露出していることを特徴とする半導体装置。

50

【請求項 1 1】

請求項 1 に記載の半導体装置において、

前記封止体の実装面の高さは、前記封止体から露出する前記複数のリードの実装面の高さと同じか、または、それ以上の高さであることを特徴とする半導体装置。

【請求項 1 2】

請求項 1 に記載の半導体装置において、

前記第 2 半導体チップは、前記第 2 主面に RAM と ROM が形成されており、

前記 RAM と ROM は前記第 1 半導体チップのドライバ回路と重なっていないことを特徴とする半導体装置。

【請求項 1 3】

チップ搭載部と、

前記チップ搭載部上に搭載された、第 1 主面を有する第 1 半導体チップと、

前記第 1 半導体チップの前記第 1 主面上に搭載された第 2 主面を有する第 2 半導体チップと、

前記第 1 半導体チップと前記第 2 半導体チップとに電氣的に接続された複数のリードと、

前記第 1 半導体チップ、前記第 2 半導体チップ、及び前記複数のリードのそれぞれの一部を封止する封止体と、を有し

前記第 1 半導体チップの前記第 1 主面には、ドライバ回路と複数のパッドが形成されており、

前記第 2 半導体チップの前記第 2 主面には、複数の回路を有するアナログ回路ブロックが形成されており、

前記アナログ回路ブロックの前記複数の回路は、アナログデジタル変換回路を含み、

前記アナログデジタル変換回路の動作電圧は、前記第 2 半導体チップのその他の回路の動作電圧よりも低く、

前記第 1 半導体チップの前記ドライバ回路は、前記第 1 半導体チップの前記第 1 主面の中心よりも外周縁に近い位置に配置されており、

前記第 2 半導体チップは、前記第 2 半導体チップが前記第 1 半導体チップのドライバ回路と重なるように、かつ平面視において、前記第 2 半導体チップの前記アナログデジタル変換回路と前記第 1 半導体チップのドライバ回路との距離が離れるように、前記第 1 半導体チップの前記第 1 主面上に搭載されていることを特徴とする半導体装置。

【請求項 1 4】

請求項 1 3 に記載の半導体装置において、

前記アナログデジタル変換回路と前記第 1 半導体チップのドライバ回路とが重なる面積は、前記アナログデジタル変換回路と前記第 1 半導体チップのドライバ回路とが重なっていない面積よりも小さいことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置技術に関し、特に、増幅回路を有する第 1 半導体チップと、その増幅回路の動作を制御する制御回路を有する第 2 半導体チップとを単一の封止体内に混載させて所望の回路機能を構成した S i P (System in Package) に適用して有効な技術に関するものである。

【背景技術】

【0002】

S i P は、複数の半導体チップを単一の封止体内に封止することで、単一の封止体内に所望の回路機能を構築する手法である。S i P の場合、開発済みの半導体チップをそのまま流用できるため、S O C (System On Chip) に比べて開発期間を短縮でき、また、開発費を抑えることができる。また、S O C の場合、1 つの半導体チップ内に多種多様なメモリを混載するのが困難であるのに対して、S i P の場合、多種多様な大容量メモリを容易

10

20

30

40

50

に混載できる。また、S i P の場合、複数のパッケージを配線基板上に実装して所望の回路機能を構築する場合に比べて配線長を短くすることができるので、半導体装置全体の高速化および高性能化を推進することができる。

【 0 0 0 3 】

このような S i P については、例えば特許第 2 5 6 6 2 0 7 号公報（特許文献 1）に記載があり、冷却体上に、パワー M O S F E T を含む半導体基板と、上記パワー M O S F E T の動作を制御する制御回路を含む半導体基板とを下層から順に積み重ねた構成が開示されている。上段の制御回路を含む半導体基板には、下段のパワー M O S F E T の動作による温度を検出するセンサが配置されており、そのセンサの動作により上記パワー M O S F E T がオフされるようになっている。

10

【 0 0 0 4 】

また、例えば特開 2 0 0 3 - 3 1 7 3 6 号公報（特許文献 2）には、半導体チップを実装するヒートスプレッドの裏面を樹脂体から露出させる構成が開示されている。

【 0 0 0 5 】

また、例えば特開平 1 1 - 1 6 3 2 5 6 号公報（特許文献 3）には、互いの主面を対向させた状態で積み重ねられた 2 つの半導体チップのいずれかの裏面側をパッケージング樹脂から露出させる構成が開示されている。

【特許文献 1】特許第 2 5 6 6 2 0 7 号公報

【特許文献 2】特開 2 0 0 3 - 3 1 7 3 6 号公報

【特許文献 3】特開平 1 1 - 1 6 3 2 5 6 号公報

20

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

ところで、S i P の一種類として、増幅回路を有する半導体チップと、その増幅回路の動作を制御する制御回路を有する半導体チップとを単一の封止体内に混載させる構成が提案されている。

【 0 0 0 7 】

この 2 つの半導体チップを混載させる方法として、2 つの半導体チップを 1 つのダイパッド上に平置きで搭載することが考えられる。しかし、その場合、半導体装置の小型化の要求には充分に応えることができない上、半導体チップとリード（あるいは配線基板）とのワイヤ接続や 2 つの半導体チップ間のワイヤ接続が難しくなる問題がある。

30

【 0 0 0 8 】

そこで、上記特許文献 1 に開示するように、2 つの半導体チップを積層することが考えられる。しかし、増幅回路を有する半導体チップは、制御回路を有する半導体チップよりも高電力を扱うので発熱し易く、その熱の影響で、上段の制御回路を有する半導体チップの動作が不安定となる問題がある。

【 0 0 0 9 】

そこで、増幅回路を有する半導体チップで発生した熱の放散性を向上させるために、上記特許文献 2 , 3 に開示するように、増幅回路を有する半導体チップを放熱板上に搭載する方法がある。しかし、単に放熱板を適用しただけでは充分な対策にならず、制御回路を有する半導体チップの動作が安定しない、という問題は残される。

40

【 0 0 1 0 】

本発明の目的は、増幅回路を有する半導体チップと、その増幅回路の動作を制御する制御回路を有する半導体チップとを積み重ねた状態で単一の封止体内に混載させる構成を有する半導体装置の動作安定性を向上させることのできる技術を提供することにある。

【 0 0 1 1 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 2 】

50

本願において開示される複数の発明のうち、一実施の形態の概要を簡単に説明すれば、次のとおりである。

【 0 0 1 3 】

すなわち、本実施の形態は、チップ搭載部上に搭載された第 1 半導体チップ上に第 2 半導体チップを搭載し、これら第 1、第 2 半導体チップを封止体により封止した構成を備え、前記第 2 半導体チップは、前記第 2 半導体チップのノイズに弱い回路が、前記第 1 半導体チップの増幅回路に対して平面的に重ならないように、前記第 1 半導体チップ上に搭載されているものである。

【発明の効果】

【 0 0 1 4 】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【 0 0 1 5 】

すなわち、前記第 2 半導体チップのノイズに弱い回路が、前記第 1 半導体チップの増幅回路に対して平面的に重ならないように、前記第 2 半導体チップを前記第 1 半導体チップ上に搭載したことにより、増幅回路を有する半導体チップと、その増幅回路の動作を制御する制御回路を有する半導体チップとを積み重ねた状態で単一の封止体内に混載させる構成を有する半導体装置の動作安定性を向上させることができる。

【発明を実施するための最良の形態】

【 0 0 1 6 】

以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付すようにし、その繰り返しの説明は可能な限り省略するようにしている。

【 0 0 1 7 】

なお、以下の説明では、マイクロコンピュータ（制御回路）が形成された半導体チップをマイコン IC チップといい、マイコン IC チップにより動作が制御されるドライバ回路（増幅回路）が形成された半導体チップをドライバ IC チップという。

【 0 0 1 8 】

まず、発明者が検討した半導体装置について説明する。

【 0 0 1 9 】

発明者が検討した半導体装置は、例えば車載分野の半導体装置である。車載分野で使用される半導体装置においては、マイコン（制御）IC チップと、ドライバ IC チップとがそれぞれ別々にパッケージされていたが、近年の車載分野の半導体装置での小型・高効率化の要求の増大に従い、マイコン IC チップとドライバ IC チップとを同一のパッケージ（封止体）内に収容することが必要になった。

【 0 0 2 0 】

図 2 1 および図 2 2 は本発明者が検討した車載用の半導体装置の平面図、図 2 3 は図 2 2 の X A - X A 線の断面図である。なお、図 2 1 および図 2 2 では図面を見易くするためパッケージを示していない。また、図 2 2 では図面を見易くするため図 2 1 のボンディングワイヤ（以下、ワイヤという）の一部を示していない。

【 0 0 2 1 】

ダイパッド 5 0 上には、マイコン IC チップ 5 1 とドライバ IC チップ 5 2 とが平置き

10

20

30

40

50

で並んで配置されている（プレーン型実装方式）。ドライバＩＣチップ５２は、パワーＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）を有しており動作時の発熱量が高いので、マイコンＩＣチップ５１とドライバＩＣチップ５２とを同一パッケージ内に収容する場合、マイコンＩＣチップ５１とドライバＩＣチップ５２とを平置きに配置するのが一般的である。しかし、そのために、マイコンＩＣチップ５１とドライバＩＣチップ５２との２つの半導体チップを搭載するための面積が必要であり、半導体装置の小型化の要求に充分に応えることができない、という問題がある。

【００２２】

また、図２２および図２３に示すように、ダイパッド５０においてマイコンＩＣチップ５１とドライバＩＣチップ５２との間にはスリット５０Ｓが形成されている。これは、ドライバＩＣチップ５２で発生した熱がマイコンＩＣチップ５１へ伝わらないようにしたものである。この熱拡散防止用のスリット５０Ｓにより、マイコンＩＣチップ５１とドライバＩＣチップ５２との間の放熱経路が切断されているが、そのスリット５０Ｓを形成する分、ダイパッド５０の面積が大きくなるので、さらに半導体装置の小型化を阻害する、という問題がある。

10

【００２３】

マイコンＩＣチップ５１およびドライバＩＣチップ５２の周囲には、複数のリード５３が配置されている。マイコンＩＣチップ５１およびドライバＩＣチップ５２は、それぞれワイヤ５４を通じてリード５３に電氣的に接続されている。しかし、マイコンＩＣチップ５１とドライバＩＣチップ５２とを平置きで配置する場合、ワイヤ５４のレイアウトが部分的に制限を受ける、という問題がある。

20

【００２４】

例えばドライバＩＣチップ５２とリード５３とを電氣的に接続するワイヤ５４の中には、図２１の破線Ａで囲むワイヤ５４のように、その長さが極端に長くなってしまうものがある。

【００２５】

また、例えばマイコンＩＣチップ５１とドライバＩＣチップ５２とを電氣的に接続するワイヤ５４の配置位置が、図２１の破線Ｂで示すように、マイコンＩＣチップ５１とドライバＩＣチップ５２との対向辺側に限定されてしまう。

【００２６】

そこで、マイコンＩＣチップ５１とドライバＩＣチップ５２とを同一パッケージ内に収容する手法として、マイコンＩＣチップ５１とドライバＩＣチップ５２とをその厚さ方向に積み重ねるスタック型実装方式が考えられる。

30

【００２７】

しかし、ドライバＩＣチップ５２はパワーＭＯＳＦＥＴを有しており、マイコンＩＣチップ５１よりも高電流（高電圧）を扱うので動作時の発熱量が高く発熱し易い。このため、スタック型実装方式にするとドライバＩＣチップ５２で発生した熱の影響で、マイコンＩＣチップの動作が不安定になる、という問題がある。

【００２８】

そこで、ドライバＩＣチップ５２で発生した熱の放散性を向上させるために、ドライバＩＣチップ５２を放熱板（ダイパッド）に接触させた状態で搭載する方法がある。しかし、単に放熱板を適用しただけでは十分な対策にならず、マイコンＩＣチップ５１の動作が安定しない、という問題は残される。

40

【００２９】

また、ドライバＩＣチップ５２で発生したノイズが、マイコンＩＣチップ５１に影響を及ぼすこともある。

【００３０】

次に、本実施の形態の半導体装置を図面に基づいて詳細に説明する。

【００３１】

図１は本実施の形態の半導体装置１の平面図、図２は図１のＸ１－Ｘ１線に該当する部

50

分の断面図である。なお、図 1 では半導体装置 1 の内部の構成が分かるようにパッケージ（封止体）2 の内部を透かして見せている。また、図 2 では図 1 の半導体装置 1 を配線基板 3 上に実装した様子を例示している。

【0032】

本実施の形態の半導体装置 1 は、例えば車載用のパワー S i P（System in Package）である。ここでは、パッケージ 2 の構成として、例えばパッケージ 2 の四側面から複数のリード 4 A L が突出する Q F P（Quad Flat Package）構成が示されている。

【0033】

ただし、パッケージ 2 の構成は、これに限定されるものではなく種々変更可能であり、例えばパッケージ 2 の対向する 2 側面から複数のリード 4 A L が突出する S O P（Small Outline Package）構成としても良い。また、例えばパッケージ 2 の四側面（または四辺の近傍の裏面）に複数の平らな電極パッドを備える Q F N（Quad Flat Non leaded Package）構成でも良いし、例えばパッケージ 2 の対向する二側面（または二辺の近傍の裏面）に複数の平らな電極パッドを備える S O N（Small Outline Non leaded Package）構成としても良い。

【0034】

半導体装置 1 を構成する半導体チップの実装方式は、ドライバ I C チップ（第 1 半導体チップ）7 とマイコン I C チップ（第 2 半導体チップ）8 とをダイパッド（チップ搭載部）4 B P の主面上に下層から順に積み重ねる、いわゆるスタック型実装方式とされている。これにより、半導体装置 1 の平面積を、上記プレーン型実装方式よりも小さくすることができるので、半導体装置 1 を小型にすることができる。

【0035】

ドライバ I C チップ 7 は、厚さ方向に沿って互いに反対側に位置する主面（第 1 主面）および裏面（第 2 主面）を有している。このドライバ I C チップ 7 の主面には、例えばデジタル回路とアナログ回路とを同一半導体チップ内に混在した、いわゆるミックスド・シグナル（Mixed Signal：M S I G）I C が形成されている。このドライバ I C チップ 7 は、例えば特定用途向け I C（Application Specific Integrated Circuit：A S I C）でもある。この回路の詳細は後述する。

【0036】

また、ドライバ I C チップ 7 の主面の外周近傍には、その外周に沿って複数のボンディングパッド（外部端子）D P が形成されている（以下、ボンディングパッドをパッドという）。パッド D P はドライバ I C チップ 7 の主面の M S I G I C の引き出し電極である。

【0037】

M S I G I C のうちのドライバ回路（増幅回路）は、例えばソレノイド、ステッピングモータまたはパワー M O S F E T のような電子装置（半導体装置 1 の外部の負荷）を駆動する回路である。このドライバ回路は、パワー M O S F E T を有しているため、その駆動電流（または駆動電圧）が上記マイコン I C チップ 8 内の回路の駆動電流（または駆動電圧）よりも高く発熱し易い。すなわち、ドライバ I C チップ 7 の駆動時の発熱量は、マイコン I C チップ 8 の駆動時の発熱量よりも高い。上記ドライバ I C チップ 7 の発熱量は、数 W 前後（例えば 1 ～ 1 0 W）である。

【0038】

このドライバ I C チップ 7 は、ダイパッド 4 B P の主面中央に搭載されている。ダイパッド 4 B P は、厚さ方向に沿って互いに反対側に位置する主面（第 1 主面）および裏面（第 2 主面）を有している。ドライバ I C チップ 7 の裏面は、接着層 1 0 a を介してダイパッド 4 B P の主面に接合されている。接着層 1 0 a は、例えば鉛（P b）- 錫（S n）半田のような熱抵抗の低い金属により形成されている。

【0039】

上記ダイパッド 4 B P は、ドライバ I C チップ 7 で発生した熱を放散するためのヒートシンクとしての機能も有している。このため、ダイパッド 4 B P は、例えば銅（C u）または銅合金のような熱伝導性の高い金属により形成されている。また、放熱面積を増大さ

10

20

30

40

50

せるためダイパッド４ＢＰの平面積は、ドライバＩＣチップ７の平面積よりも大きく形成されている。

【００４０】

ダイパッド４ＢＰの裏面は、パッケージ２の裏面（配線基板３の主面に対向する面：実装面）から露出されている。さらに、ダイパッド４ＢＰの裏面は、接着層１０ｂを介して配線基板３のランドパターン３Ｌに接合されている。接着層１０ｂは、例えば錫－銀（Ａｇ）－銅合金のような鉛フリー半田によって形成されている。ランドパターン３Ｌは、例えば銅または銅合金からなり、その露出表面には、例えばニッケル下地の金メッキが施されている。

【００４１】

したがって、ドライバＩＣチップ７で発生した熱は、図２の矢印Ｃに示すように、接着層１０ａ、ダイパッド４ＢＰ、接着層１０ｂを順に通じて配線基板３に放散されるようになっている。

【００４２】

このように本実施の形態では、発熱量の高いドライバＩＣチップ７をダイパッド４ＢＰに近い下段としたことにより、ドライバＩＣチップ７で発生した熱の放散性を向上させることができる。

【００４３】

また、本実施の形態では、ドライバＩＣチップ７の放熱経路に位置する接着層１０ａおよびダイパッド４ＢＰの材料として熱抵抗の低い材料を用いることにより、ドライバＩＣチップ７で発生した熱の放散性を向上させることができる。

【００４４】

さらに、本実施の形態では、ダイパッド４ＢＰの裏面をパッケージ２の裏面（実装面）から露出させることにより、ドライバＩＣチップ７で発生した熱をパッケージ２の外部に放散することができる。また、ダイパッド４ＢＰの裏面を接着層１０ｂを介して配線基板３のランドパターン３Ｌに接合したことにより、ドライバＩＣチップ７で発生した熱を配線基板３側に逃がすことができる。

【００４５】

これらにより、半導体装置１の全体の回路動作の安定性を向上させることができる。また、より印加電圧を大きくできるので、高出力製品を提供することができる。

【００４６】

なお、ダイパッド４ＢＰの主面の窪み４ＢＰ１、ダイパッド４ＢＰの側面の窪み４ＢＰ２、ダイパッド４ＢＰの側面の突出部４ＢＰ３は、パッケージ２と大きなダイパッド４ＢＰとの密着性を向上させるための構成部である。

【００４７】

上記マイコンＩＣチップ８は、厚さ方向に沿って互いに反対側に位置する主面（第１主面）および裏面（第２主面）を有している。このマイコンＩＣチップ８の主面には、ドライバＩＣチップ７の回路（上記ドライバ回路および他の回路）の動作を制御する回路が形成されている。この回路の詳細は後述する。

【００４８】

また、マイコンＩＣチップ８の主面の外周近傍には、その外周に沿って複数のパッド（外部端子）ＭＰが形成されている。パッドＭＰは、マイコンＩＣチップ８の主面の回路の引き出し電極である。

【００４９】

このマイコンＩＣチップ８は、ドライバＩＣチップ７の主面に搭載されている。マイコンＩＣチップ８の裏面は、接着層１０ｃを介してドライバＩＣチップ７の主面に接合されている。接着層１０ｃは、例えば絶縁性のペースト材またはフィルム（シート）により形成されている。このように、接着層１０ｃを熱伝導性の低い材料（熱抵抗が高い材料）により形成することにより、ドライバＩＣチップ７で発生した熱がマイコンＩＣチップ８に伝わるのを抑制することができる。また、接着層１０ｃを、可撓性を有する材料によって

10

20

30

40

50

形成することにより、マイコンＩＣチップ８の傾きを制御することができる。

【００５０】

上記ドライバＩＣチップ７のパッドＤＰと、上記マイコンＩＣチップ８のパッドＭＰとは、ワイヤＷＬを通じて、互いに直接電氣的に接続されているとともに、上記複数のリード４ＡＬに電氣的に接続されている。ワイヤＷＬは、例えば金またはアルミニウム（Ａｌ）により形成されている。

【００５１】

本実施の形態においては、ドライバＩＣチップ７上にマイコンＩＣチップ８を積み重ねることができるので、一部のワイヤＷＬが極端に長くなってしまったり、一部のワイヤＷＬの配置範囲が限定されたりする等のワイヤＷＬのレイアウト上の制限を無くすることができる。したがって、半導体装置１の回路設計を容易にすることができる。また、半導体装置１の歩留まりおよび信頼性を向上させることができる。

【００５２】

リード４ＡＬは、例えば銅または銅合金によって形成されており、上記ドライバＩＣチップ７および上記マイコンＩＣチップ８の積層体の周りを取り囲むように並んで配置されている。このリード４ＡＬの上記ドライバＩＣチップ７および上記マイコンＩＣチップ８側の先端は、平面で見ると上記ダイパッド４ＢＰの一部に重なっているが、断面で見ると離れており互いに絶縁されている。

【００５３】

上記ドライバＩＣチップ７の全体、上記マイコンＩＣチップ８の全体、上記ワイヤＷＬの全体、上記ダイパッド４ＢＰの一部および上記複数のリード４ＡＬの一部は、パッケージ２に覆われ封止されている。

【００５４】

このパッケージ２は、例えばエポキシ系樹脂のようなプラスチック材料を基材として形成されている。このパッケージ２の四側面からは、上記複数のリード４ＡＬの一部が突出（露出）されている。このリード４ＡＬにおいてパッケージ２に覆われている箇所をインターリード部、パッケージ２から露出している箇所をアウターリード部という。

【００５５】

リード４ＡＬのアウターリード部は、例えばガルウィング状に成形されている。リード４ＡＬのアウターリード部の実装面（配線基板３の主面のランドパターン３ＬＥに対向する面）は、接着層１０ｄを介して上記ランドパターン３ＬＥと接合されている。接着層１０ｄは、例えば上記接着層１０ｂと同じ鉛フリー半田により形成されている。

【００５６】

ここで、上記パッケージ２の実装面（上記ダイパッド４ＢＰの実装面）の高さは、上記リード４ＡＬの実装面の高さと同じか、または、それ以上の高さであることが好ましい。ここでいう高さは、配線基板３の主面からパッケージ２の実装面および複数のリード４ＡＬの実装面までの距離のことである。

【００５７】

これは、パッケージ２の実装面（上記ダイパッド４ＢＰの実装面）の高さを、上記リード４ＡＬの実装面の高さよりも低くしてしまうと、ダイパッド４ＢＰの実装面と配線基板３のランドパターン３Ｌとは接合されるが、リード４ＡＬのアウターリード部の実装面と配線基板３のランドパターン３ＬＥとは接合されなくなってしまうからである。

【００５８】

本実施の形態では、上記パッケージ２の実装面（上記ダイパッド４ＢＰの実装面）の高さが、上記リード４ＡＬの実装面の高さよりも高くなっている。これにより、複数のリード４ＡＬのアウターリード部の実装面と配線基板３のランドパターン３ＬＥとを良好に接合でき、互いに良好に電氣的に接続することができる。ただし、この場合は、ダイパッド４ＢＰの実装面と配線基板３のランドパターン３Ｌとを良好に接合するため、ダイパッド４ＢＰとランドパターン３Ｌとを接合する接着層１０ｂの厚さが、リード４ＡＬとランドパターン３ＬＥとを接合する接着層１０ｄの厚さよりも厚くなっている。

【 0 0 5 9 】

上記パッケージ 2 の実装面（上記ダイパッド 4 B P の実装面）の高さと、上記リード 4 A L の実装面の高さと同じにしても良い。この場合も上記と同様の効果を得ることができる。ただし、この場合は、ダイパッド 4 B P とランドパターン 3 L とを接合する接着層 1 0 b の厚さと、リード 4 A L とランドパターン 3 L E とを接合する接着層 1 0 d の厚さとを同じにする。

【 0 0 6 0 】

次に、本実施の形態の半導体装置 1 の回路構成例を説明する。図 3 は、本実施の形態の半導体装置 1 の回路図を示している。

【 0 0 6 1 】

ドライバ I C チップ 7 は、レベル変換回路 L C C と、上記ドライバ回路（増幅回路）D R C と、インピーダンス変換回路 I C C と、通信回路 C C と、発振器 O S 1 と、タイマ W D T 1 と、電源回路 P S 1、静電保護回路 E P C とを有している。

【 0 0 6 2 】

一方、マイコン I C チップ 8 は、中央演算処理装置（Central Processing Unit）C P U と、メモリ M と、汎用入出力ポート G P I O と、タイマ W D T 2 と、割り込みコントローラ回路 I C U と、アナログデジタル変換回路 A D と、シリアル入出力ポート S I O と、発振器 O S 2 と、電源回路 P S 2 とを有している。

【 0 0 6 3 】

まず、上記ドライバ I C チップ 7 の回路について説明する。

【 0 0 6 4 】

上記レベル変換回路 L C C は、入力された高電圧入力を、例えば 5 V（あるいは 3 V）にレベル変換して出力する回路である。ヒステリシスコンパレータ回路 C M 1 とバッファ回路 B F 1 とを有している。レベル変換回路 L C C は、外部スイッチのオンオフによって駆動する。最終的には、レベル変換された出力データは、5 V（あるいは 3 V）系のマイコン I C チップ 8 の汎用入出力ポート G P I O に伝送される。

【 0 0 6 5 】

マイコン I C チップ 8 の電源系は、例えば 5 V 系なのに対して、ドライバ I C チップ 7 の電源系は、例えば 6 ~ 8 0 V（バッテリー電圧系）の入出力電圧を取り扱う。このため、マイコン I C チップ 8 に外部バッテリー電圧を入力しないように、ドライバ I C チップ 7 にレベル変換回路 L C C が形成されている。このマイコン I C チップ 8 用に変換されたレベルのハイ（H）/ロウ（L）をマイコン I C チップ 8 が識別することにより、マイコン I C チップ 8 は外部の状態を認識することができる。

【 0 0 6 6 】

上記ドライバ回路 D R C は、マイコン I C チップ 8 からのドライバオンオフ信号を受けて外部の負荷 L D をオンオフする回路である。ドライバ回路 D R C は、パワー M O S F E T Q p とバッファ回路 B F 2 とを有している。

【 0 0 6 7 】

このドライバ回路 D R C は、高い電圧を取り扱うのに加え、大電流（5 0 m A ~ 1 0 A 程度）も扱う。大電流が必要な理由は、入力容量の大きな電子デバイス（外部装置）を駆動するためやアクチュエータを駆動するため等が挙げられる。なお、ドライバ回路 D R C の動作（オンオフ）は、マイコン I C チップ 8 により制御される。

【 0 0 6 8 】

上記インピーダンス変換回路 I C C は、センサからの検出信号をインピーダンス変換（ボルテージフォロア）する回路である。インピーダンス変換された出力データは、マイコン I C チップ 8 のアナログデジタル変換回路 A D の入力ポートへ伝送される。

【 0 0 6 9 】

センサ等の出力をマイコン I C チップ 8 に直接入力すると、センサの出力インピーダンスによってはレベルが低下してしまう場合があるので、それを補うため、ドライバ I C チップ 7 でインピーダンス変換した信号をマイコン I C チップ 8 に入力するようになってい

10

20

30

40

50

る。

【 0 0 7 0 】

上記通信回路 C C は、高電圧系の共通バスラインと、5 V 系のマイコン I C チップ 8 との通信インターフェイス回路である。レベル変換回路 L C C と同様のレベル変換回路と、バスラインを駆動するドライバ回路とを有している。

【 0 0 7 1 】

上記発振器 O S 1 は、ドライバ I C チップ 7 の内部回路にクロック信号を供給する回路である。

【 0 0 7 2 】

また、上記電源回路 P S 1 は、ドライバ I C チップ 7 およびマイコン I C チップ 8 の内部回路用の 5 V 電源を生成する回路である。ドライバ I C チップ 7 では、バッテリー電源からマイコン I C チップ 8 用の安定した電源を生成するようになっている。

【 0 0 7 3 】

また、上記タイマ W D T 1 は、設定されたクロック信号に基づいて、システムに一定の時間情報を知らせるカウンタ回路である。

【 0 0 7 4 】

次に、上記マイコン I C チップ 8 の回路について説明する。

【 0 0 7 5 】

上記中央演算処理装置 C P U は、メモリ M に記憶された命令（データ）に基づいて、各種の周辺回路の動作を制御する制御回路である。上記メモリ M は、各種のデータを記憶する記憶回路であり、R O M（Read Only Memory）と、R A M（Random Access Memory）と、その各々の周辺回路（センスアンプ回路やデコーダ回路等）を有している。

【 0 0 7 6 】

上記汎用入出力ポート G P I O は、設定に従い、外部にデータ出力したり、外部からのデータを受け取ったりする回路である。

【 0 0 7 7 】

上記タイマ W D T 2 は、設定されたクロック信号に基づいて、カウンタをアップカウント / ダウンカウントし、汎用入出力ポート G P I O の信号波形を変化させたり、割り込みを生じさせたりする回路である。

【 0 0 7 8 】

上記割り込みコントローラ回路 I C U は、各種の周辺回路からの割り込み信号を受け付け、中央演算処理装置 C P U に割り込みを生じさせる回路である。

【 0 0 7 9 】

上記アナログデジタル変換回路 A D は、アナログ入力データをデジタル値に変換する回路である。マイコン I C チップ 8 のパッド M P と、上記複数のリード 4 A L とを電氣的に接続する配線には、図示しないが、静電保護回路が電氣的に接続されている。この静電保護回路は、2 つのダイオード D 1、D 2 を有している。ダイオード D 1 は、上記配線と高電位側の電源との間に逆方向に接続された状態で電氣的に接続されている。ダイオード D 2 は、上記配線と低電位（接地電位）側の電源との間に逆方向接続された状態で電氣的に接続されている。

【 0 0 8 0 】

本実施の形態では、上記したように、パッド M P と複数のリード 4 A L とを電氣的に接続する配線に静電保護回路を接続しているが、出来るだけ配線上には配置したくないものである。この理由は、静電保護回路を電流が経路する分、本来、回路を動作させるために必要な電流値よりも高い電流値が必要となるためである。しかしながら、アナログデジタル変換回路 A D は、マイコン I C チップ 8 における他の回路よりも動作電圧が低いため、アナログデジタル変換回路 A D は他の回路に比べノイズの影響により誤判定となり易いとともに、静電気等による耐圧も小さい。このため、静電保護回路は必要であるが、上記のような理由を考慮して電流経路が小さくなるように小さいものを使用している。

【 0 0 8 1 】

したがって、上記したように、マイコンＩＣチップ８のパッドＭＰと対応するリード４ＡＬ（第１リード）とを電氣的に接続する配線にも静電保護回路は接続されているが、例えば、より厳しい静電破壊試験を行ったときに、このマイコンＩＣチップ８の静電保護回路だけでは、静電気等による過電圧またはノイズに耐えられない可能性がある。

【００８２】

そこで、本実施の形態では、マイコンＩＣチップ８のアナログデジタル変換回路ＡＤをより確実に保護するために、図３に示すように、ドライバＩＣチップ７にも静電保護回路ＥＰＣを形成し、マイコンＩＣチップ８のアナログデジタル変換回路ＡＤのパッドＭＰと、上記複数のリード４ＡＬのうちの所望のリード４ＡＬ（第１リード）とを電氣的に接続する配線に接続している。このとき、ドライバＩＣチップ７の静電保護回路ＥＰＣの耐圧は、マイコンＩＣチップ８の静電保護回路の耐圧よりも強い（面積も大きい）ものを使用している。これにより、マイコンＩＣチップ８に静電気等による過電圧またはノイズが到達する前に、静電気等による過電圧またはノイズを遮断、又は弱めることができる。

10

【００８３】

上記シリアル入出力ポートＳＩＯは、設定されたパラレル信号を、所定のクロック信号に基づいて、汎用入出力ポートＧＰＩＯから１ビットずつ出力させたり、逆に、受け取ったりする回路である。

【００８４】

上記発振器ＯＳ２は、マイコンＩＣチップ８の内部回路にクロック信号を供給する回路である。また、上記電源回路ＰＳ２は、マイコンＩＣチップ８の内部回路用の３．３Ｖ電源や１．８Ｖ電源を、マイコンＩＣチップ８に入力された５Ｖ電源から生成する降圧回路である。

20

【００８５】

次に、マイコンＩＣチップ８に多く内蔵されるアナログデジタル変換回路ＡＤの一例を図４に示す。

【００８６】

図４のアナログデジタル変換回路ＡＤは、例えば逐次比較型のアナログデジタルコンバータであり、デジタルアナログ変換回路ＤＡＣと、逐次比較レジスタＳＡＲと、結果格納レジスタＡＤＲと、サンプルアンドホールド回路Ｓ＆Ｈと、コンパレータＣＭ２とを有している。

30

【００８７】

アナログデジタル変換回路ＡＤのデジタルアナログ変換回路ＤＡＣ用のリファレンス入力電圧Ｖｒｅｆが入力される端子Ｔ１は、デジタルアナログ変換回路ＤＡＣの入力に電氣的に接続されている。デジタルアナログ変換回路ＤＡＣの出力は、コンパレータＣＭ２の一方の入力に電氣的に接続されている。

【００８８】

一方、アナログデジタル変換を行うアナログ電圧Ｖｉｎが入力される端子Ｔ２は、サンプルアンドホールド回路Ｓ＆Ｈの入力に電氣的に接続されている。サンプルアンドホールド回路Ｓ＆Ｈの出力は、コンパレータＣＭ２の他方の入力に電氣的に接続されている。

【００８９】

コンパレータＣＭ２の出力は、逐次比較レジスタＳＡＲの入力に電氣的に接続されている。逐次比較レジスタＳＡＲの出力は、デジタルアナログ変換回路ＤＡＣおよび結果格納レジスタＡＤＲに電氣的に接続されている。

40

【００９０】

次に、図４を用いて逐次比較型のアナログデジタルコンバータの動作を説明する。

【００９１】

アナログデジタル変換を行うアナログ電圧ＶｉｎをコンパレータＣＭ２に入力する。サンプルアンドホールド回路Ｓ＆Ｈにサンプル＆ホールド機能が有りの場合は、サンプルしたアナログ電圧がコンパレータＣＭ２に入力され、サンプルアンドホールド回路Ｓ＆Ｈにサンプル＆ホールド機能が無しの場合は、アナログ電圧ＶｉｎがコンパレータＣＭ２に入

50

力される。

【 0 0 9 2 】

逐次比較レジスタ S A R は、アナログデジタル変換回路 A D のビット精度の幅の桁を持つが、N ビットの逐次比較型のアナログデジタルコンバータの場合、最初は $2^{(N-2)}$ というレジスタ値が設定される。

【 0 0 9 3 】

デジタルアナログ変換回路 D A C は、逐次比較レジスタ S A R の値に応じたアナログ電圧をコンパレータ C M 2 に入力する。

【 0 0 9 4 】

逐次比較レジスタ S A R の次の桁設定を決定するにあたり、コンパレータ C M 2 がハイ (H) レベルを出力した場合、前回の逐次比較レジスタ S A R のレジスタ値 + $2^{(N-2)}$ というレジスタ値になる。一方、コンパレータ C M 2 がロウ (L) レベルを出力した場合、前回の逐次比較レジスタ S A R のレジスタ値 - $2^{(N-2)}$ というレジスタ値になる。

【 0 0 9 5 】

レジスタ値の $2^{(N-K)}$ の式で、K の部分は繰り返すたびに 1 つずつ増加する。N = K で完了する。以降、逐次比較レジスタ S A R のレジスタ値の最終桁が設定されるまで、3 ~ 4 回繰り返される。最終桁が決定すれば、結果格納レジスタ A D R に結果が格納され、アナログデジタル変換は完了する。

【 0 0 9 6 】

このようなアナログデジタル変換回路 A D のうち、デジタルで制御されているのは、逐次比較レジスタ S A R および結果格納レジスタ A D R である。これらの回路は、扱う信号がハイ / ロウレベルであり、かつ、回路が比較的 low インピーダンスで駆動されるため、ノイズによる影響が少ない。また、上記ドライバ IC チップ 7 のドライバ回路 D R C で発生する熱に対しても強く特性変動も小さい。

【 0 0 9 7 】

これに対して、デジタルアナログ変換回路 D A C 、サンプルアンドホールド回路 S & H およびコンパレータ C M 2 のようなアナログ回路は、熱およびノイズの影響を受けた場合、アナログデジタル変換結果に影響を及ぼす可能性がある。また、リファレンス入力電圧 V r e f およびアナログ電圧 V i n といったアナログ電圧入力用の端子 T 1 , T 2 も、上記ドライバ IC チップ 7 のドライバ回路 D R C のノイズの影響を受けた場合、入力されるアナログ電圧が変化し、アナログデジタル変換結果に影響を及ぼす可能性がある。

【 0 0 9 8 】

例えば下記の誤判定が挙げられる。

【 0 0 9 9 】

デジタルアナログ変換回路 D A C の抵抗もしくは容量がドライバ回路 D R C の発熱により局所的に特性が変化した場合、デジタルアナログ変換回路 D A C の所望の出力値が得られない。このため、コンパレータ C M 2 のハイ / ロウ出力が反転し、逐次比較レジスタ S A R の誤設定が生じ、アナログデジタル変換結果に誤差が生じる。

【 0 1 0 0 】

サンプルアンドホールド回路 S & H においては、サンプルされた電圧が、ドライバ回路 D R C の容量結合ノイズによって影響を受けた場合、ノイズを逃がし難いため、サンプルされた電圧が変動する場合がある。すると、コンパレータ C M 2 のハイ / ロウ出力が反転し、逐次比較レジスタ S A R の誤設定が生じ、アナログデジタル変換結果に誤差が生じる。

【 0 1 0 1 】

そこで、本実施の形態においては、マイコン IC チップ 8 のアナログデジタル変換回路 A D の直下に、ドライバ IC チップ 7 のドライバ回路 D R C が配置されないようにされている。特に、アナログデジタル変換回路 A D において、デジタルアナログ変換回路 D A C やサンプルアンドホールド回路 S & H 等、逐次比較レジスタ S A R および結果格納レジス

10

20

30

40

50

タ A D R を除いた回路ブロック、それに係わる配線および端子の直下には、ドライバ I C チップ 7 のドライバ回路 D R C が配置されないようにされている。

【 0 1 0 2 】

図 5 および図 6 は、ドライバ I C チップ 7 のドライバ回路 D R C と、マイコン I C チップ 8 の回路ブロックとの平面配置の一例を示す平面図である。

【 0 1 0 3 】

ドライバ I C チップ 7 の主面にはドライバ回路 D R C 以外の他の回路も配置されているが、図 5 および図 6 のドライバ I C チップ 7 には、図面を見易くするため他の回路は省略し、ドライバ回路 D R C のみを示している。ドライバ回路 D R C は、ドライバ I C チップ 7 の主面中央よりも主面外周縁に近い位置に配置されている。これにより、ドライバ回路 D R C と上記パッド D P との距離を短くすることができ、ドライバ回路 D R C と上記パッド D P との間のオン抵抗を低減できるので、半導体装置 1 の駆動能力を向上させることができる。

10

【 0 1 0 4 】

マイコン I C チップ 8 の R A M M 1 および R O M M 2 は、上記メモリ M を構成する回路ブロックである。この R A M M 1 および R O M M 2 の領域内には、それぞれの周辺回路（例えばセンスアンプ回路やデコーダ回路）も配置されているものとする。

【 0 1 0 5 】

ドライバ I C チップ 7 とマイコン I C チップ 8 とを積み重ねるスタック型実装方式の S i P の場合、下段のドライバ I C チップ 7 の熱やノイズが、上段のマイコン I C チップ 8 のアナログ回路ブロック（配線や端子も含む）に影響を及ぼす懸念がある。これは、以下の理由からである。ドライバ I C チップ 7 のドライバ回路 D R C が扱う電流は、数百 m A ～数 A であり、また扱う電圧も 0 ～ 4 0 V （ 8 0 V ）程度まで振れるので、寄生インダクタンスによる誘導起電力や寄生容量による容量結合ノイズが存在するからである。また、ドライバ I C チップ 7 のドライバ回路 D R C は、発熱量がマイコン I C チップ 8 に比べて大きいからである。また、例えばアナログデジタル変換回路 A D 、デジタルアナログ変換回路 D A C 、 R A M M 1 や R O M M 2 等のセンスアンプ回路および電源回路 P S 2 のようなアナログ回路ブロックは特に熱やノイズに弱いからである。

20

【 0 1 0 6 】

上記プレーン型実装方式の S i P の場合、アナログ回路ブロック（配線や端子も含む）とドライバ回路 D R C との距離を離したり、低インピーダンス部材でシールドしたりすることで対策可能であるが、スタック型実装方式の S i P の場合、そのような対策は不可能である。

30

【 0 1 0 7 】

そこで、本実施の形態では、図 5 および図 6 に示すように、マイコン I C チップ 8 は、そのアナログ回路ブロック（例えばアナログデジタル変換回路 A D 、デジタルアナログ変換回路 D A C 、 R A M M 1 や R O M M 2 等のセンスアンプ回路および電源回路 P S 2 の 1 または 2 以上の回路）が、ドライバ I C チップ 7 のドライバ回路 D R C に対して平面的に重ならない（距離が離れる）ように、ドライバ I C チップ 7 上に搭載されている。

【 0 1 0 8 】

特に、マイコン I C チップ 8 のアナログデジタル変換回路 A D の動作電圧は、動作電圧をビット数で割った値となり他の回路よりも取り扱う電圧値が低く熱やノイズに弱いので、ドライバ I C チップ 7 のドライバ回路 D R C から離すことが望ましい。

40

【 0 1 0 9 】

また、ダイボンディングのし易さの観点から、マイコン I C チップ 8 の主面中心と、ドライバ I C チップ 7 の主面中心とを一致させた状態で各々の半導体チップを積み重ねても良い。ただし、上記のように、マイコン I C チップ 8 の上記アナログ回路ブロックが、ドライバ I C チップ 7 のドライバ回路 D R C に対して平面的に重ならないようにするために、マイコン I C チップ 8 の主面中心と、ドライバ I C チップ 7 の主面中心とをずらした状態で各々の半導体チップを積み重ねても良い。

50

【0110】

このように、マイコンICチップ8の上記アナログ回路ブロックが、ドライバICチップ7のドライバ回路DRCに平面的に重ならないようにされていることにより、動作時において、マイコンICチップ8の上記アナログ回路ブロックが、下段のドライバICチップ7のドライバ回路DRCから受ける熱やノイズの影響を低減できるので、ドライバICチップ7上にマイコンICチップ8を積み重ねたスタック型実装方式のSiP（半導体装置1）の動作安定性を向上させることができる。

【0111】

このため、半導体装置1の動作上の不具合を生じさせることなく、ドライバICチップ7とマイコンICチップ8とを積み重ねることができる。したがって、上記のように半導体装置1を小型化することができる。また、ワイヤWLのレイアウト上の自由度を向上させることができるので、半導体装置1の回路設計を容易にすることができ、また、半導体装置1の歩留まりおよび信頼性を向上させることができる。

10

【0112】

次に、ドライバICチップ7およびマイコンICチップ8の外部配線（パッドDP、MP、ワイヤWLおよびリード4AL）の配置について説明する。

【0113】

マイコンICチップ8の外部配線の配置は、製品により異なるので一概には言えないが、多くの外部配線がロジック系であり、デジタルのロウレベルおよびハイレベルを扱う。したがって、マイコンICチップ8のロジック系の外部配線の隣に、ドライバICチップ7のドライバ回路DRCの出力用の外部配線を配置したとしても問題となる可能性は少ない。

20

【0114】

しかし、マイコンICチップ8のアナログデジタル変換回路ADやデジタルアナログ変換回路DACを持つマイコンICチップ8の場合は、アナログデジタル変換回路ADやデジタルアナログ変換回路DACの信号を取り扱う外部配線に隣接する他の外部配線の出力電圧および出力電流に注意すべきである。

【0115】

これは、アナログデジタル変換回路ADやデジタルアナログ変換回路DAC関係の外部配線に隣接する他の外部配線に、非常に大きな振幅、かつ、高スループートの電圧変化があると、アナログデジタル変換回路ADではデジタル変換後の誤差が生じ、デジタルアナログ変換回路DACでは出力アナログレベルの変動が生じる可能性を有しているからである。したがって、アナログデジタル変換回路ADやデジタルアナログ変換回路DAC関係の外部配線の隣に、ドライバICチップ7のドライバ回路DRCの出力用の外部配線を配置するのは避けるべきである。

30

【0116】

図7は、本発明者が検討した半導体装置の要部拡大平面図である。なお、図7では図面を見易くするため上記パッケージ2を省略している。

【0117】

マイコンICチップ8のアナログデジタル変換回路ADの入力用のパッドMP1（MP）は、ワイヤWL1（WL）を通じて、ドライバICチップ7のダミー用のパッドDP1（DP）に電氣的に接続されている。このダミー用のパッドDP1は、ワイヤWL2（WL）を通じて、アナログデジタル変換回路ADの入力用のリード（第1リード）4AL1（4AL）に電氣的に接続されている。

40

【0118】

一方、ドライバICチップ7のドライバ回路DRCの出力用のパッドDP2（DP）は、ワイヤWL3（WL）を通じて、ドライバ回路DRCの出力用のリード（第2リード）4AL2（4AL）に電氣的に接続されている。

【0119】

ここでは、アナログデジタル変換回路ADの入力用のパッドMP1と、ドライバ回路D

50

R Cの出力用のパッドD P 2とは、それぞれの半導体チップの同一向きの辺の近傍に配置されている。そして、ドライバ回路D R Cの出力用のパッドD P 2が、上記アナログデジタル変換回路A Dの入力が電氣的に接続されるダミー用のパッドD P 1の隣に配置されている。また、ドライバ回路D R Cの出力用のリード4 A L 2が、上記アナログデジタル変換回路A Dの入力用のリード4 A L 1の隣に配置されている。また、ドライバ回路D R Cの出力用のワイヤW L 3が、アナログデジタル変換回路A Dの入力用のワイヤW L 2の隣に配置されている。

【0120】

このように、図7の例では、アナログデジタル変換回路A Dの入力用のパッドD P 1、ワイヤW L 2およびリード4 A L 1が、それぞれドライバ回路D R CのパッドD P 2、ワイヤW L 3およびリード4 A L 2に隣接しているので、アナログデジタル変換時において、アナログデジタル変換回路A Dの動作がドライバ回路D R Cからのノイズの影響を受けると考えられる。

10

【0121】

次に、図8は、本実施の形態の半導体装置1の要部拡大平面図である。図8では、図面を見易くするため上記パッケージ2を省略している。

【0122】

マイコンICチップ8のアナログデジタル変換回路A Dの入力に関係するパッドM P 1、D P 1、ワイヤW L 1、W L 2およびリード4 A L 1については図7と同じである。

【0123】

20

異なるのは、ドライバICチップ7のドライバ回路D R Cの出力用のパッドD P 2、ワイヤW L 3およびリード4 A L 2が、アナログデジタル変換回路A Dの入力用のパッドD P 1、ワイヤW L 1、W L 2およびリード4 A L 1から離れていることである。

【0124】

特に、アナログデジタル変換回路A Dの入力用のパッドM P 1と、ドライバ回路D R Cの出力用のパッドD P 2とは、それぞれの半導体チップの互いに90度反転した異なる向きの辺の近傍側に配置されている。このため、アナログデジタル変換回路A Dの入力用のリード4 A L 1およびワイヤW L 2は、その延在方向がドライバ回路D R Cの出力用のリード4 A L 2およびワイヤW L 3の延在方向に対して交差するように配置されている。

【0125】

30

このような配置にすることにより、アナログデジタル変換時において、ドライバ回路D R Cからアナログデジタル変換回路A Dへのノイズの影響を低減することができる。したがって、半導体装置1の動作安定性を向上させることができる。このため、半導体装置1の動作上の不具合を生じさせることなく、ドライバICチップ7とマイコンICチップ8とを積み重ねることができる。

【0126】

また、本実施の形態では、マイコンICチップ8のアナログデジタル変換回路A Dの入力用のリード4 A L 1と、ドライバICチップ7のドライバ回路D R Cの出力用のリード4 A L 2との間に、起動後に安定電位が供給されるリード(第3リード)4 A L 3(4 A L)が配置されている。

40

【0127】

このリード4 A L 3は、例えばリセット信号用、チップセレクト信号用、高電位側の電源用または低電位(接地電位:例えば0V)側の電源用のリードであり、マイコンICチップ8のアナログデジタル変換回路A Dの入力用のリード4 A L 1を挟み込むように配置されている。

【0128】

このリード4 A L 3は、ワイヤW L 4を通じてパッドD P 3に電氣的に接続されている。このパッドD P 3は、アナログデジタル変換回路A Dの入力用のパッドD P 1を挟み込むように隣接して配置されている。また、ワイヤW L 4は、アナログデジタル変換回路A Dの入力用のワイヤW L 2を挟み込むように隣接して配置されている。

50

【0129】

このような配置をすることにより、アナログデジタル変換回路ADの入力用のリード4AL1およびワイヤWL2等の周囲での電位変動を低減できるので、アナログデジタル変換時において外部からアナログデジタル変換回路ADへのノイズの影響をさらに低減することができる。したがって、半導体装置1の動作安定性を向上させることができる。このため、半導体装置1の動作上の不具合を生じさせることなく、ドライバICチップ7とマイコンICチップ8とを積み重ねることができる。なお、この構成は、アナログデジタル変換回路ADの入力用のパッドMP1と、ドライバ回路DRCの出力用のパッドDP2とを、それぞれの半導体チップの同じ向きの辺(図7参照)に配置した場合でも有効である。

10

【0130】

次に、本実施の形態の半導体装置1の製造方法を説明する。

【0131】

まず、図9～図14に示すような多連のリードフレーム4を準備する。図9はリードフレーム4の単位領域の拡大平面図、図10は図9のリードフレーム4のX2-X2線の断面図、図11はリード構成体4Aの単位領域の拡大平面図、図12は図11のリード構成体4AのX2-X2線の断面図、図13はヒートシンク構成体4Bの単位領域の拡大平面図、図14は図13のヒートシンク構成体4BのX2-X2線の断面図を示している。

【0132】

多連のリードフレーム4の単位領域は、1個の半導体装置1を製造するのに必要な構成部を有する領域である。図9～図14では、多連のリードフレーム4の単位領域のみを示しているが、実際には、その単位領域が図9の左右方向に沿って繰り返し一体的に並んで配置されている。

20

【0133】

この多連のリードフレーム4は、リード構成体4Aと、ヒートシンク構成体4Bとを有している。リード構成体4Aとヒートシンク構成体4Bとは連結部4Cにおいて、かしめ接合によって結合されている。

【0134】

リード構成体4Aおよびヒートシンク構成体4Bは、例えば銅系材料(銅または銅合金)により形成された薄い金属板に対して打ち抜きプレス加工またはエッチング加工等を実施することにより形成されている。なお、リード構成体4Aの表面には、上記ワイヤWLを適正に実施するための被膜が、例えば銀等を用いたメッキ処理により形成されている。

30

【0135】

リード構成体4Aは、厚さ方向に沿って互いに反対側に位置する主面(第1主面)および裏面(第2主面)を有している。このリード構成体4Aには、既に、上記複数のリード4AL(インナーリード部およびアウターリード部)が一体的に形成されている。各リード4ALは、単位領域の中央から外方に向かって放射状に延び、フレーム外枠4AF1～4AF4に一体的に接続されている。互いに隣接するリード4AL同士は、その各々の長手方向の途中の位置においてリード4ALの幅方向に延びるダムバー4ABによって連結されている。

40

【0136】

フレーム外枠4AF1, 4AF2には、パイロット孔PHが穿孔されている。また、フレーム外枠4AF1, 4AF3との交差部には、パッケージ金型のサブランナが配置される開口部SHが形成されている。また、フレーム外枠4AF3, 4AF4には、4つの孔CHが形成されている。

【0137】

一方、ヒートシンク構成体4Bは、厚さ方向に沿って互いに反対側に位置する主面(第1主面)および裏面(第2主面)を有している。ヒートシンク構成体4Bの厚さは、リード構成体4Aよりも厚い。

【0138】

50

このヒートシンク構成体 4 B には、既に、上記ダイパッド 4 B P が一体的に形成されている。ダイパッド 4 B P の平面サイズは、上記ドライバ IC チップ 7 の平面サイズよりも大きく、パッケージ 2 の平面サイズよりも小さい。このダイパッド 4 B P の主面において、ドライバ IC チップ 7 を実装する部分には、半導体チップのボンディングを適正に実施するための被膜が、例えば銀等を用いたメッキ処理により形成されている。

【 0 1 3 9 】

このダイパッド 4 B P は、その四隅から外方に延びる吊り部 4 B T を通じて外枠 4 B F 1 , 4 B F 2 に一体的に接続され支持されている。この外枠 4 B F 1 , 4 B F 2 の主面には、上記 4 つの凸部 C P が上記 4 つの孔 C H に対応（一致）する平面位置に形成されている。上記連結部 4 C は、ヒートシンク構成体 4 B の凸部 C P を、リード構成体 4 A の孔 C H に嵌め合わせた状態で、凸部 C P の頭部を、かしめることで形成されている。

10

【 0 1 4 0 】

また、ダイパッド 4 B P が、その厚さ方向に向かってリード構成体 4 A（複数のリード 4 A L）の裏面から遠ざかるように吊り部 4 B T の一部が折り曲げられている。これにより、リード構成体 4 A とヒートシンク構成体 4 B とを連結部 4 C で接合した場合、平面で見ると複数のリード 4 A L の内側先端（インナーリード部）の一部がダイパッド 4 B P に重なっているが、側面側から見ると複数のリード 4 A L と、ダイパッド 4 B P との間に隙間が形成されるようになっている。

【 0 1 4 1 】

続いて、図 1 5 および図 1 6 に示すように、上記多連のリードフレーム 4 の各単位領域のダイパッド 4 B P の主面上に、上記ドライバ IC チップ 7 を搭載した後、そのドライバ IC チップ 7 の主面上に、上記マイコン IC チップ 8 を搭載する（ダイボンディング工程）。図 1 5 は図 9 に続くリードフレーム 4 の単位領域の拡大平面図、図 1 6 は図 1 5 のリードフレーム 4 の X 2 - X 2 線の断面図である。

20

【 0 1 4 2 】

上記のように、ドライバ IC チップ 7 の裏面は、例えば鉛-錫半田を介してダイパッド 4 B P の主面に接合されている。これにより、上記のようにドライバ IC チップ 7 で発生した熱の放熱性を向上させることができる上、半田は柔軟性に富むため、ドライバ IC チップ 7 とダイパッド 4 B P との間に作用する機械的応力を吸収することができる。

【 0 1 4 3 】

また、上記のように、マイコン IC チップ 8 の裏面は、例えば絶縁性のペースト材またはフィルム（シート）を介してドライバ IC チップ 7 の主面に接合されている。これにより、ドライバ IC チップ 7 で発生した熱がマイコン IC チップ 8 に伝わり難くすることができるので、半導体装置 1 の動作安定性を向上させることができる上、マイコン IC チップ 8 の傾き制御も可能となっている。

30

【 0 1 4 4 】

その後、図 1 7 および図 1 8 に示すように、ドライバ IC チップ 7 のパッド D P と複数のリード 4 A L とをワイヤ W L により電氣的に接続し、マイコン IC チップ 8 のパッド M P と、複数のリード 4 A L とをワイヤ W L により電氣的に接続し、また、ドライバ IC チップ 7 のパッド D P とマイコン IC チップ 8 のパッド M P とをワイヤ W L により電氣的に接続する。図 1 7 は図 1 5 に続くリードフレーム 4 の単位領域の拡大平面図、図 1 8 は図 1 7 のリードフレーム 4 の X 2 - X 2 線の断面図である。

40

【 0 1 4 5 】

次いで、図 1 9 および図 2 0 に示すように、トランスファーマールド法によりパッケージ 2 を成形する。図 1 9 は図 1 7 に続くリードフレーム 4 の単位領域の拡大平面図、図 2 0 は図 1 9 のリードフレーム 4 の X 2 - X 2 線の断面図である。パッケージ 2 は、例えばエポキシ樹脂のような熱硬化性樹脂により形成されている。このモールド工程では、リードフレーム 4 の複数の単位領域のパッケージ 2 を一括して成形する。

【 0 1 4 6 】

その後、多連のリードフレーム 4 の一部を切断することにより、そのリードフレーム 4

50

から個々のパッケージ 2 を取り出した後、パッケージ 2 の四側面から突出する複数のリード 4 A L (アウターリード部) をガルウィング状に成形して半導体装置 1 を製造する。

【0147】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0148】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である車載用のパワー S i P に適用した場合について説明したが、それに限定されるものではなく種々適用可能であり、例えば携帯電話、デジタルビデオカメラまたはデジタルカメラ用の S i P にも適用できる。

【産業上の利用可能性】

【0149】

本発明は、増幅回路を有する半導体チップと、その増幅回路の動作を制御する制御回路を有する半導体チップとを積み重ねた状態で単一の封止体内に混載させる構成を有する半導体装置の製造業に適用できる。

【図面の簡単な説明】

【0150】

【図1】本発明の一実施の形態である半導体装置の平面図である。

【図2】図1のX1 - X1線に該当する部分の断面図である。

【図3】図1および図2の半導体装置の回路図である。

【図4】図1の半導体装置の第2半導体チップに多く内蔵されるアナログデジタル変換回路の一例の回路図である。

【図5】図1の半導体装置の第1半導体チップのドライバ回路と第2半導体チップの回路ブロックとの平面配置例を示す平面図である。

【図6】図1の半導体装置の第1半導体チップのドライバ回路と第2半導体チップの回路ブロックとの平面配置例を示す平面図である。

【図7】本発明者が検討した半導体装置の要部拡大平面図である。

【図8】図1の半導体装置の要部拡大平面図である。

【図9】リードフレームの単位領域の拡大平面図である。

【図10】図9のリードフレームのX2 - X2線の断面図である。

【図11】図9のリードフレームのリード構成体の単位領域の拡大平面図である。

【図12】図11のリード構成体のX2 - X2線の断面図である。

【図13】図9のリードフレームのヒートシンク構成体の単位領域の拡大平面図である。

【図14】図13のヒートシンク構成体のX2 - X2線の断面図である。

【図15】図9に続くリードフレームの単位領域の拡大平面図である。

【図16】図15のリードフレームのX2 - X2線の断面図である。

【図17】図15に続くリードフレームの単位領域の拡大平面図である。

【図18】図17のリードフレームのX2 - X2線の断面図である。

【図19】図17に続くリードフレームの単位領域の拡大平面図である。

【図20】図19のリードフレームのX2 - X2線の断面図である。

【図21】本発明者が検討した半導体装置の平面図である。

【図22】本発明者が検討した半導体装置の平面図である。

【図23】図22のXA - XA線の断面図である。

【符号の説明】

【0151】

1 半導体装置

2 パッケージ (封止体)

3 配線基板

3 L ランドパターン

10

20

30

40

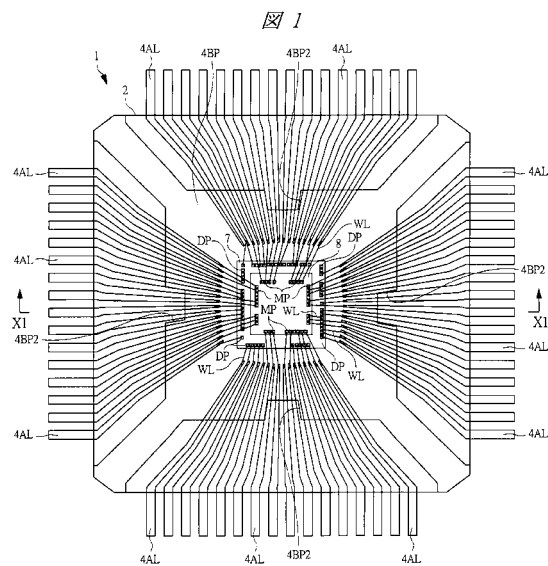
50

3 L E	ランドパターン	
4	リードフレーム	
4 A	リード構成体	
4 A L	リード	
4 A L 1	リード (第 1 リード)	
4 A L 2	リード (第 2 リード)	
4 A L 3	リード (第 3 リード)	
4 A F 1 ~ 4 A F 4	フレーム外枠	
4 A B	ダムバー	
4 B	ヒートシンク構成体	10
4 B P	ダイパッド (チップ搭載部)	
4 B P 1 , 4 B P 2	窪み	
4 B P 3	突出部	
4 B T	吊り部	
4 B F 1 , 4 B F 2	外枠	
4 C	連結部	
7	ドライバ I C チップ (第 1 半導体チップ)	
8	マイコン I C チップ (第 2 半導体チップ)	
5 0	ダイパッド	
5 0 S	スリット	20
5 1	マイコン I C チップ	
5 2	ドライバ I C チップ	
5 3	リード	
5 4	ボンディングワイヤ	
D P	ボンディングパッド (外部端子)	
D P 1	ボンディングパッド (外部端子)	
D P 2	ボンディングパッド (外部端子)	
M P , M P 1	ボンディングパッド (外部端子)	
W L , W L 1 , W L 2 , W L 3	ボンディングワイヤ	
L C C	レベル変換回路	30
D R C	ドライバ回路 (増幅回路)	
I C C	インピーダンス変換回路	
C C	通信回路	
O S 1 , O S 2	発振器	
W D T 1	タイマ	
P S 1 , P S 2	電源回路	
E P C	静電保護回路	
D 1 , D 2	ダイオード	
C P U	中央演算処理装置	
M	メモリ	40
M 1	R A M	
M 2	R O M	
G P I O	汎用入出力ポート	
W D T 2	タイマ	
I C U	割り込みコントローラ回路	
A D	アナログデジタル変換回路	
D A C	デジタルアナログ変換回路	
S I O	シリアル入出力ポート	
Q p	パワー M O S F E T	
C M 1	ヒステリシスコンパレータ回路	50

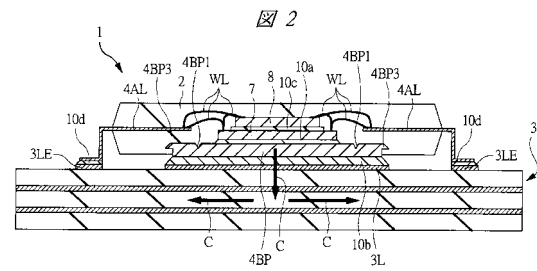
C M 2 コンパレータ
 B F 1 , B F 2 バッファ回路
 V i n アナログ電圧
 V r e f リファレンス入力電圧
 S A R 逐次比較レジスタ
 A D R 結果格納レジスタ
 S & H サンプルアンドホールド回路
 T 1 , T 2 端子
 P H パイロット孔
 S H 開口部
 C H 孔
 C P 凸部

10

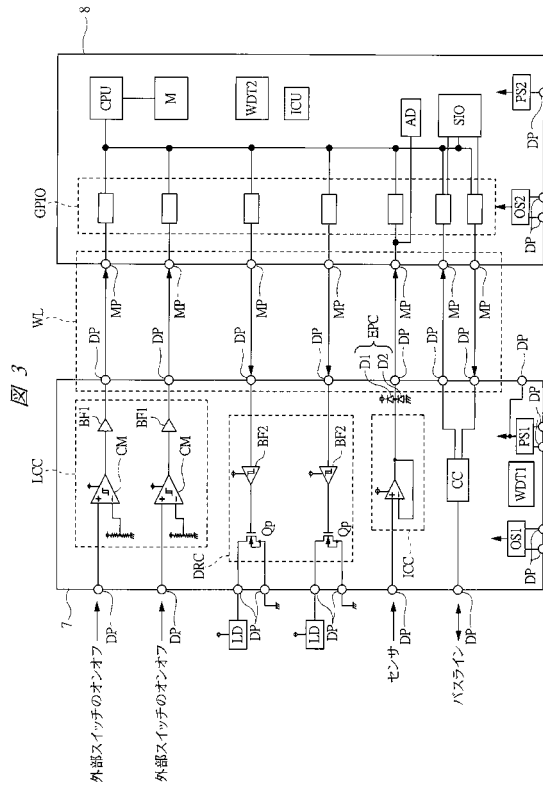
【図 1】



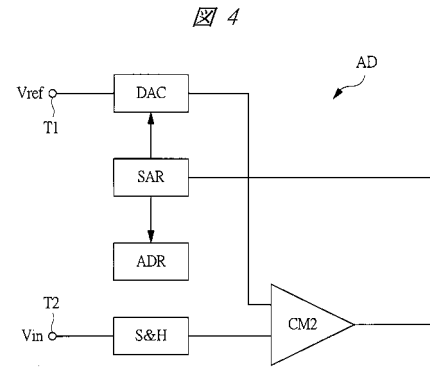
【図 2】



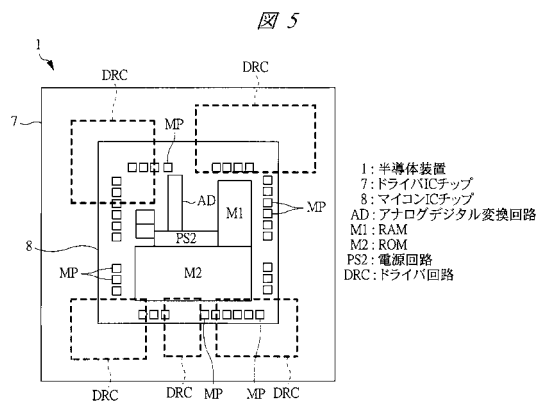
【図 3】



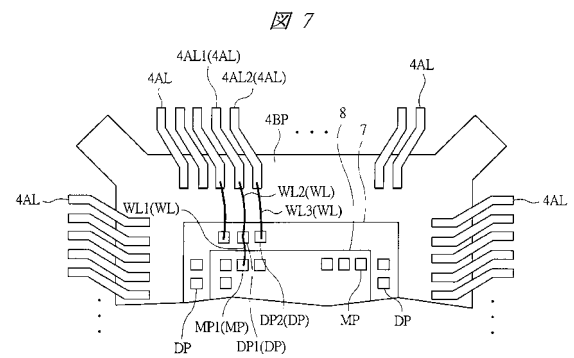
【図 4】



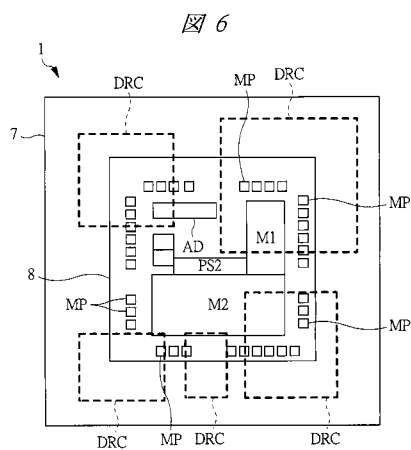
【図 5】



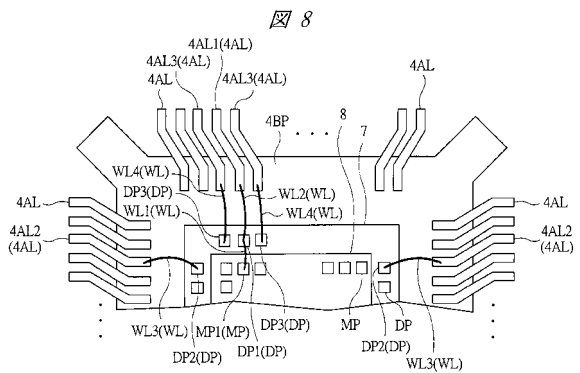
【図 7】



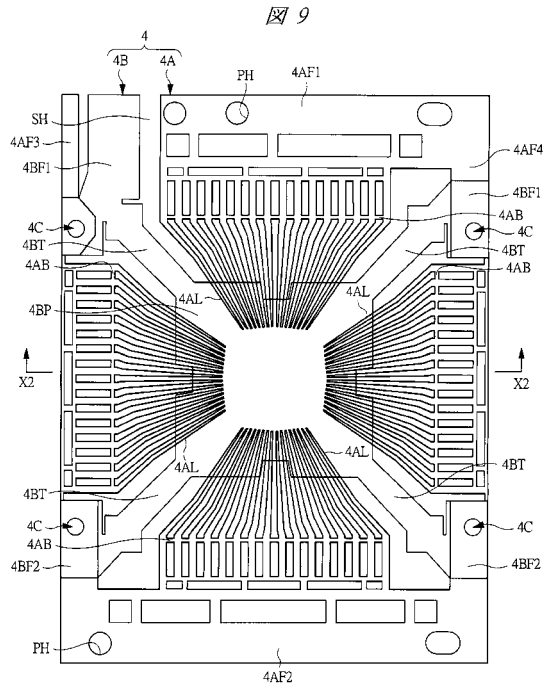
【図 6】



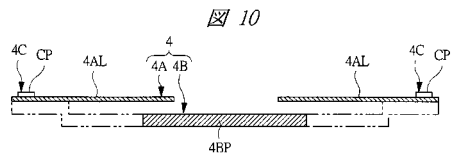
【図 8】



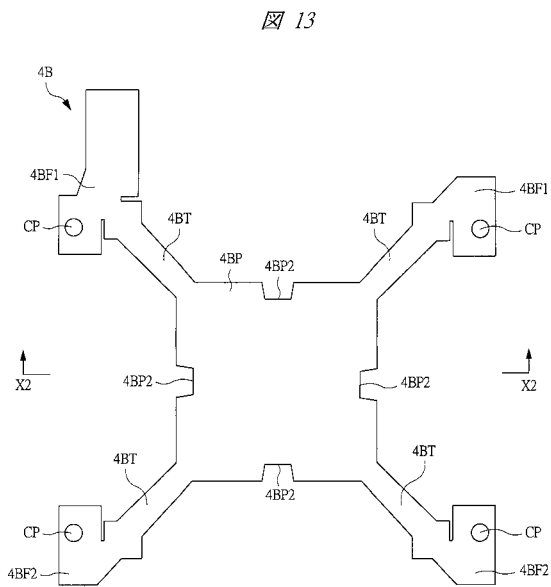
【図 9】



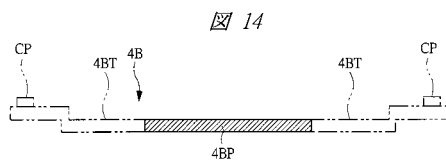
【図 10】



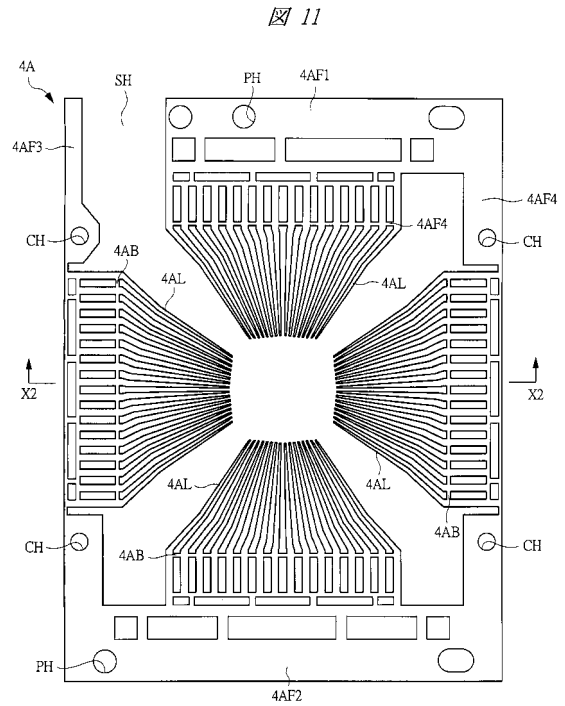
【図 13】



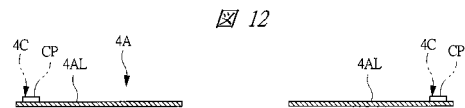
【図 14】



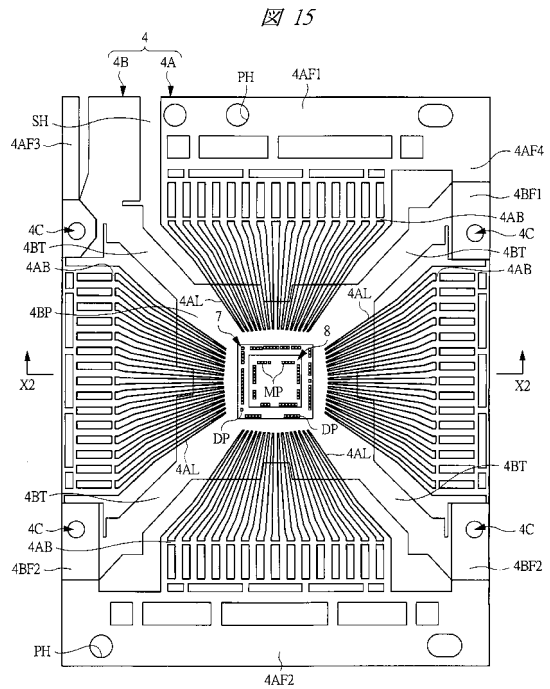
【図 11】



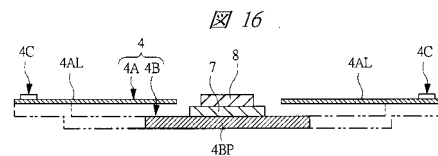
【図 12】



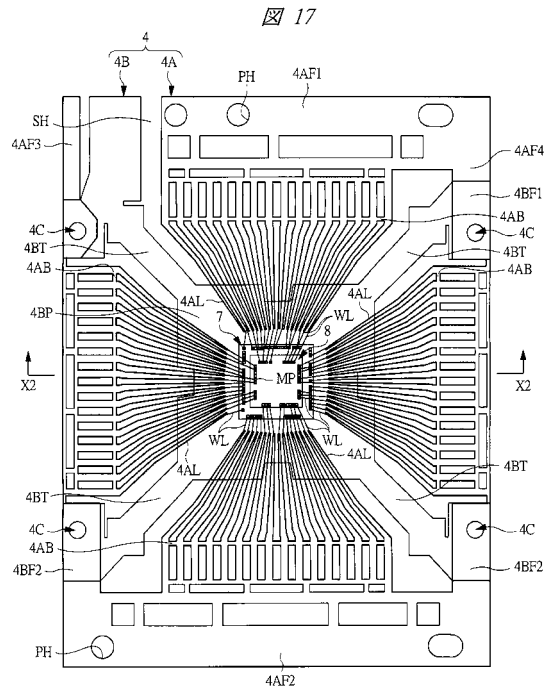
【図 15】



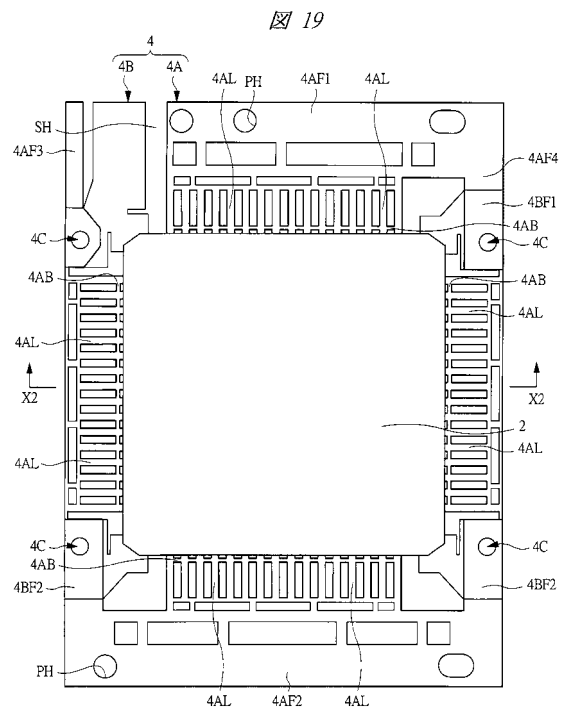
【図 16】



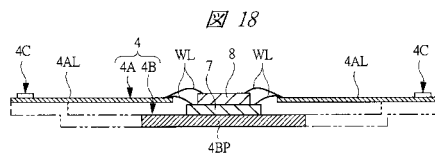
【 図 1 7 】



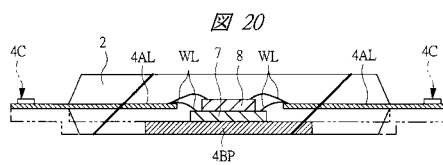
【 図 1 9 】



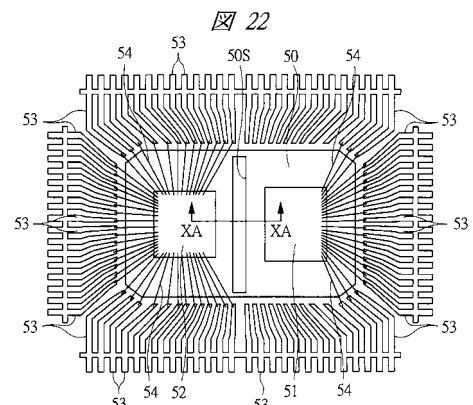
【 図 1 8 】



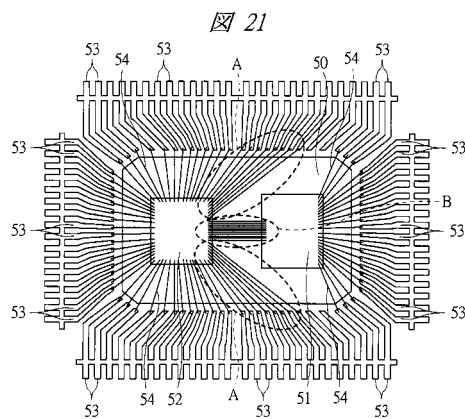
【 図 2 0 】



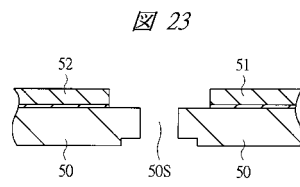
【 図 2 2 】



【 図 2 1 】



【図 23】



フロントページの続き

(56)参考文献 特開昭 63 - 087758 (JP, A)
特開 2006 - 286824 (JP, A)
特開 2004 - 165269 (JP, A)
特開 2003 - 133512 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H01L 25/065
H01L 23/50
H01L 25/07
H01L 25/18