

212864

公告本

申請日期	81.7.3
案 號	81105269
類 別	H03K 19/177 H01L 3/52

A4
C4

(以上各欄由本局填註)

(81105269)

發明
新型專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

一、發明 創作名稱	中 文	供積體電路上使用之交換電路
	英 文	SWITCH FOR USE ON AN INTEGRATED CIRCUIT
二、發明 創作人	姓 名	1 薛約翰 (JOHN F. SCHRECK) 2 查派特 (PHAT C. TRUONG) 3 迪魁略 (CHIRAG A. DESAI)
	籍 貫 (國籍)	1 - 2 皆印度 3 印度
	住、居所	1 美國德克薩斯州休斯頓市月光街10618號 10618 Moonlight, Houston, Texas 77096, U.S.A. 2 美國德克薩斯州休斯頓市威斯塔街15815號 15815 Val Vista, Houston, Texas 77083, U.S.A. 3 美國德克薩斯州希德公園培卡街708號 708 Pecan Pass, Cedar Park, Texas 78613, U.S.A.
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	籍 貫 (國籍)	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯城北中央高速道13500號 13500 North Central Expressway, Dallas, Texas 75265, U.S.A.
	代表人 姓 名	郝威廉 William E. Hiller

裝

訂

線

五、發明說明 (2)

當進行單元之規劃時，將適當之規劃電壓施加到選定之控制閘字線，選定之源極-行線，和選定之吸極-行線，藉以在選定之通道區域創建高電流狀況，放射通道-熱電子和／或突崩崩潰電子使其通過通道氧化物後到達浮動閘。

當進行單元之閱讀時，將適當之閱讀電壓施加到選定之控制閘字線，選定之源極-行線，和選定之吸極-行線，藉以檢測單元之導通或非導通狀態。

利用電源匯流排將適當之規劃和閱讀電壓供給到選定之字線。在規劃時利用電源供給交換電路使電源匯流排選擇性的耦合到第一高電壓電源，在閱讀時則耦合到第二低電壓電源。先前技術之電源供給交換電路係使用形成在積體電路之面上之場效電晶體。

〔發明之概要〕

目前已發現當電源匯流排耦合到高電容性負載時，在先前之場效電晶體電源供給交換電路之製造期間所產生之寄生雙極電晶體會變成導通。在此種環境下，該寄生雙極電晶體易於導通電源匯流排之電流使其流到基體或產生所謂之門上之狀況。

本發明之一種形式是一種交換電路，用以選擇性的將第一電源供給耦合到一電源匯流排，包含有第一輸入端子用來連接到第一電源供給和耦合裝置用來將該第一輸入端子耦合到第一節點。第一電晶體具有第一和第二源極

五、發明說明 (3)

／吸極區域耦合到該第一節點和具有第二源極／吸極區域耦合到該電源匯流排。該第一電晶體變成 ON 用來回應第一控制信號之施加到其閘極。偏壓電路耦合到該第一電晶體之基體，藉以在該第一電晶體之 ON 時阻止該基體和該第二源極／吸極區域之間之接面之順向偏移。

本發明之一優點是當電源匯流排耦合到高電容性負載時可以防止寄生雙極電晶體變成 ON。

〔附圖之簡略說明〕

在圖附中：

圖 1 是可以使用本發明之 4 百萬位元 EPROM 之方塊圖；

圖 2 是記憶器單元陣列和結合有圖 1 之 EPROM 之電路之一部份之方塊圖；

圖 3 是圖 2 之裝置中之列解碼器電路之方塊圖；

圖 4a 是習知技術之交換電路之概略圖；

圖 4b 是圖 4a 之電路之基體剖面圖；

圖 5a 是本發明之交換電路之第一具體例之概略圖；

圖 5b 是圖 5a 之電路之一部份之基體剖面圖；

圖 6 是圖 5a 之電路之輸入信號之波形圖。

在各個附圖中，除了有特別指示者之外，均以對應之號碼和符號來表示對應之部份。

〔較佳具體例之詳細說明〕

參照圖 1，圖中顯示一個正常之 4 百萬位元 EPROM 之積體電路布置之一實例。該布置（其中之尺寸並不與實

五、發明說明 (4)

際製造者成正比例)表示16個 512×512 記憶器副陣列,具有一些冗餘之列和行用來代替具有不良單元之列和行。周圍電路,包括列解碼器,行解碼器,虛地線解碼器,字線驅動器,和行/段轉送開,其功能是用來將閱讀和規劃電壓連接到單元之列和行藉以回應經由預解碼器和規劃路徑之位址輸入。當規劃操作時,資料被寫入到記憶器陣列。當閱讀操作時,來自記憶器陣列之資料被引導經過感測放大器後到達其輸出。

參照圖2,圖中顯示記憶器單元陣列之一實例,它是圖1所示之記憶器晶片之一部份。每一個單元10是一個浮動閘電晶體,具有源極11,吸極12,浮動閘13和控制閘14。在同一列單元10之每一個控制閘14連接到字線15,和每一個字線15連接到列解碼器電路16。在同一行單元10之每一個源極11連接到源極一行線17(可以是虛地線),和每一個源極一行線17連接到行解碼器電路18。在同一行單元10之每一個吸極12連接到吸極一行線19,和每一個吸極一行線19連接到行解碼器電路18。

在寫入或規劃模態,用以回應字線位址信號20r和來自讀/寫控制電路8之信號之列解碼器電路16將第一預選規劃電壓 V_{pp} (大約為+12.5V)置於選定之字線15,包括選定記憶器單元10之控制閘14。解除選定字線15連接到參考電位 V_{ss} 。用以回應位元線位址信號20d和回應來自讀/寫控制電路8之信號之行解碼器電路18將第二

五、發明說明 (5)

規劃電壓 V_{rw} (由 V_{pp} 經由一阻抗被減小成大約 $+5$ 至 $+10V$) 置於選定之源極 - 行線 17, 和選定單元 10 之源極區域 11。行解碼器電路 18 亦用來將選定之吸極 - 行線 19 連接到參考電位 V_{ss} 。解除選定源極 - 行線 17 和解除選定吸極 - 行線 19 變成浮動。該等規劃電壓用來在選定記憶器單元 10 之通道創建一高電流 (吸極 12 至源極 11) 狀況, 其結果是在吸極 - 通道接面之附近產生通道熱電子和突崩崩潰電子, 該等電子被發射通過通道氧化物後到達選定單元 10 之浮動閘 13。所選定之規劃時間要長到足以以大約 $-2V$ 至 $-6V$ (對通道區域而言) 之負規劃電荷來規劃浮動閘 13。所放射之電子和負規劃電荷促成在選定單元 10 之浮動閘 13 之下面之源極 - 吸極路徑變成非導通, 此種狀態被讀作 "0" 位元。解除單元 10 具有保持導通之源極 - 吸極路徑位於浮動閘 13 之下, 該等單元 10 被讀作 "1" 位元。

單元之抹除可以使用紫外線放射來達成。

在閱讀模態, 用以回應字線位址信號 $20r$ 和來自讀 / 寫控制電路 8 之信號之列解碼器電路 16 將選定之正電壓 V_{cc} (大約為 $+3V$ 至 $+5V$) 施加到選定字線 15 和選定控制閘 14, 和施加低電壓 (地線電壓或 V_{ss}) 至解除選定字線 15。用以回應行位址信號 $20d$ 和來自讀 / 寫控制電路 8 之信號之行解碼器電路 18 將正電壓 V_{sen} (大約 $+1V$ 至 $+1.5V$) 施加至選定吸極 - 行線 19。解除選定之吸極 - 行

線 19 變成浮動。行解碼器電路 18 亦將全部之源極-行線 17 連接到地線或參考電位 V_{SS} ，惟一之例外是源極-行線 17 共用連接至要被閱讀之單元 10 之同一吸極-行線 17。該源極-行線 17 被驅動成具有與選定吸極-行線 19 相同之電壓位準。

如一般所習知者，記憶器單位 10 之源極區域 11 和吸極區域 12 對於各種操作模態可以互換的使用。例如在上述之閱讀實例中，施加到源極 11 和吸極 12 之區域之電壓可以互換。因此，對於每一個操作模態，此處所用之術語 "源極" 和 "吸極" 可以互換。

圖 3 更詳細的顯示圖 2 之電路 16。電路 16 包括有 V_{pp} / V_{cc} 電源供給交換電路 22 用來選擇性的將外部 V_{pp} 供給或外部 V_{cc} 供給耦合到電源匯流排 24 藉以回應接收自讀 / 寫控制電路 21 之控制信號 $PE_{V_{pp}}$, $PE_{V_{cc}}$, 和 $PE_{V_{pp}}$ 。電源匯流排 24 連接到每一個驅動器電路 28 之 p-通道電晶體 29。參考匯流排 26 用來將參考供給電壓 V_{ss} 連接到每一個驅動器電路 28 之 n-通道電晶體 30。每一個驅動器電路 28 選擇性的將字線 15 耦合到電源匯流排 24 或參考匯流排 26 藉以回應線 34 上之控制信號。

解碼器 32 對用以識別選定字線 15 之解碼位址信號 20r 進行解碼和在選定字線 15 之有關之線 34 上提供一個邏輯 "0" 位準控制信號。驅動器電路 28 之 p-通道電晶體 29 變成 ON 和 n-通道電晶體 30 變成 OFF，接收邏輯 "0" 位準控制

五、發明說明 (7)

信號用來將選定字線 15 連接到電源匯流排 24。解碼器 32 在解除選定字線 15 之有關之線 34 上提供一個邏輯 "1" 位準控制信號。驅動器電路 28 之 p-通道電晶體 29 變成 OFF 和 n-通道電晶體 30 變成 ON，接收邏輯 "1" 位準控制信號用來將解除選定之字線 15 連接到參考匯流排 26。

圖 4a 顯示習知之 V_{pp}/V_{cc} 電源供給交換電路 22 其中包括有一對之 p-通道 MOS 場效電晶體 34 和 36 具有源極-吸極路徑串聯連接在輸入端子 33 (被連接到 V_{pp}) 和電源匯流排 24 之間，和包括有一個 p-通道 MOS 場效電晶體 38 具有源極-吸極路徑連接在 V_{cc} 和電源匯流排 24 之間。電晶體 34 之源極 s 和基體或塊體 b 一起連接到 V_{pp} 和其吸極 d 連接到節點 A。電晶體 34 接收控制信號 $PE_{V_{pp}}$ ，當 EPROM 在規劃模態時，該信號之值為 0V，在規劃模態以外之全部模態，該值等於 V_{pp} 。如圖 6 所示，在非規劃模態之 V_{pp} 為大約 3-5 V 或大約 12.5 V。

電晶體 36 之吸極 d 連接到節點 A，其源極 s 和基體或塊體 b 一起連接到電源匯流排 24。電晶體 36 接收控制信號 $PE_{V_{cc}}$ ，當規劃模態時，該信號之值為 0V，在規劃模態以外之全部模態，該值大約為 3-5 V。

電晶體 38 之吸極 d 連接到輸入端子 37 (連接到 V_{cc})，其源極 s 和基體或塊體 b 一起連接到電源匯流排 24。電晶體 38 之閘極接收控制信號 $PE_{V_{pp}}$ ，在規劃模態時其值大約為 12.5 V，在規劃模態以外之全部模態，該值為

五、發明說明 (8)

0V。

在規劃模態，電晶體 34 和 36 變成 0N 用來將電源供給 V_{pp} 耦合到電源匯流排 24 和電晶體 38 變成 0FF 用來解除電源供給 V_{cc} 和電源匯流排 24 之連接。在規劃模態以外之全部模態，電晶體 38 變成 0N 用來將電源供給 V_{cc} 耦合到電源匯流排 24，和電晶體 34 和 36 變成 0FF 用來解除電源供給 V_{pp} 和電源匯流排 24 之連接。

圖 4b 是基體 40 之剖面圖，在其上製作有圖 4a 之電路。N-阱或槽 42，44 和 46 形成在具有 p-型導電性之基體 40 之面上。該 N-阱 42，44，和 46 分別為電晶體 34，36，和 38 之基體或塊體 b。電晶體 34，36，和 38 之源極 s 和吸極 d 分別形成在 n-阱 42，44，和 46。N⁺ 擴散層 50 亦形成在 n-阱 42，44，和 46 用來將 n-阱基體 42 連接到 V_{pp} 和將 n-阱基體 44 和 46 連接到電源匯流排 24。閘絕緣物 51 形成在基體 40 之面上，和電晶體 34，36，和 38 之閘極 g 形成在閘絕緣物 51 上。

電晶體 36 之製造會形成寄生垂直 PNP 電晶體 48。該電晶體 48 之基極由 n-阱 44 形成，射極由電晶體 36 之吸極 d 形成，和集極由基體 40 形成。由於有電晶體 48 之存在所以當開始進入規劃模態時會有問題發生。這是因為電源匯流排 24 和字線 15（其連接形成一長路徑）必需在相當短之時間上升到 V_{pp} 。因此電源匯流排 24 具有高電容負載其結果是在節點 A 和電源匯流排 24 之間產生相當大之

五、發明說明 (9)

電壓降。假如該電壓降超過電晶體 48 之 V_{BE} 時，該電晶體 48 就變成 ON，使電源匯流排 24 之充電所需之電流流到 V_{SS} 。

除了從電晶體 34 到基體 40 之分流電流會對電源匯流排 24 充電外，假如有 NMOS 裝置形成在 PMOS 電晶體 36 之附近時，該電晶體 48 亦會發生門上問題。在此種狀況，垂直寄生 NPN 電晶體 48 會耦合到由於 NMOS 裝置之製造所產生之橫向寄生 NPN 電晶體用來產生傳統式之 npnp SCR 電路。利用電晶體 48 之導通，施加到橫向寄生 NPN 電晶體之基極之基體電壓就上升，假如該電壓超過 NPN 電晶體之 V_{BE} 時，該 NPN 電晶體就變成 ON 和產生門上。該電晶體 48 亦觸發獨立 SCR 之門上。在習知技術中，要減小門上之可能性之方法包括在外延層形成電路用來減小 NPN 電晶體之基極電阻。

圖 5a 顯示依照本發明之一較佳具體例之 V_{pp}/V_{cc} 交換電路 22'。該交換電路 22' 包括有電晶體 34，36，和 38 其連接與圖 4a 相同，惟一之不同是電晶體 36 之基體或塊體之連接。在 V_{pp}/V_{cc} 交換電路 22' 中，電晶體 36 之基體或塊體 b 連接到包括有 p-通道 MOS 場效電晶體 52，54，和 56 之交換偏壓電路。電晶體 52，54，和 56 具有源極-吸極電路串聯連接在 V_{pp} 和電源匯流排 24 之間。

電晶體 52 具有源極 s 和基體或塊體 b 一起連接到 V_{pp} ，和具有吸極 d 連接到電晶體 54 之吸極 d。電晶體 52 之

五、發明說明 (10)

閘極 g 接收控制信號 PE_Vpp。電晶體 54 之基體或塊體 b 和源極 s 一起連接到電晶體 56 之源極 s 和電晶體 56 和 36 之基體 b。電晶體 54 之閘極 g 接收控制信號 PE_Vcc。電晶體 56 之吸極 d 連接到電源匯流排 24。電晶體 56 之閘極 g 接收控制信號 PE_Vpp。

圖 6 是時序圖用來顯示一些信號之值，該等信號包括：在 EPROM 內產生之控制信號 PE_Vpp，PE_Vcc，和 PE_Vcc；從外部根源供給到 EPROM 之信號 CE_IN，OE_IN，和 Vpp；和匯流排 24 上之電壓。該 CE_IN 是晶片激勵互補信號。OE_IN 是輸出激勵互補信號。Vpp 是從外部電壓電源供給之電壓。該 EPROM 在時間 t1-t2 為規劃模態，在其他之時間為非規劃模態。

除了規劃模態外，在全部之模態，該電晶體 38 和 56 為 ON 和電晶體 34，36，52，和 54 為 OFF。因此，在全部之非規劃模態時，Vcc 經由電晶體 38 耦合到電源匯流排 24，同時電晶體 36 之基體 b 經由電晶體 56 耦合到電源匯流排 24。在規劃模態，電晶體 34，36，52 和 54 為 ON 和電晶體 38 和 56 為 OFF。因此，在規劃模態時，Vpp 經由電晶體 34 和 36 耦合到電源匯流排 24。

在 Vpp/Vcc 交換電路 22' 中，於規劃模態時，電晶體 36 之基體或塊體 b 被電晶體 52 和 54 驅動成 Vpp。因為由電晶體 36 之基體 b 所決定之負載遠小於電源匯流排 24 之負載，所以由電晶體 52，54，和 56 所構成之交換電路不

五、發明說明 (11)

能視為 "0N" 寄生雙極電晶體使電晶體 34, 36, 和 38 可以啓動。此種方式促成當開始進入規劃模態時, 節點 A 不會比電晶體 36 之基體 b 大 V_{be} 。此種配置之優點是可以消除電晶體 36 之吸極 d 和基體 b 之間之順向偏壓 PN 接面, 藉以防止寄生 PNP 電晶體 48 之變成 0N。因此, 電晶體 48 不會使電流導通到 V_{ss} 或由於寄生橫向 NPN 電晶體之變成 0N 而被閉上。當基體 40 由單晶起始材料來形成而不是外延層時, 其效果特別顯著。

圖 5b 是基體 40 (在其上製作有圖 5a 之電路) 之一部份之剖面圖, 用來顯示形成在個別之 n-阱 42, 58, 60 和 62 之電晶體 36, 52, 54, 和 56。n-阱 58, 60, 和 62 分別為電晶體 52, 54, 和 56 之基體或塊體 b。電晶體 36 之 n 阱 42 或基體 b 連接到電晶體 54 之源極 s 和基體 b, 和電晶體 56 之源極 s 和基體 b。在節點 A 和電源匯流排 24 之間之電壓降不會使電晶體 48 變成 0N, 因為 n 阱 42 與充電電源匯流排 24 所產生之電流路徑分開, 而且獨立的被電晶體 52 和 54 驅動成 V_{pp} 。

上面已經詳細的說明了一些較佳具體例。但宜瞭解者, 本發明之範圍亦包含與上述者不同之具體例, 該等具體例亦在本發明之範圍內。

例如, 交換電路 22' 亦可以使用 EPROM 以外之積體電路。電晶體 36, 54, 和 56 中之二個或更多個可以形成單 n-阱。亦可以使用 n-通道電晶體來代替 p-通道電晶體。實

五、發明說明 (12)

施在分離之組件或全積體電路，使用矽，鎵砷，或其他之電子材料族。

上面已經參照具體例對本發明作了詳細之描述，但是此描述並無意以限制之觀點來構建。熟悉本技術之士經由參照上述之說明當可瞭解上述具體例之各種修改和組合以及本發明之其他具體例。因此所附之申請專利範圍應包含此等修改或具體例。

(請先閱讀背面之注意事項再填寫本頁)

.....裝.....訂.....線.....

四、中文發明摘要(發明之名稱：供積體電路上使用之交換電路)

一種交換電路，用以選擇性的將第一電源供給(V_{pp})耦合到一電源匯流排(24)，包括有第一輸入端子(33)用來連接到第一電源供給和包括有耦合裝置(34)用來將該第一輸入端子耦合到第一節點(a)。第一電晶體(36)具有第一源極/吸極區域耦合到第一節點和具有第二源極/吸極區域耦合到電源匯流排(24)。第一電晶體變成ON用來回應第一控制信號之施加到其閘極藉以將該第一節點耦合到電源匯流排。偏壓電路(52, 54, 和 56)耦合到第一電晶體之基體(b)，藉以在第一電晶體變成ON時用來阻止其基體和其第二源極/吸極區域之間之接面之順向偏移。

英文發明摘要(發明之名稱：SWITCH FOR USE ON AN INTEGRATED CIRCUIT)

ABSTRACT

A switching circuit for selectively coupling a first power supply (V_{pp}) to a power bus (24) includes a first input terminal (33) for connection to the first power supply and a means (34) for coupling said first input terminal to a first node (a). A first transistor (36) has a first source/drain region coupled to the first node and a second source/drain region coupled to the power bus (24). The first transistor is on in response to a first control signal applied to its gate to couple the first node to the power bus. A bias circuit (52, 54, & 56) is coupled to the substrate (b) of the first transistor to prevent forward biasing of a junction between its substrate and its second source/drain region when the first transistor is on.

附註：本案已向

美

國(地區) 申請專利，申請日期：

案號：

1991年2月13日 案號：655,877

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種交換電路，用以選擇性的將第一電源供給耦合到一電源匯流排，包含有：
第一輸入端子，用來連接到第一電源供給；
耦合裝置，用來將該第一輸入端子耦合到第一節點；
第一電晶體，具有第一和第二源極／吸極區域，閘極，和基體，該第一源極／吸極區域耦合到該第一節點和該第二源極／吸極區域耦合到該電源匯流排，該電晶體變成 ON 用來回應第一控制信號之施加到該閘極藉以將該第一節點耦合到電源匯流排；和
偏壓電路，耦合到該第一電晶體之該基體，藉以在該第一電晶體之 ON 時阻止該基體和該第二源極／吸極區域之間之接面之順向偏移。
2. 如申請專利範圍第 1 項之交換電路，其中該耦合裝置包括有第二電晶體具有第一和第二源極／吸極區域，閘極，和基體，該第二電晶體之該第一源極／吸極區域和該基體耦合到該第一輸入端子，該第二電晶體之該第二源極／吸極區域耦合到該節點，該第二電晶體選擇性的將該第一輸入端子耦合到該第一節點藉以回應控制信號之施加到該第二電晶體之該閘極。
3. 如申請專利範圍第 1 項之交換電路，其中當該第一電晶體為 ON 時該偏壓電路將該基體耦合到該第一輸入端子，當該第一電晶體為 OFF 時將該基體耦合到該電源匯流排。

六、申請專利範圍

4. 如申請專利範圍第3項之交換電路，其中該偏壓電路包括有第二，第三，和第四電晶體具有源極—吸極路徑形成串聯耦合在該第一輸入端子和電源匯流排之間，該基體耦合在該第三和第四電晶體之源極—吸極路徑之間。
5. 如申請專利範圍第4項之交換電路，其中該第二電晶體具有第一源極／吸極區域和基體耦合到該第一輸入端子。
6. 如申請專利範圍第4項之交換電路，其中該第三和第四電晶體具有基體耦合到該第一電晶體之基體。
7. 如申請專利範圍第4項之交換電路，更包含有：
第二輸入端子，用來連接到第二電源供給；和
第六電晶體，具有源極／吸極路徑耦合在該第二輸入端子和電源匯流排之間。
8. 如申請專利範圍第7項之交換電路，其中該第六電晶體具有基體耦合到電源匯流排。
9. 如申請專利範圍第8項之交換電路，其中在第一操作模態時該第一，第二，和第三電晶體為ON，和該第四和第五電晶體為OFF。
10. 一種交換電路，用以選擇性的將規劃電壓電源和閱讀電壓電源的其中之一耦合到電可規劃僅讀記憶器之電源匯流排，包含有：
第一輸入端子，用來連接到規劃電壓電源；

六、申請專利範圍

第二輸入端子，用來連接到閱讀電壓電源；

第一和第二電晶體，具有源極－吸極路徑形成串聯耦合在該第一輸入端子和電源匯流排之間，該第一電晶體具有基體耦合到該第一輸入端子；

第三，第四，和第五電晶體，具有源極－吸極路徑形成串聯耦合在該第一輸入端子和電源匯流排之間，該第三電晶體具有基體耦合到該第一輸入端子，該第二，第四，和第五電晶體具有基體耦合到該第四電晶體之源極－吸極路徑和該第五電晶體之源極－吸極路徑之間之節點；

第六電晶體，具有源極－吸極路徑耦合在該第二輸入端子和電源匯流排之間，該第六電晶體具有基體耦合到電源匯流排；

該第一，第二，第三，第四，第五，和第六電晶體在規劃模態用來接收規劃控制信號，在非規劃模態時用來接收非規劃模態信號，該第一，第二，第三和第四電晶體變成ON，和該第五和第六電晶體變成OFF，用來回應該規劃控制信號藉以將該第一輸入端子耦合到電源匯流排和該第二電晶體之該基體，該第一，第二，第三，和第四電晶體變成OFF，和該第五和第六電晶體變成ON，用來回應該非規劃控制信號藉以將該第二輸入端子和該第二電晶體之該基體耦合到電源匯流排。

六、申請專利範圍

11. 如申請專利範圍第10項之交換電路，其中該第一，第二，第三，第四，第五和第六電晶體為p-通道場效電晶體。
12. 如申請專利範圍第11項之交換電路，其中該第一和第四電晶體具有源極耦合到該第一輸入端子，和該第二和第五電晶體具有吸極耦合到電源匯流排。

(請先閱讀背面之注意事項再填寫本頁)

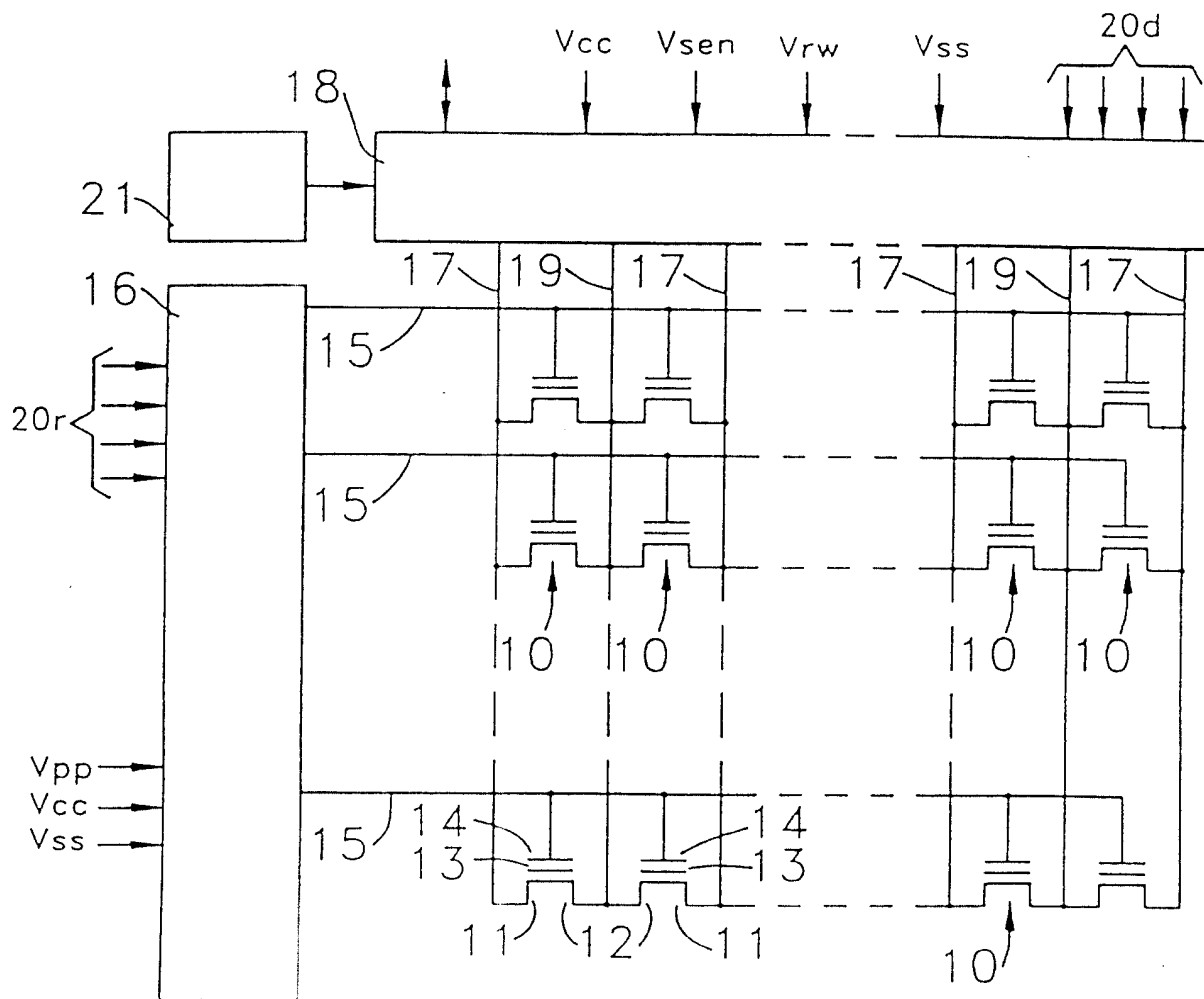
裝

訂

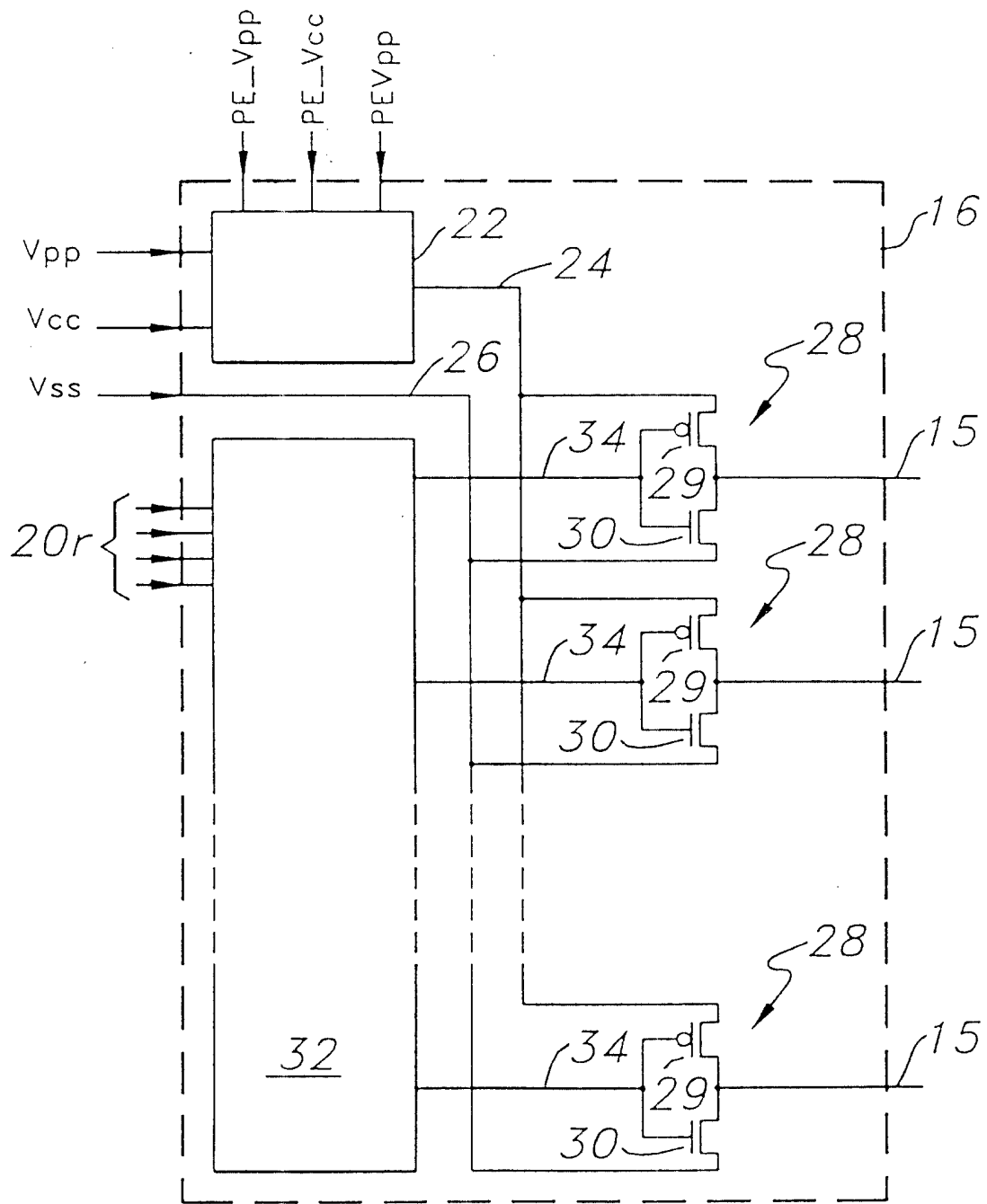
線

[illegible]

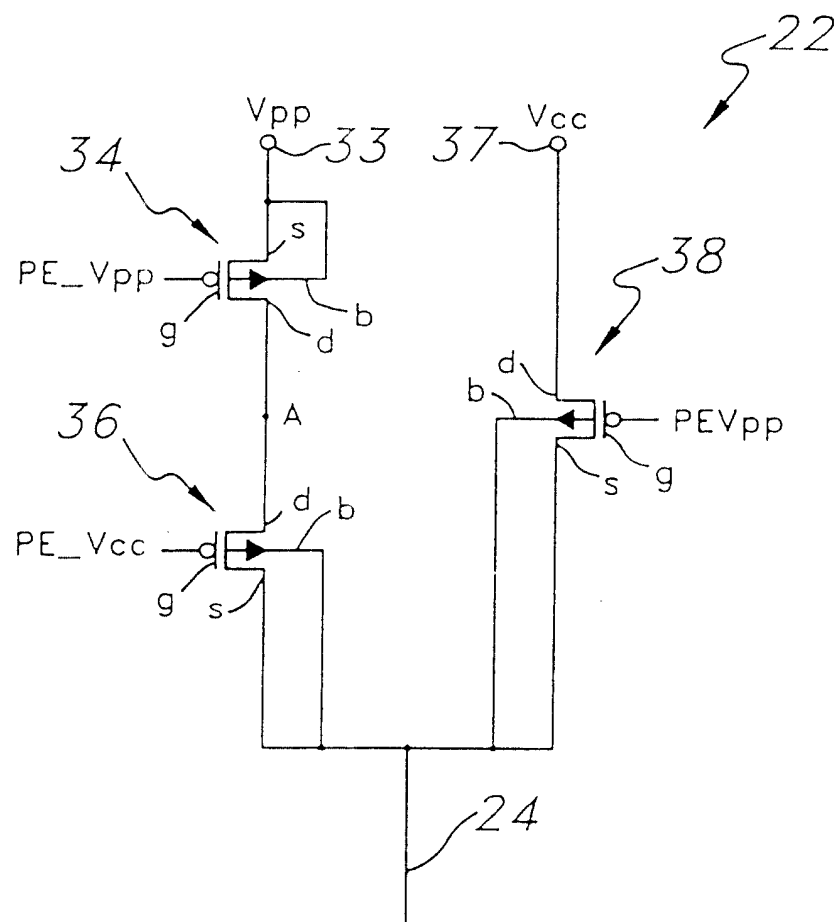
212864



212864



212864



4a

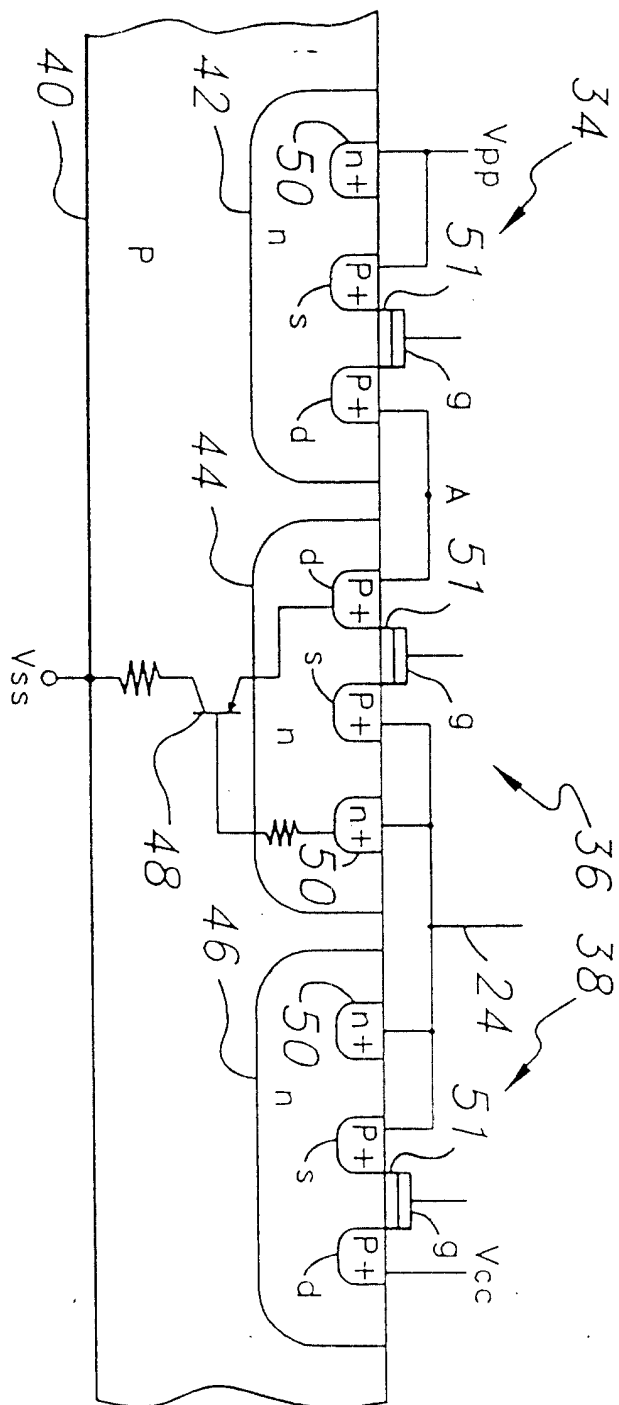


Fig. 4b

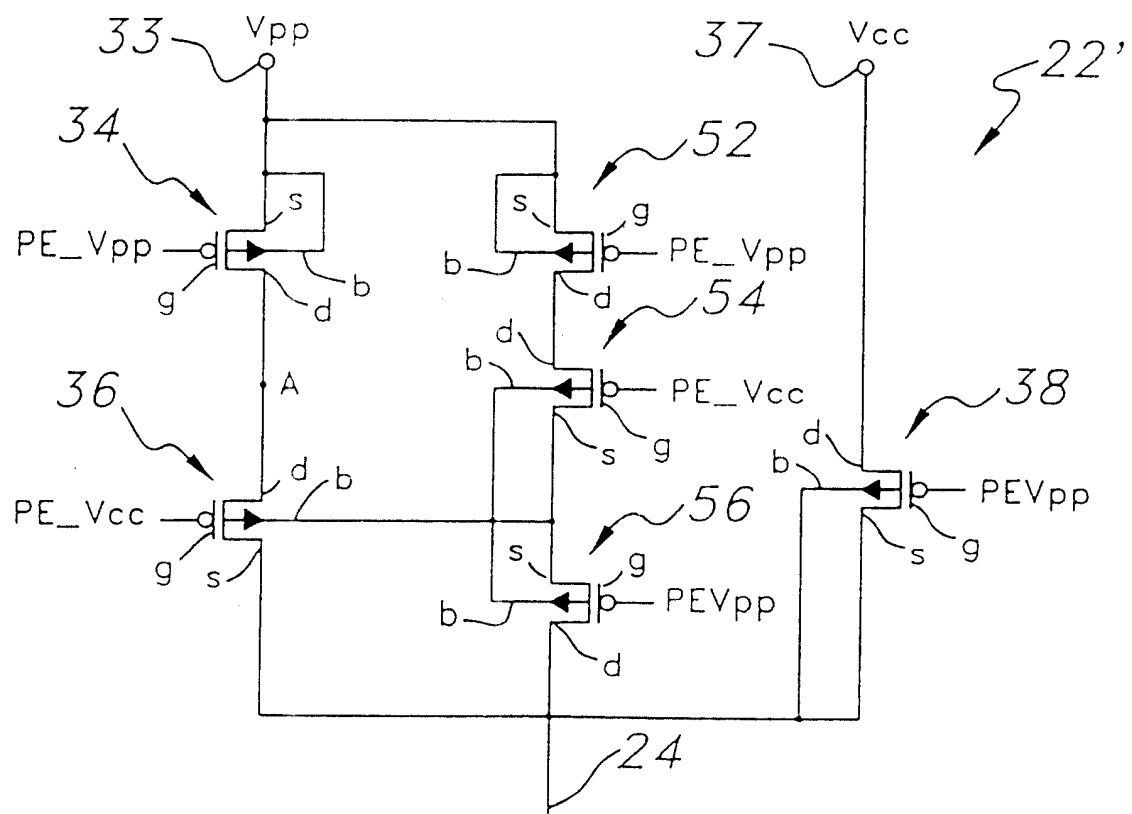
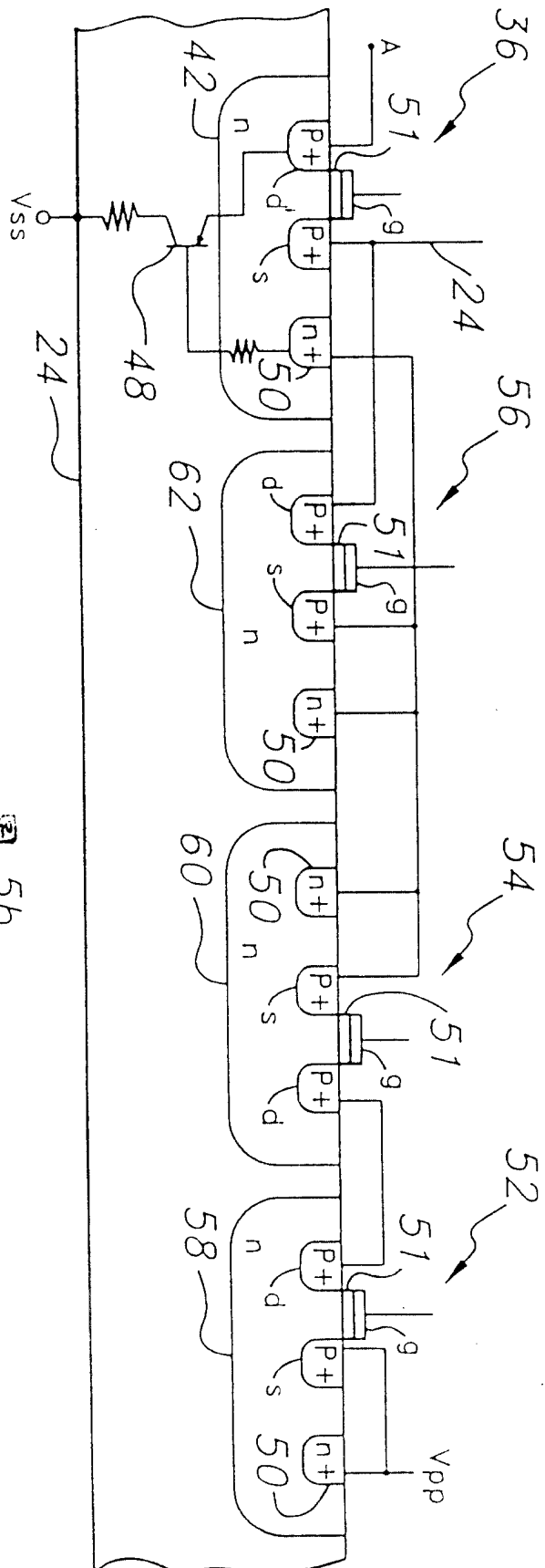


圖-5a



5b

21286-1

