

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6272713号
(P6272713)

(45) 発行日 平成30年1月31日(2018.1.31)

(24) 登録日 平成30年1月12日(2018.1.12)

(51) Int.Cl. F I
H03K 19/177 (2006.01) H03K 19/177

請求項の数 6 (全 29 頁)

<p>(21) 出願番号 特願2014-54279 (P2014-54279) (22) 出願日 平成26年3月18日 (2014. 3. 18) (65) 公開番号 特開2014-209723 (P2014-209723A) (43) 公開日 平成26年11月6日 (2014. 11. 6) 審査請求日 平成29年3月13日 (2017. 3. 13) (31) 優先権主張番号 特願2013-61256 (P2013-61256) (32) 優先日 平成25年3月25日 (2013. 3. 25) (33) 優先権主張国 日本国 (JP)</p>	<p>(73) 特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 (72) 発明者 黒川 義元 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 審査官 白井 亮</p>
--	--

最終頁に続く

(54) 【発明の名称】 プログラマブルロジックデバイス及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

論理ブロックを有し、
前記論理ブロックは、記憶装置を有し、
前記記憶装置は、第1及び第2のスイッチと、第1のトランジスタと、を有し、
前記第1のスイッチは、前記第1のトランジスタのゲートへの第1の信号の入力を制御する機能を有し、
前記第1の信号は、コンフィギュレーションデータを含み、
前記第1のトランジスタのソース又はドレインの一方は、第1の配線に電気的に接続され、
前記第2のスイッチは、前記第1のトランジスタのソース又はドレインの他方と第2の配線との間の電気的な接続を、前記第1の配線の電位に従って制御する機能を有し、
前記第1のスイッチは、第2のトランジスタを有し、
前記第2のトランジスタは、チャンネル形成領域に酸化物半導体を含むプログラマブルロジックデバイス。

【請求項2】

論理ブロックを有し、
前記論理ブロックは、記憶装置を有し、
前記記憶装置は、第1乃至第4のスイッチと、第1及び第2のトランジスタと、を有し

前記第 1 のスイッチは、前記第 1 のトランジスタのゲートへの第 1 の信号の入力を制御する機能を有し、

前記第 3 のスイッチは、前記第 2 のトランジスタのゲートへの前記第 1 の信号の入力を制御する機能を有し、

前記第 1 の信号は、コンフィギュレーションデータを含み、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線に電氣的に接続され、

前記第 2 のスイッチは、前記第 1 のトランジスタのソース又はドレインの他方と第 2 の配線との間の電氣的な接続を、前記第 1 の配線の電位に従って制御する機能を有し、

前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線に電氣的に接続され、

前記第 4 のスイッチは、前記第 2 のトランジスタのソース又はドレインの他方と前記第 2 の配線との間の電氣的な接続を、前記第 3 の配線の電位に従って制御する機能を有し、

前記第 1 のスイッチは、第 3 のトランジスタを有し、

前記第 3 のスイッチは、第 4 のトランジスタを有し、

前記第 3 のトランジスタ及び前記第 4 のトランジスタは、チャンネル形成領域に酸化物半導体を含むプログラマブルロジックデバイス。

【請求項 3】

記憶装置と、第 1 及び第 2 の論理ブロックと、第 1 のスイッチと、を有し、

前記記憶装置は、第 2 及び第 3 のスイッチと、第 1 のトランジスタと、を有し、

前記第 2 のスイッチは、前記第 1 のトランジスタのゲートへの第 1 の信号の入力を制御する機能を有し、

前記第 1 の信号は、コンフィギュレーションデータを含み、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線に電氣的に接続され、

前記第 3 のスイッチは、前記第 1 のトランジスタのソース又はドレインの他方と第 2 の配線との間の電氣的な接続を、前記第 1 の配線の電位に従って制御する機能を有し、

前記第 1 のスイッチは、前記第 1 の論理ブロックと前記第 2 の論理ブロックとの間の電氣的な接続を、前記第 2 の配線の電位に従って制御する機能を有し、

前記第 2 のスイッチは、第 2 のトランジスタを有し、

前記第 2 のトランジスタは、チャンネル形成領域に酸化物半導体を含むプログラマブルロジックデバイス。

【請求項 4】

記憶装置と、第 1 及び第 2 の論理ブロックと、第 1 のスイッチと、を有し、

前記記憶装置は、第 2 乃至第 5 のスイッチと、第 1 及び第 2 のトランジスタと、を有し、

前記第 2 のスイッチは、前記第 1 のトランジスタのゲートへの第 1 の信号の入力を制御する機能を有し、

前記第 4 のスイッチは、前記第 2 のトランジスタのゲートへの前記第 1 の信号の入力を制御する機能を有し、

前記第 1 の信号は、コンフィギュレーションデータを含み、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線に電氣的に接続され、

前記第 3 のスイッチは、前記第 1 のトランジスタのソース又はドレインの他方と第 2 の配線との間の電氣的な接続を、前記第 1 の配線の電位に従って制御する機能を有し、

前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線に電氣的に接続され、

前記第 5 のスイッチは、前記第 2 のトランジスタのソース又はドレインの他方と前記第 2 の配線との間の電氣的な接続を、前記第 3 の配線の電位に従って制御する機能を有し、

前記第 1 のスイッチは、前記第 1 の論理ブロックと前記第 2 の論理ブロックとの間の電

10

20

30

40

50

氣的な接続を、前記第2の配線の電位に従って制御する機能を有し、

前記第2のスイッチは、第3のトランジスタを有し、

前記第4のスイッチは、第4のトランジスタを有し、

前記第3のトランジスタ及び前記第4のトランジスタは、チャンネル形成領域に酸化半
導体を含むプログラマブルロジックデバイス。

【請求項5】

請求項1乃至4のいずれかーにおいて、

前記酸化半導体は、In、Ga、及びZnを含むプログラマブルロジックデバイス。

【請求項6】

請求項1乃至請求項5のいずれかーに記載の前記プログラマブルロジックデバイスを用
いた半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は半導体装置に関する。例えば、本発明の一態様は、ハードウェアの構成を変更することができるプログラマブルロジックデバイスと、上記プログラマブルロジックデバイスを用いた半導体装置に関する。

【背景技術】

【0002】

プログラマブルロジックデバイス(PLD: Programmable Logic Device)は、適当な規模の論理ブロック(プログラマブルロジックエレメント)で論理回路が構成されており、各論理ブロックの機能や、論理ブロック間の接続構造を、製造後において変更できることを特徴とする。具体的に、上記PLDは、複数の論理ブロックと、論理ブロック間の接続を制御する配線リソースとを有する。各論理ブロックの機能と、配線リソースにより構成される論理ブロック間の接続構造とは、コンフィギュレーションデータにより定義され、上記コンフィギュレーションデータは、各論理ブロックが有するレジスタ、または配線リソースが有するレジスタに格納される。以下、コンフィギュレーションデータを格納するためのレジスタを、コンフィギュレーションメモリと呼ぶ。

20

【0003】

ところで、動的再構成(ダイナミックリコンフィギュレーション)と呼ばれる、動作中における論理回路の再構成が可能なPLDは、通常のPLDに比べて面積効率が高いという利点を有する。マルチコンテキスト方式は、コンフィギュレーションメモリに複数セットのコンフィギュレーションデータを格納することで、動的再構成を実現する手法である。コンフィギュレーションデータを1セットずつメモリエレメントからコンフィギュレーションメモリに送ることで動的再構成を実現する構成情報配送方式に比べて、マルチコンテキスト方式は、論理回路の再構成を高速に行うことができる。

30

【0004】

下記の特許文献1には、DRAM(Dynamic Random Access Memory)をメモリエレメントに用い、SRAM(Static Random Access Memory)をコンフィギュレーションメモリに用いたプログラマブルLSI

40

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平10-285014号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記マルチコンテキスト方式を用いたPLDにおいて、コンフィギュレーションメモリやメモリエレメントなどの記憶装置にDRAMが用いられている場合、DRAMはリフレッ

50

シユが必要であるために、記憶装置の消費電力を低く抑えることが難しい。また、上記記憶装置にSRAMが用いられている場合、SRAMはリーク電流により消費電力が嵩みやすい。また、SRAMは1メモリセルあたりの素子数が多いので、記憶装置の面積を小さく抑えることが難しい。

【0007】

上述したような技術的背景のもと、本発明の一態様は、記憶装置の面積を小さく抑えることができるプログラマブルロジックデバイスの提供を、課題の一つとする。或いは、本発明の一態様は、記憶装置の消費電力を低く抑えることができるプログラマブルロジックデバイスの提供を、課題の一つとする。

【0008】

また、本発明の一態様は、上記プログラマブルロジックデバイスを用いることで、小型化を実現することができる半導体装置の提供を、課題の一つとする。或いは、本発明の一態様は、消費電力を低く抑えることができる半導体装置の提供を、課題の一つとする。

【課題を解決するための手段】

【0009】

本発明の一態様に係るプログラマブルロジックデバイスは、第1スイッチと、上記第1スイッチを介してゲートに入力される、コンフィギュレーションデータを含む信号に従って、導通状態または非導通状態が選択されるトランジスタと、第1配線の電位に従って導通状態または非導通状態が選択されることで、上記トランジスタと共に第1配線と第2配線の電気的な接続を制御する第2スイッチと、を少なくともも有する組を、複数有するものとする。

【0010】

本発明の一態様に係るプログラマブルロジックデバイスは、上記構成により、複数の組の一において第2スイッチが導通状態になると、第1配線の電位が第2配線に供給されるか否かが、トランジスタのゲートに入力されたコンフィギュレーションデータに従って定められる。

【0011】

そして、本発明の一態様では、第1スイッチが有するトランジスタのオフ電流が、著しく小さいものとする。上記構成により、第1スイッチが非導通状態のとき、トランジスタのゲートは他の電極や配線との間における絶縁性が極めて高い浮遊状態になる。そのため、上記信号の電位がトランジスタのゲートにおいて保持されるので、コンフィギュレーションデータに従って定められたトランジスタの導通状態または非導通状態も、保持される。

【0012】

シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体膜に、チャンネル形成領域を有するトランジスタは、通常シリコンやゲルマニウムなどの半導体にチャンネル形成領域を有するトランジスタに比べて、オフ電流を極めて小さくすることができるので、第1スイッチに用いるのに適している。シリコンよりもバンドギャップが広く、真性キャリア密度をシリコンよりも低くできる半導体としては、例えば、シリコンの2倍以上の大きなバンドギャップを有する、酸化半導体、炭化シリコン、窒化ガリウムなどが挙げられる。

【0013】

本発明の一態様に係るプログラマブルロジックデバイスでは、上記各組の素子数がSRAMよりも小さいので、コンフィギュレーションデータを格納するための記憶装置の面積を、小さく抑えることができる。また、上記第1スイッチのオフ電流は、シリコン膜にチャンネル形成領域を有するトランジスタよりも小さいので、第1スイッチにおけるデータの保持時間をDRAMよりも長くすることができる。よって、データの書き直しの頻度を少なくでき、それにより消費電力を小さく抑えることができる。

【0014】

或いは、具体的に、本発明の一態様に係るプログラマブルロジックデバイスは、記憶装置を備えた論理ブロックを有する。上記記憶装置は、第1スイッチと、上記第1スイッチを

10

20

30

40

50

介してゲートに入力される、コンフィギュレーションデータを含む信号に従って、導通状態または非導通状態が選択されるトランジスタと、第1配線の電位に従って導通状態または非導通状態が選択されることで、上記トランジスタと共に第1配線と第2配線の電氣的な接続を制御する第2スイッチと、を少なくとも有する組を、複数有する。上記論理ブロックは、上記第2配線の電位に従って、入力される信号の論理レベルと、出力される信号の論理レベルの関係が定められる。

【0015】

或いは、具体的に、本発明の一態様に係るプログラマブルロジックデバイスは、記憶装置と、複数の論理ブロックと、を有する。上記記憶装置は、第1スイッチと、上記第1スイッチを介してゲートに入力される、コンフィギュレーションデータを含む信号に従って、導通状態または非導通状態が選択されるトランジスタと、第1配線の電位に従って導通状態または非導通状態が選択されることで、上記トランジスタと共に第1配線と第2配線の電氣的な接続を制御する第2スイッチと、を少なくとも有する組を、複数有する。上記複数の論理ブロックは、上記第2配線の電位に従って、互いの電氣的な接続が定められる。

【発明の効果】

【0016】

本発明の一態様により、記憶装置の面積を小さく抑えることができるプログラマブルロジックデバイスを提供することができる。或いは、本発明の一態様により、記憶装置の消費電力を低く抑えることができるプログラマブルロジックデバイスを提供することができる。

【0017】

また、本発明の一態様では、上記プログラマブルロジックデバイスを用いることで、小型化を実現することができる半導体装置を提供することができる。或いは、本発明の一態様では、上記プログラマブルロジックデバイスを用いることで、消費電力を低く抑えることができる半導体装置を提供することができる。

【図面の簡単な説明】

【0018】

【図1】記憶装置の構造を示す図。

【図2】記憶装置の構造を示す図。

【図3】記憶装置の動作を模式的に示す図。

【図4】タイミングチャート。

【図5】記憶装置の構造を示す図。

【図6】記憶装置の構造を示す図。

【図7】タイミングチャート。

【図8】ラッチの構造を示す図。

【図9】論理ブロックの構成を示す図。

【図10】PLD30の構造の一部を示す図と、スイッチ回路の構成を示す図。

【図11】PLD全体の構成を示す図。

【図12】セルの断面図。

【図13】電子機器の図。

【発明を実施するための形態】

【0019】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0020】

なお、本発明の一態様のプログラマブルロジックデバイスは、マイクロプロセッサ、画像処理回路、半導体表示装置用のコントローラ、DSP(Digital Signal Processor)、マイクロコントローラ、2次電池などのバッテリーの制御回路ま

10

20

30

40

50

たは保護回路などの、半導体素子を用いた各種半導体集積回路をその範疇に含む。また、本発明の一態様の半導体装置は、上記半導体集積回路を用いたRFタグ、半導体表示装置などの各種装置を、その範疇に含む。半導体表示装置には、液晶表示装置、有機発光素子に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)等や、半導体素子を駆動回路に有しているその他の半導体表示装置が、その範疇に含まれる。

【0021】

記憶装置の構成例

まず、記憶装置の構成例について説明する。図1に、本発明の一態様に係る記憶装置10の構成を、例示する。記憶装置10は、スイッチ11と、トランジスタ12と、スイッチ13とを少なくとも有する組を、複数有する。図1では、上記各組を、セル14として図示する。図1では、記憶装置10が、セル14-1乃至セル14-n(nは2以上の自然数)で示される複数のセル14を、有する場合を例示している。

10

【0022】

スイッチ11は、トランジスタ12のゲート(ノードFDとして図示する)への、コンフィギュレーションデータを含む信号の入力を、制御する機能を有する。具体的には、スイッチ11が導通状態(オン)であるとき、配線BLに入力されたコンフィギュレーションデータを含む信号が、スイッチ11を介してノードFDに入力される。また、スイッチ11が非導通状態(オフ)であるとき、ノードFDに入力された信号が保持される。

20

【0023】

スイッチ11における導通状態または非導通状態の選択は、配線WLの電位に従って行われる。図1では、セル14-1乃至セル14-nにおいて、スイッチ11の導通状態または非導通状態の選択が、配線WL1乃至配線WLnで示される複数の配線WLにそれぞれ入力される電位に従って、行われる場合を例示している。

【0024】

トランジスタ12は、ノードFDに入力されたコンフィギュレーションデータを含む信号に従って、導通状態または非導通状態が選択される。

【0025】

スイッチ13は、配線CLの電位に従って、導通状態または非導通状態が選択される。図1では、セル14-1乃至セル14-nにおいて、スイッチ13の導通状態または非導通状態の選択が、配線CL1乃至配線CLnで示される複数の配線CLにそれぞれ入力される電位に従って、行われる場合を例示している。そして、スイッチ13は、配線CLの電位に従って導通状態または非導通状態が選択されることで、トランジスタ12と共に、配線CLと配線DLの電気的な接続を制御する機能を有する。

30

【0026】

よって、スイッチ13が導通状態であるとき、トランジスタ12が導通状態であるか、非導通状態であるかが、配線CLと配線DLの電気的な接続に反映される。すなわち、配線CLと配線DLの電気的な接続は、ノードFDに入力されたコンフィギュレーションデータに従って定められることとなる。具体的には、スイッチ13が導通状態であり、トランジスタ12が導通状態であるとき、配線CLと配線DLとは電気的に接続され、配線CLの電位が配線DLに入力される。また、スイッチ13が導通状態であり、トランジスタ12が非導通状態であるとき、配線CLと配線DLとは電気的に分離され、配線CLの電位は配線DLに入力されない。

40

【0027】

なお、本明細書において接続とは電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して電気的に接続している状態も、その範疇に含む。

50

【0028】

一方、スイッチ13が非導通状態であるとき、トランジスタ12が導通状態であるか、非導通状態であるかに関わらず、配線CLと配線DLとは電氣的に分離される。

【0029】

図1では、セル14-1乃至セル14-nのノードFDに、複数セットのコンフィギュレーションデータを含む信号を、それぞれ保持させることができる。そして、セル14-1乃至セル14-nのうち、いずれか一つのセル14においてスイッチ13を導通状態にすることで、複数セットのコンフィギュレーションデータから一のコンフィギュレーションデータを選択し、選択されたコンフィギュレーションデータに従って、配線CLと配線DLの電氣的な接続を定めることができる。

10

【0030】

また、本発明の一態様に係るPLDは、所定の電位が入力される配線16と、配線16と配線DLとの電氣的な接続を制御するスイッチ17とが、記憶装置10に設けられている。スイッチ17は信号INITに従って、導通状態または非導通状態が選択される。そして、スイッチ17が導通状態であるとき、配線16と配線DLとは電氣的に接続され、配線DLが所定の電位に初期化される。また、スイッチ17が非導通状態であるとき、配線16の電位は配線DLに入力されない。

【0031】

よって、スイッチ17を導通状態にすることで配線DLの電位を初期化した後、選択されたコンフィギュレーションデータに従って配線CLと配線DLが電氣的に接続されると、配線DLには配線CLの電位が入力される。一方、スイッチ17を導通状態にすることで配線DLの電位を初期化した後、選択されたコンフィギュレーションデータに従って配線CLと配線DLが電氣的に分離されると、配線DLの電位は初期化された状態を維持する。

20

【0032】

本発明の一態様に係るPLDにおいて、上記記憶装置10が、論理ブロック(LB)に設けられている。論理ブロックでは、入力される信号の論理レベルと、出力される信号の論理レベルの関係が、配線DLの電位に従って定められる。よって、本発明の一態様では、コンフィギュレーションデータに従って配線DLの電位が制御されるので、論理ブロックに入力される信号の論理レベルと、論理ブロックから出力される信号の論理レベルの関係も、コンフィギュレーションデータに従って定めることができる。

30

【0033】

なお、本発明の一態様では、スイッチ11に用いられるトランジスタは、オフ電流が著しく小さいものとする。シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体膜に、チャネル形成領域が形成されるトランジスタは、通常のシリコンやゲルマニウムなどの半導体で形成されたトランジスタに比べて、オフ電流が著しく小さくすることが可能である。よって、上記トランジスタはスイッチ11として用いるのに好適である。このような半導体としては、例えば、シリコンの2倍以上の大きなバンドギャップを有する、酸化物半導体、窒化ガリウムなどが挙げられる。

【0034】

なお、特に断りがない限り、本明細書でオフ電流とは、遮断領域においてトランジスタのソースとドレイン間に流れる電流を意味する。

40

【0035】

上記構成を有するトランジスタを用いることで、スイッチ11が非導通状態のときに、トランジスタ12のゲートに接続されたノードFDに保持されている電荷がリークするのを防ぐことができる。そして、ノードFDに電荷が保持されることで、トランジスタ12の導通状態または非導通状態が保持されるので、配線DLの電位も保持される。

【0036】

また、セル14では、スイッチ11が非導通状態にあるときノードFDが、他の電極や配線との間における絶縁性が極めて高い浮遊状態になることから、以下に述べるブースティ

50

ング効果が期待できる。すなわち、セル14では、ノードFDが浮遊状態にあると、配線CLの電位がローレベルからハイレベルに変化するのに伴い、トランジスタ12のソースとゲートの間に形成される容量 C_{gs} により、ノードFDの電位が上昇する。そして、そのノードFDの電位の上昇幅は、トランジスタ12のゲートに入力されたコンフィギュレーションデータの論理レベルによって異なる。具体的に、セル14に入力されたコンフィギュレーションデータが"0"の場合、トランジスタ12は弱反転モードにあるため、ノードFDの電位の上昇に寄与する容量 C_{gs} には、ゲート電極の電位、すなわちノードFDの電位に依存しない容量 C_{os} が含まれる。具体的に、容量 C_{os} には、ゲート電極とソース領域とが重畳する領域に形成されるオーバーラップ容量と、ゲート電極とソース電極の間に形成される寄生容量などが含まれる。一方、セル14に書き込まれたコンフィギュレーションデータが"1"の場合、トランジスタ12は強反転モードにあるため、ノードFDの電位の上昇に寄与する容量 C_{gs} には、上述した容量 C_{os} に加えて、チャンネル形成領域とゲート電極の間に形成される容量 C_{ox} の一部が含まれる。したがって、コンフィギュレーションデータが"1"の場合、ノードFDの電位の上昇に寄与する容量 C_{gs} が、コンフィギュレーションデータが"0"の場合よりも大きいこととなる。よって、セル14では、コンフィギュレーションデータが"1"の場合の方が、コンフィギュレーションデータが"0"の場合よりも、配線CLの電位の変化に伴い、ノードFDの電位をより高く上昇させるというブースティング効果を得ることができる。よって、コンフィギュレーションデータが"1"の場合に、配線BLに入力されたコンフィギュレーションデータを含む信号の電位に対して、スイッチ11が有するトランジスタの閾値電圧分、ノードFDの電位が低下していたとしても、ブースティング効果によりノードFDの電位を上昇させることができるので、トランジスタ12の導通状態を確保することができ、セル14のスイッチ速度を向上させることができる。また、コンフィギュレーションデータが"0"の場合には、トランジスタ12の非導通状態を確保することができる。

【0037】

なお、トランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に電氣的に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、活性層として機能する半導体膜の一部であるドレイン領域、或いは上記半導体膜に電氣的に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

【0038】

トランジスタが有するソースとドレインは、トランジスタの導電型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャンネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、pチャンネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

【0039】

PLDの低消費電力化を図るために電源電圧を小さくすると、トランジスタのオン電流が小さくなるので、PLDの動作速度も低くなってしまふ。しかし、本発明の一態様では、PLDに供給する電源電圧を小さくすることで、トランジスタ12のゲートに入力される信号の電圧が小さくなくても、すなわち、当該ゲートに与えられる電位が低くなくても、上記ブースティング効果により、記憶装置10を正常に動作させることができる。

【0040】

なお、図1では、トランジスタ12のソース及びドレインの一方が配線CLに接続されており、トランジスタ12のソース及びドレインの他方が、スイッチ13を介して配線DLに接続されている場合を例示している。本発明の一態様では、トランジスタ12のソース及びドレインの一方がスイッチ13を介して配線CLに接続され、トランジスタ12のソ

10

20

30

40

50

ース及びドレインの他方が配線DLに接続されていても良い。

【0041】

また、配線DLや配線BLの電位は、PLDの電源が切断された後に不定状態となりやすい。また、PLDの電源が切断されている期間が長すぎると、記憶装置10に保持されているコンフィギュレーションデータが消失することがある。この場合、PLDに電源が投入されると、配線DLと配線BLとが記憶装置10を介して導通状態になり、配線DLと配線BLとで電位が異なる場合、これらの配線に大量の電流が流れることがある。しかし、本発明の一態様では、上述したように、配線DLの電位を初期化することができるので、配線DLと配線BLの間に大量に電流が流れるのを防ぐことができる。それにより、PLDの破損が引き起こされるのを、防ぐことができる。

10

【0042】

また、PLDに電源が投入された直後は、論理ブロックの入力端子が、ハイレベルとローレベルの間の中間電位になってしまう場合がある。中間電位が論理ブロックの入力端子に入力されると、論理ブロックの有するCMOS回路において貫通電流が生じやすい。しかし、本発明の一態様では、上述したように、配線DLの電位を初期化することができるので、電源が投入された直後において入力端子が中間電位になるのを防ぐことができ、よって、上記貫通電流が生じるのを防ぐことができる。

【0043】

さらに、本発明の一態様に係るPLDでは、PLDに電源が投入され、配線DLの電位を初期化した後、記憶装置10が有する全てのセル14においてスイッチ13が非導通状態となるようなコンフィギュレーションデータを、コンフィギュレーションメモリに書き込むようにしても良い。上記構成により、配線DLと複数の配線BLとを電氣的に分離させることができるので、記憶装置10を介して配線DLと複数の配線BLとで電位が異なる場合、これらの配線に大量の電流が流れるのを防ぐことができる。それにより、PLDの破損が引き起こされるのを、防ぐことができる。

20

【0044】

また、図2に、図1に示した記憶装置10に電氣的に接続された配線DLの電位に従って、複数の論理ブロック15間の電氣的な接続が制御される、PLDの構成例を示す。

【0045】

図2では、記憶装置10と、記憶装置10に電氣的に接続された配線DLの電位に従って、導通状態または非導通状態が選択されるスイッチ18と、スイッチ18により互いの電氣的な接続が制御される論理ブロック15-1及び論理ブロック15-2が図示されている。論理ブロック15-1及び論理ブロック15-2は、複数の論理ブロック15の一例に相当する。

30

【0046】

具体的に、スイッチ18が配線DLの電位に従って導通状態になると、論理ブロック15-1と論理ブロック15-2とは電氣的に接続され、スイッチ18が配線DLの電位に従って非導通状態になると、論理ブロック15-1と論理ブロック15-2とは電氣的に分離される。

【0047】

よって、記憶装置10に保持されているコンフィギュレーションデータに従って、論理ブロック15-1と論理ブロック15-2の電氣的な接続を制御することができる。

40

【0048】

記憶装置の動作例

次いで、図1または図2に示す記憶装置10の動作例について説明する。図3に、記憶装置10の動作を模式的に示す。

【0049】

まず、図3(A)に示すように、配線WLにハイレベル(H)の電位が入力されることでスイッチ11が導通状態になり、配線CLにローレベル(L)の電位が入力されることで、スイッチ13が非導通状態になる。そして、配線BLにコンフィギュレーションデータ

50

を含む信号 (Data) が入力されると、当該信号はスイッチ 11 を介してノード FD に入力される。

【0050】

なお、コンフィギュレーションデータを含む信号 (Data) の論理レベルが "1" であり、当該信号の電位がハイレベル (H) である場合、上記ハイレベル (H) の電位がノード FD に入力される。ただし、この場合、ノード FD に実際に入力される電位は、配線 BL の電位よりもスイッチ 11 が有するトランジスタの閾値電圧分低下している。また、コンフィギュレーションデータを含む信号 (Data) の論理レベルが "0" であり、当該信号の電位がローレベル (L) である場合、上記ローレベル (L) の電位がノード FD に入力される。

10

【0051】

また、図 3 (A) では、信号 INIT の電位がローレベル (L) となり、スイッチ 17 は非導通状態となる。

【0052】

次いで、図 3 (B) に示すように、配線 WL にローレベル (L) の電位が入力されることでスイッチ 11 が非導通状態になる。よって、ノード FD は浮遊状態になり、コンフィギュレーションデータを含む信号 (Data) はノード FD において保持される。また、配線 CL にローレベル (L) の電位が入力されることで、スイッチ 13 は非導通状態を維持する。

【0053】

また、図 3 (B) では、信号 INIT の電位がハイレベル (H) となり、スイッチ 17 は導通状態となる。そして、配線 16 にはローレベルの電位 (L) が入力されており、当該ローレベルの電位 (L) は、スイッチ 17 を介して配線 DL に入力される。

20

【0054】

次いで、図 3 (C) に示すように、配線 WL にローレベル (L) の電位が入力されることでスイッチ 11 は非導通状態を維持する。よって、ノード FD は浮遊状態を維持し、コンフィギュレーションデータを含む信号 (Data) はノード FD において保持されたままである。また、配線 CL にハイレベル (H) の電位が入力されることで、スイッチ 13 は導通状態になる。

【0055】

また、図 3 (C) では、信号 INIT の電位がローレベル (L) となり、スイッチ 17 は非導通状態となる。

30

【0056】

なお、図 3 (C) では、ノード FD に保持されている信号のコンフィギュレーションデータが、"1" の論理レベルを有する場合を例示している。"1" の論理レベルを有するコンフィギュレーションデータを含む信号 (Data1) がノード FD に保持されている場合の、ノード FD の電位と、配線 CL の電位と、配線 DL の電位の変化を、図 4 (A) に示す。コンフィギュレーションデータが、"1" の論理レベルを有する場合、トランジスタ 12 は強反転モードにあり、なおかつノード FD は浮遊状態にある。よって、図 3 (A) において、ノード FD に実際に入力された電位が、配線 BL の電位よりもスイッチ 11 が有するトランジスタの閾値電圧分低下していたとしても、図 4 (A) に示すように、ブースティング効果により、配線 CL の電位がローレベル (L) からハイレベル (H) に変化するのに伴い、ノード FD の電位は上昇する。よって、トランジスタ 12 は導通状態となり、スイッチ 13 及びトランジスタ 12 を介して、配線 CL に入力されているハイレベル (H) の電位が、配線 DL に入力される。

40

【0057】

また、配線 WL にローレベル (L) の電位が入力され、配線 CL にハイレベル (H) の電位が入力され、信号 INIT の電位がローレベル (L) である点において図 3 (C) と同様であるが、ノード FD に保持されている信号のコンフィギュレーションデータが、"0" の論理レベルを有する点において図 3 (C) と異なる場合の、記憶装置 10 の動作を図

50

3 (D) に模式的に示す。

【 0 0 5 8 】

図 4 (B) に、 " 0 " の論理レベルを有するコンフィギュレーションデータを含む信号 (Data 0) がノード F D に保持されている場合の、ノード F D の電位と、配線 C L の電位と、配線 D L の電位の変化を示す。図 4 (B) に示すように、コンフィギュレーションデータが、 " 0 " の論理レベルを有する場合、ノード F D は浮遊状態にあるので、ブースティング効果により、配線 C L の電位がローレベル (L) からハイレベル (H) に変化するのに伴い、ノード F D の電位が上昇する。ただし、トランジスタ 1 2 は弱反転モードであることから、図 4 (A) に示した、トランジスタ 1 2 が強反転モードである場合に比べて、ノード F D の電位の上昇幅は小さい。そのため、図 3 (D) では、トランジスタ 1 2 は非導通状態を維持するので、配線 C L に入力されているハイレベル (H) の電位は、配線 D L に入力されない。よって、配線 D L はローレベル (L) の電位を維持する。

10

【 0 0 5 9 】

記憶装置の具体的な構成例

次いで、図 1 に示した記憶装置 1 0 の、より具体的な構成例を図 5 に示す。

【 0 0 6 0 】

図 5 に示す記憶装置 1 0 は、スイッチ 1 1 として機能するトランジスタ 1 1 t と、トランジスタ 1 2 と、スイッチ 1 3 として機能するトランジスタ 1 3 t とを、少なくとも有するセル 1 4 を、複数有する。図 5 では、記憶装置 1 0 が、セル 1 4 - 1 乃至セル 1 4 - n で示される複数のセル 1 4 を、有する場合を例示している。

20

【 0 0 6 1 】

トランジスタ 1 1 t のゲートは、配線 W L 1 乃至配線 W L n で示される複数の配線 W L の一つに接続されている。また、トランジスタ 1 1 t は、ソース及びドレインの一方が配線 B L に接続されており、ソース及びドレインの他方がトランジスタ 1 2 のゲートに接続されている。トランジスタ 1 2 は、ソース及びドレインの一方が、配線 C L 1 乃至配線 C L n で示される複数の配線 C L の一つに接続されており、ソース及びドレインの他方が、トランジスタ 1 3 t のソース及びドレインの一方に接続されている。また、トランジスタ 1 3 t のゲートは、上記配線 C L の一つに接続されている。トランジスタ 1 3 t のソース及びドレインの他方は、配線 D L に接続されている。

【 0 0 6 2 】

なお、トランジスタ 1 3 t は、トランジスタ 1 2 と配線 C L の間に設けられていても良い。この場合、具体的には、トランジスタ 1 3 t のソース及びドレインの一方が配線 C L 1 乃至配線 C L n で示される複数の配線 C L の一つに接続され、トランジスタ 1 3 t のソース及びドレインの他方がトランジスタ 1 2 のソース及びドレインの一方に接続される。また、トランジスタ 1 2 のソース及びドレインの他方は、配線 D L に接続される。

30

【 0 0 6 3 】

また、図 5 では、配線 D L にラッチ 1 9 が接続されている場合を例示している。ラッチ 1 9 は、配線 D L の電位を、ハイレベルかローレベルのいずれか一方に保つ機能を有する。

【 0 0 6 4 】

図 8 に、ラッチ 1 9 の構成を一例として示す。図 8 に示すラッチ 1 9 は、インバータ 1 8 3 と、pチャネル型のトランジスタ 1 8 4 とを有する。インバータ 1 8 3 の入力端子は配線 D L に電氣的に接続され、インバータ 1 8 3 の出力端子はトランジスタ 1 8 4 のゲートに電氣的に接続されている。トランジスタ 1 8 4 のソース及びドレインは、一方が、配線 1 6 よりも高い電位が与えられている配線 1 8 5 に電氣的に接続され、他方が、配線 D L に電氣的に接続されている。

40

【 0 0 6 5 】

本発明の一態様では、上記構成を有するラッチ 1 9 を配線 D L に電氣的に接続させることによって、P L D に電源が投入された後に、配線 D L の電位をハイレベルかローレベルのいずれか一方に保つことができるので、中間の電位が配線 D L に与えられることで、配線 D L にその入力端子が接続された論理ブロック 1 5 に、貫通電流が生じるのを防ぐことが

50

できる。

【 0 0 6 6 】

また、図 6 に、図 5 に示した記憶装置 1 0 に電氣的に接続された配線 D L の電位に従って、複数の論理ブロック 1 5 間の電氣的な接続が制御される、P L D の構成例を示す。

【 0 0 6 7 】

図 6 では、記憶装置 1 0 と、記憶装置 1 0 に電氣的に接続された配線 D L の電位に従って、導通状態または非導通状態が選択されるスイッチ 1 8 として機能するトランジスタ 1 8 t と、トランジスタ 1 8 t により互いの電氣的な接続が制御される論理ブロック 1 5 - 1 及び論理ブロック 1 5 - 2 が図示されている。

【 0 0 6 8 】

記憶装置の具体的な動作例

次いで、図 6 に示す記憶装置 1 0 の動作例について、図 7 に示すタイミングチャートを用いて説明する。

【 0 0 6 9 】

まず、期間 T 1 において、配線 W L 1 乃至配線 W L n と、配線 B L と、配線 C L 1 乃至配線 C L n の電位を全てローレベルにした状態において、信号 I N I T の電位をハイレベルにすることで、トランジスタ 1 7 t を導通状態にする。よって、トランジスタ 1 7 t を介して配線 1 6 の電位が配線 D L に入力され、配線 D L はローレベルの電位に初期化される。よって、トランジスタ 1 8 t は非導通状態 (O F F) となり、論理ブロック 1 5 - 1 と論理ブロック 1 5 - 2 とは電氣的に分離される。

【 0 0 7 0 】

P L D に電源が投入された直後、記憶装置 1 0 にコンフィギュレーションデータの書き込みを行う前に期間 T 1 の動作を行うことで、配線 D L と配線 B L の間に大量に電流が流れるのを防ぐことができ、それにより、P L D の破損が引き起こされるのを、防ぐことができる。

【 0 0 7 1 】

期間 T 1 が終了したら、信号 I N I T の電位をローレベルにし、トランジスタ 1 7 t を非導通状態にする。

【 0 0 7 2 】

次いで、コンフィギュレーションデータの書き込みを行う。具体的には、期間 T 2 において、配線 W L 1 の電位をハイレベルとすることで、セル 1 4 - 1 が有するトランジスタ 1 1 t を導通状態にする。なお、配線 W L 1 以外の全ての配線 W L の電位はローレベル、信号 I N I T の電位はローレベル、配線 C L 1 乃至配線 C L n の電位はローレベルの状態を維持する。

【 0 0 7 3 】

そして、期間 T 2 において、配線 B L には、論理レベルが " 0 " のコンフィギュレーションデータを含む、電位がローレベルの信号が入力される。そして、上記ローレベルの電位は、トランジスタ 1 1 t を介してセル 1 4 - 1 のノード F D に入力される。

【 0 0 7 4 】

期間 T 2 が終了したら、配線 W L 1 の電位をローレベルにし、セル 1 4 - 1 が有するトランジスタ 1 1 t を非導通状態にする。よって、ノード F D に入力されたコンフィギュレーションデータは、ノード F D において保持される。

【 0 0 7 5 】

次いで、期間 T 3 において、配線 W L 2 の電位をハイレベルとすることで、セル 1 4 - 2 が有するトランジスタ 1 1 t を導通状態にする。なお、配線 W L 2 以外の全ての配線 W L の電位はローレベル、信号 I N I T の電位はローレベル、配線 C L 1 乃至配線 C L n の電位はローレベルの状態を維持する。

【 0 0 7 6 】

そして、期間 T 3 において、配線 B L には、論理レベルが " 1 " のコンフィギュレーションデータを含む、電位がハイレベルの信号が入力される。そして、上記ハイレベルの電位

10

20

30

40

50

は、トランジスタ 11 t を介してセル 14 - 2 のノード F D に入力される。

【 0 0 7 7 】

期間 T 3 が終了したら、配線 W L 2 の電位をローレベルにし、セル 14 - 2 が有するトランジスタ 11 t を非導通状態にする。よって、ノード F D に入力されたコンフィギュレーションデータは、ノード F D において保持される。

【 0 0 7 8 】

次いで、期間 T 3 終了後、期間 T 4 開始前までは、配線 W L 3 乃至配線 W L n の電位を順にハイレベルにすることで、期間 T 2 及び期間 T 3 と同様に、セル 14 - 3 乃至セル 14 - n のノード F D にコンフィギュレーションデータを含む信号を順に入力し、保持する。期間 T 2 乃至期間 T 4 までの上記動作により、全てのセル 14 にコンフィギュレーションデータが書き込まれる。

10

【 0 0 7 9 】

次いで、コンフィギュレーションデータに従って P L D のコンフィギュレーションを行う前に、期間 T 5 において、配線 D L をローレベルの電位に初期化する。具体的には、期間 T 5 において、配線 W L 1 乃至配線 W L n と、配線 B L と、配線 C L 1 乃至配線 C L n の電位を全てローレベルにした状態において、信号 I N I T の電位をハイレベルにすることで、トランジスタ 17 t を導通状態にする。上記動作により、トランジスタ 17 t を介して配線 16 の電位が配線 D L に入力され、配線 D L はローレベルの電位に初期化される。

【 0 0 8 0 】

次いで、期間 T 6 において、セル 14 - 2 のノード F D に保持されているコンフィギュレーションデータに従って、コンフィギュレーションを行う。具体的に、期間 T 6 では、配線 C L 2 の電位をハイレベルとすることで、セル 14 - 2 のトランジスタ 13 t を導通状態にする。セル 14 - 2 では、論理レベルが " 1 " のコンフィギュレーションデータがノード F D に保持されているので、配線 C L 2 の電位がハイレベルとなることで、導通状態であるトランジスタ 12 及びトランジスタ 13 t を介して、上記ハイレベルの電位が配線 D L に入力される。よって、トランジスタ 18 t は導通状態 (O N) となり、論理ブロック 15 - 1 と論理ブロック 15 - 2 とが電氣的に接続される。

20

【 0 0 8 1 】

なお、期間 T 6 では、配線 C L 2 以外の全ての配線 C L の電位はローレベル、信号 I N I T の電位はローレベル、配線 W L 1 乃至配線 W L n の電位はローレベルの状態を維持する。

30

【 0 0 8 2 】

期間 T 6 が終了したら、配線 C L 2 の電位をローレベルにし、セル 14 - 2 が有するトランジスタ 13 t を非導通状態にする。よって、トランジスタ 18 t のゲートの電位は保持され、トランジスタ 18 t は導通状態 (O N) を維持する。

【 0 0 8 3 】

次いで、コンフィギュレーションデータに従って 2 回目のコンフィギュレーションを行う前に、期間 T 7 において、配線 D L をローレベルの電位に初期化する。具体的には、期間 T 7 において、配線 W L 1 乃至配線 W L n と、配線 B L と、配線 C L 1 乃至配線 C L n の電位を全てローレベルにした状態において、信号 I N I T の電位をハイレベルにすることで、トランジスタ 17 t を導通状態にする。上記動作により、トランジスタ 17 t を介して配線 16 の電位が配線 D L に入力され、配線 D L はローレベルの電位に初期化される。よって、トランジスタ 18 t は非導通状態 (O F F) となり、論理ブロック 15 - 1 と論理ブロック 15 - 2 とは電氣的に分離される。

40

【 0 0 8 4 】

次いで、期間 T 8 において、セル 14 - 1 のノード F D に保持されているコンフィギュレーションデータに従って、2 回目のコンフィギュレーションを行う。具体的に、期間 T 8 では、配線 C L 1 の電位をハイレベルとすることで、セル 14 - 1 のトランジスタ 13 t を導通状態にする。そして、セル 14 - 1 では、論理レベルが " 0 " のコンフィギュレーションデータがノード F D に保持されているので、配線 C L 1 の電位がハイレベルとなり

50

トランジスタ13tが導通状態となっても、トランジスタ12は非導通状態である。よって、配線CL1のハイレベルの電位は、配線DLに入力されず、トランジスタ18tは非導通状態(OFF)を維持するため、論理ブロック15-1と論理ブロック15-2も、電氣的に分離された状態を維持する。

【0085】

なお、期間T8では、配線CL1以外の全ての配線CLの電位はローレベル、信号INITの電位はローレベル、配線WL1乃至配線WLnの電位はローレベルの状態を維持する。

【0086】

期間T8が終了したら、配線CL1の電位をローレベルにし、セル14-1が有するトランジスタ13tを非導通状態にする。よって、トランジスタ18tのゲートの電位は保持され、トランジスタ18tは非導通状態(OFF)を維持する。

10

【0087】

次いで、期間T9において、論理ブロック15-1と論理ブロック15-2の接続の状態を維持したまま、一部のセル14に再度コンフィギュレーションデータを書き込む。具体的には、期間T9において、配線WL1の電位をハイレベルとすることで、セル14-1が有するトランジスタ11tを導通状態にする。なお、配線WL1以外の全ての配線WLの電位はローレベル、信号INITの電位はローレベル、配線CL1乃至配線CLnの電位はローレベルの状態を維持する。

【0088】

そして、期間T9において、配線BLには、論理レベルが"1"のコンフィギュレーションデータを含む、電位がハイレベルの信号が入力される。そして、上記ハイレベルの電位は、トランジスタ11tを介してセル14-1のノードFDに入力される。

20

【0089】

期間T9が終了したら、配線WL1の電位をローレベルにし、セル14-1が有するトランジスタ11tを非導通状態にする。よって、ノードFDに入力されたコンフィギュレーションデータは、ノードFDにおいて保持される。

【0090】

次いで、コンフィギュレーションデータに従って3回目のコンフィギュレーションを行う前に、期間T10において、配線DLをローレベルの電位に初期化する。具体的には、期間T10において、配線WL1乃至配線WLnと、配線BLと、配線CL1乃至配線CLnの電位を全てローレベルにした状態において、信号INITの電位をハイレベルにすることで、トランジスタ17tを導通状態にする。上記動作により、トランジスタ17tを介して配線16の電位が配線DLに入力され、配線DLはローレベルの電位に初期化される。

30

【0091】

次いで、期間T11において、セル14-1のノードFDに保持されているコンフィギュレーションデータに従って、3回目のコンフィギュレーションを行う。具体的には、期間T11では、配線CL1の電位をハイレベルとすることで、セル14-1のトランジスタ13tを導通状態にする。セル14-1では、論理レベルが"1"のコンフィギュレーションデータがノードFDに保持されているので、配線CL1の電位がハイレベルとなることで、導通状態であるトランジスタ12及びトランジスタ13tを介して、上記ハイレベルの電位が配線DLに入力される。よって、トランジスタ18tは導通状態(ON)となり、論理ブロック15-1と論理ブロック15-2とが電氣的に接続される。

40

【0092】

なお、期間T11では、配線CL1以外の全ての配線CLの電位はローレベル、信号INITの電位はローレベル、配線WL1乃至配線WLnの電位はローレベルの状態を維持する。

【0093】

期間T11が終了したら、配線CL1の電位をローレベルにし、セル14-1が有するト

50

ランジスタ 13 t を非導通状態にする。よって、トランジスタ 18 t のゲートの電位は保持され、トランジスタ 18 t は導通状態 (ON) を維持する。

【0094】

なお、トランジスタ 18 t は、全ての配線 CL の電位がローレベルであるとき、そのゲートが、他の電極や配線との間における絶縁性が極めて高い浮遊状態になる。そのため、コンフィギュレーションデータが " 1 " の場合に、トランジスタ 12 及びトランジスタ 13 t の閾値電圧分、トランジスタ 18 t のゲートの電位が低下していたとしても、ブースティング効果によりトランジスタ 18 t のゲートの電位を上昇させることができる。よって、トランジスタ 18 t の導通状態を確保することができ、トランジスタ 18 t のスイッチ速度を向上させることができる。また、コンフィギュレーションデータが " 0 " の場合には、トランジスタ 18 t の非導通状態を確保することができる。

10

【0095】

論理ブロックの構成例

図 9 (A) に、論理ブロック (LB) 15 の一形態を例示する。図 9 (A) に示す論理ブロック 15 は、LUT (ルックアップテーブル) 160 と、フリップフロップ 161 と、記憶装置 10 と、を有する。LUT 160 は、記憶装置 10 が有するコンフィギュレーションデータに従って、行われる論理演算が定義される。具体的に LUT 160 は、入力端子 163 に与えられた複数の入力信号の入力値に対する、一の出力値が定まる。そして、LUT 160 からは、上記出力値を含む信号が出力される。フリップフロップ 161 は、LUT 160 から出力される信号を保持し、クロック信号 CLK に同期して当該信号に対応した出力信号を、第 1 出力端子 164 及び第 2 出力端子 165 から出力する。

20

【0096】

なお、論理ブロック 15 がさらにマルチプレクサ回路を有し、当該マルチプレクサ回路によって、LUT 160 からの出力信号がフリップフロップ 161 を経由するか否かを選択できるようにしても良い。

【0097】

また、コンフィギュレーションデータによって、フリップフロップ 161 の種類を定義できる構成にしても良い。具体的には、コンフィギュレーションデータによって、フリップフロップ 161 が D 型フリップフロップ、T 型フリップフロップ、JK 型フリップフロップ、または RS 型フリップフロップのいずれかの機能を有するようにしても良い。

30

【0098】

また、図 9 (B) に、論理ブロック 15 の別の形態を例示する。図 9 (B) に示す論理ブロック 15 は、図 9 (A) に示した論理ブロック 15 に、AND 回路 166 が追加された構成を有している。AND 回路 166 には、フリップフロップ 161 からの信号が、正論理の入力として与えられ、図 1 に示した配線 DL の電位を初期化するための信号 INIT が、負論理の入力として与えられている。上記構成により、信号 INIT に従って配線 DL の電位が初期化される際に、論理ブロック 15 からの出力信号が供給される配線を、配線 16 と同じローレベルの電位に初期化することができる。よって、図 1 に示した、論理ブロック 15 間で大量の電流が流れることを未然に防ぎ、PLD の破損が引き起こされるのを防ぐことができる。

40

【0099】

また、図 9 (C) に、論理ブロック 15 の別の形態を例示する。図 9 (C) に示す論理ブロック 15 は、図 9 (A) に示した論理ブロック 15 に、マルチプレクサ 168 が追加された構成を有している。また、図 9 (C) に示す論理ブロック 15 は、記憶装置 10 a 及び記憶装置 10 b で示される二つの記憶装置 10 を有する。LUT 160 は、記憶装置 10 a が有するコンフィギュレーションデータに従って、行われる論理演算が定義される。また、マルチプレクサ 168 は、LUT 160 からの出力信号と、フリップフロップ 161 からの出力信号とが入力されている。そして、マルチプレクサ 168 は、記憶装置 10 b に格納されているコンフィギュレーションデータに従って、上記 2 つの出力信号のいずれか一方を選択し、出力する機能を有する。マルチプレクサ 168 からの出力信号は、

50

第 1 出力端子 1 6 4 及び第 2 出力端子 1 6 5 から出力される。

【 0 1 0 0 】

PLD の構成例

図 1 0 (A) に PLD 3 0 の構造の一部を、一例として模式的に示す。図 1 0 (A) に示す PLD 3 0 は、複数の論理ブロック (L B) 1 5 と、複数の論理ブロック 1 5 のいずれかに接続された配線群 1 2 1 と、配線群 1 2 1 を構成する配線どうしの接続を制御するスイッチ回路 1 2 2 とを有する。配線群 1 2 1 及びスイッチ回路 1 2 2 が、配線リソース 1 2 3 に相当する。スイッチ回路 1 2 2 によって制御される配線どうしの接続構造は、図 1 に例示した記憶装置 1 0 が有するコンフィギュレーションデータによって定められる。

【 0 1 0 1 】

図 1 0 (B) に、スイッチ回路 1 2 2 の構成例を示す。図 1 0 (B) に示すスイッチ回路 1 2 2 は、配線群 1 2 1 に含まれる配線 1 2 5 と配線 1 2 6 の接続構造を制御する機能を有する。具体的に、スイッチ回路 1 2 2 は、トランジスタ 1 2 7 乃至トランジスタ 1 3 2 を有する。トランジスタ 1 2 7 は、配線 1 2 5 における P o i n t A と、配線 1 2 6 における P o i n t C の電気的な接続を制御する機能を有する。トランジスタ 1 2 8 は、配線 1 2 5 における P o i n t B と、配線 1 2 6 における P o i n t C の電気的な接続を制御する機能を有する。トランジスタ 1 2 9 は、配線 1 2 5 における P o i n t A と、配線 1 2 6 における P o i n t D の電気的な接続を制御する機能を有する。トランジスタ 1 3 0 は、配線 1 2 5 における P o i n t B と、配線 1 2 6 における P o i n t D の電気的な接続を制御する機能を有する。トランジスタ 1 3 1 は、配線 1 2 5 における P o i n t A と P o i n t B の電気的な接続を制御する機能を有する。トランジスタ 1 3 2 は、配線 1 2 6 における P o i n t C と P o i n t D の電気的な接続を制御する機能を有する。

【 0 1 0 2 】

そして、トランジスタ 1 2 7 乃至トランジスタ 1 3 2 の導通状態または非導通状態の選択 (スイッチング) は、記憶装置 1 0 が有するコンフィギュレーションデータにより定まる。具体的に、PLD 3 0 の場合、端子 1 1 0 からトランジスタ 1 2 7 乃至トランジスタ 1 3 2 のゲートに入力される信号の電位が、記憶装置 1 0 に接続された配線 DL の電位に従って定まる。すなわち、トランジスタ 1 2 7 乃至トランジスタ 1 3 2 は、図 2 で示すスイッチ 1 8 としての機能をそれぞれ有する。

【 0 1 0 3 】

また、スイッチ回路 1 2 2 は、配線群 1 2 1 と、PLD 3 0 の出力端子 1 2 4 の、電気的な接続を制御する機能を有する。

【 0 1 0 4 】

図 1 1 に、PLD 3 0 全体の構成を一例として示す。図 1 1 では、PLD 3 0 に、I / O エlement 1 4 0、PLL (p h a s e l o c k l o o p) 1 4 1、RAM 1 4 2、乗算器 1 4 3 が設けられている。I / O エlement 1 4 0 は、PLD 3 0 の外部回路からの信号の入力、または外部回路への信号の出力を制御する、インターフェースとしての機能を有する。PLL 1 4 1 は、信号 C K を生成する機能を有する。RAM 1 4 2 は、論理演算に用いられるデータを格納する機能を有する。乗算器 1 4 3 は、乗算専用の論理回路に相当する。PLD 3 0 に乗算を行う機能が含まれていれば、乗算器 1 4 3 は必ずしも設ける必要はない。

【 0 1 0 5 】

セルの断面構造の例

図 1 2 に、図 5 または図 6 に示したセル 1 4 が有する、トランジスタ 1 1 t、トランジスタ 1 2、及びトランジスタ 1 3 t の断面構造を、一例として示す。

【 0 1 0 6 】

また、本実施の形態では、酸化物半導体膜にチャネル形成領域を有するトランジスタ 1 1 t が、単結晶のシリコン基板にチャネル形成領域を有するトランジスタ 1 2 及びトランジスタ 1 3 t 上に形成されている場合を例示している。

【 0 1 0 7 】

10

20

30

40

50

なお、トランジスタ 1 2 またはトランジスタ 1 3 t は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜を活性層に用いることもできる。或いは、トランジスタ 1 2 またはトランジスタ 1 3 t は、酸化物半導体を活性層に用いても良い。全てのトランジスタが酸化物半導体を活性層に用いている場合、トランジスタ 1 1 t はトランジスタ 1 2 及びトランジスタ 1 3 t 上に積層されていなくとも良く、トランジスタ 1 1 t とトランジスタ 1 2 及びトランジスタ 1 3 t とは、同一の層に形成されていても良い。

【 0 1 0 8 】

薄膜のシリコンを用いてトランジスタ 1 2 またはトランジスタ 1 3 t を形成する場合、プラズマ CVD 法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

10

【 0 1 0 9 】

トランジスタ 1 2 及びトランジスタ 1 3 t が形成される半導体基板 4 0 0 は、例えば、n 型または p 型の導電性を有するシリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板、化合物半導体基板 (GaAs 基板、InP 基板、GaN 基板、SiC 基板、GaP 基板、GaInAsP 基板、ZnSe 基板等) 等を用いることができる。図 1 2 では、n 型の導電性を有する単結晶シリコン基板を用いた場合を例示している。

【 0 1 1 0 】

また、トランジスタ 1 2 及びトランジスタ 1 3 t は、素子分離用絶縁膜 4 0 1 により、他のトランジスタと、電氣的に分離されている。素子分離用絶縁膜 4 0 1 の形成には、選択酸化法 (LOCOS (Local Oxidation of Silicon) 法) またはトレンチ分離法等を用いることができる。

20

【 0 1 1 1 】

具体的に、トランジスタ 1 2 は、半導体基板 4 0 0 に形成された、ソース領域またはドレイン領域として機能する不純物領域 4 0 2 及び不純物領域 4 0 3 と、ゲート電極 4 0 4 と、半導体基板 4 0 0 とゲート電極 4 0 4 の間に設けられたゲート絶縁膜 4 0 7 とを有する。ゲート電極 4 0 4 は、ゲート絶縁膜 4 0 7 を間に挟んで、不純物領域 4 0 2 と不純物領域 4 0 3 の間に形成されるチャンネル形成領域と重なる。

30

【 0 1 1 2 】

また、トランジスタ 1 3 t は、半導体基板 4 0 0 に形成された、ソース領域またはドレイン領域として機能する不純物領域 4 0 3 及び不純物領域 4 0 5 と、ゲート電極 4 0 6 と、半導体基板 4 0 0 とゲート電極 4 0 6 の間に設けられたゲート絶縁膜 4 0 7 とを有する。ゲート電極 4 0 6 は、ゲート絶縁膜 4 0 7 を間に挟んで、不純物領域 4 0 3 と不純物領域 4 0 5 の間に形成されるチャンネル形成領域と重なる。

【 0 1 1 3 】

トランジスタ 1 2 及びトランジスタ 1 3 t 上には、絶縁膜 4 0 9 が設けられている。絶縁膜 4 0 9 には開口部が形成されている。そして、上記開口部には、不純物領域 4 0 2、不純物領域 4 0 5 にそれぞれ接する導電膜 4 1 0、導電膜 4 1 1 と、ゲート電極 4 0 4 に電氣的に接続されている導電膜 4 1 2 と、ゲート電極 4 0 6 に電氣的に接続されている導電膜 4 1 3 とが、形成されている。

40

【 0 1 1 4 】

そして、導電膜 4 1 0 は、絶縁膜 4 0 9 上に形成された導電膜 4 1 5 に電氣的に接続されており、導電膜 4 1 1 は、絶縁膜 4 0 9 上に形成された導電膜 4 1 6 に電氣的に接続されており、導電膜 4 1 2 は、絶縁膜 4 0 9 上に形成された導電膜 4 1 7 に電氣的に接続されており、導電膜 4 1 3 は、絶縁膜 4 0 9 上に形成された導電膜 4 1 5 に電氣的に接続されている。

【 0 1 1 5 】

導電膜 4 1 5 乃至導電膜 4 1 7 上には、絶縁膜 4 2 0 及び絶縁膜 4 2 1 が順に積層するよ

50

うに形成されている。絶縁膜 4 2 0 及び絶縁膜 4 2 1 には開口部が形成されており、上記開口部に、導電膜 4 1 5 に電氣的に接続された導電膜 4 2 2 と、導電膜 4 1 7 に電氣的に接続された導電膜 4 2 3 とが形成されている。

【 0 1 1 6 】

そして、図 1 2 では、絶縁膜 4 2 1 上にトランジスタ 1 1 t と、導電膜 4 4 0 とが形成されている。

【 0 1 1 7 】

トランジスタ 1 1 t は、絶縁膜 4 2 1 上に、酸化物半導体を含む半導体膜 4 3 0 と、半導体膜 4 3 0 上の、ソース電極またはドレイン電極として機能する導電膜 4 3 2 及び導電膜 4 3 3 と、半導体膜 4 3 0、導電膜 4 3 2 及び導電膜 4 3 3 上のゲート絶縁膜 4 3 1 と、ゲート絶縁膜 4 3 1 上に位置し、導電膜 4 3 2 と導電膜 4 3 3 の間において半導体膜 4 3 0 と重なっているゲート電極 4 3 4 と、を有する。なお、導電膜 4 3 3 は、導電膜 4 2 3 に電氣的に接続されている。

10

【 0 1 1 8 】

また、導電膜 4 4 0 は導電膜 4 2 2 に電氣的に接続されている。

【 0 1 1 9 】

そして、トランジスタ 1 1 t、導電膜 4 4 0 上に、絶縁膜 4 4 1 及び絶縁膜 4 4 2 が順に積層するように設けられている。絶縁膜 4 4 1 及び絶縁膜 4 4 2 には開口部が設けられており、上記開口部においてゲート電極 4 3 4 に接する導電膜 4 4 3 が、絶縁膜 4 4 2 上に設けられている。

20

【 0 1 2 0 】

なお、図 1 2 において、トランジスタ 1 1 t は、ゲート電極 4 3 4 を半導体膜 4 3 0 の片側において少なくとも有していれば良いが、半導体膜 4 3 0 を間に挟んで存在する一対のゲート電極を有していても良い。

【 0 1 2 1 】

トランジスタ 1 1 t が、半導体膜 4 3 0 を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他から与えられている状態であっても良い。この場合、一対の電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

30

【 0 1 2 2 】

また、図 1 2 では、トランジスタ 1 1 t が、一のゲート電極 4 3 4 に対応した一のチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ 1 1 t は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャネル形成領域を複数有する、マルチゲート構造であっても良い。

【 0 1 2 3 】

半導体膜について

なお、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体（*purified Oxide Semiconductor*）は、*i* 型（真性半導体）又は *i* 型に限りなく近い。そのため、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。

40

【 0 1 2 4 】

具体的に、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1V から 10V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{A}$ 以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{zA} / \mu\text{m}$ 以下で

50

あることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が3Vの場合に、数十 $\mu\text{A}/\mu\text{m}$ という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

【0125】

なお、半導体膜として酸化物半導体膜を用いる場合、酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。また、スタビライザーとしてジルコニウム(Zr)を含むことが好ましい。

10

【0126】

酸化物半導体の中でもIn-Ga-Zn系酸化物、In-Sn-Zn系酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、上記In-Ga-Zn系酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

20

【0127】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種または複数種を含んでいてもよい。

【0128】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Ce-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

30

40

【0129】

なお、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでいてもよい。In-Ga-Zn系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

【0130】

例えば、In:Ga:Zn=1:1:1(=1/3:1/3:1/3)あるいはIn:G

50

a : Z n = 2 : 2 : 1 (= 2 / 5 : 2 / 5 : 1 / 5) の原子比の I n - G a - Z n 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、I n : S n : Z n = 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3) 、 I n : S n : Z n = 2 : 1 : 3 (= 1 / 3 : 1 / 6 : 1 / 2) あるいは I n : S n : Z n = 2 : 1 : 5 (= 1 / 4 : 1 / 8 : 5 / 8) の原子比の I n - S n - Z n 系酸化物やその組成の近傍の酸化物を用いるとよい。

【 0 1 3 1 】

例えば、I n - S n - Z n 系酸化物では比較的容易に高い移動度が得られる。しかしながら、I n - G a - Z n 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【 0 1 3 2 】

以下では、酸化物半導体膜の構造について説明する。

【 0 1 3 3 】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、C A A C - O S (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 膜などをいう。

【 0 1 3 4 】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

【 0 1 3 5 】

微結晶酸化物半導体膜は、例えば、1 n m 以上 1 0 n m 未満の大きさの微結晶 (ナノ結晶ともいう。) を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【 0 1 3 6 】

C A A C - O S 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が 1 0 0 n m 未満の立方体内に収まる大きさである。従って、C A A C - O S 膜に含まれる結晶部は、一辺が 1 0 n m 未満、5 n m 未満または 3 n m 未満の立方体内に収まる大きさの場合も含まれる。C A A C - O S 膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、C A A C - O S 膜について詳細な説明を行う。

【 0 1 3 7 】

C A A C - O S 膜を透過型電子顕微鏡 (T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e) によって観察すると、結晶部同士の明確な境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【 0 1 3 8 】

本明細書において、「平行」とは、二つの直線が - 1 0 ° 以上 1 0 ° 以下の角度で配置されている状態をいう。従って、- 5 ° 以上 5 ° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 8 0 ° 以上 1 0 0 ° 以下の角度で配置されている状態をいう。従って、8 5 ° 以上 9 5 ° 以下の場合も含まれる。

【 0 1 3 9 】

C A A C - O S 膜を、試料面と概略平行な方向から T E M によって観察 (断面 T E M 観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

【 0 1 4 0 】

一方、C A A C - O S 膜を、試料面と概略垂直な方向から T E M によって観察 (平面 T E M 観察) すると、結晶部において、金属原子が三角形状または六角形状に配列しているこ

10

20

30

40

50

とを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0141】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0142】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

10

【0143】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(110)面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2θを56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

20

【0144】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0145】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

30

【0146】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなる場合がある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0147】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピーク他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

40

【0148】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0149】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0150】

50

電子機器の例

本発明の一態様に係る半導体装置またはプログラブルロジックデバイスは、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置またはプログラブルロジックデバイスを用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図13に示す。

10

【0151】

図13（A）は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。なお、図13（A）に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0152】

図13（B）は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602の間の角度は、接続部5605により変更が可能である。第1表示部5603における映像を、接続部5605における第1筐体5601と第2筐体5602との間の角度に従って、切り替える構成としても良い。また、第1表示部5603及び第2表示部5604の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

20

30

【0153】

図13（C）はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。

【0154】

図13（D）は電気冷凍冷蔵庫であり、筐体5301、冷蔵室用扉5302、冷凍室用扉5303等を有する。

【0155】

図13（E）はビデオカメラであり、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。操作キー5804及びレンズ5805は第1筐体5801に設けられており、表示部5803は第2筐体5802に設けられている。そして、第1筐体5801と第2筐体5802とは、接続部5806により接続されており、第1筐体5801と第2筐体5802の間の角度は、接続部5806により変更が可能である。表示部5803における映像を、接続部5806における第1筐体5801と第2筐体5802との間の角度に従って切り替える構成としても良い。

40

【0156】

図13（F）は普通自動車であり、車体5101、車輪5102、ダッシュボード5103、ライト5104等を有する。

【符号の説明】

【0157】

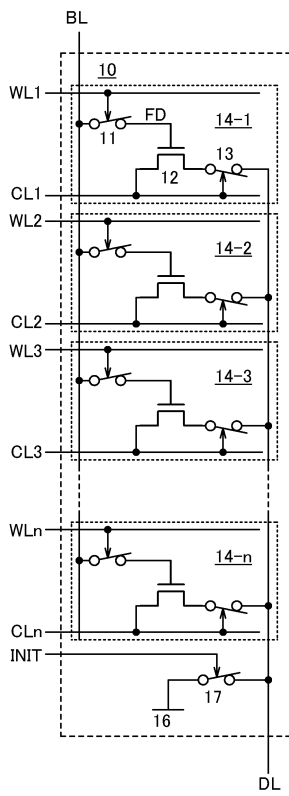
50

1 0	記憶装置	
1 0 a	記憶装置	
1 0 b	記憶装置	
1 1	スイッチ	
1 1 t	トランジスタ	
1 2	トランジスタ	
1 3	スイッチ	
1 3 t	トランジスタ	
1 4	セル	
1 4 - n	セル	10
1 4 - 1	セル	
1 4 - 2	セル	
1 4 - 3	セル	
1 5	論理ブロック	
1 5 - 1	論理ブロック	
1 5 - 2	論理ブロック	
1 6	配線	
1 7	スイッチ	
1 7 t	トランジスタ	
1 8	スイッチ	20
1 8 t	トランジスタ	
1 9	ラッチ	
3 0	P L D	
1 2 1	配線群	
1 2 2	スイッチ回路	
1 2 3	配線リソース	
1 2 4	出力端子	
1 2 5	配線	
1 2 6	配線	
1 2 7	トランジスタ	30
1 2 8	トランジスタ	
1 2 9	トランジスタ	
1 3 0	トランジスタ	
1 3 1	トランジスタ	
1 3 2	トランジスタ	
1 4 0	I / Oエレメント	
1 4 1	P L L	
1 4 2	R A M	
1 4 3	乗算器	
1 6 0	L U T	40
1 6 1	フリップフロップ	
1 6 3	入力端子	
1 6 4	出力端子	
1 6 5	出力端子	
1 6 6	A N D回路	
1 6 8	マルチプレクサ	
1 8 3	インバータ	
1 8 4	トランジスタ	
1 8 5	配線	
4 0 0	半導体基板	50

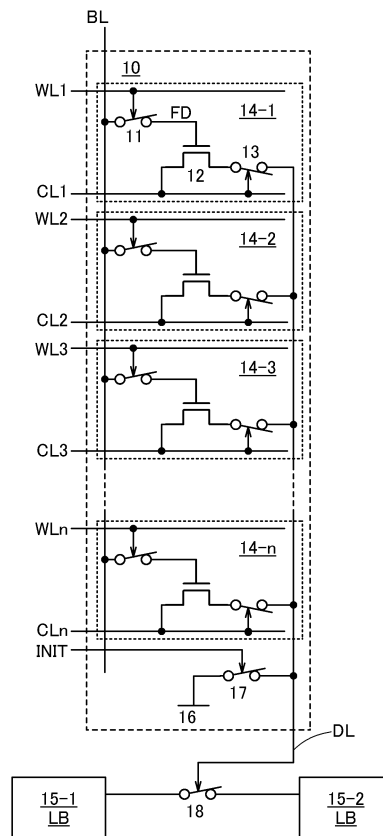
4 0 1	素子分離用絶縁膜	
4 0 2	不純物領域	
4 0 3	不純物領域	
4 0 4	ゲート電極	
4 0 5	不純物領域	
4 0 6	ゲート電極	
4 0 7	ゲート絶縁膜	
4 0 9	絶縁膜	
4 1 0	導電膜	
4 1 1	導電膜	10
4 1 2	導電膜	
4 1 3	導電膜	
4 1 5	導電膜	
4 1 6	導電膜	
4 1 7	導電膜	
4 2 0	絶縁膜	
4 2 1	絶縁膜	
4 2 2	導電膜	
4 2 3	導電膜	
4 3 0	半導体膜	20
4 3 1	ゲート絶縁膜	
4 3 2	導電膜	
4 3 3	導電膜	
4 3 4	ゲート電極	
4 4 0	導電膜	
4 4 1	絶縁膜	
4 4 2	絶縁膜	
4 4 3	導電膜	
5 0 0 1	筐体	
5 0 0 2	筐体	30
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 1 0 1	車体	
5 1 0 2	車輪	
5 1 0 3	ダッシュボード	
5 1 0 4	ライト	40
5 3 0 1	筐体	
5 3 0 2	冷蔵室用扉	
5 3 0 3	冷凍室用扉	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	50

- 5 6 0 4 表示部
- 5 6 0 5 接続部
- 5 6 0 6 操作キー
- 5 8 0 1 筐体
- 5 8 0 2 筐体
- 5 8 0 3 表示部
- 5 8 0 4 操作キー
- 5 8 0 5 レンズ
- 5 8 0 6 接続部

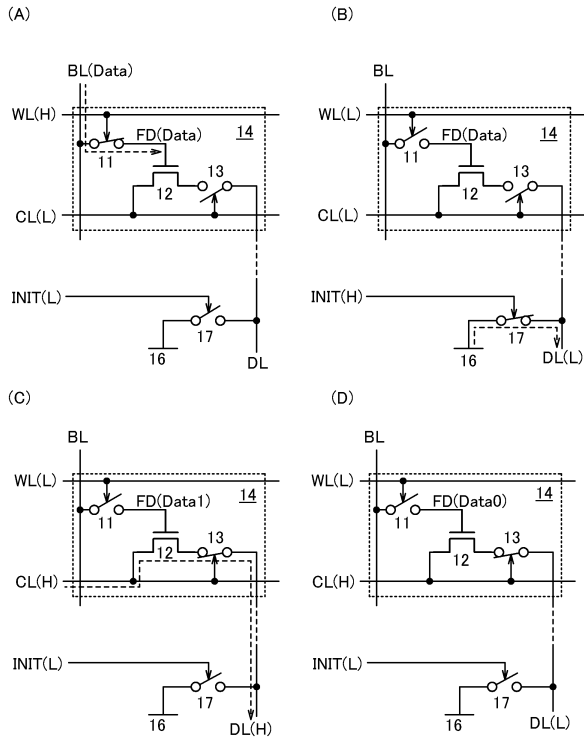
【図 1】



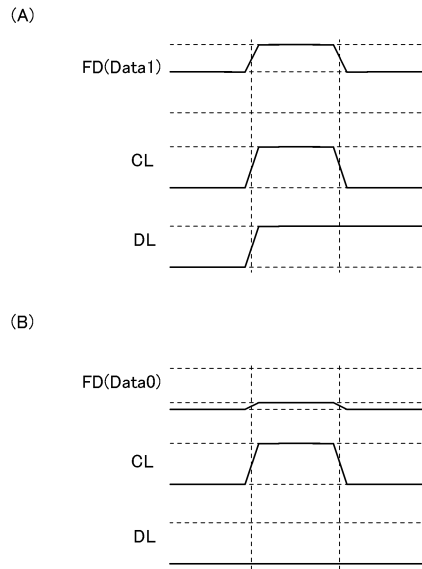
【図 2】



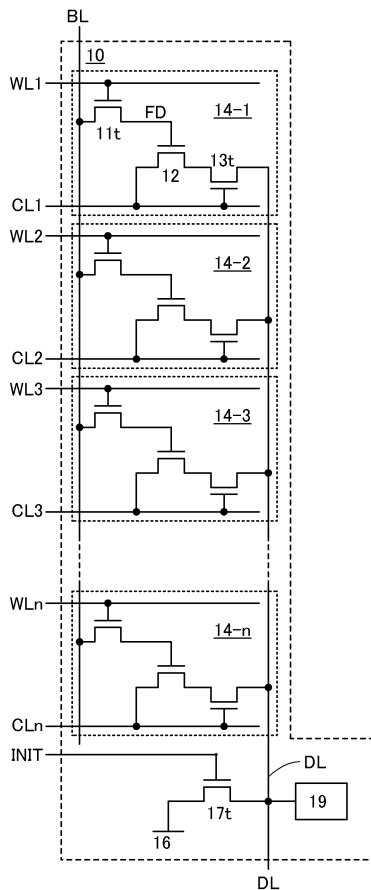
【 図 3 】



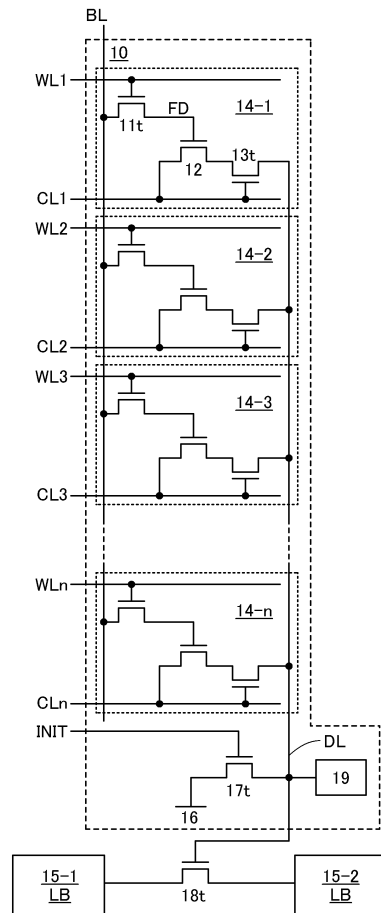
【 図 4 】



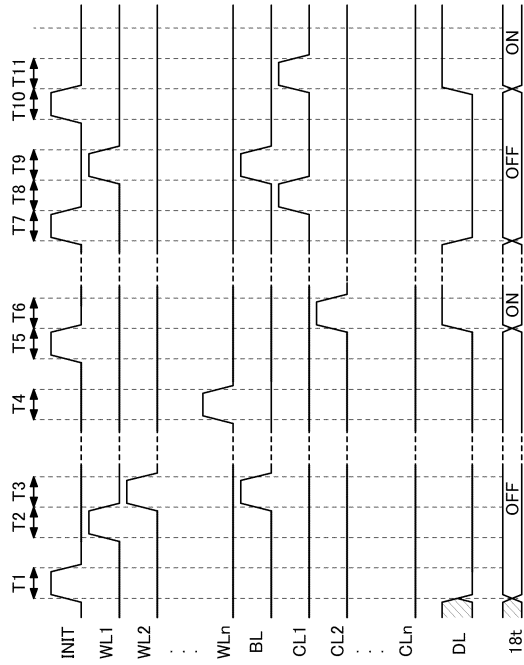
【 図 5 】



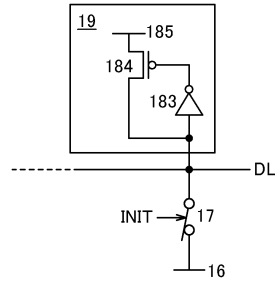
【 図 6 】



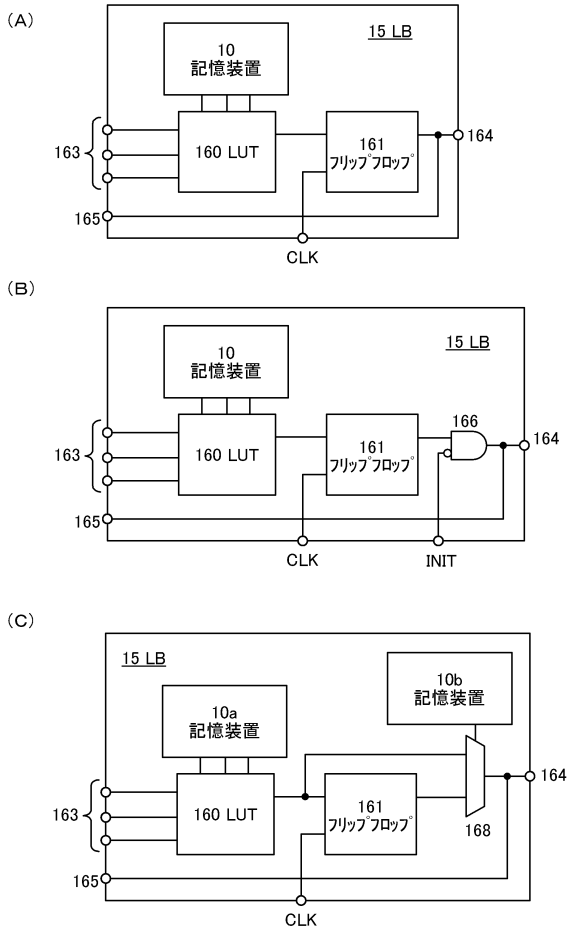
【図7】



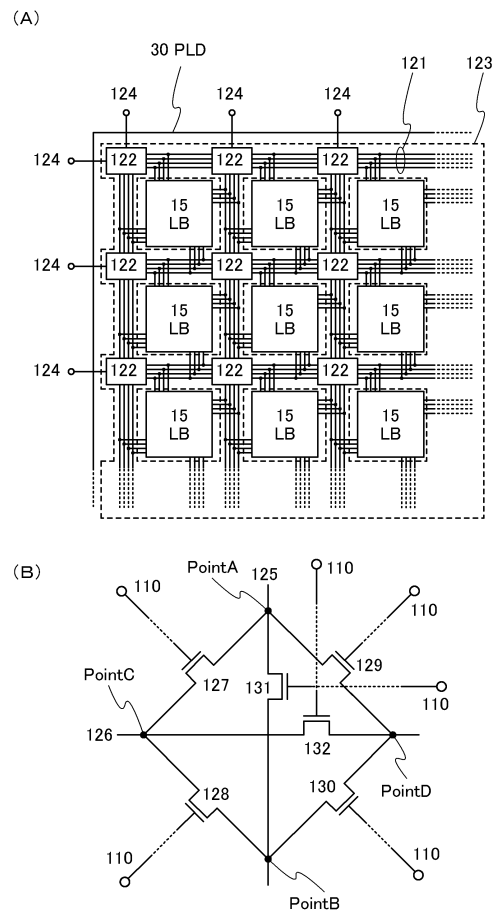
【図8】



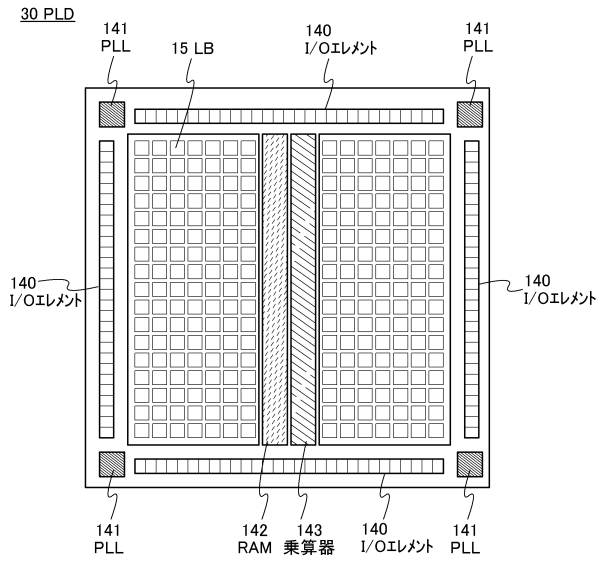
【図9】



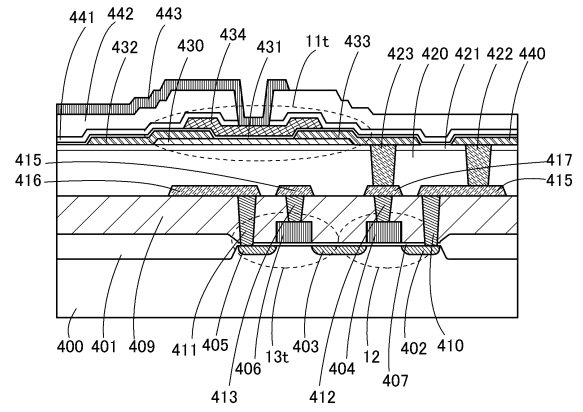
【図10】



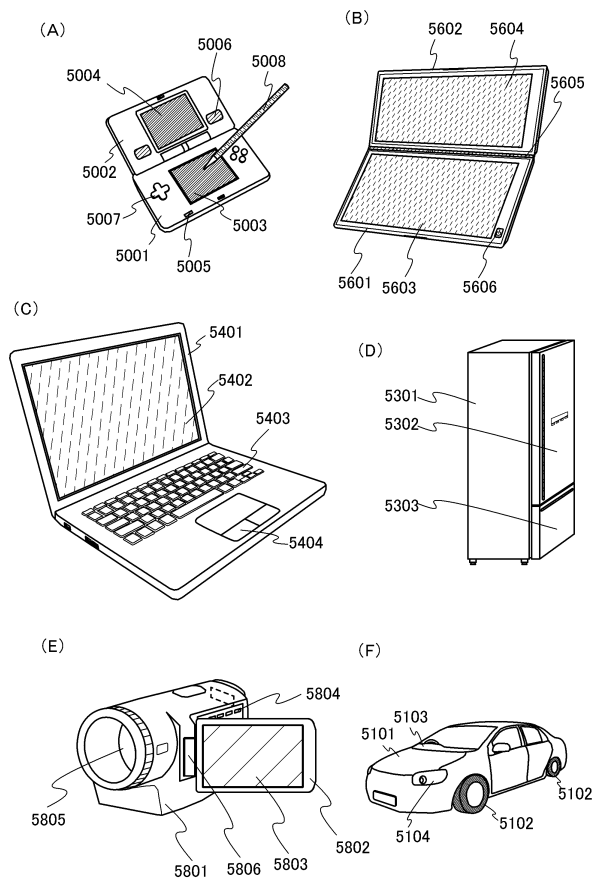
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(56)参考文献 特開2012-186797(JP,A)
特開2005-269616(JP,A)
特開2012-212499(JP,A)
特開2013-246858(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03K 19/177