

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年2月22日(2018.2.22)

【公開番号】特開2015-156478(P2015-156478A)

【公開日】平成27年8月27日(2015.8.27)

【年通号数】公開・登録公報2015-054

【出願番号】特願2015-770(P2015-770)

【国際特許分類】

H 01 L	21/02	(2006.01)
H 01 L	21/20	(2006.01)
H 01 L	31/18	(2006.01)
H 01 L	31/043	(2014.01)
H 01 L	31/068	(2012.01)
H 01 L	31/0735	(2012.01)
H 01 L	31/078	(2012.01)

【F I】

H 01 L	21/02	B
H 01 L	21/20	
H 01 L	31/04	4 6 0
H 01 L	31/04	5 1 0
H 01 L	31/06	3 0 0
H 01 L	31/06	4 3 0
H 01 L	31/06	6 0 0

【手続補正書】

【提出日】平成30年1月4日(2018.1.4)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の接着層と、I I I V族の材料又はゲルマニウム(Ge)のいずれかから構築される第1の基板とを備える第1のサブアセンブリ；並びに

第2のサブアセンブリ

を備える半導体デバイスであって、前記第2のサブアセンブリは：

Geから構築された第2の基板；及び

前記第1の接着層に直接接着される第2の接着層

を備え、前記第1の接着層及び前記第2の接着層は互いに格子不整合し、かつ

前記第1の接着層は前記第1の基板に対して格子不整合するか、前記第2の接着層は前記第2の基板に対して格子不整合するうちの少なくとも1つが選択される、半導体デバイス。

【請求項2】

前記第2の接着層は前記第2の基板に対して格子不整合する、請求項1に記載の半導体デバイス。

【請求項3】

緩衝層が前記第2の基板上でエピタキシャル成長される、請求項2に記載の半導体デバイス。

【請求項 4】

前記第2の基板はアクティブGeサブセルを含む、請求項1に記載の半導体デバイス。

【請求項 5】

前記第2のサブアセンブリは、前記第2の基板に対して格子不整合する半導体の層を含む、請求項1に記載の半導体デバイス。

【請求項 6】

前記第1の接着層は前記第1の基板に対して格子不整合する、請求項1に記載の半導体デバイス。

【請求項 7】

前記第1のサブアセンブリは、前記第1の基板に対して格子整合する第1の半導体の層を含む、請求項1に記載の半導体デバイス。

【請求項 8】

前記第1のサブアセンブリは、前記第1の半導体の層の上でエピタキシャル成長される緩衝層を含む、請求項7に記載の半導体デバイス。

【請求項 9】

前記第1のサブアセンブリは、前記第1の基板に対して格子不整合する第2の半導体の層を含む、請求項8に記載の半導体デバイス。

【請求項 10】

前記第2の半導体の層は、前記緩衝層の上でエピタキシャル成長される、請求項9に記載の半導体デバイス。

【請求項 11】

前記第1のサブアセンブリ及び前記第2のサブアセンブリのうちの少なくとも1つは、光起電装置及び太陽電池のうちの1つを含む、請求項1に記載の半導体デバイス。

【請求項 12】

半導体デバイスを作る方法であって：

第1の接着層と、I I I V族の材料又はゲルマニウム(Ge)のいずれかから構築される第1の基板とを備える第1のサブアセンブリを提供すること；

Geから構築された第2の基板及び第2の接着層を備える第2のサブアセンブリを提供すること；

前記第1の接着層及び前記第2の接着層を直接に接着することであって、前記第1の接着層及び前記第2の接着層は互いに格子不整合する、接着すること；及び

前記第1の接着層を前記第1の基板に対して格子不整合させるか、前記第2の接着層を前記第2の基板に対して格子不整合させるうちの少なくとも1つを選択することを含む、方法。

【請求項 13】

前記第2の接着層を前記第2の基板に対して格子不整合させることを選択すること、及び前記第2の基板上で緩衝層をエピタキシャル成長させることを含む、請求項12に記載の方法。

【請求項 14】

前記緩衝層の上で前記第2の接着層をエピタキシャル成長させることを含む、請求項13に記載の方法。

【請求項 15】

ドーパントを前記第2の基板の層の中に拡散することによって、前記第2の基板の範囲内にアクティブGeサブセルを生成させることを含む、請求項12に記載の方法。

【請求項 16】

前記第1のサブアセンブリの前記第1の基板の上で第1の半導体の層をエピタキシャル成長させることを含み、前記第1の半導体の層は前記第1の基板に対して格子整合する、請求項12に記載の方法。

【請求項 17】

前記第1の半導体の層の上で緩衝層をエピタキシャル成長させることを含む、請求項1

6 に記載の方法。

【請求項 1 8】

前記緩衝層の上で第 2 の半導体の層をエピタキシャル成長させることを含み、前記第 2 の半導体の層は前記第 1 の基板に対して格子不整合し、かつ前記第 1 の接着層は前記第 1 の基板に対して格子不整合する、請求項1 7 に記載の方法。