

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3752231号
(P3752231)

(45) 発行日 平成18年3月8日(2006.3.8)

(24) 登録日 平成17年12月16日(2005.12.16)

(51) Int. Cl. F I
H O 4 B 1/50 (2006.01) H O 4 B 1/50

請求項の数 4 (全 31 頁)

(21) 出願番号	特願2003-37473 (P2003-37473)	(73) 特許権者	000003067
(22) 出願日	平成15年2月14日(2003.2.14)		T D K株式会社
(65) 公開番号	特開2004-32673 (P2004-32673A)		東京都中央区日本橋1丁目13番1号
(43) 公開日	平成16年1月29日(2004.1.29)	(74) 代理人	100107559
審査請求日	平成17年1月27日(2005.1.27)		弁理士 星宮 勝美
(31) 優先権主張番号	特願2002-89726 (P2002-89726)	(72) 発明者	中井 信也
(32) 優先日	平成14年3月27日(2002.3.27)		東京都中央区日本橋一丁目13番1号 テ
(33) 優先権主張国	日本国(JP)		イーディーケイ株式会社内
(31) 優先権主張番号	特願2002-130372 (P2002-130372)		
(32) 優先日	平成14年5月2日(2002.5.2)	審査官	山中 実
(33) 優先権主張国	日本国(JP)		
早期審査対象出願		(56) 参考文献	特開2001-211097(JP, A)
			特開平08-191230(JP, A)
			特開平09-307399(JP, A)
			最終頁に続く

(54) 【発明の名称】 フロントエンドモジュール

(57) 【特許請求の範囲】

【請求項1】

第1および第2の周波数帯域のそれぞれにおける送信信号および受信信号を処理するためのフロントエンドモジュールであって、

アンテナに接続され、前記第1および第2の周波数帯域を分離する第1の分離手段と、
前記第1の分離手段に接続され、それぞれフィルタとして機能する2つの弾性波素子を含み、前記第1の周波数帯域における送信信号と受信信号とを分離する第2の分離手段と

、
前記第1の分離手段に接続され、それぞれフィルタとして機能する2つの弾性波素子を含み、前記第2の周波数帯域における送信信号と受信信号とを分離する第3の分離手段と

、
前記第1ないし第3の分離手段を集積するための1つの集積用多層基板とを備え、
前記第1の分離手段は、前記集積用多層基板の内部または表面上の導体層を用いて構成され、

前記第1の分離手段はフィルタを含み、

前記第2の分離手段または第3の分離手段は、前記弾性波素子と前記第1の分離手段との間に設けられてインピーダンスを調整するディレーラインを含み、

前記第2の分離手段に含まれる2つの弾性波素子および前記第3の分離手段に含まれる2つの弾性波素子は、前記集積用多層基板の上面に実装され、

前記集積用多層基板は、内部の導体層として、グランド層と、前記グランド層と前記集

10

20

積用多層基板の上面との間に配置されて前記ディレーラインを構成する導体層と、前記グラウンド層と集積用多層基板の下面との間に配置されて前記第 1 の分離手段に含まれる前記フィルタを構成する導体層とを含み、

フロントエンドモジュールは、更に、前記集積用多層基板の下面に配置され、前記第 1 の分離手段に含まれる前記フィルタを構成する前記導体層に接続された端子を備えたことを特徴とするフロントエンドモジュール。

【請求項 2】

更に、前記ディレーラインと前記第 1 の分離手段との間に設けられた整合回路を備え、前記集積用多層基板は、内部の導体層として、更に、前記グラウンド層と前記集積用多層基板の上面との間に配置されて前記整合回路を構成する導体層を含むことを特徴とする請求項 1 記載のフロントエンドモジュール。

10

【請求項 3】

前記第 1 の分離手段は、

第 1 の周波数帯域内の周波数の信号を通過させ、第 2 の周波数帯域内の周波数の信号を遮断するフィルタと、

第 2 の周波数帯域内の周波数の信号を通過させ、第 1 の周波数帯域内の周波数の信号を遮断するフィルタとを有することを特徴とする請求項 1 または 2 記載のフロントエンドモジュール。

【請求項 4】

前記第 1 および第 2 の周波数帯域のそれぞれにおける送信信号および受信信号は、符号分割多重接続方式の信号であることを特徴とする請求項 1 ないし 3 のいずれかに記載のフロントエンドモジュール。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、携帯電話等の通信装置において送信信号および受信信号を処理するためのフロントエンドモジュールに関する。

【0002】

【従来の技術】

近年、携帯電話は、第 3 世代を迎え、単なる通話機能だけではなく、高速データ通信機能をも有することが必須となりつつある。そのため、各国において、高速データ通信を可能にする種々の多重化方式の採用が検討されている。しかしながら、多重化方式の統一は困難な状況である。そのため、携帯電話には、マルチモード（複数方式）およびマルチバンド（複数の周波数帯）に対応することが求められている。

30

【0003】

例えば、欧州では、既に、G S M (Global System for Mobile Communications) 方式と D C S (Digital Cellular System) 方式とに対応可能なデュアルバンド型携帯電話が全域で普及している。G S M 方式と D C S 方式は、いずれも時分割多重接続方式である。欧州では、第 3 世代携帯電話として、上記の 2 方式に加え、大きなデータ通信速度（例えば 2 M b p s ）を実現することができる広帯域符号分割多重接続（以下、W - C D M A とも記す。）方式にも対応可能なデュアルモード・トリプルバンド型携帯電話を採用することを予定している。

40

【0004】

携帯電話では、上述のように新たな機能が付加されると、回路がより複雑になると共に部品点数が増える。そのため、携帯電話では、より高密度の部品実装技術が要求されている。また、このような事情から、携帯電話の内部の高周波回路では、その実装スペースを削減するため、部品の小型軽量化、複合化および集積化が不可欠となっている。

【0005】

特許文献 1 には、G S M 方式および D C S 方式に対応したデュアルバンド型携帯電話用の高周波スイッチモジュールが記載されている。この高周波スイッチモジュールでは、分波

50

回路によってG S M方式に対応した周波数帯域とD C S方式に対応した周波数帯域とを分離すると共に、2つの高周波スイッチを用いて、各周波数帯域における送信信号と受信信号とを分離するようになっている。

【0006】

また、特許文献2には、3つの周波数帯域を使用する3つの通信システムのそれぞれの送信信号および受信信号を処理するための高周波モジュールが記載されている。この高周波モジュールでは、ダイプレクサによって、低周波数帯域と高周波数帯域とを分離する。高周波数帯域には、第1および第2の通信システムの2つの周波数帯域が含まれている。低周波数帯域には、第3の通信システムの周波数帯域が含まれている。第1および第2の通信システムの受信信号と、第1および第2の通信システムの送信信号は、第1の高周波スイッチによって分離される。また、第3の通信システムの送信信号と受信信号は、第2の高周波スイッチによって分離される。また、第1の通信システムの受信信号と第2の通信システムの受信信号は、2つのS A Wフィルタによって分離される。また、特許文献2には、複数のシート層を積層してなる積層体によって、高周波モジュールの構成要素を複合化することが記載されている。

10

【0007】

【特許文献1】

特開平11-225088号公報

【特許文献2】

特開2002-43977号公報

20

【0008】

【発明が解決しようとする課題】

特許文献1に記載された高周波スイッチモジュールでは、高周波スイッチを用いて、各周波数帯域における送信信号と受信信号とを分離している。また、特許文献2に記載された高周波モジュールでも、高周波スイッチを用いて送信信号と受信信号とを分離している。そのため、特許文献1に記載された高周波スイッチモジュールや、特許文献2に記載された高周波モジュールでは、C D M A方式に対応することができないという問題点がある。

【0009】

なお、特許文献2では、2つの通信方式の受信信号を分離する2つのS A Wフィルタを含むものをS A Wデュプレクサと称している。しかし、一般的に、デュプレクサは、送信信号と受信信号とを分離するものを指す。本発明の実施の形態においても、送信信号と受信信号とを分離するものをデュプレクサと呼ぶ。従って、特許文献2におけるS A Wデュプレクサは、機能上、本発明の実施の形態におけるデュプレクサとは異なるものである。

30

【0010】

本発明はかかる問題点に鑑みてなされたもので、その目的は、第1および第2の周波数帯域のそれぞれにおける送信信号および受信信号を処理できると共に符号分割多重接続方式に対応可能で、且つ小型軽量化、複合化および集積化が容易なフロントエンドモジュールを提供することにある。

【0011】

【課題を解決するための手段】

40

本発明のフロントエンドモジュールは、第1および第2の周波数帯域のそれぞれにおける送信信号および受信信号を処理するためのモジュールであって、アンテナに接続され、第1および第2の周波数帯域を分離する第1の分離手段と、第1の分離手段に接続され、それぞれフィルタとして機能する2つの弾性波素子を含み、第1の周波数帯域における送信信号と受信信号とを分離する第2の分離手段と、第1の分離手段に接続され、それぞれフィルタとして機能する2つの弾性波素子を含み、第2の周波数帯域における送信信号と受信信号とを分離する第3の分離手段と、第1ないし第3の分離手段を集積するための1つの集積用多層基板とを備え、第1の分離手段は、集積用多層基板の内部または表面上の導体層を用いて構成されているものである。

50

【 0 0 1 2 】

本発明のフロントエンドモジュールでは、第1の分離手段によって、第1および第2の周波数帯域が分離され、2つの弾性波素子を含む第2の分離手段によって、第1の周波数帯域における送信信号と受信信号とが分離され、2つの弾性波素子を含む第3の分離手段によって、第2の周波数帯域における送信信号と受信信号とが分離される。第1ないし第3の分離手段は、1つの集積用多層基板によって集積されている。また、第1の分離手段は、集積用多層基板の内部または表面上の導体層を用いて構成されている。なお、弾性波素子とは、弾性波を利用した素子である。弾性波素子は、弾性表面波を利用する弾性表面波素子でもよいし、バルク弾性波を利用するバルク弾性波素子でもよい。

【 0 0 1 3 】

本発明のフロントエンドモジュールにおいて、第2の分離手段に含まれる2つの弾性波素子および第3の分離手段に含まれる2つの弾性波素子は、集積用多層基板に実装され、弾性波素子以外の第2の分離手段および第3の分離手段の回路部分の少なくとも一部は、集積用多層基板の内部または表面上の導体層を用いて構成されていてもよい。

【 0 0 1 4 】

また、本発明のフロントエンドモジュールにおいて、第1の分離手段は、第1の周波数帯域内の周波数の信号を通過させ、第2の周波数帯域内の周波数の信号を遮断するフィルタと、第2の周波数帯域内の周波数の信号を通過させ、第1の周波数帯域内の周波数の信号を遮断するフィルタとを有していてもよい。

【 0 0 1 5 】

また、本発明のフロントエンドモジュールにおいて、第1および第2の周波数帯域のそれぞれにおける送信信号および受信信号は、符号分割多重接続方式の信号であってもよい。

【 0 0 1 6 】

【 発明の実施の形態 】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

〔 第1の実施の形態 〕

始めに、本発明の第1の実施の形態に係るフロントエンドモジュールについて説明する。本実施の形態に係るフロントエンドモジュールは、時分割多重接続方式であるGSM方式と、時分割多重接続方式であるDCS方式と、符号分割多重接続方式であるW-CDMA方式と、符号分割多重接続方式である狭帯域符号分割多重接続（以下、N-CDMAと記す。）方式に対応し、これらの各方式の送信信号および受信信号を処理するモジュールである。GSM方式の送信信号の周波数帯域は880MHz～915MHzである。GSM方式の受信信号の周波数帯域は925MHz～960MHzである。DCS方式の送信信号の周波数帯域は1710MHz～1785MHzである。DCS方式の受信信号の周波数帯域は1805MHz～1880MHzである。W-CDMA方式の送信信号の周波数帯域は1920MHz～1990MHzである。W-CDMA方式の受信信号の周波数帯域は2110MHz～2180MHzである。N-CDMA方式の送信信号の周波数帯域は824MHz～849MHzである。N-CDMA方式の受信信号の周波数帯域は869MHz～894MHzである。

【 0 0 1 7 】

N-CDMA方式の送信信号および受信信号の周波数帯域は、本発明における第1の周波数帯域に対応する。W-CDMA方式の送信信号および受信信号の周波数帯域は、本発明における第2の周波数帯域に対応する。

【 0 0 1 8 】

まず、図1を参照して、本実施の形態に係るフロントエンドモジュールを含む携帯電話の高周波回路の一例について説明する。図1に示した高周波回路は、アンテナ1と、このアンテナ1に接続された本実施の形態に係るフロントエンドモジュール2と、主に信号の変調および復調を行う集積回路3とを備えている。高周波回路は、更に、GSM方式およびDCS方式用の2つの電圧制御発振器4、5と、W-CDMA方式用の電圧制御発振器6Wと、N-CDMA方式用の電圧制御発振器6Nとを備えている。これらの電圧制御発振

10

20

30

40

50

器 4 , 5 , 6 W , 6 N は集積回路 3 に接続されている。

【 0 0 1 9 】

高周波回路は、更に、入力端がフロントエンドモジュール 2 に接続され、それぞれ出力端が集積回路 3 に接続されたバンドパスフィルタ（以下、B P F と記す。）2 5 G , 2 5 D と、入力端がフロントエンドモジュール 2 に接続されたローノイズアンプ 3 6 W と、入力端がローノイズアンプ 3 6 W の出力端に接続され、出力端が集積回路 3 に接続された B P F 3 7 W と、入力端がフロントエンドモジュール 2 に接続されたローノイズアンプ 3 6 N と、入力端がローノイズアンプ 3 6 N の出力端に接続され、出力端が集積回路 3 に接続された B P F 3 7 N とを備えている。B P F 2 5 G , 2 5 D , 3 7 W , 3 7 N は、それぞれ弾性波素子を用いて構成されている。

10

【 0 0 2 0 】

高周波回路は、更に、入力端が集積回路 3 に接続された電力増幅器（図では P A と記す。）2 1 G と、入力端が電力増幅器 2 1 G の出力端に接続されたカプラ 2 2 G と、カプラ 2 2 G の出力に基づいて、電力増幅器 2 1 G の出力利得が一定になるように電力増幅器 2 1 G を制御する自動出力制御回路（図では A P C と記す。）2 3 G と、入力端がカプラ 2 2 G の出力端に接続され、出力端がフロントエンドモジュール 2 に接続されたローパスフィルタ（以下、L P F と記す。）2 4 G とを備えている。これらは、G S M 方式用の回路である。高周波回路は、更に、上記 G S M 方式用の回路と同様に構成された、D C S 方式用の電力増幅器 2 1 D、カプラ 2 2 D、自動出力制御回路 2 3 D および L P F 2 4 D を備えている。

20

【 0 0 2 1 】

高周波回路は、更に、入力端が集積回路 3 に接続された B P F 3 1 W と、入力端が B P F 3 1 W の出力端に接続された電力増幅器 3 2 W と、入力端が電力増幅器 3 2 W の出力端に接続されたカプラ 3 3 W と、カプラ 3 3 W の出力に基づいて、電力増幅器 3 2 W の出力利得が一定になるように電力増幅器 3 2 W を制御する自動出力制御回路 3 4 W と、入力端がカプラ 3 3 W の出力端に接続され、出力端がフロントエンドモジュール 2 に接続されたアイソレータ 3 5 W とを備えている。これらは、W - C D M A 方式用の回路である。高周波回路は、更に、上記 W - C D M A 方式用の回路と同様に構成された、N - C D M A 方式用の B P F 3 1 N、電力増幅器 3 2 N、カプラ 3 3 N、自動出力制御回路 3 4 N およびアイソレータ 3 5 N を備えている。B P F 3 1 W , 3 1 N は弾性波素子を用いて構成されている。

30

【 0 0 2 2 】

次に、フロントエンドモジュール 2 について詳しく説明する。フロントエンドモジュール 2 は、ダイプレクサ 1 1 と、高周波スイッチ 1 6 , 1 7 , 1 2 G , 1 2 D と、デュプレクサ 1 3 W , 1 3 N とを備えている。ダイプレクサ 1 1 は、本発明における第 1 の分離手段に対応する。デュプレクサ 1 3 N は、本発明における第 2 の分離手段に対応する。デュプレクサ 1 3 W は、本発明における第 3 の分離手段に対応する。

【 0 0 2 3 】

ダイプレクサ 1 1 は、第 1 ないし第 3 のポートを有している。第 1 のポートはアンテナ 1 に接続されている。第 2 のポートは N - C D M A 方式の信号および G S M 方式の信号を入力出力するようになっている。第 3 のポートは W - C D M A 方式の信号および D C S 方式の信号を入力出力するようになっている。

40

【 0 0 2 4 】

ダイプレクサ 1 1 の第 2 のポートは、高周波スイッチ 1 7 の可動接点に接続されている。高周波スイッチ 1 7 の 2 つの固定接点のうちの一方の固定接点はデュプレクサ 1 3 N に接続されている。高周波スイッチ 1 7 の他方の固定接点は、高周波スイッチ 1 2 G の可動接点に接続されている。高周波スイッチ 1 2 G の 2 つの固定接点のうちの一方の固定接点（符号 R を付した固定接点）は B P F 2 5 G の入力端に接続されている。高周波スイッチ 1 2 G の他方の固定接点（符号 T を付した固定接点）は L P F 2 4 G の出力端に接続されている。

50

【 0 0 2 5 】

ダイプレクサ 1 1 の第 3 のポートは、高周波スイッチ 1 6 の可動接点に接続されている。高周波スイッチ 1 6 の 2 つの固定接点のうちの一方の固定接点はデュプレクサ 1 3 W に接続されている。高周波スイッチ 1 6 の他方の固定接点は、高周波スイッチ 1 2 D の可動接点に接続されている。高周波スイッチ 1 2 D の 2 つの固定接点のうちの一方の固定接点（符号 R を付した固定接点）は B P F 2 5 D の入力端に接続されている。高周波スイッチ 1 2 D の他方の固定接点（符号 T を付した固定接点）は L P F 2 4 D の出力端に接続されている。

【 0 0 2 6 】

デュプレクサ 1 3 N は、共通端子と受信端子（符号 R を付した端子）と送信端子（符号 T を付した端子）とを有している。デュプレクサ 1 3 N の共通端子は、高周波スイッチ 1 7 の一方の固定接点に接続されている。デュプレクサ 1 3 N の受信端子は、ローノイズアンプ 3 6 N の入力端に接続されている。デュプレクサ 1 3 N の送信端子は、アイソレータ 3 5 N の出力端に接続されている。

10

【 0 0 2 7 】

デュプレクサ 1 3 W は、共通端子と受信端子（符号 R を付した端子）と送信端子（符号 T を付した端子）とを有している。デュプレクサ 1 3 W の共通端子は、高周波スイッチ 1 6 の一方の固定接点に接続されている。デュプレクサ 1 3 W の受信端子は、ローノイズアンプ 3 6 W の入力端に接続されている。デュプレクサ 1 3 W の送信端子は、アイソレータ 3 5 W の出力端に接続されている。

20

【 0 0 2 8 】

ダイプレクサ 1 1 は、信号の周波数に応じて、N - C D M A 方式の信号および G S M 方式の信号と、W - C D M A 方式の信号および D C S 方式の信号とを分離する。具体的に説明すると、ダイプレクサ 1 1 は、第 2 のポートに入力された N - C D M A 方式の送信信号または G S M 方式の送信信号と、第 3 のポートに入力された W - C D M A 方式の送信信号または D C S 方式の送信信号を第 1 のポートより出力する。また、ダイプレクサ 1 1 は、第 1 のポートに入力された N - C D M A 方式の受信信号または G S M 方式の受信信号を第 2 のポートより出力し、第 1 のポートに入力された W - C D M A 方式の受信信号または D C S 方式の受信信号を第 3 のポートより出力する。

【 0 0 2 9 】

高周波スイッチ 1 7 は、N - C D M A 方式の送信信号および受信信号と、G S M 方式の送信信号および受信信号とを分離する。具体的に説明すると、高周波スイッチ 1 7 は、一方の固定接点に入力された N - C D M A 方式の送信信号を可動接点より出力し、可動接点に入力された N - C D M A 方式の受信信号を一方の固定接点より出力する。また、高周波スイッチ 1 7 は、他方の固定接点に入力された G S M 方式の送信信号を可動接点より出力し、可動接点に入力された G S M 方式の受信信号を他方の固定接点より出力する。

30

【 0 0 3 0 】

高周波スイッチ 1 6 は、W - C D M A 方式の送信信号および受信信号と、D C S 方式の送信信号および受信信号とを分離する。具体的に説明すると、高周波スイッチ 1 6 は、一方の固定接点に入力された W - C D M A 方式の送信信号を可動接点より出力し、可動接点に入力された W - C D M A 方式の受信信号を一方の固定接点より出力する。また、高周波スイッチ 1 6 は、他方の固定接点に入力された D C S 方式の送信信号を可動接点より出力し、可動接点に入力された D C S 方式の受信信号を他方の固定接点より出力する。

40

【 0 0 3 1 】

高周波スイッチ 1 2 G は、G S M 方式の送信信号と G S M 方式の受信信号とを分離する。具体的に説明すると、高周波スイッチ 1 2 G は、可動接点に入力された G S M 方式の受信信号（図では、G S M / R X と記す。）を一方の固定接点より出力し、他方の固定接点に入力された G S M 方式の送信信号（図では、G S M / T X と記す。）を可動接点より出力する。

【 0 0 3 2 】

50

高周波スイッチ 1 2 D は、D C S 方式の送信信号と D C S 方式の受信信号とを分離する。具体的に説明すると、高周波スイッチ 1 2 D は、可動接点に入力された D C S 方式の受信信号（図では、D C S / R X と記す。）を一方の固定接点より出力し、他方の固定接点に入力された D C S 方式の送信信号（図では、D C S / T X と記す。）を可動接点より出力する。

【 0 0 3 3 】

デュプレクサ 1 3 W は、周波数の違いによって、W - C D M A 方式の送信信号と W - C D M A 方式の受信信号とを分離する。具体的に説明すると、デュプレクサ 1 3 W は、共通端子に入力された W - C D M A 方式の受信信号（図では、W C D M A / R X と記す。）を受信端子より出力し、送信端子に入力された W - C D M A 方式の送信信号（図では、W C D M A / T X と記す。）を共通端子より出力する。

10

【 0 0 3 4 】

デュプレクサ 1 3 N は、周波数の違いによって、N - C D M A 方式の送信信号と N - C D M A 方式の受信信号とを分離する。具体的に説明すると、デュプレクサ 1 3 N は、共通端子に入力された N - C D M A 方式の受信信号（図では、N C D M A / R X と記す。）を受信端子より出力し、送信端子に入力された N - C D M A 方式の送信信号（図では、N C D M A / T X と記す。）を共通端子より出力する。

【 0 0 3 5 】

次に、集積回路 3 について説明する。集積回路 3 は、I 信号と Q 信号からなるベースバンドの入力信号を入力すると共に、I 信号と Q 信号からなるベースバンドの出力信号を出力するようになっている。

20

【 0 0 3 6 】

集積回路 3 は、入力端が B P F 2 5 G の出力端に接続されたミキサ 4 2 G と、入力端がミキサ 4 2 G の出力端に接続された増幅器 4 3 G と、入力端が B P F 2 5 D の出力端に接続されたミキサ 4 2 D と、入力端がミキサ 4 2 D の出力端に接続された増幅器 4 3 D とを備えている。集積回路 3 は、更に、入力端が B P F 3 7 W の出力端に接続されたミキサ 4 2 W と、入力端がミキサ 4 2 W の出力端に接続された増幅器 4 3 W と、入力端が B P F 3 7 N の出力端に接続されたミキサ 4 2 N と、入力端がミキサ 4 2 N の出力端に接続された増幅器 4 3 N とを備えている。

【 0 0 3 7 】

30

集積回路 3 は、更に、出力端が電力増幅器 2 1 G , 2 1 D の各入力端に接続されたミキサ 4 1 と、出力端が B P F 3 1 W の入力端に接続されたミキサ 4 1 W と、出力端が B P F 3 1 N の入力端に接続されたミキサ 4 1 N と備えている。ミキサ 4 2 G , 4 2 D は電圧制御発振器 5 に接続されている。ミキサ 4 2 W は電圧制御発振器 6 W に接続されている。ミキサ 4 1 は電圧制御発振器 4 に接続されている。ミキサ 4 1 W は電圧制御発振器 6 W に接続されている。ミキサ 4 1 N は電圧制御発振器 6 N に接続されている。

【 0 0 3 8 】

集積回路 3 は、更に、G S M 方式および D C S 方式用の位相同期化ループ回路（図では G S M / D C S P L L と記す。）4 4 と、W - C D M A 方式用の位相同期化ループ回路（図では W - C D M A P L L と記す。）4 5 W と、N - C D M A 方式用の位相同期化ループ回路（図では N - C D M A P L L と記す。）4 5 N とを備えている。位相同期化ループ回路 4 4 は、電圧制御発振器 4 , 5 に接続されている。位相同期化ループ回路 4 5 W は、電圧制御発振器 6 W に接続されている。位相同期化ループ回路 4 5 N は、電圧制御発振器 6 N に接続されている。

40

【 0 0 3 9 】

ミキサ 4 2 G は、B P F 2 5 G の出力信号に、電圧制御発振器 5 が出力する高周波信号をミックスして、高周波の受信信号をベースバンド信号に変換するようになっている。ミキサ 4 2 D は、B P F 2 5 D の出力信号に、電圧制御発振器 5 が出力する高周波信号をミックスして、高周波の受信信号をベースバンド信号に変換するようになっている。ミキサ 4 2 W は、B P F 3 7 W の出力信号に、電圧制御発振器 6 W が出力する高周波信号をミックスして、高周波の受信信号をベースバンド信号に変換するようになっている。

50

スして、高周波の受信信号をベースバンド信号に変換するようになっている。ミキサ 4 2 N は、B P F 3 7 N の出力信号に、電圧制御発振器 6 N が出力する高周波信号をミックスして、高周波の受信信号をベースバンド信号に変換するようになっている。

【 0 0 4 0 】

ミキサ 4 1 は、集積回路 3 に入力されたベースバンド信号に、電圧制御発振器 4 が出力する高周波信号をミックスして、ベースバンド信号を高周波の送信信号に変換するようになっている。ミキサ 4 1 W は、集積回路 3 に入力されたベースバンド信号に、電圧制御発振器 6 W が出力する高周波信号をミックスして、ベースバンド信号を高周波の送信信号に変換するようになっている。ミキサ 4 1 N は、集積回路 3 C に入力されたベースバンド信号に、電圧制御発振器 6 N が出力する高周波信号をミックスして、ベースバンド信号を高周波の送信信号に変換するようになっている。

10

【 0 0 4 1 】

図示しないが、集積回路 3 は、更に、入力した I 信号と Q 信号を直交変調し、変調された信号をミキサ 4 1 , 4 1 W , 4 1 N に送る機能と、増幅器 4 3 G , 4 3 D , 4 3 W , 4 3 N の出力信号を直交復調して I 信号と Q 信号とを生成し、これらを出力する機能とを備えている。なお、ミキサ 4 1 , 4 1 W , 4 1 N が直交変調する機能を兼ね備えていてもよいし、ミキサ 4 2 G , 4 2 D , 4 2 W , 4 2 N が直交復調する機能を兼ね備えていてもよい。

【 0 0 4 2 】

高周波スイッチ 1 2 G より出力される G S M 方式の受信信号は、B P F 2 5 G を通過してミキサ 4 2 G に入力されるようになっている。高周波スイッチ 1 2 D より出力される D C S 方式の受信信号は、B P F 2 5 D を通過してミキサ 4 2 D に入力されるようになっている。デュプレクサ 1 3 W より出力される W - C D M A 方式の受信信号は、ローノイズアンプ 3 6 W および B P F 3 7 W を通過してミキサ 4 2 W に入力されるようになっている。デュプレクサ 1 3 N より出力される N - C D M A 方式の受信信号は、ローノイズアンプ 3 6 N および B P F 3 7 N を通過してミキサ 4 2 N に入力されるようになっている。

20

【 0 0 4 3 】

ミキサ 4 1 の出力信号は、電力増幅器 2 1 G、カプラ 2 2 G および L P F 2 4 G を通過して高周波スイッチ 1 2 G に入力されると共に、電力増幅器 2 1 D、カプラ 2 2 D および L P F 2 4 D を通過して高周波スイッチ 1 2 D に入力されるようになっている。ミキサ 4 1 W の出力信号は、B P F 3 1 W、電力増幅器 3 2 W、カプラ 3 3 W およびアイソレータ 3 5 W を通過してデュプレクサ 1 3 W に入力されるようになっている。ミキサ 4 1 N の出力信号は、B P F 3 1 N、電力増幅器 3 2 N、カプラ 3 3 N およびアイソレータ 3 5 N を通過してデュプレクサ 1 3 N に入力されるようになっている。

30

【 0 0 4 4 】

次に、図 2 を参照して、ダイプレクサ 1 1 の回路構成の一例について説明する。図 2 に示したダイプレクサ 1 1 は、第 1 ないし第 3 のポート 1 1 1 , 1 1 2 , 1 1 3 を有している。第 1 のポート 1 1 1 はアンテナ 1 に接続されるようになっている。第 2 のポート 1 1 2 は G S M 方式の信号および N - C D M A 方式の信号を入出力するようになっている。第 3 のポート 1 1 3 は D C S 方式の信号および W - C D M A 方式の信号を入出力するようになっている。ダイプレクサ 1 1 は、更に、一端が第 1 のポート 1 1 1 に接続されたキャパシタ 1 1 4 と、一端がキャパシタ 1 1 4 の他端に接続されたインダクタ 1 1 5 と、一端がインダクタ 1 1 5 の他端に接続され、他端が第 2 のポート 1 1 2 に接続されたインダクタ 1 1 6 と、一端がインダクタ 1 1 5 の他端に接続され、他端が第 2 のポート 1 1 2 に接続されたキャパシタ 1 1 7 と、一端がインダクタ 1 1 5 の他端に接続され、他端が接地されたキャパシタ 1 1 8 と、一端が第 2 のポート 1 1 2 に接続され、他端が接地されたキャパシタ 1 1 9 とを有している。インダクタ 1 1 5 , 1 1 6 およびキャパシタ 1 1 7 , 1 1 8 , 1 1 9 は、G S M 方式および N - C D M A 方式のそれぞれの送信信号および受信信号を通過させる L P F を構成している。

40

【 0 0 4 5 】

50

ダイプレクサ 11 は、更に、一端がキャパシタ 114 の他端に接続されたキャパシタ 120 と、一端がキャパシタ 120 の他端に接続され、他端が第 3 のポート 113 に接続されたキャパシタ 121 と、一端がキャパシタ 120 の他端に接続されたキャパシタ 122 と、一端がキャパシタ 122 の他端に接続され、他端が接地されたインダクタ 123 とを有している。キャパシタ 120, 121, 122 およびインダクタ 123 は、DCS 方式および W-CDMA 方式のそれぞれの送信信号および受信信号を通過させるハイパスフィルタ（以下、HPF と記す。）を構成している。

【0046】

次に、図 3 を参照して、高周波スイッチ 12G の回路構成の一例について説明する。図 3 に示した高周波スイッチ 12G は、可動接点 131 と、2 つの固定接点 132, 133 と、2 つの制御端子 134, 135 とを有している。固定接点 132 は、図 1 において記号 T を付した固定接点である。固定接点 133 は、図 1 において記号 R を付した固定接点である。高周波スイッチ 12G は、更に、一端が可動接点 131 に接続されたキャパシタ 136 と、カソードがキャパシタ 136 の他端に接続されたダイオード 137 と、一端がダイオード 137 のアノードに接続され、他端が固定接点 132 に接続されたキャパシタ 138 と、一端がダイオード 137 のアノードに接続され、他端が制御端子 134 に接続されたインダクタ 139 と、一端が制御端子 134 に接続され、他端が接地されたキャパシタ 140 とを有している。

【0047】

高周波スイッチ 12G は、更に、一端がキャパシタ 136 の他端に接続されたインダクタ 141 と、一端がインダクタ 141 の他端に接続され、他端が固定接点 133 に接続されたキャパシタ 142 と、アノードがインダクタ 141 の他端に接続され、カソードが制御端子 135 に接続されたダイオード 143 と、一端が制御端子 135 に接続され、他端が接地されたキャパシタ 144 とを有している。

【0048】

高周波スイッチ 12G では、制御端子 134 に印加される制御信号がハイレベルで、制御端子 135 に印加される制御信号がローレベルのときには、2 つのダイオード 137, 143 が共にオン状態となり、可動接点 131 に固定接点 132 が接続される。一方、制御端子 134 に印加される制御信号がローレベルで、制御端子 135 に印加される制御信号がハイレベルのときには、2 つのダイオード 137, 143 が共にオフ状態となり、可動接点 131 に固定接点 133 が接続される。

【0049】

なお、図 1 における高周波スイッチ 12D, 16, 17 の構成は、高周波スイッチ 12G と同様である。

【0050】

次に、図 4 を参照して、デュプレクサ 13W の回路構成の一例について説明する。図 4 に示したデュプレクサ 13W は、共通端子 151 と受信端子 152 と送信端子 153 とを有している。デュプレクサ 13W は、更に、一端が共通端子 151 に接続された受信側ディレーライン 154 と、入力端が受信側ディレーライン 154 の他端に接続され、出力端が受信端子 152 に接続された受信側 BPF 155 とを有している。デュプレクサ 13W は、更に、一端が共通端子 151 に接続された送信側ディレーライン 156 と、出力端が送信側ディレーライン 156 の他端に接続され、入力端が送信端子 153 に接続された送信側 BPF 157 とを有している。BPF 155, 157 は、いずれも弾性波素子を用いて構成されている。

【0051】

受信側ディレーライン 154 は、受信端子 152 側からデュプレクサ 13W を見たときに、受信信号の周波数帯域ではインピーダンスがほぼ 50 Ω となり、送信信号の周波数帯域ではインピーダンスが十分に大きくなるように、共通端子 151 と受信側 BPF 155 との間に挿入される。同様に、送信側ディレーライン 156 は、送信端子 153 側からデュプレクサ 13W を見たときに、送信信号の周波数帯域ではインピーダンスがほぼ 50 Ω と

10

20

30

40

50

なり、受信信号の周波数帯域ではインピーダンスが十分に大きくなるように、共通端子 151 と送信側 BPF 157 との間に挿入される。なお、BPF 155, 157 の構成によっては、受信側ディレーライン 154 と送信側ディレーライン 156 の一方のみを設ければよい場合もある。

【0052】

なお、図 4 に示したデュプレクサ 13W における共通端子 151、受信端子 152、送信端子 153 と、それらに接続される外部の回路との間に、それぞれ、デュプレクサ 13W と外部の回路とのインピーダンス整合を行う整合回路を設けてもよい。図 5 は、デュプレクサ 13W およびそれに接続される整合回路の回路構成の一例を示す回路図である。図 5 に示した例におけるデュプレクサ 13W の構成は、図 4 に示したデュプレクサ 13W の構成と同様である。図 5 に示した例では、共通端子 151 に整合回路 201 が接続され、受信端子 152 に整合回路 202 が接続され、送信端子 153 に整合回路 203 が接続されている。これらの整合回路 201, 202, 203 は、フロントエンドモジュール 2 に含まれている。

【0053】

整合回路 201 は、2つの端子 204, 205 と、一端が端子 204 に接続されたインダクタ 206 と、一端がインダクタ 206 の他端に接続され、他端が端子 205 に接続されたインダクタ 207 と、一端がインダクタ 206 の他端に接続され、他端が接地されたキャパシタ 208 とを有している。端子 204 は、図 1 における高周波スイッチ 16 の一方の固定接点に接続されている。端子 205 は、デュプレクサ 13W の共通端子 151 に接続されている。

【0054】

整合回路 202 は、2つの端子 211, 212 と、この端子 211, 212 の間に接続されたキャパシタ 213 とを有している。端子 211 は、デュプレクサ 13W の受信端子 152 に接続されている。端子 212 は、図 1 におけるローノイズアンプ 36W の入力端に接続されている。

【0055】

整合回路 203 は、2つの端子 215, 216 と、一端が端子 215 に接続されたインダクタ 217 と、一端がインダクタ 217 の他端に接続され、他端が端子 216 に接続されたキャパシタ 218 と、一端がキャパシタ 218 の他端に接続され、他端が接地されたキャパシタ 219 とを有している。端子 215 は、デュプレクサ 13W の送信端子 153 に接続されている。端子 216 は、図 1 におけるアイソレータ 35W の出力端に接続されている。

【0056】

なお、図 1 におけるデュプレクサ 13N およびそれに接続される整合回路の回路構成は、デュプレクサ 13W およびそれに接続される整合回路の回路構成と同様である。

【0057】

次に、図 6 を参照して、LPF 24G の回路構成の一例について説明する。図 6 に示した LPF 24G は、入力端子 161 と出力端子 162 とを有している。LPF 24G は、更に、一端が入力端子 161 に接続され、他端が接地されたキャパシタ 163 と、一端が入力端子 161 に接続されたインダクタ 164 と、一端が入力端子 161 に接続され、他端がインダクタ 164 の他端に接続されたキャパシタ 165 と、一端がインダクタ 164 の他端に接続され、他端が接地されたキャパシタ 166 とを有している。LPF 24G は、更に、一端がインダクタ 164 の他端に接続され、他端が出力端子 162 に接続されたインダクタ 167 と、一端がインダクタ 164 の他端に接続され、他端が出力端子 162 に接続されたキャパシタ 168 と、一端が出力端子 162 に接続され、他端が接地されたキャパシタ 169 とを有している。なお、図 1 における LPF 24D の回路構成は、LPF 24G と同様である。

【0058】

次に、図 7 を参照して、カブラ 22G の回路構成の一例について説明する。図 7 に示し

10

20

30

40

50

たカブラ 2 2 G は、入力端子 1 7 1 と、出力端子 1 7 2 と、モニタ端子 1 7 3 と、負荷接続端子 1 7 4 とを有している。カブラ 2 2 G は、更に、一端が入力端子 1 7 1 に接続され、他端がモニタ端子 1 7 3 に接続されたキャパシタ 1 7 5 と、一端が入力端子 1 7 1 に接続され、他端が出力端子 1 7 2 に接続されたインダクタ 1 7 6 と、一端がモニタ端子 1 7 3 に接続され、他端が負荷接続端子 1 7 4 に接続されたインダクタ 1 7 7 と、一端が出力端子 1 7 2 に接続され、他端が負荷接続端子 1 7 4 に接続されたキャパシタ 1 7 8 とを有している。モニタ端子 1 7 3 は、自動出力制御回路 2 3 G の入力端に接続されるようになっている。負荷接続端子 1 7 4 は、5 0 の負荷を介して接地されるようになっている。なお、図 1 におけるカブラ 2 2 D , 3 3 W , 3 3 N の回路構成は、カブラ 2 2 G と同様である。

10

【 0 0 5 9 】

次に、図 8 を参照して、電力増幅器 2 1 G の回路構成の一例について説明する。図 8 に示した電力増幅器 2 1 G は、入力端子 1 8 1 と、出力端子 1 8 2 と、電源端子 1 8 3 と、接地端子 1 8 4 とを有している。電源端子 1 8 3 には、電源電圧が印加されるようになっている。

【 0 0 6 0 】

電力増幅器 2 1 G は、更に、増幅器として機能するモノリシック・マイクロウェーブ集積回路（以下、MMIC と記す。）1 8 5 を有している。MMIC 1 8 5 の接地端は接地端子 1 8 4 に接続されている。電力増幅器 2 1 G は、更に、一端が入力端子 1 8 1 に接続され、他端が MMIC 1 8 5 の入力端に接続されたキャパシタ 1 8 6 と、一端がキャパシタ 1 8 6 の他端に接続され、他端が接地端子 1 8 4 に接続されたインダクタ 1 8 7 とを有している。キャパシタ 1 8 6 およびインダクタ 1 8 7 は、入力整合回路 1 9 5 を構成している。

20

【 0 0 6 1 】

電力増幅器 2 1 G は、更に、一端が MMIC 1 8 5 の出力端に接続されたキャパシタ 1 8 8 と、一端がキャパシタ 1 8 8 の他端に接続され、他端が出力端子 1 8 2 に接続されたキャパシタ 1 8 9 と、一端がキャパシタ 1 8 8 の他端に接続され、他端が接地端子 1 8 4 に接続されたインダクタ 1 9 0 と、一端が出力端子 1 8 2 に接続され、他端が接地端子 1 8 4 に接続されたインダクタ 1 9 1 とを有している。キャパシタ 1 8 8 , 1 8 9 およびインダクタ 1 9 0 , 1 9 1 は、出力整合回路 1 9 6 を構成している。

30

【 0 0 6 2 】

電力増幅器 2 1 G は、更に、それぞれ一端が電源端子 1 8 3 に接続され、他端が接地端子 1 8 4 に接続されたキャパシタ 1 9 2 , 1 9 3 と、一端が電源端子 1 8 3 に接続され、他端が MMIC 1 8 5 の電源入力端に接続されたチョークコイル 1 9 4 とを有している。なお、図 1 における電力増幅器 2 1 D , 3 2 W , 3 2 N の回路構成は、電力増幅器 2 1 G と同様である。

【 0 0 6 3 】

次に、フロントエンドモジュール 2 の構造について説明する。フロントエンドモジュール 2 は、ダイプレクサ 1 1、高周波スイッチ 1 6 , 1 7 , 1 2 G , 1 2 D およびデュプレクサ 1 3 W , 1 3 N を集積するための 1 つの集積用多層基板を備えている。集積用多層基板は、誘電体層と、パターン化された導体層とが交互に積層された構造になっている。フロントエンドモジュール 2 の回路は、集積用多層基板の内部または表面上の導体層と、集積用多層基板に搭載された素子とによって構成されている。特に、ダイプレクサ 1 1 は、集積用多層基板の内部または表面上の導体層を用いて構成されている。

40

【 0 0 6 4 】

次に、図 9 ないし図 1 1 を参照して、本実施の形態におけるデュプレクサ 1 3 W , 1 3 N の構造の 3 つの例について順に説明する。なお、ここでは、弾性波素子として弾性表面波素子を用いた場合の例について説明するが、弾性表面波素子の代わりにバルク弾性波素子を用いてもよい。弾性表面波素子が圧電体の表面を伝播する音波（弾性表面波）を利用しているのに対し、バルク弾性波素子は、圧電体内部（バルク弾性波）を伝播する音波を利

50

用するものである。このバルク弾性波素子のうち、特に圧電体薄膜を用いて作製されたものを薄膜バルク波素子と呼び、特に圧電体薄膜を用いて作製された共振器を薄膜バルク波共振器 (Film Bulk Acoustic Resonator: FBAR) と呼ぶ。上記弾性波素子としては、上記薄膜バルク波素子を用いてもよい。この薄膜バルク波素子は、弾性表面波素子に比べて温度特性が良好である。一般に、弾性表面波素子の温度特性が 40 ppm/ 程度であるのに対し、薄膜バルク波素子の温度特性は 20 ppm/ 程度である。従って、薄膜バルク波素子は、フィルタに要求される急峻な周波数特性を実現するのに有利である。

【0065】

図9は、デュプレクサ13W, 13Nの構造の第1の例を示す断面図である。第1の例では、デュプレクサ13W, 13Nは、図4における受信側BPF155に用いられる弾性表面波素子を含むチップ51と、図4における送信側BPF157に用いられる弾性表面波素子を含むチップ52と、これら2つのチップ51, 52が実装された実装基板53と、チップ51, 52を封止するキャップ54とを有している。実装基板53は、例えば、誘電体層の材料としてセラミックを用いたセラミック多層基板になっている。実装基板53は、弾性表面波素子以外のデュプレクサ13Wまたはデュプレクサ13Nの構成部分を含んでいる。例えば、デュプレクサ13W, 13Nの受信側ディレーライン154および送信側ディレーライン156は、実装基板53の内部または表面上の導体層を用いて構成されている。また、デュプレクサ13W, 13Nの共通端子151、受信端子152および送信端子153は、実装基板53の下面に配置されている。

【0066】

チップ51, 52は、 LiTaO_3 等の圧電材料からなる圧電基板と、この圧電基板の一方の面に形成された櫛形電極と、この櫛形電極を外部の回路に接続するための接続電極55とを有している。図9に示した例では、接続電極55は、櫛形電極と同一面上に配置されている。また、この例では、チップ51, 52は、櫛形電極が実装基板53の上面に対向するように、フリップチップボンディングによって、実装基板53に実装されている。なお、チップ51, 52が実装基板53に実装された状態で、櫛形電極と実装基板53の上面との間に空間が形成されるようになっている。

【0067】

第1の例では、上記の構成のデュプレクサ13W, 13Nは、フロントエンドモジュール2の集積用多層基板20に搭載されている。集積用多層基板20は、例えば低温焼成セラミック多層基板になっている。集積用多層基板20は、デュプレクサ13W, 13N以外のフロントエンドモジュール2の回路を含んでいる。

【0068】

図9には、第1の例におけるフロントエンドモジュール2の厚さの一例が示されている。この例では、デュプレクサ13W, 13Nの実装基板53の厚さが 0.5 mm 、デュプレクサ13W, 13Nの実装基板53の上面からキャップ54の上面までの部分の厚さが 0.5 mm 、集積用多層基板20の厚さが 0.8 mm となっている。従って、この例では、フロントエンドモジュール2の厚さは、 1.8 mm 以上となる。

【0069】

図10は、デュプレクサ13W, 13Nの構造の第2の例を示す断面図である。第2の例では、デュプレクサ13W, 13Nは、第1の例と同様のチップ51, 52を有している。しかし、第2の例では実装基板53は設けられておらず、チップ51, 52は、フロントエンドモジュール2の集積用多層基板20に、直接搭載されている。チップ51, 52は、例えば、櫛形電極が集積用多層基板20の上面に対向するように、フリップチップボンディングによって、集積用多層基板20に実装されている。なお、チップ51, 52が集積用多層基板20に実装された状態で、櫛形電極と集積用多層基板20の上面との間に空間が形成されるようになっている。また、チップ51, 52は、キャップ54によって封止されている。

【0070】

第2の例では、弾性表面波素子以外のデュプレクサ13W, 13Nの構成部分は、集積用

10

20

30

40

50

多層基板 20 に含まれている。例えば、デュプレクサ 13W, 13N の受信側ディレーライン 154 および送信側ディレーライン 156 は、集積用多層基板 20 の内部または表面上の導体層を用いて構成されている。また、デュプレクサ 13W, 13N の共通端子 151、受信端子 152 および送信端子 153 は、集積用多層基板 20 の下面に配置されている。また、集積用多層基板 20 は、デュプレクサ 13W, 13N 以外のフロントエンドモジュール 2 の回路を含んでいる。

【0071】

図 10 には、第 2 の例におけるフロントエンドモジュール 2 の厚さの一例が示されている。この例では、集積用多層基板 20 の上面からデュプレクサ 13W, 13N のチップ 54 の上面までの部分の厚さが 0.5 mm、集積用多層基板 20 の厚さが 0.8 mm となっ

10

【0072】

図 11 は、デュプレクサ 13W, 13N の構造の第 3 の例を示す断面図である。第 3 の例では、デュプレクサ 13W, 13N は、第 1 の例と同様のチップ 51, 52 と、これらのチップ 51, 52 が実装された 1 つまたは 2 つの実装基板 56 と、チップ 51, 52 を封止するキャップ 54 とを有している。なお、図 11 には、2 つのチップ 51, 52 を 1 つの実装基板 56 に実装した例を示しているが、チップ 51, 52 を、それぞれ別個の実装基板 56 に実装してもよい。

【0073】

20

実装基板 56 は、単層の誘電体層と、この誘電体層の上面および下面に設けられた、パターン化された導体層と、誘電体層の側面に設けられ、誘電体層の上面に設けられた導体層と下面に設けられた導体層とを接続する導体部とを有している。チップ 51, 52 は、例えば、櫛形電極が実装基板 56 の上面に対向するように、フリップチップボンディングによって、実装基板 56 に実装されている。なお、チップ 51, 52 が実装基板 56 に実装された状態で、櫛形電極と実装基板 56 の上面との間に空間が形成されるようになっている。

【0074】

チップ 51, 52 および実装基板 56 は、フロントエンドモジュール 2 の集積用多層基板 20 に搭載されている。第 3 の例では、弾性表面波素子以外のデュプレクサ 13W, 13N の構成部分は、集積用多層基板 20 に含まれている。例えば、デュプレクサ 13W, 13N の受信側ディレーライン 154 および送信側ディレーライン 156 は、集積用多層基板 20 の内部または表面上の導体層を用いて構成されている。また、デュプレクサ 13W, 13N の共通端子 151、受信端子 152 および送信端子 153 は、集積用多層基板 20 の下面に配置されている。また、集積用多層基板 20 は、デュプレクサ 13W, 13N 以外のフロントエンドモジュール 2 の回路を含んでいる。

30

【0075】

図 11 には、第 3 の例におけるフロントエンドモジュール 2 の厚さの一例が示されている。この例では、集積用多層基板 20 の上面からデュプレクサ 13W, 13N のチップ 54 の上面までの部分の厚さが 0.7 mm、集積用多層基板 20 の厚さが 0.8 mm となっ

40

【0076】

以上説明したように、本実施の形態に係るフロントエンドモジュール 2 では、ダイプレクサ 11 と、高周波スイッチ 16, 17, 12G, 12D と、2 つの弾性波素子を含むデュプレクサ 13W と、2 つの弾性波素子を含むデュプレクサ 13N とを、1 つの集積用多層基板 20 によって集積している。ダイプレクサ 11 は、集積用多層基板 20 の内部または表面上の導体層を用いて構成されている。弾性波素子を含むデュプレクサ 13W, 13N は、同軸誘電体形のデュプレクサに比べて、小型および軽量であると共に、複合化および集積化が容易である。従って、本実施の形態によれば、2 種類の時分割多重接続方式 (G

50

S M方式とD C S方式)と2種類の符号分割多重接続方式(W - C D M A方式とN - C D M A方式)とに対応可能で、且つ、小型軽量化、複合化および集積化が容易なフロントエンドモジュール2を実現することができる。

【0077】

また、本実施の形態によれば、弾性波素子を含むデュプレクサ13W, 13Nを、ダイプレクサ11および高周波スイッチ12G, 12D, 16, 17と一体化することにより、デュプレクサ13W, 13Nとその周辺回路とのインピーダンス整合を最適化することが可能になる。従って、本実施の形態によれば、フロントエンドモジュール2の性能を向上させることも可能になる。

【0078】

ところで、デュプレクサ13W, 13Nでは、共通端子151、受信端子152、送信端子153の各インピーダンスは、通過帯域内の周波数に対しては、挿入損失が最小になるよう50に設定され、阻止帯域内の周波数に対しては、減衰が大きくなるように大きな値に設定される。そのため、弾性波素子と、弾性波素子以外の構成部分(ディレーライン154, 156や整合回路)とを含むデュプレクサ13W, 13N全体で、特性を最適化する必要がある。

【0079】

図9に示したデュプレクサ13W, 13Nの構造の第1の例では、それぞれ弾性波素子を含むチップ51, 52と、弾性波素子以外のデュプレクサ13W, 13Nの構成部分を含む実装基板53とが一体化されている。そのため、第1の例では、デュプレクサ13W, 13Nを、フロントエンドモジュール2における他の構成要素から独立した状態で製造することができる。従って、第1の例では、特性が最適化された状態のデュプレクサ13W, 13Nを、集積用多層基板20に搭載することができる。しかし、第1の例では、フロントエンドモジュール2の厚さが大きくなってしまうという不具合がある。

【0080】

図10に示したデュプレクサ13W, 13Nの構造の第2の例では、弾性波素子以外のデュプレクサ13W, 13Nの構成部分は集積用多層基板20に設けられ、それぞれ弾性波素子を含むチップ51, 52は集積用多層基板20に搭載されている。この第2の例によれば、フロントエンドモジュール2の厚さを小さくすることができる。また、第2の例によれば、デュプレクサ13W, 13N全体で特性が最適になるように、チップ51, 52の特性と、集積用多層基板20に設けられた、弾性波素子以外のデュプレクサ13W, 13Nの構成部分の特性とを設計し、設計通りのチップ51, 52および集積用多層基板20を使用することによって、デュプレクサ13W, 13N全体の特性を最適化することが可能になる。

【0081】

ところで、ベアチップの状態であるチップ51, 52の特性を測定するにはプローブを用いる必要がある。しかし、プローブ自体が高周波特性を持つため、チップ51, 52の高周波特性を正確に測定することは難しい。そのため、ある割合で不良品のチップ51, 52が集積用多層基板20に搭載されるという不具合がある。不良品のチップ51, 52が集積用多層基板20に搭載されると、デュプレクサ13W, 13N以外のフロントエンドモジュール2の構成部分の特性が良好であっても、フロントエンドモジュール2全体が不良品になってしまう。そのため、第2の例では、フロントエンドモジュール2の歩留まりが低くなるという不具合がある。

【0082】

図11に示したデュプレクサ13W, 13Nの構造の第3の例では、それぞれ弾性波素子を含むチップ51, 52は実装基板56に実装されている。従って、チップ51, 52および実装基板56は、パッケージ化された1つの部品を構成している。また、第3の例では、弾性波素子以外のデュプレクサ13W, 13Nの構成部分は集積用多層基板20に設けられ、チップ51, 52および実装基板56は、集積用多層基板20に搭載されている。チップ51, 52および実装基板56によって構成された部品については、プローブを

10

20

30

40

50

用いることなく、通常の部品を測定するための治具を用いて正確に特性を測定することができる。従って、第3の例によれば、良品のチップ51, 52および実装基板56のみを集積用多層基板20に搭載することができ、その結果、フロントエンドモジュール2の歩留まりを向上させることができる。また、第3の例によれば、実装基板56は薄くてもよいので、フロントエンドモジュール2の厚さを小さくすることもできる。

【0083】

また、上記第2の例および第3の例では、デュプレクサ13W, 13NにおけるBPFに用いられる弾性表面波素子を含むチップ51, 52は集積用多層基板20の上面に実装され、弾性表面波素子以外のデュプレクサ13W, 13Nの回路部分の少なくとも一部は集積用多層基板20の内部または表面上の導体層を用いて構成されている。これにより、フ

10

【0084】

以下、本実施の形態に係るフロントエンドモジュール2の3つの変形例について説明する。

【0085】

図12は、第1の変形例のフロントエンドモジュール2を含む携帯電話の高周波回路を示すブロック図である。第1の変形例のフロントエンドモジュール2は、図1に示したフロントエンドモジュール2の構成要素に加え、GSM方式の送信信号を通過させるカプラ22GおよびLPF24Gと、DCS方式の送信信号を通過させるカプラ22DおよびLPF24Dと、GSM方式の受信信号を通過させるBPF25Gと、DCS方式の受信信号を通過させるBPF25Dと、W-CDMA方式の受信信号を通過させるBPF37Wと、N-CDMA方式の受信信号を通過させるBPF37Nとを備えている。また、第1の変形例では、集積用多層基板20は、図1に示したフロントエンドモジュール2の構成要素に加え、新たに加えられた上記の各構成要素も集積している。

20

【0086】

第1の変形例のフロントエンドモジュール2のその他の構成は、図1に示したフロントエンドモジュール2と同様である。第1の変形例によれば、フロントエンドモジュール2に新たに加えられた上記の各構成要素も含めて、フロントエンドモジュール2全体の特性の最適化を図ることができる。

【0087】

図13は、第2の変形例のフロントエンドモジュール2を含む携帯電話の高周波回路を示すブロック図である。第2の変形例のフロントエンドモジュール2は、図1に示したフロントエンドモジュール2の構成要素に加え、電力増幅器21G, 21D、カプラ22G, 22D、自動出力制御回路23G, 23D、LPF24G, 24D、BPF25G, 25D、BPF31W, 31N、電力増幅器32W, 32N、カプラ33W, 33N、自動出力制御回路34W, 34N、アイソレータ35W, 35N、ローノイズアンプ36W, 36NおよびBPF37W, 37Nを備えている。また、第2の変形例では、集積用多層基板20は、図1に示したフロントエンドモジュール2の構成要素に加え、新たに加えられた上記の各構成要素も集積している。

30

【0088】

第2の変形例のフロントエンドモジュール2のその他の構成は、図1に示したフロントエンドモジュール2と同様である。第2の変形例によれば、フロントエンドモジュール2に新たに加えられた上記の各構成要素も含めて、フロントエンドモジュール2全体の特性の最適化を図ることができる。

40

【0089】

図14は、第2の変形例のフロントエンドモジュール2における電力増幅器21Gの配置の一例を示す断面図である。この例では、電力増幅器21GのMMIC185は集積用多層基板20に搭載されている。電力増幅器21Gの入力整合回路195および出力整合回路196は、集積用多層基板20の内部または表面上の導体層を用いて構成されている。図示しないが、電力増幅器21Gのキャパシタ192, 193およびチョークコイル19

50

4は集積用多層基板20に搭載されている。また、集積用多層基板20におけるMMIC185が搭載される面とは反対側の面には、MMIC185が発生する熱を放散させるための導体層197が形成されている。集積用多層基板20には、更に、MMIC185が発生する熱を導体層197に導くためにMMIC185の下面と導体層197を接続する複数のビアホール198が形成されている。なお、電力増幅器21D、32W、32Nの配置も、電力増幅器21Gと同様である。

【0090】

次に、図15および図16を参照して、第3の変形例について説明する。第3の変形例のフロントエンドモジュール2は、図1、図12または図13に示したフロントエンドモジュール2において、更にアンテナ1を備えたものである。第3の変形例では、集積用多層基板20は、図1、図12または図13に示したフロントエンドモジュール2の構成要素に加え、アンテナ1も集積する。

10

【0091】

以下、第3の変形例におけるアンテナ1の構造の2つの例について説明する。携帯電話に用いられるアンテナとしては、各種の形式および構造のものが知られているが、ここでは、アンテナ1としてパッチアンテナを用いるものとする。

【0092】

図15は、アンテナ1の構造の第1の例を示す斜視図である。第1の例では、アンテナ1は、集積用多層基板20とは別個に製造され、例えば半田付けによって集積用多層基板20に搭載されている。第1の例におけるアンテナ1は、誘電体よりなる直方体形状の誘電体部81と、この誘電体部81の上面に設けられた電極82と、誘電体部81の底面に設けられ、接地面を形成する導体層83と、誘電体部81の側部に設けられた給電用導体部84と備えている。電極82および導体層83は、それぞれ矩形の平板状になっている。給電用導体部84の上端部は、電極82の側部に対して、所定の間隔を開けて対向している。集積用多層基板20の上面には、給電用導体部84の下端部に接続される導体層85が設けられている。

20

【0093】

図16は、アンテナ1の構造の第2の例を示す斜視図である。第2の例では、アンテナ1は、集積用多層基板20に組み込まれている。第2の例におけるアンテナ1は、集積用多層基板20の上面に設けられた電極92と、集積用多層基板20の内部において電極92に対向する位置に配置され、接地面を形成する導体層93と、集積用多層基板20の側部に設けられた給電用導体部94と備えている。電極92および導体層93は、それぞれ矩形の平板状になっている。給電用導体部94の上端部は、電極92の側部に対して、所定の間隔を開けて対向している。また、集積用多層基板20の内部において、導体層93よりも下の位置には、給電用導体部94の下端部に接続される導体層95が設けられている。

30

【0094】

第3の変形例によれば、アンテナ1も含めて、フロントエンドモジュール2全体の特性の最適化を図ることができる。

【0095】

なお、本実施の形態において、高周波スイッチ12G、12Dの代わりに、それぞれデュプレクサを用いてもよい。

40

【0096】

[第2の実施の形態]

次に、本発明の第2の実施の形態に係るフロントエンドモジュールについて説明する。本実施の形態に係るフロントエンドモジュールは、AMPS(Advanced Mobile Phone System)で用いられる周波数帯域(以下、AMPS帯域と記す。)における送信信号および受信信号と、PCS(Personal Communications Service)で用いられる周波数帯域(以下、PCS帯域と記す。)における送信信号および受信信号と、GPS(Global Positioning System)における受信信号とを処理するためのモジュールである。GPSにおける受

50

信信号は、位置検出機能のための信号である。AMP S 帯域は本発明における第 1 の周波数帯域に対応し、PCS 帯域は本発明における第 2 の周波数帯域に対応する。また、本実施の形態において、AMP S 帯域における送信信号および受信信号と、PCS 帯域における送信信号および受信信号は、いずれも符号分割多重接続方式の信号である。

【0097】

図 18 は、上記各送信信号および受信信号の周波数帯域を示している。図 18 において、記号 TX は送信信号を表し、記号 RX は受信信号を表している。AMP S 帯域における送信信号の周波数帯域は、824 MHz ~ 849 MHz である。AMP S 帯域における受信信号の周波数帯域は、869 MHz ~ 894 MHz である。PCS 帯域における送信信号の周波数帯域は、1850 MHz ~ 1910 MHz である。PCS 帯域における受信信号の周波数帯域は、1930 MHz ~ 1990 MHz である。GPS における受信信号の周波数帯域（以下、GPS 帯域と記す。）は、1574 MHz ~ 1576 MHz である。

10

【0098】

まず、図 17 を参照して、本実施の形態に係るフロントエンドモジュールを含む携帯電話の高周波回路の一例について説明する。図 17 に示した高周波回路は、2 つのアンテナ 301 A, 301 B と、これらのアンテナ 301 A, 301 B に接続されたフロントエンドモジュール 302 とを備えている。アンテナ 301 A は、AMP S 帯域および PCS 帯域における信号の送信および受信に用いられる。アンテナ 301 B は、GPS における受信信号の受信に用いられる。

【0099】

20

図 17 に示した高周波回路は、更に、主に AMP S 帯域および PCS 帯域における信号の変調および復調を行う集積回路 303 A と、主に GPS における受信信号の復調を行う集積回路 303 B とを備えている。高周波回路は、更に、それぞれ入力端がフロントエンドモジュール 302 に接続され、出力端が集積回路 303 A に接続された 2 つのローノイズアンプ 304 A, 304 P と、入力端がフロントエンドモジュール 302 に接続され、出力端が集積回路 303 B に接続されたローノイズアンプ 304 G とを備えている。高周波回路は、更に、それぞれ入力端が集積回路 303 A に接続された 2 つの電力増幅器 305 A, 305 P と、入力端が電力増幅器 305 A の出力端に接続され、出力端がフロントエンドモジュール 302 に接続されたアイソレータ 306 A と、入力端が電力増幅器 305 P の出力端に接続され、出力端がフロントエンドモジュール 302 に接続されたアイソレータ 306 P とを備えている。

30

【0100】

フロントエンドモジュール 302 は、ダイプレクサ 310 と、2 つのデュプレクサ 312, 313 と、BPF 314 とを備えている。ダイプレクサ 310 は、本発明における第 1 の分離手段に対応する。デュプレクサ 312 は、本発明における第 2 の分離手段に対応する。デュプレクサ 313 は、本発明における第 3 の分離手段に対応する。

【0101】

ダイプレクサ 310 は、第 1 ないし第 3 のポートを有している。第 1 のポートはアンテナ 301 A に接続されている。第 2 のポートはデュプレクサ 312 に接続されている。第 3 のポートはデュプレクサ 313 に接続されている。ダイプレクサ 310 は、AMP S 帯域と PCS 帯域とを分離する。すなわち、ダイプレクサ 310 は、第 2 のポートに入力された AMP S 帯域における送信信号を第 1 のポートより出力すると共に、第 1 のポートに入力された AMP S 帯域における受信信号を第 2 のポートより出力する。また、ダイプレクサ 310 は、第 3 のポートに入力された PCS 帯域における送信信号を第 1 のポートより出力すると共に、第 1 のポートに入力された PCS 帯域における受信信号を第 3 のポートより出力する。

40

【0102】

デュプレクサ 312 は、共通端子と送信端子と受信端子とを有している。共通端子はダイプレクサ 310 の第 2 のポートに接続されている。送信端子はアイソレータ 306 A の出力端に接続されている。受信端子はローノイズアンプ 304 A の入力端に接続されている

50

。デュプレクサ 3 1 2 は、A M P S 帯域における送信信号（図では、A M P S / T X と記す。）と受信信号（図では、A M P S / R X と記す。）とを分離する。すなわち、デュプレクサ 3 1 2 は、送信端子に入力された A M P S 帯域における送信信号を共通端子より出力すると共に、共通端子に入力された A M P S 帯域における受信信号を受信端子より出力する。

【 0 1 0 3 】

デュプレクサ 3 1 3 は、共通端子と送信端子と受信端子とを有している。共通端子はダイプレクサ 3 1 0 の第 3 のポートに接続されている。送信端子はアイソレータ 3 0 6 P の出力端に接続されている。受信端子はローノイズアンプ 3 0 4 P の入力端に接続されている。デュプレクサ 3 1 3 は、P C S 帯域における送信信号（図では、P C S / T X と記す。）と受信信号（図では、P C S / R X と記す。）とを分離する。すなわち、デュプレクサ 3 1 3 は、送信端子に入力された P C S 帯域における送信信号を共通端子より出力すると共に、共通端子に入力された P C S 帯域における受信信号を受信端子より出力する。

10

【 0 1 0 4 】

B P F 3 1 4 の入力端はアンテナ 3 0 1 B に接続され、B P F 3 1 4 の出力端はローノイズアンプ 3 0 4 G の入力端に接続されている。B P F 3 1 4 は、アンテナ 3 0 1 B によって受信した G P S における受信信号（図では、G P S / R X と記す。）を選択的に通過させる。

【 0 1 0 5 】

次に、図 1 9 を参照して、ダイプレクサ 3 1 0 の構成について説明する。ダイプレクサ 3 1 0 は、第 1 ないし第 3 のポート 3 2 1 ~ 3 2 3 と、L P F 3 2 4 と、H P F 3 2 5 とを有している。L P F 3 2 4 および H P F 3 2 5 の各一端は第 1 のポート 3 2 1 に接続されている。L P F 3 2 4 の他端は第 2 のポート 3 2 2 に接続されている。H P F 3 2 5 の他端は第 3 のポート 3 2 3 に接続されている。

20

【 0 1 0 6 】

図 2 0 は、L P F 3 2 4 の特性、すなわち周波数と利得との関係を模式的に表している。図 2 0 に示したように、L P F 3 2 4 は、A M P S 帯域内の周波数の信号を通過させ、P C S 帯域内の周波数の信号を遮断する。なお、L P F 3 2 4 の代わりに、A M P S 帯域内の周波数の信号を通過させ、P C S 帯域内の周波数の信号を遮断する高域除去型のノッチフィルタを用いてもよい。

30

【 0 1 0 7 】

図 2 1 は、H P F 3 2 5 の特性、すなわち周波数と利得との関係を模式的に表している。図 2 1 に示したように、H P F 3 2 5 は、P C S 帯域内の周波数の信号を通過させ、A M P S 帯域内の周波数の信号を遮断する。なお、H P F 3 2 5 の代わりに、P C S 帯域内の周波数の信号を通過させ、A M P S 帯域内の周波数の信号を遮断する低域除去型のノッチフィルタを用いてもよい。

【 0 1 0 8 】

図 2 2 は、図 1 7 における B P F 3 1 4 の特性、すなわち周波数と利得との関係を模式的に表している。図 2 2 に示したように、B P F 3 1 4 は、G P S 帯域内の周波数の信号を通過させ、A M P S 帯域および P C S 帯域内の周波数の信号を遮断する。

40

【 0 1 0 9 】

次に、図 2 3 ないし図 2 6 を参照して、ダイプレクサ 3 1 0 において用いられる各フィルタの構成の例について説明する。

【 0 1 1 0 】

図 2 3 は、L P F 3 2 4 の構成の一例を示す回路図である。この L P F 3 2 4 は、2 つの端子 3 4 1 , 3 4 2 と、インダクタ 3 4 3 と、3 つのキャパシタ 3 4 4 ~ 3 4 6 とを有している。インダクタ 3 4 3 の一端は端子 3 4 1 に接続され、インダクタ 3 4 3 の他端は端子 3 4 2 に接続されている。キャパシタ 3 4 4 の一端は端子 3 4 1 に接続され、キャパシタ 3 4 4 の他端は端子 3 4 2 に接続されている。キャパシタ 3 4 5 の一端は端子 3 4 1 に接続され、キャパシタ 3 4 5 の他端は接地されている。キャパシタ 3 4 6 の一端は端子 3

50

4 2 に接続され、キャパシタ 3 4 6 の他端は接地されている。

【 0 1 1 1 】

図 2 4 は、図 2 3 に示した L P F 3 2 4 の代わりに用いることの可能な高域除去型のノッチフィルタの構成の一例を示す回路図である。このノッチフィルタは、2つの端子 3 5 1, 3 5 2 と、2つのインダクタ 3 5 3, 3 5 4 と、キャパシタ 3 5 5 とを有している。インダクタ 3 5 3 の一端は端子 3 5 1 に接続されている。インダクタ 3 5 4 の一端はインダクタ 3 5 3 の他端に接続され、インダクタ 3 5 4 の他端は端子 3 5 2 に接続されている。キャパシタ 3 5 5 の一端はインダクタ 3 5 3 の他端に接続され、キャパシタ 3 5 5 の他端は端子 3 5 2 に接続されている。

【 0 1 1 2 】

図 2 5 は、H P F 3 2 5 の構成の一例を示す回路図である。この H P F 3 2 5 は、2つの端子 3 6 1, 3 6 2 と、3つのインダクタ 3 6 3, 3 6 5, 3 6 6 と、キャパシタ 3 6 4 とを有している。インダクタ 3 6 3 の一端は端子 3 6 1 に接続され、インダクタ 3 6 3 の他端は端子 3 6 2 に接続されている。キャパシタ 3 6 4 の一端は端子 3 6 1 に接続され、キャパシタ 3 6 4 の他端は端子 3 6 2 に接続されている。インダクタ 3 6 5 の一端は端子 3 6 1 に接続され、インダクタ 3 6 5 の他端は接地されている。インダクタ 3 6 6 の一端は端子 3 6 2 に接続され、インダクタ 3 6 6 の他端は接地されている。

【 0 1 1 3 】

図 2 6 は、図 2 5 に示した H P F 3 2 5 の代わりに用いることの可能な低域除去型のノッチフィルタの構成の一例を示す回路図である。このノッチフィルタは、2つの端子 3 7 1, 3 7 2 と、2つのキャパシタ 3 7 3, 3 7 5 と、インダクタ 3 7 4 とを有している。キャパシタ 3 7 3 の一端は端子 3 7 1 に接続されている。インダクタ 3 7 4 の一端はキャパシタ 3 7 3 の他端に接続され、インダクタ 3 7 4 の他端は端子 3 7 2 に接続されている。キャパシタ 3 7 5 の一端はキャパシタ 3 7 3 の他端に接続され、キャパシタ 3 7 5 の他端は端子 3 7 2 に接続されている。

【 0 1 1 4 】

次に、図 2 7 を参照して、B P F 3 1 4 の構成の一例について説明する。図 2 7 は、B P F 3 1 4 の構成の一例を示す回路図である。この B P F 3 1 4 は、2つの端子 3 8 1, 3 8 2 と、6つのキャパシタ 3 8 3 ~ 3 8 8 と、2つのインダクタ 3 9 1, 3 9 2 とを有している。キャパシタ 3 8 3 の一端は端子 3 8 1 に接続されている。キャパシタ 3 8 4 の一端はキャパシタ 3 8 3 の他端に接続されている。キャパシタ 3 8 5 の一端はキャパシタ 3 8 4 の他端に接続され、キャパシタ 3 8 5 の他端は端子 3 8 2 に接続されている。キャパシタ 3 8 6 の一端は端子 3 8 1 に接続され、キャパシタ 3 8 6 の他端は端子 3 8 2 に接続されている。キャパシタ 3 8 7 の一端は、キャパシタ 3 8 3, 3 8 4 の接続点に接続され、キャパシタ 3 8 7 の他端は接地されている。キャパシタ 3 8 8 の一端は、キャパシタ 3 8 4, 3 8 5 の接続点に接続され、キャパシタ 3 8 8 の他端は接地されている。インダクタ 3 9 1 の一端は、キャパシタ 3 8 7 の一端に接続され、インダクタ 3 9 1 の他端は接地されている。インダクタ 3 9 2 の一端は、キャパシタ 3 8 8 の一端に接続され、インダクタ 3 9 2 の他端は接地されている。

【 0 1 1 5 】

次に、図 2 8 を参照して、デュプレクサ 3 1 2, 3 1 3 の回路構成の一例について説明する。図 2 8 に示したデュプレクサ 3 1 2, 3 1 3 は、共通端子 4 0 1 と送信端子 4 0 2 と受信端子 4 0 3 とを有している。共通端子 4 0 1 はダイプレクサ 3 1 0 に接続される。送信端子 4 0 2 はアイソレータ 3 0 6 A またはアイソレータ 3 0 6 P に接続される。受信端子 4 0 3 はローノイズアンプ 3 0 4 A またはローノイズアンプ 3 0 4 P に接続される。

【 0 1 1 6 】

デュプレクサ 3 1 2, 3 1 3 は、更に、一端が共通端子 4 0 1 に接続された送信側ディレーライン (図 2 8 では送信側 D L と記す。) 4 0 4 と、出力端が送信側ディレーライン 4 0 4 の他端に接続され、入力端が送信端子 4 0 2 に接続された送信側 B P F 4 0 5 とを有している。デュプレクサ 3 1 2, 3 1 3 は、更に、一端が共通端子 4 0 1 に接続された受

10

20

30

40

50

信側ディレーライン（図28では受信側DLと記す。）406と、入力端が受信側ディレーライン406の他端に接続され、出力端が受信端子403に接続された受信側BPF407とを有している。BPF405、407は、いずれも弾性波素子を用いて構成されている。

【0117】

送信側ディレーライン404および受信側ディレーライン406は、各端子401、402、403からデュプレクサ312、313を見たときのインピーダンスが以下のようになるように調整される。すなわち、共通端子401からデュプレクサ312、313を見たときには、送信信号の周波数帯域および受信信号の周波数帯域においてインピーダンスがほぼ50 となる。送信端子402からデュプレクサ312、313を見たときには、送信信号の周波数帯域ではインピーダンスがほぼ50 となり、受信信号の周波数帯域ではインピーダンスが十分に大きくなる。受信端子403からデュプレクサ312、313を見たときには、受信信号の周波数帯域ではインピーダンスがほぼ50 となり、送信信号の周波数帯域ではインピーダンスが十分に大きくなる。なお、BPF405、407の構成によっては、送信側ディレーライン404と受信側ディレーライン406の一方のみを設ければよい場合もある。

10

【0118】

なお、上述のインピーダンスの関係を実現するために、図28に示したデュプレクサ312、313における共通端子401、送信端子402、受信端子403と、それらに接続される外部の回路との間に、必要に応じて整合回路を設けてもよい。図29は、デュプレクサ312、313およびそれに接続される整合回路の回路構成の一例を示す回路図である。図29に示した例におけるデュプレクサ312、313の構成は、図28に示したデュプレクサ312、313の構成と同様である。図29に示した例では、共通端子401に整合回路411が接続され、送信端子402に整合回路412が接続され、受信端子403に整合回路413が接続されている。これらの整合回路411、412、413は、フロントエンドモジュール302に含まれている。

20

【0119】

整合回路411は、端子414と、2つのキャパシタ415、416とを有している。端子414はダイプレクサ310に接続される。キャパシタ415の一端は端子414に接続され、キャパシタ415の他端は共通端子401に接続されている。キャパシタ416の一端は共通端子401に接続され、キャパシタ416の他端は接地されている。

30

【0120】

整合回路412は、端子417と、2つのキャパシタ418、419と、インダクタ420とを有している。キャパシタ418の一端は端子417に接続されている。キャパシタ419の一端はキャパシタ418の他端に接続され、キャパシタ419の他端は送信端子402に接続されている。インダクタ420の一端はキャパシタ418の他端に接続され、インダクタ420の他端は接地されている。

【0121】

整合回路413は、端子421と、インダクタ422と、キャパシタ423とを有している。インダクタ422の一端は受信端子403に接続され、インダクタ422の他端は端子421に接続されている。キャパシタ423の一端は端子421に接続され、キャパシタ423の他端は接地されている。

40

【0122】

図30は、デュプレクサ312、313における送信側BPF405の特性、すなわち周波数と利得との関係を模式的に表している。図30に示したように、送信側BPF405は、送信信号（図30ではTXと記す。）を通過させ、受信信号（図30ではRXと記す。）を遮断する。

【0123】

図31は、デュプレクサ312、313における受信側BPF407の特性、すなわち周波数と利得との関係を模式的に表している。図31に示したように、受信側BPF407

50

は、受信信号（図 3 1 では R X と記す。）を通過させ、送信信号（図 3 1 では T X と記す。）を遮断する。

【 0 1 2 4 】

次に、図 3 2 ないし図 3 5 を参照して、フロントエンドモジュール 3 0 2 の構造について説明する。図 3 2 は、フロントエンドモジュール 3 0 2 の外観の一例を示す斜視図である。図 3 2 に示したように、フロントエンドモジュール 3 0 2 は、1 つの集積用多層基板 4 3 0 を備えている。ダイプレクサ 3 1 0、2 つのデュプレクサ 3 1 2、3 1 3 および B P F 3 1 4 は、この集積用多層基板 4 3 0 によって集積されている。集積用多層基板 4 3 0 は、誘電体層と、パターン化された導体層とが交互に積層された構造になっている。集積用多層基板 4 3 0 は、例えば低温焼成セラミック多層基板になっている。フロントエンドモジュール 3 0 2 の回路は、集積用多層基板 4 3 0 の内部または表面上の導体層と、集積用多層基板 4 3 0 に搭載された部品とによって構成されている。特に、ダイプレクサ 3 1 0 は、集積用多層基板 4 3 0 の内部または表面上の導体層を用いて構成されている。

10

【 0 1 2 5 】

図 2 8 に示したように、デュプレクサ 3 1 2、3 1 3 は、それぞれ 2 つの B P F 4 0 5、4 0 7 を有している。B P F 4 0 5、4 0 7 は、いずれも弾性波素子を用いて構成されている。古くから、B P F としては、誘電体共振器を用いて構成されたものが使用されていた。しかしながら、誘電体共振器を用いた B P F は、大きく重いいため、フロントエンドモジュールの小型軽量化には不向きである。本実施の形態では、デュプレクサ 3 1 2、3 1 3 は、弾性波素子を用いて構成された B P F 4 0 5、4 0 7 を有しているため、B P F 4 0 5、4 0 7 を含めたフロントエンドモジュール 3 0 2 の小型軽量化が可能である。

20

【 0 1 2 6 】

なお、ここでは、弾性波素子として弾性表面波素子を用いた場合の例について説明するが、第 1 の実施の形態と同様に、弾性表面波素子の代わりにバルク弾性波素子、特に薄膜バルク波素子を用いてもよい。

【 0 1 2 7 】

図 3 2 において、符号 4 3 1、4 3 2 は、デュプレクサ 3 1 2 における B P F 4 0 5、4 0 7 に用いられる弾性表面波素子を含むチップを表わし、符号 4 3 3、4 3 4 は、デュプレクサ 3 1 3 における B P F 4 0 5、4 0 7 に用いられる弾性表面波素子を含むチップを表わしている。チップ 4 3 1 ~ 4 3 4 は集積用多層基板 4 3 0 の上面に実装されている。弾性表面波素子以外のデュプレクサ 3 1 2、3 1 3 の回路部分の少なくとも一部は、集積用多層基板 4 3 0 の内部または表面上の導体層を用いて構成されている。図 3 2 には、弾性表面波素子以外のデュプレクサ 3 1 2、3 1 3 の回路部分の一部が、集積用多層基板 4 3 0 の上面に実装されたチップ部品 4 3 5 ~ 4 3 7 によって構成され、弾性表面波素子以外のデュプレクサ 3 1 2、3 1 3 の回路部分の残りの部分が、集積用多層基板 4 3 0 の内部または表面上の導体層を用いて構成されている例を示している。しかし、弾性表面波素子以外のデュプレクサ 3 1 2、3 1 3 の回路部分は、全てインダクタとキャパシタによって構成できるため、弾性表面波素子以外のデュプレクサ 3 1 2、3 1 3 の回路部分の全部を集積用多層基板 4 3 0 の内部または表面上の導体層を用いて構成してもよい。

30

【 0 1 2 8 】

集積用多層基板 4 3 0 の上面、およびこの上面に実装されたチップ 4 3 1 ~ 4 3 4 およびチップ部品 4 3 5 ~ 4 3 7 は、シールドケース 4 3 8 によって覆われている。

40

【 0 1 2 9 】

図 3 3 は、図 3 2 において符号 4 4 0 で示した断面を表わす断面図である。図 3 3 に示したように、チップ 4 3 1 は、L i T a O₃ 等の圧電材料からなる圧電基板 4 4 1 と、この圧電基板 4 4 1 の一方の面に形成された櫛形電極 4 4 2 と、この櫛形電極 4 4 2 を外部の回路に接続するための接続電極 4 4 3 と、櫛形電極 4 4 2 を覆うカバー 4 4 4 とを有している。接続電極 4 4 3 は、櫛形電極 4 4 2 と同一面上に配置されている。また、櫛形電極 4 4 2 とカバー 4 4 4 との間には空間が形成されている。チップ 4 3 1 は、櫛形電極 4 4 2 が集積用多層基板 4 3 0 の上面に対向するように、フリップチップボンディングによっ

50

て、集積用多層基板 4 3 0 の上面に実装されている。チップ 4 3 2 ~ 4 3 4 の構造および実装方法もチップ 4 3 1 と同様である。

【 0 1 3 0 】

図 3 3 において、符号 4 5 1 は、アンテナ 3 0 1 A に接続されるアンテナ端子を示し、符号 4 5 2 は、AMP S 帯域における受信信号を出力する出力端子を示し、符号 4 5 3 は、グランド端子を示している。これらの端子 4 5 1 ~ 4 5 3 は、集積用多層基板 4 3 0 の下面に配置されている。また、符号 4 5 4 は、集積用多層基板 4 3 0 の内部に配置されたグランド層を示している。このグランド層 4 5 4 は、グランド端子 4 5 3 に接続されている。

【 0 1 3 1 】

また、図 3 3 に示した例では、チップ 4 3 1 は、デュプレクサ 3 1 2 における受信側 B P F 4 0 7 を構成するものとしている。また、図 3 3 には、集積用多層基板 4 3 0 の内部に形成された回路部分の例として、図 2 3 に示した L P F 3 2 4 と、図 2 9 に示した整合回路 4 1 1 と、図 2 9 に示した受信側ディレーライン 4 0 6 と、図 2 9 に示した整合回路 4 1 3 とを示している。図 3 4 は、図 3 3 において符号 4 6 0 で示した部分、すなわち、整合回路 4 1 1 および受信側ディレーライン 4 0 6 を示す斜視図である。

【 0 1 3 2 】

図 3 2 に示した例では、集積用多層基板 4 3 0 の上面が平坦で、この平坦な上面にチップ 4 3 1 ~ 4 3 4 が実装されている。他の例として、図 3 5 に示したように、集積用多層基板 4 3 0 の上面にチップ 4 3 1 ~ 4 3 4 を収納する 4 つの凹部 4 3 9 を形成し、この凹部 4 3 9 内にそれぞれチップ 4 3 1 ~ 4 3 4 を配置してもよい。

【 0 1 3 3 】

図 3 2 に示したフロントエンドモジュール 3 0 2 の大きさは、例えば、縦 5 . 4 mm、横 4 . 0 mm、高さ 1 . 8 mm になっている。

【 0 1 3 4 】

次に、図 3 6 ないし図 4 2 を参照して、本実施の形態に係るフロントエンドモジュール 3 0 2 に対する比較例のフロントエンドモジュールについて説明する。比較例のフロントエンドモジュールの回路構成は、図 1 7 に示したフロントエンドモジュール 3 0 2 と同様である。しかし、比較例では、ダイプレクサと 2 つのデュプレクサは、それぞれ別個の部品とされ、これらが、マザー基板上に半田付け等の方法によって実装されて構成されている。

【 0 1 3 5 】

図 3 6 は、比較例におけるダイプレクサ 5 1 0 の外観の一例を示す平面図である。図 3 6 に示したダイプレクサ 5 1 0 は、第 1 ないし第 3 のポートに対応する端子 5 1 0 A , 5 1 0 B , 5 1 0 C と、3 つのグランド端子 5 1 0 G とを有している。図 3 6 に示した例では、ダイプレクサ 5 1 0 の大きさは、縦 2 . 0 mm、横 1 . 2 mm になっている。

【 0 1 3 6 】

図 3 7 は、図 3 6 に示したダイプレクサ 5 1 0 の断面図である。図 3 8 は、図 3 7 において符号 5 4 1 , 5 4 2 で示した部分を分解して示す斜視図である。図 3 7 に示したように、ダイプレクサ 5 1 0 は多層基板を有している。図 3 7 および図 3 8 には、端子 5 1 1 A と、この端子 5 1 1 A に接続された L P F 5 2 4 とが示されている。L P F 5 2 4 は、多層基板の内部または表面上の導体層を用いて形成されている。この L P F 5 2 4 は、図 2 3 に示した構成になっている。すなわち、L P F 5 2 4 は、インダクタ 3 4 3 と 3 つのキャパシタ 3 4 4 ~ 3 4 6 を有している。なお、図 3 7 において、符号 5 4 0 はグランド層を示している。

【 0 1 3 7 】

図 3 9 は、比較例におけるデュプレクサ 5 1 2 , 5 1 3 の外観の一例を示す斜視図である。図 3 9 に示したデュプレクサ 5 1 2 , 5 1 3 は、それぞれ B P F に用いられる弾性表面波素子を含む 2 つのチップ 5 2 1 , 5 2 2 と、この 2 つのチップ 5 2 1 , 5 2 2 が実装された実装基板 5 2 3 と、チップ 5 2 1 , 5 2 2 を覆うシールドケース 5 2 4 とを有してい

10

20

30

40

50

る。実装基板 5 2 3 は多層基板になっている。図 3 9 に示した例では、デュプレクサ 5 1 2 , 5 1 3 の大きさは、縦 5 mm、横 5 mm、高さ 1 . 5 mm になっている。

【 0 1 3 8 】

図 4 0 は、図 3 9 におけるチップ 5 2 1 を通る断面を示す断面図である。図 4 0 におけるチップ 5 2 1 の構造は、図 3 3 に示したチップ 4 3 1 の構造と同様である。図 4 0 には、共通端子 5 3 1、受信端子 5 3 2、受信側ディレーライン 5 3 3 および整合回路 5 3 4 が示されている。受信側ディレーライン 5 3 3 および整合回路 5 3 4 は、実装基板 5 2 3 の内部または表面上の導体層を用いて形成されている。

【 0 1 3 9 】

図 4 1 は比較例におけるフロントエンドモジュールの構成部品の配置例を示す平面図、図 4 2 はこの配置例を示す斜視図である。この例では、マザー基板上に、ダイプレクサ 5 1 0、デュプレクサ 5 1 2 , 5 1 3 およびそれらの周辺回路が配置される第 1 の領域 5 3 7 と、B P F 5 1 4 およびその周辺回路が配置される第 2 の領域 5 3 8 とが設けられている。この例では、B P F 5 1 4 の大きさは、縦 3 mm、横 6 mm になっている。また、この例では、第 1 の領域 5 3 7 の大きさは縦 1 3 mm、横 1 0 mm で、第 2 の領域 5 3 8 の大きさは縦 5 mm、横 1 0 mm になっている。

【 0 1 4 0 】

本実施の形態に係るフロントエンドモジュール 3 0 2 は、比較例に比べて、占有面積を小さくすることができる。

【 0 1 4 1 】

以上説明したように、本実施の形態に係るフロントエンドモジュール 3 0 2 は、A M P S 帯域と P C S 帯域とを分離するダイプレクサ 3 1 0 と、A M P S 帯域における送信信号と受信信号とを分離するデュプレクサ 3 1 2 と、P C S 帯域における送信信号と受信信号とを分離するデュプレクサ 3 1 3 と、G P S における受信信号を選択的に通過させる B P F 3 1 4 とを備えている。デュプレクサ 3 1 2 は、それぞれフィルタとして機能する 2 つの弾性波素子を含んでいる。デュプレクサ 3 1 3 も、それぞれフィルタとして機能する 2 つの弾性波素子を含んでいる。本実施の形態では、ダイプレクサ 3 1 0、デュプレクサ 3 1 2 , 3 1 3 および B P F 3 1 4 は、集積用多層基板 4 3 0 によって集積されている。ダイプレクサ 3 1 0 は、集積用多層基板 4 3 0 の内部または表面上の導体層を用いて構成されている。

【 0 1 4 2 】

以上のことから、本実施の形態によれば、フロントエンドモジュール 3 0 2 によって、A M P S 帯域と P C S 帯域のそれぞれにおける送信信号および受信信号と、G P S における受信信号とを処理することができる。また、本実施の形態では、デュプレクサ 3 1 2 , 3 1 3 によって送信信号と受信信号とを分離するので、符号分割多重接続方式に対応可能である。また、本実施の形態によれば、小型軽量化、複合化および集積化が容易なフロントエンドモジュール 3 0 2 を実現することができる。

【 0 1 4 3 】

また、本実施の形態では、デュプレクサ 3 1 2 における B P F 4 0 5 , 4 0 7 に用いられる弾性表面波素子を含むチップ 4 3 1 , 4 3 2 と、デュプレクサ 3 1 3 における B P F 4 0 5 , 4 0 7 に用いられる弾性表面波素子を含むチップ 4 3 3 , 4 3 4 は、集積用多層基板 4 3 0 の上面に実装されている。そして、弾性表面波素子以外のデュプレクサ 3 1 2 , 3 1 3 の回路部分の少なくとも一部は、集積用多層基板 4 3 0 の内部または表面上の導体層を用いて構成されている。これにより、フロントエンドモジュール 3 0 2 をより小型軽量化することが可能になる。

【 0 1 4 4 】

また、本実施の形態によれば、弾性波素子を含むデュプレクサ 3 1 2 , 3 1 3 を、ダイプレクサ 3 1 0 と一体化することにより、デュプレクサ 3 1 2 , 3 1 3 とその周辺回路とのインピーダンス整合を最適化することが可能になる。従って、本実施の形態によれば、フロントエンドモジュール 3 0 2 の性能を向上させることも可能になる。

10

20

30

40

50

【 0 1 4 5 】

なお、本発明は、上記各実施の形態に限定されず、種々の変更が可能である。例えば、各実施の形態では、デュプレクサにおける送信側 BPF に用いられる弾性波素子を含むチップと受信側 BPF に用いられる弾性波素子を含むチップとを別体に行っている。しかし、本発明では、これらの 2 つのチップを合体して 1 つのチップとしてもよい。

【 0 1 4 6 】

また、各実施の形態で挙げた周波数帯域の組み合わせは一例であり、本発明は、他の周波数帯域の組み合わせに対しても適用することができる。

【 0 1 4 7 】

【発明の効果】

以上説明したように請求項 1 ないし 4 のいずれかに記載のフロントエンドモジュールは、第 1 および第 2 の周波数帯域を分離する第 1 の分離手段と、第 1 の周波数帯域における送信信号と受信信号とを分離する第 2 の分離手段と、第 2 の周波数帯域における送信信号と受信信号とを分離する第 3 の分離手段とを備えている。第 2 の分離手段は、それぞれフィルタとして機能する 2 つの弾性波素子を含んでいる。第 3 の分離手段も、それぞれフィルタとして機能する 2 つの弾性波素子を含んでいる。第 1 ないし第 3 の分離手段は、1 つの集積用多層基板によって集積されている。また、第 1 の分離手段は、集積用多層基板の内部または表面上の導体層を用いて構成されている。従って、本発明によれば、第 1 および第 2 の周波数帯域のそれぞれにおける送信信号および受信信号を処理できると共に符号分割多重接続方式に対応可能で、且つ小型軽量化、複合化および集積化が容易なフロントエンドモジュールを実現することができるという効果を奏する。

【 0 1 4 8 】

また、本発明のフロントエンドモジュールでは、第 2 の分離手段に含まれる 2 つの弾性波素子および第 3 の分離手段に含まれる 2 つの弾性波素子は、集積用多層基板に実装され、弾性波素子以外の第 2 の分離手段および第 3 の分離手段の回路部分の少なくとも一部は、集積用多層基板の内部または表面上の導体層を用いて構成されている。従って、本発明によれば、フロントエンドモジュールをより小型軽量化することが可能になるという効果を奏する。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係るフロントエンドモジュールを含む携帯電話の高周波回路の一例を示すブロック図である。

【図 2】図 1 におけるダイプレクサの回路構成の一例を示す回路図である。

【図 3】図 1 における高周波スイッチの回路構成の一例を示す回路図である。

【図 4】図 1 におけるデュプレクサの回路構成の一例を示すブロック図である。

【図 5】図 1 におけるデュプレクサおよびそれに接続される整合回路の回路構成の一例を示す回路図である。

【図 6】図 1 におけるローパスフィルタの回路構成の一例を示す回路図である。

【図 7】図 1 におけるカプラの回路構成の一例を示す回路図である。

【図 8】図 1 における電力増幅器の回路構成の一例を示す回路図である。

【図 9】図 1 におけるデュプレクサの構造の第 1 の例を示す断面図である。

【図 10】図 1 におけるデュプレクサの構造の第 2 の例を示す断面図である。

【図 11】図 1 におけるデュプレクサの構造の第 3 の例を示す断面図である。

【図 12】本発明の第 1 の実施の形態における第 1 の変形例のフロントエンドモジュールを含む携帯電話の高周波回路を示すブロック図である。

【図 13】本発明の第 1 の実施の形態における第 2 の変形例のフロントエンドモジュールを含む携帯電話の高周波回路を示すブロック図である。

【図 14】本発明の第 1 の実施の形態における第 2 の変形例のフロントエンドモジュールにおける電力増幅器の配置の一例を示す断面図である。

【図 15】本発明の第 1 の実施の形態の第 3 の変形例におけるアンテナの構造の第 1 の例を示す斜視図である。

10

20

30

40

50

【図 16】本発明の第 1 の実施の形態の第 3 の変形例におけるアンテナの構造の第 2 の例を示す斜視図である。

【図 17】本発明の第 2 の実施の形態に係るフロントエンドモジュールを含む携帯電話の高周波回路の一例を示すブロック図である。

【図 18】本発明の第 2 の実施の形態に係るフロントエンドモジュールによって処理される信号の周波数帯域を示す説明図である。

【図 19】図 17 におけるダイプレクサの構成の一例を示すブロック図である。

【図 20】図 19 におけるローパスフィルタの特性を示す説明図である。

【図 21】図 19 におけるハイパスフィルタの特性を示す説明図である。

【図 22】図 17 におけるバンドパスフィルタの特性を示す説明図である。

10

【図 23】図 19 におけるローパスフィルタの構成の一例を示す回路図である。

【図 24】図 23 に示したローパスフィルタの代わりに用いることの可能な高域除去型のノッチフィルタの構成の一例を示す回路図である。

【図 25】図 19 におけるハイパスフィルタの構成の一例を示す回路図である。

【図 26】図 25 に示したハイパスフィルタの代わりに用いることの可能な低域除去型のノッチフィルタの構成の一例を示す回路図である。

【図 27】図 17 におけるバンドパスフィルタの構成の一例を示す回路図である。

【図 28】図 17 におけるデュプレクサの構成の一例を示すブロック図である。

【図 29】図 17 におけるデュプレクサおよびそれに接続される整合回路の構成の一例を示す回路図である。

20

【図 30】図 28 または図 29 における送信側バンドパスフィルタの特性を示す説明図である。

【図 31】図 28 または図 29 における受信側バンドパスフィルタの特性を示す説明図である。

【図 32】本発明の第 2 の実施の形態に係るフロントエンドモジュールの外観の一例を示す斜視図である。

【図 33】図 32 に示したフロントエンドモジュールの断面図である。

【図 34】図 33 における一部を示す斜視図である。

【図 35】本発明の第 2 の実施の形態に係るフロントエンドモジュールの構造の他の例を示す断面図である。

30

【図 36】比較例のフロントエンドモジュールにおけるダイプレクサの外観の一例を示す平面図である。

【図 37】図 36 に示したダイプレクサの断面図である。

【図 38】図 37 における一部を分解して示す斜視図である。

【図 39】比較例におけるデュプレクサの外観の一例を示す斜視図である。

【図 40】図 39 に示したデュプレクサの断面図である。

【図 41】比較例におけるフロントエンドモジュールの構成部品の配置例を示す平面図である。

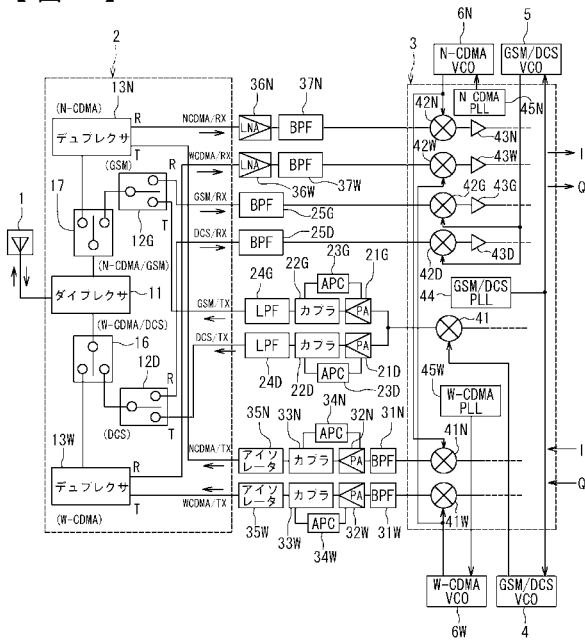
【図 42】比較例におけるフロントエンドモジュールの構成部品の配置例を示す斜視図である。

40

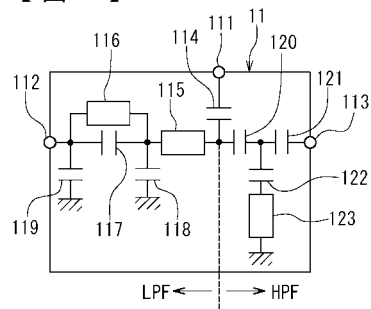
【符号の説明】

1 ... アンテナ、2 ... フロントエンドモジュール、3 ... 集積回路、11 ... ダイプレクサ、12G, 12D ... 高周波スイッチ、13W, 13N ... デュプレクサ、20 ... 集積用多層基板、51, 52 ... チップ、53 ... 実装基板、56 ... 実装基板、154 ... 受信側ディレーライン、155 ... 受信側バンドパスフィルタ、156 ... 送信側ディレーライン、157 ... 送信側バンドパスフィルタ。

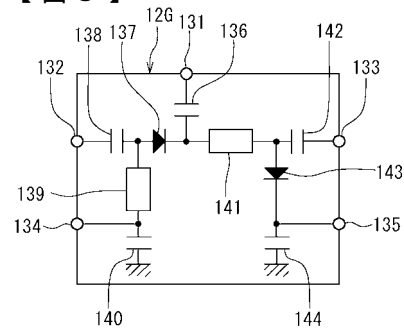
【図 1】



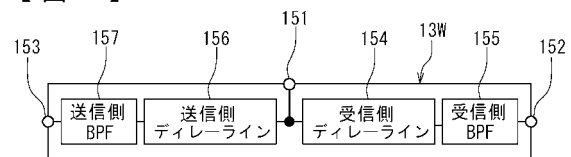
【図 2】



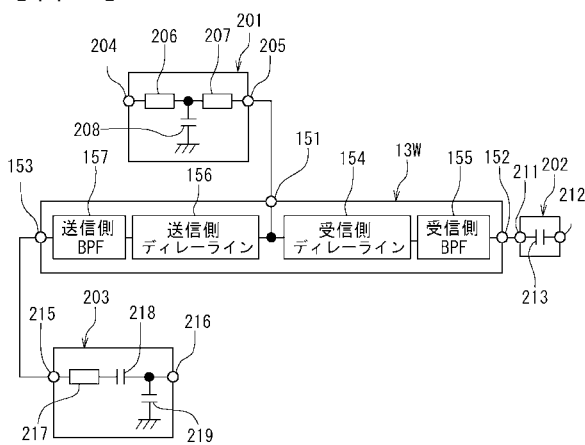
【図 3】



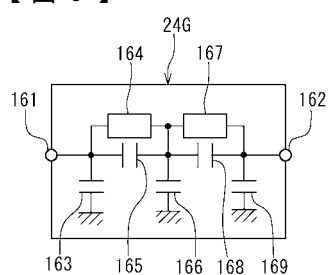
【図 4】



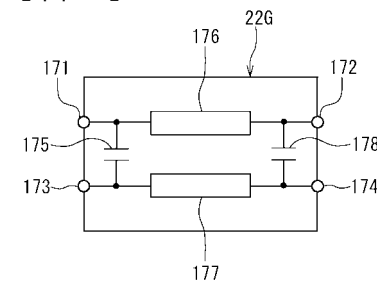
【図 5】



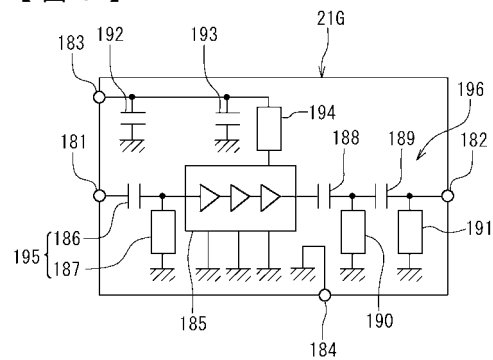
【図 6】



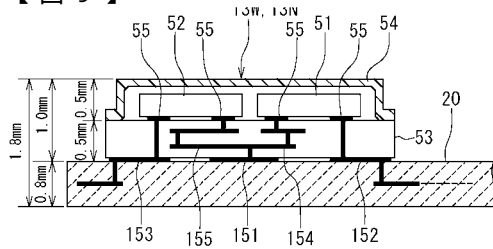
【図 7】



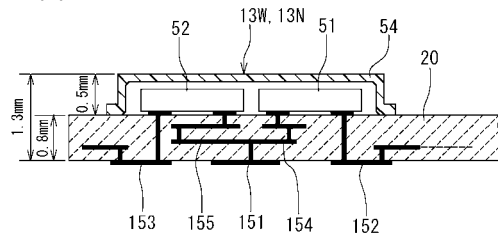
【図 8】



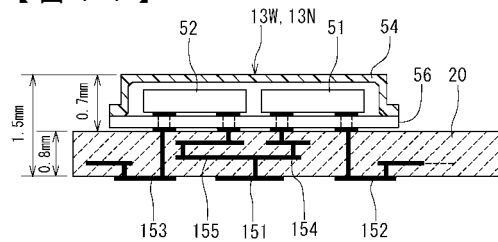
【図 9】



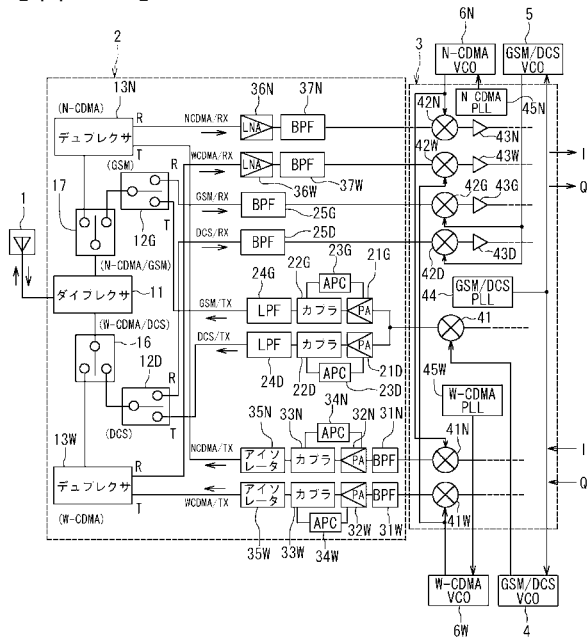
【図 10】



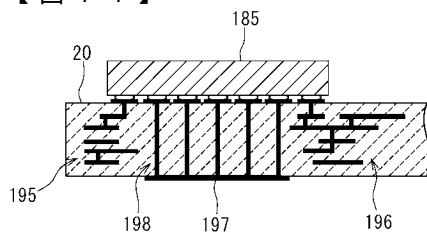
【図 11】



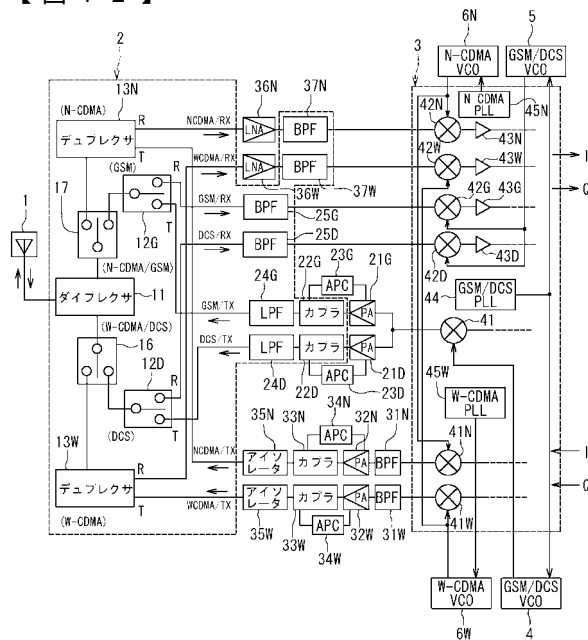
【図 13】



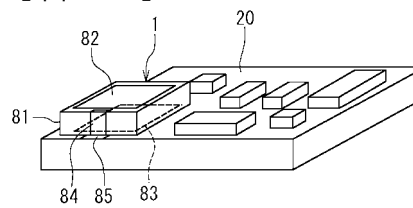
【図 14】



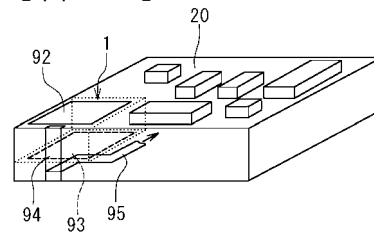
【図 12】



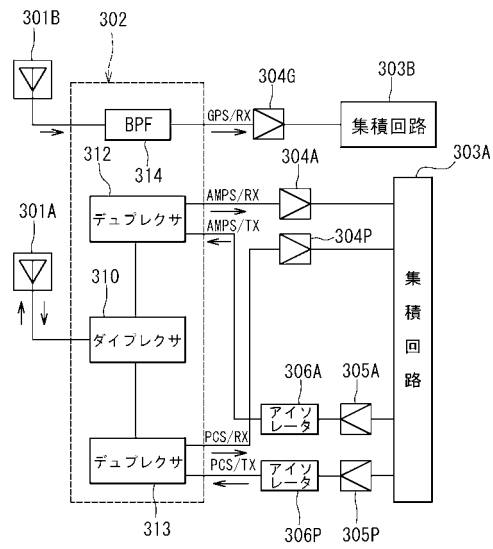
【図 15】



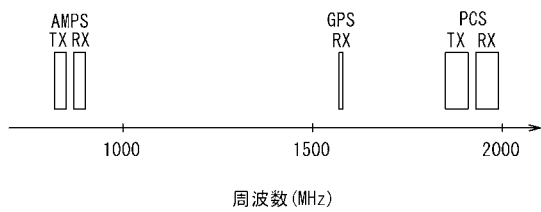
【図 16】



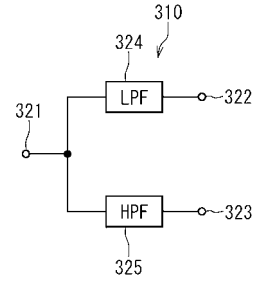
【図 17】



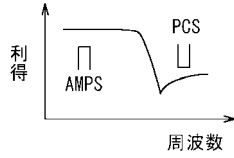
【図 18】



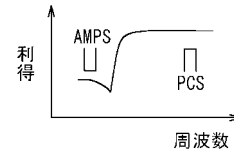
【図 19】



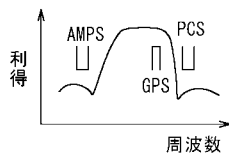
【図 20】



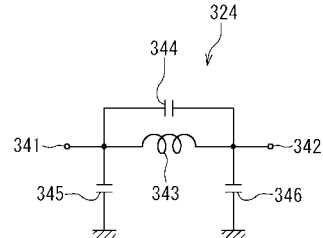
【図 21】



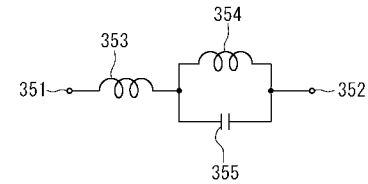
【図 22】



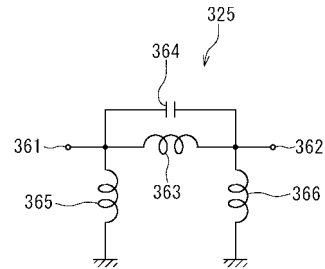
【図 23】



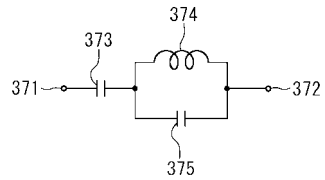
【図 24】



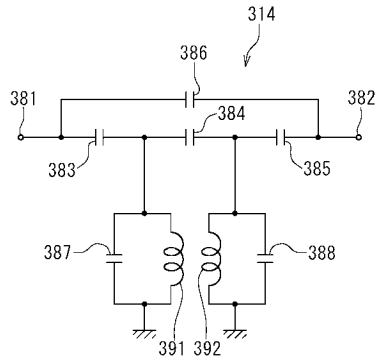
【図 25】



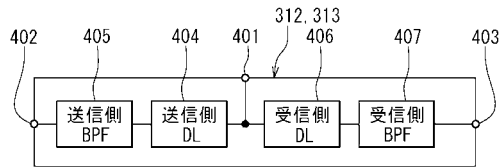
【図 26】



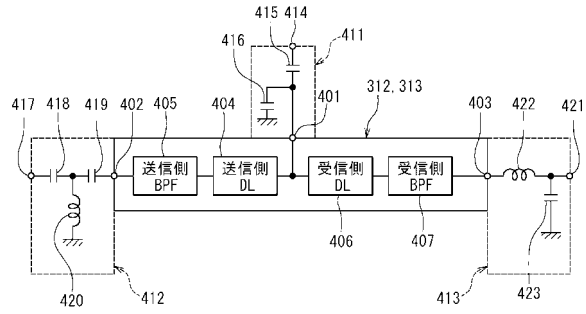
【図 27】



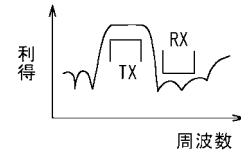
【図 28】



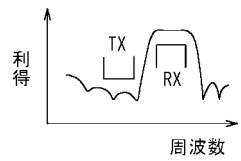
【図 29】



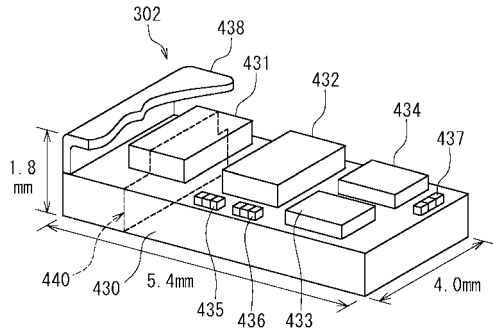
【図 30】



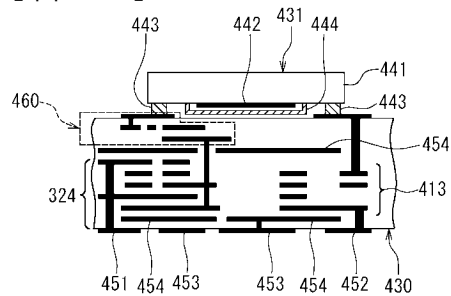
【図 31】



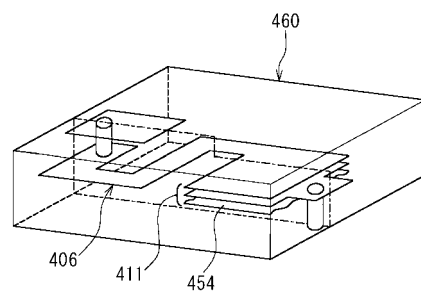
【図 32】



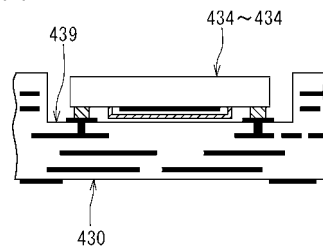
【図 33】



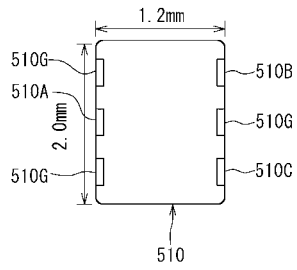
【図 34】



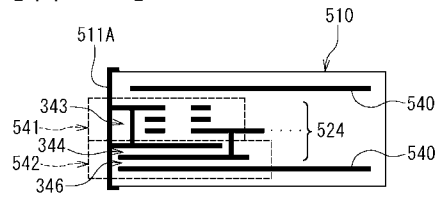
【図 35】



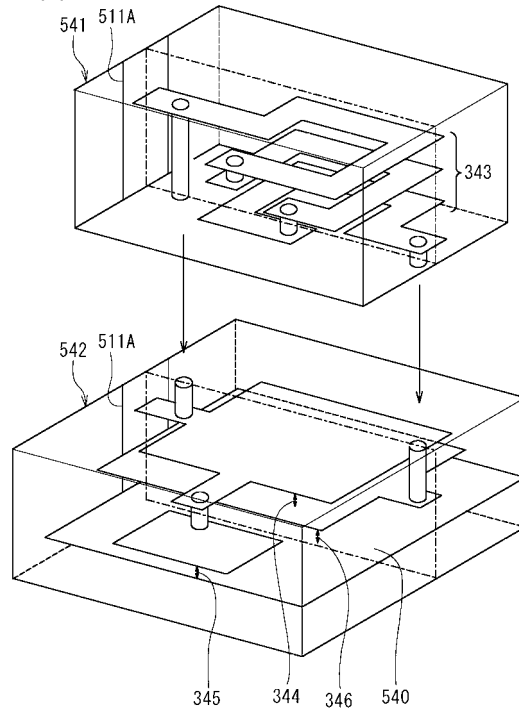
【図 36】



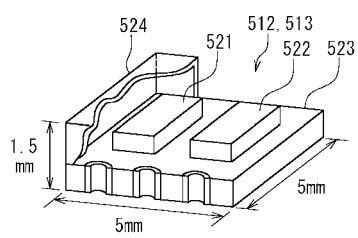
【図 37】



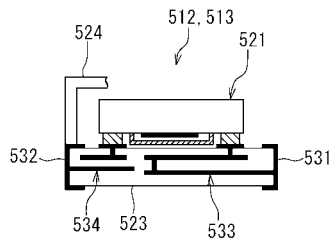
【図 38】



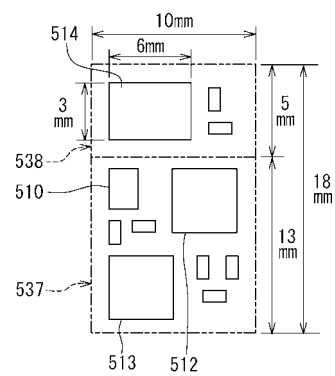
【図 39】



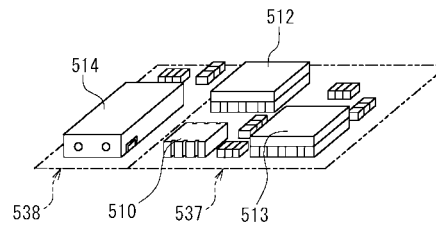
【図 40】



【図 41】



【図 42】



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

H04B 1/50