

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4335184号
(P4335184)

(45) 発行日 平成21年9月30日(2009.9.30)

(24) 登録日 平成21年7月3日(2009.7.3)

| | | | | | |
|--------------|-------------|------------------|------|------|---|
| (51) Int.Cl. | | F I | | | |
| HO3G | 3/10 | (2006.01) | HO3G | 3/10 | D |
| HO3F | 3/68 | (2006.01) | HO3G | 3/10 | E |
| | | | HO3F | 3/68 | Z |

請求項の数 7 (全 17 頁)

| | | | |
|--------------|-------------------------------|-----------|----------------------------|
| (21) 出願番号 | 特願2005-228131 (P2005-228131) | (73) 特許権者 | 505287494 |
| (22) 出願日 | 平成17年8月5日(2005.8.5) | | インテグラント テクノロジーズ インコーポレーテッド |
| (65) 公開番号 | 特開2006-135933 (P2006-135933A) | | 大韓民国 463-810 キョンギド |
| (43) 公開日 | 平成18年5月25日(2006.5.25) | | ソンナムシ ブンダング グミンドン15 |
| 審査請求日 | 平成17年8月5日(2005.8.5) | | 3 ロードランド イージータワー7階 |
| (31) 優先権主張番号 | 2004-0063440 | (74) 代理人 | 100077931 |
| (32) 優先日 | 平成16年8月12日(2004.8.12) | | 弁理士 前田 弘 |
| (33) 優先権主張国 | 韓国 (KR) | (74) 代理人 | 100094134 |
| (31) 優先権主張番号 | 2004-0087472 | | 弁理士 小山 廣毅 |
| (32) 優先日 | 平成16年10月29日(2004.10.29) | (74) 代理人 | 100110939 |
| (33) 優先権主張国 | 韓国 (KR) | | 弁理士 竹内 宏 |
| | | (74) 代理人 | 100110940 |
| | | | 弁理士 嶋田 高久 |

最終頁に続く

(54) 【発明の名称】 スイッチを用いた高線形プログラマブル利得増幅器

(57) 【特許請求の範囲】

【請求項 1】

入力信号の大きさを減衰させる減衰手段と、
上記減衰手段を活性化すると共に上記入力信号の大きさの減衰の程度を切り換えるためのスイッチと、

上記入力信号を上記スイッチ及び上記減衰手段をバイパスして直接増幅する第1の増幅器及び上記第1の増幅器を活性化するための第1のスイッチを含む第1の増幅手段と、前記減衰手段で減衰された入力信号を増幅する第2の増幅器及び上記第2の増幅器を活性化するための第2のスイッチを含む第2の増幅手段とを含む増幅部とを備えた

ことを特徴とするスイッチを用いた高線形プログラマブル利得増幅器。

10

【請求項 2】

前記請求項1記載のスイッチを用いた高線形プログラマブル利得増幅器において、上記減衰手段は利得を調節するためのスイッチと抵抗分配器とを含むことを特徴とするスイッチを用いた高線形プログラマブル利得増幅器。

【請求項 3】

前記請求項2記載のスイッチを用いた高線形プログラマブル利得増幅器において、上記第1のスイッチと第2のスイッチとは互いに相補的にスイッチングされることを特徴とするスイッチを用いた高線形プログラマブル利得増幅器。

【請求項 4】

前記請求項2記載のスイッチを用いた高線形プログラマブル利得増幅器において、

20

上記減衰手段のスイッチがオンされる場合、第1の増幅手段の第1のスイッチはオフされ、第2の増幅手段の第2のスイッチはオンされる

ことを特徴とするスイッチを用いた高線形プログラマブル利得増幅器。

【請求項5】

前記請求項1記載のスイッチを用いた高線形プログラマブル利得増幅器において、
上記第1のスイッチは第1の増幅器の出力段に連結され、上記第2のスイッチは第2の増幅器の出力段に連結される

ことを特徴とするスイッチを用いた高線形プログラマブル利得増幅器。

【請求項6】

前記請求項1記載のスイッチを用いた高線形プログラマブル利得増幅器において、
上記減衰手段は2つ以上が並列に連結される

10

ことを特徴とするスイッチを用いた高線形プログラマブル利得増幅器。

【請求項7】

前記請求項6記載のスイッチを用いた高線形プログラマブル利得増幅器において、
上記減衰手段はそれぞれ異なるウエル構造で形成される

ことを特徴とするスイッチを用いた高線形プログラマブル利得増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、利得増幅器に関し、特に、スイッチを用いた高線形プログラマブル利得増幅器に関するものである。

20

【背景技術】

【0002】

図1は、従来のスイッチを用いた多段利得スイッチ増幅器(D i s c r e t e - S t e p G a i n S w i t c h A m p l i f i e r : D S G S A)の回路図を示す。

【0003】

同図において、従来の多段利得スイッチ増幅器は、減衰手段(110)と増幅部(120)とから構成される。

【0004】

減衰手段(110)は入力段(IN)、スイッチ(SW11乃至SW14)及び抵抗(R11乃至R16)から構成される。

30

【0005】

増幅部(120)は増幅器(121)、抵抗(RF1及びRF2)及び出力段(OUT)から構成される。

【0006】

ここで、減衰手段(110)の出力段は、増幅部(120)の入力段と互いに連結される。

【0007】

減衰手段(110)の全スイッチ(SW11乃至SW14)を開放すると、減衰手段(110)に入力信号が印加されても回路の構成がなされないようになり、増幅部(120)の増幅器(121)ではいずれの信号も増幅されないので出力が発生しない。

40

【0008】

減衰手段(110)のスイッチ(SW11)を閉めて回路を構成する場合、増幅部(120)の第1の入力段に入力信号が印加され、抵抗(R11乃至R16)の合成抵抗値による減衰手段(110)によって減衰された信号が増幅部(120)の第2の入力段に印加される。

【0009】

すなわち、減衰手段(110)のスイッチ(SW11乃至SW14)をオン/オフ(ON/OFF)することによって増幅器(121)の利得を変更するようになる。

【0010】

50

図2は、従来の増幅器を並列連結し可変利得低雑音増幅器 (Variable Gain Low Noise Amplifier: VGLNA) を構成した回路図である。

【0011】

同図において、従来の可変利得低雑音増幅器は第1乃至第4の選択部(201、202、203、204)、電源部及び入出力段から構成される。

【0012】

第1の選択部(201)は駆動のための抵抗(R21、R22)、キャパシタ(C11)、トランジスタ(M11)及びキャパシタ(C12)及びトランジスタ(M12)から構成される。

【0013】

第2の選択部(202)は駆動のための抵抗(R23、R24)、キャパシタ(C21)、トランジスタ(M21)及び増幅のためのキャパシタ(C22、C23)、トランジスタ(M22)から構成される。

【0014】

第3の選択部(203)は駆動のための抵抗(R25、R26)、キャパシタ(C31)、トランジスタ(M31)及び増幅のためのキャパシタ(C32、C33)、トランジスタ(M32)から構成される。

【0015】

第4の選択部(204)は駆動のための抵抗(R27、R28)、キャパシタ(C41)、トランジスタ(M41)及び増幅のためのキャパシタ(C42、C43)、トランジスタ(M42)から構成される。

【0016】

詳細な動作は次の通りである。

【0017】

第1の選択部(201)の選択のためのトランジスタ(M12)のベースに電流(I1)を印加すると、トランジスタ(M12)のコレクタとエミッタとの間に電流が増幅されて導通するようになり、トランジスタ(M11)のコレクタとエミッタとの間に電流が導通され、キャパシタ(C12)によって利得が決定される。

【0018】

第2の選択部(202)の選択のためのトランジスタ(M22)のベースに電流(I2)を印加すると、トランジスタ(M22)は導通するようになり、トランジスタ(M21)のコレクタとエミッタとの間に電流が導通され、トランジスタ(M22)のキャパシタ(C22)と(C23)との比によって利得が決定される。

【0019】

第3または第4の選択部(203または204)の動作も同じ原理で動作する。

【0020】

結局、トランジスタ(M12)の場合は減衰しなく、トランジスタ(M22)の場合はキャパシタ(C22)とキャパシタ(C23)との比、トランジスタ(M32)の場合はキャパシタ(C32)とキャパシタ(C33)との比、トランジスタ(M42)の場合はキャパシタ(C42)とキャパシタ(C43)との比によって利得が決定される。

【0021】

従って、各々の選択部(201乃至204)を選択することにより利得が変更される。

【0022】

つまり、要望の利得を選択する場合、選択部(201乃至204)を並列に連結することによって多様に利得を選択することができる。

【発明の開示】

【発明が解決しようとする課題】

【0023】

しかしながら、図1に示した多段利得スイッチ増幅器について、増幅部(120)の第1及び第2の入力段に減衰手段(110)が存在するようになると、低利得(Low G

10

20

30

40

50

ain : LG) 時には増幅器 (121) において雑音指数 (Noise Figure : NF) の影響を少なく受けるが、増幅器 (121) において高利得 (High Gain : HG) 時に増幅や変換作用を行うようになる場合には、スイッチ素子のスイッチング雑音及び、増幅器 (121) 内部の熱雑音などによって発生する雑音が原信号に付加され雑音指数が悪くなる短所がある。

【0024】

一方、図2に示した可変利得低雑音増幅器について、選択のための電流の印加及び増幅素子の並列連結は、帯域幅 (Bandwidth) 面からみて悪くなる特性があり、可変利得のための電流を印加するので総消費電力が増加するようになるという短所がある。

【0025】

本発明は、上記の課題に着目してなされたものであり、本発明の第1の目的は、可変利得増幅素子の雑音指数 (Noise Figure) 及び帯域幅 (Bandwidth) を確保する可変利得増幅器を提供することにある。

【0026】

また、本発明の第2の目的は、消費電力が少ない可変利得増幅器を提供することにある。

【0027】

さらに、本発明の第3の目的は、高い増幅線形性を有する可変利得増幅器を提供することにある。

【課題を解決するための手段】

【0028】

請求項1記載の発明のスイッチを用いた高線形プログラマブル利得増幅器は、入力信号の大きさを減衰させる減衰手段と、上記減衰手段を活性化すると共に上記入力信号の大きさの減衰の程度を切り換えるためのスイッチと、上記入力信号を上記スイッチ及び上記減衰手段をバイパスして直接増幅する第1の増幅器及び上記第1の増幅器を活性化するための第1のスイッチを含む第1の増幅手段と、前記減衰手段で減衰された入力信号を増幅する第2の増幅器及び上記第2の増幅器を活性化するための第2のスイッチを含む第2の増幅手段とを含む増幅部とを備えたことを特徴とする。

【0029】

請求項2記載の発明は、前記請求項1記載のスイッチを用いた高線形プログラマブル利得増幅器において、上記減衰手段は利得を調節するためのスイッチと抵抗分配器とを含むことを特徴とする。

【0030】

請求項3記載の発明は、前記請求項2記載のスイッチを用いた高線形プログラマブル利得増幅器において、上記第1のスイッチと第2のスイッチとは互いに相補的にスイッチングされることを特徴とする。

【0031】

請求項4記載の発明は、前記請求項2記載のスイッチを用いた高線形プログラマブル利得増幅器において、上記減衰手段のスイッチがオンされる場合、第1の増幅手段の第1のスイッチはオフされ、第2の増幅手段の第2のスイッチはオンされることを特徴とする。

【0032】

請求項5記載の発明は、前記請求項1記載のスイッチを用いた高線形プログラマブル利得増幅器において、上記第1のスイッチは第1の増幅器の出力段に連結され、上記第2のスイッチは第2の増幅器の出力段に連結されることを特徴とする。

【0033】

請求項6記載の発明は、前記請求項1記載のスイッチを用いた高線形プログラマブル利得増幅器において、上記減衰手段は2つ以上が並列に連結されることを特徴とする。

【0034】

請求項7記載の発明は、前記請求項6記載のスイッチを用いた高線形プログラマブル利得増幅器において、上記減衰手段はそれぞれ異なるウエル構造で形成されることを特徴と

10

20

30

40

50

する。

【 0 0 3 5 】

その他の実施例の具体的な事項は詳細な説明及び図面に含まれている。

【 発明の効果 】

【 0 0 3 6 】

以上説明したように、請求項 1 ~ 7 記載の発明のスイッチを用いた高線形プログラマブル利得増幅器によれば、可変利得増幅の出力が低利得から高利得まで高い線形性を提供する。可変利得増幅器の低利得 (Low Gain) 又は高利得 (High Gain) において雑音指数及び帯域幅 (Bandwidth) を確保し安定的な増幅回路を実現できる効果を有すると共に、可変利得増幅器において低利得から高利得までプログラマブルに利得を制御するように行うことによって、全体の総消費電力を減らすことが可能である。

10

【 発明を実施するための最良の形態 】

【 0 0 3 7 】

本発明の利点及び特徴、またそれらを達成する方法は添付する図面とともに詳細に後述されている実施例を参照すれば明確になるだろう。しかし、本発明は以下において開示した実施形態に限定されるものではなく、互いに異なる多様な形態で実現することができ、ただ本実施例は本発明の開示が完全であるようにし、本発明の属する技術分野において通常の知識を有している者に発明の範疇を完全に知らせるために提供されるものであり、本発明は請求項の範疇により定義されるだけである。明細書の全体にわたって同一の参照符号は同一の構成要素を指称する。

20

【 0 0 3 8 】

以下、添付した図面を参照して本発明の好ましい実施例を詳細に説明する。

(第 1 の実施形態)

図 3 は、本発明の第 1 の実施形態のスイッチを用いた高線形プログラマブル利得増幅器の回路図を示す。

< 構成 >

同図において、本実施形態のスイッチを用いた高線形プログラマブル利得増幅器は減衰部 (3 1 0) と増幅部 (3 2 0) とを含む。

【 0 0 3 9 】

減衰部 (3 1 0) は第 1 の減衰手段 (3 1 1)、第 2 の減衰手段 (3 1 2)、第 3 の減衰手段 (3 1 3) 及び第 4 の減衰手段 (3 1 4) を含む。

30

【 0 0 4 0 】

ここで、第 1 の減衰手段 (3 1 1) は第 1 のスイッチ (S W 3 1) と第 1 の抵抗分配器 (R 3 1、R 3 2) とを含み、第 2 の減衰手段 (3 1 2) は第 2 のスイッチ (S W 3 2) と第 2 の抵抗分配器 (R 3 3、R 3 4) とを含み、第 3 の減衰手段 (3 1 3) は第 3 のスイッチ (S W 3 3) と第 3 の抵抗分配器 (R 3 5、R 3 6) とを含み、第 4 の減衰手段 (3 1 4) は第 4 のスイッチ (S W 3 4) と第 4 の抵抗分配器 (R 3 7、R 3 8) とを含む。

【 0 0 4 1 】

増幅部 (3 2 0) は第 1 の増幅手段 (3 2 1 H G) と第 2 の増幅手段 (3 2 1 L G) とを含む。

40

【 0 0 4 2 】

ここで、第 1 の増幅手段 (3 2 1 H G) には、第 1 の増幅器 (3 2 2 H G) と第 1 の増幅スイッチ (S W H G) とが含まれ、第 2 の増幅手段 (3 2 1 L G) には、第 2 の増幅器 (3 2 2 L G) と第 2 の増幅スイッチ (S W L G) とが含まれる。

< 連結関係 >

第 1 のスイッチ (S W 3 1) の一段は入力段 (I N) と連結され、第 1 のスイッチ (S W 3 1) の他段は第 1 の抵抗分配器 (3 1 1 a) の一段に連結される。

【 0 0 4 3 】

50

ここで、第1の抵抗分配器(311a)は第1の抵抗(R31)と第2の抵抗(R32)とが並列に連結されている。

【0044】

第2のスイッチ(SW32)の一段は入力段(IN)と連結され、第2のスイッチ(SW32)の他段は第2の抵抗分配器(312a)の一段に連結される。

【0045】

ここで、第2の抵抗分配器(312a)は第3の抵抗(R33)と第4の抵抗(R34)が並列に連結されている。

【0046】

第3のスイッチ(SW33)の一段は入力段(IN)と連結され、第3のスイッチ(SW33)の他段は第3の抵抗分配器(313a)の一段に連結される。

10

【0047】

ここで、第3の抵抗分配器(313a)は第5の抵抗(R35)と第6の抵抗(R36)が並列に連結されている。

【0048】

第4のスイッチ(SW34)の一段は入力段(IN)と連結され、第4のスイッチ(SW34)の他段は第4の抵抗分配器(314a)の一段に連結される。

【0049】

ここで、第4の抵抗分配器(314a)は第7の抵抗(R37)と第8の抵抗(R38)が並列に連結されている。

20

【0050】

第1の増幅器(322HG)の入力段は入力段(IN)と連結されて第1の増幅手段(321HG)の入力段を形成し、第1の増幅器(322HG)の出力段は第1の増幅スイッチ(SWHG)の一段に連結され、第1の増幅スイッチ(SWHG)の他段は出力段(OUT)に連結される。

【0051】

第2の増幅器(322LG)の入力段は第4の抵抗分配器(314a)の出力段に連結されて第2の増幅手段(321LG)の入力段を形成し、第2の増幅器(322LG)の出力段は第2の増幅スイッチ(SWLG)の一段に連結され、第2の増幅スイッチ(SWLG)の他段は出力段(OUT)に連結される。

30

<動作>

第1乃至第4の減衰手段(311乃至314)において第1乃至第4のスイッチ(SW31乃至SW34)が全てオフされると、第1乃至第4の減衰手段(311乃至314)は入力段(IN)に印加された入力信号が第2の増幅手段(321LG)の入力段へ入力されることができないようになるので第2の増幅手段(321LG)が動作せず、第1の増幅手段(321HG)による増幅動作のみが遂行されて出力段(OUT)に出力される。

【0052】

すなわち、第2の増幅手段(321LG)による増幅作用をプログラマブルに制御するために第1乃至第4のスイッチ(SW31乃至SW34)のうちのいずれか1つでもオン状態になることと同時に第1の増幅スイッチ(SWHG)はオフしなければならない。

40

【0053】

それと反対に、第1乃至第4のスイッチ(SW31乃至SW34)を全てオフすることと同時にスイッチ(SWLG)をオフしなければならない。

【0054】

従って、高利得(High Gain:HG)である場合、スイッチングによる雑音指数(Noise Figure:NF)が問題にならないようになる。

【0055】

ここで、第1乃至第4のスイッチ(SW31乃至SW34)が全てオフされた状態で、第1乃至第4のスイッチ(SW31乃至SW34)のうちのいずれか1つをオンすると、

50

第1の増幅手段(321HG)の第1の増幅スイッチ(SWHG)は同時にオフされて第1の増幅部(321HG)は動作せず、第2の増幅手段(321LG)の第2の増幅スイッチ(SWLG)が同時にオンされ増幅動作を遂行する。

【0056】

ここで、第1の増幅手段(321HG)や第2の増幅手段(321LG)は同時に出力を発生しない。

【0057】

結局、第1乃至第4の減衰手段(311乃至314)を用いて低利得の増幅から第1乃至第4の減衰手段(311乃至314)をバイパスし高利得の増幅までプログラブルに利得を調節することができる。

10

【0058】

ここで、減衰手段が4つに構成された部分のみについて説明したが、必要に応じて1つ以上の減衰手段を追加し、スイッチを用いた高線形プログラブル利得増幅器を構成することが可能である。

【0059】

また、減衰手段(311乃至314)は高周波においても信号が回路基板(substrate)に漏れ出す成分を防ぐためトリプルウェル(Triple Well)構造に分離して形成することができる。

【0060】

すなわち、減衰手段(311)の抵抗(R32、R31)がCMOS工程のトリプルウェル構造を用いた1つのウェル(well)に分離されて形成され、減衰手段(312)の抵抗(R33、R34)がまた1つのウェルに分離されて形成され、同一の方法で残りの減衰手段(313、314)の抵抗(R35及びR36、R37及びR38)も分離されて形成されることができる。

20

【0061】

結局、多様な範囲の増幅器の利得を得ようとする場合、低利得時プログラブルに利得を制御することができ、高利得時雑音指数を確保することが可能であるので、全体的に広帯域幅を確保し特性が優秀で消費電力が少ない回路を構成することができる。

(第2の実施形態)

図4は、本発明の第2の実施形態のスイッチを用いた高線形プログラブル利得増幅器の回路図を示す。

30

<構成>

同図において、本実施形態の発明のスイッチを用いた高線形プログラブル利得増幅器はソースフォロワ回路部(410)とスイッチング回路部(420)とを含む。

【0062】

ソースフォロワ回路部(410)は第1の抵抗(R41)、第1のトランジスタ(M41)及び第1の電流源(IS41)を含む。

【0063】

スイッチング回路部(420)は第2の抵抗(R42)、第1のスイッチ(SW41)、第2のトランジスタ(M42)及び第2の電流源(IS42)を含む。

40

<連結関係>

入力段(IN)は第1のキャパシタ(C41)の一段に連結され、第1のキャパシタ(C41)の他段は第1の抵抗(R41)の一段及び第1のトランジスタ(M41)のゲートに連結される。

【0064】

バイアス電圧は第1の抵抗(R41)の他段であるノード[1]と第2の抵抗の一段であるノード[2]にそれぞれ共同に連結される。

【0065】

第1のトランジスタ(M41)のソースは第1の電流源(IS41)の手段であるノード[3]に連結される。

50

【 0 0 6 6 】

第2の抵抗 (R 4 2) の他段は第1のスイッチ (S W 4 1) の一段に連結され、第1のスイッチ (S W 4 1) の他段は第2のトランジスタ (M 4 2) のゲートに連結される。

【 0 0 6 7 】

第2のトランジスタ (M 4 2) のソースは第2の電流源 (I S 4 2) の手段であるノード [4] に連結される。

【 0 0 6 8 】

ここで、ノード [3] とノード [4] とが互いに連結され、ノード [4] は第2のキャパシタ (C 4 2) の一段に連結され、第2のキャパシタ (C 4 2) の他段は負荷抵抗 (R L) の一段と出力段 (O U T) に連結される。

10

< 動作説明 >

第1のトランジスタ (M 4 1) のチャンネル幅 (c h a n n e l w i d t h) 関数 (W 1) は回路構成と同時に決定され、出力インピーダンスは $1 / g m 1$ に決定される。

【 0 0 6 9 】

ソースフォロワ回路部 (4 1 0) において、第1のキャパシタ (C 4 1) の他段に入力信号が印加され、第1のトランジスタ (M 4 1) のドレインは電源電圧 (V D D) が印加され、ノード [3] は第1の電流源 (I S 4 1) に接続されて回路が構成されソースフォロワ回路になる。

【 0 0 7 0 】

また、スイッチング回路部 (4 2 0) において、第1のスイッチ (S W 4 1) の開閉することによって第2のトランジスタ (M 4 2) のチャンネル幅関数 (W 2) は決定され、出力インピーダンスは $1 / g m 2$ に決定される。

20

【 0 0 7 1 】

このような構成によって、ソースフォロワ回路部 (4 1 0) とスイッチング回路部 (4 2 0) とにおいて決定された幅関数により増幅される程度が変わるようになり、このように変わった信号は負荷抵抗 (R L) の一段から出力信号が出力される。

【 0 0 7 2 】

結局、2つのソースフォロワ回路を用いて利得制御性を有したプログラマブル利得制御増幅器を構成することによって線形性に関する説明は次の通りである。

【 0 0 7 3 】

第1のトランジスタ (M 4 1) には入力信号とバイアスとが同時に印加され出力インピーダンス $1 / g m$ を有する回路が構成される。

30

【 0 0 7 4 】

ここで、先に構成された回路は再びソースフォロワを連結し、入力段にはDCバイアスのみが印加されるようにして第1のスイッチ (S W 4 1) を用いてオン/オフを施行すると、第2のトランジスタ (M 4 2) のチャンネル幅関数 (W 2) が決定される。チャンネル幅関数 (W 2) が決定されると第2のトランジスタ (M 4 2) に流れる電流は第1のトランジスタ (M 4 1) のチャンネル幅関数 (W 1) と第2のトランジスタ (M 4 2) のチャンネル幅関数 (W 2) の比率である $W 1 / W 2$ の比だけ増加する。

【 0 0 7 5 】

ここで、利得は下記の数式5で表現される。

40

[数 5]

$$A_V = \frac{\frac{1}{g_{m2}} // R_L}{\frac{1}{g_{m2}} // R_L + \frac{1}{g_{m1}}}, \quad \frac{1}{g_{m2}} \ll R_L$$

【 0 0 7 6 】

50

ここで、出力インピーダンス $1/g_m$ は R_L に比べて小さい値を有するため、先に数式 1 において利得は g_{m1} と g_{m2} との関係によって下記の数式 6 に整理される。

[数 6]

$$A_V = \frac{\frac{1}{g_{m2}} // R_L}{\frac{1}{g_{m2}} // R_L + \frac{1}{g_{m1}}}, \quad \frac{1}{g_{m2}} \ll R_L$$

10

【 0 0 7 7 】

結局、利得は g_{m1} と g_{m2} との関係によって求められ、 g_m は下記の数式 7 により整理される。

[数 7]

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}), \quad g_m \propto kW$$

【 0 0 7 8 】

ここで、 g_m はバイアスが同一である場合、チャンネル幅関数 W に比例したことが分かった。

20

【 0 0 7 9 】

したがって、制御式は下記の数式 8 による。

[数 8]

$$A_V = \frac{g_{m1}}{g_{m1} + g_{m2}} = \frac{kW_1}{kW_1 + kW_2} = \frac{W_1}{W_1 + W_2}$$

【 0 0 8 0 】

ここで、制御式は 2 つのトランジスタ (M 4 1 、 M 4 2) のチャンネル幅関数 (W_1 、 W_2) から構成されることが分かった。

30

【 0 0 8 1 】

したがって、第 2 のトランジスタ (M 4 2) に取り付けられている第 1 のスイッチ (S W 4 1) をオン/オフすることによって利得が制御される。

【 0 0 8 2 】

また、利得制御ステップは上述した数式 8 を参照して下記の数式 9 に整理される。

[数 9]

$$\begin{aligned}
 \frac{\Delta dB(A_V)}{\Delta W} &= \frac{\log\left(\frac{W_1}{W_1+W_{n+1}}\right) - \log\left(\frac{W_1}{W_1+W_n}\right)}{(W_1+W_{n+1}) - (W_1+W_n)} \\
 &= \frac{\log\left(\frac{W_1+W_n}{W_1+W_{n+1}}\right)}{W_{n+1}-W_n} = \frac{\log\left(1 + \frac{W_n - W_{n+1}}{W_1+W_{n+1}}\right)}{W_{n+1}-W_n} \\
 &= \frac{\log\left(1 + \frac{-\Delta W}{W_1+W_{n+1}}\right)}{\Delta W} \cong \frac{-\Delta W}{W_1 \Delta W} \cong -\frac{1}{W_1}
 \end{aligned}$$

10

【0083】

ここで、整理された式を見ると、 W が W_1 より著しく小さい場合、利得制御ステップは $1/W_1$ に比例することが分かった。

【0084】

本発明による特性のうち、 dB に線形的な特性があり、少ない量の利得を調節する精密な利得制御回路に適用する時に有用である。

20

【0085】

このように、利得制御は上記から見たようにトランジスタのチャンネル幅関数であるためプロセス、周辺の温度、電圧の変動などの外部環境に鈍感な特徴があり、利得精密性及び安定性を確保し、利得がチャンネル幅関数により決定するようになるので、応用として、利得調節のために利得調節トランジスタを多段に拡張して構成することが可能となる。

【0086】

(第1の変形例)

図5は、本発明の第2の実施形態の変形例のスイッチを用いた高線形プログラマブル利得増幅器を示す。

<構成>

30

同図において、スイッチを用いた高線形プログラマブル利得増幅器はソースフォロワ回路部(510)、第1のスイッチング回路部(520)及び第2のスイッチング回路部(530)を含む。

【0087】

ソースフォロワ回路部(510)は第1の抵抗(R_{51})、第1のトランジスタ(M_{51})及び第4のトランジスタ(M_{54})を含む。

【0088】

第1のスイッチング回路部(520)は第2の抵抗(R_{52})、第1のスイッチ(SW_{51})、第2のトランジスタ(M_{52})、第3のスイッチ(SW_{53})及び第5のトランジスタ(M_{55})を含む。

40

【0089】

第2のスイッチング回路部(530)は第3の抵抗(R_{53})、第2のスイッチ(SW_{52})、第3のトランジスタ(M_{53})、第4のスイッチ(SW_{54})及び第6のトランジスタ(M_{56})を含む。

<連結関係>

第1のキャパシタ(C_{51})の一段は第1のトランジスタ(M_{51})のゲートと第1の抵抗(R_{51})の一段とに連結される。

【0090】

第1の抵抗(R_{51})の他段はノード[1]に接続される。

【0091】

50

第1のトランジスタ(M51)のソースはノード[4]に接続される。

【0092】

第2の抵抗(R52)の一段はノード[2]に連結され、第2の抵抗(R52)の他段は第1のスイッチ(SW51)の一段に連結される。

【0093】

第1のスイッチ(SW51)の他段は第2のトランジスタ(M52)のゲートに連結される。

【0094】

第2のトランジスタ(M52)のソースはノード[5]に連結される。

【0095】

第3の抵抗(R53)の一段はノード[3]に連結され、第3の抵抗(R53)の他段は第2のスイッチ(SW52)の一段に連結される。

【0096】

第2のスイッチ(SW52)の他段は第3のトランジスタ(M53)のゲートに連結される。

【0097】

第3のトランジスタ(M53)のソースはノード[6]に連結される。

ここで、ノード[1]、ノード[2]及びノード[3]は共通に第1のバイアス(Bias1)が印加される。

【0098】

第4のトランジスタ(M54)のゲートはノード[7]に連結され、第4のトランジスタ(M54)のドレインはノード[4]に連結され、第4のトランジスタ(M54)のソースは接地される。

【0099】

第3のスイッチ(SW53)の一段はノード[8]に連結され、第3のスイッチ(SW53)の他段は第5のトランジスタ(M55)のゲートに連結される。

【0100】

第5のトランジスタ(M55)のドレインはノード[5]に連結され、第5のトランジスタ(M55)のソースは接地される。

【0101】

第4のスイッチ(SW54)の一段はノード[9]に連結され、第4のスイッチ(SW54)の他段は第6のトランジスタ(M56)のゲートに連結される。

【0102】

第6のトランジスタ(M56)のドレインはノード[6]に連結され、第6のトランジスタ(M56)のソースは接地される。

【0103】

ここで、ノード[7]、ノード[8]及びノード[9]には共通に第2のバイアス(Bias2)が印加される。

【0104】

ノード[6]は第2のキャパシタ(C52)の一段に連結され、第2のキャパシタ(C52)の他段は出力段(OUT)を構成する。

<動作説明>

入力段(IN)に入力信号が印加されると、第1のキャパシタ(C51)は入力段(IN)に印加される信号の中直流成分を遮断するDC-ブロッキングの役割をし、第1のトランジスタ(M51)のチャンネル幅関数(W1)と第4のトランジスタ(M54)のチャンネル幅関数(kW1)とは回路構成と同時に決定され、第1のトランジスタ(M51)のドレインに電源電圧(VDD)が印加され、第4のトランジスタ(M54)のドレインに第1のトランジスタ(M51)のソース出力が印加され、ノード[1]に第1のバイアス(Bias1)が印加され、ノード[7]に第2のバイアス(Bias2)が印加されることによってソースフォロワ回路部(510)が構成される。

10

20

30

40

50

【 0 1 0 5 】

第1のスイッチング回路部(520)の第1のスイッチ(SW51)と第3のスイッチ(SW53)とを同時に開閉するようになると、第2のトランジスタ(M52)のチャンネル幅関数(W2)と第5のトランジスタ(M55)のチャンネル幅関数(kW2)とが決定され、第2のトランジスタ(M52)のドレインに電源電圧(VDD)が印加され、第5のトランジスタ(M55)のドレインに第2のトランジスタ(M52)のソース出力が印加され、ノード[2]に第1のバイアス(Bias1)が印加され、ノード[8]に第2のバイアス(Bias2)が印加されることによって第1のスイッチング回路部(520)が構成される。

【 0 1 0 6 】

ここで、第1のスイッチ(SW51)と第3のスイッチ(SW53)とは同時にオン/オフされて増幅作用を決定するようになり、前述の図4において説明したように線形的な特性があるようになる。

【 0 1 0 7 】

第2のスイッチング回路部(530)の第2のスイッチ(SW52)と第4のスイッチ(SW54)とを同時に開閉すると第3のトランジスタ(M53)のチャンネル幅関数(W3)と第6のトランジスタ(M56)のチャンネル幅関数(kW3)とは決定され、第3のトランジスタ(M53)のドレインに電源電圧(VDD)が印加され、第6のトランジスタ(M56)のドレインに第3のトランジスタ(M53)のソース出力が印加され、ノード[3]に第1のバイアス(Bias1)が印加され、ノード[9]に第2のバイアス(Bias2)が印加されることによって第2のスイッチング回路部(530)が構成され、ノード[6]に連結された第2のキャパシタ(C52)によって出力(OUT)に出力される信号の中直流成分を遮断するDC-ブロッキングの役割をする。

【 0 1 0 8 】

ここで、第2のスイッチ(SW52)と第4のスイッチ(SW54)とは同時にオン/オフされ増幅作用を決定するようになり、前述の図4において説明したように線形的な特性があるようになる。

【 0 1 0 9 】

すなわち、第2のトランジスタ(M52)と第5のトランジスタ(M55)、第3のトランジスタ(M53)と第6のトランジスタ(M56)のゲートそれぞれにスイッチングのための第1乃至第4のスイッチ(SW51乃至SW54)がそれぞれ構成され、利得のためのスイッチングとトランジスタを駆動するためのスイッチングを目的で構成されている。

【 0 1 1 0 】

結局、前述の図4において説明したように利得制御を行うことにおいて、第1乃至第6のトランジスタ(M51乃至M56)のチャンネル幅関数(W1乃至W3、kW1乃至kW3)によって制御が可能であるので、多段に構成することができる。

【 0 1 1 1 】

ここで、利得制御のためトランジスタを追加する場合、回路(520)を追加することによって単純に利得を調整するための回路が構成される。

【 0 1 1 2 】

ここで、利得制御トランジスタが複数個取り付けられステップ(step)で利得を制御することがわかり、構成しようとする利得制御性によってトランジスタを増加させることができる。

【 0 1 1 3 】

(第2の変形例)

図6は、本発明の第2の実施形態の変形例のスイッチを用いたプログラマブル利得増幅器において、スイッチング回路部を改善した回路の回路図を示す。

<構成>

同図において、スイッチを用いた高線形プログラマブル利得増幅器はソースフォロワ回

10

20

30

40

50

路部 (6 1 0)、第 1 のスイッチング回路部 (6 2 0) 及び第 2 のスイッチング回路部 (6 3 0) を含む。

【 0 1 1 4 】

ソースフォロワ回路部 (6 1 0) は第 1 の抵抗 (R 6 1)、第 1 のトランジスタ (M 6 1) 及び第 4 のトランジスタ (M 6 4) を含む。

【 0 1 1 5 】

第 1 のスイッチング回路部 (6 2 0) は第 2 の抵抗 (R 6 2)、第 1 のスイッチ (S W 6 1) 及び第 2 のトランジスタ (M 6 2) を含む。

【 0 1 1 6 】

第 2 のスイッチング回路部 (6 3 0) は第 3 の抵抗 (R 6 3)、第 2 のスイッチ (S W 6 2) 及び第 3 のトランジスタ (M 6 3) を含む。

10

< 連結関係 >

第 1 のキャパシタ (C 6 1) の一段は第 1 のトランジスタ (M 6 1) のゲートと第 1 の抵抗 (R 6 1) の一段とに連結される。

【 0 1 1 7 】

第 1 の抵抗 (R 6 1) の他段はノード [1] に接続される。

【 0 1 1 8 】

第 1 のトランジスタ (M 6 1) のソースはノード [4] に接続される。

【 0 1 1 9 】

第 2 の抵抗 (R 6 2) の一段はノード [2] に連結され、第 2 の抵抗 (R 6 2) の他段は第 1 のスイッチ (S W 6 1) の一段に連結される。

20

【 0 1 2 0 】

第 1 のスイッチ (S W 6 1) の他段は第 2 のトランジスタ (M 6 2) のゲートに連結される。

【 0 1 2 1 】

第 2 のトランジスタ (M 6 2) のソースはノード [5] に連結される。

【 0 1 2 2 】

第 3 の抵抗 (R 6 3) の一段はノード [3] に連結され、第 3 の抵抗 (R 6 3) の他段は第 2 のスイッチ (S W 6 2) の一段に連結される。

【 0 1 2 3 】

第 2 のスイッチ (S W 6 2) の他段は第 3 のトランジスタ (M 6 3) のゲートに連結される。

30

【 0 1 2 4 】

第 3 のトランジスタ (M 6 3) のソースはノード [6] に連結される。

【 0 1 2 5 】

ここで、ノード [1]、ノード [2] 及びノード [3] は共通に第 1 のバイアス (B i a s 1) が印加される。

【 0 1 2 6 】

第 4 のトランジスタ (M 6 4) のゲートには第 2 のバイアス (B i a s 2) が印加され、第 4 のトランジスタ (M 6 4) のドレインはノード [4] に連結され、第 4 のトランジスタ (M 6 4) のソースは接地される。

40

【 0 1 2 7 】

ここで、ノード [4]、ノード [5] 及びノード [6] は共通に第 2 のキャパシタ (C 6 2) の一段に連結され、第 2 のキャパシタ (C 6 2) の他段は出力段 (O U T) を構成する。

< 動作説明 >

入力段 (I N) に入力信号が印加されると、第 1 のトランジスタ (M 6 1) のチャンネル幅関数 (W 1) と第 4 のトランジスタ (M 6 4) のチャンネル幅関数 (k W 1) とは回路構成と同時に決定され、第 1 のトランジスタ (M 6 1) のドレインに電源電圧 (V D D) が印加され、第 4 のトランジスタ (M 6 4) のドレインに第 1 のトランジスタ (M 6 1

50

)のソース出力が印加され、ノード[1]に第1のバイアス(Bias1)が印加され、第4のトランジスタ(M64)のゲートに第2のバイアス(Bias2)が印加されることによってソースフォロワ回路部(610)が構成される。

【0128】

第1のスイッチング回路部(620)の第1のスイッチ(SW61)を開閉するようになると、第2のトランジスタ(M62)のチャンネル幅関数(W2)は決定され、第2のトランジスタ(M62)のドレインに電源電圧(VDD)が印加され、第2のトランジスタ(M62)のソースはノード[5]に連結されることによって第1のスイッチング回路部(620)が構成される。

【0129】

ここで、第1のスイッチ(SW61)がオン/オフされて増幅作用を決定するようになり、前述の図4において説明したように線形的な特性があるようになる。

【0130】

第2のスイッチング回路部(630)の第2のスイッチ(SW62)を開閉するようになると、第3のトランジスタ(M63)のチャンネル幅関数(W3)は決定され、第3のトランジスタ(M63)のドレインに電源電圧(VDD)が印加され、第3のトランジスタ(M63)のソースはノード[6]に連結されることによって第2のスイッチング回路部(630)が構成される。

【0131】

ここで、第2のスイッチ(SW62)がオン/オフされて増幅作用を決定するようになり、前述の図4において説明したように線形的な特性があるようになる。

【0132】

すなわち、第2のトランジスタ(M62)及び第3のトランジスタ(M63)のゲートそれぞれにスイッチングのための第1及び第2のスイッチ(SW61、SW62)がそれぞれ構成され、利得のためのスイッチングとトランジスタを駆動するためのスイッチングを目的で構成されている。

【0133】

結局、先に図4において説明したように利得制御を行うことにおいて、第1乃至第4のトランジスタ(M61乃至M64)のチャンネル幅関数(W1乃至W3、kW1)によって制御が可能であるので多段に構成することができる。

【0134】

ここで、利得制御のためトランジスタを追加する場合、回路(620)を追加することによって単純に利得を調整するための回路が構成される。

【0135】

ここで、利得制御トランジスタが複数個取り付けられステップ(step)で利得を制御することがわかり、構成しようとする利得制御性によってトランジスタを増加させることができる。

(第3の実施形態)

図7は、本発明の第3の実施形態のスイッチを用いた高線形プログラマブル利得増幅器の回路図を示す。

<構成>

同図において、本実施形態の発明のスイッチを用いた高線形プログラマブル利得増幅器は減衰部(710)、増幅部(720)及び線形化部(730)を含む。

【0136】

ここで、減衰部(710)及び増幅部(720)は図3と同様であり、線形化部(730)は図4乃至図6と同様であるので、その有機的な動作のみに関して説明する。

【0137】

減衰部(710)は第1の減衰手段(711)、第2の減衰手段(712)、第3の減衰手段(713)及び第4の減衰手段(714)を含む。

【0138】

10

20

30

40

50

増幅部(720)は第1の増幅手段(721HG)と第2の増幅手段(721LG)とを含む。

【0139】

線形化部(730)は線形化増幅手段(731)を含む。

<連結関係>

減衰部(710)の出力は増幅部(720)の入力段に印加される。

【0140】

増幅部(720)の出力は線形化部(730)の入力段に印加される。

<動作説明>

増幅部(720)から出力される信号は線形化部(730)の入力段に印加され、線形化部(730)の線形化増幅手段(731)においては線形性を向上させるために、図4乃至図6のスイッチを用いた高線形プログラマブル利得増幅器を用いる。

10

【0141】

すなわち、減衰部(710)において第1の減衰手段(711)、第2の減衰手段(712)、第3の減衰手段(713)及び第4の減衰手段(714)によって入力信号を減衰し、減衰した信号を増幅部(720)の第1の増幅手段(721HG)と第2の増幅手段(721LG)とによって選別的に増幅した信号を線形性を高めるためソースフォロワ回路を用いた制御利得を線形的に制御することができるようになる。

【0142】

結局、このような構造によって、多様な範囲の増幅器の利得を得ようとする場合、低利得時にはプログラマブルに利得を制御することができ、高利得時には雑音指数を確保することができ、利得制御は線形化部(730)に含まれているトランジスタのチャンネル幅関数で制御されるためプロセス、周辺の温度、電圧の変動などの外部環境の変化に鈍感な特徴があるようになり、利得精密性及び安定性を確保し、利得がチャンネル幅関数により決定されるようになるので、利得調節のために利得調節トランジスタを多段に拡張し構成できる応用が可能であり、全体的に広帯域幅を確保し特性が優秀で高い線形性を確保することができる。

20

【0143】

以上添付した図面を参照して本発明の実施形態を説明したが、上述した本発明の構成の技術的な構成は本発明の属する技術分野の当業者が本発明のその技術的な思想や必須的な特徴を変更せず、他の具体的な形態で実施できるということが分かるだろう。従って、以上において記述した実施例は全ての面で例示的なものであり、限定的なものでないことで理解すべきであり、本発明の範囲は上記の詳しい説明よりは後述の特許請求の範囲によって表され、特許請求の範囲の意味及び範囲またその等価概念から導出される全ての変更または変形された形態が本発明の範囲に含まれることと解釈すべきである。

30

【図面の簡単な説明】

【0144】

【図1】従来のスイッチを用いた多段利得スイッチ増幅器(Discrete-Step Gain Switch Amplifier:DSGSA)の回路図である。

【図2】従来の増幅器を並列連結し可変利得低雑音増幅器(Variable Gain Low Noise Amplifier:VGLNA)を構成した回路図である。

40

【図3】本発明の第1の実施形態のスイッチを用いた高線形プログラマブル利得増幅器の回路構成を示す回路図である。

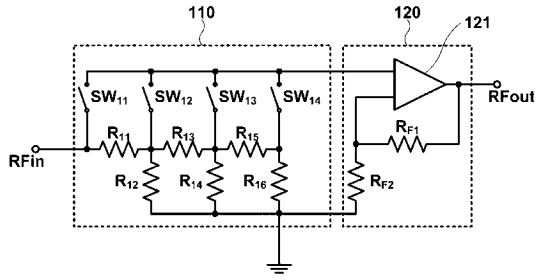
【図4】本発明の第2の実施形態のスイッチを用いた高線形プログラマブル利得増幅器の回路構成を示す回路図である。

【図5】同実施形態の変形例を示す回路図である。

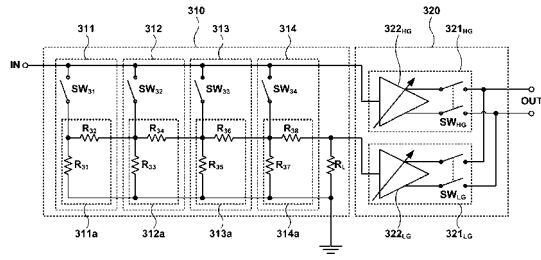
【図6】同実施例の変形例の回路のスイッチング部分を改善した回路の回路図である。

【図7】本発明の第3の実施形態のスイッチを用いた高線形プログラマブル利得増幅器の回路構成を示す回路図である。

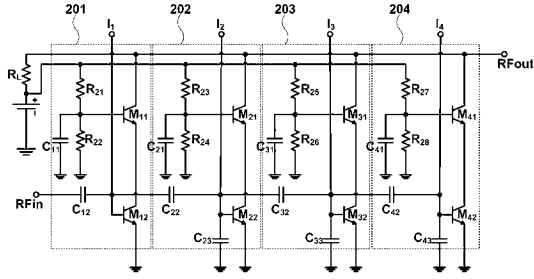
【 図 1 】



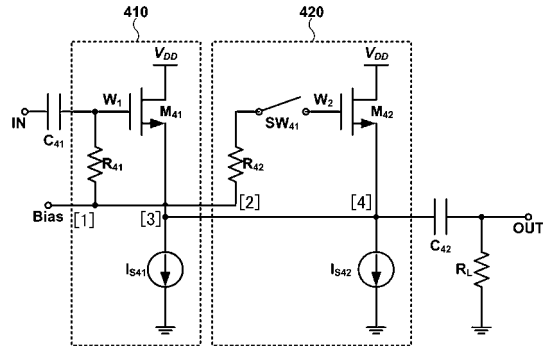
【 図 3 】



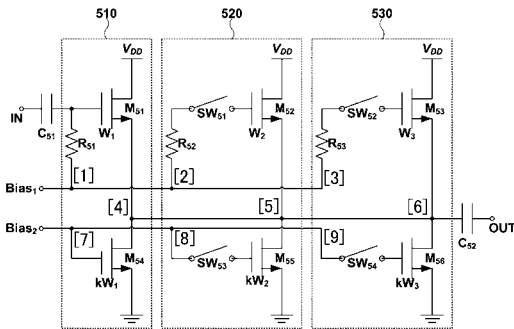
【 図 2 】



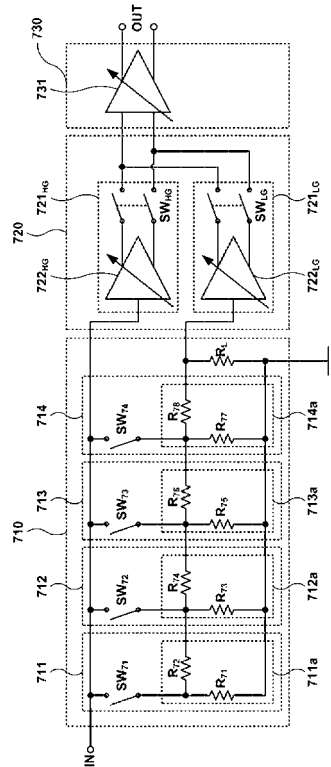
【 図 4 】



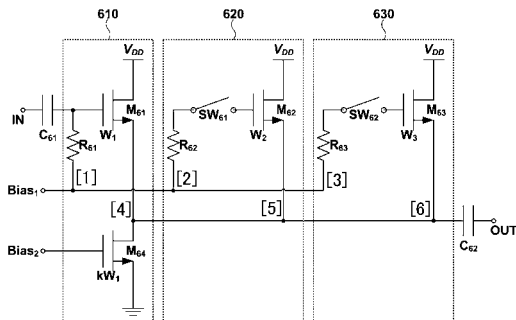
【 図 5 】



【 図 7 】



【 図 6 】



フロントページの続き

- (74)代理人 100113262
弁理士 竹内 祐二
- (74)代理人 100115059
弁理士 今江 克実
- (74)代理人 100115691
弁理士 藤田 篤史
- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (72)発明者 キム テウク
大韓民国 キョンギド ヨンインシ ジュクジョンドン 89 - 1 ヒョンデ1チャアパート104
- 1209
- (72)発明者 キム ボンキ
大韓民国 キョンギド ソンナムシ ブンダング ヤタブドン モクリョンマウル ヨンナムアパ
ート502 - 603
- (72)発明者 リ ギェロ
大韓民国 デジョン ユソング ノウンドン ヨルメマウル811 - 1101

審査官 宮本 秀一

- (56)参考文献 特表2001 - 526485 (JP, A)
特開2003 - 017957 (JP, A)
特開平09 - 036676 (JP, A)
特開昭63 - 294111 (JP, A)
特開昭59 - 186411 (JP, A)
特開平11 - 340759 (JP, A)
特開昭59 - 132214 (JP, A)
特開平03 - 048506 (JP, A)
特開平07 - 235839 (JP, A)
特開2000 - 216648 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00 - 3/45、 3/50 - 3/52、
3/62 - 3/64、 3/68 - 3/72、
H03G 1/00 - 3/34