

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-293435
(P2005-293435A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G06F 13/36	G06F 13/36 310E	5B061
G06F 13/28	G06F 13/28 310J	

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号	特願2004-110622 (P2004-110622)	(71) 出願人	303000372 コニカミノルタビジネステクノロジー株式会社 東京都千代田区丸の内一丁目6番1号
(22) 出願日	平成16年4月5日(2004. 4. 5)	(74) 代理人	100121599 弁理士 長石 富夫
		(72) 発明者	諸見里 尚 東京都八王子市石川町2970番地 コニカミノルタビジネステクノロジー株式会社内
		(72) 発明者	鈴木 友弘 東京都八王子市石川町2970番地 コニカミノルタビジネステクノロジー株式会社内

最終頁に続く

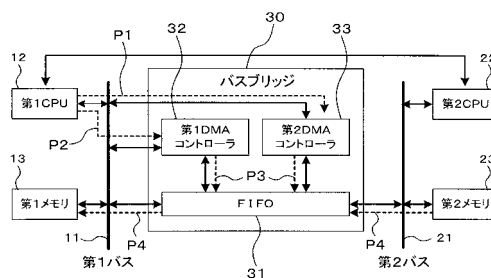
(54) 【発明の名称】 データ転送装置およびその設定方法

(57) 【要約】

【課題】 転送先アドレスや転送元アドレスなどをバスブリッジに設定するためのCPU負担を軽減することで、独立した異なるシステムバス上のメモリからメモリにデータ転送する際の実質的な転送速度を高速化する。

【解決手段】 第1DMAコントローラ32は第1バス11側の第1メモリ13とFIFOメモリ31との間でのデータ転送を制御し、第2DMAコントローラ33は第2バス21側の第2メモリ23とFIFOメモリ31との間でのデータ転送を制御する。転送元アドレス、転送先アドレス、転送量など転送に必要なすべての情報は第1バス11側の第1CPU12から第1DMAコントローラ32と第2DMAコントローラ33とに設定される。データ転送に先だって第1CPU12と第2CPU22との間で情報交換したり同期をとったりする手間が軽減され、実質的な高速化が図られる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

独立した異なるシステムのメモリからメモリにデータ転送するデータ転送装置に対して、
 転送元アドレス、転送先アドレス、転送量など転送に必要な情報の設定を一方のシステムから行なう
 ことを特徴とするデータ転送装置の設定方法。

【請求項 2】

独立した異なるシステムのメモリからメモリにデータ転送するデータ転送装置において、
 転送元アドレス、転送先アドレス、転送量など転送に必要な情報を一方のシステムから設定可能に構成した
 ことを特徴とするデータ転送装置。

【請求項 3】

独立した異なるシステムのメモリからメモリにデータ転送するデータ転送装置において、
 バッファメモリと、
 前記バッファメモリと第 1 のシステムに接続されたメモリとの間でデータ転送する第 1 転送手段と、
 前記バッファメモリと第 2 のシステムに接続されたメモリとの間でデータ転送する第 2 転送手段と
 を備え、
 転送元アドレス、転送先アドレス、転送量など転送に必要な情報を一方のシステムから前記第 1 転送手段と第 2 転送手段とに設定可能に構成した
 ことを特徴とするデータ転送装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、独立した異なるシステムのメモリからメモリにデータ転送するデータ転送装置およびその設定方法に関する。

【背景技術】

【0002】

複数の独立したシステム間でデータ転送する場合、システム間でのクロック周波数などを吸収するために、バッファメモリを内蔵したバスブリッジをシステム間に介在させることが行なわれる。

【0003】

通常、システム間のデータ転送は、一方のシステムのメモリと他方のシステムのデバイスとの間あるいはデバイスとデバイスとの間で行なわれる。しかしながら、画像データのように情報量の大きなデータの場合には、デバイスに直接データを転送するとデバイス側で処理できなくなる場合（たとえば回転処理など）があり、システム間のメモリからメモリへデータを転送する必要が生じることがある。

【0004】

図 2 は、独立した異なるバス上のメモリからメモリにバスブリッジを使用してデータ転送するシステムの構成および動作の一例を示している。第 1 バス 101 には、第 1 CPU（中央処理装置）102 と第 1 メモリ 103 とが接続されており、第 2 バス 111 には、第 2 CPU 112 と第 2 メモリ 113 とが接続されている。第 1 バス 101 と第 2 バス 111 とはバスブリッジ 120 を介して接続されている。

【0005】

バスブリッジ 120 は、バッファメモリとしての F I F O（ファースト・イン・ファースト・アウト）メモリ 121 と、第 1 D M A（ダイレクト・メモリ・アクセス）コントロ

10

20

30

40

50

ーラ 1 2 2 と第 2 D M A コントローラ 1 2 3 とを備えている。第 1 D M A コントローラ 1 2 2 は、第 1 バス 1 0 1 側の第 1 メモリ 1 0 3 と F I F O メモリ 1 2 1 との間でのデータ転送を制御し、第 2 D M A コントローラ 1 2 3 は第 2 バス 1 1 1 側の第 2 メモリ 1 1 3 と F I F O メモリ 1 2 1 との間でのデータ転送を制御する。

【 0 0 0 6 】

このような構成のシステムにおいて第 2 バス 1 1 1 に接続された第 2 メモリ 1 1 3 から第 1 バス 1 0 1 に接続された第 1 メモリ 1 0 3 にデータ転送する際の手順は以下のようになる。

【 0 0 0 7 】

(1) : 第 2 バス 1 1 1 側の第 2 C P U 1 1 2 と第 1 バス 1 0 1 側の第 1 C P U 1 0 2 との間で、今回のデータ転送を同期して行なうための情報をやり取りする。 10

【 0 0 0 8 】

(2) : 第 2 C P U 1 1 2 は、転送すべきデータの第 2 メモリ 1 1 3 内での先頭アドレス (転送元アドレス) と、転送するデータサイズ (転送量) とを第 2 D M A コントローラ 1 2 3 に設定する。

【 0 0 0 9 】

(3) : 第 1 C P U 1 0 2 は、第 2 メモリ 1 1 3 から転送されてくるデータを格納すべき領域の第 1 メモリ 1 0 3 内での先頭アドレス (転送先アドレス) と、格納すべきデータサイズ (転送量) とを第 1 D M A コントローラ 1 2 2 に設定する。

【 0 0 1 0 】

(4) : 上記 (2) 、 (3) の設定に基づき第 1 D M A コントローラ 1 2 2 および第 2 D M A コントローラ 1 2 3 は F I F O メモリ 1 2 1 を制御して D M A 転送を行なう。 20

【 0 0 1 1 】

(5) : 第 1 D M A コントローラ 1 2 2 および第 2 D M A コントローラ 1 2 3 の制御により、第 2 バス 1 1 1 側の第 2 メモリ 1 1 3 から F I F O メモリ 1 2 1 を介して第 1 バス 1 0 1 側の第 1 メモリ 1 0 3 にデータが転送される。

【 0 0 1 2 】

このほか、システム間でデータ転送する際の C P U 負担を軽減するための技術が提案されている。たとえば、バスブリッジを介してシステムバスとローカルバスとが接続されたシステムにおいて、ローカルバス上に接続された複数のデバイスの割り込み要因を、バスブリッジの D M A 転送機能を使用してシステム上のメインメモリに転送することで、システムバス側の C P U にローカル側の割り込み要因を容易に認識させるようにしたものがあ 30

【 0 0 1 3 】

【特許文献 1】特開平 1 1 - 2 2 4 2 3 2 号公報

【特許文献 2】特開平 1 1 - 3 1 2 1 3 8 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 4 】

バスブリッジを介して独立した異なるシステム間でメモリからメモリへデータを転送する場合には、データ転送を同期して行なうための情報交換を C P U 間で行なったり、転送元のバス側の C P U と転送先のバス側の C P U とがそれぞれバスブリッジに対して各種の設定を行なったりしなければならず、各 C P U への負担が大きかった。また、データ転送に先立って C P U 間で同期をとる必要があるため、データ転送を開始するまでの前処理に時間を要し、転送処理の高速化を妨げていた。特許文献 2 等が開示されている技術は、バスブリッジを経由したデバイス間でのデータ転送には有効であるが、独立した異なるシステム間のメモリからメモリへのデータ転送については、C P U の負担低減や処理効率の改善に寄与するものではなかった。 40

【 0 0 1 5 】

本発明は、上記の問題を解決しようとするものであり、転送先アドレスや転送元アドレ 50

スなどの設定に係わるCPU負担を軽減することで、独立した異なるシステムのメモリからメモリにデータ転送する際の実質的な転送速度を高速化することのできるデータ転送装置およびその設定方法を提供することを目的としている。

【課題を解決するための手段】

【0016】

請求項1に係わる発明は、独立した異なるシステムのメモリからメモリにデータ転送するデータ転送装置に対して、

転送元アドレス、転送先アドレス、転送量など転送に必要な情報の設定を一方のシステムから行なう

ことを特徴とするデータ転送装置の設定方法である。

10

【0017】

上記発明によれば、一のシステムのメモリから他の一のシステムのメモリへデータ転送するための設定をデータ転送装置に対して一方のシステムから行なう。一方のシステムからデータ転送に必要なすべての設定を行なうことで、データ転送に先だってシステム間で情報交換したり同期をとったりする必要がなくなる。この設定方法は、転送に必要な情報を設定する側のシステムが、他方のシステムのメモリ内におけるデータの格納アドレスを予め知っている場合に好適である。

【0018】

メモリは各システムのバスに接続される。データ転送装置は、いわゆるバスとバスとを接続するバスブリッジとして構成される。データ転送装置に対する設定は、通常、システムに接続されたCPUが行なう。

20

【0019】

転送に必要な情報は、一方のシステムから設定すればよく、そのシステムを固定的に定める必要はない。転送に必要な情報を設定するシステムを転送毎に変えてもよい。

【0020】

請求項2に係わる発明は、独立した異なるシステムのメモリからメモリにデータ転送するデータ転送装置において、

転送元アドレス、転送先アドレス、転送量など転送に必要な情報を一方のシステムから設定可能に構成した

ことを特徴とするデータ転送装置である。

30

【0021】

請求項3に係わる発明は、独立した異なるシステムのメモリからメモリにデータ転送するデータ転送装置において、

バッファメモリ(31)と、

前記バッファメモリ(31)と第1のシステムに接続されたメモリ(13)との間でデータ転送する第1転送手段(32)と、

前記バッファメモリ(31)と第2のシステムに接続されたメモリ(23)との間でデータ転送する第2転送手段(33)と

を備え、

転送元アドレス、転送先アドレス、転送量など転送に必要な情報を一方のシステムから前記第1転送手段(32)と第2転送手段(33)とに設定可能に構成した

40

ことを特徴とするデータ転送装置である。

【0022】

上記発明によれば、転送元アドレス、転送先アドレス、転送量など転送に必要な情報を一方のシステムから第1転送手段(32)と第2転送手段(33)の双方に設定することができる。第1転送手段(32)および第2転送手段(33)は、ダイレクト・メモリ・アクセス・コントローラなどで構成される。バッファメモリ(31)の種類は問わないが、FIFOメモリ(先入れ先出し式のメモリ)を使用すると、バッファメモリ(31)に対するアドレス管理が簡略化される。

【発明の効果】

50

【0023】

本発明に係わるデータ転送装置およびその設定方法によれば、転送元アドレス、転送先アドレス、転送量など転送に必要な情報を一方のシステムから設定するので、データ転送に先だてシステム間で情報交換したり同期をとったりする必要がなくなる。これにより、転送に必要な情報を設定するためのCPU負担が軽減され、実質的に転送速度を高速化することができる。

【発明を実施するための最良の形態】

【0024】

以下、図面に基づき本発明の実施の形態を説明する。

【0025】

図1は、本発明の実施の形態に係わるデータ転送装置としてのバスブリッジ30の構成および接続状態を示している。第1のシステムのシステムバスである第1バス11には、第1CPU12と第1メモリ13とが接続されている。第2のシステムのシステムバスである第2バス21には、第2CPU22と第2メモリ23とが接続されている。第1バス11と第2バス21とはバスブリッジ30を介して接続されている。ここでは、第1バス11と第1CPU12は共にPCI(Peripheral Component Interconnect)バスになっている。

10

【0026】

バスブリッジ30は、バッファメモリとしてのFIFOメモリ31と、第1DMAコントローラ32と、第2DMAコントローラ33とを備えている。第1DMAコントローラ32は、第1バス11側の第1メモリ13とFIFOメモリ31との間でのデータ転送を制御する。第2DMAコントローラ33は第2バス21側の第2メモリ23とFIFOメモリ31との間でのデータ転送を制御するものである。ここでは、第1DMAコントローラ32および第2DMAコントローラ33の内部レジスタの設定は第1バス11上の第1CPU12から行なわれる。

20

【0027】

第1DMAコントローラ32は、第1バス11のアドレスバスおよびデータバスと接続されている。また第1DMAコントローラ32の各内部レジスタは第1CPU12のアドレス空間上にマッピングされており、第1CPU12は、第1バス11を通じて第1DMAコントローラ32の各種設定レジスタにアクセス可能になっている。

30

【0028】

第1DMAコントローラ32は、第1メモリ13とFIFOメモリ31との間でデータ転送する際には第1バス11のバスマスタとなり、アドレス信号やライト信号、リード信号などを第1バス11に送出するようになっている。FIFOメモリ31は第1バス11のデータバスと接続されており、第1DMAコントローラ32から入力される制御信号に応じて第1バス11にデータを送出したり第1バス11上のデータを内部に取り込んだりするようになっている。

【0029】

第2DMAコントローラ33は、第1バス11のアドレスバスとデータバスに接続されており、各内部レジスタは第1CPU12のアドレス空間上にマッピングされている。第1CPU12は、第1バス11を通じて第2DMAコントローラ33の各種設定レジスタにアクセス可能になっている。

40

【0030】

また第2DMAコントローラ33は、第2バス21のアドレスバスと接続されており、第2メモリ23とFIFOメモリ31との間でデータ転送する際には第2バス21のバスマスタとなり、アドレス信号やライト信号、リード信号などを第2バス21に送出するようになっている。FIFOメモリ31は第2バス21のデータバスと接続されており、第2DMAコントローラ33から入力される制御信号に応じて第2バス21にデータを送出したり第2バス21上のデータを内部に取り込んだりするようになっている。

【0031】

50

次に、第2バス21に接続された第2メモリ23から第1バス11に接続された第1メモリ13へバスブリッジ30を用いてデータ転送する際の動作を説明する。

【0032】

(1)：第1CPU12は、転送すべきデータの第2メモリ23内での先頭アドレス(転送元アドレス)と、転送するデータサイズ(転送量)とを第2DMAコントローラ33に設定する(図1のP1)。

【0033】

(2)：第1CPU12は、転送するデータを格納すべき領域の第1メモリ13内での先頭アドレス(転送先アドレス)と、格納すべきデータサイズ(転送量)とを第1DMAコントローラ32に設定する(図1のP2)。

10

【0034】

(3)：上記(1)、(2)の設定に基づき第1DMAコントローラ32および第2DMAコントローラ33はFIFOメモリ31を制御してDMA転送を行なう。

【0035】

(4)：第1DMAコントローラ32および第2DMAコントローラ33の制御により、第2バス21側の第2メモリ23からFIFOメモリ31を介して第1バス11側の第1メモリ13にデータが転送される。

【0036】

このように、システム間でメモリからメモリへデータ転送するために必要なすべての設定をバスブリッジ30に対して一方のシステムのCPUから行なうので、データの転送元システムのCPUと転送先システムのCPUとの間で同期をとる必要がなくなり、データ転送に先立つ処理が簡略化され、転送速度を実質的に高速化することができる。

20

【0037】

転送すべきデータの第2メモリ23内での格納アドレスを第2CPU22が管理し、必要なデータがどこに格納されているかを第1CPU12が知らない場合には、第2CPU22が転送元アドレスや転送量を第2DMAコントローラ33に設置しなければならない。しかしながら、第2メモリ23から第1メモリ13に転送すべきデータの第2メモリ23内での格納アドレスを予め取り決めておけば、第1CPU12が第2メモリ23側のアドレス(転送元アドレス)等を第2DMAコントローラ33に設定することができる。本発明はこのような場合に好適である。

30

【0038】

たとえば、フレームメモリに格納された画像データを第2メモリ23から第1メモリ13に転送するような場合、フレームメモリ内の各ページの先頭アドレスを予め取り決めておけば、一方のCPUがバスブリッジ30の第1DMAコントローラ32および第2DMAコントローラ33の双方に対してデータ転送に必要なすべての情報を設定することができる。これにより、データの転送元システムのCPUと転送先システムのCPUとの間で同期をとる必要がなくなり、処理が効率化され、実質的な高速化が実現される。

【0039】

以上、本発明の実施の形態を図面によって説明してきたが、具体的な構成は実施の形態に示したものに限られるものではなく、本発明の要旨を逸脱しない範囲における変更や追加があっても本発明に含まれる。たとえば、FIFOメモリ31と第1DMAコントローラ32と第2DMAコントローラ33とを一組としたものを1つのバスブリッジ30に複数組内蔵してもよい。この場合、システム間でのデータ転送の方向を組毎に固定的に定めるとよい。

40

【0040】

また実施の形態では、転送先システムのCPUからデータ転送に必要なすべての情報をバスブリッジ30に設定するように構成したが、転送元システムのCPUが設定するように構成してもよい。

【0041】

バッファメモリはFIFOメモリに限定されず、転送されるデータを一時的に格納可能

50

なメモリであればよい。また実施の形態では、P C IバスとP C Iバスとをバスブリッジで接続する場合を例に説明したが、他の種類のバスを接続するものであってもかまわない。

【図面の簡単な説明】

【0042】

【図1】本発明の実施の形態に係わるバスブリッジの構成および接続状態の一例を示すブロック図である。

【図2】従来から使用されているバスブリッジの構成および接続状態の一例を示すブロック図である。

【符号の説明】

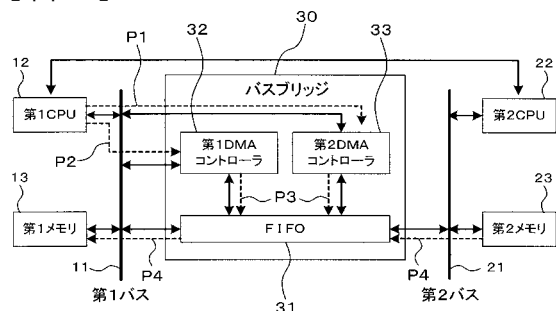
【0043】

- 1 1 ... 第1バス
- 1 2 ... 第1CPU
- 1 3 ... 第1メモリ
- 2 1 ... 第2バス
- 2 2 ... 第2CPU
- 2 3 ... 第2メモリ
- 3 0 ... バスブリッジ
- 3 1 ... F I F Oメモリ
- 3 2 ... 第1DMAコントローラ
- 3 3 ... 第2DMAコントローラ

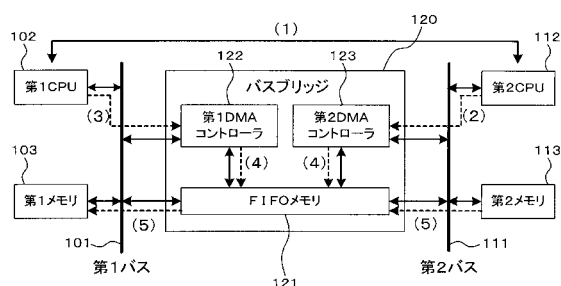
10

20

【図1】



【図2】



フロントページの続き

- (72)発明者 内田 史景
東京都八王子市石川町2 9 7 0 番地 コニカミノルタビジネステクノロジーズ株式会社内
- (72)発明者 田村 祐二
東京都八王子市石川町2 9 7 0 番地 コニカミノルタビジネステクノロジーズ株式会社内
- (72)発明者 石川 哲也
東京都八王子市石川町2 9 7 0 番地 コニカミノルタビジネステクノロジーズ株式会社内
- (72)発明者 西村 泰保
東京都八王子市石川町2 9 7 0 番地 コニカミノルタビジネステクノロジーズ株式会社内
- (72)発明者 小川 智哉
東京都八王子市石川町2 9 7 0 番地 コニカミノルタビジネステクノロジーズ株式会社内
- (72)発明者 安加賀 正之
東京都八王子市石川町2 9 7 0 番地 コニカミノルタビジネステクノロジーズ株式会社内
- Fターム(参考) 5B061 DD09 DD12 FF01 GG01