



[12] 发明专利说明书

[21] ZL 专利号 88109127.8

[51] Int. Cl⁶

H04Q 3 / 545

[45]授权公告日 1996年2月21日

[24]颁证日 95.10.22

[21]申请号 88109127.8

[22]申请日 88.10.8

[30]优先权

[32]87.10.8 [33]CA[31]548,919

[73]专利权人 北方电信有限公司

地址 加拿大魁北克省

[72]发明人 斯蒂芬·勒蒂

[74]专利代理机构 中国专利代理(香港)有限公司

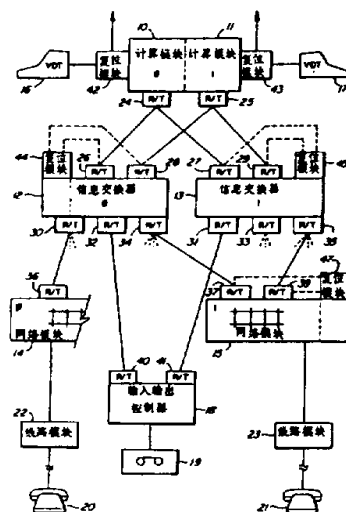
代理人 马铁良 匡少波

权利要求书 1 页 说明书 4 页 附图页数 4 页

[54]发明名称 数字交换机中可靠的附属的信息发送与恢复的系统和方法

[57]摘要

本发明公开了在一个有主流带内数据通道的数字交换机中分布式数据处理环境里的附属的带外发送信息的系统和方法。该系统包含独立的复位模块，该模块译码和确认带外信息，以实现分布式处理器的紧急控制功能，例如，复位和抑制一个不正常的处理器。



权利要求书

1.一种在分布式数字交换系统内工作的附属的信息发送系统,该分布式数字交换系统有多个部件模块,每个部件模块包含一个控制数据的处理器,并通过一些数据链路与其它部件模块通讯,此附属的信息发送系统包含:

(a)在所述多个部件模块之一中的用于通过一条所述的数据链路发送编码信息的装置;

(b)在所述多个部件模块的另一个中的用于从所述的一条数据链路中提取所述编码信息的装置;

(c)在所述多个部件模块的所述另一个中的信息译码装置,用于识别和译码上述编码信息,并根据上述编码信息直接控制一个预定的控制数据的处理器。

2.一种在分布式数字交换系统内可靠的附属的信息发送方法,该分布式数字交换系统在它的部件模块之间具有许多数据传输链路,该方法包含下列步骤:

(a)至少把一条编码信息从所述部件模块之一通过一条所述数据传输链路发送到另一个所述部件模块;

(b)在所述另一个部件模块中提取所述编码信息;

(c)使所述编码信息在所述另一个部件模块中经预定的软件滤除程序处理,然后确认或拒绝该编码信息;和

(d)根据至少一条为所述步骤(c)所确认的编码信息,在上述分布式数字交换系统中控制一个预定的数字交换器。

3.如权利要求1中定义的系统,其特征在于,用于提取上述编码信息的装置包括用于接收、存贮和转送上述编码信息的部分比特的装置,上述编码信息至少在两个预定的独立的比特位置中发送,每一个在上这数据链路的两个独立的比特位置上。

4.如权利要求3中定义的系统,其特征在于,信息译码装置包括一个存贮的标号,此标号在上述的分布式数字交换系统内用于识别信息译码装置的位置。

5.如权利要求4中定义的系统,其特征在于,信息译码装置还包括一个可编程的局部数字交换器,以便对上述编码信息的部分比特进行软件滤除

操作。

6.如权利要求5中定义的系统,其特征在于,根据编码信息,通过使相关预定的数字交换器无效或复位进行上述软件滤除操作之后,上述可编程的局部数字交换器可以直接控制相关预定的控制数字交换器。

7.如权利要求6中定义的系统,其特征在于,信息译码装置还包括正常的复位装置,以便连续地周期地复位上述编程的局部数字交换器,除非复位被禁止。

8.如权利要求5、6或7中定义的系统,其特征在于,提取上述编码信息的装置还包括一个异步接收器—发送器,用于把上述编码信息转发到上述分布式数字交换系统的输入/输出终端。

9.如权利1、3或4中定义的系统,其特征在于,上述分布式数字交换系统包括一个主计算模块,此主计算模块通过一个中间信息交换模块控制多个电话交换网络模块。

10.如权利要求5、6或7中定义的系统,其特征在于,上述分布式数字交换系统包括一个主计算模块,此主计算模块通过一个中间的信息交换模块控制多个电话交换网络模块。

11.如权利要求2中定义的可靠的附属的信息发送的方法,其特征在于,步骤(a)还包括通过上述数据链路的另一链路独立地发送上述编码信息。

12.如权利要求11中定义的可靠的附属信息发送的方法,其特征在于,步骤(b)还包括把从上述那条数据链路中提取的该编码信息与从上述另一条数据链路中提取的编码信息进行比较。

13.如权利要求2、11或12中定义的可靠的附属的信息发送方法,其特征在于,上述预定的软件滤除程序包括比较预定数量的提取的连续编码信息,如果相同,则继续比较,直至一个更大的预定数量的编码信息,如果与上次提取的更大的预定数量编码信息相同,则把最近比较的编码信息作为合法的信息进行存储。

本发明总的说是涉及数字交换的系统,如声音和数据交换机,特别是涉及在分布式交换环境中使用了多个控制处理器的系统,更确切地说,本发明是涉及用于分布式多个系统单元的监视信息发送和

有限控制的数字交换机中的一个准独立的系统和办法。

通用的现有技术的数字时分交换系统是一个分层的、两个平面的结构，该结构包含核心的双套中央控制器（CC），接着是中央信息控制器（CMC），然后是合适的网络模块（NM）以及输入输出控制器（IOC）。这种通用的系统结构也是本发明的系统和方法所工作的结构。在1980年7月15日授予加尼尔(Gagnier)等人的美国专利4,213,201中公布了这种现有技术的系统，本发明参考了这一点。

罗伯特·伍德(Robert wood)在一篇题为“DMS-100技术的进展”的文章中给出了这类交换系统的有用的概述，此文章发表在1983年的“Telesis”杂志第10卷第3期第六页。

在上面提到的加尼尔(Gagnier)等人的美国专利中，系统单元严格地受中央控制器（CC）控制。例如，中央信息控制器（CMC，图14）具有有限数量的很好定义的状态，却没有独立的处理能力。然而，在技术发展的过程中，目前数字交换系统已有分布式处理，而信息交换器（MS）有它自己的处理器和它自己的固件和软件。交换网络模块（NM）也同样如此。

因此，在交换系统中分布式处理意味着有许多处理器，如果要保持系统很高的可靠性，就意味着当它工作不正常时，各个处理器都能够高度可靠地使系统无效和/或恢复。

本发明提供了独立于主信息发送(Messaging)系统的附属控制的信息发送，该附属控制信息发送工作在交换层中相同层的处理器控制的系统模块的外部。当然，每层仍然依赖于它上面一层的操作完整性，而整个系统取决于层次结构开头的计算模块（CM）的正常。（可以控制的层次数目在一层里和在层次数目上都可以扩充）。由于每个单独层有两个平面或双重模块，而系统只用一个平面工作，所以工作的可靠性实际上是很高的。

根据本发明，提供了一个在分布式数据处理系统内工作的附属信息发送系统，该分布式数据处理系统有许多个部件模块，每个部件模块都包括一个控制数据的处理器，每个部件模块通过数据链路与其它部件模块通讯，附属信息发送系统包括：

(a)通过一条上述的数据链路发送重复的编码

信息的装置；

(b)从上述一条数据链路中提取该重复编码信息的装置；以及

(c)用于辨认和译码上述重复的编码信息及根据该重复的编码信息直接控制一个预先确定的控制数据的处理器的信息译码装置。

根据本发明的方法的目标，在部件模块之间有数据发送链路的分布式数据处理系统内，可靠的附属信息发送的方法包含下列步骤：

(a)通过一条上述的数据链路重复地发送一个编码信息；

(b)提取上述重复的编码信息；

(c)使上述重复编码信息经一个预先确定的软件滤除程序处理，然后确认或拒绝它；以及

(d)在上述的分布式数据处理系统中，根据确认的重复编码信息控制一个预先确定的数据处理器。

现结合附图详细地叙述本发明的优选实施例，这些附图是：

图1是体现本发明的系统和方法的数字交换器的方块图；

图2是示于图1中的本发明的复位模块的方块原理图；

图3是图1中标有R/T方块的接收器部分的方块原理图；

图4是图1中标有R/T方块的发送器部分的方块原理图；以及

图5是由图2中复位模块的处理器执行带外数据滤波功能的流程图。

参考附图的图1，图中所示的数字交换系统包含三个双重（0平面和1平面）的层次部件：计算模块（CM）10和11；信息交换器（MS）12和13和网络模块（NM）14和15（正如早先提到过的，层次更深和更宽是可能的）。计算模块10和11是基于控制模块的相同的32位处理器，它们同步和连续地工作，虽然在任何给定时刻两个CM10和11中只有一个有控制交换的作用。交换的控制不中断地从CM10和11中的一个移到另一个，这种转移或者是应远处操作员请示通过视频终端（VDT）16和17的其中之一进行，或者由软件自动地进行，否则处在控制中的CM将失去正常工作。

虽然任何时候 CM10 和 11 中只有一个处在控制, 但信息交换器 (MS) 12 和 13 两者也同时工作, 且主要用作从控制 CM10 或 11 到网络模块 (NM) 14 和 15 的 8 比特带内 (IB) 信息发送通路, 网络模块 14 和 15 也同时工作, MS12 和 13 还将带内控制信息传送到外部的输入输出控制器 (IOC) 18, 这表示要控制备用的数据存贮设备 19, 该设备又可以包含交换系统的图象数据, 当发生严重故障时, 这些数据对重新引导该系统来说是必要的。

NM14 和 15 通过线模块 (LM) 22 和 23 与交换系统的最终用户相连接, 图 1 中画出了两个用户站 20 和 21。

CM10 和 11, MS12 和 13, NM14 和 15 以及 IOC18 通过接收器/发送器模块 (R/TM) 24 至 41 通讯。例如, R/TM24 与 MS12 中的 R/TM26 互连以及 MS13 中的 R/TM27 互连。在本实施方案中, R/TM 是一种光学的接收器/发送器, R/TM 之间是通过光纤链路互连的, 链路长度可达 1 公里, 以 49.152MHz 的速率串行地传送复用的数据。

图 1 中剩下的模块即复位模块 (RM), 在本发明的附属信息发送和恢复的系统中, RM 是一个关键部件。RM42 至 RM47 的每一个复位模块都处在有关的 CM、MS 或 NM 的中央处理单元 (CPU) 直接控制下, 并受它们的控制输出, CM、MS 或 NM 的每一个模块都有一个按照分布式处理系统结构的 CPU, 考虑计算模块、信息交换器或网络模块的内部细节已超出本发明的范围, 只要知道每个模块有一个 CPU, 该 CPU 通过有关的复位模块 (RM) 来的硬连接线可以被复位和使无效。

图 2 以详细的方块表示了复位模块 (RM), 它包含微处理器 50 (例如, 英特尔 (INTEL) 的 8031), 为了可靠, 用正常的复位时钟 51 每逢第 24 秒复位该微处理器, 除非在某种条件下时钟被禁止。可擦式可编程序只读存储器 (EPROM) 和随机存储器 (RAM) 52 存贮微程序 (firmware) 和数据。带外 (OOB) 数据移位和锁存接口 53 从 0 平面和 1 平面的 R/TM 各自的接收器接收分路的信息数据比特, 这些信息数据比特在附属的信息发送和恢复系统中传递命令, 并被称为带外

(OOB) 数据, 因为它们不是通过信息交换器 12 和 13 在 CM 和 NM 之间传递的带内 (IB) 8 比特数据字的一部分。数据比特在 R/TM 间是以 10 比特字传送, 其中 8 比特 (带内) 处在主分布式处理器的控制下, 剩余两比特在它们到目的地 RM 的路上是不会被改变的。这两比特中的一比特是 OOB 比特 (链路比特), 另一比特是备用比特。OOB 数据在 R/T 模块中的系统模块之间进行多路复用和分路成数据流 (如图 3 和图 4 所示)。为在附属的信息发送系统中保持命令通讯的可靠性, 这样做是必要的。R/T 模块是严格的硬件模块, 在整个交换系统中, 它是双重和多路复用/分路的相同的数据流。如果 RM 附属于 CM, 如在 RM42 和 43 中的情况, 则双通用异步接收发送器 (UART) 54 (例如, 英特尔公司的 82530) 起着与视频终端和远端链路调制解调器接口的作用。最后, CPU 接口 55 将处理器 50 与相关的 CM、MS 或 NM 的 CPU 接口, 这视情况而定。接口 55 也有一个存贮识别 RM 标号的识别符可编程只读存储器 (ID PROM)。该存储器中也有可指明 RM 属于 CM、MS 还是 NM 以及是在 0 平面还是 1 平面的信息。处理器 50 除了它通常的控制功能外, 还执行 OOB 数据软件滤除功能, 以保证它的合法性。这将在以后叙述附属的信息发送系统的操作时结合图 5 描述。

现转到图 3, 图 3 画出了 R/T 模块的接收器部分。光纤进入光纤混合器 60, 在那里接收到的光信号再输出到接收光纤接口 61, 接收光纤接口 61 的输出是带内信息比特和 OOB 串行数据。后者在串/并转换器 62 中转换成并行数据, 并锁存到计算模块 10 或 11 中的处理器总线 (P-BUS) 上, 但它只用于维护。串行 OOB 数据经过选择开关 64 加到 RM 的 0 输入或 RM 的 1 输入, 如图 2 所示, 这取决于 R/T 模块连到哪一平面。因此, 每个 RM 接收 OOB 数据的两个输入 (在正常操作下, 两个输入是一样的), 一个来自于 0 平面, 一个来自于 1 平面。

图 4 表示 R/T 模块的发送器部分。OOB 数据由 CM 或 MS 的处理器加到处理器总线上, 并锁存在锁存器 70 中, 进入并/串转换器 71, 然后送到发送光纤接口 72 并经混合器 60 送到光纤上。人们应当明白 OOB 数据是由 CM (10 或

11) 的处理器产生, 发送到层次结构中的下一层, 即到 MS12 和 13. MS12 和 13 又将它发送到再下一层, 即到 NM14 和 15. MS 将只根据从 CM 来的指令输出 OOB 信息. 这就使 OOB 数据的发送取决于 CM 或 MS 中的控制处理器是否正常. 但是, 那无损于附属的信息发送系统的可靠性, 因为若 CM10 和 11 两者都不工作了, 则无论怎样整个系统将不工作. 若 MS12 和 13 两者都不工作了, 则整个交换系统也将同样不工作. 但是接收到的 OOB 数据的结果是不同的: 一个复位模块, 例如 RM45 经过 R/T 模块 37 和 39 中的一个从 CM10 和 11 两者之一中接收到一个有效的 OOB 命令, 则它仍能使与它连接的 MS13 无效或复位. 反之, OOB 命令不能使 CM10 或 11 中的处理器无效或复位, 只有操作员能通过 VDT 终端 16 或 17 做此事, 实际上, 在正常操作下, 附属于 CM 的 RM42 和 43 对从 VDT 终端 16 和 17 发送的数据是透明的. 这些情况和有关的细节将在下面叙述的本发明的附属的信息发送方法的上下文中更好地理解.

只要交换系统正常工作, 本发明的信息发送和恢复系统便以严格透明的监视方式作. 为此, 若因某种原因, 交换系统损坏, 则操作员首先必须用各自的 VDT 和有关的复位模块 (16/42 或 17/43) 使主 CM (10 或 11) 停止. 此后, 用主 CM 复位和重新启动信息交换器 12 和 13. 如果需要的话, 网络模块 14 和 15 也通过 MS12 和 13 复位. 正如上面提到的, 恢复信息发送是通过附属的带外链路进行的, 任何一个分布式处理器的损坏都不可能破坏这些链路, 因此复位命令将不送到不正常的处理器.

在图 1 所示的优选的配置中, 只有分别属于计算模块 10 和 11 上的复位模块 42 和 43 有 VDT 终端 16 和 17. 复位模块是透明的, 并在 VDT 和 CM 间来回传送字符, 直到输入一个指定的命令字符 (通常情况是“\”). 使复位模块进入命令收集方式. 然后将接收到的字符放在 16 比特缓冲器中; 例如, 为了复位 CM, 要输入下面的命令:

\BOOT<cr>.

这里 <cr> 是输入键. 复位模块的固件将请求 YES/NO 的确认, 当确认为 YES 时, 复位脉冲将通过 CPU 接口 55 输出, 而复位模块在 VDT 上

显示出 BOOT INITIATED.

下面是系统支持的命令例子的操作码和参数:

操作码	参数	作用
\BOOT	COLD (定义)	引起冷复位, 从海量存储器装入和启动死系统.
\BOOT	WARM	引起工作系统的复位而不用重新装入.
\JAM		迫使工作的 CM CPU 不动作.
\RELEASE	JAM	释放强迫的抑制, 允许动作.
\RESTART		给 CM CPU 非可掩蔽的中断, 使热复位软件重新开始(不用装入)

可以输入到 VDT 上的任何命令也可以通过 CM 中的处理器输入. CM 可用这种方法初始化它自己的复位 (例如, 在重新装入的尝试失败后), 而后面的交换将在 CM 和 RM 之间进行.

CM 到 RM: \BOOT COLD)

RM到CM:PLEASE CONFIRM) 这种机器—
机器的交
换 实际上
都以十六
进

CM到RM:YES)

RM 到 CM:BOOT INITIATED) 制码进行

在交换的最后序列期间, CPU 接口 55 已将复位脉冲加到计算模块中的处理器上. 于是 CPU 本身已被复位.

从 CM 和 MS 到较低层的复位模块的 OOB 数据链路是单方向的, 有两条 OOB 链路终接在每个复位模块上, CM 或 MS 的每一平面出一条. 用于在子系统部件上强迫控制的命令码是通过 OOB 链路发送, 并由复位模块检测和实行. 原则上, 能从 VDT 输入的任何命令都可以由 OOB 链路发送. 命令由三个字节组成: 一个同步字符, 一个操作码和一个参数码. 每个字节前有一个空闲码. 当命令要求 YES/NO 的确认时, 后面必须确认, 由于发送每个字节要 200 毫秒, 最坏情况下具有确认的命令的时间是 2.4 秒. 在 RT 模块之间, 多路复用光发送链路在 125 微秒的帧期间有 512 个带内通路, 在一个帧内 OOB 字节发送 4 次. 至少持续 200 毫秒. 复位模块对由 R/T 模块提供给它

的 OOB 数据每 1 毫秒取样一次。复位模块接收到 OOB 数据在由图 5 中以流程图形式表示的固件程序累加前被滤除了。结果是处理器 50 开始注意输入的 OOB 字节，其门限是收到的最后 33 个字节必须相同；在 16 个相同的字节后，软件将该字节着作是合法的，并且存贮该字节。合法命令的接收顺序必须如下：

7F 同步字符 7F 操作码 7F 参数

这里 7F 是用 16 进制数表示的空闲码。

图 5 所示软件流程的功能如下：每毫秒(ms)一次（框 1），读取带外数据 OOB（框 2），如果 OOB 数据是旧的（即以前已收到过的）（框 3），且计数器未指示零计数（框 4），则对于每一个旧 OOB 的重复，计数器减 1（框 6），直到计数为 0 止。如果 OOB 数据不是旧的而是新的，则计数加 1（框 12），此后，如果出现计数溢出（框 13），新的数据标志又未置位（框 15），则旧数据标志置为“新”（框 17）。在框 18，检查旧数据看它是否是空闲码，如果是，则空闲标志设置为 1（框 19），如果空闲标志未设置，（框 20），则空闲标志及 OOB 标志均设置为 0（框 22）。当然，图 5 所示的整个流程所费时间要远小于 1 毫秒，这样，一旦流程过完，就进入肯定模式（框 5、7、11、14、16 和 23）等待下一毫秒的时钟信号，如框 1。

图 5 的流程监视输入的 OOB 数据，并判定它是否已重复三次（或以上），如果重复了三次以上，就被接受，如果没有重复三次，就被认为是新的，并继续等待，直到重复至少三次，然后接受。如果 OOB 数据是空闲码，就意味着该 OOB 数据应被忽略，并置位空闲标志为 1，该标志一直保持为 1，直到新 OOB 数据到达。也就是说，图 5 程序的目的是只有当 OOB 数据无误（相同）地被收到三次且不是空闲码时，才能被接受。

说明书附图

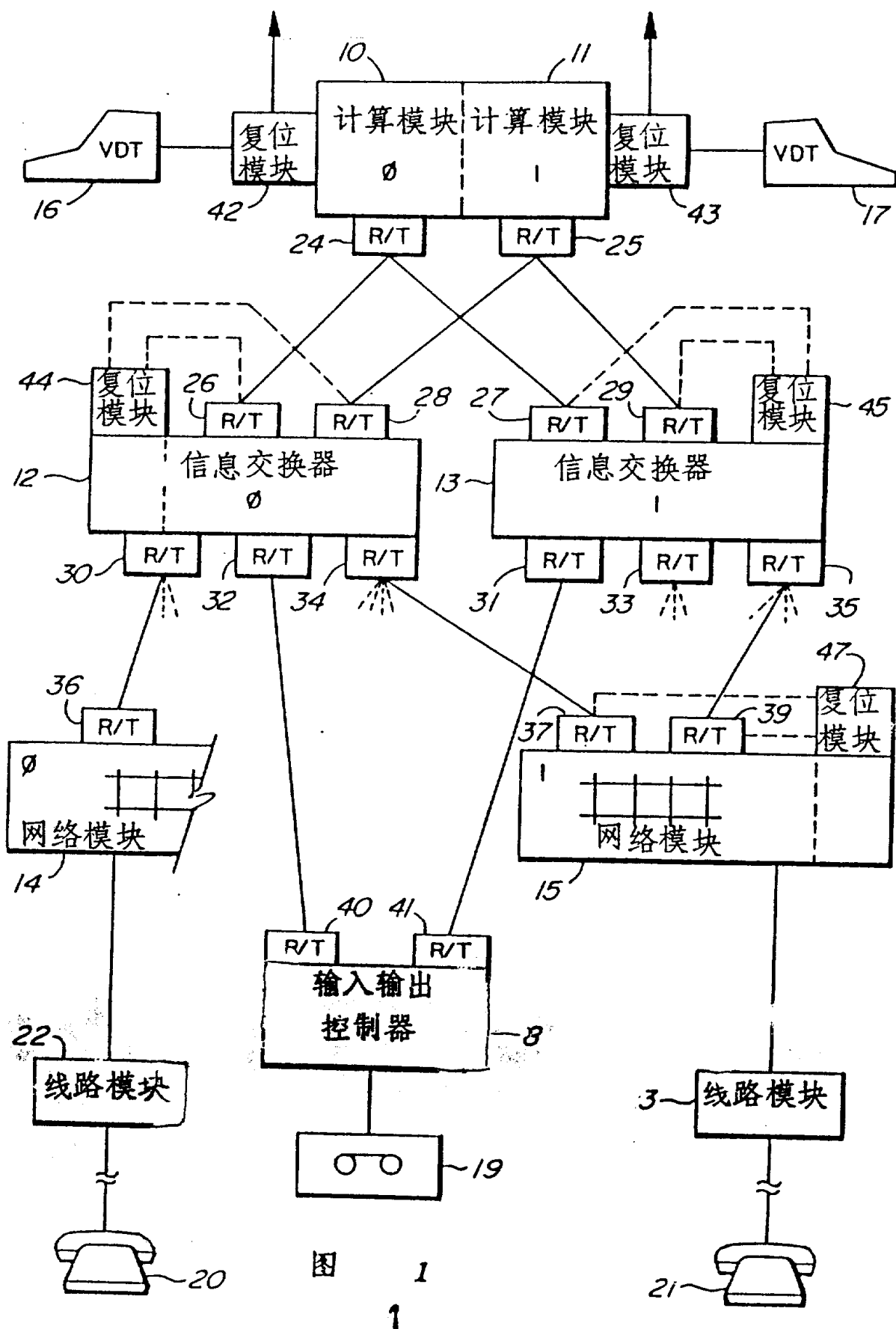


图 1
1

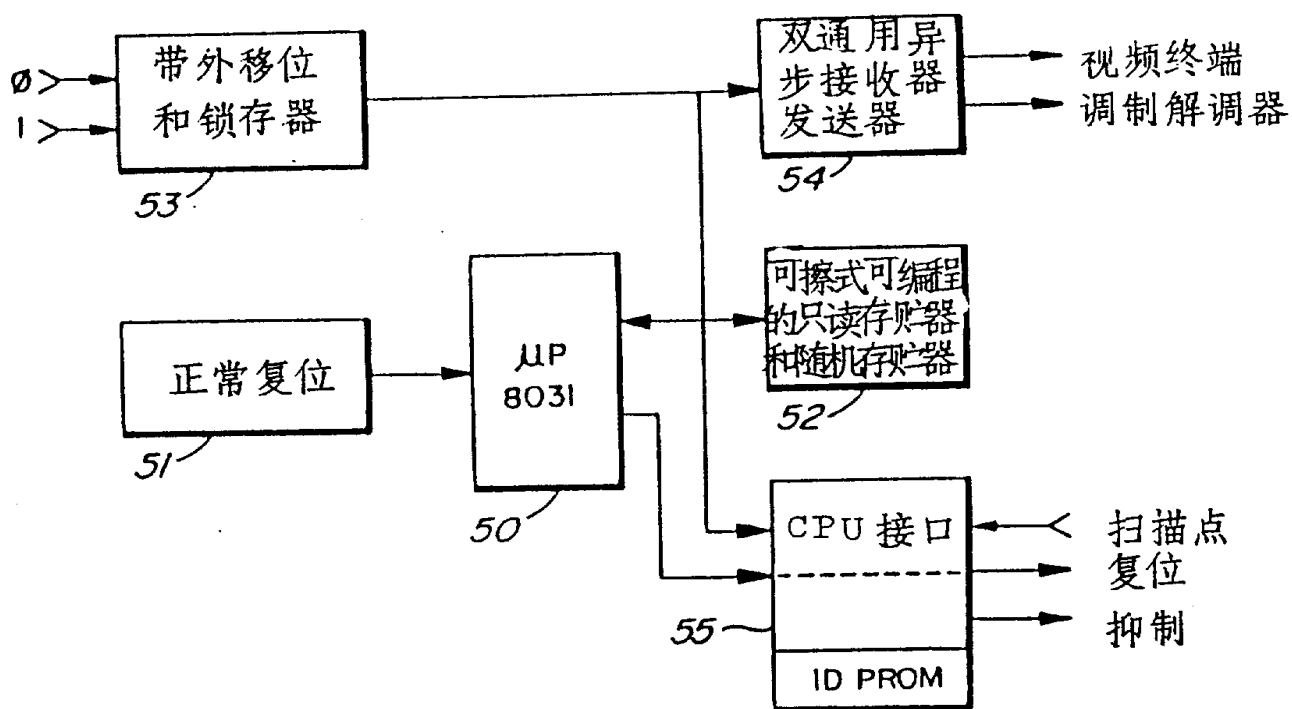


图 2

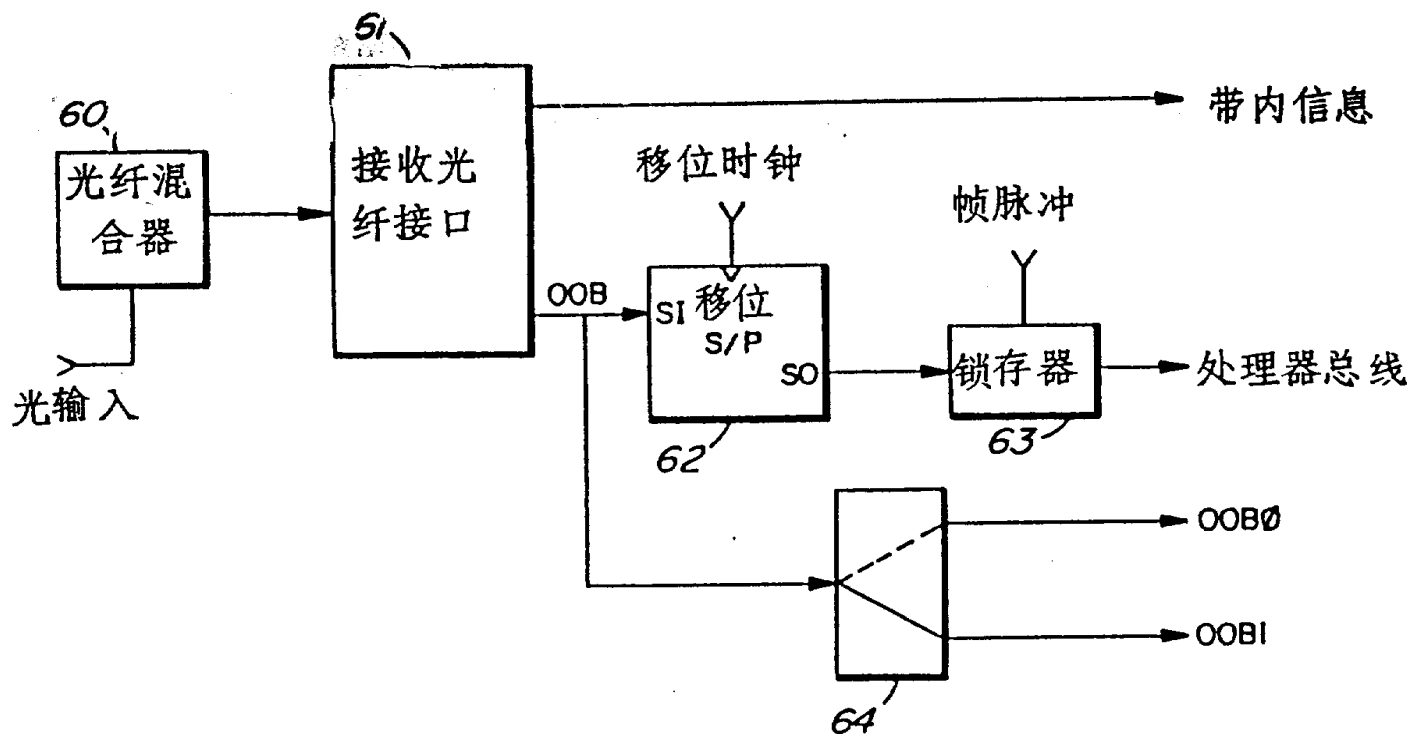


图 3

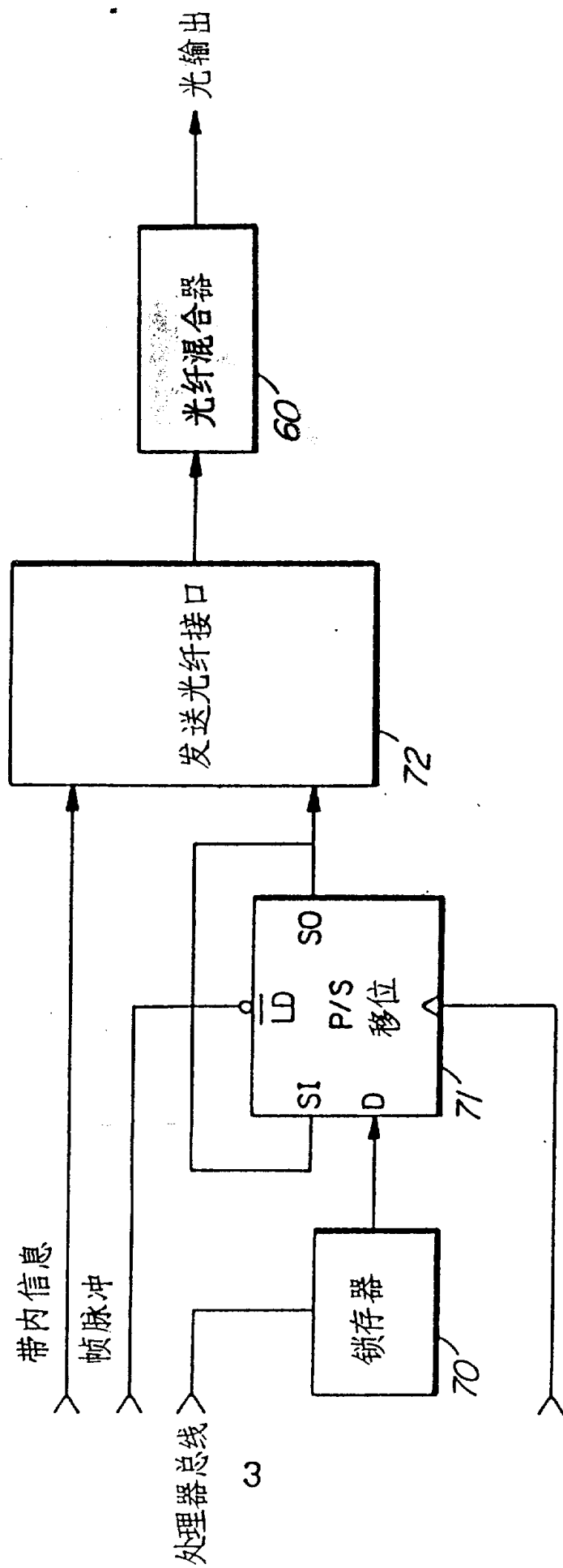


图 4

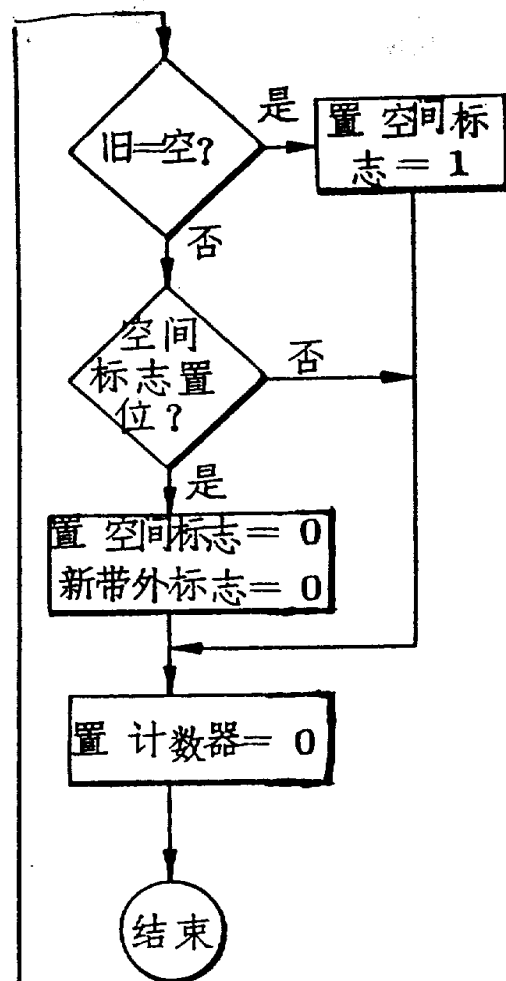
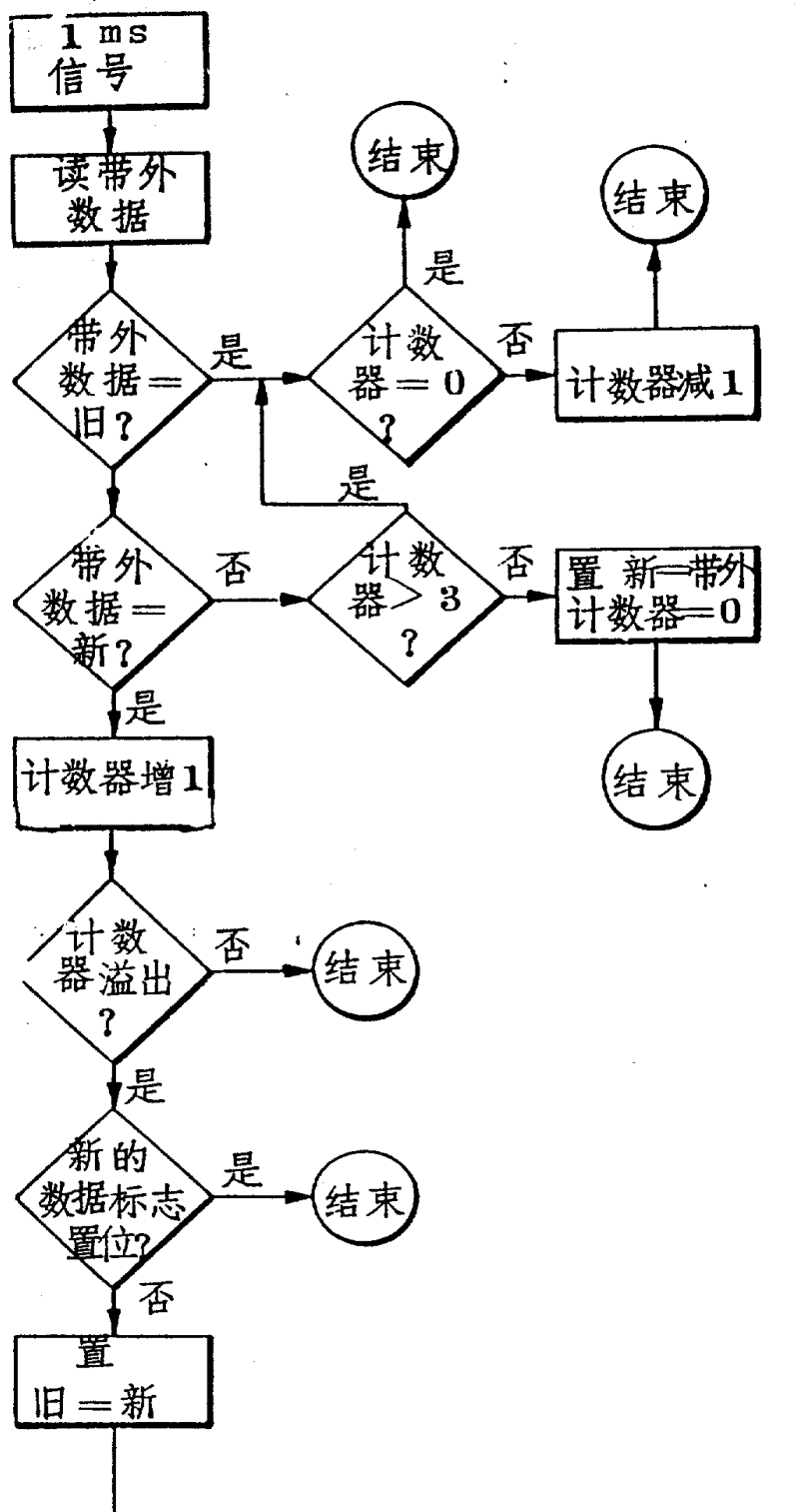


图 5