(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 1 月 29 日(29.01.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/012019 A1

(51) 国際特許分類:
H01L 29/12 (2006.01) *H01L 29/78* (2006.01)
H01L 21/336 (2006.01)

(21) 国際出願番号: PCT/JP2014/065971

(22) 国際出願日: 2014 年 6 月 17 日(17.06.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-155618 2013 年 7 月 26 日(26.07.2013) JP

(71) 出願人: 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

(72) 発明者: 日吉 透(HIYOSHI, Toru); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 増田 健良(MASUDA, Takeyoshi); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 和田 圭司(WADA, Keiji); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP).

(74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目２番７号 中之島セントラルタワー Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

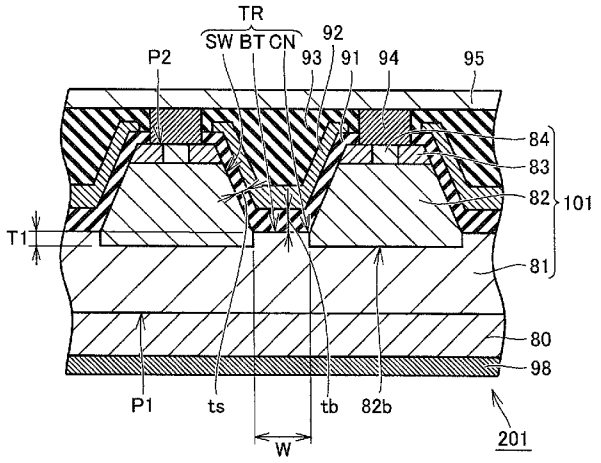
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: SILICON CARBIDE SEMICONDUCTOR DEVICE AND PRODUCTION METHOD THEREFOR

(54) 発明の名称 : 炭化珪素半導体装置およびその製造方法

FIG.1



(57) **Abstract**: A silicon carbide semiconductor device is provided with a silicon carbide layer (101) having a first main face (P1) and a second main face (P2) opposite from the first main face (P1). Provided on the second main face (P2) of the silicon carbide layer (101) is a trench (TR) having a depth oriented from the second main face (P2) to the first main face (P1), the trench (TR) having a side wall portion (SW) where a second layer (82) and a third layer (83) are exposed, and a bottom portion (BT) connected to the side wall portion (SW) where a first layer (81) is exposed. In the depth direction of the trench (TR), the position of the bottom portion (BT) of the trench (TR) is either a position more proximal to the second main face (P2) than a site (82b) situated most proximally to the first main face (P1) in the region where the second layer (82) and the first layer (81) come into contact, or, a position in the depth direction at the same depth as the site (82b).

(57) 要約:

[続葉有]

WO 2015/012019 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

炭化珪素半導体装置は、第１の主面（Ｐ１）と、第１の主面（Ｐ１）と反対の第２の主面（Ｐ２）とを有する炭化珪素層（１０１）を備える。炭化珪素層（１０１）の第２の主面（Ｐ２）には、第２の主面（Ｐ２）から第１の主面（Ｐ１）に向かう方向の深さを有するトレンチ（ＴＲ）が設けられており、トレンチ（ＴＲ）は、第２の層（８２）と第３の層（８３）とが表出する側壁部（ＳＷ）と、側壁部（ＳＷ）と連なり第１の層（８１）が表出する底部（ＢＴ）とを有する。トレンチ（ＴＲ）の深さ方向においてトレンチ（ＴＲ）の底部（ＢＴ）の位置は、第２の層（８２）と第１の層（８１）とが接する領域のうち最も第１の主面（Ｐ１）側にある部位（８２ｂ）よりも第２の主面（Ｐ２）側に位置するか、または、深さ方向において部位（８２ｂ）と同じ深さに位置する。

明　細　書

発明の名称 ： 炭化珪素半導体装置およびその製造方法

技術分野

[0001] 本発明は、炭化珪素半導体装置に関する。より詳しくは、トレンチゲート型炭化珪素半導体装置に関する。

背景技術

[0002] 炭化珪素半導体装置は、現在主流である珪素半導体装置に比べて、電力損失が少なく、高温動作が可能である等の多くの利点を有しており、次世代の電力用半導体装置として期待されている。現在、炭化珪素半導体装置において、高耐圧化、低オン抵抗化を追求すべく、装置の構造面から様々なアプローチが活発に行なわれている（たとえば、非特許文献１参照。）。

先行技術文献

非特許文献

[0003] 非特許文献1：Ｙ．Ｎａｋａｎｏ　ｅｔ　ａｌ．，”６９０Ｖ，１．００ｍΩｃｍ2　４Ｈ－ＳｉＣ　Ｄｏｕｂｌｅ－Ｔｒｅｎｃｈ　ＭＯＳＦＥＴｓ”，Ｍａｔｅｒｉａｌｓ　Ｓｃｉｅｎｃｅ　Ｆｏｒｕｍ　Ｖｏｌｓ．７１７－７２０，ｐｐ１０６９－１０７２（２０１２）

発明の概要

発明が解決しようとする課題

[0004] トレンチゲート構造はオン抵抗の低減に効果的な構造であり、当該構造を採用したトレンチゲート型炭化珪素半導体装置は、高耐圧と低オン抵抗との両立を実現する電力用半導体装置として有望である。しかしながら、トレンチゲート構造には、トレンチと呼ばれる溝の底部に形成されたゲート絶縁膜に電界が集中しやすいという課題がある。加えて、炭化珪素は、従来用いられてきた珪素に比べて比誘電率が高く、ゲート酸化膜を構成する材料と炭化珪素との比誘電率の差異に起因して、ゲート酸化膜には強電界が印加されることとなる。このような事情により、トレンチゲート型炭化珪素半導体装置

においては、トレンチの底部でゲート絶縁膜の絶縁破壊が発生しやすく、高耐圧と低オン抵抗との両立が極めて困難であった。

[0005] このような課題に対応するため、たとえば、Ｙ．Ｎａｋａｎｏ ｅｔ ａｌ．，”６９０Ｖ，１．００ｍΩｃｍ^2 ４Ｈ－ＳｉＣ Ｄｏｕｂｌｅ－Ｔｒｅｎｃｈ ＭＯＳＦＥＴｓ”（非特許文献１）では、ゲートとソースの両方にトレンチを形成したダブルトレンチ構造が提案されている。この構造によれば、ソース側のトレンチ底部に形成されたｐ型半導体層によって、ゲート絶縁膜の近傍に形成される電界が緩和される。

[0006] 非特許文献１に開示されるダブルトレンチ構造を得るためには、狭い領域内に２種類のトレンチを形成する必要がある。しかし、これには高度な加工技術が必要であり工程上の負担が大きい。また、トレンチの形成には、一般にドライエッチングが用いられるが、ドライエッチングによるダメージによって、ゲート絶縁膜の信頼性が低下する場合がある。

[0007] 本発明は、上記のような課題に鑑みなされたものであって、その目的とするところは、簡易に製造できるとともに、高耐圧と低オン抵抗とを両立した炭化珪素半導体装置を提供することにある。

課題を解決するための手段

[0008] 炭化珪素半導体装置は、第１の主面と、第１の主面と反対の第２の主面とを有する炭化珪素層を備える。

[0009] ここで、炭化珪素層は、第１の主面を構成し第１の導電型を有する第１の層と、第１の層内に設けられ第１の導電型と異なる第２の導電型を有する第２の層と、第１の層から隔てられるように第２の層上に設けられ第２の主面を構成しかつ第１の導電型を有する第３の層とを含む。

[0010] また、炭化珪素層の第２の主面には、第２の主面から第１の主面に向かう方向の深さを有するトレンチが設けられており、トレンチは、第２の層と第３の層とが表出する側壁部と、側壁部と連なり第１の層が表出する底部とを有する。

[0011] さらに、炭化珪素半導体装置は、側壁部および底部の各々を覆うゲート絶

縁膜と、ゲート絶縁膜上に設けられたゲート電極とを備える。

[0012] そして、トレンチの深さ方向においてトレンチの底部の位置は、第２の層と第１の層とが接する領域のうち最も第１の主面側にある部位よりも第２の主面側に位置するか、または、深さ方向において当該部位と同じ深さに位置する。

発明の効果

[0013] 本実施の形態の炭化珪素半導体装置は、簡易に製造できるとともに、高耐圧と低オン抵抗を両立できる。

図面の簡単な説明

[0014] [図1]本発明の一実施の形態における炭化珪素半導体装置の構成を概略的に示す図であり、図２の線Ｉ－Ｉに沿う部分断面図である。

[図2]図１の炭化珪素半導体装置が有する炭化珪素層の形状を概略的に示す部分斜視図である。

[図3]本発明の一実施の形態における炭化珪素半導体装置の構成を概略的に示す図である。

[図4]本発明の一実施の形態における炭化珪素半導体装置の構成を概略的に示す図である。

[図5]本発明の一実施の形態における炭化珪素半導体装置の構成を概略的に示す図である。

[図6]本発明の一実施の形態における炭化珪素半導体装置の構成を概略的に示す図である。

[図7]従来の炭化珪素半導体装置の構成を概略的に示す図である。

[図8A]本発明の一実施形態における炭化珪素半導体装置の製造過程を概略的に示す部分断面図である。

[図8B]本発明の一実施形態における炭化珪素半導体装置の製造過程を概略的に示す部分断面図である。

[図8C]本発明の一実施形態における炭化珪素半導体装置の製造過程を概略的に示す部分断面図である。

[図9A]本発明の一実施形態における炭化珪素半導体装置の製造過程を概略的に示す部分断面図である。

[図9B]本発明の一実施形態における炭化珪素半導体装置の製造過程を概略的に示す部分断面図である。

[図10A]本発明の一実施形態における炭化珪素半導体装置の製造過程を概略的に示す部分断面図である。

[図10B]本発明の一実施形態における炭化珪素半導体装置の製造過程を概略的に示す部分断面図である。

[図10C]本発明の一実施形態における炭化珪素半導体装置の製造過程を概略的に示す部分断面図である。

[図11]炭化珪素半導体装置が有する炭化珪素層の表面の微細構造を概略的に示す部分断面図である。

[図12]ポリタイプ４Ｈの六方晶における（０００－１）面の結晶構造を示す図である。

[図13]図１２の線ＸＩＩＩ－ＸＩＩＩに沿う（１１－２０）面の結晶構造を示す図である。

[図14]図１１の複合面の表面近傍における結晶構造を（１１－２０）面内において示す図である。

[図15]図１１の複合面を（０１－１０）面から見た図である。

[図16]巨視的に見たチャネル面および（０００－１）面の間の角度と、チャネル移動度との関係の一例を、熱エッチングが行われた場合と行われなかった場合との各々について示すグラフ図である。

[図17]チャネル方向および＜０－１１－２＞方向の間の角度と、チャネル移動度との関係の一例を示すグラフ図である。

[図18]図１１の変形例を示す図である。

発明を実施するための形態

[0015] 以下、本発明に係わる実施の形態についてさらに詳細に説明する。なお、以下の図面において同一または相当する部分には同一の参照符号を付し、そ

の説明は繰り返さない。また、本明細書中の結晶学的な記載においては、個別方位を［］、集合方位を＜＞、個別面を（）、集合面｛｝で、それぞれ示すものとする。なおまた、結晶学上の指数が負であることは、通常、”－”（バー）を数字の上に付すことによって表現されるが、本明細書中では数字の前に負の符号を付すことで表現するものとする。

[0016] ［本願発明の実施の形態の説明］

まず、本願発明の実施の形態（以下、「本実施の形態」とも記す）の概要を以下の（１）～（１１）に列記して説明する。

[0017] 本発明者は、上記課題を解決するため鋭意研究を行なったところ、半導体装置内において、ｐｎ接合によって生じる空乏層近傍に電界を集中させることにより、ゲート絶縁膜に印加される電界を緩和できるのではないかという着想を得、該着想に基づきさらに研究を重ねることにより、ゲート絶縁膜に印加される電界を大幅に緩和できる新規な装置構造を見出した。すなわち、本実施の形態に係る炭化珪素半導体装置は、以下の構成を備える。

[0018] （１）本実施の形態に係る炭化珪素半導体装置２０１は、第１の主面Ｐ１と、第１の主面Ｐ１と反対の第２の主面Ｐ２とを有する炭化珪素層１０１を備える。

[0019] 炭化珪素層１０１は、第１の主面Ｐ１を構成し第１の導電型を有する第１の層８１と、第１の層８１内に設けられ第１の導電型と異なる第２の導電型を有する第２の層８２と、第１の層８１から隔てられるように第２の層８２上に設けられ第２の主面Ｐ２を構成しかつ第１の導電型を有する第３の層８３と、を含む。

[0020] 炭化珪素層１０１の第２の主面Ｐ２には、第２の主面Ｐ２から第１の主面Ｐ１に向かう方向の深さを有するトレンチＴＲが設けられており、トレンチＴＲは、第２の層８２と第３の層８３とが表出する側壁部ＳＷと、側壁部ＳＷと連なり第１の層８１が表出する底部ＢＴとを有する。

[0021] さらに、炭化珪素半導体装置２０１は、側壁部ＳＷおよび底部ＢＴの各々を覆うゲート絶縁膜９１と、ゲート絶縁膜９１上に設けられたゲート電極９

２とを備える。

[0022] そして、トレンチＴＲの深さ方向においてトレンチＴＲの底部ＢＴの位置は、第２の層８２と第１の層８１とが接する領域のうち最も第１の主面Ｐ１側にある部位８２ｂよりも第２の主面Ｐ２側に位置するか、または、深さ方向において部位８２ｂと同じ深さに位置する。

[0023] この炭化珪素半導体装置２０１によれば、第１の導電型を有する第１の層８１と第２の導電型を有する第２の層８２とがｐｎ接合することにより生じる空乏層が、ゲート絶縁膜９１のうちトレンチＴＲの底部ＢＴを覆う部分を、強電界から保護する。したがって、トレンチゲート型の低オン抵抗を活かしつつ、高耐圧化が可能である。

[0024] （２）本実施の形態において、側壁部ＳＷにおいて第２の層８２には、面方位｛０－３３－８｝を有する第１の面を含む表面が設けられていることが好ましい。

[0025] これにより、炭化珪素半導体装置２０１のオン抵抗のうち、第２の層８２によって構成される部分であるチャネル部分の抵抗を小さくすることができる。よって第１の層８１によって構成される部分であるドリフト層部分の抵抗がより大きくても許容される。したがって、第１の層８１の不純物濃度をより小さくすることができる。これにより、さらなる高耐圧化が可能である。

[0026] （３）本実施の形態において、トレンチＴＲの底部ＢＴは、側壁部ＳＷと交差する方向に伸びる底面を含み、トレンチＴＲは、当該底面と側壁部ＳＷとの境界部に角部ＣＮを有することができ、角部ＣＮは、第２の層８２内に位置することが好ましい。

[0027] このように、とりわけ絶縁破壊の発生しやすい角部ＣＮが第２の層８２によって覆われることにより、さらなる高耐圧化が可能である。

[0028] （４）本実施の形態において、トレンチＴＲの底部ＢＴは、側壁部ＳＷと交差する方向に伸びる底面を含み、トレンチＴＲは、当該底面と側壁部ＳＷとの境界部に角部ＣＮを有し、角部ＣＮは、第１の層８１内に位置すること

もできる。この場合は、当該底面の位置する深さと部位８２ｂの位置する深さとの差異をＴ１として表わし、角部ＣＮと第２の層８２との最短距離をＴ２として表わした場合に、Ｔ２＜Ｔ１となる関係を満たすことが好ましい。

[0029] これにより、空乏層内に角部ＣＮを配置可能となるため、角部ＣＮ近傍の電界を緩和することができ、ゲート絶縁膜の信頼性を向上させることができる。

[0030] （５）本実施の形態において、底部ＢＴを覆うゲート絶縁膜９１の部分は、側壁部ＳＷを覆うゲート絶縁膜９１の部分よりも厚いことが好ましい。

[0031] このように、電界が集中しやすい底部ＢＴを覆うゲート絶縁膜を厚く形成することにより、ゲート絶縁膜の信頼性を向上させることができる。

[0032] （６）第１の層８１内に、第２の導電型を有する埋込領域７０を含むことが好ましい。このとき、埋込領域７０は、第１の層８１によって第２の層８２から隔てられており、かつトレンチＴＲの側壁部ＳＷおよび底部ＢＴの各々から離れていることが好ましい。

[0033] 埋込領域７０によって、トレンチＴＲの底部ＢＴ近傍の電界を効果的に緩和することができる。これにより、さらなる高耐圧化が可能である。

[0034] （７）第１の導電型はｎ型であり、第２の導電型はｐ型であることが好ましい。これにより、チャネル領域（第２の層８２）がｐ型半導体となることができるため、閾値電圧をより一層高くすることができる。

[0035] 本実施の形態に係る炭化珪素半導体装置は以下のような製造方法によって製造することができる。

[0036] （８）第１の製造方法は、第１の導電型を有する第１の層８１と、第１の層８１内に設けられ第１の導電型と異なる第２の導電型を有する第２の層８２と、第１の層８１から隔てられるように第２の層８２上に設けられ第１の導電型を有する第３の層８３とを含む炭化珪素基板１１０を準備する工程と、第３の層８３および第２の層８２の一部を除去することにより、第３の層８３を貫通し第２の層８２に到る側壁部ＳＷと、第２の層８２の露出面を含む底部ＢＴとを有するトレンチＴＲを形成する工程と、第２の層８２の露出

面に第１の導電型の不純物を注入することにより、トレンチＴＲの底部ＢＴから第１の層８１にまで伸びる第１の導電型を有する注入領域８１ａを形成する工程と、を備える。ここで形成された注入領域８１ａは、第１の層８１と一体となる。

[0037] さらに、第１の製造方法は、トレンチＴＲの側壁部ＳＷおよび底部ＢＴを覆うゲート絶縁膜９１を形成する工程と、ゲート絶縁膜９１を介してトレンチＴＲ上にゲート電極９２を形成する工程と、を備える。これにより、本実施の形態の炭化珪素半導体装置２０１を簡易に製造することができる。

[0038] （９）第２の製造方法は、第１の導電型を有する第１の層８１と、第１の層８１内に離間して設けられ第１の導電型とは異なる第２の導電型を有する２つの第２の層８２と、第１の層８１および第２の層８２上に設けられ第１の導電型を有する第３の層８３とを含む炭化珪素基板１１１を準備する工程と、２つの第２の層８２の間の領域上から、第３の層８３を開口することにより、第１の層８１を露出させ、第３の層８３を貫通し第２の層８２に到る側壁部ＳＷと、第１の層８１の露出面を含む底部ＢＴとを有するトレンチＴＲを形成する工程と、トレンチＴＲの側壁部ＳＷおよび底部ＢＴを覆うゲート絶縁膜９１を形成する工程と、ゲート絶縁膜９１を介してトレンチＴＲ上にゲート電極９２を形成する工程と、を備える。この製造方法によっても、本実施の形態の炭化珪素半導体装置２０１を簡易に製造することができる。

[0039] （１０）第１の製造方法または第２の製造方法において、炭化珪素基板１１０，１１１を準備する工程は、イオン注入により、第１の層８１内に、第２の層８２と第３の層８３とを形成する工程を含むことができる。これにより、炭化珪素基板１１０，１１１を簡易に準備することができる。

[0040] （１１）第１の製造方法または第２の製造方法において、炭化珪素基板１１０，１１１を準備する工程は、エピタキシャル成長により、第１の層８１上に第２の層８２と第３の層８３とを形成する工程を含むこともできる。このような工程を含むことによっても、炭化珪素基板１１０，１１１を簡易に準備することができる。

[0041] ［本願発明の実施の形態の詳細］

以下、本実施の形態に係る炭化珪素半導体装置について、より詳細に説明するが、本実施の形態はこれらに限定されるものではない。

[0042] ＜炭化珪素半導体装置＞

図１に示す実施の形態に係る炭化珪素半導体装置２０１は、縦型ＭＯＳＦＥＴ（Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）として構成されている。炭化珪素半導体装置２０１は、単結晶基板８０と、炭化珪素層１０１（エピタキシャル層）と、ゲート絶縁膜９１と、ゲート電極９２と、層間絶縁膜９３と、ソース電極９４と、ソース配線層９５と、ドレイン電極９８とを有する。単結晶基板８０は、炭化珪素からなり、ｎ型（第１の導電型）を有する。単結晶基板８０上には、炭化珪素層１０１が設けられている。

[0043] 炭化珪素層１０１は、単結晶基板８０上にエピタキシャルに成長させられた炭化珪素層である。炭化珪素層１０１は、ポリタイプ４Ｈの六方晶の結晶構造を有する。かかる結晶構造を採用することにより、炭化珪素半導体装置２０１のオン抵抗を低くすることができる。炭化珪素層１０１は、単結晶基板８０に面する下面Ｐ１（第１の主面）と、下面Ｐ１と反対の上面Ｐ２（第２の主面）とを有する。炭化珪素層１０１は、ｎドリフト層８１（第１の層）と、ｐボディ層８２（第２の層）と、ｎ＋層８３（第３の層）と、ｐコンタクト領域８４とを有する。

[0044] ｎドリフト層８１は、ｎ型を有する。ｎドリフト層８１は、炭化珪素層１０１の下面Ｐ１を構成している。ｎドリフト層８１の不純物濃度は、単結晶基板８０の不純物濃度よりも低いことが好ましい。ここで、ｎドリフト層８１の不純物濃度は、好ましくは$1\times10^{15}cm^{-3}$以上$5\times10^{16}cm^{-3}$以下である。

[0045] ｐボディ層８２は、ｐ型（第１の導電型と異なる第２の導電型）を有する。ｐボディ層８２は、ｎドリフト層８１上に設けられている。ｐボディ層８２の不純物濃度は、$5\times10^{15}cm^{-3}$以上$2\times10^{18}cm^{-3}$以下であることが好

ましく、たとえば、１×１０^{18}ｃｍ$^{-3}$程度とすることができる。

[0046] ｎ＋層８３は、ｎ型を有する。ｎ＋層８３は、ｐボディ層８２によってｎドリフト層８１から隔てられるように、ｐボディ層８２上に設けられている。ｎ＋層８３は、ｐコンタクト領域８４とともに炭化珪素層１０１の上面Ｐ２を構成している。すなわち、ｎ＋層８３は炭化珪素層１０１の上面Ｐ２の一部を構成している。

[0047] 炭化珪素層１０１の上面Ｐ２には、上面Ｐ２から下面Ｐ１に向かう方向の深さを有するトレンチＴＲが設けられている。トレンチＴＲは側壁部ＳＷと底部ＢＴとを有する。側壁部ＳＷはｎ＋層８３とｐボディ層８２とを貫通してｎドリフト層８１に到っており、側壁部ＳＷには、ｐボディ層８２とｎ＋層８３とが表出している。そして、側壁部ＳＷはｐボディ層８２上において、炭化珪素半導体装置２０１のチャネル面を含む。また、底部ＢＴは、側壁部ＳＷと連なって形成されており、底部ＢＴにはｎドリフト層８１が表出している。そして、トレンチＴＲは底部ＢＴと側壁部ＳＷとの境界に角部ＣＮを有している。ここで、トレンチＴＲの深さは、たとえば０．３μｍ以上２．０μｍ以下であり、好ましくは０．５μｍ以上１．５μｍ以下である。なお、本実施の形態において、底部ＢＴと上面Ｐ２とは、互いにほぼ平行であって、平坦な形状を有する。

[0048] 図２は、図１の炭化珪素半導体装置２０１が有する炭化珪素層１０１の形状を概略的に示す部分斜視図である。図２に示すように、本実施の形態においてトレンチＴＲは、ハニカム構造の網目を構成するように伸びており、トレンチＴＲの底部ＢＴには、ｎドリフト層８１が表出している。そして、側壁部ＳＷは、六角錐台の斜面をなすように形成されており、側壁部ＳＷには、ｐボディ層８２とｎ＋層８３とが表出している。上面Ｐ２は、六角錐台の頂面を構成しており、平面視では六角形状を有している。

[0049] ゲート絶縁膜９１は、トレンチＴＲ上に形成されており、トレンチＴＲの側壁部ＳＷおよび底部ＢＴの各々を覆っている。ゲート絶縁膜９１は酸化珪素膜であることが好適である。そして、ゲート絶縁膜９１上には、ゲート電

極９２が設けられている。層間絶縁膜９３はゲート電極９２上に設けられ、ゲート電極９２とソース電極９４との間を絶縁している。ソース電極９４は、炭化珪素層１０１の上面Ｐ２上に設けられており、ｎ＋層８３およびｐコンタクト領域８４の各々に接している。ソース配線層９５は層間絶縁膜９３およびソース電極９４に接している。ソース配線層９５は、たとえばアルミニウム層である。ドレイン電極９８は、炭化珪素層１０１の下面Ｐ１上に単結晶基板８０を介して設けられている。

[0050] トレンチＴＲの底部ＢＴは、ｎドリフト層８１の上に位置している。そして、底部ＢＴは、ｐボディ層８２とｎドリフト層８１とが接する領域のうち最も下面Ｐ１側にある部位８２ｂよりも上面Ｐ２側に位置している。これにより、ｐボディ層８２とｎドリフト層８１とがｐｎ接合することにより生じる空乏層が、従来電界が集中していた領域を覆うことになるので、ゲート絶縁膜９１のうちトレンチＴＲの底部ＢＴを覆う部分に印加される電界は大幅に緩和される。すなわち、トレンチＴＲの底部ＢＴを覆うゲート絶縁膜９１が、空乏層によって保護される。また、底部ＢＴは、図３に示す炭化珪素半導体装置３０１のように、トレンチＴＲの深さ方向において部位８２ｂと同じ深さに位置していてもよい。この場合も、ゲート絶縁膜９１のうち底部ＢＴを覆う部分に印加される電界が緩和される。なお、電界がより大きく緩和される構成は、図１に示す構成である。

[0051] 図７に従来のトレンチゲート型炭化珪素半導体装置の一例を示す。図７に示すように、炭化珪素半導体装置７０１では、ＪＦＥＴ（Ｊｕｎｃｔｉｏｎ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）抵抗を完全に排除するため、トレンチＴＲの底部ＢＴはｎドリフト層８１内に位置している。このような構造が採用される理由は、従来の技術思想においては、ＪＦＥＴ抵抗を排除することにより、低オン抵抗化することが優先されてきたからである。しかし、その反面、この構造ではゲート絶縁膜９１が強電界に曝されることから、耐圧を維持するためにｎドリフト層８１の厚さや不純物濃度等に一定の制約が課せられることとなり、高耐圧と低オン抵抗を高度に両立する

ことは困難であった。

[0052] これに対して、図１に示す本実施の形態の炭化珪素半導体装置では、ＪＦＥＴ抵抗成分を一部含む場合があり得るが、電界緩和効果が極めて大きいため、全体として耐圧を改善することができ、高耐圧と低オン抵抗とを高度に両立することが可能である。

[0053] なお、図１において底部ＢＴは、側壁部ＳＷと交差する方向に伸びる面を含むことにより、底面を構成しているが、底部ＢＴは一の側壁部ＳＷと他の側壁部ＳＷとが交差することにより構成される線であってもよい。すなわち、トレンチＴＲの断面形状は、Ｖ字形状であってもよく、Ｖ字形状であっても本実施の形態の効果は示される。

[0054] また、底部ＢＴを覆うゲート絶縁膜９１の部分（図１中のｔｂ）は、側壁部ＳＷを覆うゲート絶縁膜９１の部分（図１中のｔｓ）よりも厚いことが好ましい。すなわち、図１においてｔｓ＜ｔｂとなる関係を満たすことが好ましい。側壁部ＳＷに比べて強い電界が印加される底部ＢＴを覆うゲート絶縁膜を厚く形成することにより、ゲート絶縁膜の信頼性を向上させることができる。なお、ｔｂおよびｔｓは、１．２ｔｓ≦ｔｂとなる関係を満たすことがより好ましい。

[0055] なお、図１に示すように、トレンチＴＲの底面（底部ＢＴ）の位置する深さとｐボディ層８２のうち最も下面Ｐ１側にある部位８２ｂの位置する深さとの差異をＴ１として表わした場合、前述のように本実施の形態の炭化珪素半導体装置は、０≦Ｔ１となる関係を満たすが、ＪＦＥＴ抵抗を可能な限り低減し、さらなる低オン抵抗化を追求するとの観点から、Ｔ１≦１μｍとなる関係を満たすことが好ましい。また、同様の観点から、トレンチＴＲを挟んで対向配置される２つのｐボディ層８２同士の最短距離は、１μｍ≦Ｗとなる関係を満たすことが好ましい。

[0056] ≪特殊面≫

トレンチＴＲの側壁部ＳＷは、炭化珪素層１０１の上面Ｐ２に対して傾斜していることが好ましい。すなわち、トレンチＴＲは開口に向かってテーパ

状に拡がっていることが好ましい。具体的には、側壁部ＳＷの面方位は、｛０００１｝面に対して５０°以上６５°以下傾斜していることが好ましく、（０００－１）面に対して５０°以上６５°以下傾斜していることが好ましい。また、側壁部ＳＷは、特にｐボディ層８２上の部分において、所定の結晶面（以下、「特殊面」と称する）を有することが好ましい。

[0057] トレンチＴＲの側壁部ＳＷ（図１）に表出するｐボディ層８２には、表面として特殊面が設けられていることが好ましい。特殊面が設けられた側壁部ＳＷは、図１１に示すように、面方位｛０－３３－８｝を有する面Ｓ１（第１の面）を含む。換言すれば、トレンチＴＲの側壁部ＳＷ上においてｐボディ層８２には、面Ｓ１を含む表面が設けられている。面Ｓ１は好ましくは面方位（０－３３－８）を有する。

[0058] より好ましくは、側壁部ＳＷは面Ｓ１を微視的に含み、側壁部ＳＷはさらに、面方位｛０－１１－１｝を有する面Ｓ２（第２の面）を微視的に含む。ここで、「微視的」とは、「原子間隔の２倍程度の寸法を少なくとも考慮する程度に詳細に」ということを意味している。このように微視的な構造の観察方法としては、たとえばＴＥＭ（Ｔｒａｎｓｍｉｓｓｉｏｎ Ｅｌｅｃｔｒｏｎ Ｍｉｃｒｏｓｃｏｐｅ）を用いることができる。なお、面Ｓ２は好ましくは面方位（０－１１－１）を有する。

[0059] さらに、好ましくは側壁部ＳＷの面Ｓ１および面Ｓ２は、面方位｛０－１１－２｝を有する複合面ＳＲを構成している。すなわち複合面ＳＲは、面Ｓ１およびＳ２が周期的に繰り返されることによって構成されている。このような周期的構造は、たとえばＴＥＭまたはＡＦＭ（Ａｔｏｍｉｃ Ｆｏｒｃｅ Ｍｉｃｒｏｓｃｏｐｙ）により観察することができる。この場合、複合面ＳＲは｛０００－１｝面に対して巨視的に６２°のオフ角を有する。ここで、「巨視的」とは、原子間隔程度の寸法を有する微細構造を無視することを意味している。このように、巨視的なオフ角の測定方法としては、たとえば一般的なＸ線回折を用いた方法を挙げることができる。また、複合面ＳＲは、面方位（０－１１－２）を有することが好ましい。この場合、複合面Ｓ

Ｒは（０００－１）面に対して巨視的に６２°のオフ角を有する。

[0060] また、好ましくは、チャネル面上においてキャリアが流れる方向（すなわち、ＭＯＳＦＥＴの厚さ方向（図１などにおける縦方向））であるチャネル方向ＣＤは、上述した周期的繰り返しが行なわれる方向に沿っている。次に複合面ＳＲの詳細な構造について説明する。

[0061] 一般に、ポリタイプ４Ｈの炭化珪素単結晶を（０００－１）面から見ると、図１２に示すように、Ｓｉ原子（またはＣ原子）は、Ａ層の原子（図中の実線）と、この下に位置するＢ層の原子（図中の破線）と、この下に位置するＣ層の原子（図中の一点鎖線）と、この下に位置するＢ層の原子（図示せず）とが繰り返し設けられている。つまり４つの層ＡＢＣＢを１周期としてＡＢＣＢＡＢＣＢＡＢＣＢ・・・のような周期的な積層構造が設けられている。

[0062] 図１３に示すように、（１１－２０）面（図１２の線ＸＩＩＩ－ＸＩＩＩの断面）において、上述した１周期を構成する４つの層ＡＢＣＢの各層の原子は、（０－１１－２）面に完全に沿うようには配列されていない。図１３においてはＢ層の原子の位置を通るように（０－１１－２）面が示されており、この場合、Ａ層およびＣ層の各々の原子は（０－１１－２）面からずれていることがわかる。このため、炭化珪素単結晶の表面の巨視的な面方位、すなわち原子レベルの構造を無視した場合の面方位が（０－１１－２）に限定されたとしても、この表面は、微視的には様々な構造をとり得る。

[0063] 図１４に示すように、複合面ＳＲは、面方位（０－３３－８）を有する面Ｓ１と、面Ｓ１につながりかつ面Ｓ１の面方位と異なる面方位を有する面Ｓ２とが交互に設けられることによって構成されている。面Ｓ１および面Ｓ２の各々の長さは、Ｓｉ原子（またはＣ原子）の原子間隔の２倍である。なお面Ｓ１および面Ｓ２が平均化された面は、（０－１１－２）面に対応する。

[0064] 図１５に示すように、複合面ＳＲを（０１－１０）面から見て単結晶構造は、部分的に見て立方晶と等価な構造（面Ｓ１の部分）を周期的に含んでいる。具体的には複合面ＳＲは、上述した立方晶と等価な構造における面方位

（００１）を有する面Ｓ１と、面Ｓ１につながりかつ面Ｓ１の面方位と異なる面方位を有する面Ｓ２とが交互に設けられることによって構成されている。このように、立方晶と等価な構造における面方位（００１）を有する面（図１５においては面Ｓ１）と、この面につながりかつこの面方位と異なる面方位を有する面（図１５においては面Ｓ２）とによって表面を構成することは４Ｈ以外のポリタイプにおいても可能である。ポリタイプは、たとえば６ＨまたはＲであってもよい。

[0065] 次に図１６を参照して、側壁部ＳＷの結晶面と、チャネル面の移動度ＭＢとの関係について説明する。図１６のグラフにおいて、横軸は、チャネル面を有する側壁部ＳＷの巨視的な面方位と（０００－１）面とのなす角度Ｄ１を示し、縦軸は移動度ＭＢを示す。プロット群ＣＭは側壁部ＳＷが熱エッチングによる特殊面として仕上げられた場合に対応し、プロット群ＭＣはそのような熱エッチングがなされない場合に対応する。なお、熱エッチング等の製造方法については後述する。

[0066] プロット群ＭＣにおける移動度ＭＢは、チャネル面の表面の巨視的な面方位が（０－３３－８）のときに最大となった。この理由は、熱エッチングが行われない場合、すなわち、チャネル表面の微視的な構造が特に制御されない場合においては、巨視的な面方位が（０－３３－８）とされることによって、微視的な面方位（０－３３－８）、つまり原子レベルまで考慮した場合の面方位（０－３３－８）が形成される割合が確率的に高くなったためと考えられる。

[0067] 一方、プロット群ＣＭにおける移動度ＭＢは、チャネル面の表面の巨視的な面方位が（０－１１－２）のとき（矢印ＥＸ）に最大となった。この理由は、図１４および図１５に示すように、面方位（０－３３－８）を有する多数の面Ｓ１が面Ｓ２を介して規則正しく稠密に配置されることで、チャネル面の表面において微視的な面方位（０－３３－８）が占める割合が高くなったためと考えられる。

[0068] なお移動度ＭＢは複合面ＳＲ上において方位依存性を有する。図１７に示

すグラフにおいて、横軸はチャネル方向と＜０－１１－２＞方向との間の角度Ｄ２を示し、縦軸はチャネル面の移動度ＭＢ（任意単位）を示す。破線はグラフを見やすくするために補助的に付してある。このグラフから、チャネル移動度ＭＢを大きくするには、チャネル方向ＣＤ（図１１）が有する角度Ｄ２は、０°以上６０°以下であることが好ましく、ほぼ０°であることがより好ましいことがわかった。

[0069] 図１８に示すように、側壁部ＳＷは複合面ＳＲに加えてさらに面Ｓ３（第３の面）を含んでもよい。より具体的には、面Ｓ３および複合面ＳＲが周期的に繰り返されることによって構成された複合面ＳＱを側壁部ＳＷが含んでもよい。この場合、側壁部ＳＷの｛０００－１｝面に対するオフ角は、理想的な複合面ＳＲのオフ角である６２°からずれる。このずれは小さいことが好ましく、±１０°の範囲内であることが好ましい。このような角度範囲に含まれる表面としては、たとえば、巨視的な面方位が｛０－３３－８｝面となる表面がある。より好ましくは、側壁部ＳＷの（０００－１）面に対するオフ角は、理想的な複合面ＳＲのオフ角である６２°からずれる。このずれは小さいことが好ましく、±１０°の範囲内であることが好ましい。このような角度範囲に含まれる表面としては、たとえば、巨視的な面方位が（０－３３－８）面となる表面がある。このような周期的構造は、たとえば、ＴＥＭまたはＡＦＭにより観察し得る。

[0070] 上述した理由により、トレンチＴＲの側壁部ＳＷ（図１）上においてｐボディ層８２には、面方位｛０－３３－８｝を有する面Ｓ１（図１１）を含む表面が設けられていることが好ましい。これにより、炭化珪素半導体装置２０１のオン抵抗のうち、ｐボディ層８２によって構成されるチャネル部分の抵抗を小さくすることができる。よってｎドリフト層８１の抵抗がより大きくても許容される。よってｎドリフト層８１の不純物濃度をより小さくすることができる。これにより炭化珪素半導体装置のさらなる高耐圧化が可能となる。

[0071] なお、この表面は面Ｓ１を微視的に含んでもよく、表面はさらに、面方位

｛０－１１－１｝を有する面Ｓ２（図１１）を微視的に含んでもよい。この表面の面Ｓ１およびＳ２は、面方位｛０－１１－２｝を有する複合面ＳＲ（図１１）を構成することが好ましい。またこの表面は｛０００－１｝面に対して、巨視的に６２°±１０°のオフ角を有することがより好ましい。これによりチャネル部分の抵抗をより小さくすることができる。

[0072] ＜炭化珪素半導体装置の製造方法＞

次に本実施の形態に係る炭化珪素半導体装置の製造方法について説明する。本実施の形態に係る炭化珪素半導体装置を製造する方法としては、以下に示す第１の製造方法および第２の製造方法が好適である。

[0073] ≪第１の製造方法≫

図８Ａに示すように、まず単結晶基板８０上にｎドリフト層８１が形成される。具体的には、単結晶基板８０上におけるエピタキシャル成長によって、ｎドリフト層８１が形成される。このエピタキシャル成長は、たとえば原料ガスとしてシラン（SiH_4）とプロパン（C_3H_8）との混合ガスを用い、キャリアガスとしてたとえば水素ガス（H_2）を用いたＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法により行うことができる。この際、不純物として、たとえば窒素（Ｎ）やリン（Ｐ）を導入することが好ましい。

[0074] 次に、ｎドリフト層８１内にｐボディ層８２、ｎ＋層８３およびｐコンタクト領域８４が形成される。これらの形成は、たとえば、ｎドリフト層８１へのイオン注入により行なうことができる。ｐボディ層８２およびｐコンタクト領域８４を形成するためのイオン注入においては、たとえばアルミニウム（Ａｌ）などの、ｐ型を付与するための不純物がイオン注入される。またｎ＋層８３を形成するためのイオン注入においては、たとえばリン（Ｐ）などの、ｎ型を付与するための不純物が注入される。イオン注入によって形成されるｐボディ層８２の深さは、１μｍ以下であることが好ましく、たとえば、深さ０．７～０．８μｍ程度である。またｎ＋層８３は、炭化珪素半導体装置２０１のチャネル長が実質的に０．３～０．６μｍ程度となるように

、イオン注入によって形成される。

[0075] なお、イオン注入の代わりに、不純物の添加をともなうにエピタキシャル成長が用いられてもよい。

[0076] 次に、不純物を活性化するための熱処理が行われる。この熱処理の温度は、好ましくは１５００℃以上１９００℃以下であり、たとえば１７００℃程度である。熱処理の時間は、たとえば３０分程度である。熱処理の雰囲気は、好ましくは不活性ガス雰囲気であり、たとえばＡｒ雰囲気である。

[0077] 以上のようにして、ｎドリフト層８１と、ｎドリフト層８１内に設けられたｐボディ層８２と、ｎドリフト層８１から隔てられるようにｐボディ層８２上に設けられたｎ＋層８３とを含む炭化珪素基板１１０を準備される。

[0078] 次に、トレンチＴＲを形成する工程が実行される。図８Ｂに示すトレンチＴＲは、まずマスク層を介して、ｎ＋層８３およびｐボディ層８２の一部をエッチングによって除去することにより、ｎ＋層８３を貫通し、ｐボディ層８２に到る上面Ｐ２に対して垂直な溝を形成した後、熱エッチングを行なうことにより、さらにｎ＋層８３およびｐボディ層８２の一部を除去し、開口に向かってテーパ状に広がった形状となるように形成される。

[0079] ここでマスク層は、酸化珪素膜であることが好ましい。酸化珪素膜は、上面Ｐ２を熱酸化することにより容易に形成できるため好適である。

[0080] 垂直な溝を形成するために行なわれるエッチングの方法としては、たとえば反応性イオンエッチング（ＲＩＥ）や誘導結合プラズマ（ＩＣＰ）ＲＩＥを用いることができる。具体的には、たとえば反応ガスとしてSF_6またはSF_6とO_2との混合ガスを用いたＩＣＰ－ＲＩＥを用いることができる。

[0081] 垂直な溝を形成した後に行なわれる熱エッチングは、たとえば、少なくとも１種類以上のハロゲン原子を有する反応性ガスを含む雰囲気中での加熱によって行ない得る。少なくとも１種類以上のハロゲン原子は、塩素（Ｃｌ）原子およびフッ素（Ｆ）原子の少なくともいずれかを含む。この雰囲気は、たとえば、Cl_2、BCl_3、SF_6、またはCF_4である。たとえば、塩素ガスと酸素ガスとの混合ガスを反応ガスとして用い、熱処理温度を、たとえば７

００℃以上１０００℃以下として、熱エッチングが行われる。

[0082] なお、反応ガスは、上述した塩素ガスと酸素ガスとに加えて、キャリアガスを含んでいてもよい。キャリアガスとしては、たとえば窒素（N_2）ガス、アルゴンガス、ヘリウムガスなどを用いることができる。そして、上述のように熱処理温度を７００℃以上１０００℃以下とした場合、炭化珪素のエッチング速度はたとえば約７０μｍ／時になる。また、この場合に、酸化珪素から作られたマスク層は、炭化珪素に対する選択比が極めて大きいので、炭化珪素のエッチング中に実質的にエッチングされない。そして、これにより、側壁部ＳＷ上、特にｐボディ層８２上において、特殊面が自己形成される。なお、ここで用いたマスク層はエッチングなど任意の方法により除去することができる。

[0083] 以上のようにして、図８Ｂに示すように、ｎ＋層８３を貫通しｐボディ層８２に到る側壁部ＳＷと、ｐボディ層８２の露出面を含む底部ＢＴとを有するトレンチＴＲを形成することができる。

[0084] 次に、図８Ｃに示すようにイオン注入マスク層４０を介して、ｐボディ層８２の露出面（底部ＢＴにおけるｐボディ層８２の残部）に対してイオン注入を行なうことにより、ｎ型を有する注入領域８１ａを形成する。イオン注入においては、たとえばリン（Ｐ）などの、ｎ型を付与するための不純物が注入される。ここで、形成された注入領域８１ａは、ｎ型を有するため、ｎドリフト層８１と同視することのできるものであり、ｎドリフト層８１と一体となる。

[0085] なお、ここで、図８Ｃ中に示すイオン注入マスク層４０の開口部の幅Ｒを適宜調整することにより、後述する第１～第３の変形例の炭化珪素半導体装置を製造することが可能である。

[0086] 次に、図１０Ａに示すようにゲート絶縁膜９１を形成する工程が実行される。ここで、ゲート絶縁膜９１は、トレンチＴＲの側壁部ＳＷおよび底部ＢＴの各々を覆うように形成される。ゲート絶縁膜９１は、たとえば熱酸化により形成することができる。

[0087] ゲート絶縁膜９１が形成された後に、雰囲気ガスとして一酸化窒素（ＮＯ）ガスを用いるＮＯアニールが行われてもよい。温度プロファイルは、たとえば、温度１１００℃以上１３００℃以下、保持時間１時間程度の条件を有する。これにより、ゲート絶縁膜９１とｐボディ層８２との界面領域に窒素原子が導入される。その結果、界面領域における界面準位の形成が抑制されることで、チャネル移動度を向上させることができる。なお、このような窒素原子の導入が可能であれば、ＮＯガス以外のガスが雰囲気ガスとして用いられてもよい。

[0088] このＮＯアニールの後にさらに、雰囲気ガスとしてアルゴン（Ａｒ）を用いるＡｒアニールが行われてもよい。Ａｒアニールの加熱温度は、上記ＮＯアニールの加熱温度よりも高く、ゲート絶縁膜９１の融点よりも低いことが好ましい。この加熱温度が保持される時間は、たとえば１時間程度である。これにより、ゲート絶縁膜９１とｐボディ層８２との界面領域における界面準位の形成がさらに抑制される。なお、雰囲気ガスとして、Ａｒガスに代えて窒素ガスなどの他の不活性ガスが用いられてもよい。

[0089] 次に、図１０Ｂに示すように、ゲート絶縁膜９１上にゲート電極９２が形成される。ゲート電極９２の形成方法は、たとえば、導体またはドープトポリシリコンの成膜とＣＭＰ（Ｃｈｅｍｉｃａｌ Ｍｅｃｈａｎｉｃａｌ Ｐｏｌｉｓｈｉｎｇ）またはＲＩＥとによって行なうことができる。

[0090] その後、図１０Ｃに示すように、ゲート電極９２の露出面を覆うように、ゲート電極９２およびゲート絶縁膜９１上に層間絶縁膜９３が形成される。層間絶縁膜９３およびゲート絶縁膜９１に開口部が形成されるようにエッチングが行われる。この開口部により上面Ｐ２上においてｎ＋層８３およびｐコンタクト領域８４の各々が露出される。次に上面Ｐ２上においてｎ＋層８３およびｐコンタクト領域８４の各々に接するソース電極９４が形成される。さらに、図１に示すように、ｎドリフト層８１からなる下面Ｐ１上に単結晶基板８０を介してドレイン電極９８が形成され、層間絶縁膜９３およびソース電極９４上にソース配線層９５が形成される。以上のようにして、高耐

圧と低オン抵抗とを両立した炭化珪素半導体装置２０１を簡易に製造することができる。

[0091] ≪第２の製造方法≫

次に、本実施の形態の炭化珪素半導体装置の別の製造方法について説明する。

[0092] まず、前述した第１の製造方法と同様にして、単結晶基板８０上にｎドリフト層８１を形成する。

[0093] 次に、前述した第１の製造方法と同様にして、ｎドリフト層８１内にｐボディ層８２、ｎ＋層８３およびｐコンタクト領域８４が形成され、炭化珪素基板１１１が準備される。ただし、第２の製造方法では、図９Ａに示すように、２つのｐボディ層８２が、ｎドリフト層８１内に離間して設けられる。すなわち、ｎドリフト層８１と、ｎドリフト層８１内に離間して設けられた２つのｐボディ層８２と、ｎドリフト層８１およびｐボディ層８２上に設けられたｎ＋層８３とを含む炭化珪素基板１１１が準備される。なお、ｐボディ層８２、ｎ＋層８３およびｐコンタクト領域８４は、第１の製造方法と同様に、イオン注入やエピタキシャル成長によって、形成することができる。

[0094] 次に、図９Ｂに示すように、トレンチＴＲを形成する工程が実行される。第２の製造方法では、２つのｐボディ層８２の間の領域上から、ｎ＋層８３を開口することにより、トレンチＴＲが形成される。すなわち、トレンチＴＲは、ｎ＋層８３を貫通しｐボディ層８２に到る側壁部ＳＷと、ｎドリフト層８１の露出面を含む底部ＢＴを有するように形成される。トレンチＴＲの形成におけるエッチング条件などは、第１の製造方法と同様であるので、同じ説明は繰り返さない。

[0095] これ以降、第１の製造方法と同様に、図１０Ａ～図１０Ｃに示すゲート絶縁膜９１、ゲート電極９２、層間絶縁膜９３およびソース電極９４を形成する工程が実行される。そして、図１に示すようにｎドリフト層８１からなる下面Ｐ１上に単結晶基板８０を介してドレイン電極９８が形成され、層間絶縁膜９３およびソース電極９４上にソース配線層９５が形成される。以上の

ようにして、高耐圧と低オン抵抗とを両立した炭化珪素半導体装置２０１を簡易に製造することができる。

[0096] ＜変形例＞

次に、図４～図６を参照して、本実施の形態に係る炭化珪素半導体装置の変形例について説明する。

[0097] ≪第１の変形例≫

図４に示す第１の変形例に係る炭化珪素半導体装置４０１は、ｎドリフト層８１内に埋込領域７０を有する点において、図１に示す炭化珪素半導体装置２０１と異なる。

[0098] 埋込領域７０はｐ型（第２の導電型）を有し、ｎドリフト層８１によってｐボディ層８２から隔てられ、トレンチＴＲの側壁部ＳＷおよび底部ＢＴの各々から離れて設けられている。この変形例では、ソース－ドレイン間に印加される電界の一部が、埋込領域７０に割り当てられるため、ゲート絶縁膜９１に印加される電界が緩和される。これにより、ゲート絶縁膜の信頼性をより一層高めることができる。かかる埋込領域７０は、たとえば、イオン注入によって、ｎドリフト層８１内に形成することができる。

[0099] 図４に示すように、埋込領域７０は、ｐボディ層８２の下に設けられ、ｐボディ層８２から０．５μｍ以上５μｍ以下離れていることが好ましい。また、埋込領域７０は、トレンチＴＲの底部ＢＴの位置よりも深い位置のみに設けられ、埋込領域７０と、トレンチＴＲの底部ＢＴとの距離は０．５μｍ以上５μｍ以下であることが好ましい。このような位置に配置されることにより、埋込領域７０は十分な電界緩和効果を発揮する。

[0100] また、埋込領域７０の単位体積当たりの不純物濃度を厚さ方向（図４の縦方向）に積分した値は、埋込領域７０を形成するためのイオン注入のドーズ量に対応する。このドーズ量は、１×１０^{12}ｃｍ$^{-2}$以上１×１０^{15}ｃｍ$^{-2}$以下であることが好ましく、たとえば１×１０^{-13}ｃｍ$^{-2}$とすることができる。埋込領域７０が有する不純物は、たとえばアルミニウムである。

[0101] ≪第２の変形例≫

図５を参照して、第２の変形例に係る炭化珪素半導体装置５０１を説明する。炭化珪素半導体装置５０１では、トレンチＴＲは底面である底部ＢＴと側壁部ＳＷとの境界に角部ＣＮを有しており、角部ＣＮはｐボディ層８２内に位置している。

[0102] 図５に示す炭化珪素半導体装置５０１において、ゲート絶縁膜のうち角部ＣＮに対応する部分は、膜の厚さが薄くなりやすく、とりわけ絶縁破壊の発生しやすい部分である。本変形例では、この角部ＣＮをｐボディ層８２内に設けることにより、角部ＣＮに印加される電界が大幅に緩和されるため、ゲート絶縁膜９１の信頼性が向上し、炭化珪素半導体装置のさらなる高耐圧化が可能となる。

[0103] ≪第３の変形例≫

図６を参照して、第３の変形例に係る炭化珪素半導体装置６０１を説明する。炭化珪素半導体装置６０１では、トレンチＴＲは底面である底部ＢＴと側壁部ＳＷとの境界に角部ＣＮを有しており、角部ＣＮはｎドリフト層８１内に位置している。そして、トレンチＴＲの底面（底部ＢＴ）の位置する深さとｐボディ層８２のうち最も下面Ｐ１側にある部位８２ｂの位置する深さとの差異（図６中のＴ１）と、角部ＣＮとｐボディ層８２との最短距離（図６のＴ２）とが、Ｔ２＜Ｔ１となる関係を満たしている。

[0104] この変形例においては、Ｔ２が大きくなる程、空乏層によるトレンチＴＲの底部ＢＴでの電界緩和効果が小さくなる。他方、Ｔ１が大きくなると、空乏層による電界緩和効果が大きくなり、角部ＣＮに印加される電界が小さくなる。そして、Ｔ２＜Ｔ１となる関係を満たすことにより、角部ＣＮに印加される電界と電界緩和効果とのバランスから、ゲート絶縁膜の信頼性を十分なものとすることができる。

[0105] 以上のように本発明の実施の形態について説明を行なったが、上述した各実施の形態の構成を適宜組み合わせることも当初から予定している。

[0106] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと解されるべきである。本発明の範囲は上記した説明ではなくて請求の

範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0107] ４０　マスク層、７０　埋込領域、８０　単結晶基板、８１　ｎドリフト層（第１の層）、８１ａ　注入領域、８２　ｐボディ層（第２の層）、８２ｂ　部位、８３　ｎ＋層（第３の層）、８４　ｐコンタクト層、９１　ゲート絶縁膜、９２　ゲート電極、９３　層間絶縁膜、９４　ソース電極、９５　ソース配線層、９８　ドレイン電極、１０１　炭化珪素層、１１０，１１１　炭化珪素基板、２０１，３０１，４０１，５０１，６０１，７０１　炭化珪素半導体装置、ＴＲ　トレンチ、ＢＴ　底部、ＳＷ　側壁部、ＣＮ　角部、ＣＤ　チャネル方向、Ｐ１　下面（第１の主面）、Ｐ２　上面（第２の主面）、Ｓ１　第１の面、Ｓ２　第２の面、ＳＱ，ＳＲ　複合面。

請求の範囲

[請求項1] 第１の主面と、前記第１の主面と反対の第２の主面とを有する炭化珪素層を備え、

前記炭化珪素層は、前記第１の主面を構成し第１の導電型を有する第１の層と、

前記第１の層内に設けられ前記第１の導電型と異なる第２の導電型を有する第２の層と、

前記第１の層から隔てられるように前記第２の層上に設けられ前記第２の主面の一部を構成しかつ前記第１の導電型を有する第３の層と、を含み、

前記炭化珪素層の前記第２の主面には、前記第２の主面から前記第１の主面に向かう方向の深さを有するトレンチが設けられており、

前記トレンチは、前記第２の層と前記第３の層とが表出する側壁部と、前記側壁部と連なり前記第１の層が表出する底部とを有し、さらに、

前記側壁部および前記底部の各々を覆うゲート絶縁膜と、

前記ゲート絶縁膜上に設けられたゲート電極と、を備え、

前記トレンチの深さ方向において前記トレンチの前記底部の位置は、前記第２の層と前記第１の層とが接する領域のうち最も前記第１の主面側にある部位よりも前記第２の主面側に位置するか、または、前記深さ方向において前記部位と同じ深さに位置する、炭化珪素半導体装置。

[請求項2] 前記側壁部において前記第２の層には、面方位｛０－３３－８｝を有する第１の面を含む表面が設けられている、請求項１に記載の炭化珪素半導体装置。

[請求項3] 前記トレンチの前記底部は、前記側壁部と交差する方向に伸びる底面を含み、

前記トレンチは、前記底面と前記側壁部との境界部に角部を有し、

前記角部は、前記第２の層内に位置する、請求項１または請求項２に記載の炭化珪素半導体装置。

[請求項4] 前記トレンチの前記底部は、前記側壁部と交差する方向に伸びる底面を含み、

前記トレンチは、前記底面と前記側壁部との境界部に角部を有し、

前記角部は、前記第１の層内に位置し、

前記底面の位置する深さと前記部位の位置する深さとの差異をＴ１として表わし、前記角部と前記第２の層との最短距離をＴ２として表わした場合に、Ｔ２＜Ｔ１となる関係を満たす、請求項１または請求項２に記載の炭化珪素半導体装置。

[請求項5] 前記底部を覆う前記ゲート絶縁膜の部分は、前記側壁部を覆う前記ゲート絶縁膜の部分よりも厚い、請求項１～請求項４のいずれか１項に記載の炭化珪素半導体装置。

[請求項6] 前記第１の層内に、前記第２の導電型を有する埋込領域を含み、

前記埋込領域は、前記第１の層によって前記第２の層から隔てられており、かつ前記トレンチの前記側壁部および前記底部の各々から離れている、請求項１～請求項５のいずれか１項に記載の炭化珪素半導体装置。

[請求項7] 前記第１の導電型はｎ型であり、前記第２の導電型はｐ型である、請求項１～請求項６のいずれか１項に記載の炭化珪素半導体装置。

[請求項8] 第１の導電型を有する第１の層と、前記第１の層内に設けられ前記第１の導電型と異なる第２の導電型を有する第２の層と、前記第１の層から隔てられるように前記第２の層上に設けられ前記第１の導電型を有する第３の層とを含む炭化珪素基板を準備する工程と、

前記第３の層および前記第２の層の一部を除去することにより、前記第３の層を貫通し前記第２の層に到る側壁部と、前記第２の層の露出面を含む底部とを有するトレンチを形成する工程と、

前記第２の層の前記露出面に前記第１の導電型の不純物を注入する

ことにより、前記トレンチの前記底部から前記第１の層にまで伸びる前記第１の導電型を有する注入領域を形成する工程と、を備え、

前記注入領域は、前記第１の層と一体となり、さらに、

前記トレンチの前記側壁部および前記底部を覆うゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜を介して前記トレンチ上にゲート電極を形成する工程と、を備える、炭化珪素半導体装置の製造方法。

[請求項9] 第１の導電型を有する第１の層と、前記第１の層内に離間して設けられ前記第１の導電型とは異なる第２の導電型を有する２つの第２の層と、前記第１の層および前記第２の層上に設けられ前記第１の導電型を有する第３の層とを含む炭化珪素基板を準備する工程と、

２つの前記第２の層の間の領域上から、前記第３の層を開口することにより、前記第１の層を露出させ、前記第３の層を貫通し前記第２の層に到る側壁部と、前記第１の層の露出面を含む底部とを有するトレンチを形成する工程と、

前記トレンチの前記側壁部および前記底部を覆うゲート絶縁膜を形成する工程と、

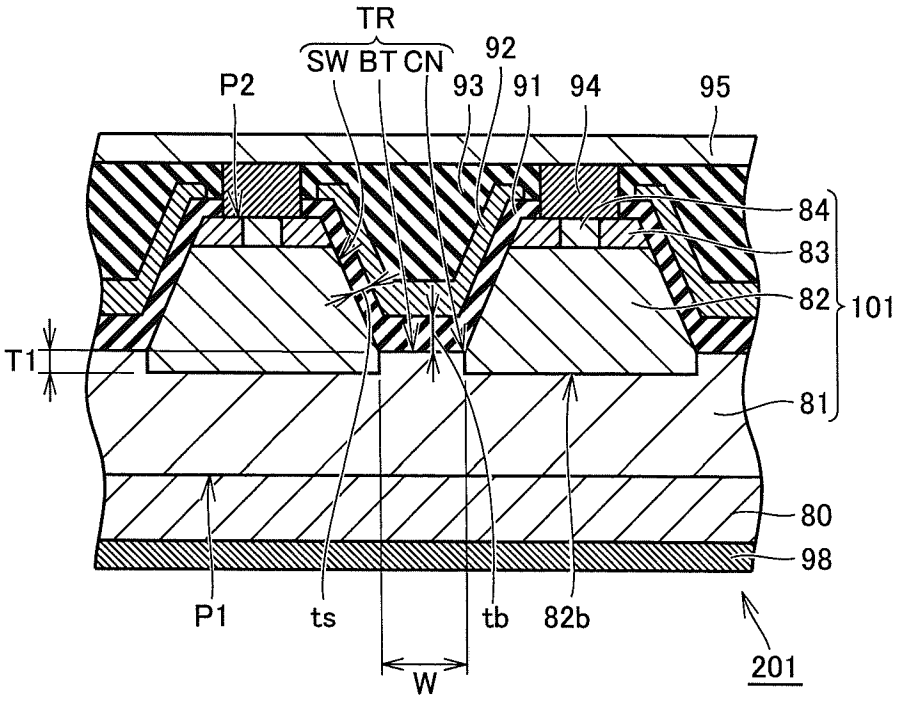
前記ゲート絶縁膜を介して前記トレンチ上にゲート電極を形成する工程と、を備える、炭化珪素半導体装置の製造方法。

[請求項10] 前記炭化珪素基板を準備する工程は、イオン注入により、前記第１の層内に、前記第２の層と前記第３の層とを形成する工程を含む、請求項８または請求項９に記載の炭化珪素半導体装置の製造方法。

[請求項11] 前記炭化珪素基板を準備する工程は、エピタキシャル成長により、前記第１の層上に前記第２の層と前記第３の層とを形成する工程を含む、請求項８または請求項９に記載の炭化珪素半導体装置の製造方法。

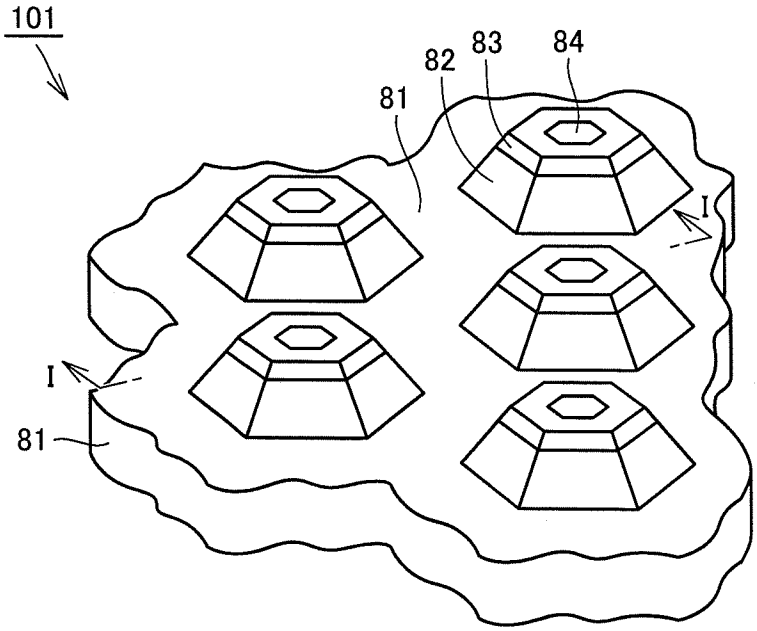
[図1]

FIG.1



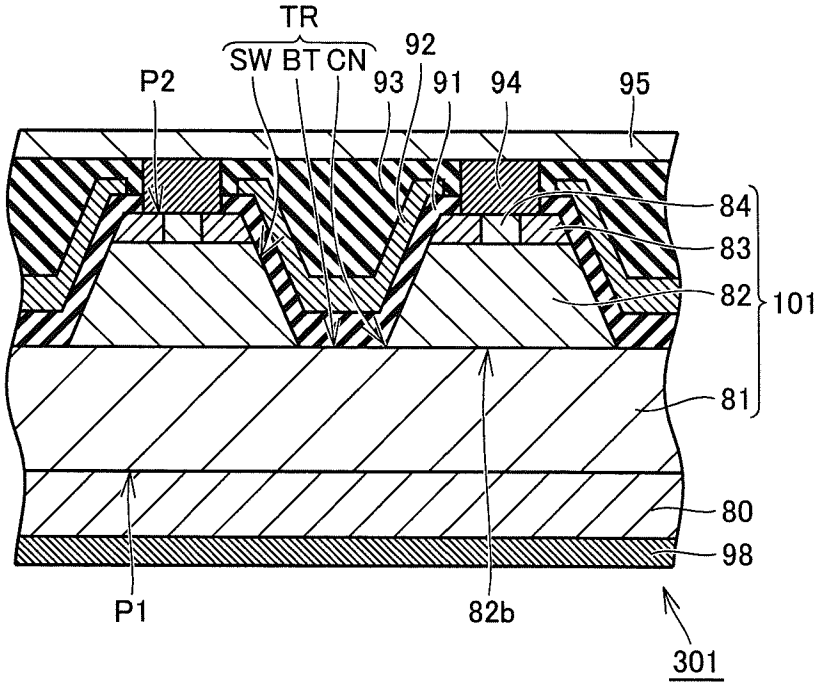
[図2]

FIG.2



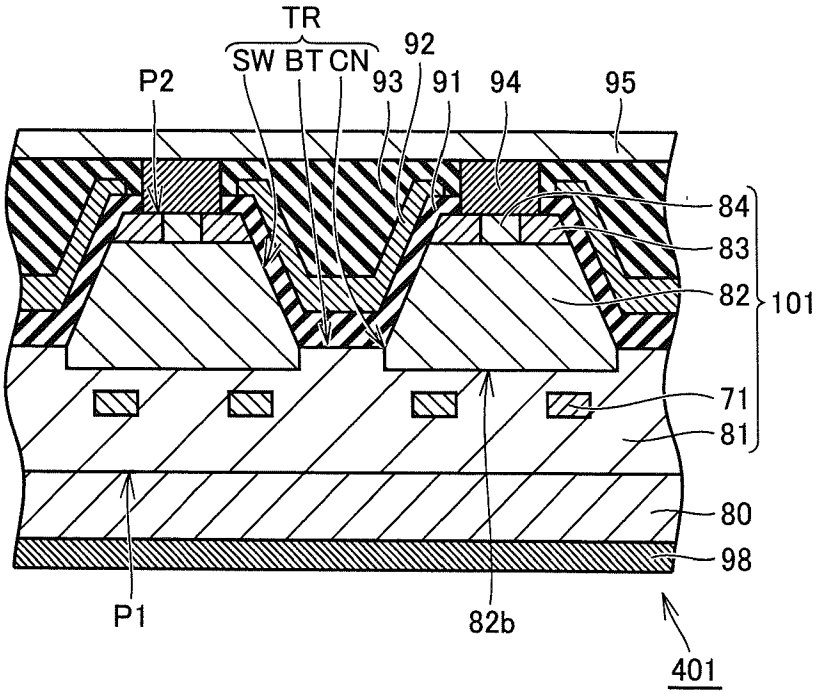
[図3]

FIG.3



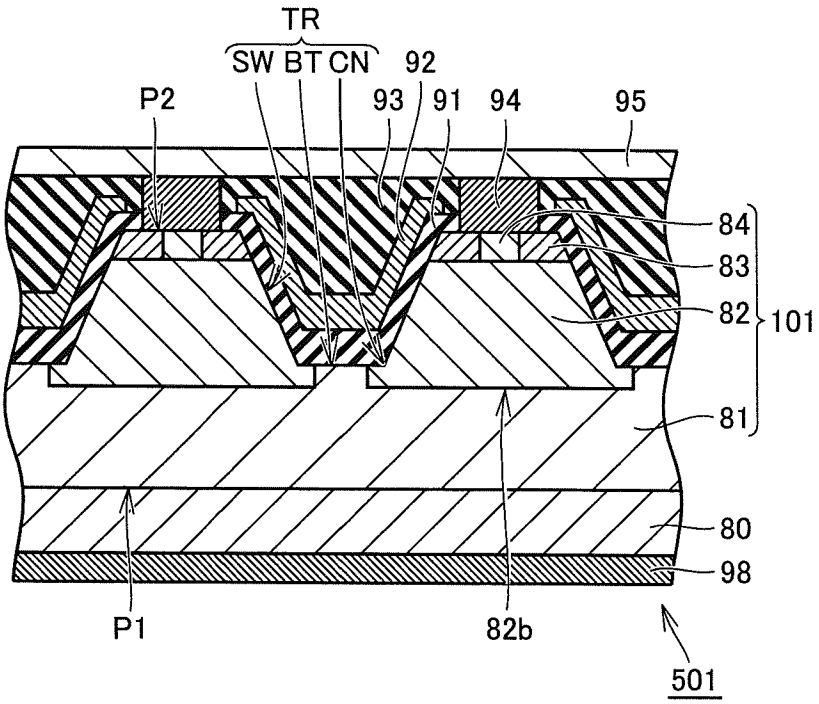
[図4]

FIG.4



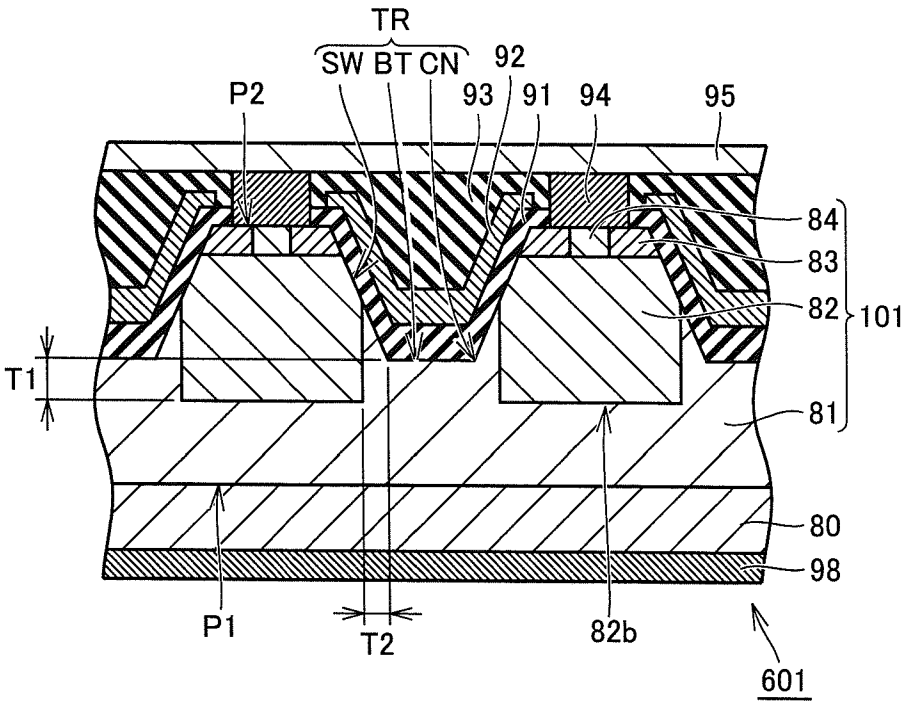
[図5]

FIG.5



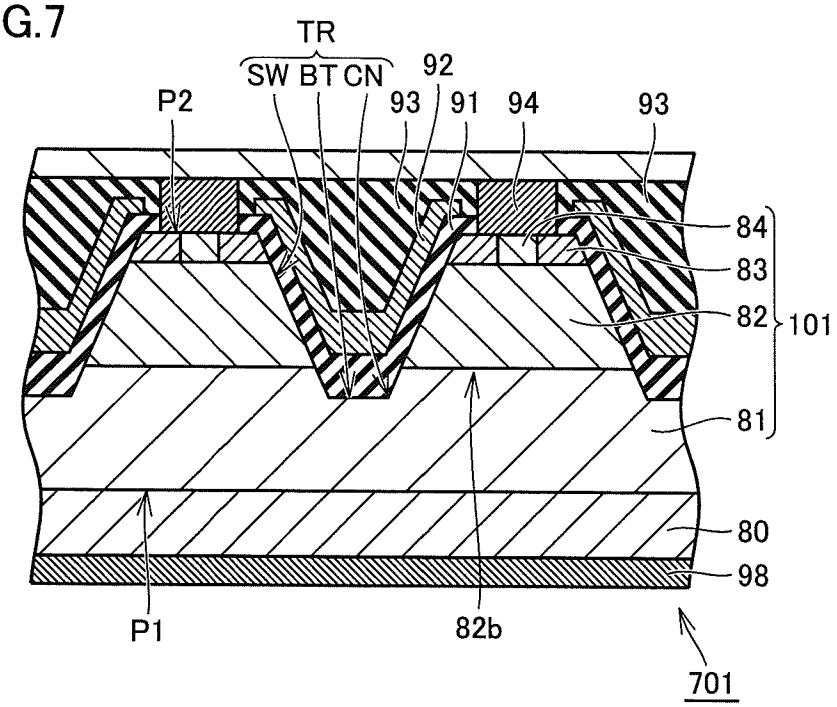
[図6]

FIG.6



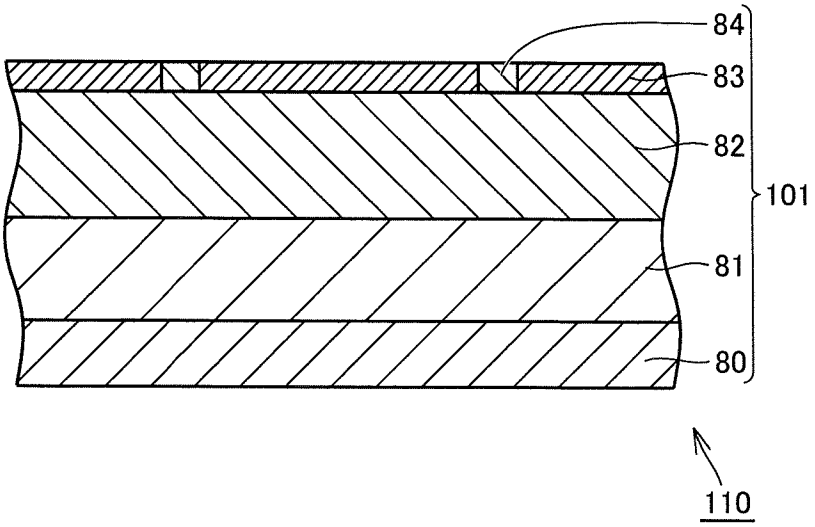
[図7]

FIG.7



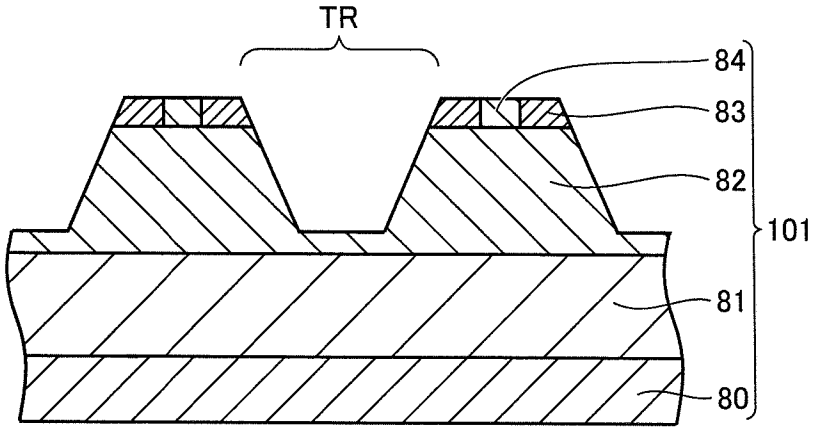
[図8A]

FIG.8A



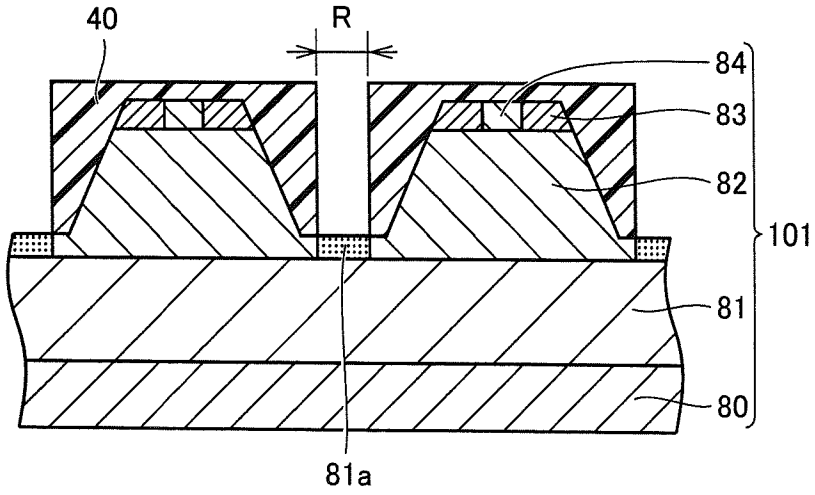
[図8B]

FIG.8B



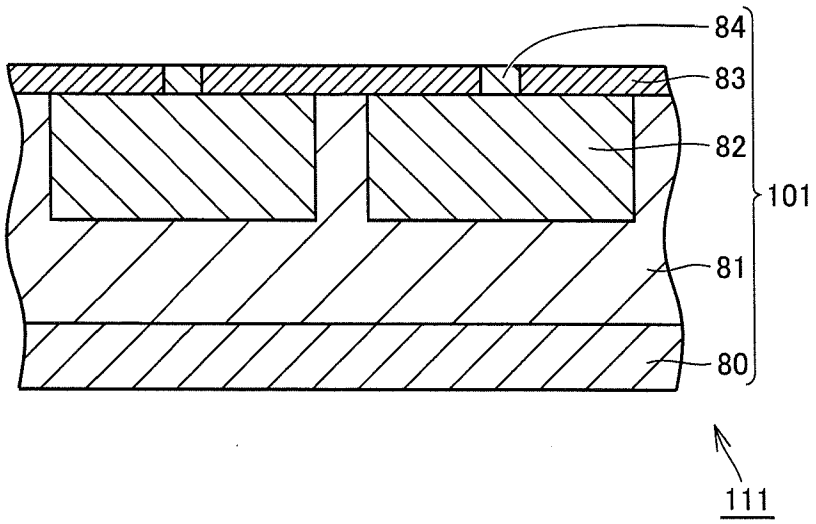
[図8C]

FIG.8C



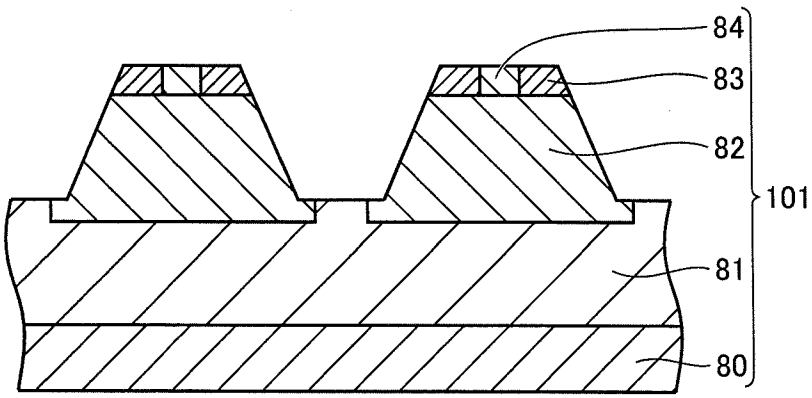
[図9A]

FIG.9A



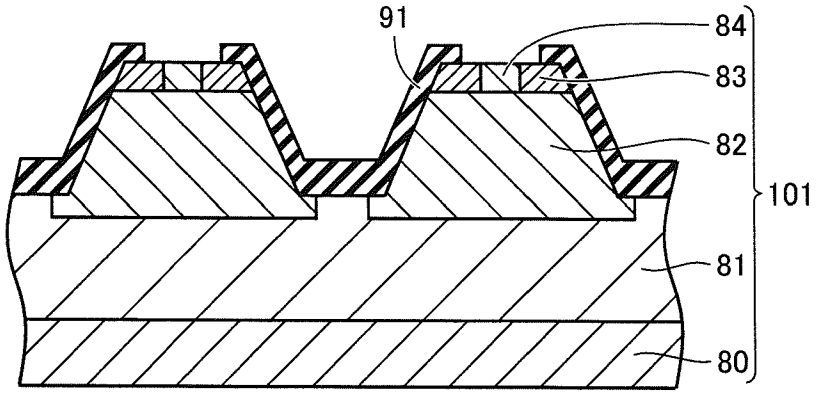
[図9B]

FIG.9B



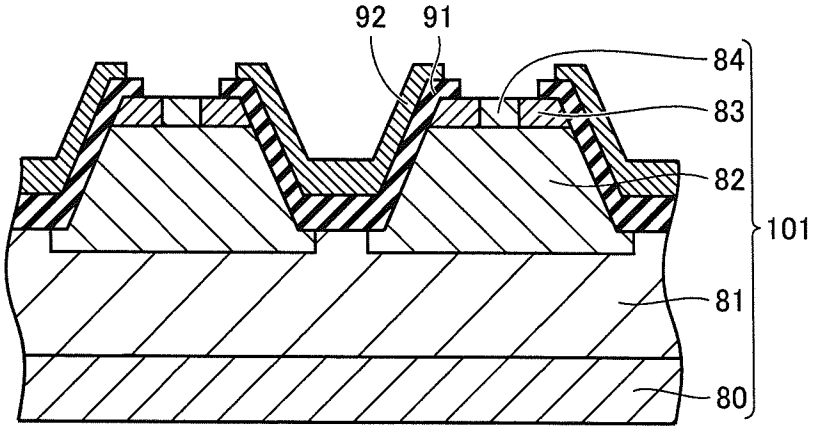
[図10A]

FIG.10A



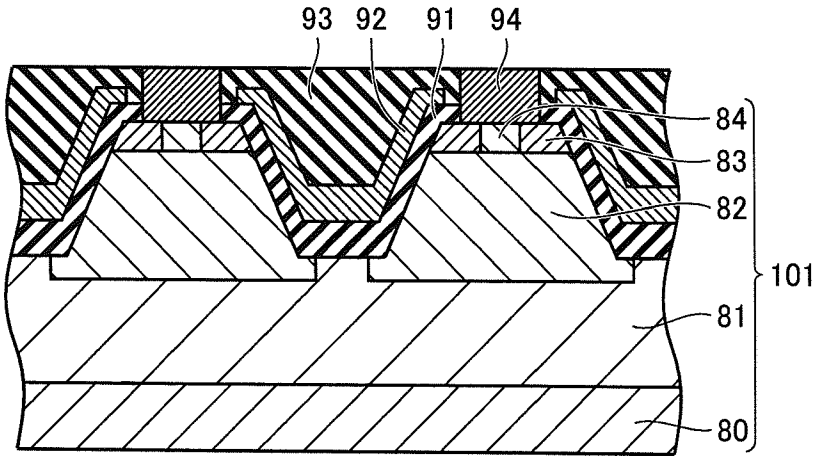
[図10B]

FIG.10B



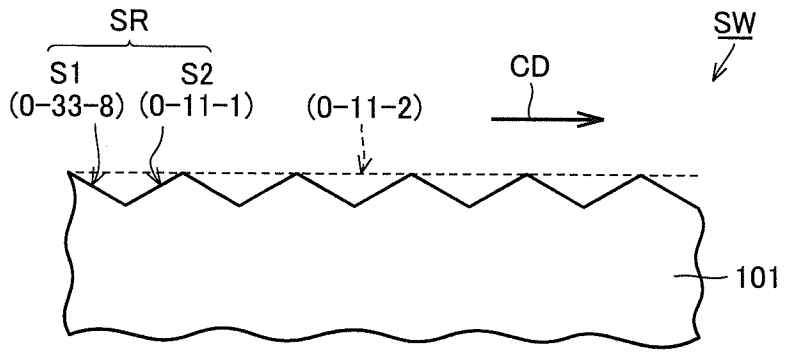
[図10C]

FIG.10C



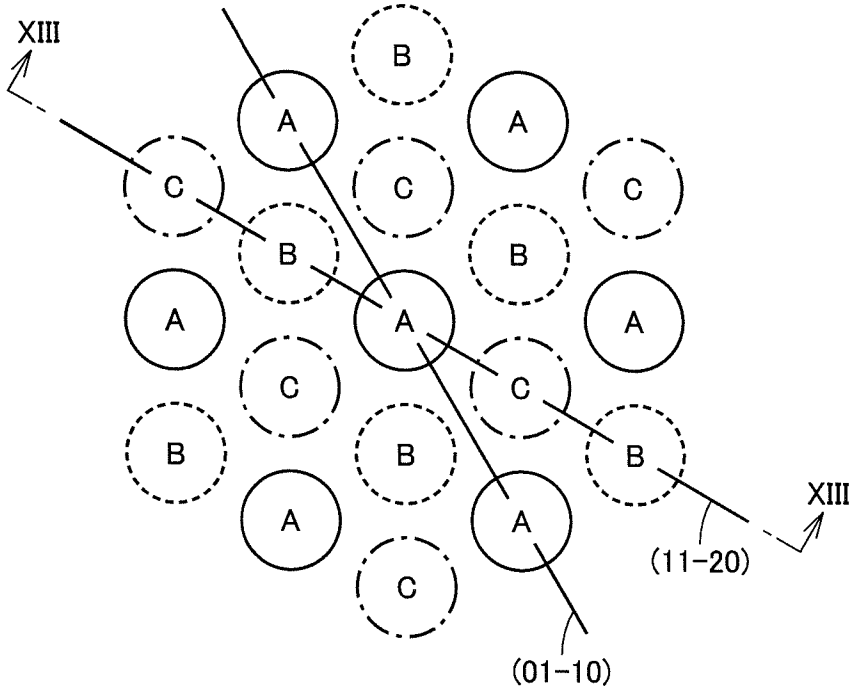
[図11]

FIG.11



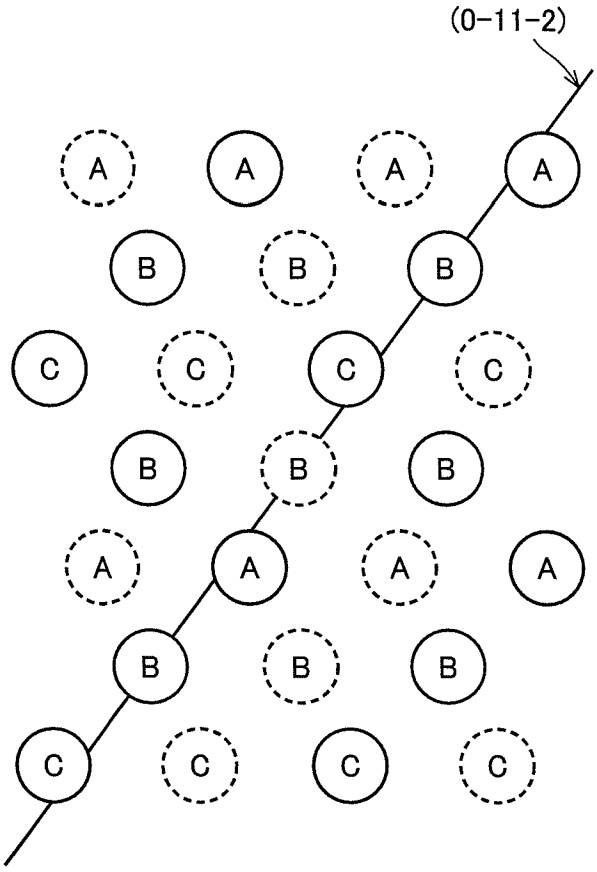
[図12]

FIG.12



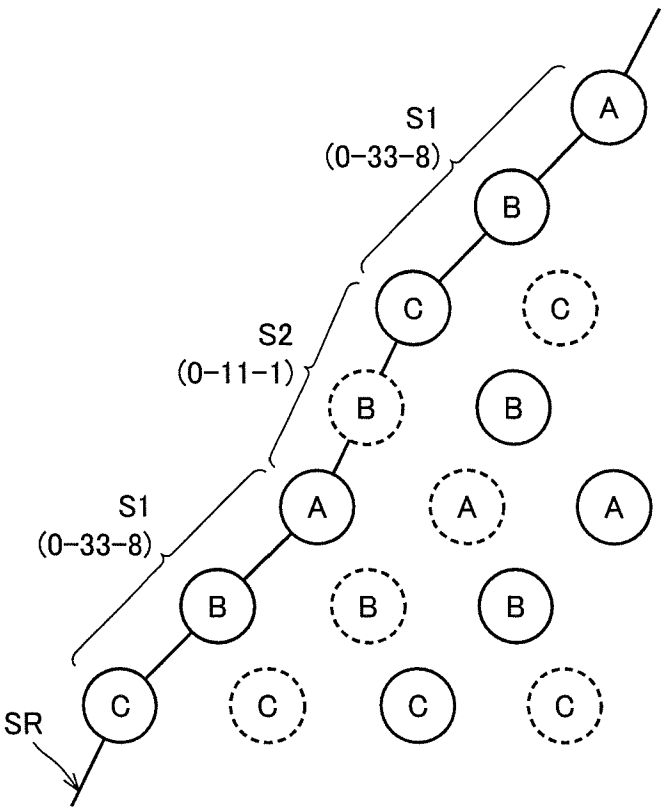
[図13]

FIG.13



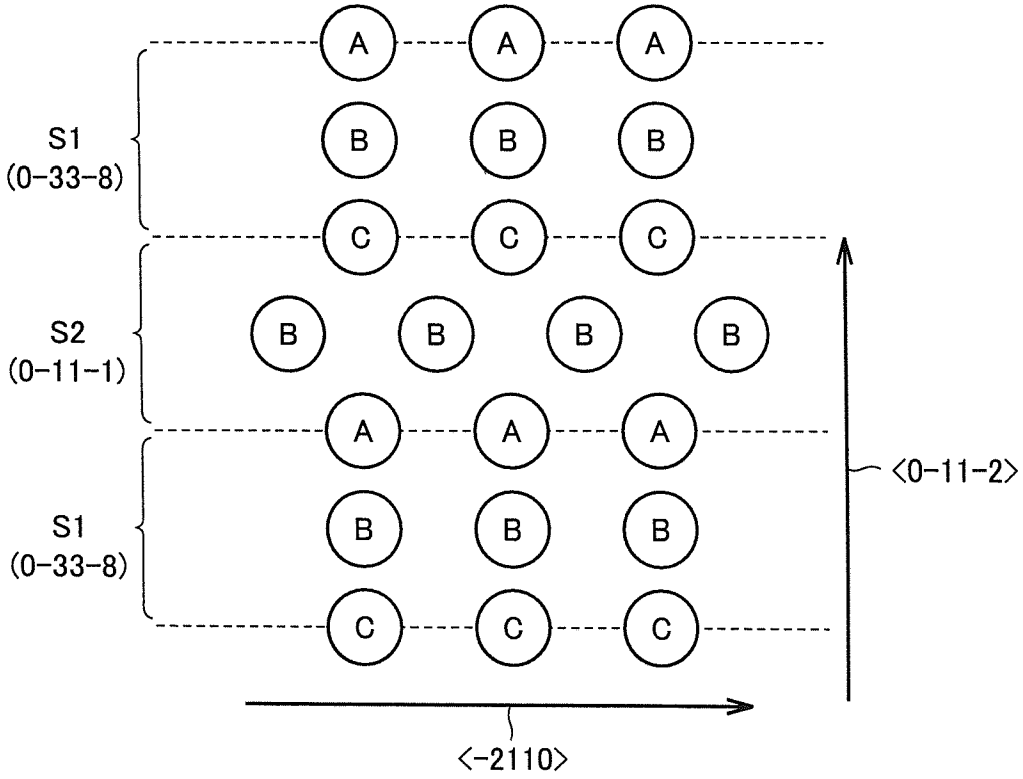
[図14]

FIG.14



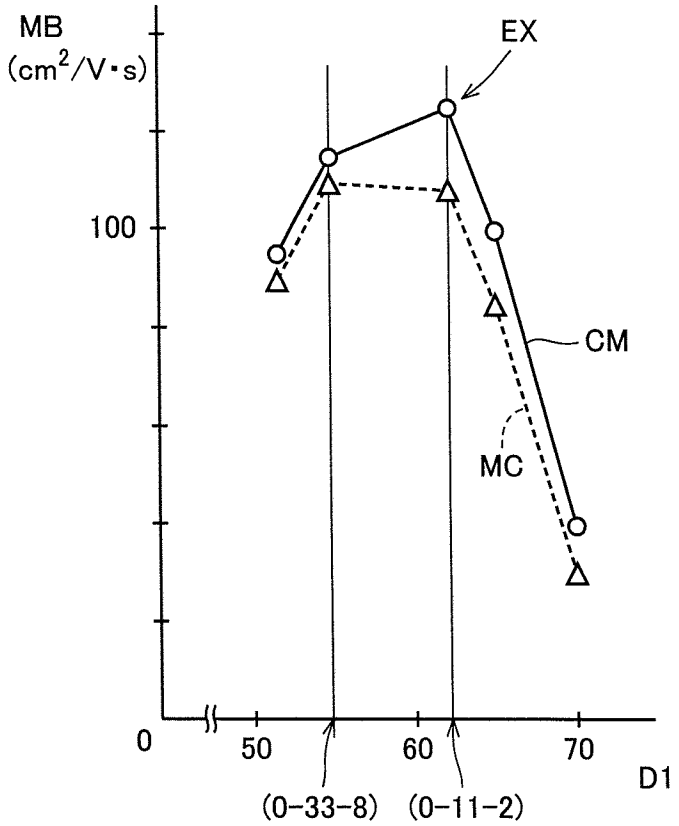
[図15]

FIG.15



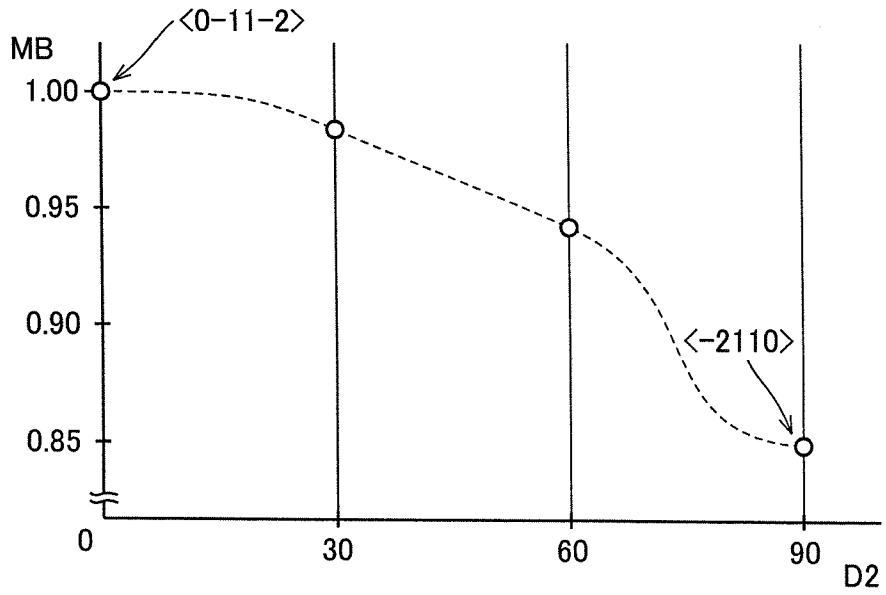
[図16]

FIG.16



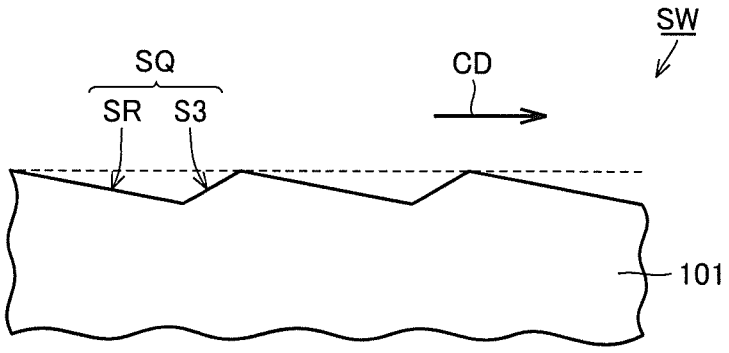
[図17]

FIG.17



[図18]

FIG.18



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/065971

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/12(2006.01)i, *H01L21/336*(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/12, H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2000-188397 A (Nissan Motor Co., Ltd.), 04 July 2000 (04.07.2000), paragraph [0100]; fig. 2, 5, 6 (Family: none)	1,3,7,9-11 2,5,6 8
X Y	JP 2010-225748 A (Toshiba Corp.), 07 October 2010 (07.10.2010), paragraph [0009]; fig. 4(a) (Family: none)	1,7 2,5,6
X Y	JP 2013-84899 A (Rohm Co., Ltd.), 09 May 2013 (09.05.2013), paragraph [0051]; fig. 2 & US 2013/0049105 A1	1,4,7 2,5,6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 August, 2014 (21.08.14)	02 September, 2014 (02.09.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/065971

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2012-44167 A (Infineon Technologies Austria AG.), 01 March 2012 (01.03.2012), fig. 1 & US 2012/0037920 A1 & DE 102011052473 A & CN 102376751 A	1,4,7 2,5,6
Y	JP 2013-8890 A (Sumitomo Electric Industries, Ltd.), 10 January 2013 (10.01.2013), fig. 3, 21 & US 2012/0326166 A1 & WO 2013/001949 A & TW 201304146 A & CN 103582950 A	2
Y	JP 2009-117593 A (Denso Corp.), 28 May 2009 (28.05.2009), paragraph [0028]; fig. 1 & US 2009/0114969 A1 & DE 102008055689 A	5
Y	JP 2008-227441 A (NEC Electronics Corp.), 25 September 2008 (25.09.2008), fig. 1 & US 2008/0197381 A1 & CN 101246904 A	6
A	JP 2010-239160 A (Fuji Electric Systems Co., Ltd.), 21 October 2010 (21.10.2010), fig. 1 & JP 2004-241768 A & JP 2013-77854 A	1-11
A	JP 2013-4636 A (Sumitomo Electric Industries, Ltd.), 07 January 2013 (07.01.2013), fig. 12 & US 2012/0319134 A1 & WO 2012/172965 A & TW 201308621 A & CN 103548144 A & KR 10-2014-0021609 A	1-11
A	JP 2009-260253 A (Rohm Co., Ltd.), 05 November 2009 (05.11.2009), fig. 1 to 3 & US 2011/0024831 A1 & EP 2276066 A1 & WO 2009/119735 A1 & CN 101981701 A	1-11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０６５９７１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/12(2006.01)i, H01L21/336(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/12, H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 2000-188397 A（日産自動車株式会社）2000.07.04,　【０１００】，図２，図５，図６（ファミリーなし）	1,3,7,9-11 ２，５，６ ８
X Y	JP 2010-225748 A（株式会社東芝）2010.10.07,　【０００９】，図４（ａ）（ファミリーなし）	１，７ ２，５，６
X Y	JP 2013-84899 A（ローム株式会社）2013.05.09,　【００５１】，図２ & US 2013/0049105 A1	１，４，７ ２，５，６

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２１．０８．２０１４	０２．０９．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９０５７
須原　宏光
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2012-44167 A（インフィネオン　テクノロジーズ　オーストリア アクチエンゲゼルシャフト）2012.03.01, 図１ & US 2012/0037920 A1 & DE 102011052473 A & CN 102376751 A	１，４，７ ２，５，６
Y	JP 2013-8890 A（住友電気工業株式会社）2013.01.10, 図３，図２１ & US 2012/0326166 A1 & WO 2013/001949 A & TW 201304146 A & CN 103582950 A	２
Y	JP 2009-117593 A（株式会社デンソー）2009.05.28, 【００２８】, 図１ & US 2009/0114969 A1 & DE 102008055689 A	５
Y	JP 2008-227441 A（ＮＥＣエレクトロニクス株式会社）2008.09.25, 図１ & US 2008/0197381 A1 & CN 101246904 A	６
A	JP 2010-239160 A（富士電機システムズ株式会社）2010.10.21, 図１ & JP 2004-241768 A & JP 2013-77854 A	１－１１
A	JP 2013-4636 A（住友電気工業株式会社）2013.01.07, 図１２ & US 2012/0319134 A1 & WO 2012/172965 A & TW 201308621 A & CN 103548144 A & KR 10-2014-0021609 A	１－１１
A	JP 2009-260253 A（ローム株式会社）2009.11.05, 図１－３ & US 2011/0024831 A1 & EP 2276066 A1 & WO 2009/119735 A1 & CN 101981701 A	１－１１