



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201724279 A

(43) 公開日：中華民國 106 (2017) 年 07 月 01 日

(21) 申請案號：105135833 (22) 申請日：中華民國 105 (2016) 年 11 月 04 日
 (51) Int. Cl. : *H01L21/336 (2006.01)* *H01L29/78 (2006.01)*
 (30) 優先權：2015/11/04 美國 14/932,777
 (71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
 MANUFACTURING CO., LTD. (TW)
 新竹市力行六路八號
 (72) 發明人：蔣青宏 JIANG, CHING-HONG (TW)；王立廷 WANG, LI-TING (TW)；蔡騰群
 TSAI, TENG-CHUN (TW)；陳世強 CHEN, SHIH-CHIANG (TW)
 (74) 代理人：卓俊傑
 申請實體審查：無 申請專利範圍項數：1 項 圖式數：28 共 68 頁

(54) 名稱

垂直型環繞式閘極電晶體的製造方法

METHODS OF FORMING VERTICAL GATE ALL AROUND (VGAA) TRANSISTORS

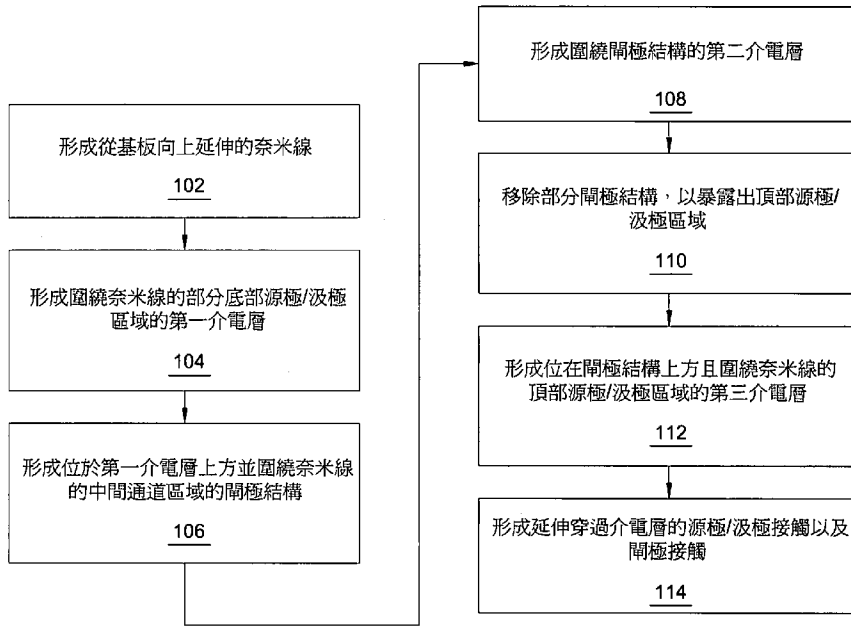
(57) 摘要

一種垂直型環繞式閘極電晶體的製造方法包括形成從基板向上延伸的奈米線，其中奈米線包括底部半導體區域、位於底部半導體區域上方的中間半導體區域以及位於中間半導體區域上方的頂部半導體區域。形成圍繞奈米線並於奈米線上方延伸的介電層。並藉由植入製程，在介電層內部形成化學機械研磨停止層。形成化學機械研磨停止層後，平坦化介電層。

A method of forming vertical gate all around transistor includes forming a nanowire extending upwards from a substrate, wherein the nanowire includes: a bottom semiconductor region; a middle semiconductor region over the bottom semiconductor region; and a top semiconductor region over the middle semiconductor region. The method also includes forming a dielectric layer around and extending over the nanowire and forming a chemical mechanical polish-stop (CMP-stop) layer within the dielectric layer using an implantation process. After forming the CMP-stop layer, the dielectric layer is planarized.

指定代表圖：

100



符號簡單說明：

100 . . . 流程圖

102、104、106、

108、110、112、

114 . . . 步驟

【圖1】



201724279

【發明摘要】

申請日: 105.11.4

IPC分類: H01L 21/336 (2006.01)

【中文發明名稱】垂直型環繞式閘極電晶體的製造方法 H01L 29/178 (2006.01)

【英文發明名稱】 METHODS OF FORMING VERTICAL GATE

ALL AROUND (VGAA) TRANSISTORS

【中文】一種垂直型環繞式閘極電晶體的製造方法包括形成從基板向上延伸的奈米線，其中奈米線包括底部半導體區域、位於底部半導體區域上方的中間半導體區域以及位於中間半導體區域上方的頂部半導體區域。形成圍繞奈米線並於奈米線上方延伸的介電層。並藉由植入製程，在介電層內部形成化學機械研磨停止層。形成化學機械研磨停止層後，平坦化介電層。

【英文】

A method of forming vertical gate all around transistor includes forming a nanowire extending upwards from a substrate, wherein the nanowire includes: a bottom semiconductor region; a middle semiconductor region over the bottom semiconductor region; and a top semiconductor region over the middle semiconductor region. The method also includes forming a dielectric layer around and extending over the nanowire and forming a chemical mechanical polish-stop (CMP-stop) layer within the dielectric layer using an implantation process. After forming the CMP-stop layer, the dielectric layer is planarized.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100：流程圖

102、104、106、108、110、112、114：步驟

【特徵化學式】

無

【發明說明書】

【中文發明名稱】垂直型環繞式閘極電晶體的製造方法

【英文發明名稱】 METHODS OF FORMING VERTICAL GATE ALL AROUND (VGAA) TRANSISTORS

【技術領域】

【0001】 本發明實施例是有關於一種垂直型環繞式閘極電晶體的製造方法。

【先前技術】

【0002】 半導體工業已發展至奈米技術節點，以追求更高的元件密度、更好的效能以及更低的成本，使得諸如垂直型環繞式閘極電晶體（vertical gate all around transistor, VGAA transistor）等三維結構的發展面臨來自製造與設計兩方面所帶來問題的挑戰。在典型的 VGAA 電晶體中，藉由閘極以及閘介電層完整包圍半導體奈米線的通道區域，可以加強在長度方向上的電荷載子（charge carriers）的控制。由於藉由閘極圍繞通道區域，VGAA 電晶體可減少短通道效應（short channel effect），因此可降低源極/汲極區域對通道區域的電場的影響。

【發明內容】

【0003】 一種垂直型環繞式閘極電晶體的製造方法包括以下步

驟。形成從基板向上延伸的奈米線，其中奈米線包括底部半導體區域、位於底部半導體區域上方的中間半導體區域以及位於中間半導體區域上方的頂部半導體區域。形成圍繞奈米線並於奈米線上方延伸的介電層。藉由植入製程，在介電層內部形成化學機械研磨停止層。形成化學機械研磨停止層後，平坦化介電層。

【圖式簡單說明】

【0004】 根據以下的詳細說明並配合所附圖式以了解本發明實施例。應注意的是，根據本產業的一般作業，各種特徵並未按照比例繪製。事實上，為了清楚說明，可能任意的放大或縮小元件的尺寸。

圖 1 為依據一些本發明實施例的垂直型環繞式閘極（Vertical gate all around，VGAA）電晶體的製造方法的示例性流程圖。

圖 2 到圖 27 為依據一些本發明實施例的垂直型環繞式閘極電晶體的製造方法中的各種中間階段所形成的垂直型環繞式閘極電晶體的剖面示意圖。

圖 28 為依據一些本發明實施例的用於硬度計硬度測量的示例性壓頭。

【實施方式】

【0005】 以下揭露內容提供用於實施所提供的標的之不同特徵的許多不同實施例或實例。以下所描述的構件及配置的具體實例是

為了以簡化的方式傳達本發明實施例為目的。當然，這些僅僅為實例而非用以限制。舉例來說，於以下描述中，在第一特徵上方或在第一特徵上形成第二特徵可包括第二特徵與第一特徵形成為直接接觸的實施例，且亦可包括第二特徵與第一特徵之間可形成有額外特徵使得第二特徵與第一特徵可不直接接觸的實施例。此外，本發明實施例在各種實例中可使用相同的元件符號及/或字母來指代相同或類似的部件。元件符號的重複使用是為了簡單及清楚起見，且並不表示所欲討論的各個實施例及/或配置本身之間的關係。

【0006】 另外，為了易於描述附圖中所繪示的一個構件或特徵與另一組件或特徵的關係，本文中可使用例如「在...下」、「在...下方」、「下部」、「在...上」、「在...上方」、「上部」及類似術語的空間相對術語。除了附圖中所繪示的定向之外，所述空間相對術語意欲涵蓋元件在使用或操作時的不同定向。設備可被另外定向（旋轉 90 度或在其他定向），而本文所用的空間相對術語相應地做出解釋。

【0007】 本發明實施例描述一種垂直型環繞式閘極電晶體的示例性製造方法及以此方式所形成的垂直型環繞式閘極電晶體。垂直型環繞式閘極電晶體包括一個或多個從半導體基板向上延伸的奈米線。每一個奈米線包括底部源極/汲極區域、位於底部源極/汲極區域上方的中間通道區域以及位於中間通道區域上方的頂部源極/汲極區域。當介電層環繞一個或多個奈米線的底部源極/汲極區域以及頂部源極/汲極區域時，閘極結構圍繞且包圍一個或多個奈米線的通道區域。在各種實施例中，在垂直型環繞式閘極電晶體的

製造過程中，植入雜質（impurities）於介電層中，以在介電層中形成各種蝕刻停止層及/或化學機械研磨停止層。因此，達到改善用以形成介電層與閘極結構的製程控制。

【0008】圖 1 為依據一些本發明實施例的垂直型環繞式閘極電晶體的製造方法的示例性流程圖。在步驟 102 中，形成從半導體基板向上延伸的奈米線。奈米線例如包括延伸進入半導體基板的頂表面的底部源極/汲極區域、位於底部源極/汲極區域上方的中間通道區域以及位於中間通道區域上方的頂部源極/汲極區域。附加特徵，例如亦可形成延伸進入底部源極/汲極區域以及頂部源極/汲極區域的矽化物區。在流程圖 100 的步驟 104 中，形成位於半導體基板的上方並圍繞奈米線的底部源極/汲極區域的第一介電層。第一介電層例如是最初形成於奈米線的頂表面的上方，再對其執行各種化學機械研磨製程及/或回蝕刻製程，使得第一介電層的頂表面與底部源極/汲極區域的頂表面實質上齊平。在各種實施例中，藉由植入雜質在第一介電層內形成一個或多個蝕刻停止層及/或化學機械研磨停止層，進而對化學機械研磨製程或回蝕刻製程提供更好的製程控制，其細部說明將於後續段落說明。

【0009】接著，在步驟 106 中，形成位於第一介電層上方並圍繞奈米線的中間通道區域的閘極結構。閘極結構例如是包括各種介面（interfacial）、閘介電層、功函數金屬（work function metal）層以及閘極層。閘極結構例如是最初形成於奈米線的頂表面上方以及於奈米線的側壁上。藉由第一介電層的存在，底部源極/汲極區域沒有被閘極結構圍繞。

【0010】繼續步驟 108，形成圍繞閘極結構的第二介電層。第二介

電層例如是最初形成於奈米線/閘極結構的頂表面上方，再對其執行各種化學機械研磨製程及/或回蝕刻製程，使得第二介電層的頂表面與中間通道區域的頂表面實質上齊平。在各種實施例中，藉由植入雜質在第二介電層內形成一個或多個蝕刻停止層及/或化學機械研磨停止層，進而對化學機械研磨製程或回蝕刻製程提供更好的製程控制，其細部說明將於後續段落說明。

【0011】 在步驟 110 中，移除位於第二介電層上方延伸的部分閘極結構，以暴露出頂部源極/汲極區域。在步驟 112 中，形成位在閘極結構上方且圍繞奈米線的頂部源極/汲極區域的第三介電層。在步驟 114 中，形成延伸穿過各種介電層並電性連接至頂部源極/汲極區域、底部源極/汲極區域以及中間通道區域的源極/汲極接觸以及閘極接觸。因此，藉由上述各種製程步驟，形成閘極結構圍繞奈米線的通道區域的同時，亦可形成介電層圍繞奈米線的底部源極/汲極區域以及頂部源極/汲極區域。

【0012】 依據圖 1 的流程圖 100 的一些實施例，圖 2 至圖 5 為半導體元件 200 的製造過程中不同階段的剖面示意圖。具體來說，圖 2 至圖 5 依據流程圖 100 的步驟 102 繪示了形成從半導體基板向上延伸的奈米線的各種中間階段。請先參照圖 2，半導體元件 200 具有基板 202。基板 202 可以是半導體基板，例如經摻雜（例如是摻雜有 N 型（N-type）或 P 型（P-type）摻質）或未經摻雜的基體半導體（bulk semiconductor substrate）基板、絕緣層上有矽（semiconductor-on-insulator，SOI）基板或類似物。一般來說，絕緣層上有半導體（SOI）基板包括在絕緣層上形成有一層半導體材料。絕緣層例如是埋入式氧化（buried oxide，BOX）層、氧化

矽 (silicon oxide) 層或類似物。在基板上提供絕緣層，且基板通常為矽基板或玻璃基板。也可以使用其他基板，如諸如多層或梯度 (gradient) 基板。在一些實施例中，基底基板 (base substrate) 的半導體材料包括矽；鍺；如包括有碳化矽 (silicon carbide)、砷化鎵 (gallium arsenic)、磷化鎵 (gallium phosphide)、磷化銦 (indium phosphide)、砷化銦 (indium arsenide) 及/或銻化銦 (indium antimonide) 的化合物半導體；如包括有矽鍺 (SiGe)、磷砷化鎵 (GaAsP)、砷化鋁銦 (AlInAs)、砷化鋁鎵 (AlGaAs)、砷化鎵銦 (GaInAs)、磷化鎵銦 (GaInP) 及/或砷化磷鎵銦 (GaInAsP) 的合金半導體；或是上述的組合。

【0013】 基板 202 包括用以形成 P 型元件的元件區域 302 以及用以形成 N 型元件的元件區域 304。依據元件設計，元件區域 302、304 可以是連續或不是連續的，且在元件區域 302 與元件區域 304 之間可形成任何數量的元件結構 (device features)。在元件區域 302 中，基板 202 包括用於形成 P 型元件的 N 井 (n-well) 204A；而在元件區域 304 中，基板 202 包括用於形成 N 型元件的 P 井 (p-well) 204B。形成 N 井 204A 以及 P 井 204B 的方式例如包括以適當的類型與濃度，將摻質植入於基板 202 中。在植入製程中，遮蓋部分的基板 202，以在基板 202 的上表面形成不同類型的井區 204A、204B。

【0014】 請參照圖 3，在井區 204A、204B 上方形成各種半導體層，以形成多層基板 211。藉由磊晶法來形成每一層半導體層，例如：金屬有機化學氣相沈積 (metal-organic chemical vapor deposition, MOCVD)、分子束磊晶法 (molecular beam epitaxy, MBE)、液

相磊晶法 (liquid phase epitaxy, LPM)、氣相磊晶法 (vapor phase epitaxy, VPM)、選擇性磊晶成長製程 (selective epitaxial growth, SEG)、其組合或類似的方式。多層基板 211 包括具有配置於井區 204A、204B 上方的半導體區域 206A、206B 的底部半導體層，具有配置於半導體區域 206A、206B 上方的半導體區域 208A、208B 的中間半導體層以及具有配置於半導體區域 208A、208B 上方的半導體區域 210A、210B 的頂部半導體層。

【0015】 位於元件區域 302 中的半導體區域 210A (又稱為頂部半導體區域 210A) 以及半導體區域 206A (又稱為底部半導體區域 206A) 例如是使用 P 型摻質 (例如：B、BF₂、Si、Ge、C、Zn、Cd、Be、Mg、In、其組合或類似物) 以適當的濃度 (例如：1x10¹⁸ 原子/平方公分 (atoms/cm²) 至 1x10²² atoms/cm²) 進行摻雜。用於半導體區域 206A、210A 中合適的磊晶材料 (即 P 型磊晶材料) 例如包括 Si、SiGe、SiGeB、Ge、GeB、III-V 族材料 (例如：InSb、GaSb、InGaSb 及類似物)、其組合或類似物。依據元件設計，在一些實施例中，半導體區域 206A、210A 例如是包括不同材料、不同摻質及/或不同的摻雜濃度。

【0016】 位於元件區 304 中的半導體區域 210B (又稱為頂部半導體區域 210B) 以及半導體區域 206B (又稱為底部半導體區域 206B) 例如是使用 N 型摻質 (例如：P、As、Si、Ge、C、O、S、Se、Te、Sb、其組合或類似物) 以適當的濃度 (例如：1x10¹⁸ atoms/cm³ 至 1x10²² atoms/cm³) 進行摻雜。用於半導體區域 206B、210B 中合適的磊晶材料 (即 N 型磊晶材料) 例如包括 Si、SiP、SiPC、Ge、GeP、III-V 族材料 (例如：InP、GaAs、AlAs、InAs、InAlAs、InGaAs

及類似物)、其組合或類似物。依據元件設計, 在一些實施例中, 半導體區域 206B、210B 例如是包括不同材料、不同摻質及/或不同的摻雜濃度。

【0017】 依據元件設計, 位於元件區 302 的半導體區域 208A (又稱為中間半導體區域 208A) 以及位於元件區 304 的半導體區域 208B (又稱為中間半導體區域 208B) 可以是以 N 型或 P 型摻質進行摻雜。舉例來說, 以累積模式 (accumulation mode) 元件來說, 半導體區域 208A 例如是以 P 型摻質 (例如: B、BF₂、Si、Ge、C、Zn、Cd、Be、Mg、In、其組合或類似物) 進行摻雜, 而半導體區域 208B 例如是以 N 型摻質 (例如: P、As、Si、Ge、C、O、S、Se、Te、Sb、其組合或類似物) 進行摻雜。在另一實施例中, 以反轉模式 (inversion mode) 元件來說, 半導體區域 208A 例如是以 N 型摻質 (例如: P、As、Si、Ge、C、O、S、Se、Te、Sb、其組合或類似物) 進行摻雜, 而半導體區域 208B 例如是以 P 型摻質 (例如: B、BF₂、Si、Ge、C、Zn、Cd、Be、Mg、In、其組合或類似物) 進行摻雜。在一實施例中, 半導體區域 208A、208B 的摻質濃度例如是 1×10^{12} atoms/cm³ 至 1×10^{18} atoms/cm³。用於半導體區域 208A、208B 的合適材料包括 Si、SiP、SiPC、SiGe、SiGeB、Ge、GeB、GeP、III-V 族材料 (例如: InP、GaAs、AlAs、InAs、InAlAs、InGaAs、InSb、GaSb、InGaSb 或類似物)、其組合或類似物。半導體區域 208A 以及半導體區域 208B 的材料取決於各區域所預設的摻雜類型。在一些實施例中, 依據元件設計, 半導體區域 208A、208B 例如是包括不同材料、不同摻質及/或不同的摻雜濃度。

【0018】 在圖 4 中，圖案化多層基板 211，以在元件區域 302 中形成奈米線 212A，並且在元件區域 304 中形成奈米線 212B。圖案化多層基板 212 例如是以微影與蝕刻製程來達成。舉例來說，可以在多層基板 211 的上方配置硬罩幕及或光阻（未繪示）。硬罩幕例如包括一層或多層氧化層（如氧化矽層）及/或氮化層（如氮化矽層），以避免於蝕刻過程中下方的半導體層受損；且硬罩幕可以藉由合適的沈積方式來形成，例如：原子層沈積法（atomic layer deposition, ALD）、化學氣相沈積法（chemical vapor deposition, CVD）、高密度電漿化學氣相沈積法（high density plasma chemical vapor deposition, HDP-CVD）、物理氣相沈積法（physical vapor deposition, PVD）或類似的方式。光阻的形成例如包括藉由合適的製程來沈積合適的光阻材料的毯覆層，例如：旋轉塗佈（spin on coating）法或類似的方式。

【0019】 為了對各種半導體層進行圖案化，可先使用光罩對光阻進行曝光（例如：暴露於光線下），以圖案化光阻。依據所使用的正型或負型光阻，經曝光的光阻或未經曝光的光阻可以被移除。光阻的圖案可隨後（例如使用合適的蝕刻製程）被轉移（transferred）至硬罩幕。接著，在蝕刻製程中，例如是以硬罩幕做為蝕刻罩幕，蝕刻半導體區域 206A、206B、208A、208B、210A、210B。多層基板 212 的蝕刻例如包執行可接受的蝕刻製程，例如：反應性離子蝕刻（reactive ion etching, RIE）製程、中性束蝕刻（neutral beam etch, NBE）製程、其他類似的方式或其組合。上述蝕刻例如是非等向性蝕刻（anisotropic）。接著，移除光阻的剩餘部分，例如是以灰化（ashing）或濕式剝除（wet strip）等製程

方式。此外，硬罩幕亦可被移除。

【0020】 在一些實施例中，每一個奈米線 212A、212B 例如具有約為 1 奈米 (nm) 至 20 奈米的寬度 $W1$ 以及約為 100 埃 (Å) 至 2000 埃的高度 $H1$ 。在其他實施例中，奈米線 211A、212B 可以具有不同的尺寸。每一個奈米線 212A、212B 包括高摻雜的頂部半導體區域 210A/210B、微摻雜 (或甚至無摻雜) 的中間半導體區域 208A/208B 以及高摻雜的底部半導體區域 206A/206B。在已完成的垂直型環繞式閘極電晶體 (見圖 27) 中，半導體區域 206A、206B 是底部源極/汲極區域，半導體區 208A、208B 是通道區域，半導體區域 210A、210B 是頂部源極/汲極區域。雖然在每一個元件區域 302、304 中僅繪示一個奈米線 212A 或一個奈米線 212B，但在每個垂直型環繞式閘極電晶體中可形成任何數量的奈米線。在一實施例中，單一個垂直型環繞式閘極電晶體可包括環繞多個奈米線 (又稱奈米線森林 (a forest of nanowires)) 的單一閘極結構。此外，半導體區域 206A、206B 可延伸進入 (extend into) 位於其下方的多層基板 211 的上部區域並橫向延伸超過奈米線 212A、212B 的邊緣 (edges)。

【0021】 圖 5 繪示在半導體區域 206A、206B、210A、210B 被暴露出的表面的上部形成的自對準金屬矽化物區域 (self-aligned silicide (salicide) regions) 214。在一實施例中，自對準金屬矽化物區域 214 的形成例如是在半導體區域 206A、206B、210A、210B 被暴露出的頂表面上先沈積一層導電膜 (未繪示)。在一些實施例中，導電膜例如包括金屬，如鈦、鎳、鉑、鈷、其組合或類似物。於沈積導電膜之後，執行退火製程，使導電膜的材料擴散至

半導體區域 206A、206B、210A、210B。舉例來說，以氫氣或氮氣做為處理氣體，在介於攝氏 100 度至攝氏 900 度範圍內的溫度以及介於 770 托 (torr) 至 850 托範圍內的大氣壓力下，執行退火製程。藉由退火製程，在半導體區域 206A、206B、210A、210B 的頂表面上形成自對準金屬矽化物區域 214。自對準金屬矽化物區域 214 可包括半導體區域 206A、206B、210A、210B 與導電膜的導電材料的組合。

【0022】 依據圖 1 的流程圖 100 的一些實施例，圖 6 至圖 12B 為半導體元件 200 的製造過程中不同階段的剖面示意圖。具體來說，圖 6 至圖 12B 依據流程圖 100 的步驟 104 繪示了形成圍繞奈米線（即奈米線 212A/212B）的底部源極/汲極區域（即半導體區域 206A/206B）的第一介電層（即圖 10 中的介電層 216）的各種中間階段。請先參照圖 6，於奈米線 212A、212B 的側壁與頂表面上方配置接觸蝕刻停止層（contact etch stop layer，CESL）218。接觸蝕刻停止層 218 更可以配置於多層基板 212 的頂表面上方。在一些實施例中，與隨後形成的介電層 216（見圖 7）的材料相比，接觸蝕刻停止層 218 包括可被選擇性地蝕刻的材料。舉例來說，在一實施例中，介電層 216 包括氧化物，而接觸蝕刻停止層 218 包括 SiN、SiC、SiCN 或類似物。藉由諸如 CVD、電漿增強化學氣相沈積（plasma-enhanced chemical vapor deposition，PECVD）、PVD 或類似的方法等共形的製程（conformal processes）可沈積接觸蝕刻停止層 218。

【0023】 在圖 7 中，在接觸蝕刻停止層 218 上方形成介電層 216。介電層 216 包括具有 K 值（k-value）小於 3.9 的低介電常數，例

如是低於 2.8 或更低。在一些實施例中，介電層 216 例如包括藉由可流動性化學氣相沈積法（flowable chemical vapor deposition，FCVD）所形成的可流動性氧化物（flowable oxide）。介電層 216 填充相鄰奈米線（即圖 7 中的奈米線 212A、212B）之間的空隙，且介電層 216 更延伸至接觸蝕刻停止層 218 與奈米線 212A、212B 的頂表面上方，並覆蓋接觸蝕刻停止層 218 與奈米線 212A、212B 的頂表面。在一些實施例中，介電層 216 的高度 H2 例如約為 150 奈米至 180 奈米。由於介電層 216 配置於非平面表面（non-planar surface；即由奈米線 212A、212B 所造成）上，介電層 216 的頂表面亦可為非平面。舉例來說，配置於奈米線 212A、212B 正上方的部分介電層 216 是高於介電層 216 的其他部分。此外，基於製程的限制，整個半導體元件 200 中的各種奈米線的高度亦可不相同。舉例來說，半導體元件 200 中的各種奈米線的高度差異（height variance）可以約為 10 奈米或更大。因此，以整個半導體元件 200 來說，介電層 216 的頂表面在高度上有所差異。

【0024】在沈積介電層 216 之後，對介電層 216 的頂表面執行平坦化製程。舉例來說，圖 8A 至圖 8B 依據一實施例繪示介電層 216 的平坦化。在圖 8 中，藉由植入製程（以標號 222 表示），在介電層 216 內且在介電層 216 的頂表面下方形成化學機械研磨（CMP）停止層 220。在一實施例中，以適當的濃度（例如： 1×10^{13} atoms/cm² 至 1×10^{16} atoms/cm²），將合適的雜質（例如：Si、C、N、Ge、As、Ar、其組合或類似物）植入於介電層 216 中。

【0025】作為離子植入製程的結果，具有上述雜質的部分介電層 216 被轉變成 CMP 停止層 220。可觀察到，藉由植入上述類型與

濃度的雜質而形成的 CMP 停止層 220，其化學機械研磨速率低於介電層 216。舉例來說，當鍺 (Ge) 是以約 5×10^{15} atoms/cm² 的濃度進行植入時，CMP 停止層 220 的化學機械研磨速率約為 5 埃/秒 (Å/s)，而介電層 216 的未植入部的化學機械研磨速率約為 23.66 Å/s。在另一例中，當碳 (C) 是以約 5×10^{15} atoms/cm² 的濃度進行植入時，CMP 停止層 220 的化學機械研磨速率約為 4.8 Å/s。

【0026】 在植入製程之後，位於 CMP 停止層 220 上方的部分介電層 216（此區域標示為 216A）可保持為未摻雜狀態。區域 216A 實質上不具有植入於 CMP 停止層 220 的雜質（或至少具有較低濃度的雜質）。舉例來說，在一實施例中，區域 216A 的雜質濃度約為 1×10^{12} atoms/cm³ 或更低，其不足以使區域 216A 轉變為 CMP 停止層或蝕刻停止層。在一實施例中，介電層 216 的區域 216A 的厚度例如是約介於 10 奈米至 30 奈米。此外，CMP 停止層 220 的厚度例如是約介於 3 奈米至 7 奈米。

【0027】 控制植入製程的製程條件（例如：植入能量），以使 CMP 停止層 220 形成在介電層 216 中的適當位置（即深度）與厚度。舉例來說，在一實施例中，形成 CMP 停止層 220 的植入能量約為 0.1 KeV 至 350 KeV。另外，因為介電層 216 的頂表面為非平面，CMP 停止層 220 的頂表面亦可為非平面。舉例來說，配置於奈米線 212A、212B 正上方的部分 CMP 停止層 220 高於 CMP 停止層 220 的其他部分。在其他實施例中，依據製程設計，亦可以藉由不同的雜質、不同的植入濃度、不同的植入能量或不同的其他類似製程條件等來形成 CMP 停止層 220。

【0028】 接著，在圖 8B 中，以合適的平坦化製程，例如化學機械

研磨 (CMP) 製程，移除介電層 216 的區域 216A。在一實施例中，在 CMP 製程中的製程條件例如包括施加約介於 0.5 psi 至 3 psi 範圍內的 CMP 向下力 (down force)；設定約介於 30 rpm (每分鐘的旋轉數) 至 110 rpm 範圍內的 CMP 工作台速度 (table speed)；施加膠狀二氧化矽、 Al_2O_3 、 CeO_2 型 CMP 漿料；設定約介於 50 ml/min 至 500 ml/min 範圍內的 CMP 漿料流量；使用具有約介於蕭式 A10 (shore A10) 至蕭式 D70 (shore D70) 的硬度範圍內的 CMP 研磨墊；其組合或類似的製程條件。在其他實施例中，可使用不同的製程條件。蕭式硬度為材料抵抗負載彈簧針狀壓頭 (又稱為硬度計) 穿透的量測。聚合物 (例如：橡膠、塑膠) 的硬度可藉由蕭式標度來測量。蕭式 A 標度是用於量測軟的彈性體 (例如：橡膠) 或其他軟的聚合物。硬的彈性體或其他大部分的聚合物的硬度是藉由蕭式 D 標度來量測。不同的蕭式標度 (即蕭式 A (Shore A) 或蕭式 D (Shore D)) 可使用不同的壓頭形狀 (見示於圖 28 中的蕭式 A 壓頭 402 以及蕭式 D 壓頭 404) 以及不同的負載彈簧。舉例來說，蕭式 A 的負載力 (loading force) 約為 822 克，而蕭式 D 的負載力約為 4536 克。以 100 為最大硬度值對應至無穿透 (zero penetration)，蕭式硬度值可在 0 至 100 的數值範圍內變化。

【0029】 如上述討論，相較於介電層 216，由於植入雜質於 CMP 停止層 220，因而使得 CMP 停止層 220 是以較低的研磨速率進行研磨。因此，CMP 停止層 220 可以做為 CMP 製程中的停止層，並於 CMP 製程之後，提高半導體元件 200 的頂表面的平面度 (planarity)。CMP 停止層 220 的使用更改善用於減少介電層 216

的高度至目標高度 (target height) 的控制，進而改良製程控制。舉例來說，藉由形成 CMP 停止層 220 於介電層 216 內的特定位置，使得在第二次 CMP 製程後，介電層 216 的剩餘部分位於目標高度。在一實施例中，CMP 停止層 220 的位置與厚度可依據介電層 216 於 CMP 製程後的目標高度來選擇。此外，在各種實施例中，CMP 停止層 220 可以形成於奈米線 212A、212B 的頂表面上方。因此，上述的 CMP 製程不會暴露出或損傷奈米線 212A、212B。

【0030】圖 9A 至圖 9C 依據另一實施例繪示介電層 216 的平坦化。在圖 9A 中，在沈積介電層 216 之後且於形成 CMP 停止層 220 之前，平坦化介電層 216 的頂表面。舉例來說，與上述類似，於形成 CMP 停止層 220 之前，先對介電層 216 執行第一次 CMP 製程。介電層 216 的上部可被移除，且在第一次 CMP 製程後，介電層 216 的頂表面是相對水平 (relatively level)。例如，相較於圖 7 所示的介電層 216 的頂表面，圖 9A 中的介電層 216 的頂表面是較為水平的。

【0031】如圖 9B 所示，以植入製程 (以標號 222 表示)，在介電層 216 內形成 CMP 停止層 220。植入製程可包括藉由上述的植入能量，將上述具有特定類型與劑量的雜質植入於介電層 216 中。由於在形成 CMP 停止層 220 之前先對介電層 216 執行第一次 CMP 製程，CMP 停止層 220 實質上水平於介電層 216。在形成 CMP 停止層 220 之後，介電層 216 的頂區域 216A 仍然在 CMP 停止層 220 的上方。

【0032】接著，如圖 9C 所示，藉由第二次 CMP 製程，移除介電層 216 的頂區域 216A (見圖 9B)。如上述討論，由於植入雜質於

CMP 停止層 220 中，使得 CMP 停止層 220 是以低於介電層 216 的研磨速率進行研磨。因此，CMP 停止層 220 可以做為 CMP 製程中的停止層，並於第二次 CMP 製程之後，提高半導體元件 200 的頂表面的平面度（planarity）。舉例來說，相較於緊接於第一次 CMP 製程後的介電層 216 的頂表面，於第二次 CMP 製程後的頂表面 200A 可為更加平面。藉由 CMP 停止層 220 的使用，可改良用於減少介電層 216 的高度至目標高度的製程控制。舉例來說，將 CMP 停止層 220 形成於介電層 216 內的特定位置（即：利用植入能量的設定），使得在第二次 CMP 製程後，介電層 216 的剩餘部分可以位於目標高度。

【0033】在平坦化介電層 216 之後，對介電層 216 的上部進行一個或多個蝕刻製程，使得介電層 216 的頂表面與半導體區域 206A、206B 的頂表面實質上齊平。舉例來說，請參照圖 10，藉由濕式及/或乾式蝕刻製程，移除 CMP 停止層 220、接觸蝕刻停止層 218 的上部以及介電層 216 的上部。在蝕刻之後，接觸蝕刻停止層 218 以及介電層 216 的頂表面與半導體區域 206A、206B 的頂表面實質上齊平。在已完成的垂直型環繞式閘極電晶體中，圍繞半導體區域 206A、206B 的接觸蝕刻停止層 218 以及介電層 216 的剩餘部分為底部隔離層（bottom isolation layers），其將底部源極/汲極區域（即半導體區域 206A、206B）與後續形成的閘極結構（即圖 14 中的閘極結構 232A/232B）隔離開來。在其他實施例中，由於 CMP 停止層 220 的存在，介電層 216 回蝕刻至目標高度可具有更好的精準度。

【0034】在一些實施例中，乾式蝕刻製程包括使用乾蝕刻氣體，

例如 HF/NH₃、NF₃/NH₃ 或其組合。用於乾式蝕刻製程的示例性氣體流量例如是包括 NH₃ 流量約介於 5 sccm 至 500 sccm 的範圍內、HF 流量及約介於 5 sccm 至 300 sccm 的範圍內/或 NF₃ 流量約介於 10 sccm 至 500 sccm 的範圍內。此外，在一實施例中，亦可使用約介於 5W 至 100W 範圍內的遠端電漿功率進行蝕刻。在其他實施例中，亦可採用其他的乾式蝕刻製程條件（例如：其它氣體、流速、施加功率等）。在一些實施例中，濕式蝕刻製程例如是包括使用具有稀釋比例約介於 10:1 至 500:1 的稀釋氫氟酸的化學蝕刻劑。在其他實施例中，可採用其它的化學蝕刻劑。

【0035】 圖 11A 至圖 11B 依據一實施例繪示移除介電層 216 的上部，使介電層 216 的頂表面與半導體區域 206A、206B 的頂表面實質上齊平的各種中間階段。請先參照圖 11A，在平坦化介電層 216 之後，藉由植入製程（以標號 226 表示），在介電層 216 內形成蝕刻停止層 224。在一實施例中，在移除 CMP 停止層 220 之前，先形成蝕刻停止層 224。於植入製程中，藉由控制製程條件（例如：植入能量），使蝕刻停止層 224 的底表面與半導體區域 206A、206B 的頂表面實質上齊平。舉例來說，在一實施例中，形成蝕刻停止層 224 的植入能量約為 0.1 KeV 至 350 KeV。依據半導體元件 200 的頂表面 200A 至半導體區域 206A、206B 的頂表面之間的距離，選擇特定的植入能量。在形成蝕刻停止層 224 之後，介電層 216 的下部可保持位於蝕刻停止層 224 的下方。

【0036】 在一實施例中，以適當的濃度（例如： 1×10^{13} atoms/cm² 至 1×10^{16} atoms/cm²），將合適的雜質（例如：Si、C、N、其組合或類似物）植入於介電層 216 中，以形成蝕刻停止層 224。作為離

子植入製程的結果，具有上述雜質的部分介電層 216 轉變成蝕刻停止層 224。所得到的蝕刻停止層 224 例如包括多晶矽 (polysilicon)、氮化物 (nitride)、SiCN 或類似物。可觀察到，在後續的蝕刻製程 (即上述圖 10 的相關說明) 中，藉由植入上述類型與濃度的雜質而形成的蝕刻停止層 224，其蝕刻速率低於介電層 216。舉例來說，以 HF/NH₃ 或 NF₃/NH₃ 做為蝕刻氣體，當蝕刻停止層 224 包括多晶矽時 (即：以矽進行植入製程)，介電層 216 與蝕刻停止層 224 之間的蝕刻速率比例至少約為 150:1。在一例中，以 HF/NH₃ 或 NF₃/NH₃ 做為蝕刻氣體，當蝕刻停止層 224 包括氮化物 (即：以氮進行植入製程) 時，介電層 216 與蝕刻停止層 224 之間的蝕刻速率比例約為 1:1 至 14:1。在一例中，以 HF/NH₃ 或 NF₃/NH₃ 做為蝕刻氣體，當蝕刻停止層 224 包括 SiCN 時 (即：以碳、氮進行植入製程)，介電層 216 與蝕刻停止層 224 之間的蝕刻速率比例至少約為 10:1。因此，藉由蝕刻停止層 224 的形成，能夠允許以改良的製程控制來選擇性地移除介電層 216 的上部 (標示為 216B)。在其他實施例中，依據製程設計，亦可以藉由不同的雜質、不同的植入濃度、不同的植入能量或不同的其他類似製程條件等來形成蝕刻停止層 224。

【0037】 如圖 11B 所示，藉由上述的乾式及/或濕式蝕刻製程，移除介電層 216 的上部 216B (見圖 11A)。CMP 停止層 220 亦可被移除。上述的移除過程例如是使用相對於蝕刻停止層 224 來說，對移除介電層 216 具有較快速率的處理氣體及/或化學蝕刻劑。因此，蝕刻停止層 224 可以做為蝕刻製程中的終止點，以改良的製程控制來移除介電層 216 的上部 216B。接著，藉由合適的乾式或

濕式蝕刻製程，移除蝕刻停止層 224 以及接觸蝕刻停止層 218 的上部。在移除蝕刻停止層 224 之後，介電層 216 的剩餘部分可以具有頂表面，且其實質上齊平於半導體區域 206A、206B 的頂表面。即，繪示於圖 10 的最終結構（resulting structure）。

【0038】圖 12A 至圖 12B 依據另一實施例繪示移除介電層 216 的上部，使介電層 216 的頂表面與半導體區域 206A、206B 的頂表面實質上齊平的各種中間階段。請先參照圖 12A，在平坦化介電層 216 之後，移除 CMP 停止層 220，且藉由植入製程（以標號 230 表示），在介電層 216 內形成蝕刻層 228。於植入製程中，藉由控制製程條件（例如：植入能量），使蝕刻層 228 由半導體元件 200 的頂表面 200A 向下延伸直至與半導體區域 206A、206B 的頂表面具有相同高度。舉例來說，在一實施例中，形成蝕刻層 228 的植入能量約為 0.1 KeV 至 350 KeV。依據半導體元件 200 的頂表面 200A 至半導體區域 206A、206B 的頂表面之間的距離，選擇特定的植入能量。舉例來說，可藉由提高植入能量來增加蝕刻層 228 的厚度。在形成蝕刻層 228 之後，介電層 216 的下部可保持位於蝕刻層 228 的下方。

【0039】在一實施例中，以適當的濃度（例如： 1×10^{13} atoms/cm² 至 1×10^{16} atoms/cm²），將合適的雜質（例如：Ar、Xe、Si、Ge、As、P、B、其組合或類似物）植入於介電層 216 中，以形成蝕刻層 228。作為離子植入製程的結果，具有上述雜質的部分介電層 216 轉變成蝕刻層 228。可觀察到，在後續的蝕刻製程（即上述圖 10 的相關說明）中，選擇合適的化學蝕刻劑，可使得以植入上述類型與濃度的雜質而形成的蝕刻層 228 的蝕刻速率高於介電層

216。因此，當移除蝕刻層 228 時，介電層 216 的剩餘部分可做為蝕刻終止層。藉由植入雜質來提高介電層 216 的上部（即蝕刻層 228）的蝕刻速率，蝕刻終止層是由介電層 216 的剩餘部分來形成。在其他實施例中，依據製程設計，亦可以藉由不同的雜質、不同的植入濃度、不同的植入能量或不同的其他類似製程條件等來形成蝕刻層 228。

【0040】如圖 12B 所示，藉由上述的乾式及/或濕式蝕刻製程，移除蝕刻層 228。上述的移除過程例如是使用相對於介電層 216 來說，對移除蝕刻層 228 具有較快速率的處理氣體及/或化學蝕刻劑。因此，介電層 216 可以做為蝕刻製程中的終止點（即蝕刻終止層），以改良的製程控制來移除蝕刻層 228（即：前述的介電層 216 的上部 216B）。接著，藉由合適的乾式或濕式蝕刻製程，移除接觸蝕刻停止層 218 的上部。在移除蝕刻層 228 以及移除接觸蝕刻停止層 218 的上部之後，介電層 216 的剩餘部分可以具有頂表面，且此頂表面實質上齊平於半導體區域 206A、206B 的頂表面。即，繪示於圖 10 的最終結構（resulting structure）。

【0041】依據圖 1 的流程圖 100 的一些實施例，圖 13 至圖 14 為半導體元件 200 的製造過程中不同階段的剖面示意圖。具體來說，圖 13 至圖 14 依據流程圖 100 的步驟 106 繪示了形成位於第一介電層（即介電層 216）上方並圍繞奈米線（即奈米線 212A/212B）的中間通道區域（即半導體區域 208A/208B）的閘極結構（即圖 14 中的閘極結構 232A/232B）的各種中間階段。

【0042】請參照圖 13，在介電層 216 的上方以及在奈米線 212A、212B 被暴露出來的側壁與頂表面上，形成閘介電層 234、功函數

金屬層 236A、236B 以及閘極層 238。藉由合適的製程，以共形層（conformal layers）的方式，依序沈積閘介電層 234、功函數金屬層 236A、功函數金屬層 236B 以及閘極層 238 於奈米線 212A、212B 上方。亦可以（於閘介電層 234 與奈米線 212A、212B 之間）沈積額外的膜層（例如：介面層（未繪示））。

【0043】 在一些實施例中，閘介電層 234 包括氧化矽層、氮化矽層或其組合的多層膜層。額外或可替換地，閘介電層 234 的材料包括高介電常數（high-k）的介電材料。在一些實施例中，高介電常數的介電材料具有大於約 7.0 的介電常數，包括金屬氧化物或鉛（Hf）、鋁（Al）、鋯（Zr）、鏷（La）、鎂（Mg）、鋇（Ba）、鈦（Ti）、鉛（Pb）的矽酸鹽、其組合或類似物。閘介電層 234 的形成方式包括分子束沈積法（MBD）、ALD、PECVD 或類似方式的製程。

【0044】 在形成閘介電層 234 之後，於閘介電層 234 上方形成功函數金屬層 236A 以及功函數金屬層 236B。在 P 型元件區域 302 內，於閘介電層 234 上沈積 P 型的功函數金屬層 236A。功函數金屬層 236A 最初亦可形成於位於 N 型元件區域 304 內的奈米線 212B 上方，且在沈積後，藉由合適的圖案化製程（例如：微影與蝕刻製程），位於 N 型元件區域 304 內的功函數金屬層 236A 的部分可被移除。在圖案化功函數金屬層 236A 之後，在 P 型的功函數金屬層 236A 的上方形成 N 型的功函數金屬層 236B。在一些實施例中，N 型的功函數金屬層 236B 可形成於 P 型元件區域 302 以及 N 型元件區域 304 內。基於元件設計，功函數金屬層 236A、236B 例如包括不同材料，以調整閘極結構 232A、232B（見圖 14）的功

函數，使其功函數達到所期待的數值。在一實施例中，功函數金屬層 236A、236B 的材料包括 TiN、TiAl、TiAlC、TaSi、其組合或類似物。

【0045】 接著，藉由合適的沈積製程（例如：MBD、ALD、PECVD 或類似方式等製程），於功函數金屬層 236A、236B 的上方形成導電性的金屬電極層 238。金屬電極層 238 的材料包括含金屬的材料，例如 TiN、TaN、TaC、Co、Ru、Al、其組合、其組合的多層膜層或類似物。

【0046】 請參照圖 14，藉由圖案化閘介電層 234、功函數金屬層 236A、功函數金屬層 236B 以及閘極層 238，移除延伸至兩相鄰垂直型環繞式閘極電晶體之間（即：位於奈米線 212A、212B 之間）的部分閘介電層 234、功函數金屬層 236A、功函數金屬層 236B 以及閘極層 238。因此，形成分別圍繞奈米線 212A、212B 的閘極結構 232A、232B。閘極結構 232A、232B 可以包圍奈米線 212A、212B 的半導體區域 208A、208B 的所有側表面。由於具有做為間隔層的介電層 216，閘極結構 232A、232B 可彼此分離開來，而不與底部半導體區域 206A、206B 接觸。雖然於圖式中所繪示的每一個閘極結構 232A、232B 僅包圍單個奈米線；但依據元件設計，每一個閘極結構亦包圍多個奈米線。

【0047】 依據圖 1 的流程圖 100 的一些實施例，圖 15 至圖 20 為半導體元件 200 的製造過程中不同階段的剖面示意圖。具體來說，圖 15 至圖 20 依據流程圖 100 的步驟 108 繪示了形成圍繞閘極結構（即圖 14 中的閘極結構 232A/232B）的第二介電層（即圖 15 中的介電層 240）的各種中間階段。請先參照圖 15，於閘極結構

232A、232B 上方形成介電層 240。介電層 240 的材料包括諸如氧化物等的絕緣材料，且介電層 240 實質上類似於介電層 216。介電層 240 可填充相鄰閘極結構（即閘極結構 232A、232B）之間的空隙，且介電層 240 更延伸至閘極結構 232A、232B 的頂表面上方並覆蓋閘極結構 232A、232B 的頂表面。由於介電層 240 配置於非平面表面（non-planar surface）上，介電層 240 的頂表面亦可為非平面。舉例來說，配置於閘極結構 232A、232B 正上方的部分介電層 240 是高於介電層 240 的其他部分。此外，基於製程的限制，整個半導體元件 200 中的各種奈米線（即奈米線 212A、212B）的高度亦可不相同。舉例來說，半導體元件 200 中的各種奈米線之間的高度差異可以約為 10 奈米或更大。因此，以整個半導體元件 200 來說，介電層 240 的頂表面在高度上亦有所差異。

【0048】 在沈積介電層 240 之後，對介電層 240 的頂表面執行平坦化製程。舉例來說，圖 16A 至圖 16B 依據一實施例繪示介電層 240 的平坦化。在圖 16A 中，藉由植入製程（以標號 244 表示），在介電層 240 內且在介電層 240 的頂表面下方形成 CMP 停止層 242。CMP 停止層 242 實質上類似於 CMP 停止層 220，且形成 CMP 停止層 242 的製程亦實質上類似於形成 CMP 停止層 220 的製程。舉例來說，形成 CMP 停止層 242 例如包括以適當的濃度（例如： 1×10^{13} atoms/cm² 至 1×10^{16} atoms/cm²）與適當的植入能量（例如：0.1 KeV 至 350 KeV），將合適的雜質（例如：Si、C、N、Ge、As、Ar、其組合或類似物）植入於介電層 240 中，使部分介電層 240 轉變成 CMP 停止層 242。在其他實施例中，依據於製程設計，亦可以藉由不同的雜質、不同的植入濃度、不同的植入能量或不

同的其他類似製程條件等來形成 CMP 停止層 242。作為離子植入製程的結果，具有上述雜質的部分介電層 240 被轉變成 CMP 停止層 242。可觀察到，藉由植入上述類型與濃度的雜質而形成的 CMP 停止層 242，其化學機械研磨速率低於介電層 240。

【0049】 在植入製程之後，位於 CMP 停止層 242 上方的部分介電層 240（此區域標示為 240A）可保持為未摻雜狀態。區域 240A 實質上不具有植入於 CMP 停止層 242 的雜質（或至少具有較低濃度的雜質）。舉例來說，在一實施例中，區域 240A 的雜質濃度約為 1×10^{12} atoms/cm³ 或更低，其不足以使區域 240A 做為 CMP 停止層或蝕刻停止層。另外，因為介電層 240 的頂表面為非平面，CMP 停止層 242 的頂表面亦可為非平面。舉例來說，配置於奈米線 212A、212B 正上方的部分 CMP 停止層 242 是高於 CMP 停止層 242 的其他部分。此外，形成 CMP 停止層 242 高於閘極結構 232A、232B，以於蝕刻過程中保護位於下方的閘極結構 232A、232B。

【0050】 在圖 16B 中，以合適的平坦化製程，例如上述的 CMP 製程，移除介電層 240 的區域 240A。由於植入雜質於 CMP 停止層 242 中，使得 CMP 停止層 242 是以較低於介電層 240 的研磨速率進行研磨。因此，CMP 停止層 242 可以做為 CMP 製程中的停止層，並且於 CMP 製程之後，提高半導體元件 200 的頂表面的平面度。CMP 停止層 242 的使用，更進一步改善用於減少介電層 240 的高度至目標高度的控制，進而改良製程控制。在一實施例中，在 CMP 製程之後，CMP 停止層 242 可依據介電層 240 所期待的高度進行配置。

【0051】 圖 17A 至圖 17C 依據另一實施例繪示介電層 240 的平坦化。在圖 17A 中，於沈積介電層 240 之後且於形成 CMP 停止層 242（見圖 17B）之前，平坦化介電層 240 的頂表面。舉例來說，於形成 CMP 停止層 242 之前，先對介電層 240 執行類似於上述的 CMP 製程。介電層 240 的上部可被移除，且在第一次 CMP 製程後，介電層 240 的頂表面可為相對水平（relatively level）。例如，相較於圖 15 所示的介電層 240 的頂表面（即：沈積後的介電層 240），圖 17A 中的介電層 240 的頂表面是較為水平的。

【0052】 如圖 17B 所示，藉由植入製程（以標號 244 表示），在介電層 240 內形成 CMP 停止層 242。所形成的 CMP 停止層 242 高於閘極結構 232A、232B，以於蝕刻過程中保護位於下方的閘極結構 232A、232B。在植入製程中，藉由上述的植入能量，將具有上述特定類型與劑量的雜質植入雜質於介電層 240 中。由於在形成 CMP 停止層 242 之前先對介電層 240 執行 CMP 製程，因此所形成的 CMP 停止層 242 實質上水平於介電層 240。在形成 CMP 停止層 242 之後，介電層 240 的頂區域 240A 仍然在 CMP 停止層 242 的上方。接著，如圖 17C 所示，藉由另一 CMP 製程，移除介電層 240 的頂區域 240A（見圖 17B）。如上述討論，藉由植入雜形成 CMP 停止層 242，使得 CMP 停止層 242 是以低於介電層 240 的研磨速率進行研磨。因此，CMP 停止層 242 可以做為 CMP 製程中的停止層，提高半導體元件 200 的頂表面的平面度。此外，藉由 CMP 停止層 242 的使用，可改良用於減少介電層 240 的高度至目標高度的製程控制。

【0053】 在平坦化介電層 240 之後，對介電層 240 的上部進行一

或多個蝕刻製程，使得介電層 240 的頂表面與半導體區域 208A、208B 的頂表面實質上齊平。舉例來說，請參照圖 18，藉由上述的濕式及/或乾式蝕刻製程，移除 CMP 停止層 242 以及介電層 240 的上部。在蝕刻之後，介電層 240 的頂表面與半導體區域 208A、208B 的頂表面以及半導體區域 210A、210B 的底表面實質上齊平。在其他實施例中，由於 CMP 停止層 242 的存在，介電層 240 回蝕刻至目標高度可具有更好的精準度。藉由向下凹蝕(recessing)介電層 240，閘極結構 232A、232B 的上部可被暴露出，並隨後被移除，以暴露出頂部源極/汲極區域(即：半導體區域 210A、210B)。

【0054】 圖 19A 至圖 19B 依據另一實施例繪示移除介電層 240 的上部，使介電層 240 的頂表面與半導體區域 208A、208B 的頂表面實質上齊平的各種中間階段。請先參照圖 19A，在平坦化介電層 240 之後，且藉由植入製程(以標號 248 表示)，在介電層 240 內形成蝕刻停止層 246。形成蝕刻停止層 246 的方式實質上類似於圖 11A 中蝕刻停止層 224 的形成方式。舉例來說，形成蝕刻停止層 246 例如包括以適當的濃度(例如： 1×10^{13} atoms/cm² 至 1×10^{16} atoms/cm²)與適當的植入能量(例如：0.1 KeV 至 350 KeV)，將合適的雜質(例如：Si、C、N、其組合或類似物)植入於介電層 240 中，使部分介電層 240 轉變成蝕刻停止層 246。在其他實施例中，依據製程設計，亦可以藉由不同的雜質、不同的植入濃度、不同的植入能量或不同的其他類似製程條件等來形成蝕刻停止層 246。依據半導體元件 200 的頂表面 200A 至半導體區域 208A、208B 的頂表面之間的距離，選擇特定的植入能量。在形成蝕刻停止層 246 之後，介電層 240 的下部可保持位於蝕刻停止層 246 的下方。

所得到的蝕刻停止層 246 例如包括多晶矽、氮化物、SiCN 或類似物。可觀察到，在後續的蝕刻製程（即上述圖 18 的相關說明）中，藉由植入上述類型與濃度的雜質而形成的蝕刻停止層 224，其蝕刻速率低於介電層 240。因此，藉由蝕刻停止層 246 的形成，能夠以改良的製程控制來選擇性地移除介電層 240 的上部（標示為 240B）。

【0055】請接著參照圖 19B，藉由上述的乾式及/或濕式蝕刻製程，移除介電層 240 的上部 240B（見圖 19A）。CMP 停止層 242 亦可被移除。上述的移除過程例如是使用相對於蝕刻停止層 246 來說，對移除介電層 240 具有較快速率的處理氣體及/或化學蝕刻劑。因此，蝕刻停止層 246 可做為蝕刻製程中的終止點，以改良的製程控制來移除介電層 240 的上部 240B。接著，藉由合適的乾式或濕式蝕刻製程，移除蝕刻停止層 246。在移除蝕刻停止層 246 之後，介電層 240 的剩餘部分可以具有頂表面，且其實質上齊平於半導體區域 208A、208B 的頂表面。即，繪示於圖 18 的最終結構（resulting structure）。

【0056】圖 20A 至圖 20B 依據另一實施例繪示移除介電層 240 的上部使介電層 240 的頂表面與半導體區域 208A、208B 的頂表面實質上齊平的各種中間階段。請先參照圖 20A，在平坦化介電層 240 之後，移除 CMP 停止層 242，並藉由植入製程（以標號 252 表示），在介電層 240 內形成蝕刻層 250。

【0057】形成蝕刻層 250 的方式實質上類似於圖 12A 中蝕刻層 228 的形成方式。舉例來說，形成蝕刻層 250 例如包括以適當的濃度（例如： 1×10^{13} atoms/cm² 至 1×10^{16} atoms/cm²）與適當的植入能

量（例如：0.1 KeV 至 350 KeV），將合適的雜質（例如：Ar、Xe、Si、Ge、As、P、B、其組合或類似物）植入於介電層 240 中，使部分介電層 240 轉變成蝕刻層 250。在其他實施例中，依據製程設計，亦可以藉由不同的雜質、不同的植入濃度、不同的植入能量或不同的其他類似製程條件等來形成蝕刻層 250。於植入製程中，藉由控制製程條件（例如：植入能量），使蝕刻層 250 由半導體元件 200 的頂表面 200A 向下延伸直至與半導體區域 208A、208B 的頂表面具有相同高度。可觀察到，在後續的蝕刻製程（即上述圖 18 的相關說明）中，藉由植入上述類型與濃度的雜質而形成的蝕刻層 250，其蝕刻速率較高於介電層 240。因此，當移除蝕刻層 250 時，介電層 240 的剩餘部分可做為蝕刻終止層。藉由植入雜質來提高介電層 240 的上部（即蝕刻層 250）的蝕刻速率，蝕刻終止層是由介電層 240 的剩餘部分來形成。

【0058】 如圖 20B 所示，藉由上述的乾式及/或濕式蝕刻製程，移除蝕刻層 250。上述的移除過程例如是使用相對於介電層 240 來說，對移除蝕刻層 250 具有較快速率的處理氣體及/或化學蝕刻劑。因此，介電層 240 用做蝕刻製程中的終止點（即蝕刻終止層），以改良的製程控制來移除蝕刻層 250（即：前述的介電層 240 的上部 240B）。在移除蝕刻層 250 之後，介電層 240 的剩餘部分具有頂表面，且其實質上齊平於半導體區域 208A、208B 的頂表面。

【0059】 依據圖 1 的流程圖 100 的一些實施例，圖 21 為半導體元件 200 的製造過程中一中間階段的剖面示意圖。具體來說，圖 21 依據流程圖 100 的步驟 110 繪示了回蝕刻閘極結構（即閘極結構 232A/232B）以暴露出奈米線（即奈米線 212A/212B）的頂部源極

/汲極區域（即半導體區域 210A/210B）的各種中間階段。回蝕刻製程可進一步移除延伸至介電層 240 的頂表面上方並接觸頂部半導體區域 210A、210B 的部分閘極結構 232A、232B。在蝕刻之後，閘極結構 232A、232B 的頂表面與介電層 240 的頂表面以及半導體區域 208A、208B 的頂表面實質上齊平。因此，在圖 21 中的最終結構中，閘極結構 232A、232B 僅配置於半導體區域 208A、208B（即：中間通道區域）的側壁上，且閘極結構 232A、232B 與頂部或底部半導體區域 210A/210B/206A/206B 不共享任何界面（interfaces）。藉由上述的製程條件回蝕刻介電層 240，介電層 140 的高度與蝕刻輪廓可被精準地控制，其能夠允許以改良的製程控制來回蝕刻閘極結構 232A、232B。

【0060】 依據圖 1 的流程圖 100 的一些實施例，圖 22 至圖 23 為半導體元件 200 的製造過程中一中間階段的剖面示意圖。具體來說，圖 22 至圖 23 依據流程圖 100 的步驟 112 繪示了形成在閘極結構（即閘極結構 232A/232B）上方並圍繞奈米線（即奈米線 212A/212B）的頂部源極/汲極區域（即半導體區域 210A/210B）的第三介電層（即介電層 254）的各種中間階段。請參照圖 22，在奈米線 212A、212B 與介電層 240 的上方形形成介電層 254。介電層 254 的材料包括諸如氧化物等的絕緣材料，且介電層 254 實質上類似於介電層 216、240。介電層 254 可填充相鄰奈米線 212A、212B 之間的空隙（即頂部源極/汲極區域之間的空間），且介電層 254 更延伸至奈米線 212A、212B 的頂表面上方並覆蓋奈米線 212A、212B 的頂表面。在一些實施例中，由於介電層 254 配置於非平面表面上，介電層 254 的頂表面亦可為非平面。舉例來說，

配置於奈米線 212A、212B 正上方的部分介電層 254 是高於介電層 254 的其他部分。隨後，如圖 23 所示，對介電層 254 的頂表面執行平坦化製程（例如：上述的 CMP 製程）。

【0061】 依據圖 1 的流程圖 100 的一些實施例，圖 24 至圖 26 為半導體元件 200 的製造過程中一中間階段的剖面示意圖。具體來說，圖 24 至圖 26 依據流程圖 100 的步驟 114 繪示了形成延伸穿過介電層（即介電層 216、240、254）的源極/汲極接觸（即接觸結構 260）以及閘極接觸（即接觸結構 262）。請先參考圖 24，形成穿過接觸蝕刻停止層 218、介電層 216、介電層 240 及/或介電層 254 的開口 256。有一部分的開口 256 暴露出部分的自對準金屬矽化物區域 214，可提供至半導體區域 206A、206B 以及半導體區域 210A、210B 的電性接觸（electrical contacts）。另一部分的開口 256 暴露出閘極結構 232A、232B 的部分閘極。圖案化開口 256 的方法包括藉由合適的圖案化製程（例如：微影與蝕刻製程）。在一些實施例中，在蝕刻接觸蝕刻停止層 218、介電層 216、介電層 240 以及介電層 254 時，亦可使用各種的硬罩幕層。

【0062】 如圖 25 與圖 26 所示，開口 256 可被導電材料填充，以形成電性連接至自對準金屬矽化物區域 214 的源極/汲極接觸 260 以及電性連結至閘極結構 232A、232B 的閘極接觸 262，且導電材料例如包括 W、Al、Cu、Au、Ag、其合金或組合、或類似物。接觸結構 260、262 的形成方法例如包括先於開口 256 的側壁與底表面沈積擴散阻障層及/或種子層（seed layers）（未繪示）。舉例來說，擴散阻障層的材料例如包括氮化鈦，氧化鈦，氮化鈹，氧化鈹及類似物，且形成擴散阻障層以減少接觸結構 260、262 的導

電材料擴散至周遭的介電層 216、240、254 的介電材料中。在接觸結構 260、262 的形成之前，可先形成種子層，且例如可藉由無電電鍍法（electroless plating process）、電化學電鍍法或類似的方法，利用種子層來形成接觸結構 260、262。接觸結構 260、262 的形成可能會溢出開口 254，如圖 25 所示；執行平坦化製程（即 CMP 製程），從半導體元件 200 上去除於過多的導電材料，如圖 26 所示。因此，形成延伸穿過各種介電層並電性連接至垂直型環繞式閘極電晶體的源極/汲極區域以及閘極的源極/汲極接觸 260 以及閘極接觸 262。

【0063】隨後，在圖 27 中，可於介電層 254 的上方形成額外的介電層，例如金屬間介電層（inter-metal dielectric（IMD）layer）264。金屬間介電層 264 可包括形成於其內部的導電結構，例如導電結構 266，且導電結構 266 的材料例如包括 Cu 或類似物。導電結構 266 電性連接至接觸結構 260、262、至額外的內連線結構或至半導體元件 200 的輸入/輸出特徵（input/output features）。導電結構 266 更可以包括各種金屬線及/或介層窗（vias），用以電性佈線（electrical routing）並於半導體元件 200 內形成功能電路（functional circuit）。

【0064】因此，在上述的本發明實施例中，形成圍繞垂直型環繞式閘極電晶體的奈米線的一種 CMP 停止層及/或蝕刻停止層。藉由 CMP 停止層以及蝕刻停止層，提供改良的製程控制，用於回蝕刻介電層 240 至所期待的高度。各種 CMP 停止層及/或蝕刻停止層亦可改善各種介電層的平面度。舉例來說，藉由在中間通道區域與底部源極/汲極區域上形成介電層，其可用於隔離閘極結構。藉由

具有上述的 CMP 停止層及/或蝕刻停止層，介電層可藉由改良的製程控制而被蝕刻至一目標高度（例如：與源極/汲極區域的表面實質上齊平）。因此，在本發明實施例的垂直型環繞式閘極電晶體中所形成的閘極結構可改善高度均勻性控制（height uniformity control）並改良奈米線元件的效能。

【0065】 本發明一些實施例提供一種垂直型環繞式閘極電晶體的製造方法包括以下步驟。形成從基板向上延伸的奈米線，其中奈米線包括底部半導體區域、位於底部半導體區域上方的中間半導體區域以及位於中間半導體區域上方的頂部半導體區域。形成圍繞奈米線並於奈米線上方延伸的介電層。以植入製程，在介電層內部形成化學機械研磨停止層。形成化學機械研磨停止層後，平坦化介電層。

【0066】 在一些實施例中，植入製程包括植入矽、碳、氮、鍺、砷、氫或其組合於介電層內。

【0067】 在一些實施例中，植入製程包括植入矽、碳、氮、鍺、砷、氫或其組合於介電層內，且植入的濃度為 1×10^{13} atoms/cm²~ 1×10^{16} atoms/cm²。

【0068】 在一些實施例中，植入製程包括依據化學機械研磨停止層在介電層中的預設位置與厚度，控制在植入製程期間的植入能量。

【0069】 在一些實施例中，植入製程包括依據化學機械研磨停止層在介電層中的預設位置與厚度，控制在植入製程期間的植入能量，植入能量約為 0.1 KeV 至 350 KeV。

【0070】 在一些實施例中，垂直型環繞式閘極電晶體的製造方法

更包括於形成化學機械研磨停止層之前，平坦化介電層。

【0071】 在一些實施例中，垂直型環繞式閘極電晶體的製造方法更包括於平坦化介電層之後，回蝕刻介電層，使介電層的頂表面與底部半導體區域的頂表面或中間半導體區域的頂表面實質上齊平。

【0072】 在一些實施例中，垂直型環繞式閘極電晶體的製造方法更包括於平坦化介電層之後，回蝕刻介電層，使介電層的頂表面與底部半導體區域的頂表面或中間半導體區域的頂表面實質上齊平，且於回蝕介電層之前，以植入製程在介電層內形成蝕刻停止層。

【0073】 本發明一些實施例提供一種垂直型環繞式閘極電晶體的製造方法包括以下步驟。形成圍繞奈米線並於奈米線上方延伸的介電層。藉由第一植入製程，在介電層內部形成化學機械研磨停止層。平坦化介電層，以移除位於化學機械研磨停止層上方的介電層的頂部。藉由第二植入製程，在介電層內部形成蝕刻停止層。執行蝕刻製程，使介電層的頂表面與至少一源極/汲極區域的頂表面實質上齊平。

【0074】 在一些實施例中，第二植入製程包括降低介電層的植入部在蝕刻製程中的蝕刻速率，其中介電層的植入部是蝕刻停止層。

【0075】 在一些實施例中，第二植入製程包括降低介電層的植入部在蝕刻製程中的蝕刻速率，其中介電層的植入部是蝕刻停止層，第二植入製程包括植入矽、碳、氮或其組合於介電層的植入部內。

【0076】 在一些實施例中，第二植入製程包括降低介電層的植入

部在蝕刻製程中的蝕刻速率，其中介電層的植入部是蝕刻停止層，在第二植入製程之後，介電層的非植入部位於蝕刻停止層的上方。

【0077】 在一些實施例中，第二植入製程包括增加介電層的植入部在蝕刻製程中的蝕刻速率，其中介電層的非植入部是蝕刻停止層。

【0078】 在一些實施例中，第二植入製程包括增加介電層的植入部在蝕刻製程中的蝕刻速率，其中介電層的非植入部是蝕刻停止層，第二道植入製程包括植入氫、氘、矽、鍺、砷、磷、硼或其組合於介電層的植入部內。

【0079】 在一些實施例中，垂直型環繞式閘極電晶體的製造方法更包括在第一植入製程之前，平坦化介電層。

【0080】 本發明一些實施例提供一種垂直型環繞式閘極電晶體的製造方法包括以下步驟。形成圍繞奈米線並沿著奈米線的側壁延伸的第一介電層，其中第一介電層包括底部源極/汲極區域、位於底部源極/汲極區域上方的通道區域以及位於通道區域上方的頂部源極/汲極區域。在第一介電層內，植入第一化學機械研磨停止層。在植入第一化學機械研磨停止層之後，平坦化第一介電層。在平坦化第一介電層之後，執行第一蝕刻製程，使第一介電層的頂表面與底部源極/汲極區域的頂表面實質上齊平。形成圍繞通道區域的閘極結構。形成位於第一介電層的上方並於閘極結構上方延伸的第二介電層。植入第二化學機械研磨停止層在第二介電層內。在植入第二化學機械研磨停止層之後，平坦化第二介電層。在平坦化第二介電層之後，執行第二蝕刻製程，使第二介電層的頂表

面與通道區域的頂表面實質上齊平。

【0081】 在一些實施例中，垂直型環繞式閘極電晶體的製造方法更包括在植入第一化學機械研磨停止層之前，平坦化第一化學機械研磨停止層。

【0082】 在一些實施例中，垂直型環繞式閘極電晶體的製造方法更包括在第一蝕刻製程之前，植入蝕刻停止層在第一介電層內，其中在第一蝕刻製程中，第一介電層的蝕刻速率大於蝕刻停止層的蝕刻速率。

【0083】 在一些實施例中，垂直型環繞式閘極電晶體的製造方法更包括在第一蝕刻製程之前，在第一介電層內植入蝕刻層，其中在第一蝕刻製程中，第一介電層的蝕刻速率小於蝕刻層的蝕刻速率。

【0084】 在一些實施例中，垂直型環繞式閘極電晶體的製造方法，更包括在第二道蝕刻製程之後，移除於閘極結構上方延伸的部分第二介電層，以暴露出頂部源極/汲極區域；形成圍繞頂部源極/汲極區域的第三介電層；形成延伸穿過第三介電層並與頂部源極/汲極區域電性連接的第一源極/汲極接觸；形成延伸穿過第二介電層以及第三介電層並與閘極結構電性連接的閘極接觸；以及形成延伸穿過第一介電層、第二介電層以及第三介電層而並與底部源極/汲極區域電性連接的第二源極/汲極接觸。

【0085】 以上概述了數個實施例的特徵，使本領域具有通常知識者可更佳了解本揭露的態樣。本領域具有通常知識者應理解，其可輕易地使用本揭露做為設計或修改其他製程與結構的依據，以實行本文所介紹的實施例的相同目的及/或達到相同優點。本領域

具有通常知識者還應理解，這種等效的配置並不悖離本揭露的精神與範疇，且本領域具有通常知識者在不悖離本揭露的精神與範疇的情況下可對本文做出各種改變、置換以及變更。

【符號說明】

【0086】

- 100：流程圖
- 102、104、106、108、110、112、114：步驟
- 200：半導體元件
- 200A：頂表面
- 202：基板
- 204A：N 井
- 204B：P 井
- 206A、206B、208A、208B、210A、210B：半導體區域
- 211：多層基板
- 212A、212B：奈米線
- 214：自對準金屬矽化物區域
- 216、240、254：介電層
- 216A、240A：（未摻雜）區域、（頂）區域
- 216B、240B：上部
- 218：接觸蝕刻停止層
- 220、242：化學機械研磨（CMP）停止層

222、226、230、244、248、252：植入製程

224、246：蝕刻停止層

228、250：蝕刻層

232A、232B：閘極結購

234：閘介電層

236a、236B：功函數金屬層

238：閘極層

256：開口

260：源極/汲極接觸、接觸結構

262：閘極接觸、接觸結構

264：金屬間介電層

266：導電結構

302、304：元件區域

H1：高度

W1：寬度

【發明申請專利範圍】

【第1項】 一種垂直型環繞式閘極電晶體的製造方法，包括：

形成從基板向上延伸的奈米線，其中奈米線包括底部半導體區域、位於底部半導體區域上方的中間半導體區域以及位於中間半導體區域上方的頂部半導體區域；

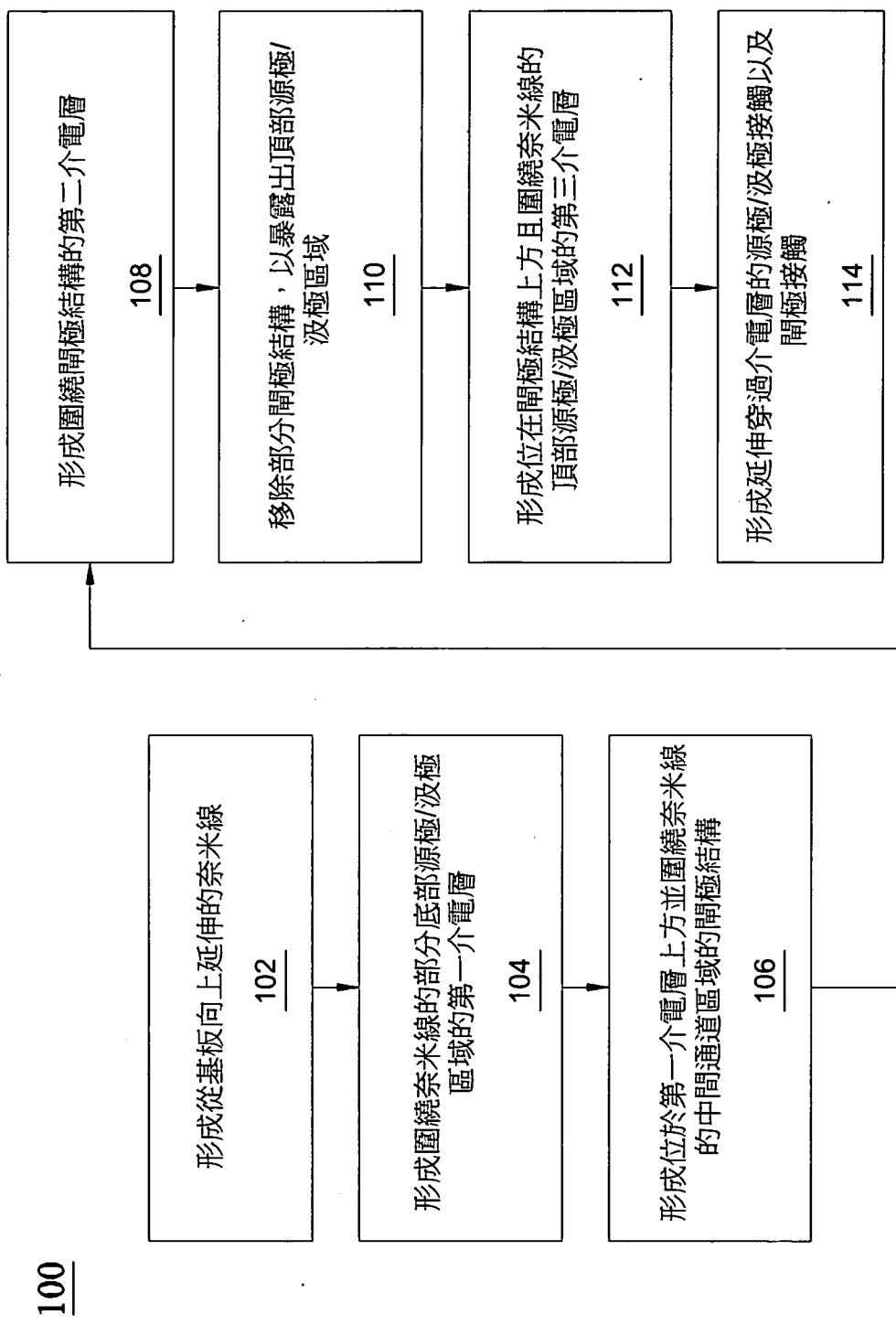
形成圍繞奈米線並於奈米線上方延伸的介電層；

藉由植入製程，在介電層內部形成化學機械研磨停止層；以

及

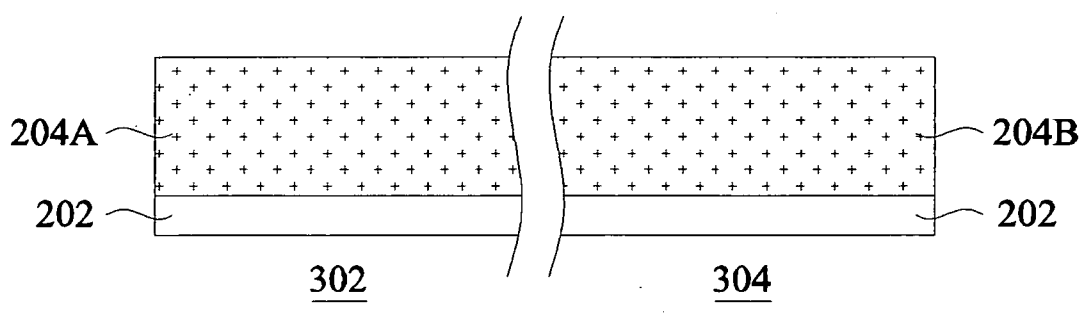
形成化學機械研磨停止層後，平坦化介電層。

【發明圖式】



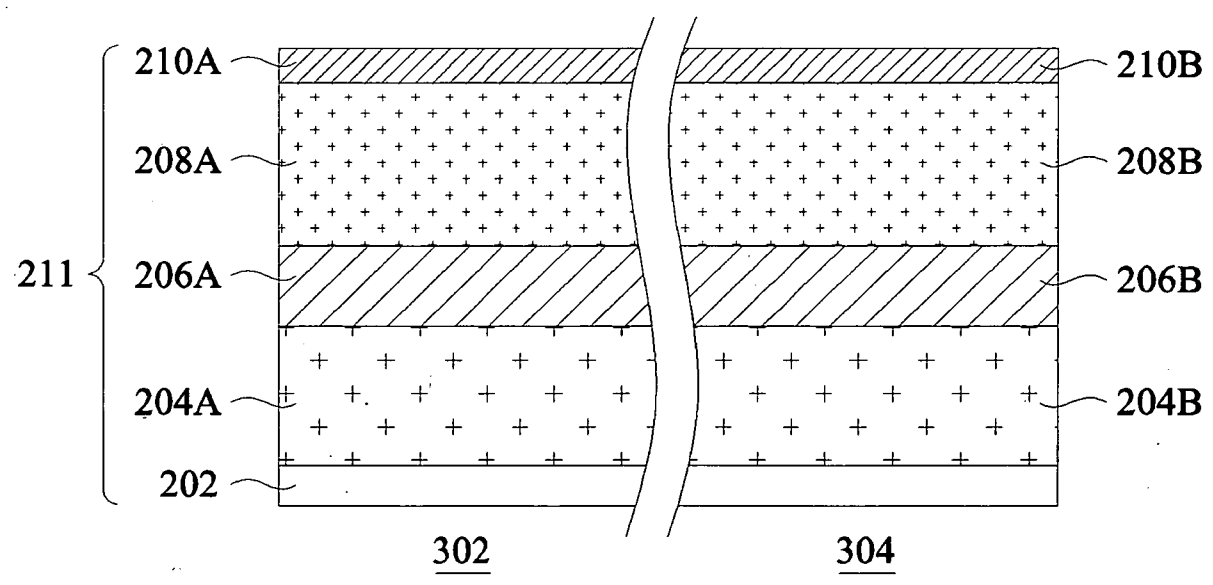
【圖1】

200

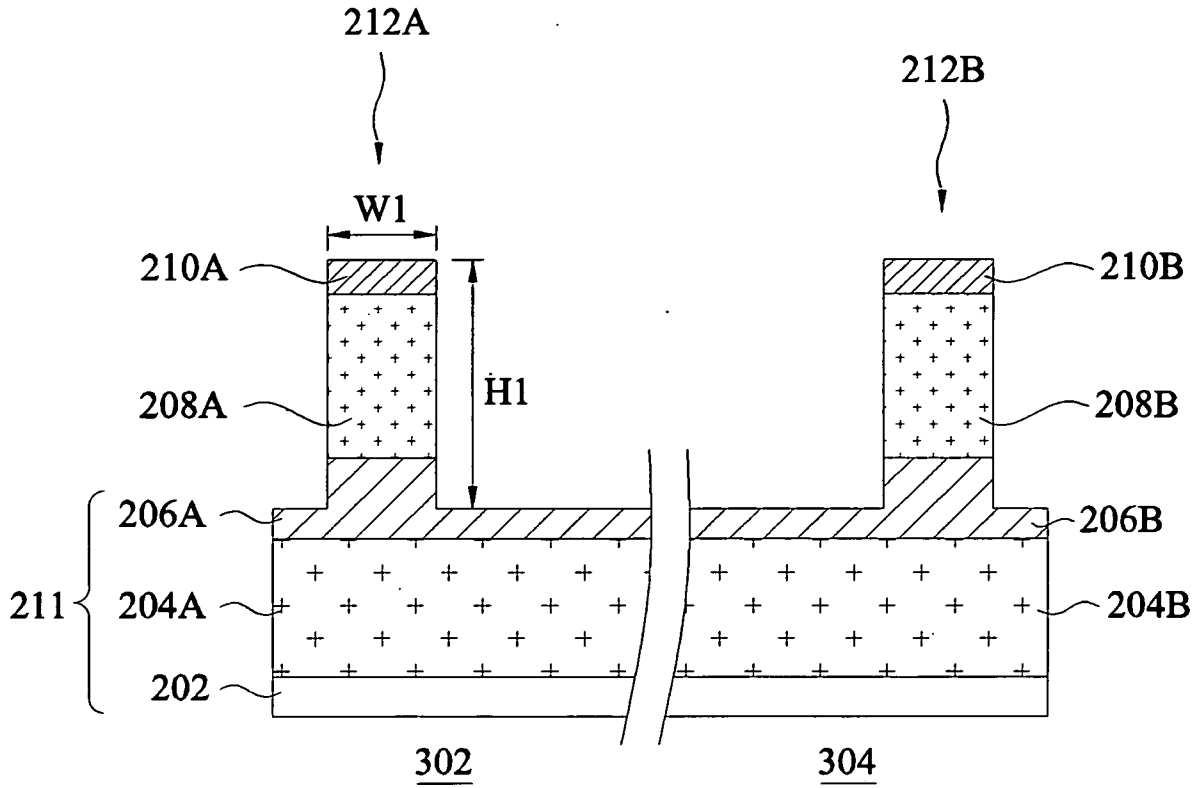


【圖2】

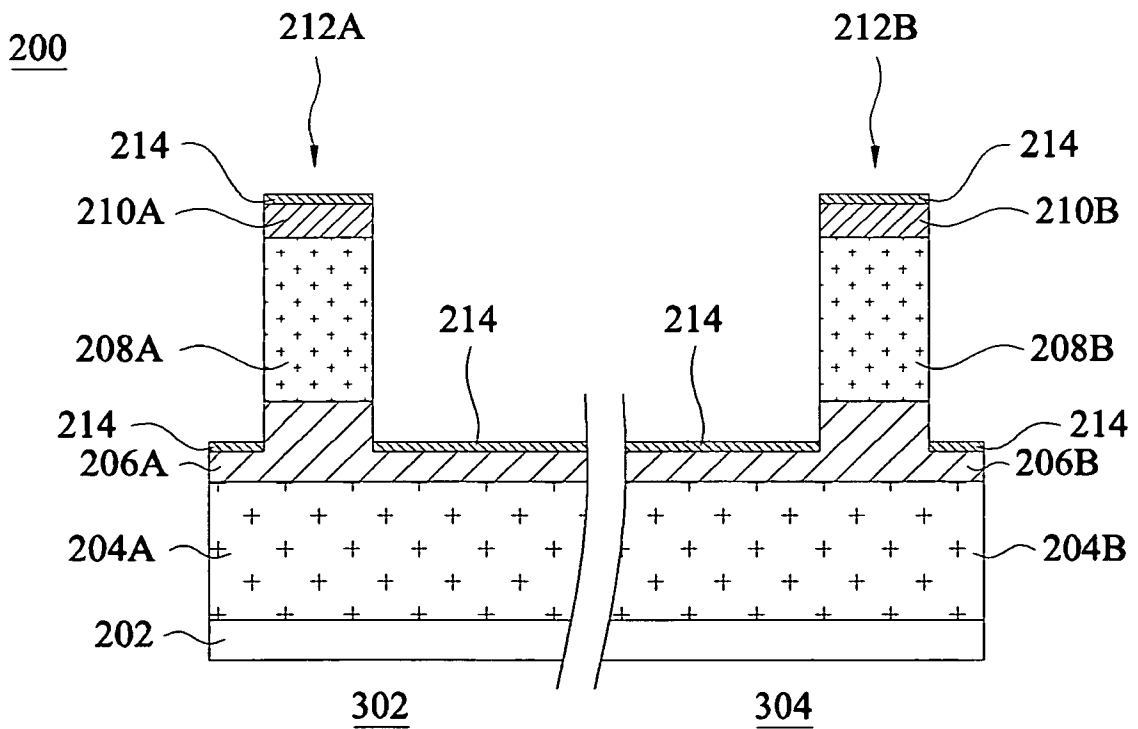
200



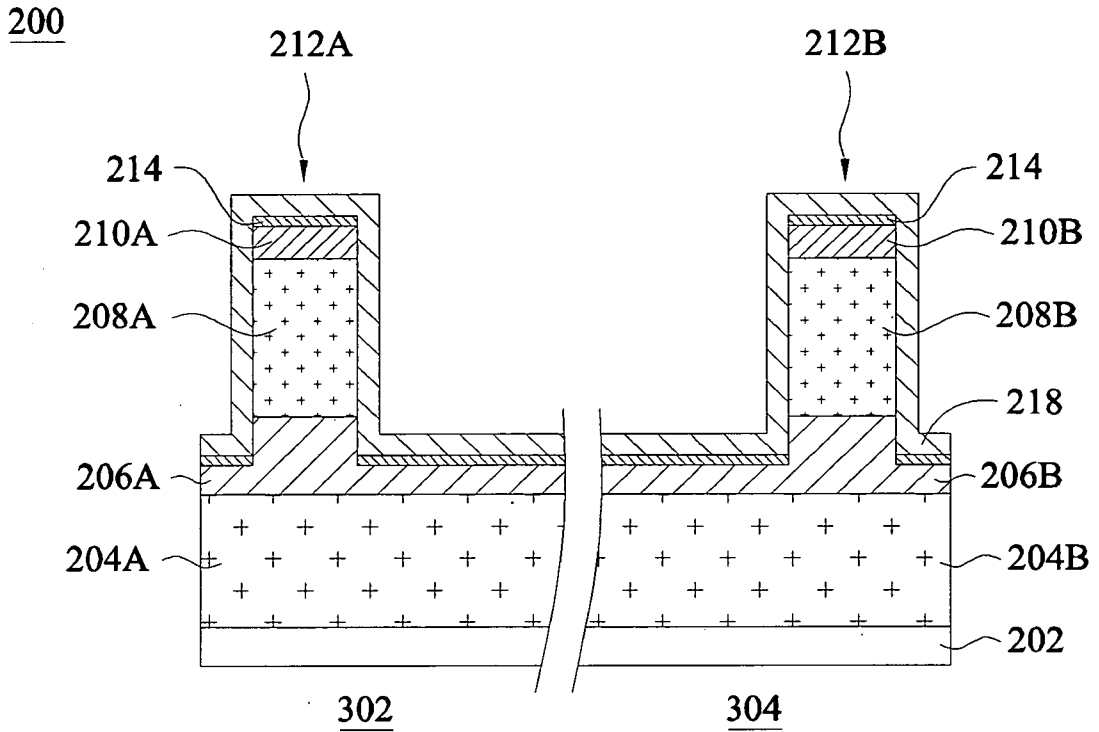
【圖3】



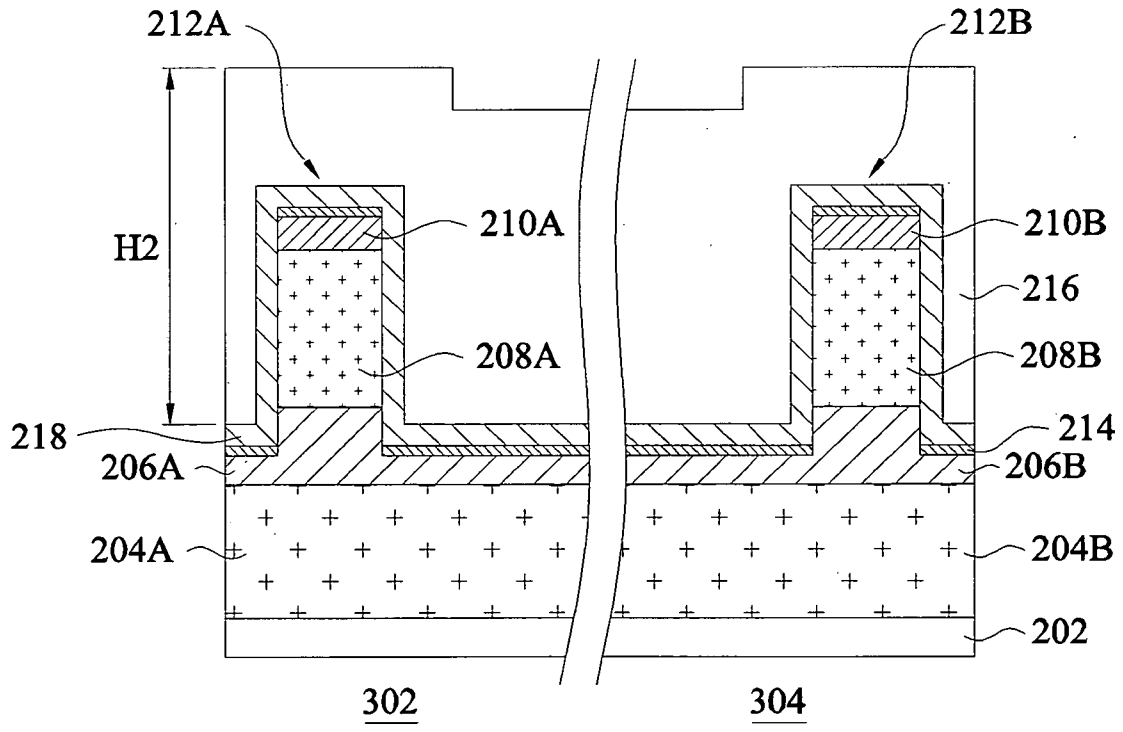
【圖4】



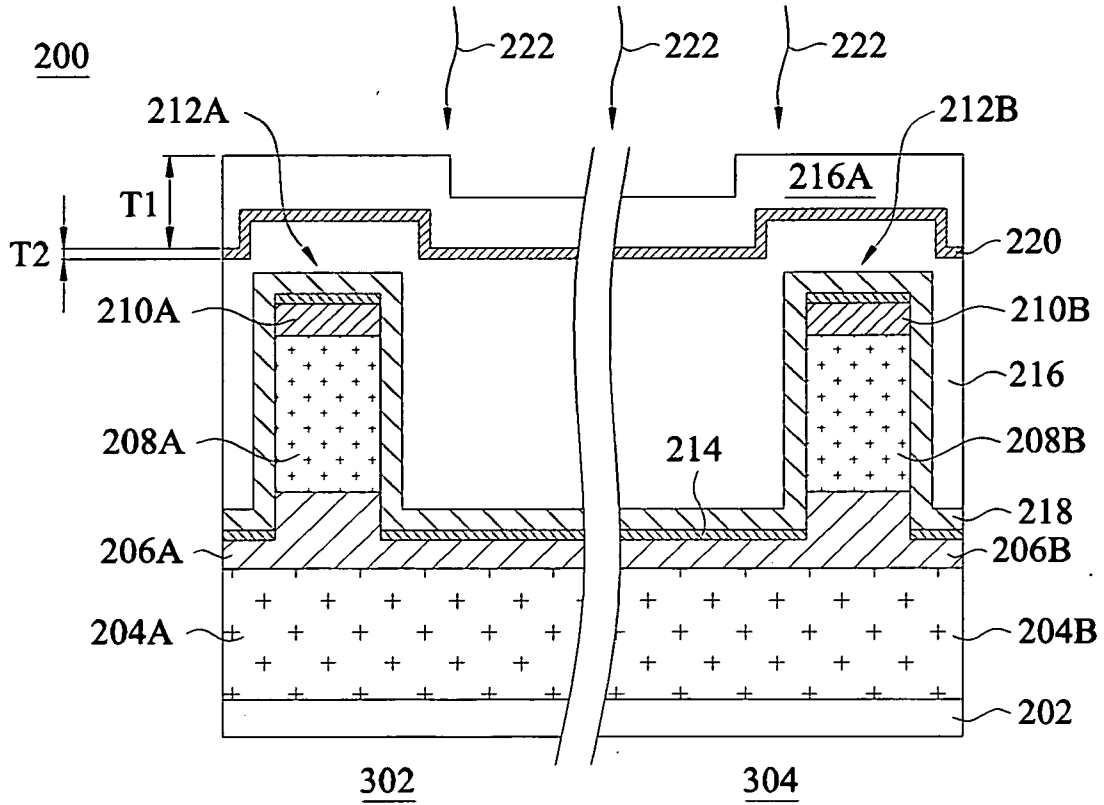
【圖5】



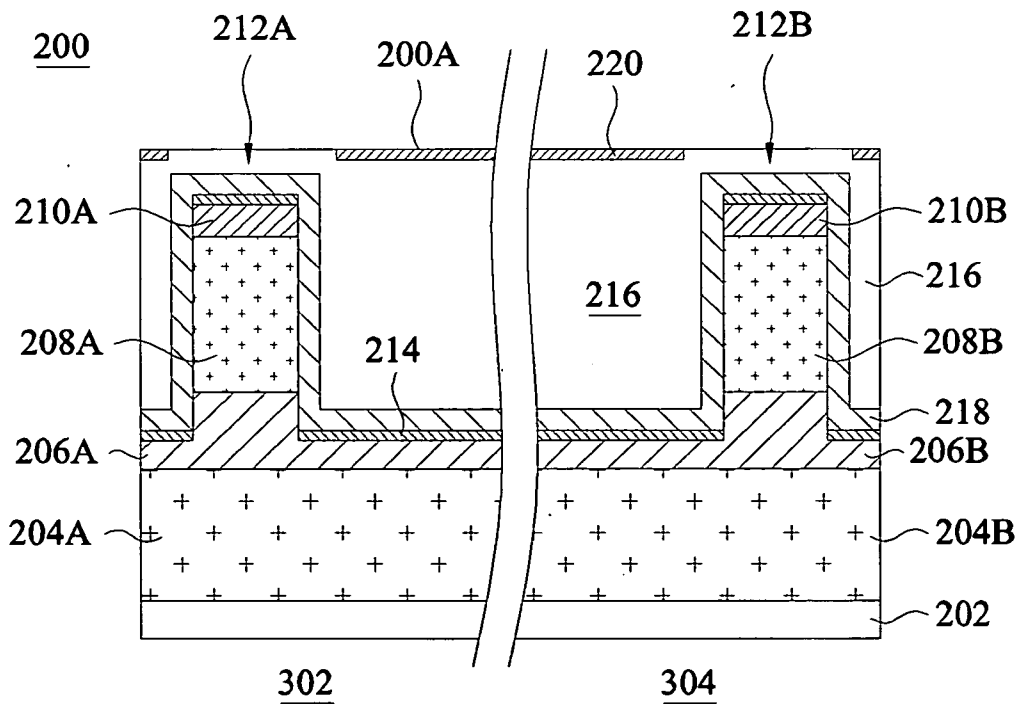
【圖6】



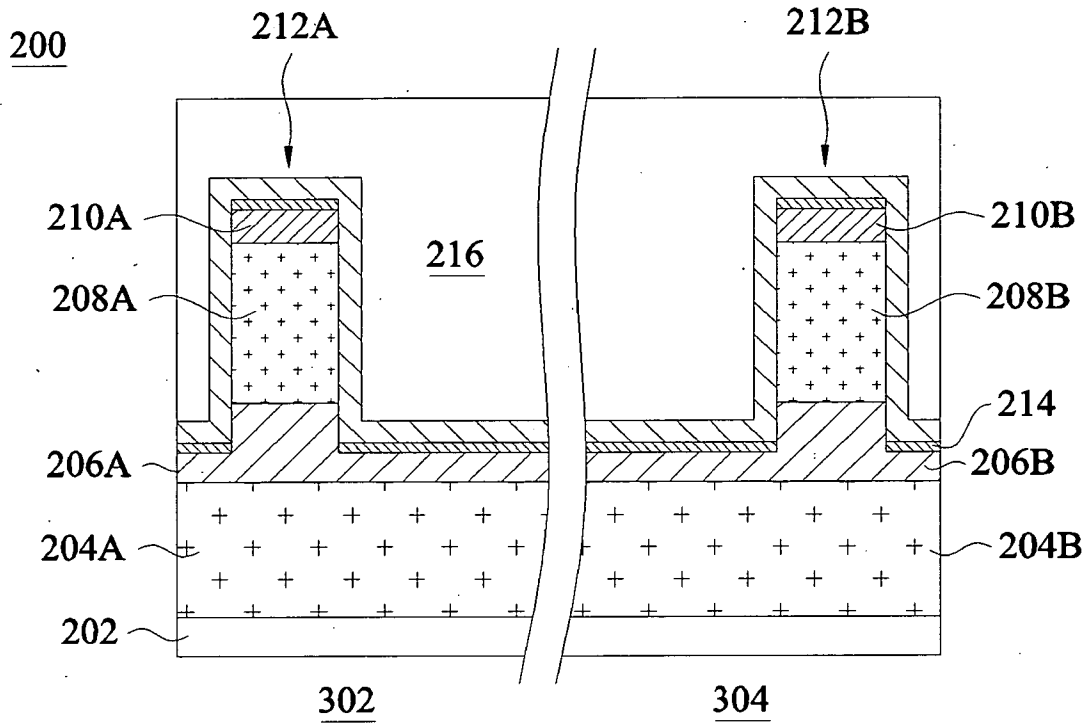
【圖7】



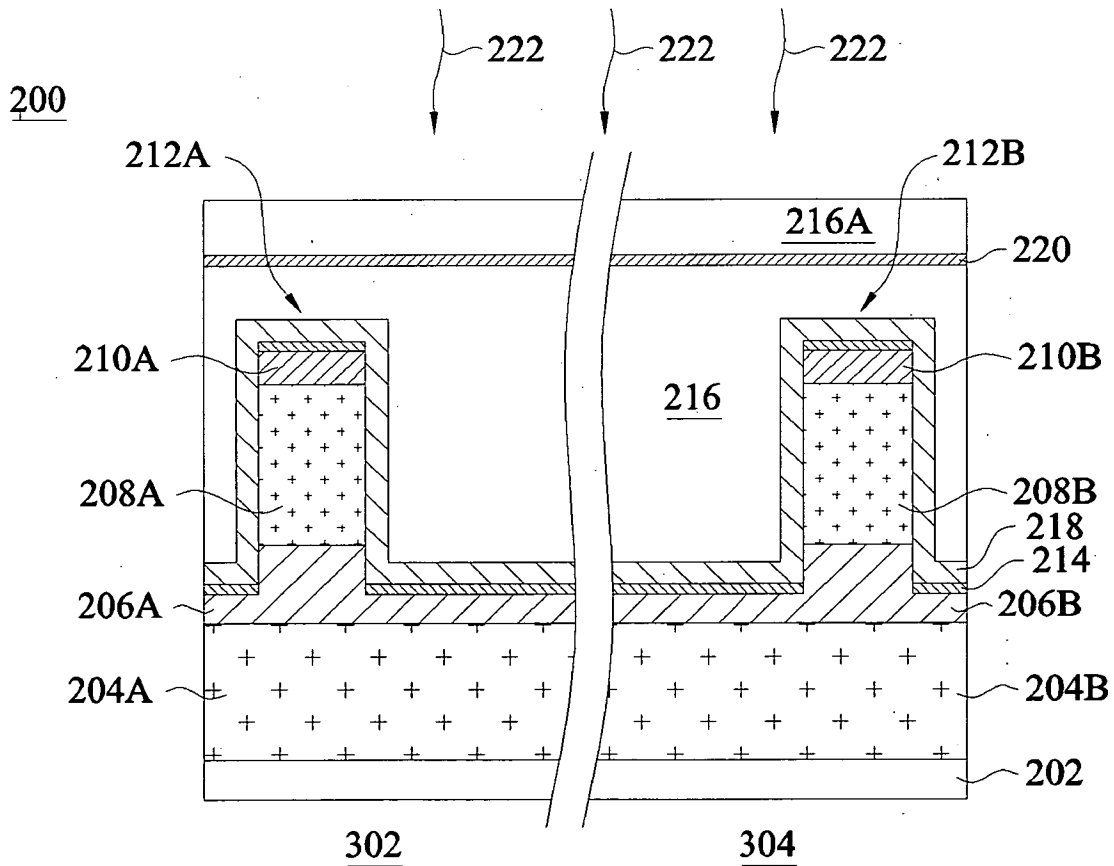
【圖8A】



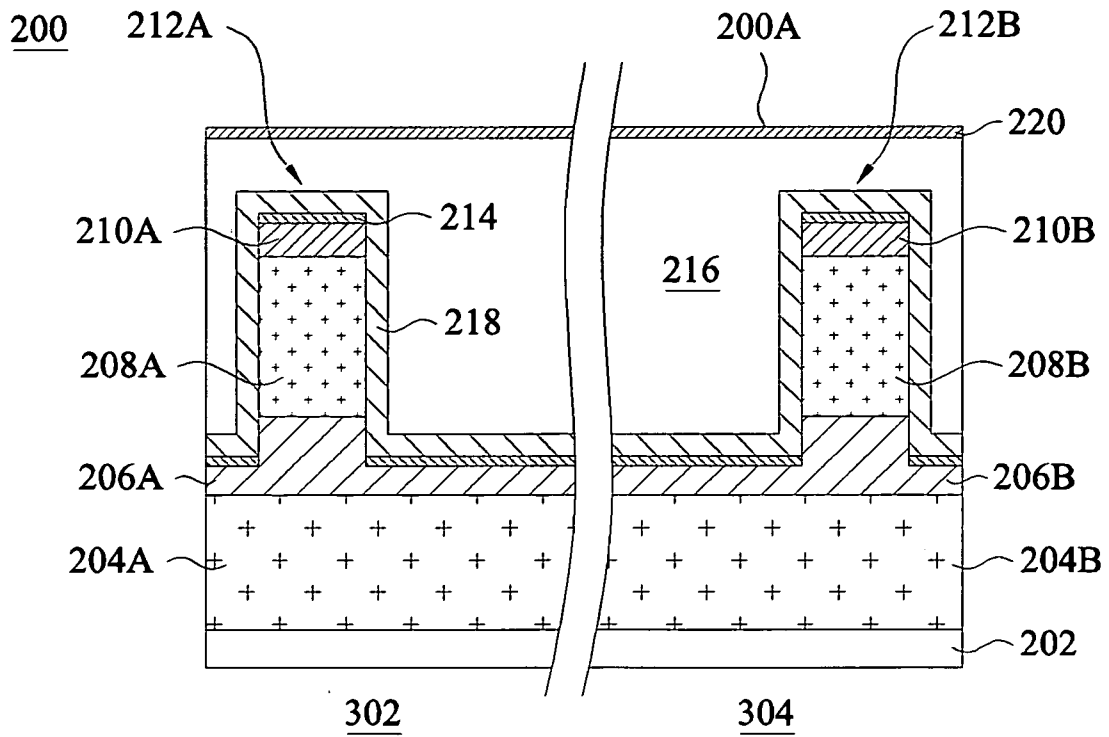
【圖8B】



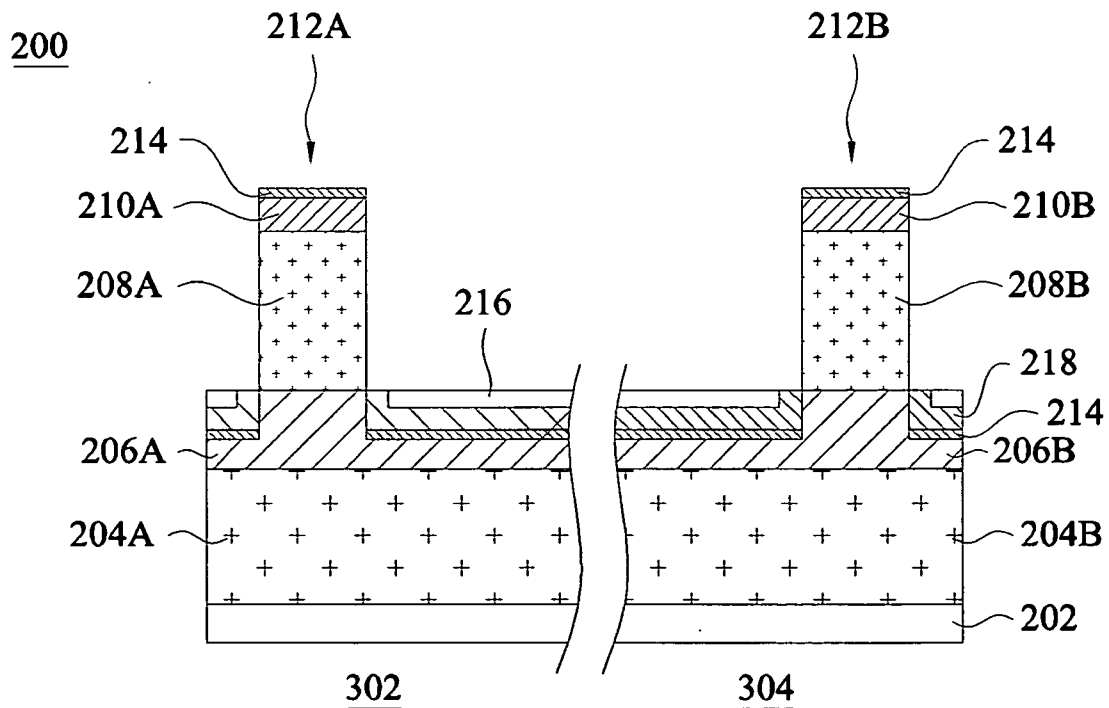
【圖9A】



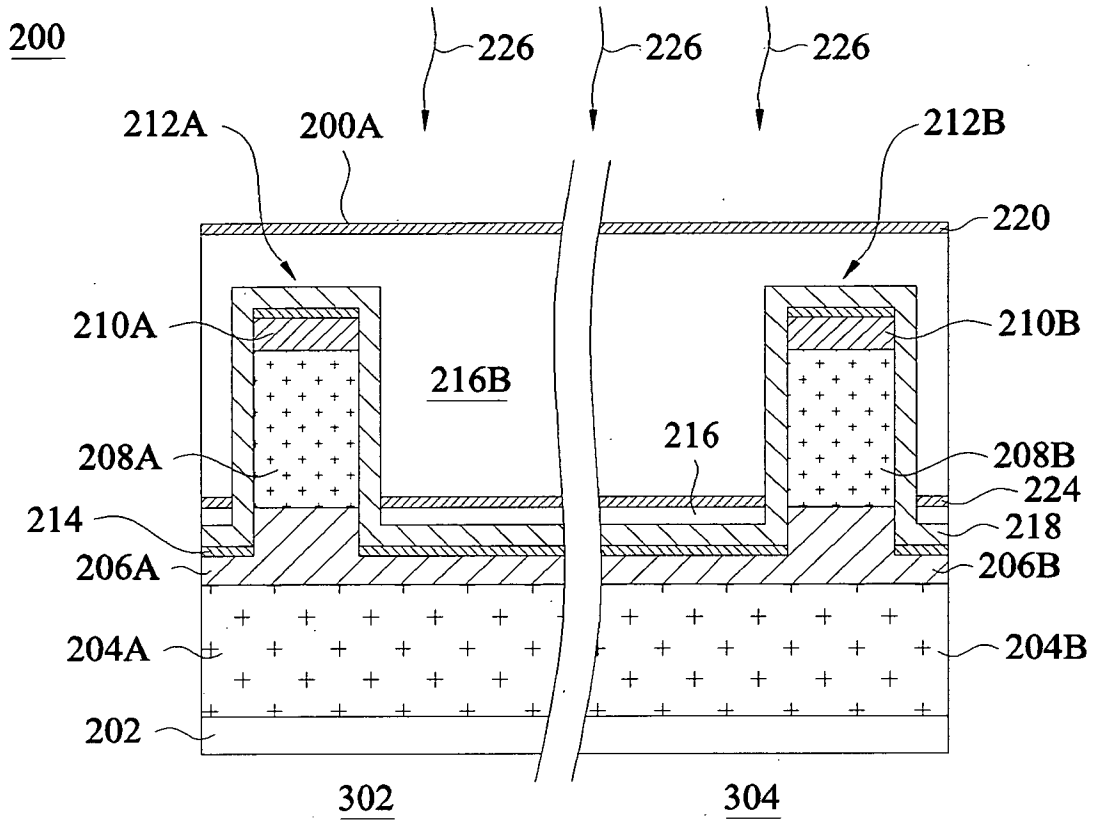
【圖9B】



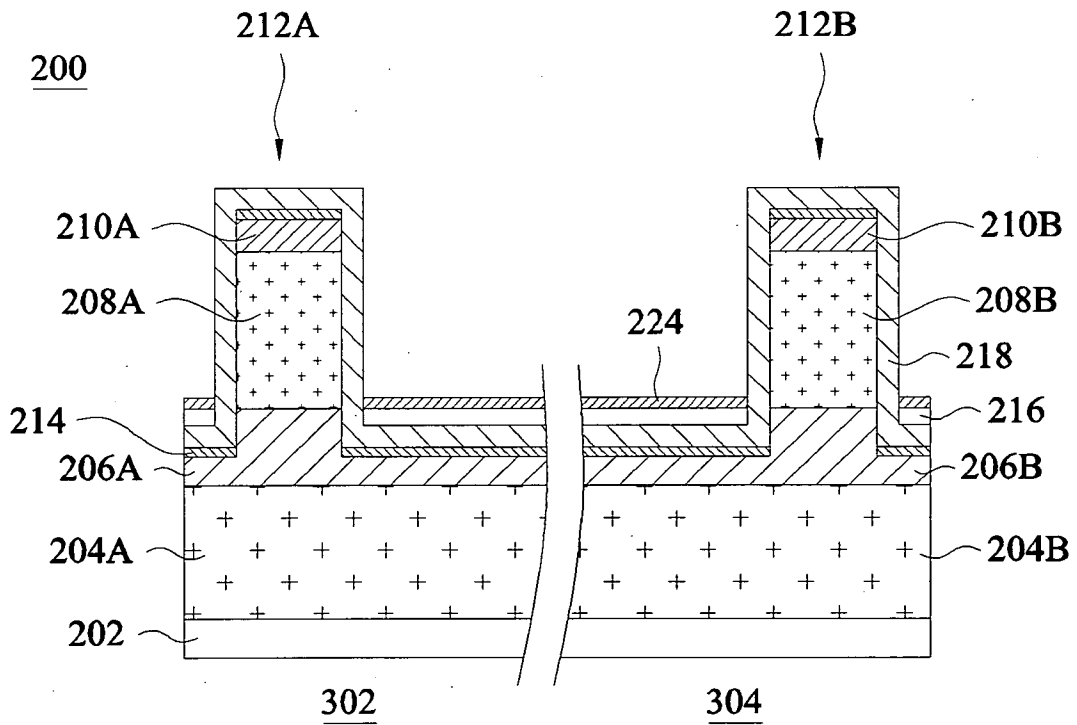
【圖9C】



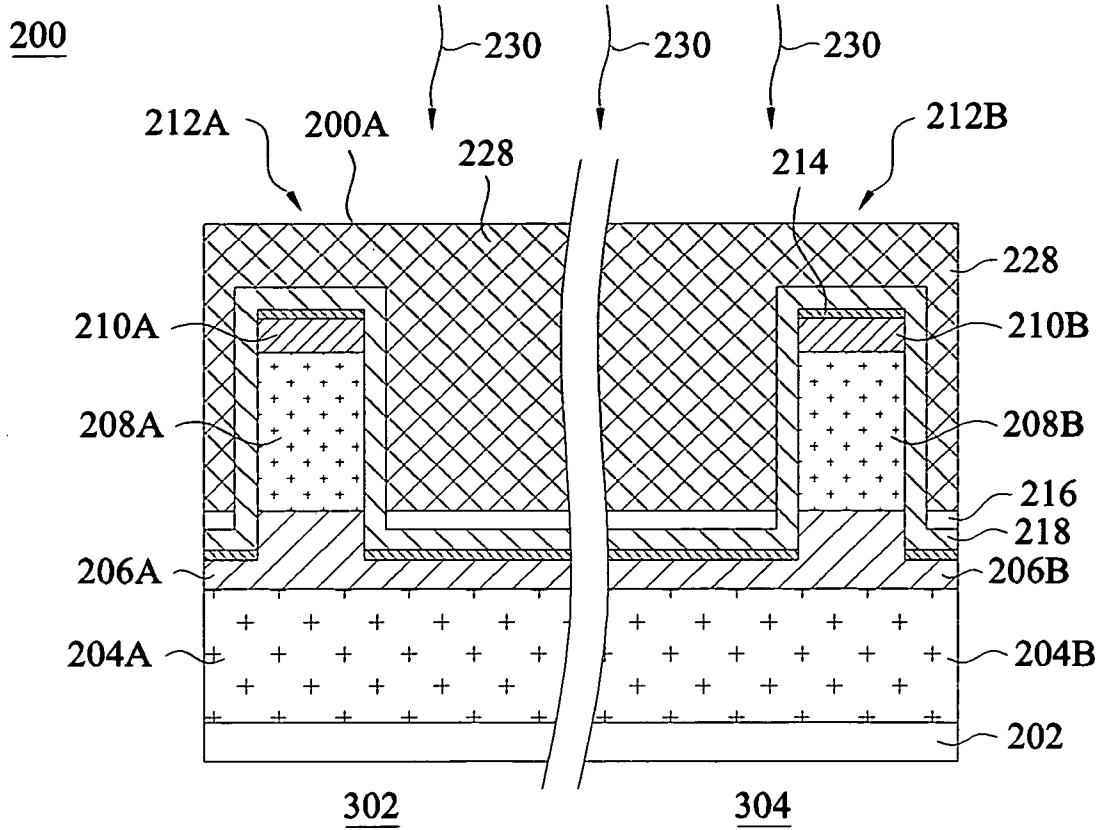
【圖10】



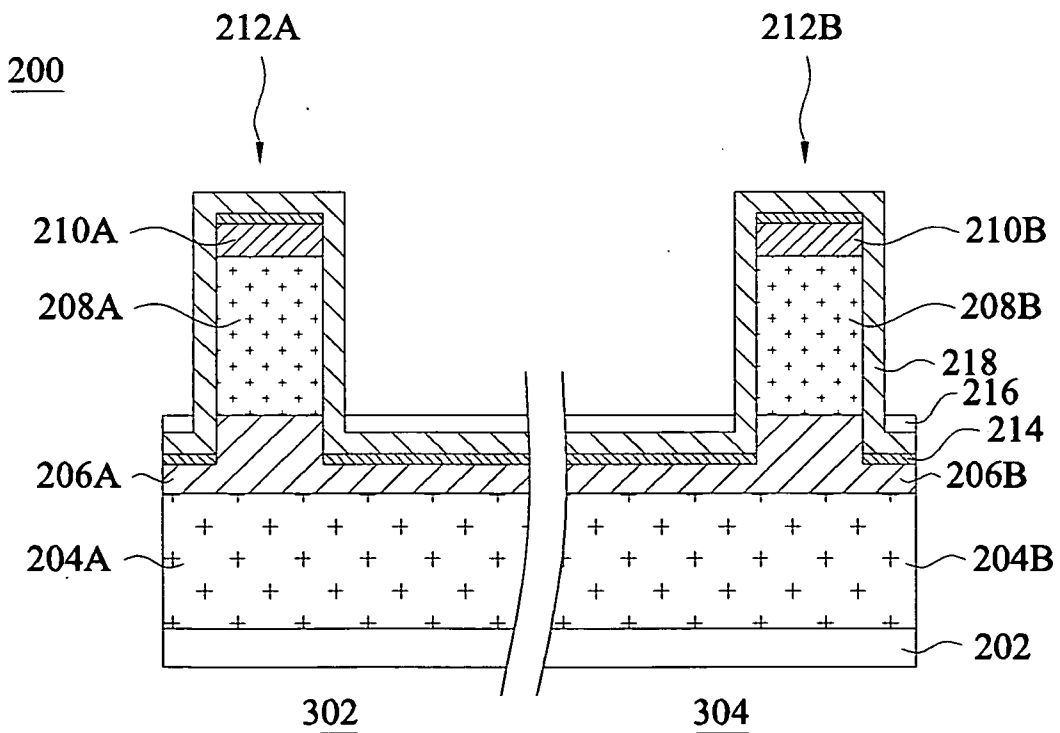
【圖11A】



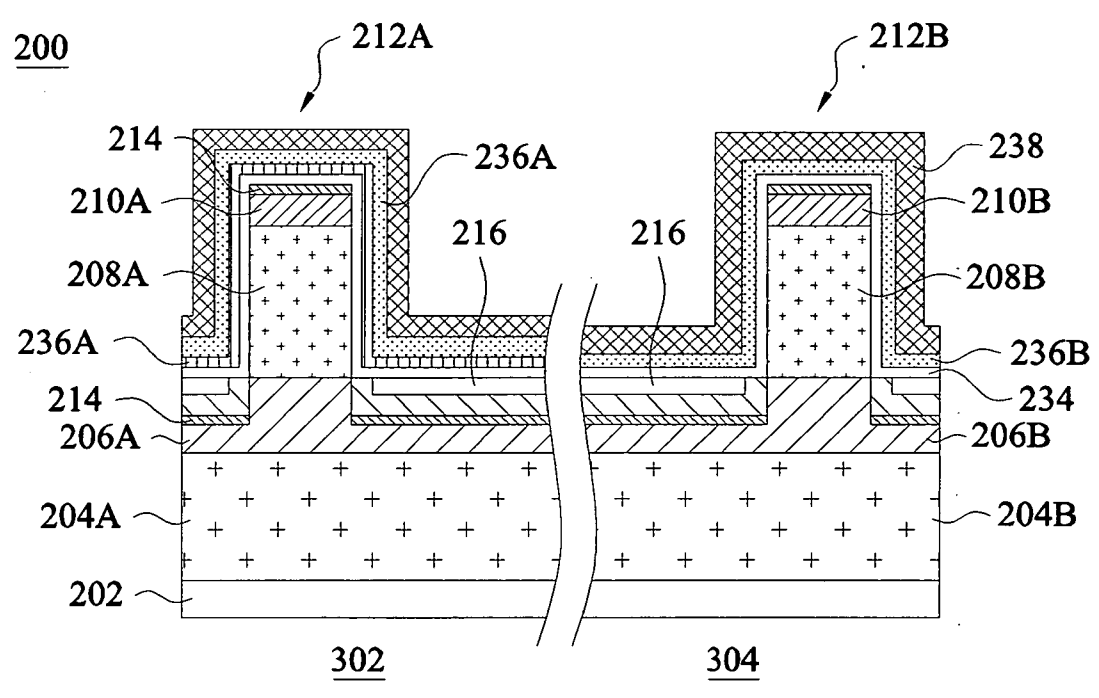
【圖11B】



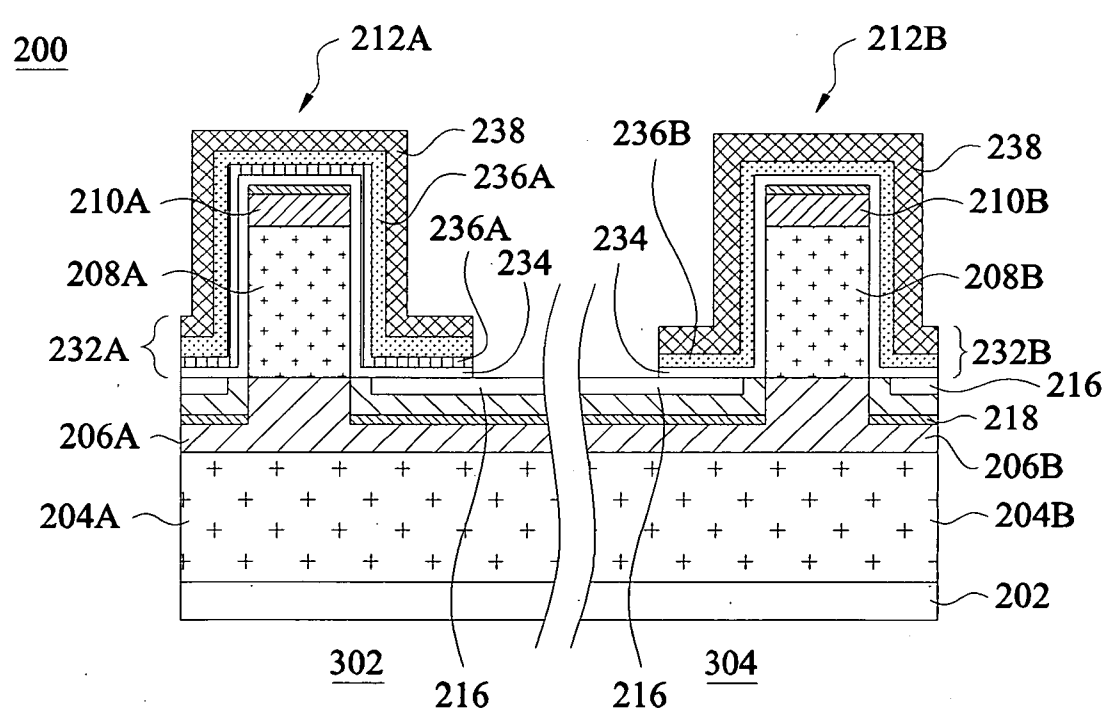
【圖12A】



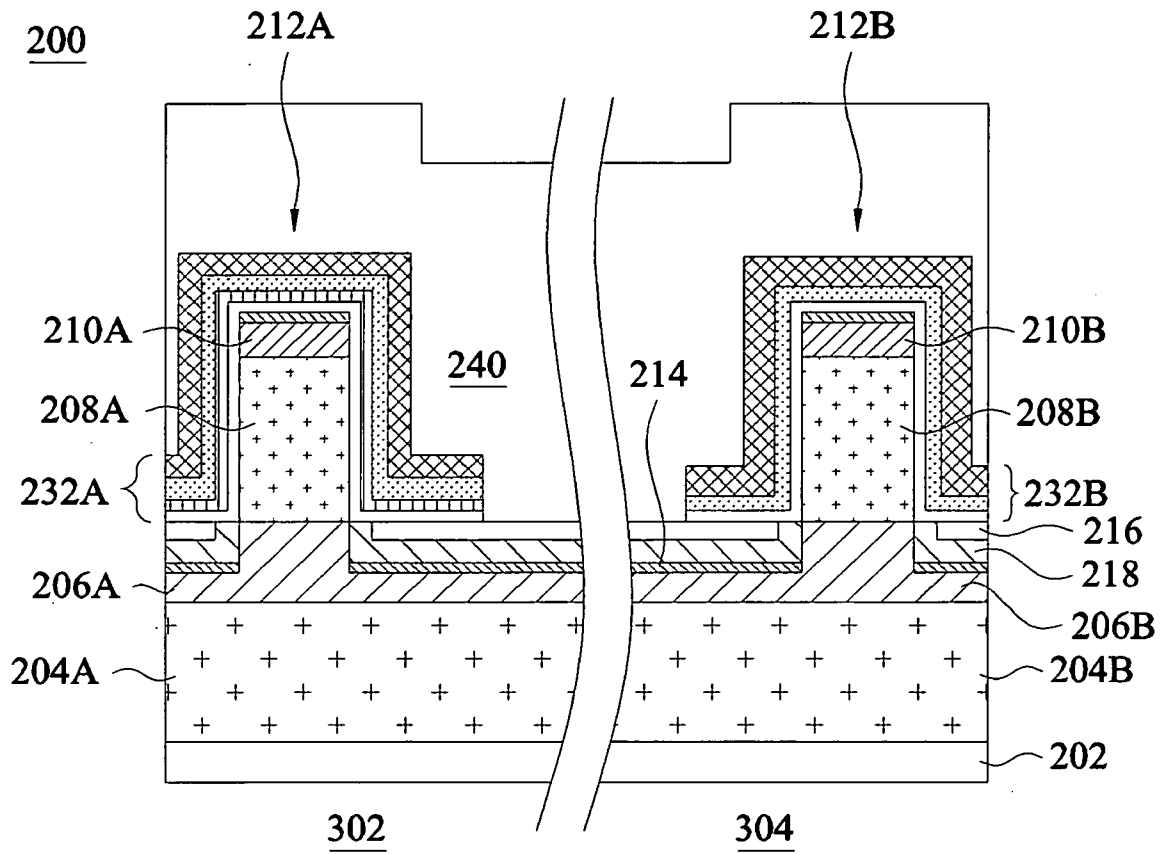
【圖12B】



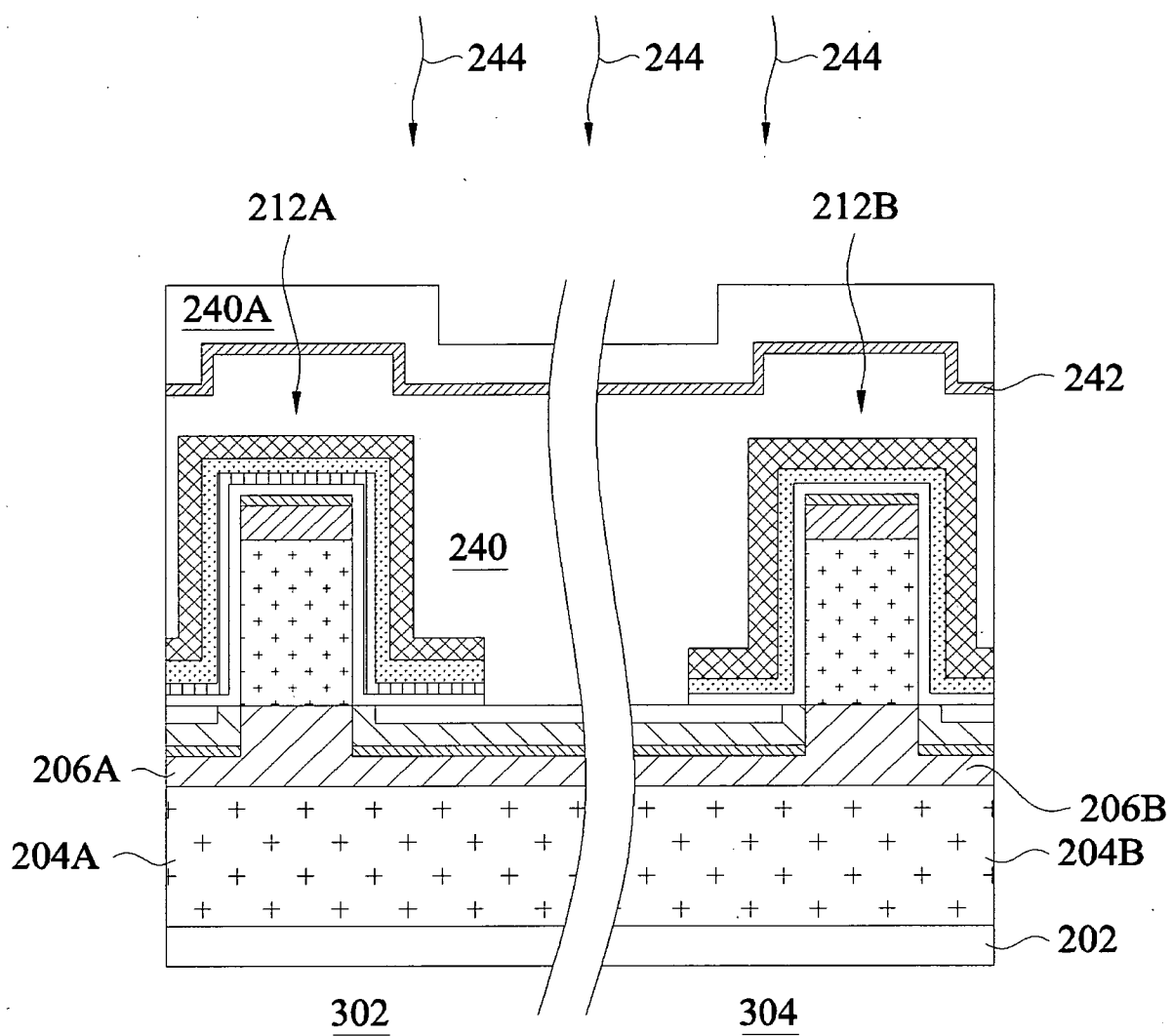
【圖13】



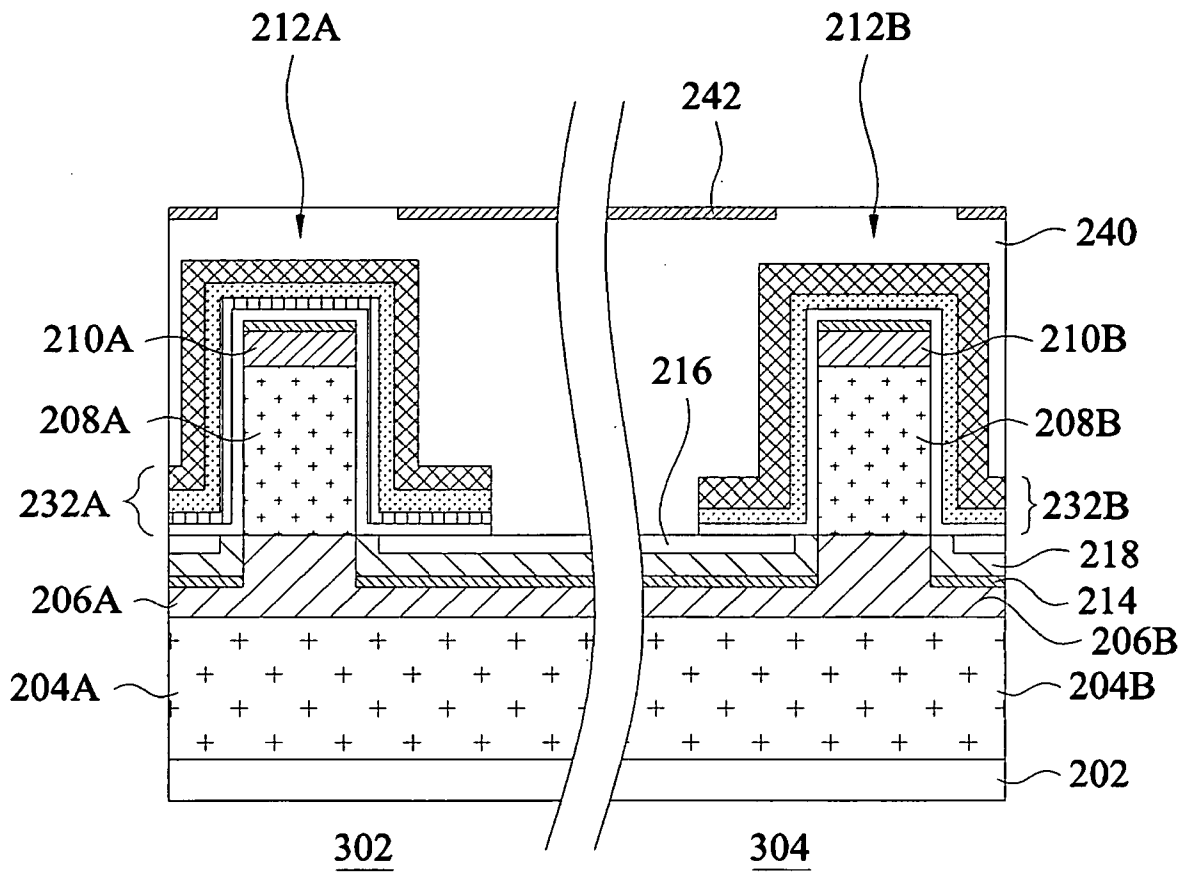
【圖14】



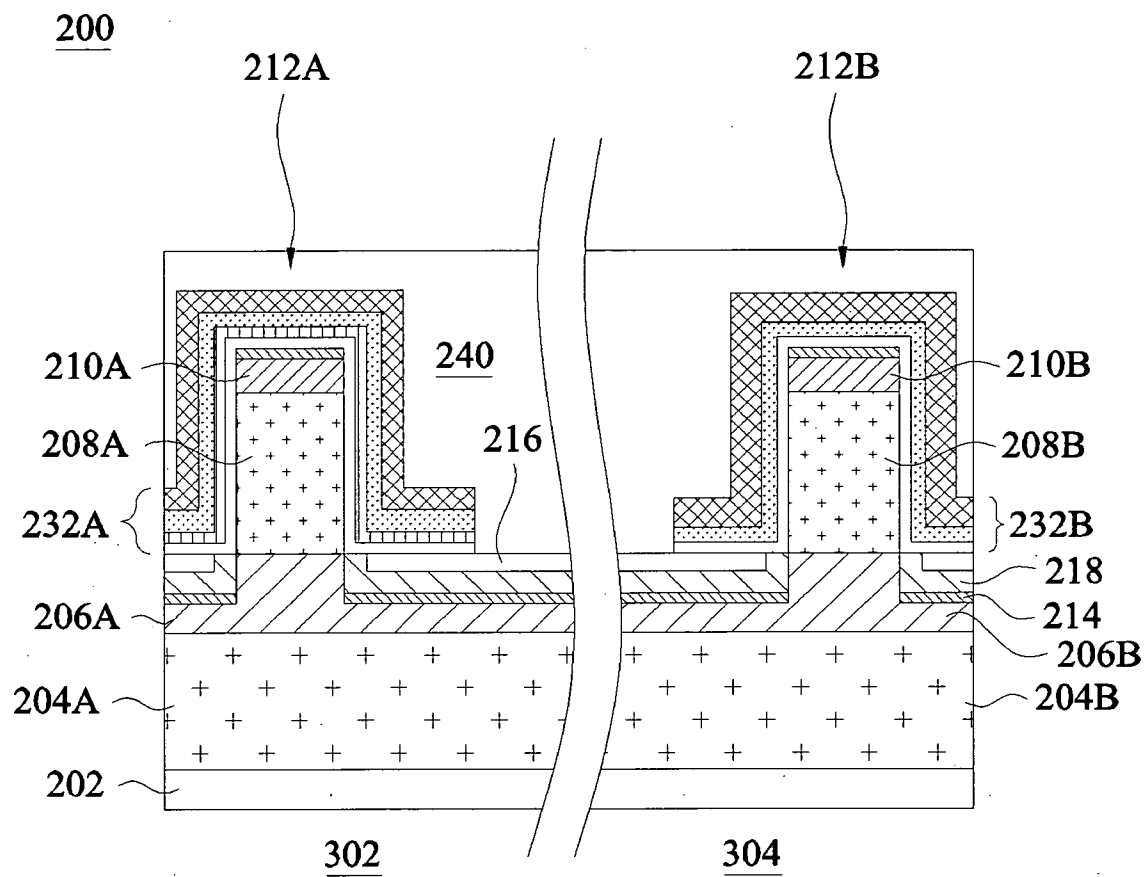
【圖15】



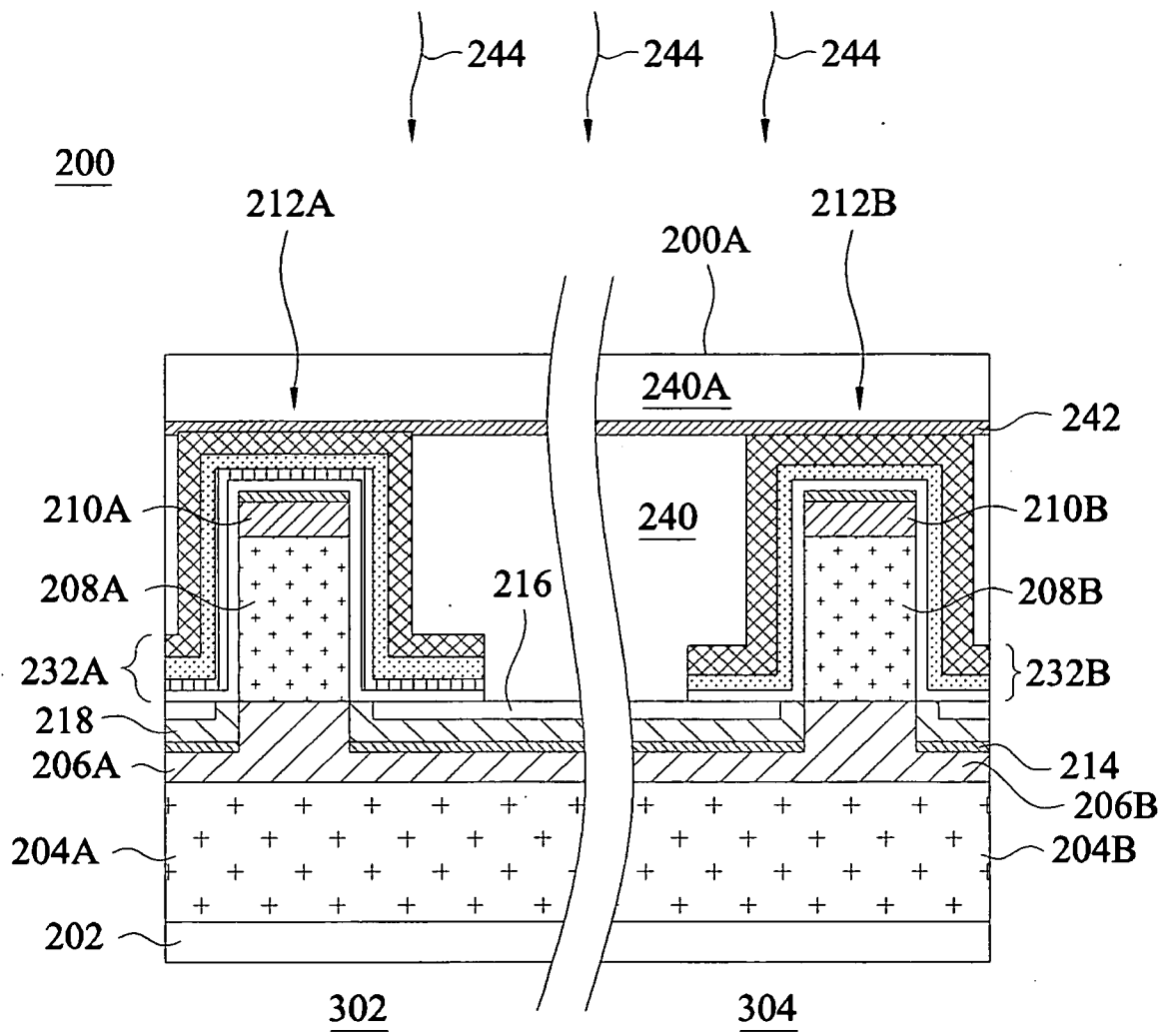
【圖16A】



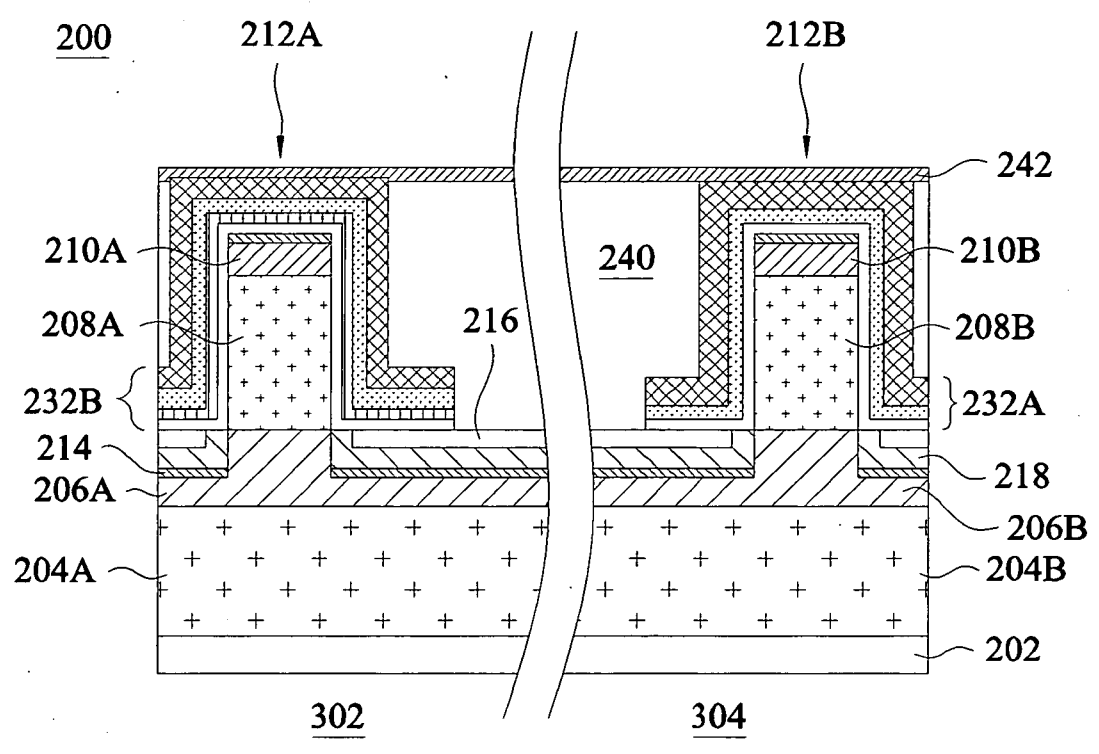
【圖16B】



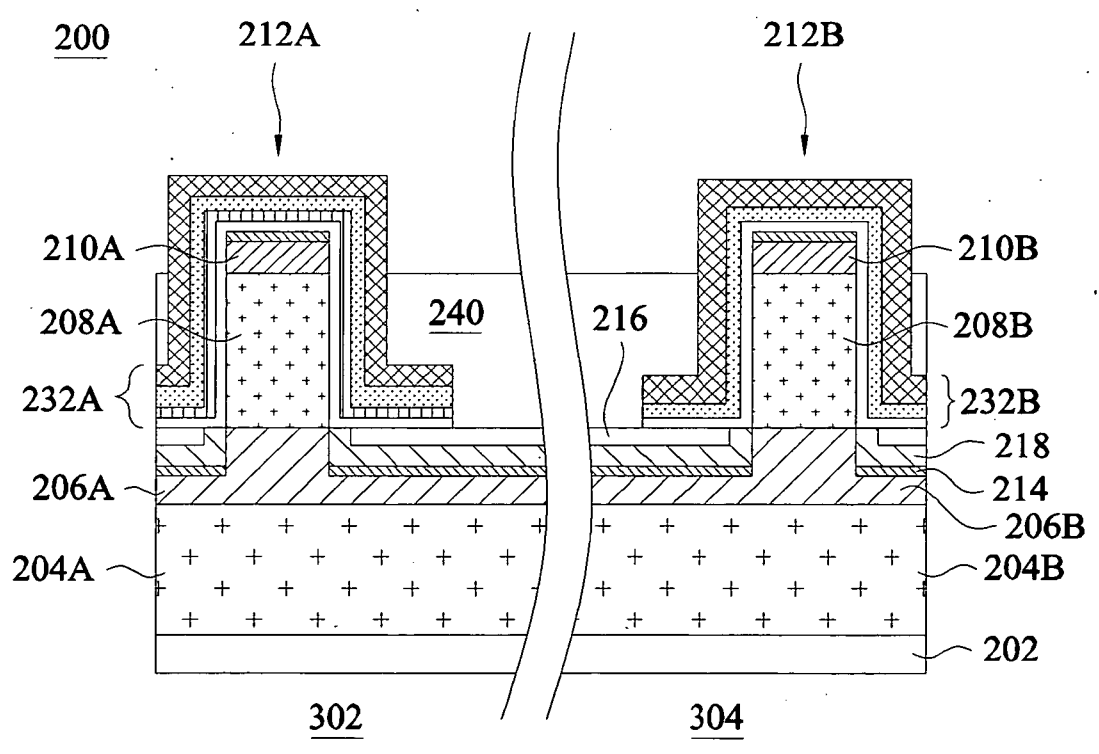
【圖17A】



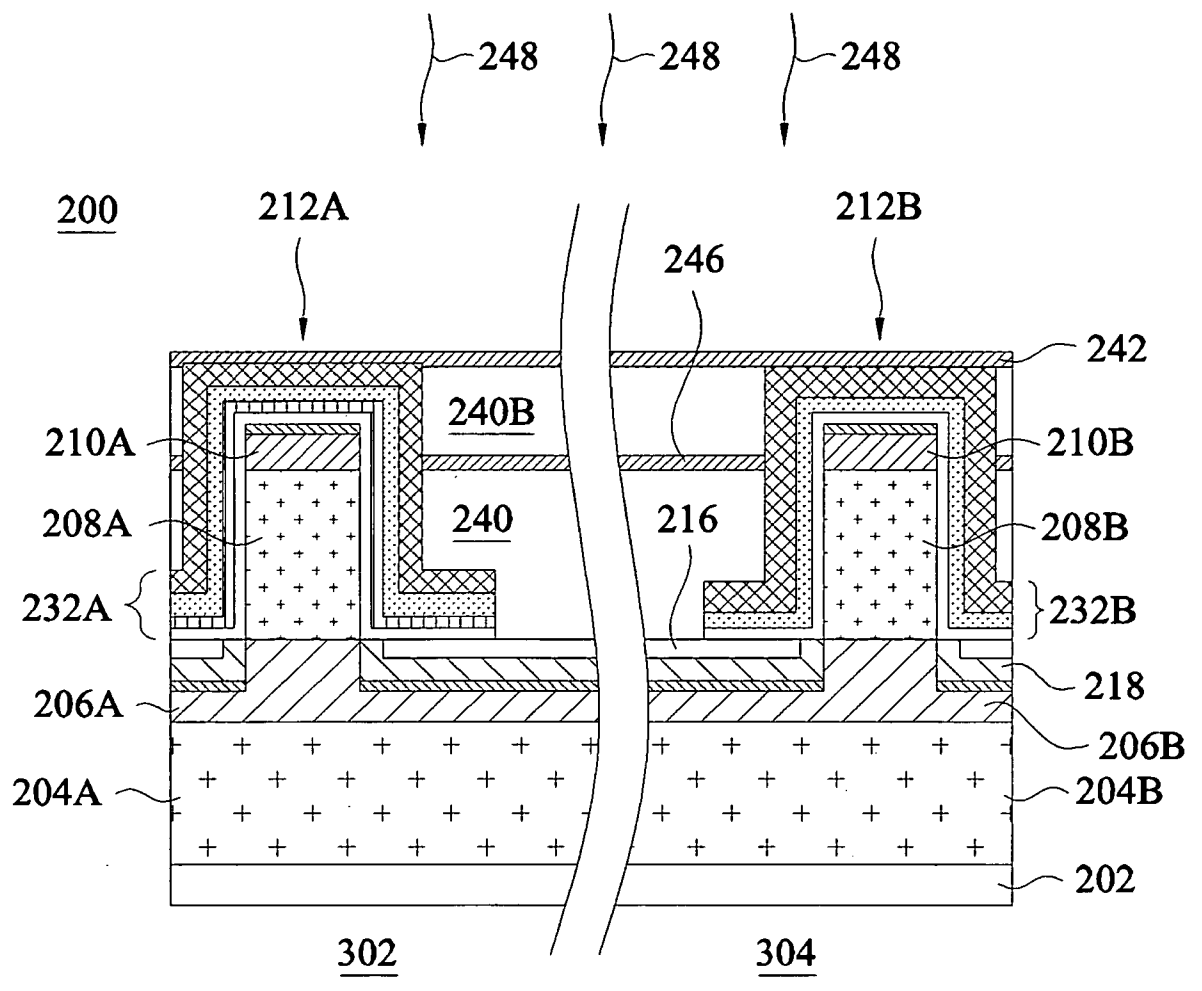
【圖17B】



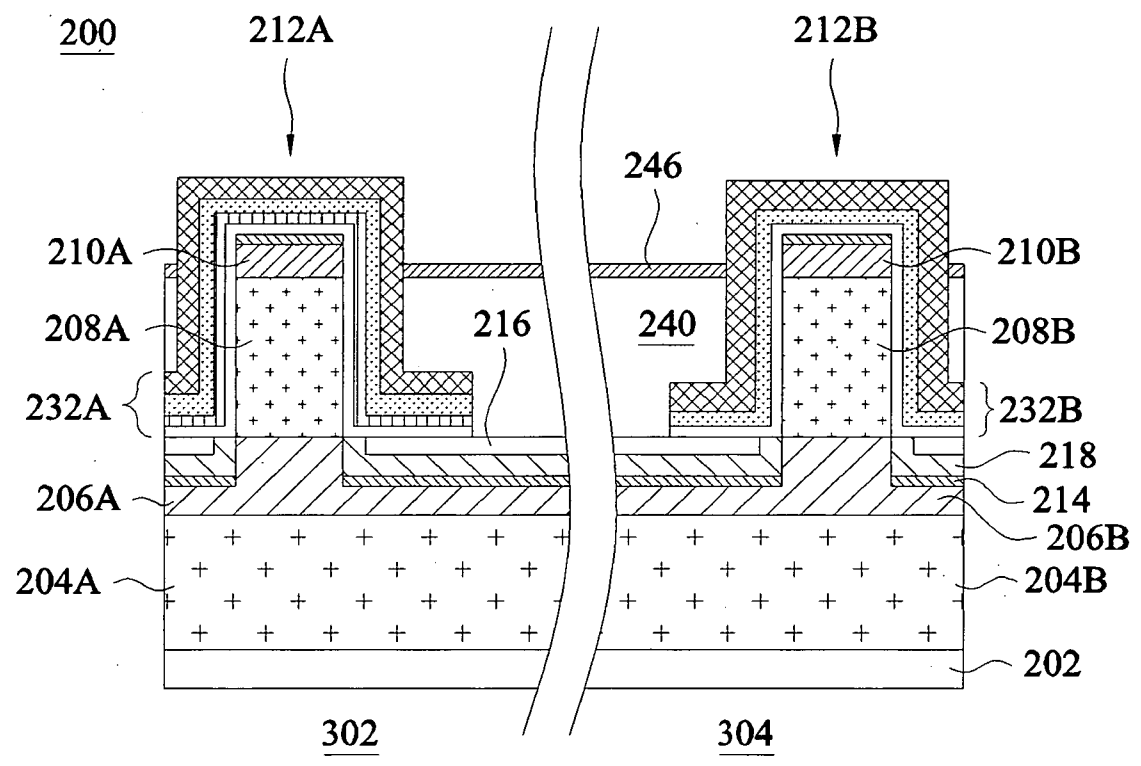
【圖17C】



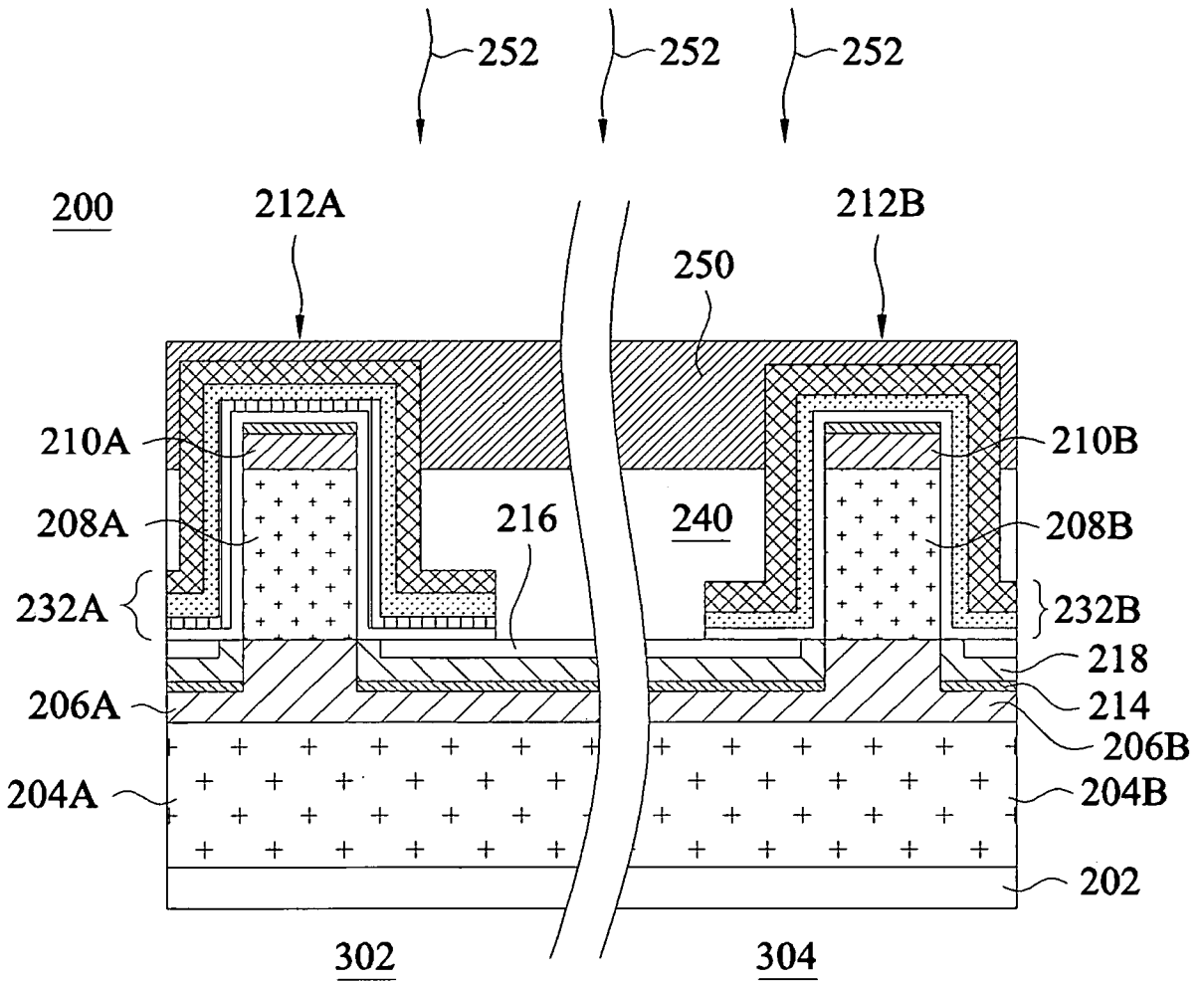
【圖18】



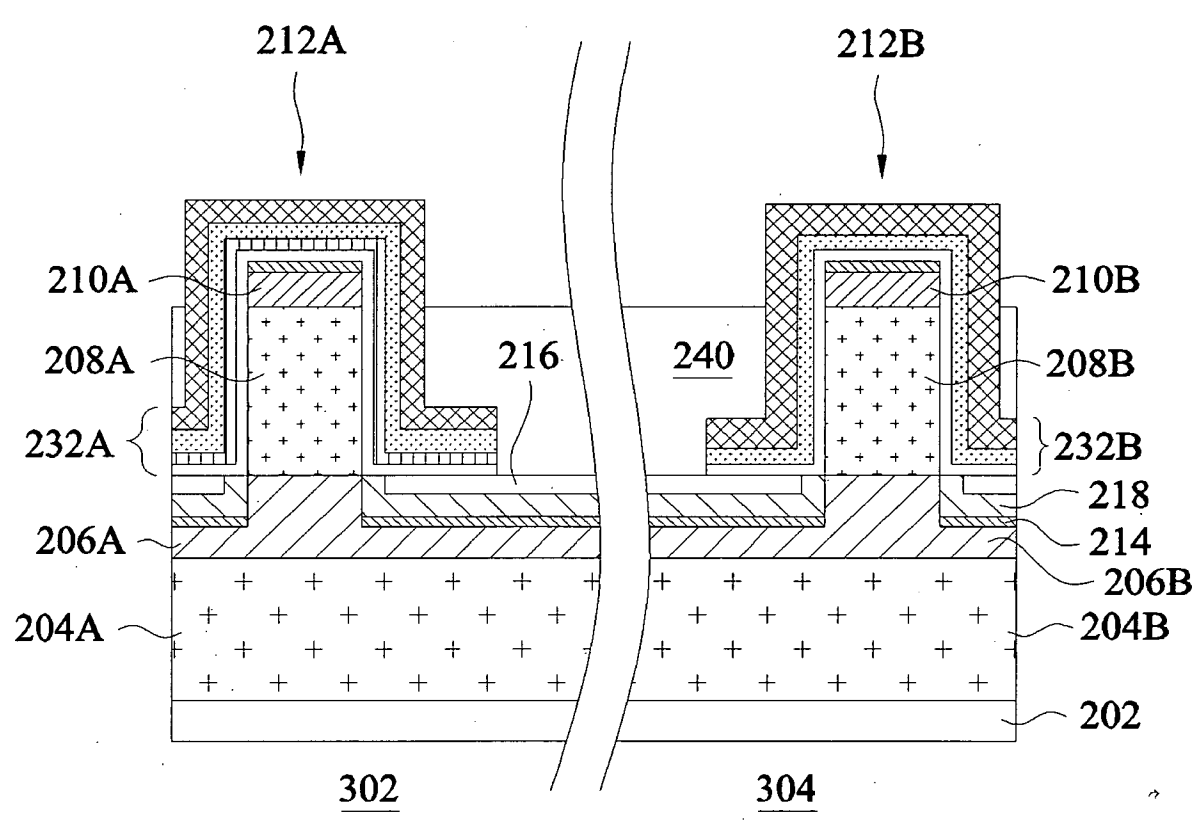
【圖19A】



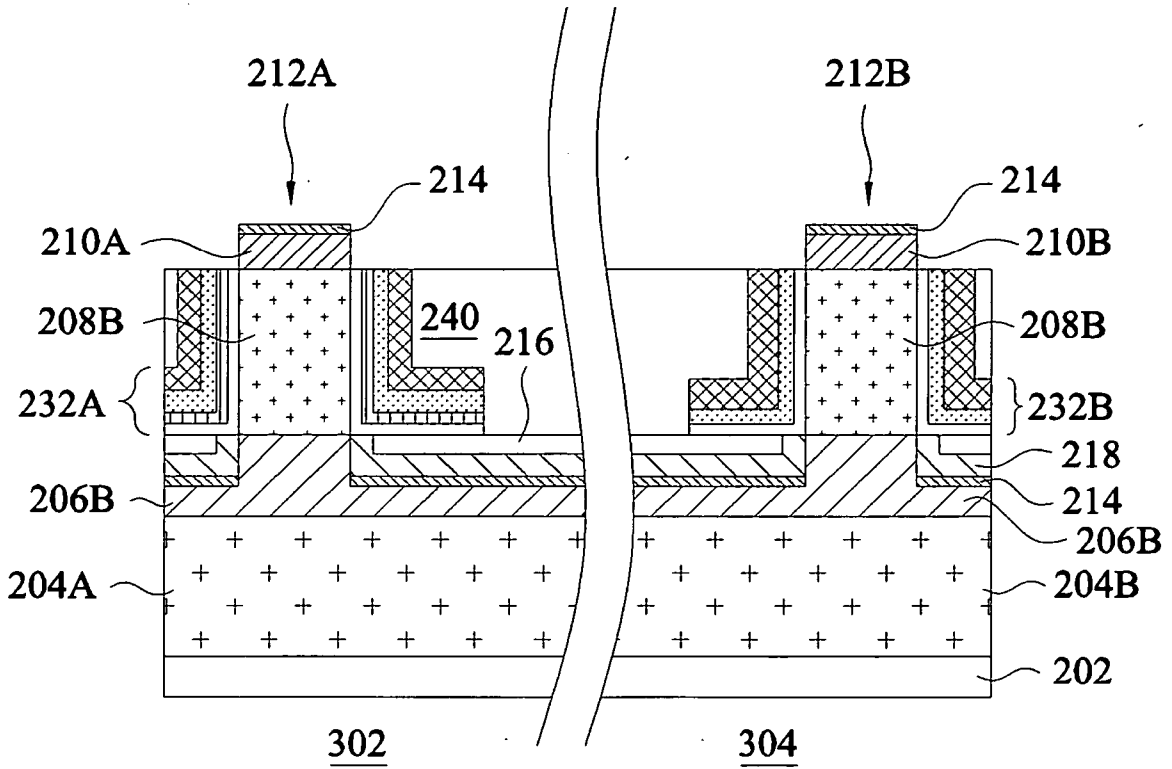
【圖19B】



【圖20A】

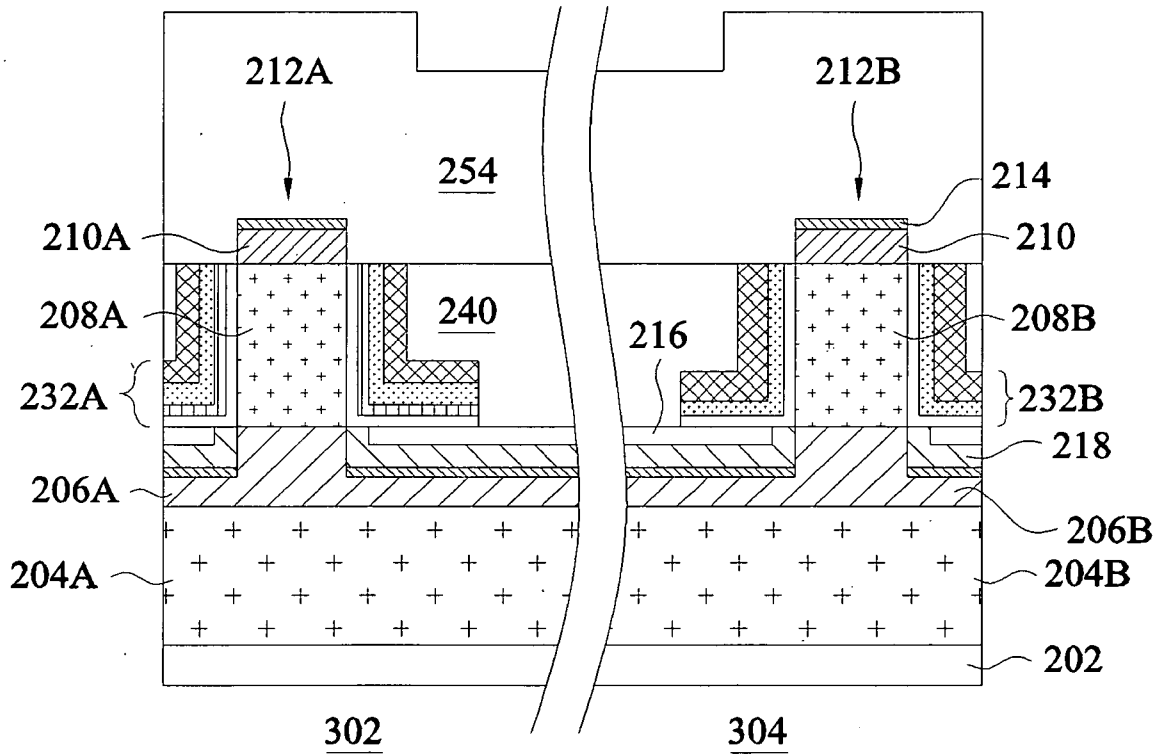


【圖20B】

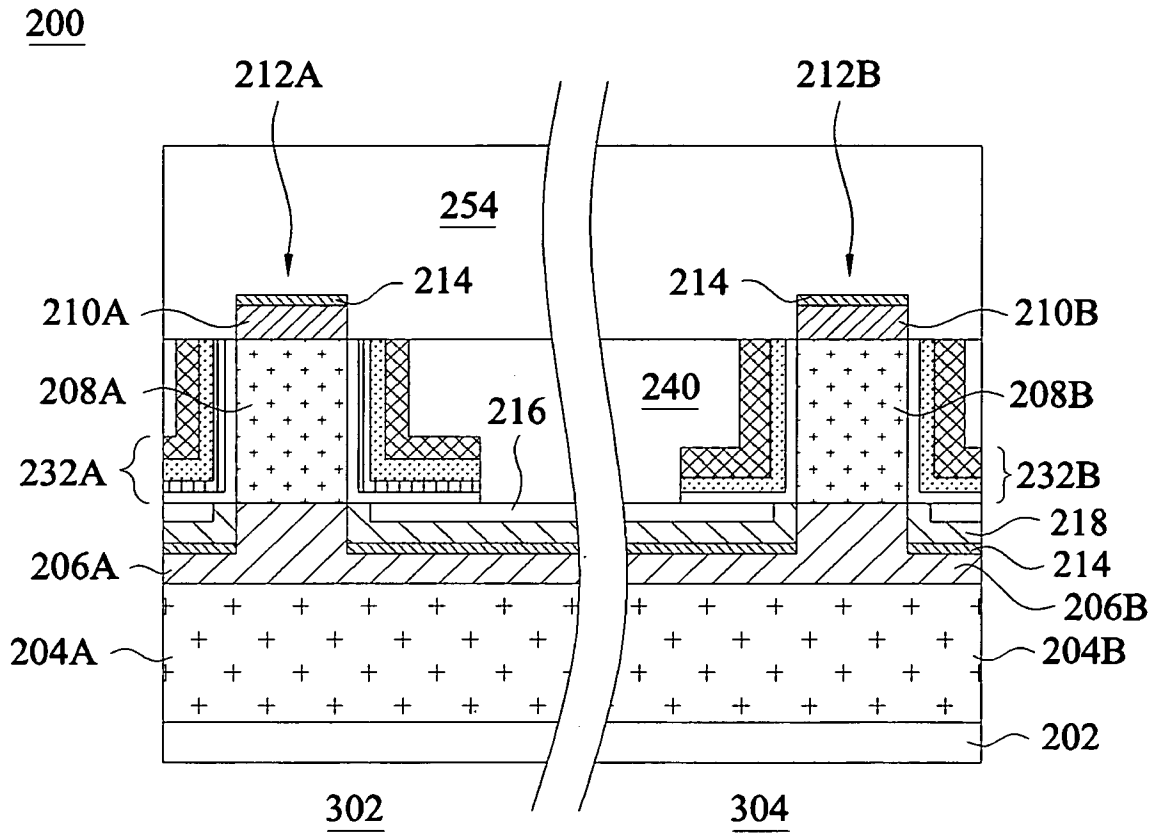


【圖21】

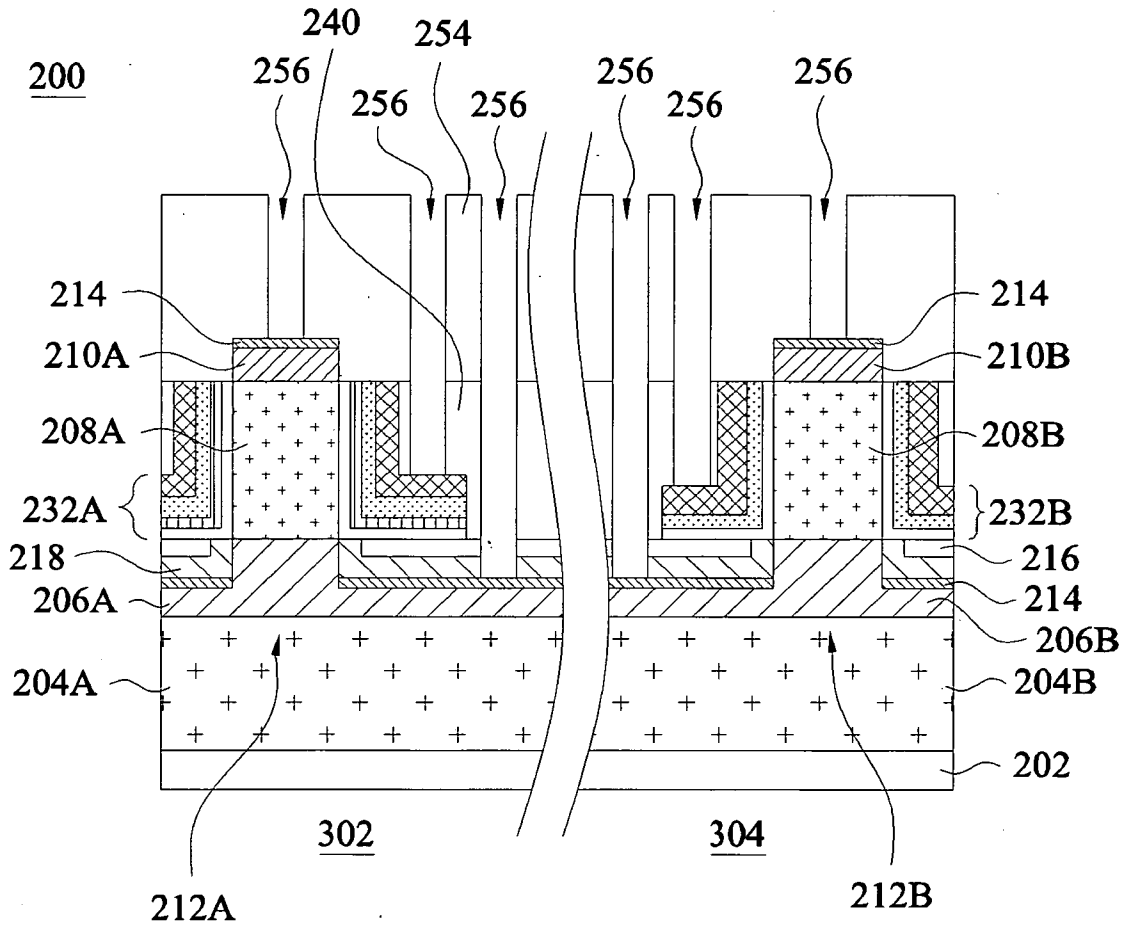
200



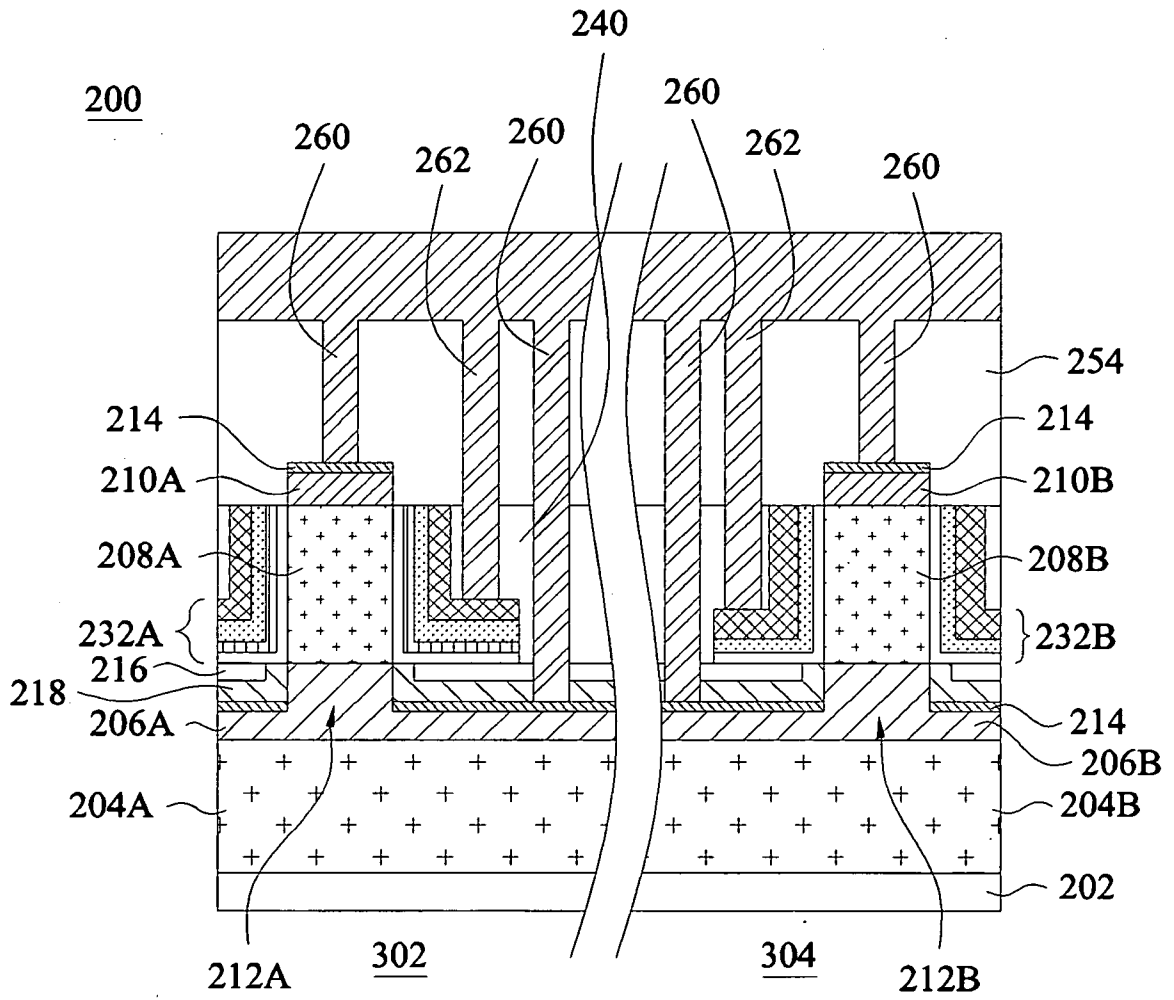
【圖22】



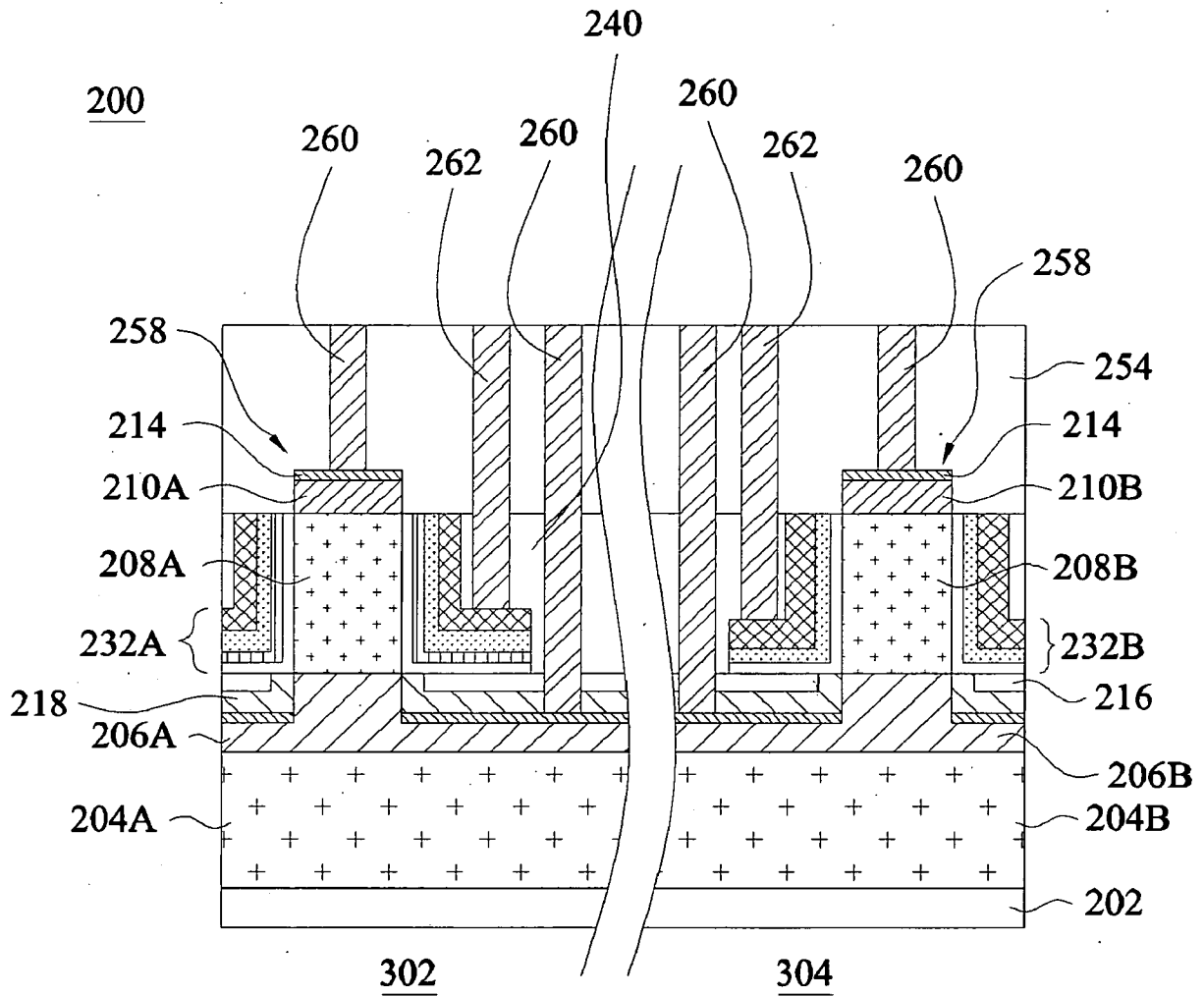
【圖23】



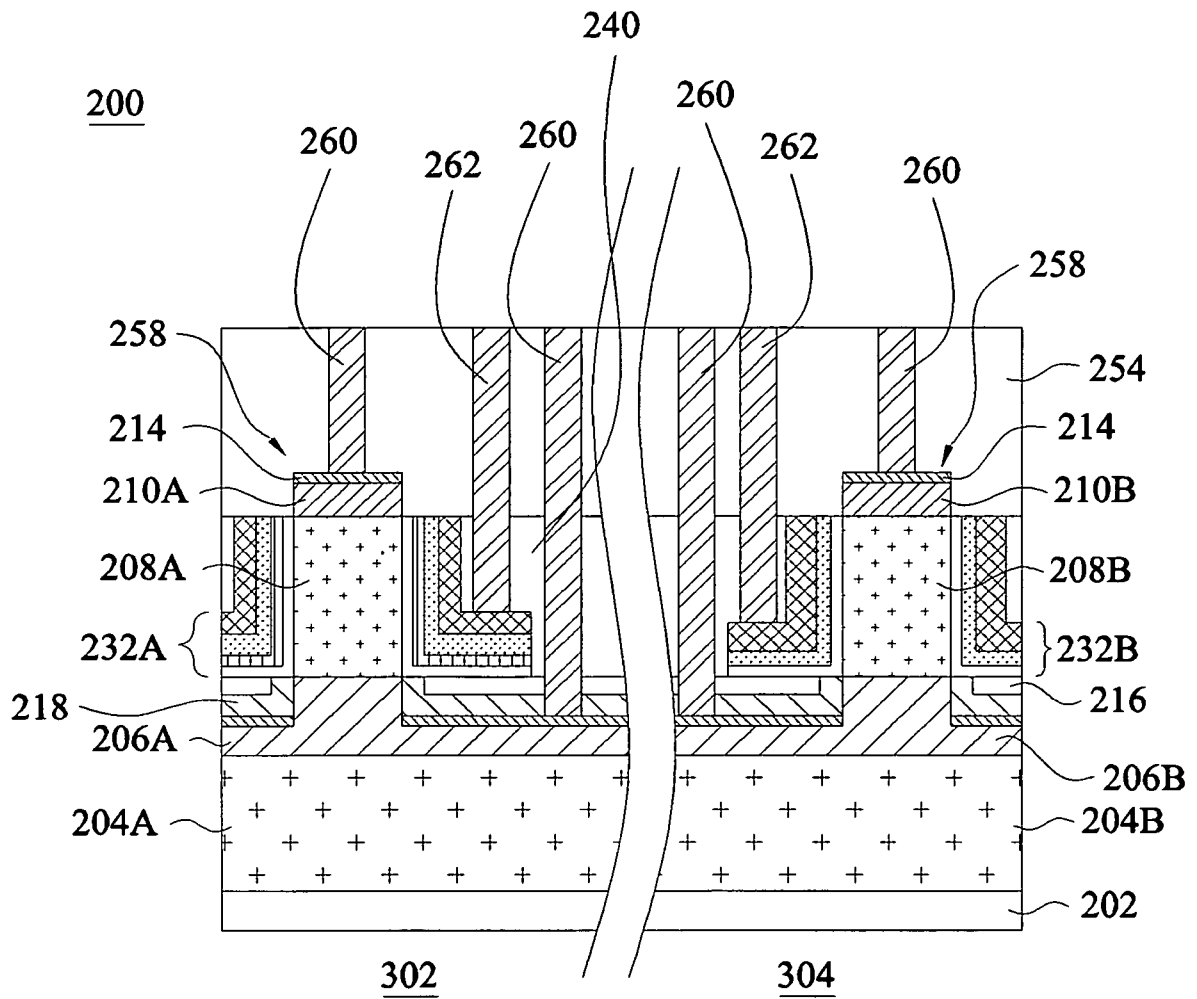
【圖24】



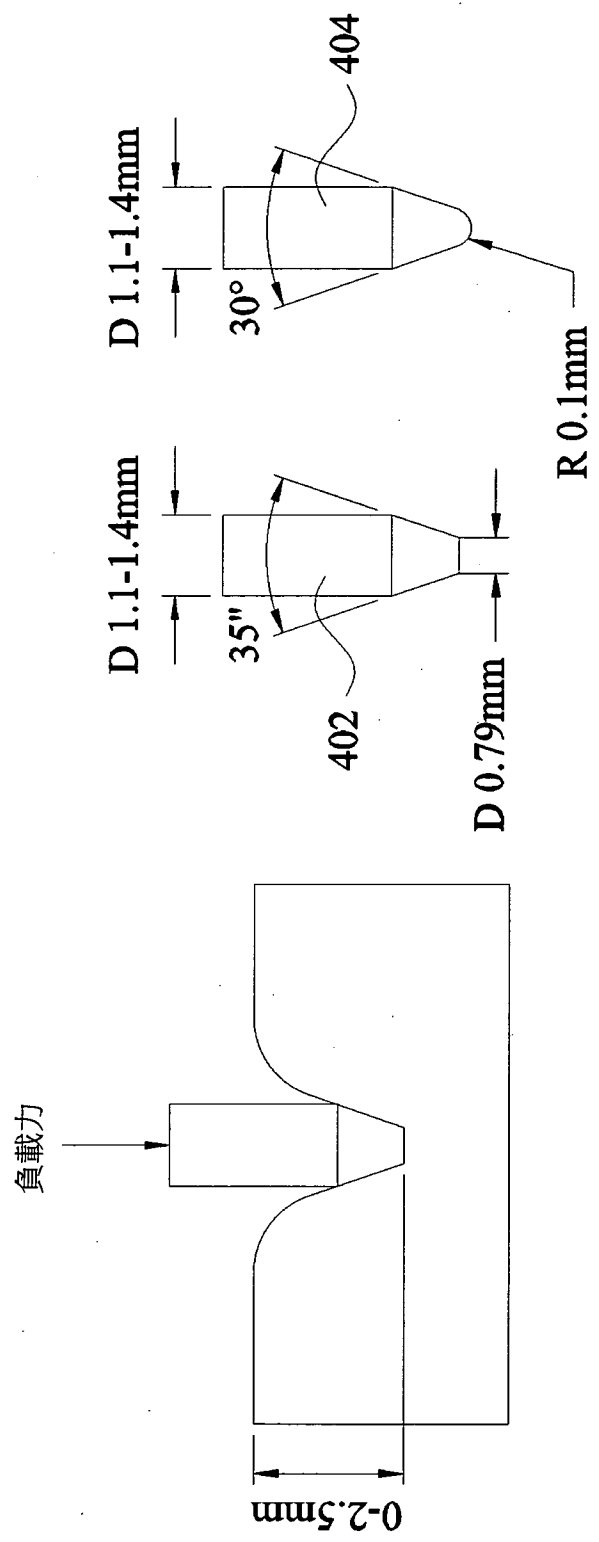
【圖25】



【圖26】



【圖27】



【圖28】