

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5406113号  
(P5406113)

(45) 発行日 平成26年2月5日(2014.2.5)

(24) 登録日 平成25年11月8日(2013.11.8)

(51) Int.Cl.

F I

H03F 3/45 (2006.01)

H03F 3/45

Z

請求項の数 3 (全 10 頁)

(21) 出願番号	特願2010-107656 (P2010-107656)	(73) 特許権者	000002325
(22) 出願日	平成22年5月7日(2010.5.7)		セイコーインスツル株式会社
(65) 公開番号	特開2011-239103 (P2011-239103A)		千葉県千葉市美浜区中瀬1丁目8番地
(43) 公開日	平成23年11月24日(2011.11.24)	(74) 代理人	100154863
審査請求日	平成25年3月12日(2013.3.12)		弁理士 久原 健太郎
		(74) 代理人	100142837
			弁理士 内野 則彰
		(74) 代理人	100123685
			弁理士 木村 信行
		(72) 発明者	五十嵐 敦史
			千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内
		(72) 発明者	三谷 正宏
			千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内
			最終頁に続く

(54) 【発明の名称】 差動増幅回路

(57) 【特許請求の範囲】

【請求項1】

1 対の P M O S トランジスタと、第一電流源を有し、2つの入力電圧に基づき出力電流を流す第一入力段と、

1 対の N M O S トランジスタと、第二電流源を有し、前記2つの入力電圧に基づき出力電流を流す第二入力段と、

前記第一入力段の出力電流を流し込まれ、前記第二入力段の出力電流を引き抜かれることにより、電圧を出力する折り返しカスコード増幅段と、

前記折り返しカスコード増幅段の電圧に基づき、出力電圧を出力する出力段と、

前記第一電流源の出力電流に基づき、第一補正電流を前記出力段に流し込む第一補正電流発生回路と、

前記第二電流源の出力電流に基づき、第二補正電流を前記出力段から引き抜く第二補正電流発生回路と、

を備えることを特徴とする差動増幅回路。

【請求項2】

前記第一補正電流発生回路は、

前記1対の P M O S トランジスタの1つと、同一のサイズで、且つ、ゲートを互いに接続した第三の P M O S トランジスタと、

前記第三の P M O S トランジスタのソースに設けられ、前記第一電流源の半分の電流を流す第三電流源と、を有し、

10

20

前記第二補正電流発生回路は、

前記１対のＮＭＯＳトランジスタの１つと、同一のサイズで、且つ、ゲートを互いに接続した第三のＮＭＯＳトランジスタと、

前記第三のＮＭＯＳトランジスタのソースに設けられ、前記第二電流源の半分の電流を流す第四電流源と、を有する、

ことを特徴とする請求項１記載の差動増幅回路。

#### 【請求項３】

前記折り返しカスコード増幅段のカレントミラー回路の一端に設けられる第一クランプ回路と、

前記カレントミラー回路の他端に設けられる第二クランプ回路と、

前記出力段の出力端子に設けられる第三クランプ回路と、

をさらに備えることを特徴とする請求項１または２記載の差動増幅回路。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【０００１】

本発明は、差動増幅回路に関し、より詳しくはレール・トゥ・レール型入出力の差動増幅回路に関する。

#### 【背景技術】

#### 【０００２】

従来の差動増幅回路について説明する。図３は、従来の差動増幅回路を示す回路図である。

#### 【０００３】

従来のレール・トゥ・レール型入出力の差動増幅回路は、ＰＭＯＳトランジスタ６１とＰＭＯＳトランジスタ６５及び６６からなる第一入力段、ＮＭＯＳトランジスタ７１とＮＭＯＳトランジスタ７５及び７６からなる第二入力段、及び、ＰＭＯＳトランジスタ６２及び６３とＮＭＯＳトランジスタ７２及び７３からなる折り返しカスコード増幅段を備える（例えば、特許文献１参照）。さらに、ＰＭＯＳトランジスタ６４及びＮＭＯＳトランジスタ７４からなる出力段を備えることにより、出力電圧範囲を広くできる。

#### 【０００４】

ＰＭＯＳトランジスタ６１～６６のドレイン電流はそれぞれドレイン電流 $I_{61}$ ～ $I_{66}$ であり、ＮＭＯＳトランジスタ７１～７６のドレイン電流はそれぞれドレイン電流 $I_{71}$ ～ $I_{76}$ である。入力端子 $i_{np}$ の入力電圧は $V_{inp}$ 、入力端子 $i_{nn}$ の入力電圧は $V_{inn}$ である。ここで、ドレイン電流 $I_{62}$ 及び $I_{63}$ は電流 $2I$ とし、ＮＭＯＳトランジスタ７３のドレインに流れこむ電流は電流 $I_B$ とする。

#### 【０００５】

上述のような構成の差動増幅回路は、以下のように動作をする。

入力電圧 $V_{inp}$ が入力電圧 $V_{inn}$ よりも高くなると、ドレイン電流 $I_{65}$ はドレイン電流 $I_{66}$ よりも少なくなり、ドレイン電流 $I_{75}$ はドレイン電流 $I_{76}$ よりも多くなる。電流 $I_B$  ( $I_B = 2I - I_{75} + I_{65}$ ) は、ドレイン電流 $I_{73}$  ( $I_{73} = I_{72} = 2I - I_{76} + I_{66}$ ) よりも少なくなるので、ＮＭＯＳトランジスタ７４のゲート電圧は低くなる。従って、ＮＭＯＳトランジスタ７４のオン抵抗は高くなり、出力電圧 $V_{out}$ は高くなる。

#### 【０００６】

ここで、入力電圧 $V_{inp}$ 及び入力電圧 $V_{inn}$ が $V_{DD}$ に近いときには、ＰＭＯＳトランジスタ６１が非飽和動作になり、ＮＭＯＳトランジスタ７５及び７６を入力とする差動増幅回路として動作する。また、入力電圧 $V_{inp}$ 及び入力電圧 $V_{inn}$ が $V_{SS}$ に近いときには、ＮＭＯＳトランジスタ７１が非飽和動作になり、ＰＭＯＳトランジスタ６５及び６６を入力とする差動増幅回路として動作する。また、入力電圧 $V_{inp}$ 及び入力電圧 $V_{inn}$ が中間の電圧のときには、両方の差動増幅回路が動作する。

#### 【０００７】

10

20

30

40

50

以上のような動作をすることによって、従来の差動増幅回路は、レール・トゥ・レール型入出力が可能となる。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2005-223627号公報(図9)

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかし、上述したような従来の差動増幅回路では、入力電圧 $V_{inp}$ 及び入力電圧 $V_{inn}$ が $V_{DD}$ や $V_{SS}$ に近いときには、NMOSトランジスタ72及び73のドレインに流れ込む電流は変動するが、NMOSトランジスタ74のドレインに流れ込む電流は一定である。従って、差動対の入力電圧レベルが異なると、NMOSトランジスタ72及び73とNMOSトランジスタ74ではバイアス条件が異なってしまう。すなわち、差動増幅回路は、差動対の入力電圧レベルが異なると、オフセット電圧が変化してしまう、という課題があった。

【0010】

本発明は、上記課題に鑑みてなされ、オフセット電圧が差動対の入力電圧レベルに依存しない差動増幅回路を提供する。

【課題を解決するための手段】

【0011】

本発明は、上記課題を解決するため、1対のPMOSトランジスタ及び第一電流源を有し、2つの入力電圧に基づき出力電流を流す第一入力段と、1対のNMOSトランジスタ及び第二電流源を有し、2つの入力電圧に基づき出力電流を流す第二入力段と、第一入力段の出力電流を流し込まれ、第二入力段の出力電流を引き抜かれることにより、電圧を出力する折り返しカスコード増幅段と、折り返しカスコード増幅段の電圧に基づき出力電圧を出力する出力段と、第一電流源の供給電流に基づき第一補正電流を前記出力段に流し込む第一補正電流発生回路と、第二電流源の供給電流に基づき第二補正電流を前記出力段から引き抜く第二補正電流発生回路と、を備える差動増幅回路を提供する。

【発明の効果】

【0012】

本発明では、第一補正電流発生回路及び第二補正電流発生回路が、折り返しカスコード増幅段と同じ電流を出力段に流す構成としたので、折り返しカスコード増幅段と出力段のトランジスタのバイアス条件は同じになる。従って、差動増幅回路のオフセット電圧は、入力電圧に依存しなくなる。

【図面の簡単な説明】

【0013】

【図1】差動増幅回路の実施形態を示す回路図である。

【図2】差動増幅回路の他の実施形態を示す回路図である。

【図3】従来の差動増幅回路を示す回路図である。

【発明を実施するための形態】

【0014】

以下、本発明の実施形態を、図面を参照して説明する。

図1は、差動増幅回路の実施形態を示す回路図である。

差動増幅回路は、PMOSトランジスタ11~23、NMOSトランジスタ31~39、NMOSトランジスタ41~43、及び、バッファ51を備える。また、差動増幅回路は、第一バイアス端子 $b_p$ 及び第二バイアス端子 $b_n$ 、第一カスコード端子 $c_p$ 及び第二カスコード端子 $c_n$ 、非反転入力端子 $inp$ 、反転入力端子 $inn$ 、及び、出力端子 $out$ を備える。

【0015】

10

20

30

40

50

P M O S トランジスタ 1 1 と P M O S トランジスタ 1 6 と P M O S トランジスタ 2 1 ~ 2 2 とは、第一入力段を構成する。P M O S トランジスタ 1 2 と P M O S トランジスタ 1 7 と P M O S トランジスタ 2 3 とは、第一補正電流発生回路を構成する。N M O S トランジスタ 3 1 と N M O S トランジスタ 3 6 と N M O S トランジスタ 4 1 ~ 4 2 とは、第二入力段を構成する。N M O S トランジスタ 3 2 と N M O S トランジスタ 3 7 と N M O S トランジスタ 4 3 とは、第二補正電流発生回路を構成する。P M O S トランジスタ 1 3 ~ 1 4 と P M O S トランジスタ 1 8 ~ 1 9 と N M O S トランジスタ 3 3 ~ 3 4 と N M O S トランジスタ 3 8 ~ 3 9 とは、折り返しカスコード増幅段を構成する。P M O S トランジスタ 1 5 と P M O S トランジスタ 2 0 と N M O S トランジスタ 3 5 とは、出力段を構成する。また、P M O S トランジスタ 1 6 ~ 2 0 及び N M O S トランジスタ 3 6 ~ 3 9 はカスコード回路をそれぞれ構成する。P M O S トランジスタ 1 1 ~ 1 5 及び N M O S トランジスタ 3 1 ~ 3 2 は、電流源をそれぞれ構成する。

10

**【 0 0 1 6 】**

P M O S トランジスタ 1 1 ~ 1 5 のゲートは、第一バイアス端子 b p にそれぞれ接続され、ソースは、電源端子にそれぞれ接続され、ドレインは、P M O S トランジスタ 1 6 ~ 2 0 のソースにそれぞれ接続される。P M O S トランジスタ 1 6 ~ 2 0 のゲートは、第一カスコード端子 c p にそれぞれ接続される。P M O S トランジスタ 1 6 のドレインは、P M O S トランジスタ 2 1 ~ 2 2 のソースに接続される。P M O S トランジスタ 1 7 ~ 2 0 のドレインは、P M O S トランジスタ 2 3 のソースと N M O S トランジスタ 3 8 ~ 3 9 のドレインと N M O S トランジスタ 3 5 のドレインとにそれぞれ接続される。

20

**【 0 0 1 7 】**

N M O S トランジスタ 3 1 ~ 3 2 のゲートは、第二バイアス端子 b n にそれぞれ接続され、ソースは、接地端子にそれぞれ接続され、ドレインは、N M O S トランジスタ 3 6 ~ 3 7 のソースにそれぞれ接続される。N M O S トランジスタ 3 3 ~ 3 4 のゲートは、P M O S トランジスタ 1 8 のドレインと N M O S トランジスタ 3 8 のドレインとの接続点にそれぞれ接続され、ソースは、接地端子にそれぞれ接続され、ドレインは、N M O S トランジスタ 3 8 ~ 3 9 のソースにそれぞれ接続される。N M O S トランジスタ 3 5 のゲートは、P M O S トランジスタ 1 9 のドレインと N M O S トランジスタ 3 9 のドレインとの接続点に接続され、ソースは、接地端子に接続される。N M O S トランジスタ 3 6 ~ 3 9 のゲートは、第二カスコード端子 c n にそれぞれ接続される。N M O S トランジスタ 3 6 のドレインは、N M O S トランジスタ 4 1 ~ 4 2 のソースに接続される。N M O S トランジスタ 3 7 のドレインは、N M O S トランジスタ 4 3 のソースに接続される。

30

**【 0 0 1 8 】**

P M O S トランジスタ 2 1 のゲートは、非反転入力端子 i n p に接続され、ドレインは、N M O S トランジスタ 3 9 のソースと N M O S トランジスタ 3 4 のドレインとの接続点に接続される。P M O S トランジスタ 2 2 のゲートは、反転入力端子 i n n に接続され、ドレインは、N M O S トランジスタ 3 8 のソースと N M O S トランジスタ 3 3 のドレインとの接続点に接続される。P M O S トランジスタ 2 3 のゲートは、非反転入力端子 i n p に接続され、ドレインは、P M O S トランジスタ 2 0 のドレインと N M O S トランジスタ 3 5 のドレインとの接続点に接続される。

40

**【 0 0 1 9 】**

N M O S トランジスタ 4 1 のゲートは、非反転入力端子 i n p に接続され、ドレインは、P M O S トランジスタ 1 4 のドレインと P M O S トランジスタ 1 9 のソースとの接続点に接続される。N M O S トランジスタ 4 2 のゲートは、反転入力端子 i n n に接続され、ドレインは、P M O S トランジスタ 1 3 のドレインと P M O S トランジスタ 1 8 のソースとの接続点に接続される。N M O S トランジスタ 4 3 のゲートは、非反転入力端子 i n p に接続され、ドレインは、P M O S トランジスタ 1 5 のドレインと P M O S トランジスタ 2 0 のソースとの接続点に接続される。

**【 0 0 2 0 】**

バッファ 5 1 の入力端子は P M O S トランジスタ 2 0 のドレインと N M O S トランジスタ

50

タ 3 5 のドレインとの接続点に接続され、バッファ 5 1 の出力端子は差動増幅回路の出力端子  $out$  に接続される。

【 0 0 2 1 】

ここで、電源端子の電圧は電源電圧  $VDD$  であり、接地端子の電圧は接地電圧  $VSS$  であり、第一バイアス端子  $bp$  の電圧はバイアス電圧  $Vbp$  であり、第二バイアス端子  $bn$  の電圧はバイアス電圧  $Vbn$  であり、第一カスコード端子  $cp$  の電圧はカスコード電圧  $Vcp$  であり、第二カスコード端子  $cn$  の電圧はカスコード電圧  $Vcn$  であり、非反転入力端子  $inp$  の電圧は入力電圧  $Vinp$  であり、反転入力端子  $inn$  の電圧は入力電圧  $Vinn$  であり、出力端子  $out$  の電圧は出力電圧  $Vout$  である。

【 0 0 2 2 】

また、PMOSトランジスタ 2 1 ~ 2 3 のドレイン電流はそれぞれドレイン電流  $I21$  ~  $I22$  及び第一補正電流  $I23$  であり、PMOSトランジスタ 1 1 ~ 1 5 のドレイン電流はそれぞれドレイン電流  $I11$  ~  $I15$  であり、NMOSトランジスタ 4 1 ~ 4 3 のドレイン電流はそれぞれドレイン電流  $I41$  ~  $I42$  及び第二補正電流  $I43$  であり、NMOSトランジスタ 3 1 ~ 3 5 のドレイン電流はそれぞれドレイン電流  $I31$  ~  $I35$  であり、NMOSトランジスタ 3 4 のドレインに流れこむ電流は電流  $IA$  である。

【 0 0 2 3 】

第一入力段は、入力電圧  $Vinp$  及び入力電圧  $Vinn$  に基づき、ドレイン電流  $I21$  ~  $I22$  を流す。第二入力段は、入力電圧  $Vinp$  及び入力電圧  $Vinn$  に基づき、ドレイン電流  $I41$  ~  $I42$  を流す。折り返しカスコード増幅段は、ドレイン電流  $I21$  ~  $I22$  を流し込まれ、ドレイン電流  $I41$  ~  $I42$  を引き抜かれることにより、出力電圧を出力する。出力段は、折り返しカスコード増幅段の出力する電圧に基づき、出力電圧を出力する。バッファ 5 1 は、出力段の出力電圧をドライブし、出力電圧  $Vout$  を出力する。第一補正電流発生回路は、PMOSトランジスタ 1 1 からなる電流源の供給電流に基づき、PMOSトランジスタ 1 2 からなる電流源から出力段に第一補正電流  $I23$  を流し込む。第二補正電流発生回路は、NMOSトランジスタ 3 1 からなる電流源の供給電流に基づき、出力段からNMOSトランジスタ 3 2 からなる電流源に第二補正電流  $I43$  を引き抜く。

【 0 0 2 4 】

次に、差動増幅回路の動作について説明する。

ここで、入力電圧  $Vinp$  及び入力電圧  $Vinn$  が  $VDD$  に近いときには、PMOSトランジスタ 6 1 が非飽和動作になり、NMOSトランジスタ 7 5 及び 7 6 を入力とする差動増幅回路として動作する。また、入力電圧  $Vinp$  及び入力電圧  $Vinn$  が  $VSS$  に近いときには、NMOSトランジスタ 7 1 が非飽和動作になり、PMOSトランジスタ 6 5 及び 6 6 を入力とする差動増幅回路として動作する。また、入力電圧  $Vinp$  及び入力電圧  $Vinn$  が中間の電圧のときには、両方の差動増幅回路が動作する。

【 0 0 2 5 】

また、PMOSトランジスタ 1 1 及びPMOSトランジスタ 1 3 ~ 1 5 のサイズは等しく、PMOSトランジスタ 1 6 ~ 2 0 のサイズは等しく、PMOSトランジスタ 2 1 ~ 2 3 のサイズは等しく、NMOSトランジスタ 3 1 及びNMOSトランジスタ 3 3 ~ 3 5 のサイズは等しく、NMOSトランジスタ 3 6 ~ 3 9 のサイズは等しく、NMOSトランジスタ 4 1 ~ 4 3 のサイズは等しい。また、PMOSトランジスタ 1 2 のサイズはPMOSトランジスタ 1 1 の半分のサイズで、NMOSトランジスタ 3 2 のサイズはNMOSトランジスタ 3 1 の半分のサイズである。

【 0 0 2 6 】

まず、入力電圧  $Vinp$  及び入力電圧  $Vinn$  が中間の電圧のときの動作を説明する。この時、ドレイン電流  $I13$  ~  $I15$  はそれぞれ電流  $2I$  であるとする。また、PMOSトランジスタ 1 1 ~ 1 2 及びNMOSトランジスタ 3 1 ~ 3 2 がそれぞれ飽和動作するので、ドレイン電流  $I11$  及びドレイン電流  $I31$  はそれぞれ電流  $2I$  になるとすると、ドレイン電流  $I12$  及びドレイン電流  $I32$  はそれぞれ電流  $I$  になる。

## 【 0 0 2 7 】

差動増幅回路の後段において、ドレイン電流  $I_{14}$  からドレイン電流  $I_{41}$  が引き抜かれ、電流  $(I_{14} - I_{41})$  とドレイン電流  $I_{21}$  との合計の電流  $(I_{14} - I_{41} + I_{21})$  が電流  $I_A$  になる。また、ドレイン電流  $I_{13}$  からドレイン電流  $I_{42}$  が引き抜かれ、電流  $(I_{13} - I_{42})$  とドレイン電流  $I_{22}$  との合計の電流  $(I_{13} - I_{42} + I_{22})$  がドレイン電流  $I_{33}$  になる。このドレイン電流  $(I_{13} - I_{42} + I_{22})$  は、NMOSトランジスタ33～34によるカレントミラー回路により、ドレイン電流  $I_{34}$  になる。電流  $(I_A = I_{14} - I_{41} + I_{21})$  とドレイン電流  $(I_{33} = I_{34} = I_{13} - I_{42} + I_{22})$  との関係により、NMOSトランジスタ35のゲート電圧は決定される。

10

## 【 0 0 2 8 】

また、差動増幅回路の後段において、ドレイン電流  $I_{15}$  から第二補正電流  $I_{43}$  が引き抜かれ、電流  $(I_{15} - I_{43})$  と第一補正電流  $I_{23}$  との合計の電流  $(I_{15} - I_{43} + I_{23})$  がドレイン電流  $I_{35}$  になる。

## 【 0 0 2 9 】

ここで、入力電圧  $V_{inp}$  が入力電圧  $V_{inn}$  よりも高くなると、ドレイン電流  $I_{21}$  はドレイン電流  $I_{22}$  よりも少なくなり、ドレイン電流  $I_{41}$  はドレイン電流  $I_{42}$  よりも多くなる。すると、ドレイン電流  $I_{13} \sim I_{14}$  は共に電流  $2I$  であるので、電流  $(I_A = 2I - I_{41} + I_{21})$  はドレイン電流  $(I_{33} = I_{34} = 2I - I_{42} + I_{22})$  よりも少なくなることにより、NMOSトランジスタ35のゲート電圧は低くなる。よって、NMOSトランジスタ35のオン抵抗は高くなり、バッファ51の入力電圧は高くなり、バッファ51の出力電圧  $V_{out}$  は高くなる。

20

## 【 0 0 3 0 】

また、入力電圧  $V_{inp}$  が入力電圧  $V_{inn}$  よりも低くなると、上記のように、バッファ51の出力電圧  $V_{out}$  は低くなる。

## 【 0 0 3 1 】

次に、入力電圧  $V_{inp}$  及び入力電圧  $V_{inn}$  が  $V_{DD}$  に近いときの動作を説明する。この時、ドレイン電流  $I_{13} \sim I_{15}$  はそれぞれ電流  $2I$  であるとする。また、PMOSトランジスタ11～12がそれぞれ非飽和動作し、NMOSトランジスタ31～32がそれぞれ飽和動作するので、ドレイン電流  $I_{11}$  はほとんど流れないとし、ドレイン電流  $I_{31}$  は電流  $2I$  になるとし、ドレイン電流  $I_{12}$  はほとんど流れないとし、ドレイン電流  $I_{32}$  は電流  $I$  になるとし、つまり、ドレイン電流  $I_{21} \sim I_{22}$  及び第一補正電流  $I_{23}$  もほとんど流れない。

30

## 【 0 0 3 2 】

ここで、入力電圧  $V_{inp}$  が入力電圧  $V_{inn}$  よりも高くなると、ドレイン電流  $I_{21} \sim I_{22}$  がほとんど流れないものの、上記のように、バッファ51の出力電圧  $V_{out}$  は高くなる。

また、入力電圧  $V_{inp}$  が入力電圧  $V_{inn}$  よりも低くなると、上記のように、バッファ51の出力電圧  $V_{out}$  は低くなる。

## 【 0 0 3 3 】

次に、入力電圧  $V_{inp}$  及び入力電圧  $V_{inn}$  が  $V_{SS}$  に近いときの動作を説明する。この時、ドレイン電流  $I_{13} \sim I_{15}$  はそれぞれ電流  $2I$  であるとする。また、PMOSトランジスタ11～12がそれぞれ飽和動作し、NMOSトランジスタ31～32がそれぞれ非飽和動作するので、ドレイン電流  $I_{11}$  は電流  $2I$  になるとし、ドレイン電流  $I_{31}$  はほとんど流れないとし、ドレイン電流  $I_{12}$  は電流  $I$  になるとし、ドレイン電流  $I_{32}$  はほとんど流れないとし、つまり、ドレイン電流  $I_{41} \sim I_{42}$  及び第二補正電流  $I_{43}$  もほとんど流れない。

40

## 【 0 0 3 4 】

ここで、入力電圧  $V_{inp}$  が入力電圧  $V_{inn}$  よりも高くなると、ドレイン電流  $I_{41} \sim I_{42}$  がほとんど流れないものの、上記のように、バッファ51の出力電圧  $V_{out}$  は

50

高くなる。

また、入力電圧  $V_{inp}$  が入力電圧  $V_{inn}$  よりも低くなると、上記のように、バッファ 51 の出力電圧  $V_{out}$  は低くなる。

【0035】

入力電圧  $V_{inp}$  及び入力電圧  $V_{inn}$  が中間の電圧のときには、差動増幅回路がアンプとして使用される場合、非反転入力端子  $inp$  と反転入力端子  $inn$  とはイマジナリショートし、入力電圧  $V_{inp}$  と入力電圧  $V_{inn}$  とは等しいので、ドレイン電流  $I_{42}$  と第二補正電流  $I_{43}$  とは等しく、ドレイン電流  $I_{22}$  と第一補正電流  $I_{23}$  とは等しい。よって、ドレイン電流  $I_{35}$  はドレイン電流  $I_{33}$  と等しい。また、差動増幅回路がコンパレータとして使用される場合、コンパレータの出力電圧が反転する時の入力電圧を検出する検出精度が重要であり、この時の入力電圧  $V_{inp}$  と入力電圧  $V_{inn}$  とは等しいので、ドレイン電流  $I_{42}$  と第二補正電流  $I_{43}$  とは等しく、ドレイン電流  $I_{22}$  と第一補正電流  $I_{23}$  とは等しい。よって、ドレイン電流  $I_{35}$  はドレイン電流  $I_{33}$  と等しい。つまり、ドレイン電流  $I_{33} \sim I_{35}$  は等しい。

10

【0036】

また、入力電圧  $V_{inp}$  及び入力電圧  $V_{inn}$  が  $V_{DD}$  に近いときは PMOS トランジスタ 11 ~ 12 はそれぞれ非飽和動作し、入力電圧  $V_{inp}$  及び入力電圧  $V_{inn}$  が  $V_{SS}$  に近いときは NMOS トランジスタ 31 ~ 32 はそれぞれ非飽和動作するが、上記のように、ドレイン電流  $I_{42}$  と第二補正電流  $I_{43}$  とは等しく、ドレイン電流  $I_{22}$  と第一補正電流  $I_{23}$  とは等しい。よって、ドレイン電流  $I_{35}$  はドレイン電流  $I_{33}$  と等しい。つまり、ドレイン電流  $I_{33} \sim I_{35}$  は等しい。

20

【0037】

よって、入力電圧  $V_{inp}$  及び入力電圧  $V_{inn}$  が  $V_{DD}$  と  $V_{SS}$  間で変動しても、NMOS トランジスタ 33 ~ 34 に対する NMOS トランジスタ 35 のバイアス条件は常に同一である。よって、差動増幅回路のオフセット電圧は、入力電圧  $V_{inp}$  及び入力電圧  $V_{inn}$  に依存しない。

【0038】

図 2 は、差動増幅回路の他の実施形態を示す回路図である。

図 1 の差動増幅回路において、応答速度を早くしたい場合に、電圧振幅を制限するためにクランプ回路 62 を設けることがある。この場合も、クランプ回路 62 のリーク電流によってバイアス条件が異なってしまう、オフセット電圧が発生してしまう、という課題がある。この課題を解決するために、図 2 の差動増幅回路は、クランプ回路 61 及びクランプ回路 63 を設ける。

30

【0039】

クランプ回路 61 は、PMOS トランジスタ 18 のドレイン及び NMOS トランジスタ 38 のドレインの接続点（カレントミラー回路の一端）と接地端子との間に設ける。クランプ回路 62 は、PMOS トランジスタ 19 のドレイン及び NMOS トランジスタ 39 のドレインの接続点（カレントミラー回路の他端）と接地端子との間に設ける。クランプ回路 63 は、PMOS トランジスタ 20 のドレイン及び NMOS トランジスタ 35 のドレインの接続点と接地端子との間に設ける。クランプ回路 61 ~ 63 は、各接続点の電圧が所定電圧よりも高くないよう動作する。

40

【0040】

クランプ回路 61 ~ 63 を同じ回路構成とするので、クランプ回路 61 ~ 63 のリーク電流は等しく、NMOS トランジスタ 33 ~ 35 のドレイン電流  $I_{35} \sim I_{35}$  は等しい。

【0041】

なお、図 1 では、PMOS トランジスタ 23 及び NMOS トランジスタ 43 のゲートは非反転入力端子  $inp$  にそれぞれ接続されているが、図示しないが、これらのゲートが反転入力端子  $inn$  にそれぞれ接続されても良い。また、図示しないが、PMOS トランジスタ 23 のゲートが非反転入力端子  $inp$  に接続され、NMOS トランジスタ 43 のゲートが反転入力端子  $inn$  に接続されても良い。

50

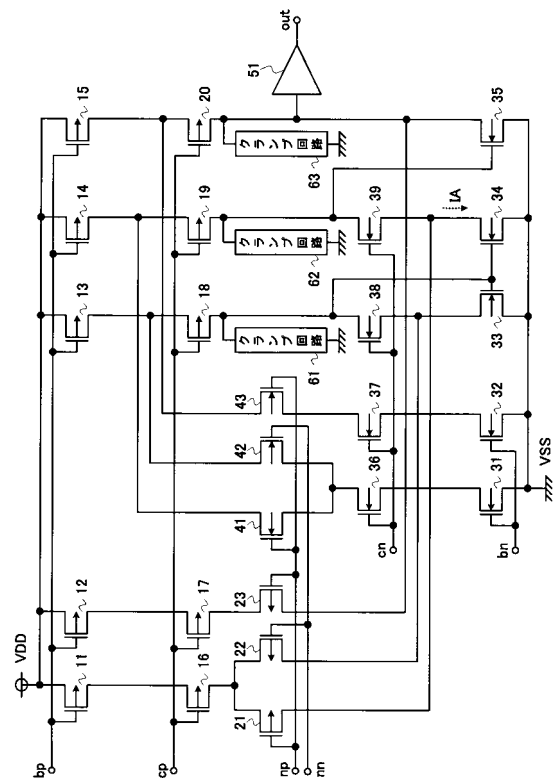
【符号の説明】

【 0 0 4 2 】

31 ~ 39、41 ~ 43 NMOSトランジスタ

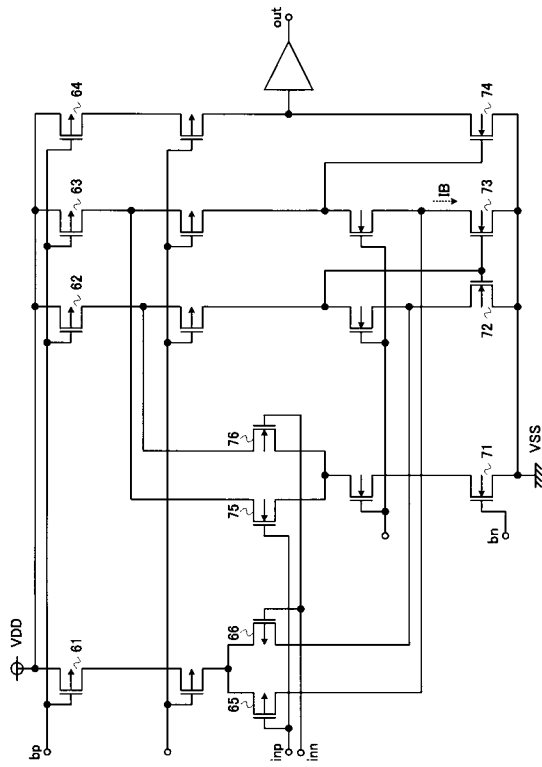
5 1 バッファ

【圖 2】





【 図 3 】



---

フロントページの続き

審査官 高橋 義昭

- (56)参考文献 特開2001-144558(JP,A)  
特開2006-314040(JP,A)  
特開2000-223970(JP,A)  
特開平01-264406(JP,A)  
実開昭60-184314(JP,U)

- (58)調査した分野(Int.Cl., DB名)  
H03F 3/34 3/45