

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 3 月 12 日 (12.03.2020)



(10) 国际公布号
WO 2020/048020 A1

- (51) 国际专利分类号:
H01L 29/786 (2006.01) *H01L 29/51* (2006.01)
- (21) 国际申请号: PCT/CN2018/117578
- (22) 国际申请日: 2018 年 11 月 27 日 (27.11.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201811019288.1 2018 年 9 月 3 日 (03.09.2018) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东
- 省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 罗传宝 (LUO, Chuanbao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 卢马才 (LU, Macai); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 王松 (WANG, Song); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) Title: THIN FILM TRANSISTOR, DISPLAY PANEL, AND METHOD FOR MANUFACTURING THIN FILM TRANSISTOR

(54) 发明名称: 薄膜晶体管、显示面板及薄膜晶体管的制作方法

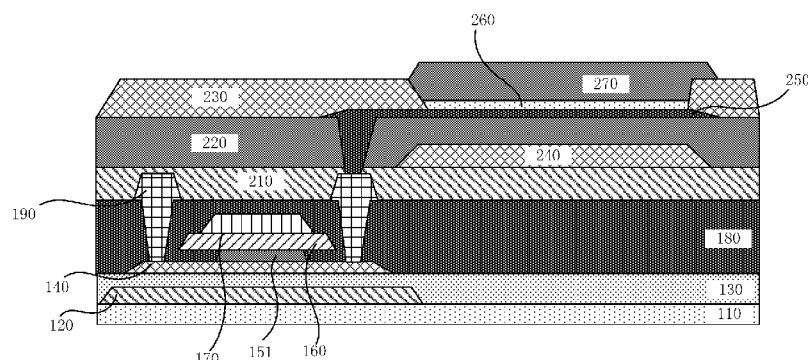


图 8

(57) Abstract: A thin film transistor. The transistor comprises: a substrate (130); an active region (140) located above the substrate (130); a gate dielectric layer located above the active region (140); a gate metal (170) located above the gate dielectric layer; a source/drain region located in the active region (140) on both sides of the channel region. The gate dielectric layer comprises a silicon oxide layer (151) located above the active region (140) and a second gate dielectric layer (160) located above the silicon oxide layer (151), the length of the silicon oxide layer (151) in a channel direction is smaller than the length of the second gate dielectric layer (160), wherein the dielectric constant of the second gate dielectric layer (160) is greater than the dielectric constant of the silicon oxide layer (151).

(57) 摘要: 一种薄膜晶体管, 所述晶体管包括: 衬底 (130); 有源区 (140), 位于所述衬底 (130) 上方; 栅极介质层, 位于所述有源区 (140) 上方; 栅极金属 (170), 位于所述栅极介质层上方; 源漏区, 位于沟道区两侧的有源区 (140) 中; 其中, 所述栅极介质层包括位于所述有源区 (140) 上方的氧化硅层 (151) 和位于所述氧化硅层 (151) 上方的第二栅极介质层 (160), 所述氧化硅层 (151) 沿沟道方向的长度小于所述第二栅极介质层 (160) 的长度; 其中, 所述第二栅极介质层 (160) 的介电常数大于氧化硅层 (151) 的介电常数。

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

发明名称: 薄膜晶体管、显示面板及薄膜晶体管的制作方法

技术领域

[0001] 本发明涉及半导体技术领域，尤其涉及一种薄膜晶体管、显示面板及薄膜晶体管的制作方法。

背景技术

[0002] 近年来，金属氧化物薄膜晶体管被普遍应用于液晶显示器和有机自发光显示器中，使用该晶体管的显示器具有分辨率高、尺寸大、处理帧率高和可见光范围内穿透率高等显著优点，在电子显示领域具有广阔的应用前景。非晶铟镓锌氧化物薄膜晶体管是一种代表性的金属氧化物薄膜晶体管，被广泛应用在各种电子显示设备中。

发明概述

技术问题

[0003] 目前，IGZO薄膜晶体管有背沟道刻蚀，蚀刻终止层(ESL)和顶栅三种典型结构。顶栅型IGZO薄膜晶体管结构的寄生电容小，制作工艺中使用的掩膜数量也相对较少。同时，栅极和栅极介质层能够保护沟道区，使其不被大气环境和后续制程中的电浆所影响。但是，栅极介质层区域的较强电场将使沟道中的高能电子在源漏端附近注入栅极介质层，导致器件的阈值电压漂移，破坏了器件的稳定性。此外，高电场还会引发热载流子效应，进一步破坏了器件的稳定性。

[0004] 因此，急需开发一种稳定性更高的顶栅型IGZO薄膜晶体管结构解决上述问题。

问题的解决方案

技术解决方案

[0005] 为解决上述问题，本发明提供了一种薄膜晶体管，能够有效的减小沟道区域的电场强度，增加器件的稳定性。具体的，所述薄膜晶体管包括：

[0006] 衬底；

[0007] 有源区，位于所述衬底上方；

- [0008] 栅极介质层，位于所述有源区上方；
- [0009] 栅极金属，位于所述栅极介质层上方；
- [0010] 源漏区，位于所述栅极介质层下方的有源区两侧；其中，
- [0011] 所述栅极介质层包括位于所述有源区上方的氧化硅层和位于所述氧化硅层上方的第二栅介质层，所述氧化硅层沿沟道方向的长度小于所述第二栅介质层的长度；其中，所述第二栅介质层的介电常数大于氧化硅层的介电常数。
- [0012] 根据本发明的其中一个实施例，其中，所述第二栅介质层为氮化硅层。
- [0013] 根据本发明的其中一个实施例，其中，所述晶体管还包括层间介质层，所述层间介质层的材料为氮化硅，所述氮化硅中的氢元素含量小于氮化硅层中的氢元素含量。
- [0014] 根据本发明的其中一个实施例，其中，所述第二栅介质层下方的氧化硅层两侧的空间被层间介质层填充。
- [0015] 根据本发明的其中一个实施例，其中，所述氧化硅层沿沟道方向的长度不小于所述第二栅介质层沿沟道方向长度的二分之一。
- [0016] 相应的，本发明还提供了一种显示面板，包括如前所述的薄膜晶体管，所述晶体管包括：
- [0017] 衬底；
- [0018] 有源区，位于所述衬底上方；
- [0019] 栅极介质层，位于所述有源区上方；
- [0020] 栅极金属，位于所述栅极介质层上方；
- [0021] 源漏区，位于所述沟道区两侧的有源区中；其中，
- [0022] 所述栅极介质层包括位于所述有源区上方的氧化硅层和位于所述氧化硅层上方的第二栅介质层，所述氧化硅层沿沟道方向的长度小于所述第二栅介质层的长度；其中，所述第二栅介质层的介电常数大于氧化硅层的介电常数。
- [0023] 根据本发明的其中一个实施例，其中，所述第二栅介质层为氮化硅层。
- [0024] 根据本发明的其中一个实施例，其中，所述晶体管还包括层间介质层，所述层间介质层的材料为氮化硅，所述氮化硅中的氢元素含量小于氮化硅层中的氢元素含量。

- [0025] 根据本发明的其中一个实施例，其中，所述第二栅介质层下方的氧化硅层两侧的空间被层间介质层填充。
- [0026] 根据本发明的其中一个实施例，其中，所述氧化硅层沿沟道方向的长度不小于所述第二栅介质层沿沟道方向长度的二分之一。
- [0027] 根据本发明的其中一个实施例，其中，所述显示面板还包括：
- [0028] 钝化层，位于所述层间介质层上方；
- [0029] 色阻层，位于所述有源区外侧的钝化层上方；
- [0030] 像素电极，位于所述色阻层上方；
- [0031] 有机发光层，位于所述像素电极上方；
- [0032] 阴极，位于所述有机发光层上方。
- [0033] 相应的，本发明还提供了一种薄膜晶体管的制作方法，其中，该方法包括：
- [0034] a. 提供衬底；
- [0035] b. 在所述衬底上方形成有源区；
- [0036] c. 在所述有源区上方形成氧化硅层；
- [0037] d. 在所述有氧化硅层上方形成第二栅介质层；
- [0038] e. 在所述栅极介质层上方形成栅极金属；
- [0039] f. 沿沟道方向对氧化硅层和第二栅介质层进行选择性的刻蚀，使刻蚀后的氧化硅层沿沟道方向的长度小于第二栅介质层；
- [0040] g. 在所述第二栅介质层两侧的有源区中形成源漏区。
- [0041] 根据本发明的其中一个实施例，其中，所述第二栅介质层为氮化硅层。
- [0042] 根据本发明的其中一个实施例，其中，在步骤g之后还包括步骤h：形成覆盖所述薄膜晶体管的层间介质层，其中，形成所述层间介质层的材料为氮化硅，且形成所述层间介质层的氮化硅中的氢元素含量低于第二栅介质层中的氢元素含量。
- [0043] 根据本发明的其中一个实施例，其中，步骤d中的第二栅介质层的长度大于所述薄膜晶体管所需要的栅极介质层的长度。
- [0044] 根据本发明的其中一个实施例，其中，在步骤f中选择性刻蚀所用的刻蚀方法为干法刻蚀，刻蚀气体为 C_5HF_7 。

[0045] 根据本发明的其中一个实施例，其中，所述氧化硅层沿沟道方向的长度不小于所述第二栅介质层沿沟道方向长度的二分之一。

发明的有益效果

有益效果

[0046] 相比于现有技术中采用氧化硅材料作为栅极介质层的薄膜晶体管，本发明采用了介电常数较大的氮化硅替换了部分栅极介质层，使得栅极介质层的介电常数减小，从而减小沟道区的电场，特别是位于沟道两端区域的电场，从而遏制了由于高电场引起阈值电压漂移和热载流子效应。相比于现有技术，极大地改善了薄膜晶体管的性能。

对附图的简要说明

附图说明

[0047] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述，本申请的其它特征、目的和优点将会变得更明显：

[0048] 图1为现有技术中的薄膜晶体管的结构示意图；

[0049] 图2为图1中的薄膜晶体管沟道区域的电场分布图；

[0050] 图3至图8为本发明一个实施例中的薄膜晶体管在不同工艺步骤中的结构示意图；

[0051] 图9为图8中的薄膜晶体管沟道区域的电场分布图；

[0052] 附图中相同或相似的附图标记代表相同或相似的部件。

发明实施例

本发明的实施方式

[0053] 以下各实施例的说明是参考附加的图示，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。在图中，结构相似的单元是用以相同标号表示。

[0054] 下面详细描述本发明的实施例，所述实施例的示例在附图中示出，其中自始至

终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的，仅用于解释本发明，而不能解释为对本发明的限制。

[0055] 首先对现有技术进行简要说明。参见图1，图1示出了现有技术中的薄膜晶体管的结构示意图，具体的，是一种顶栅型IGZO薄膜晶体管。如图所示，现有技术中的栅极结构由栅极介质层060位于栅极金属070下方，由氧化硅组成。其形成方法为：在有源区上方外延生长形成氧化硅，作为绝缘材料隔离栅极金属和有源区。由于外延生长的二氧化硅与有源区之间的界面特性优良，少有杂质和缺陷，因此二氧化硅作为主流的栅极介质层材料被沿用至今。但二氧化硅也存在明显的缺陷，即介电常数过小。对于薄膜晶体管，沟道区域的电场强度与介质层的介电常数成反比，过小的介电常数会导致沟道区的电场强度过大，引发阈值电压偏移、热载流子效应等一系列缺陷，严重影响器件的性能。

[0056] 参见图2，图2为图1中的薄膜晶体管沟道区域的电场分布图，可以看出，沟道区域的电场强度达到了 10^5 V/cm ，而沟道两端的电场强度则由于器件形状的影响进一步增大，已经严重影响了器件性能。

[0057] 为了改善上述缺陷，本发明提供了一种薄膜晶体管。下面将结合图8对本发明进行详细说明。

[0058] 参见图8，本发明提供了一种薄膜晶体管，包括：衬底130；有源区140，位于所述衬底130上方；栅极介质层，位于所述有源区140上方；栅极金属170，位于所述栅极介质层上方；源漏区，位于所述沟道区两侧的有源区140中。

[0059] 具体的，所述衬底130可以是单一材料的半导体衬底，例如硅、锗、砷化镓、磷化铟等，也可以是SOI半导体衬底。所述有源区140位于衬底130上方，具有一定的掺杂，掺杂浓度为沟道区所需要的浓度，通常为 $5 \times 10^{14} \text{ cm}^{-3} \sim 5 \times 10^{15} \text{ cm}^{-3}$ ，对于N型半导体，掺杂的元素通常为P型杂质，例如硼和铟，对于P型半导体，P型杂质，例如砷和磷。

[0060] 在本实施例中，所述栅极介质层包括位于所述有源区上方的氧化硅层151和位于所述氧化硅层上方的第二栅介质层160，所述氧化硅层151沿沟道方向的长度小于所述第二栅介质层160的长度；其中，所述氧化硅层151的介电常数大于第

二栅介质层160的介电常数。具体的，由于在氧化硅层上生长或淀积氮化硅层的工艺在本领域中相对成熟，且氮化硅的相对介电常数约为7，大于氧化硅的相对介电常数4，因此，本实施例中所述第二栅介质层160为氮化硅层。在其他实施例中，所述第二栅极介质层160也可以采用其他介电常数高的材料，例如氧化铅、氧化铝、氧化钛等，上述材料都拥有很高的介电常数，能够进一步减小沟道区域的电场强度，在实际应用中可以根据需要挑选合适的介电材料。

[0061] 通常，对于顶栅型薄膜晶体管，在工艺中形成栅极介质层的顺序为：在有源区上依次淀积栅极介质层、栅极金属层，之后通过等离子刻蚀或其他刻蚀方法将栅极结构图形化，形成需要的栅极叠层。以等离子刻蚀为例，由于刻蚀的边缘累积效应，通常位于下层的结构的宽度略宽于上层结构，参见图1，其中位于下层的栅极介质层050的宽度大于位于上层的金属层070。

[0062] 在本发明中，为了实现所述氧化硅层151沿沟道方向的长度小于所述氮化硅层160的长度这一技术特征，需要在栅极图形化之后增益一步选择性刻蚀工艺，从侧面沿着沟道方向对栅极介质层进行选择刻蚀。具体的，可以选择干法刻蚀，由于干法刻蚀的刻蚀气体对不同的材料的刻蚀速度差异很大，因此可以实现横向快速刻蚀氧化硅的同时氮化硅刻蚀很慢甚至不刻蚀。

[0063] 例如，可以选择 C_5HF_7 作为刻蚀气体， C_5HF_7 对于氧化硅的刻蚀速率可以达到400~500nm/min，同时对于氮化硅的刻蚀速率只有100~150nm/min，对多晶硅和金属的刻蚀速率几乎为0，因此，可以完美的将氧化硅层151和氮化硅层160刻蚀为图8所示的倒台阶型结构。当然，在实际应用中， C_5HF_7 只是一种选择，不应理解为对本发明的限制。也可以选择其他刻蚀气体执行选择性刻蚀，刻蚀参数可根据具体工艺条件和实际需求进行设定。

[0064] 根据本发明的其中一个实施例，其中，所述氧化硅层沿沟道方向的长度不小于所述第二栅介质层沿沟道方向长度的二分之一。如小于这一比值，则所述沟道区域上方的氧化硅会被刻蚀掉而被氮化硅取代，而氮化硅与有源区之间的界面性能是不如氧化硅与有源区之间的界面性能的，氧化硅被过度刻蚀会导致沟道区域的亚阈值特性显著增加，影响器件性能。具体的刻蚀比例以沟道的有效长度为参考，在实际中可根据需要进行设置。

[0065] 优选的，所述晶体管还包括层间介质层180，所述层间介质层的材料为氮化硅，所述氮化硅中的氢元素含量小于氮化硅层160中的氢元素含量。层间介质层180在淀积时通过扩散同时填充所述氮化硅层160下方的氧化硅层151两侧的空间，即该区域原有的氧化硅被氮化硅取代。由于层间介质层180中的氢元素含量小于氮化硅层160中的氢元素含量，具有更大的介电常数，因此，可以进一步减小该区域的电场强度。

[0066] 相比于现有技术中采用氧化硅材料作为栅极介质层的薄膜晶体管，本发明采用了介电常数较大的氮化硅替换了部分栅极介质层，使得栅极介质层的介电常数减小，从而减小沟道区的电场。进一步的，本发明还采用空腔和氮化硅结合的结构作为栅极介质层，使得栅极介质层的介电常数相比于氧化硅大幅度减小，有效的减小了电场，从而遏制了由于高电场引起阈值电压漂移和热载流子效应。相比于现有技术，极大地改善了薄膜晶体的性能。

[0067] 相应的，本发明还提供了一种显示面板，包括如前所述的薄膜晶体管。参考图8，所述显示面板还包括：位于所述层间介质层上方的钝化层210，位于所述有源区外侧的钝化层210上方的色阻层240，位于所述色阻层240上方的像素电极250，位于所述像素电极250上方的有机发光层260，以及位于所述有机发光层260上方的阴极270。

[0068] 本发明采用将栅极绝缘层优化成氧化硅层和氮化硅层的夹层结构，采用干法蚀刻的方法将氮化硅层下方的氮化硅层两侧挖空，降低了栅极绝缘层两侧的电场强度，避免了由高电场引发的阈值电压漂移和热载流子效应。因此，本发明能够提升顶栅型IGZO TFT器件的稳定性和良率，减少阈值电压的漂移，以满足显示屏对高帧率和高解析度等产品的需求。

[0069] 下面，将结合附图3至图8对本发明提供的一种薄膜晶体管的制作方法进行详细说明。该方法包括以下步骤：

[0070] a. 提供衬底130；

[0071] b. 在所述衬底130上方形成有源区140；

[0072] c. 在所述有源区140上方形成氧化硅层150；

[0073] d. 在所述有氧化硅层150上方形成第二栅介质层160；

- [0074] e. 在所述栅极介质层上方形成栅极金属170;
- [0075] f. 沿沟道方向对氧化硅层150和第二栅介质层160进行选择性地刻蚀, 使刻蚀后的氧化硅层151沿沟道方向的长度小于第二栅介质层160;
- [0076] g. 在所述第二栅介质层160下方的有源区140两侧形成源漏区。
- [0077] 具体的, 在步骤a中, 所述衬底为半导体材料, 优选的, 可以是硅、锗等单质半导体, 也可以是三五族化合物半导体, 例如砷化镓等, 衬底的选择是本领域的常用技术, 在此不再赘述。
- [0078] 接下来, 参见图3, 在步骤b中, 在所述衬底130上方形成有源区140。在本实施例中, 所述有源区为非晶铟镓锌氧化物薄膜, 所述IGZO薄膜具有分辨率高、尺寸大、处理速率高和可见光范围内透过率高等显著优点, 更适合应用于电子显示领域, 例如液晶显示器中的TFT阵列。
- [0079] 接下来, 参见图4, 在步骤c中, 在有源区140上方形成氧化硅层150, 具体的, 可以采用气相外延生成氧化硅层150, 气相外延生成的氧化硅层与有源区之间具有良好的界面态, 缺陷和杂质相比于气相沉积更好。
- [0080] 之后, 在步骤d中, 参见图4, 在所述氧化硅层150上方生成第二栅介质层160, 所述氧化硅层150的介电常数大于第二栅介质层160的介电常数。具体的, 由于在氧化硅层上生长或沉积氮化硅层的工艺在本领域中相对成熟, 且氮化硅的相对介电常数约为7, 大于氧化硅的相对介电常数4, 因此, 本实施例中所述第二栅介质层160为氮化硅层。在其他实施例中, 所述第二栅极介质层160也可以采用其他介电常数高的材料, 例如氧化铅、氧化铝、氧化钛等, 上述材料都拥有很高的介电常数, 能够进一步减小沟道区域的电场强度, 在实际应用中可以根据需要挑选合适的介电材料。
- [0081] 之后, 参见图4, 在步骤e中, 在所述栅极介质层上方形成栅极金属170。具体的, 栅极金属层的材料可以选用TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTax、NiTa中的一种或其组合, 其厚度在5nm~20nm之间。栅极金属可以通过化学气相沉积、高密度等离子体化学气相沉积、原子层沉积、等离子体增强原子层沉积、脉冲激光沉积或其他合适的方法形成。
- [0082] 之后, 参见图5, 对氧化硅层150、第二栅介质层160和栅极金属170进行图形化

，暴露出部分有源区140，形成栅极结构。

[0083] 之后，参见图6，沿沟道方向对氧化硅层150、第二栅介质层160和栅极金属170进行选择性的刻蚀，使刻蚀后的氧化硅层151沿沟道方向的长度小于第二栅介质层160。具体的，为了实现所述氧化硅层151沿沟道方向的长度小于所述氮化硅层160的长度这一技术特征，需要在栅极图形化之后增益一步选择性刻蚀工艺，从侧面沿着沟道方向对栅极介质层进行选择性的刻蚀。具体的，可以选择干法刻蚀，由于干法刻蚀的刻蚀气体对不同的材料的刻蚀速度差异很大，因此可以实现横向快速刻蚀氧化硅的同时氮化硅刻蚀很慢甚至不刻蚀。

[0084] 例如，可以选择 C_5HF_7 作为刻蚀气体， C_5HF_7 对于氧化硅的刻蚀速率可以达到400~500nm/min，同时对于氮化硅的刻蚀速率只有100~150nm/min，对多晶硅和金属的刻蚀速率几乎为0，因此，可以完美的将氧化硅层151和氮化硅层160刻蚀为图8所示的倒台阶型结构。当然，在实际应用中， C_5HF_7 只是一种选择，不应理解为对本发明的限制。也可以选择其他刻蚀气体执行选择性的刻蚀，刻蚀参数可根据具体工艺条件和实际需求进行设定。

[0085] 根据本发明的其中一个实施例，其中，所述氧化硅层沿沟道方向的长度不小于所述第二栅介质层沿沟道方向长度的二分之一。如小于这一比值，则所述沟道区域上方的氧化硅会被刻蚀掉而被氮化硅取代，而氮化硅与有源区之间的界面性能是不如氧化硅与有源区之间的界面性能的，氧化硅被过度刻蚀会导致沟道区域的亚阈值特性显著增加，影响器件性能。具体的刻蚀比例以沟道的有效长度为参考，在实际中可根据需要进行设置。

[0086] 之后，在步骤g中，在所述栅极介质层下方形成源漏区。

[0087] 具体的，源漏区可以通过向有源区中注入P型或N型掺杂物或杂质而形成，例如，对于PMOS来说，源漏区可以是P型掺杂，对于NMOS来说，源漏区可以是N型掺杂。源/漏区可以由包括光刻、离子注入、扩散和/或其他合适工艺的方法形成。在其他一些实施例中，源/漏区可以通过选择性外延生长所形成的提升的源漏极结构，其外延部分的顶部高于栅极堆叠底部。之后采用高温处理激活杂质，例如退火工艺。

[0088] 根据本发明的其中一个实施例，其中，在源漏区形成之后，还包括步骤h：形

成覆盖所述薄膜晶体管的层间介质层180，其中，形成所述层间介质层180的材料为氮化硅，且形成所述层间介质层180的氮化硅中的氢元素含量低于氮化硅层160中的氢元素含量。参加图7，具体的，层间介质层可以通过化学气相沉积、高密度等离子体、旋涂或其他合适的方法形成在衬底上。层间介质层的材料可以包括SiO₂、碳掺杂SiO₂、BPSG、PSG、UGS、氮氧化硅、低k材料或其组合。层间介质层的厚度范围可以是40nm~150nm，如80nm、100nm或120nm。

[0089] 优选的，参见图8，在层间介质层180形成之后，还包括：在所述层间介质层上方形成钝化层210，在所述有源区外侧的钝化层210上方形成色阻层240，在所述色阻层240上方形成像素电极250，在所述像素电极250上方形成有机发光层260，以及在所述有机发光260层上方形成阴极270，从而形成具有前述薄膜晶体管的显示面板，可应用于OLED显示屏中。

[0090] 本发明中的栅极介质层采用倒台阶型的叠层结构，不仅仅是通过氮化硅和氧化硅的叠层增大栅极介质层的介电常数，更通过选择性刻蚀和层间介质层淀积的方法把氮化硅下方位于沟道两端的氧化硅替换为氮化硅，进一步减小了沟道两端的电场强度，参见图9，图9为本发明中的薄膜晶体管沟道区域的电场强度，可以看出，沟道区域的电场得到了显著的减小，特别是沟道两端的区域，电场强度下降了一个数量级。

[0091] 相比于现有技术中采用氧化硅材料作为栅极介质层的薄膜晶体管，本发明采用了介电常数较大的氮化硅替换了部分栅极介质层，使得栅极介质层的介电常数减小，从而减小沟道区的电场，遏制了由于高电场引起阈值电压漂移和热载流子效应。相比于现有技术，极大地改善了薄膜晶体管的性能。

[0092] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

- [权利要求 1] 一种薄膜晶体管，其中，所述晶体管包括：
- 衬底；
- 有源区，位于所述衬底上方；
- 栅极介质层，位于所述有源区上方；
- 栅极金属，位于所述栅极介质层上方；
- 源漏区，位于所述沟道区两侧的有源区中；其中，
- 所述栅极介质层包括位于所述有源区上方的氧化硅层和位于所述氧化硅层上方的第二栅介质层，所述氧化硅层沿沟道方向的长度小于所述第二栅介质层的长度；其中，所述第二栅介质层的介电常数大于氧化硅层的介电常数。
- [权利要求 2] 根据权利要求1所述的薄膜晶体管，其中，所述第二栅介质层为氮化硅层。
- [权利要求 3] 根据权利要求1所述的薄膜晶体管，其中，所述晶体管还包括层间介质层，所述层间介质层的材料为氮化硅，所述氮化硅中的氢元素含量小于氮化硅层中的氢元素含量。
- [权利要求 4] 根据权利要求3所述的薄膜晶体管，其中，所述第二栅介质层下方的氧化硅层两侧的空间被层间介质层填充。
- [权利要求 5] 根据权利要求4所述的薄膜晶体管，其中，所述氧化硅层沿沟道方向的长度不小于所述第二栅介质层沿沟道方向长度的二分之一。
- [权利要求 6] 一种显示面板，其中，包括薄膜晶体管，
- 所述晶体管包括：
- 衬底；
- 有源区，位于所述衬底上方；
- 栅极介质层，位于所述有源区上方；
- 栅极金属，位于所述栅极介质层上方；
- 源漏区，位于所述沟道区两侧的有源区中；其中，
- 所述栅极介质层包括位于所述有源区上方的氧化硅层和位于所述氧化

硅层上方的第二栅介质层，所述氧化硅层沿沟道方向的长度小于所述第二栅介质层的长度；其中，所述第二栅介质层的介电常数大于氧化硅层的介电常数。

[权利要求 7] 根据权利要求6所述的显示面板，其中，所述第二栅介质层为氮化硅层。

[权利要求 8] 根据权利要求6所述的显示面板，其中，所述晶体管还包括层间介质层，所述层间介质层的材料为氮化硅，所述氮化硅中的氢元素含量小于氮化硅层中的氢元素含量。

[权利要求 9] 根据权利要求8所述的显示面板，其中，所述第二栅介质层下方的氧化硅层两侧的空间被层间介质层填充。

[权利要求 10] 根据权利要求9所述的显示面板，其中，所述氧化硅层沿沟道方向的长度不小于所述第二栅介质层沿沟道方向长度的二分之一。

[权利要求 11] 根据权利要求10所述的显示面板，其中，还包括：

钝化层，位于所述层间介质层上方；
色阻层，位于所述有源区外侧的钝化层上方；
像素电极，位于所述色阻层上方；
有机发光层，位于所述像素电极上方；
阴极，位于所述有机发光层上方。

[权利要求 12] 一种薄膜晶体管的制作方法，其中，该方法包括：

- a. 提供衬底；
- b. 在所述衬底上方形成有源区；
- c. 在所述沟道区上方形成氧化硅层；
- d. 在所述有氧化硅层上方形成第二栅介质层；
- e. 在所述栅极介质层上方形成栅极金属；
- f. 沿沟道方向对氧化硅层和第二栅介质层进行选择刻蚀，使刻蚀后的氧化硅层沿沟道方向的长度小于第二栅介质层；
- g. 在所述第二栅介质层两侧的有源区中形成源漏区。

[权利要求 13] 根据权利要求12所述的薄膜晶体管的制作方法，其中，所述第二栅介

质层为氮化硅层。

- [权利要求 14] 根据权利要求13所述的薄膜晶体管的制作方法，其中，在步骤g之后还包括步骤h：
形成覆盖所述薄膜晶体管的层间介质层，其中，形成所述层间介质层的材料为氮化硅，且形成所述层间介质层的氮化硅中的氢元素含量低于第二栅介质层中的氢元素含量。
- [权利要求 15] 根据权利要求14所述的薄膜晶体管的制作方法，其中，步骤d中的第二栅介质层的长度大于所述薄膜晶体管所需要的栅极介质层的长度。
- [权利要求 16] 根据权利要求15所述的薄膜晶体管的制作方法，其中，在步骤f中选择性刻蚀所用的刻蚀方法为干法刻蚀，刻蚀气体为 C_5HF_7 。
- [权利要求 17] 根据权利要求16所述的薄膜晶体管的制作方法，其中，所述氧化硅层沿沟道方向的长度不小于所述第二栅介质层沿沟道方向长度的二分之一。

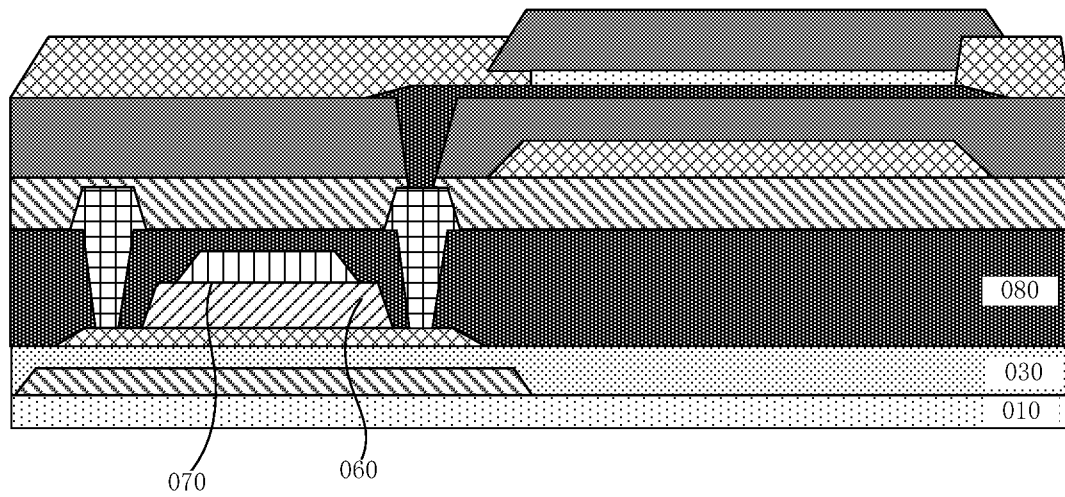


图 1

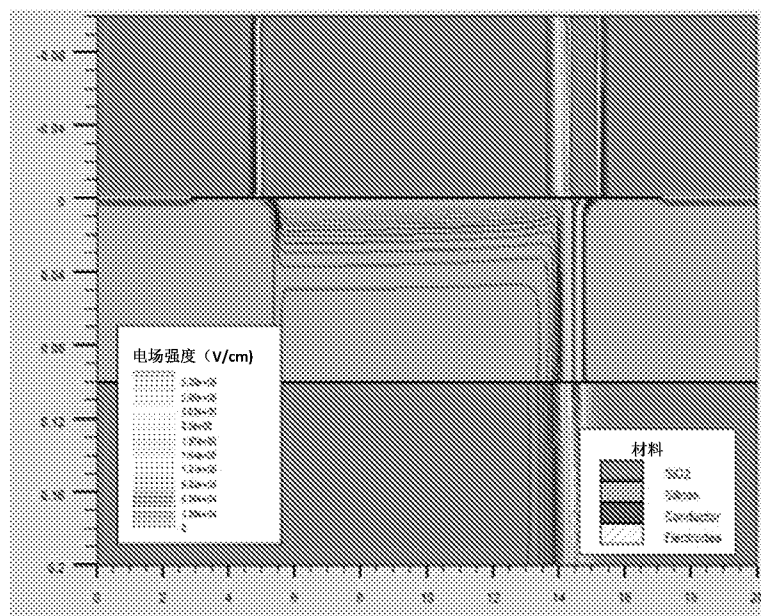


图 2

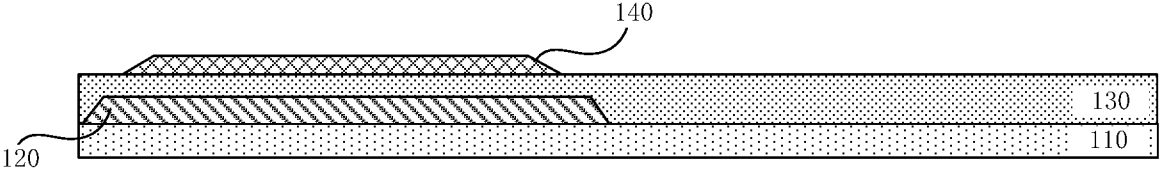


图 3

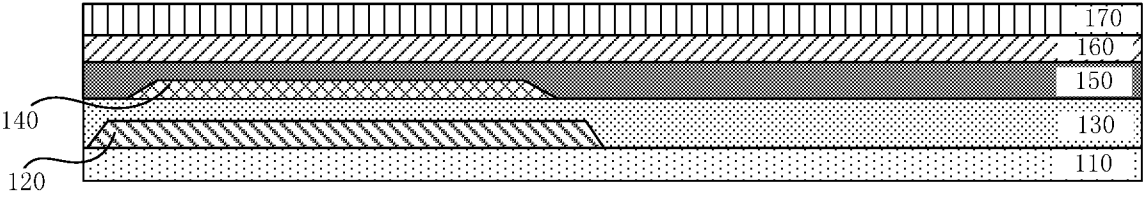


图 4

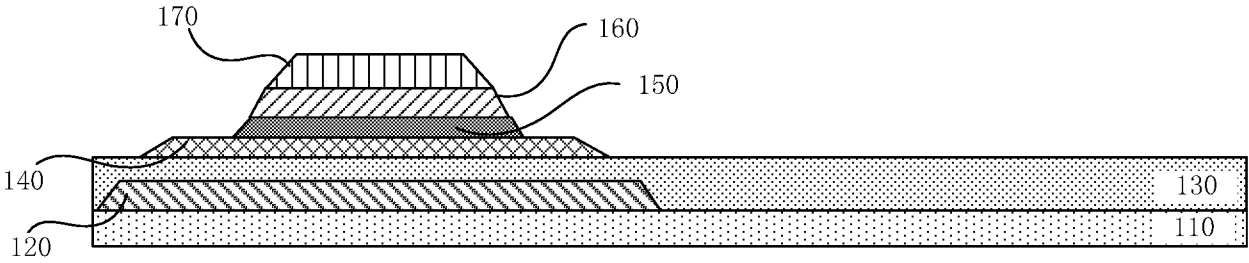


图 5

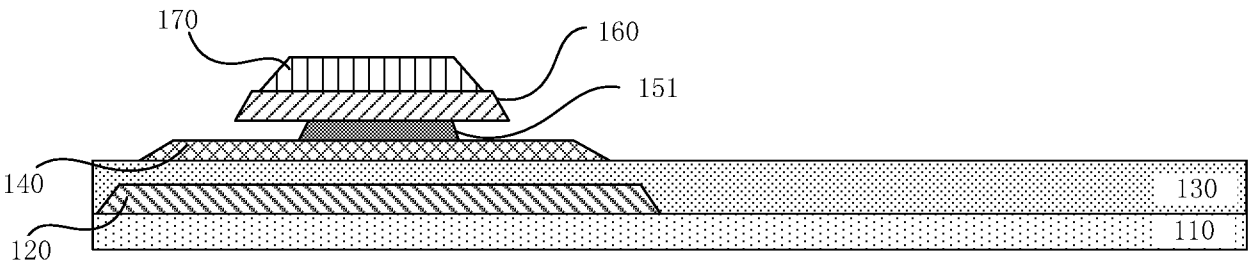


图 6

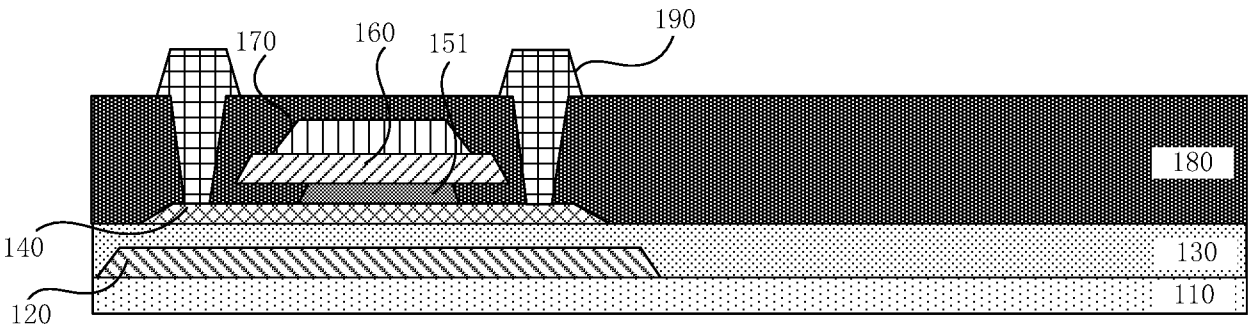


图 7

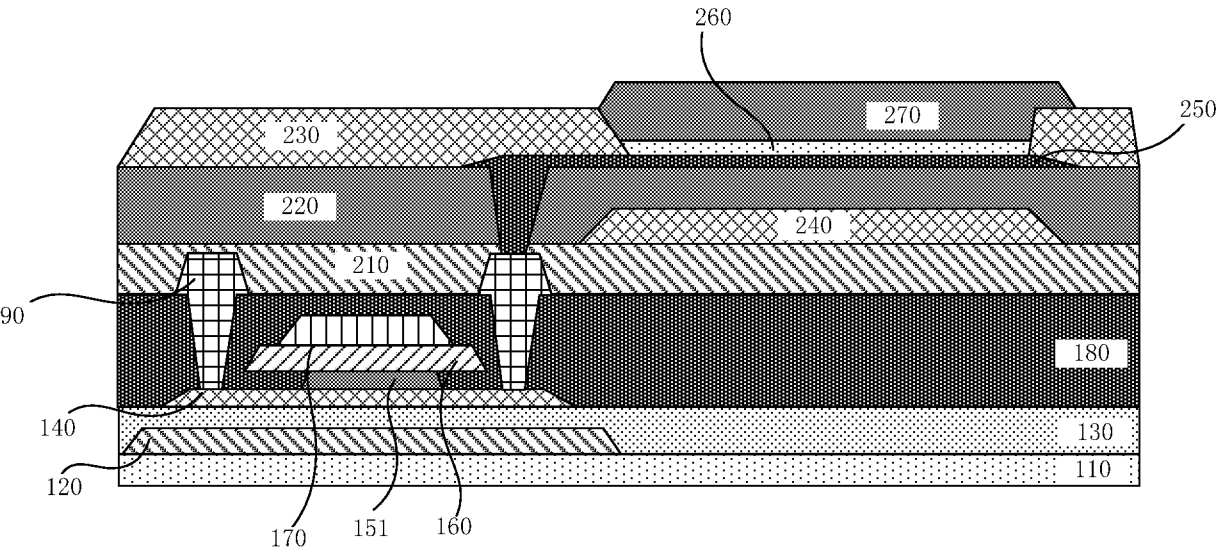


图 8

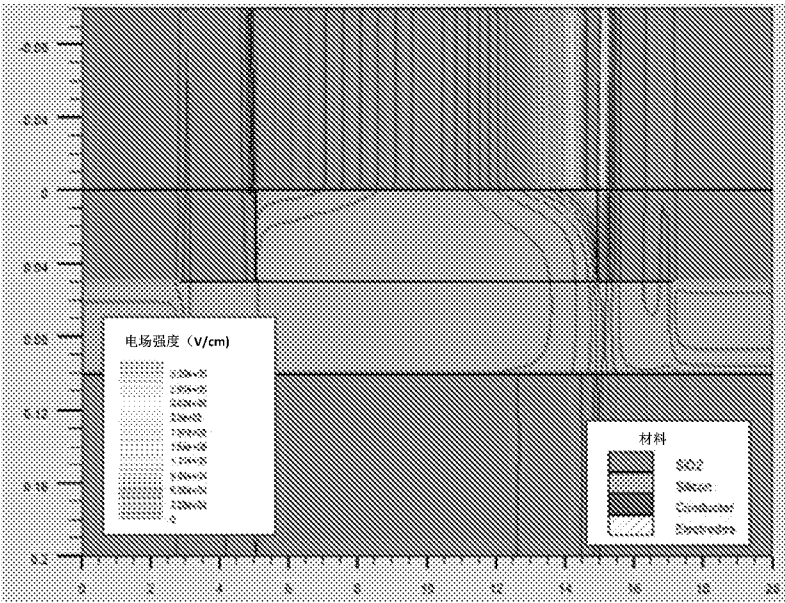


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/117578

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; H01L 29/51(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: 薄膜晶体管, 栅, 介质, 绝缘, 两层, 第二, 层, 氧化硅, 氮化硅, 高介电常数, 阶梯, 台阶, TFT, FET, gate, dielectric, second, length, long+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1591903 A (TOSHIBA CORPORATION) 09 March 2005 (2005-03-09) description, page 20, line 13 to page 28, line 28, and figures 22-26	1-17
A	US 6100119 A (LG ELECTRONICS INC.) 08 August 2000 (2000-08-08) entire document	1-17
A	US 2007018238 A1 (KABUSHIKI KAISHA TOSHIBA) 25 January 2007 (2007-01-25) entire document	1-17
A	CN 108336147 A (CUI, JINYI) 27 July 2018 (2018-07-27) entire document	1-17
A	CN 101317272 A (NEC CORPORATION) 03 December 2008 (2008-12-03) entire document	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 May 2019

Date of mailing of the international search report

03 June 2019

Name and mailing address of the ISA/CN

**China National Intellectual Property Administration (ISA/
CN)**
**No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
 100088**
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/117578

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	1591903	A	09 March 2005	JP	2005085822	A	31 March 2005
				CN	100379020	C	02 April 2008
				US	2005051856	A1	10 March 2005
US	6100119	A	08 August 2000	US	5783852	A	21 July 1998
				KR	97013428	A	29 March 1997
				KR	100323736	B	14 August 2002
US	2007018238	A1	25 January 2007	JP	2007019177	A	25 January 2007
CN	108336147	A	27 July 2018	None			
CN	101317272	A	03 December 2008	WO	2007060797	A1	31 May 2007
				US	2009045469	A1	19 February 2009
				EP	1965435	A4	11 November 2009
				EP	1965435	A1	03 September 2008
				JP	WO2007060797	A1	07 May 2009
				JP	5157450	B2	06 March 2013

国际检索报告

国际申请号

PCT/CN2018/117578

A. 主题的分类

H01L 29/786(2006.01)i; H01L 29/51(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, WPI, EPDOC: 薄膜晶体管, 栅, 介质, 绝缘, 两层, 第二, 层, 氧化硅, 氮化硅, 高介电常数, 阶梯, 台阶, TFT, FET, gate, dielectric, second, length, long+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 1591903 A (株式会社东芝) 2005年 3月 9日 (2005 - 03 - 09) 说明书第20页第13行-第28页第28行, 附图22-26	1-17
A	US 6100119 A (LG ELECTRONICS INC.) 2000年 8月 8日 (2000 - 08 - 08) 全文	1-17
A	US 2007018238 A1 (KABUSHIKI KAISHA TOSHIBA) 2007年 1月 25日 (2007 - 01 - 25) 全文	1-17
A	CN 108336147 A (崔金益) 2018年 7月 27日 (2018 - 07 - 27) 全文	1-17
A	CN 101317272 A (日本电气株式会社) 2008年 12月 3日 (2008 - 12 - 03) 全文	1-17

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 5月 22日

国际检索报告邮寄日期

2019年 6月 3日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

刘宁

电话号码 86-(10)-53961209

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/117578

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1591903	A	2005年 3月 9日	JP	2005085822	A	2005年 3月 31日
				CN	100379020	C	2008年 4月 2日
				US	2005051856	A1	2005年 3月 10日
US	6100119	A	2000年 8月 8日	US	5783852	A	1998年 7月 21日
				KR	97013428	A	1997年 3月 29日
				KR	100323736	B	2002年 8月 14日
US	2007018238	A1	2007年 1月 25日	JP	2007019177	A	2007年 1月 25日
CN	108336147	A	2018年 7月 27日	无			
CN	101317272	A	2008年 12月 3日	WO	2007060797	A1	2007年 5月 31日
				US	2009045469	A1	2009年 2月 19日
				EP	1965435	A4	2009年 11月 11日
				EP	1965435	A1	2008年 9月 3日
				JP	W02007060797	A1	2009年 5月 7日
				JP	5157450	B2	2013年 3月 6日