

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5848460号
(P5848460)

(45) 発行日 平成28年1月27日 (2016. 1. 27)

(24) 登録日 平成27年12月4日 (2015. 12. 4)

(51) Int. Cl.	F I
H04L 7/033 (2006.01)	H04L 7/033 700
H03L 7/099 (2006.01)	H03L 7/08 F

請求項の数 21 (全 31 頁)

(21) 出願番号	特願2014-542513 (P2014-542513)	(73) 特許権者	595020643
(86) (22) 出願日	平成24年11月16日 (2012. 11. 16)		クォアルコム・インコーポレイテッド
(65) 公表番号	特表2015-504635 (P2015-504635A)		QUALCOMM INCORPORATED
(43) 公表日	平成27年2月12日 (2015. 2. 12)		ED
(86) 国際出願番号	PCT/US2012/065649		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開番号	W02013/075009		121-1714、サン・ディエゴ、モア
(87) 国際公開日	平成25年5月23日 (2013. 5. 23)		ハウス・ドライブ 5775
審査請求日	平成26年7月16日 (2014. 7. 16)	(74) 代理人	100108855
(31) 優先権主張番号	61/560, 422		弁理士 蔵田 昌俊
(32) 優先日	平成23年11月16日 (2011. 11. 16)	(74) 代理人	100109830
(33) 優先権主張国	米国 (US)		弁理士 福原 淑弘
(31) 優先権主張番号	13/363, 410	(74) 代理人	100103034
(32) 優先日	平成24年2月1日 (2012. 2. 1)		弁理士 野河 信久
(33) 優先権主張国	米国 (US)	(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 バーストモードパルス幅変調 (PWM) および非ゼロ復帰 (NRZ) データを復元するための装置および方法

(57) 【特許請求の範囲】

【請求項 1】

第1の入力端子、第2の入力端子、出力端子および相補出力端子を備える第1の遅延セルと、

第1の入力端子、その第1の入力端子に結合された出力端子、相補出力端子および前記第1の遅延セルの前記出力端子に結合された第2の入力端子を備える第2の遅延セルと、

前記第1の遅延セルの前記出力端子に結合された第1の入力端子、前記第2の遅延セルの前記出力端子に結合された第2の入力端子、出力端子および前記第1の遅延セルの前記第1の入力端子に結合された相補出力端子を備える第3の遅延セルと、

出力端子、その出力端子に結合された第1の入力端子、前記第3の遅延セルの前記出力端子に結合された第2の入力端子、および前記第1の遅延セルの前記第2の入力端子に結合された相補出力端子を備える第4の遅延セルと

入力データ信号を受信すること、および前記入力データ信号中の遷移にตอบสนองして選択パルスを生成することを行うためのデータエッジ検出回路とを備え、

前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルは、入力データ遷移に対応する前記選択パルスを受け取ることと、前記選択パルスの不在下で、それらのそれぞれの第2の入力端子を選択し、前記第2の遅延セルの前記出力において第1の位相シフト復元クロックを、前記第4の遅延セルの前記出力において第2の位相シフト復元クロックを、前記第2の遅延セルの前記相補出力において第3の位相シ

10

20

フト復元クロックを、および前記第4の遅延セルの前記相補出力において第4の位相シフト復元クロックを発生する発振で発振するためにそれぞれの遅延を適用することを行うように構成され、

前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルは、前記選択パルスにตอบสนองしてそれらのそれぞれの第1の入力端子を前記選択することに基づいて、前記第1の位相シフト復元クロック、前記第2の位相シフト復元クロック、前記第3の位相シフト復元クロック、および前記第4の位相シフト復元クロックを同期させて、それぞれ前記データ遷移検出回路に前記選択パルスを生成させる前記データ遷移に続いて、それぞれ第1のデータ、第2のデータ、第3のデータ、および第4のデータを整合するように構成される、ゲートッド同期電圧制御多相クロック発振器。

10

【請求項2】

前記遅延は、前記発振が前記遅延の逆数の $1/4$ に等しい周波数になるように、所与のビット持続時間の $1/2$ である、請求項1に記載のゲートッド同期電圧制御多相クロック発振器。

【請求項3】

前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々がそれぞれのバイアス入力端子を含み、前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよびさらなる遅延セルの各々が、その第1の入力端子および第2の入力端子のうちの前記選択された1つからその出力端子および相補出力端子への送信に関して、前記バイアス入力端子に印加されるバイアス電圧に少なくとも部分的に依存する遅延を適用する、請求項2に記載のゲートッド同期電圧制御多相クロック発振器。

20

【請求項4】

前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々がそれぞれのバイアス入力端子を含み、前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々が、その第1の入力端子および第2の入力端子のうちの前記選択された1つからその出力端子および相補出力端子への送信に関して、前記バイアス入力端子に印加されるバイアス電圧に少なくとも部分的に依存する遅延を適用する、請求項1に記載のゲートッド同期電圧制御多相クロック発振器。

【請求項5】

前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルによって適用される前記それぞれの遅延が等しく、前記等しいそれぞれの遅延において、前記第1の位相シフト復元クロック、前記第2の位相シフト復元クロック、前記第3の位相シフト復元クロックおよび前記第4の位相シフト復元クロックは位相が等間隔に離間した、請求項1に記載のゲートッド同期電圧制御多相クロック発振器。

30

【請求項6】

前記発振器が少なくとも1つの半導体ダイに組み込まれた、請求項1に記載のゲートッド同期電圧制御多相クロック発振器。

【請求項7】

前記発振器がその中に組み込まれた、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定ロケーションデータユニット、およびコンピュータからなるグループから選択されたデバイスをさらに備える、請求項6に記載のゲートッド同期電圧制御多相クロック発振器。

40

【請求項8】

前記第1の位相シフト復元クロックが所与の基準に対して45度であり、前記第2の位相シフト復元クロックが前記所与の基準の135度後であり、前記第3の位相シフト復元クロックが前記所与の基準の225度後であり、前記第4の位相シフト復元クロックが前記所与の基準の315度後である、請求項1に記載のゲートッド同期電圧制御多相クロック発振器。

【請求項9】

50

前記第 1 の電圧制御遅延セル、前記第 2 の電圧制御遅延セル、前記第 3 の電圧制御遅延セルおよび前記第 4 の電圧制御遅延セルの各々は、その出力端子上の負荷と、その相補出力端子上の負荷との合計を備えるそれぞれの出力負荷を有し、前記それぞれの出力負荷のすべてが共通の値に等しい、請求項 1 に記載のゲーテッド同期電圧制御多相クロック発振器。

【請求項 10】

前記共通の値は 2 つの負荷であり、前記 2 つの負荷の各々は、前記第 1 の入力端子および前記第 2 の入力端子のうちの 1 つである、請求項 9 に記載のゲーテッド同期電圧制御多相クロック発振器。

【請求項 11】

バイアス入力を伴い、前記バイアス入力におけるバイアス電圧に基づく周波数 (FS) で発振するように構成された電圧制御発振器を有し、FS と基準周波数 (FRC) との間の差を検出し、前記検出された差に基づいて FS を FRC のほうへ動かす方法で前記バイアス電圧を発生するように構成されたフィードバック誤差回路を有する周波数追跡位相ロックループ発振器と、ここにおいて、前記周波数追跡位相ロックループ発振器は、FS のほうへ、前記バイアス電圧に従って発振するように、少なくとも部分的に前記バイアス電圧によって制御されるそれぞれの遅延を有する複数の電圧制御遅延セルを備える、

入力データ信号を受信すること、および、入力データ信号遷移に応答して選択パルスを生成することを行うためのエッジ検出回路と、

それぞれの入力端子および出力端子を有する複数のレプリカ電圧制御遅延セルを備え、前記バイアス電圧を受け取ることと、前記バイアス電圧に少なくとも部分的に基づいて遅延を適用することとを行うように構成されたレプリカ電圧制御発振器であって、前記周波数追跡位相ロックループ発振器の前記電圧制御遅延セルの前記それぞれの遅延をレプリカするレプリカ電圧制御発振器と

を備え、

前記複数のレプリカ電圧制御遅延セルは、それぞれの第 1 の入力端子と第 2 の入力端子、出力端子、および相補出力端子を有し、前記選択パルスの不在下ではそれらのそれぞれの第 2 の入力端子に切り替わり、前記選択パルスに応答してそれらのそれぞれの第 1 の入力端子に切り替わるように構成され、

前記レプリカ電圧制御遅延セルの前記それぞれの出力端子と相補出力端子およびそれぞれの第 1 の入力端子と第 2 の入力端子は、それらのそれぞれの第 2 の入力端子に切り替えられるとき、前記周波数追跡位相ロックループ発振器の電圧制御遅延セルの前記所与の相互接続をレプリカする相互接続を形成することと、FS において、前記バイアス電圧に少なくとも部分的に基づいて発振することと、それらのそれぞれの出力端子において、多相サンプリングクロックのそれぞれの位相を生成することとを行うために相互接続される、

前記レプリカ電圧制御遅延セルの前記それぞれの出力端子と相補出力端子およびそれぞれの第 1 の入力端子と第 2 の入力端子は、前記選択パルスに応答してそれらのそれぞれの第 1 の入力端子に切り替えられたときに、一連の前記入力データビットとの前記多相サンプリングクロックの同期を強制する相互接続を形成するために相互接続される、

クロックおよびデータ復元装置。

【請求項 12】

前記周波数追跡位相ロックループ発振器の前記複数の電圧制御遅延セルは、第 1 の電圧制御遅延セル、第 2 の電圧制御遅延セル、第 3 の電圧制御遅延セルおよび第 4 の電圧制御遅延セルを含み、

前記レプリカ電圧制御発振器の前記複数のレプリカ電圧制御遅延セルは、第 1 のレプリカ電圧制御遅延セル、第 2 のレプリカ電圧制御遅延セル、第 3 のレプリカ電圧制御遅延セルおよび第 4 のレプリカ電圧制御遅延セルを含み、

前記第 1 のレプリカ電圧制御遅延セル、前記第 2 のレプリカ電圧制御遅延セル、前記第 3 のレプリカ電圧制御遅延セルおよび前記第 4 のレプリカ電圧制御遅延セルの各々が、前記選択パルス信号を受信するように構成された選択入力端子を含み、その第 1 の入力端子

10

20

30

40

50

およびその第2の入力端子のうちの選択された1つからその出力端子および相補出力端子への遅延経路を確立するように構成され、前記選択された1つが前記選択パルス信号に基づく、請求項11に記載のクロックおよびデータ復元装置。

【請求項13】

非ゼロ復帰（NRZ）モードとパルス幅変調（PWM）モードとの間で選択的に切替え可能なマルチモードサンプリングクロック発生器をさらに備え、

前記マルチモードサンプリングクロック発生器が、前記NRZモードにおいて、前記選択パルスに応答して、前記データ信号中の第1のNRZビットと整合された第1の位相NRZサンプリングクロックを有する多相NRZサンプリングクロックと、前記データ信号中の第2のNRZビットと整合された第2の位相NRZサンプリングクロックとを、前記多相サンプリングクロックの位相から選択するように構成され、前記第1の位相NRZサンプリングクロックおよび前記第2の位相NRZサンプリングクロックがそれぞれ、前記第1のレプリカ電圧制御遅延セル、前記第2のレプリカ電圧制御遅延セル、前記第3のレプリカ電圧制御遅延セルおよび前記第4のレプリカ電圧制御遅延セルのうちの1つの前記出力端子および前記相補出力のうちの1つであり、

前記マルチモードサンプリングクロック発生器が、前記PWMモードにおいて、前記選択パルスに対応するPWMビット中のサンプリングポイントと整合されたPWMサンプリングクロックを選択するように構成され、前記PWMサンプリングクロックが前記第1のレプリカ電圧制御遅延セル、前記第2のレプリカ電圧制御遅延セル、前記第3のレプリカ電圧制御遅延セルおよび前記第4のレプリカ電圧制御遅延セルのうちの1つの前記出力端子および前記相補出力のうちの1つである、請求項12に記載のクロックおよびデータ復元装置。

【請求項14】

前記マルチモードサンプリングクロック発生器が、1/2レートNRZモードと1/4レートNRZモードとの間で選択可能であるようにさらに構成され、前記1/4レートサンプリングモードにおいて、前記多相NRZサンプリングクロックが、前記データ信号中の第3のNRZビットと整合された第3の位相NRZサンプリングクロックと、前記データ信号中の第4のNRZビットと整合された第4の位相NRZサンプリングクロックとをさらに備える、請求項13に記載のクロックおよびデータ復元装置。

【請求項15】

前記第2のレプリカ電圧制御遅延セルの前記第1の入力端子は、前記第2のレプリカ電圧制御遅延セルの前記出力端子に結合され、

前記第3のレプリカ電圧制御遅延セルの前記第1の入力端子が前記第1のレプリカ電圧制御遅延セルの前記出力端子に結合され、前記第3のレプリカ電圧制御遅延セルの前記相補出力端子が前記第1のレプリカ電圧制御遅延セルの前記第1の入力端子に結合され、

前記第4のレプリカ電圧制御遅延セルの前記第1の入力端子が前記第4のレプリカ電圧制御遅延セルの前記出力端子に結合され、前記第4のレプリカ電圧制御遅延セルの前記第2の入力端子が前記第3のレプリカ電圧制御遅延セルの前記出力端子に結合され、前記第4のレプリカ電圧制御遅延セルの前記相補出力端子が前記第1のレプリカ電圧制御遅延セルの前記第2の入力端子に結合され、

前記選択パルスの不在下では前記第1のレプリカ電圧制御遅延セル、前記第2のレプリカ電圧制御遅延セル、前記第3のレプリカ電圧制御遅延セルおよび前記第4のレプリカ電圧制御遅延セルは、それらのそれぞれの第2の入力端子を選択し、それに応じて、

前記第1のレプリカ電圧制御遅延セルの前記出力端子が所与の基準に対して0度にある第1の位相シフト復元クロックを出力し、前記第1のレプリカ電圧制御遅延セルの前記相補出力端子が前記所与の基準の180度後にある相補的な第1の位相シフト復元クロックを出力し、

前記第2のレプリカ電圧制御遅延セルの前記出力端子が前記所与の基準の45度後にある第2の位相シフト復元クロックを出力し、前記第2のレプリカ電圧制御遅延セルの前記相補出力端子が前記所与の基準の225度後にある相補的な第2の位相シフト復元ク

ロックを出力し、

前記第3のレプリカ電圧制御遅延セルの前記出力端子が前記所与の基準の90度後にある第3の位相シフト復元クロックを出力し、前記第3のレプリカ電圧制御遅延セルの前記相補出力端子が前記所与の基準の270度後にある相補的な第3の位相シフト復元クロックを出力し、

前記第4のレプリカ電圧制御遅延セルの前記出力端子が前記所与の基準の135度後にある第4の位相シフト復元クロックを出力し、前記第4のレプリカ電圧制御遅延セルの前記相補出力端子が前記所与の基準の315度後にある相補的な第4の位相シフト復元クロックを出力する、請求項12に記載のクロックおよびデータ復元装置。

【請求項16】

第1の位相サンプリングクロック（CLK45）と、第2の位相サンプリングクロック（CLK135）と、第3の位相サンプリングクロック（CLK225）と、第4の位相サンプリングクロック（CLK315）とを有するサンプリングクロックSCCLKを発生するように構成された多相サンプリングクロック発生器をさらに備え、CLK45が前記第2の位相シフト復元クロックに対応し、CLK135が前記第4の位相シフト復元クロックに対応し、CLK225が前記第3の相補位相シフト復元クロックに対応し、CLK315が前記第4の相補位相シフト復元クロックに対応する、請求項15に記載のクロックおよびデータ復元装置。

【請求項17】

前記多相サンプリングクロック発生器が、1/2レートサンプリングモードに選択的に切り替わることと、前記1/2レートサンプリングモードにおいて、前記第3の位相シフト復元クロックに基づいて第1のビットサンプリングクロック（CLK90）を発生することと、前記相補的な第3の位相シフト復元クロックに基づいて第2のビットサンプリングクロック（CLK270）を発生することとを行うように構成された、請求項16に記載のクロックおよびデータ復元装置。

【請求項18】

前記第2のレプリカ電圧制御遅延セルの前記第1の入力端子が前記第2のレプリカ電圧制御遅延セルの前記出力端子に結合され、

前記第3のレプリカ電圧制御遅延セルの前記第1の入力端子が前記第1のレプリカ電圧制御遅延セルの前記出力端子に結合され、前記第3のレプリカ電圧制御遅延セルの前記相補出力端子が前記第1のレプリカ電圧制御遅延セルの前記第1の入力端子に結合され、

前記第4のレプリカ電圧制御遅延セルの前記第1の入力端子が前記第4のレプリカ電圧制御遅延セルの前記出力端子に結合され、前記第4のレプリカ電圧制御遅延セルの前記第2の入力端子が前記第3のレプリカ電圧制御遅延セルの前記出力端子に結合され、前記第4のレプリカ電圧制御遅延セルの前記相補出力端子が前記第1のレプリカ電圧制御遅延セルの前記第2の入力端子に結合され、

前記選択パルスに応答して、前記第1のレプリカ電圧制御遅延セル、前記第2のレプリカ電圧制御遅延セル、前記第3のレプリカ電圧制御遅延セルおよび前記第4のレプリカ電圧制御遅延セルは、それらのそれぞれの第1の入力端子を選択し、前記選択パルスの不在下では前記第1のレプリカ電圧制御遅延セル、前記第2のレプリカ電圧制御遅延セル、前記第3のレプリカ電圧制御遅延セルおよび前記第4のレプリカ電圧制御遅延セルは、それらのそれぞれの第2の入力端子を選択する

請求項12に記載のクロックおよびデータ復元装置。

【請求項19】

前記周波数追跡位相ロックループ発振器の前記第1の電圧制御遅延セル、前記第2の電圧制御遅延セル、前記第3の電圧制御遅延セルおよび前記第4の電圧制御遅延セルはそれぞれ、第1の入力端子、第2の入力端子、出力端子、相補出力端子、および選択入力端子を有し、そのそれぞれの第1の入力端子と第2の入力端子との間で切り替わることが可能であるように構成され、

前記第1の電圧制御遅延セル、前記第2の電圧制御遅延セル、前記第3の電圧制御遅延

10

20

30

40

50

セルおよび前記第 4 の電圧制御遅延セルの前記切り替わる能力は、それらのそれぞれの選択入力端子が無効化電圧に結合されることによって無効にされ、

前記第 3 の電圧制御遅延セルの前記第 1 の入力端子が前記第 1 の電圧制御遅延セルの前記出力端子に結合され、前記第 3 の電圧制御遅延セルの前記相補出力端子が前記第 1 の電圧制御遅延セルの前記第 1 の入力端子に結合され、

前記第 4 の電圧制御遅延セルの前記第 1 の入力端子が前記第 4 のレプリカ電圧制御遅延セルの前記出力端子に結合され、前記第 4 の電圧制御遅延セルの前記第 2 の入力端子が前記第 3 の電圧制御遅延セルの前記出力端子に結合され、前記第 4 の電圧制御遅延セルの前記相補出力端子が前記第 1 の電圧制御遅延セルの前記第 2 の入力端子に結合される、

請求項 18 に記載のクロックおよびデータ復元装置。

10

【請求項 20】

前記装置が少なくとも 1 つの半導体ダイに組み込まれた、請求項 11 に記載のクロックおよびデータ復元装置。

【請求項 21】

前記装置がその中に組み込まれた、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末 (PDA)、固定ロケーションデータユニット、およびコンピュータからなるグループから選択されたデバイスをさらに備える、請求項 11 に記載のクロックおよびデータ復元装置。

【発明の詳細な説明】

20

【関連出願】

【0001】

米国特許法第 119 条に基づく優先権の主張

本特許出願は、2011 年 11 月 16 日に出版され、本出願の譲受人に譲渡され、参照により本明細書に明確に組み込まれ、「APPARATUS AND METHOD FOR RECOVERING BURST-MODE PULSE WIDTH MODULATION (PWM) AND NON-RETURN-TO-ZERO (NRZ) DATA」と題される仮出願第 61/560,442 号への優先権を主張する。

【技術分野】

【0002】

本特許出願は、クロックおよびデータ復元に関し、より詳細には、M-PHY および等価な埋込みクロック送信の復元に関する。

30

【背景技術】

【0003】

「非ゼロ復帰 (non-return-to-zero)」または「NRZ」シグナリングと呼ばれるシグナリング技法は、隣接する複数のビットをこれらビット間に「ゼロ復帰 (return-to-zero)」(RZ) や他の遷移を挿入せずに連結する。NRZ シグナリングでは、データ値が例えば 2 進数「0」から 2 進数「1」に変化したときだけ遷移が起こる。従って、サンプリング基準のための各ビットを伴う遷移を有しないので、NRZ 信号受信機はサンプリングクロックを局所的に発生しなければならない、同期のためにデータ遷移しか使用できない。NRZ シグナリングは、しかしながら、所与のビットレートについて、RZ シグナリングによって必要とされる帯域幅のほぼ 1/2 を必要とする。

40

【0004】

NRZ 信号中のデータに周波数および位相が同期されたサンプリングクロックを NRZ 受信機が局所的に発生するための従来の技法が存在する。1 つのそのような技法は、例えば局所基準発振器によって供給される位相ロックループ (PLL) を使用し、NRZ 信号のビットレートに等しい周波数でサンプリングクロックを発生する。1 つのそのような技法では、NRZ 信号がサンプラーの信号入力に供給され、次にこのサンプラーが局所的に発生されたサンプリングクロックによってトリガされる。しかしながら、局所的に発生されたサンプリングクロックは NRZ 信号ビットレートであるので、後者が高いレートに増加したとき、今度は前者が増加しなければならない。高周波サンプリングクロックの発生

50

は、電力消費の観点、並びに製造許容誤差の低減に加えて信号路伝送線品質、雑音分離要件のような回路の考慮事項におけるコストを招き得る。さらに、NRZデータは、プリアンプの恩恵なく、速いロック時間を必要とするバーストモードで通信され得る。

【0005】

NRZデータを復元するための別の従来の技法は、ビットレートの分数、すなわち、 $1/N$ (N は概ね整数)である周波数を有する局所クロックを発生することと、これとの組合せで、その $1/N$ レートクロックに基づいて N 位相サンプリングクロックを発生することとを伴う。 N 位相サンプリングクロックは、 N 個のサンプラーがNRZ信号を受信することをトリガできる。しかしながら、 N 位相サンプリングクロックの従来の発生は、連携する相互接続を伴い、電圧制御遅延要素、マルチプレクサ、および論理を含むかなりの数の回路ブロックまたはセルを概ね必要とする。回路ブロックまたはセルのうちの様々なもの、特に電圧制御遅延要素は、相互接続のうちの様々なものに配置されるタップオフを伴い、カスケード接続され。タップオフの N が、今度は、サンプリングクロックの N 位相になる。 N 位相サンプリングの従来の発生では、電圧制御遅延要素間で構成に差異があり、同様にこれら要素のうちの異なるものの出力の負荷に差異がある。しかしながら、電圧制御遅延要素間の相対的遅延が N 位相サンプリングクロックの異なる位相を確立するので、これら構成および出力負荷におけるこうした差異が、 N 個のクロック位相間に一様でない位相差を生じさせる結果になり得る。この一様でない位相差は、次にNRZ信号の理想的なサンプリング時点と実際のサンプリング時点との間のタイミングオフセットを生じさせる結果になり得る。補償回路が含まれ得るが、これ自体が回路構造に複雑さをもたらし得る。また、補償回路と電圧制御遅延要素とは通常異なる構造を有するので、プロセスの相違が遅延において一様でないずれを生させ、補償回路が補正しようとした該当の問題を持ち込む結果となる得る。

【0006】

目的は電力消費をさらに低減することにあり、ある方法は複数の位相をもつ単一のクロックサイクル中で4つの並列データをサンプリングすることによってデータレートを増大することになる。これは以前にも行われたが、4つよりも相当多いマルチプレクサを必要とした。

【発明の概要】

【0007】

以下に、1つまたは複数の態様の基本的理解を与えるために、こうした態様の簡略化された概要を提示する。この概要は、全ての企図された態様の包括的な概観ではなく、全ての態様の主要または重要な要素を識別するものでも、いずれかの態様の範囲を定めるものでもない。その唯一の目的は、後で提示するより詳細な説明の導入として、1つまたは複数の態様のいくつかの概念を簡略化された形で提示することにある。

【0008】

様々な例示的な実施形態は、他の特徴および利益のうちで、安定した正確な低減された電力および低減された部品数のNRZ復元を提供する、サンプラー回路、4段多相クロック発生器、および平衡負荷を有するゲート電圧制御発振器クロックデータ復元回路を含む。一態様では、安定性、正確さ、低減された電力および低減された部品数のNRZ復元などの特徴に加えて、例示的な実施形態はさらに、他の特徴および利益のうちで、マルチレートNRZ、並びに一態様で、パルス幅変調データの共通ハードウェアを用いたマルチモード復元を提供できる。

【0009】

一実施形態では、 $1/4$ レートゲート電圧制御発振器は、第1の位相シフト復元クロックに結合された第1の入力端子、第2の位相シフト復元クロックに結合された第2の入力端子、および第3の位相シフト復元クロック信号を出力する出力端子を備える第1の遅延セルと、これとの組合せで、第4の位相シフト復元クロック信号を出力する出力端子、第2の遅延セルの出力端子に結合された第1の入力端子、および第1の遅延セルの出力端子に結合された第2の入力端子を備える第2の遅延セルと、これとの組合せで、第3の位

相シフト復元クロック信号を出力する出力端子、第1の遅延セルの出力端子に結合された第1の入力端子、および第2の遅延セルの出力端子に結合された第2の入力端子を備える第3の遅延セルと、これとのさらなる組合せで、第2の位相シフト復元クロック信号を出力する出力端子、第4の遅延セルの出力端子に結合された第1の入力端子、および第3の遅延セルの出力に結合された第2の入力端子を備える第4の遅延セルとを含むことができ、第1の遅延セル、第2の遅延セル、第3の遅延セルおよび第4の遅延セルの各々の出力端子は同じ負荷を有する。

【0010】

一態様では、例示的な一実施形態による1つの1/4レートゲート電圧制御発振器において、第1の遅延セル、第2の遅延セル、第3の遅延セルおよび第4の遅延セルの各々は第1の値と第2の値との間で切替え可能な選択信号を受信するように構成された選択入力をさらに含むことができ、第1の遅延セル、第2の遅延セル、第3の遅延セルおよび第4の遅延セルの各々は選択信号の切替え可能な値に応答してその第1の入力端子とその第2の入力端子との間で選択的に切り替わるように構成され得る。

10

【0011】

別の態様では、例示的な一実施形態による1つの1/4レートゲート電圧制御発振器は、バイアス入力端子を有する第1の遅延セル、第2の遅延セル、第3の遅延セルおよび第4の遅延セルの各々を含むことができ、その第1の入力端子および第2の入力端子のうちの選択された1つからその出力端子への送信に関して、バイアス入力端子に印加されるバイアス電圧に少なくとも部分的に依存する遅延を適用するように第1の遅延セル、第2の遅延セル、第3の遅延セルおよびさらなる遅延セルの各々を構成できる。

20

【0012】

例示的な一実施形態では、クロックおよびデータ復元装置が、バイアス入力を伴い、このバイアス入力におけるバイアス電圧に基づく周波数(FS: frequency)で発振する電圧制御発振器を有し、FSと基準周波数(FRC: reference frequency)との間の差を検出し、その差に基づいて、FSをFRCのほうへ動かす方法でバイアス電圧を発生するように構成されたフィードバック誤差回路を有する周波数追跡位相ロックループ発振器を提供するかまたは含むことができ、また、第1の入力端子、第2の入力端子、出力端子および相補出力端子を備える第1の遅延セルと、これとの組合せで、第1の入力端子、前記第1の端子に結合された出力端子、第1の遅延セルの出力端子に結合された第2の入力端子、および相補出力端子を備える第2の遅延セルと、これとの組合せで、第1の遅延セルの出力端子に結合された第1の入力端子、第2の遅延セルの出力端子に結合された第2の入力端子、出力端子、および第1の遅延セルの第1の入力端子に結合された相補出力端子を備える第3の遅延セルと、これとの組合せで、第1の入力端子、前記第1の入力端子に結合された出力端子、第3の遅延セルの出力端子に結合された第2の入力端子、および第1の遅延セルの第2の入力端子に結合された相補出力端子を備える第4の遅延セルとを有するレプリカ電圧制御発振器を含むことができ、第1の遅延セル、第2の遅延セル、第3の遅延セルおよび第4の遅延セルの各々の出力端子上に負荷を含むことができ、該当の負荷が実質的に等しい。

30

【0013】

一態様では、例示的な一実施形態による1つのクロックおよびデータ復元装置は、非ゼロ復帰(NRZ)モードとパルス幅変調(PWM)モードとの間で選択的に切替え可能なマルチモードサンプリングクロック発生器をさらに含むかまたは提供でき、この一態様に加えて、マルチモードサンプリングクロック発生器は、NRZモードにおいて、データ信号中の第1のNRZビットと整合された第1の位相NRZサンプリングクロックを有する多相NRZサンプリングクロックと、データ信号中の第2のNRZビットと整合された第2の位相NRZサンプリングクロックとを選択するように構成され得、第1の位相NRZサンプリングクロックおよび第2の位相NRZサンプリングクロックはそれぞれ、第1の遅延セル、第2の遅延セル、第3の遅延セルおよび第4の遅延セルのうちの1つの出力端子および相補出力のうちの1つであり、さらにこの一態様によれば、マルチモードサンプ

40

50

リングクロック発生器は、PWMモードにおいて、選択パルスに対応するPWMビット中のサンプリングポイントと整合されたPWMサンプリングクロックを選択するように構成され得、PWMサンプリングクロックは、第1の遅延セル、第2の遅延セル、第3の遅延セルおよび第4の遅延セルのうちの1つの出力端子および相補出力のうちの1つである。

【0014】

1つまたは複数の例示的な実施形態のさらなる一態様では、マルチモードサンプリングクロック発生器は、1/2レートNRZモードと1/4レートNRZモードとの間で選択可能であるように構成され得、1/4レートサンプリングモードにおいて、多相NRZサンプリングクロックは、データ信号中の第3のNRZビットと整合された第3の位相NRZサンプリングクロックと、データ信号中の第4のNRZビットと整合された第4の位相NRZサンプリングクロックとをさらに含むことができる。

10

【0015】

例示的な一実施形態は、入力信号遷移に位相ロックされた多相サンプリングクロックを発生するためのゲート電圧制御発振器を提供し、多相サンプリングクロックは、第1の位相シフト復元クロック信号と、第2の位相シフト復元クロック信号と、第3の位相シフト復元クロック信号と、第4の位相シフト復元クロック信号と、第5の位相シフト復元クロック信号と、第6の位相シフト復元クロック信号と、第7の位相シフト復元クロック信号と、第8の位相シフト復元クロック信号とを有する。本実施形態の一態様では、第1の位相シフト復元クロック信号と第5の位相シフト復元クロック信号とを出力するための第1の遅延手段であって、発生することが、第7の位相シフト復元クロック信号および第8の位相シフト復元クロック信号のうちの1つを選択し、選択された1つを遅延させることを含む、第1の遅延手段と、第2の位相シフト復元クロック信号と第6の位相シフト復元クロック信号とを出力するための第2の遅延手段であって、出力することが、第1の位相シフト復元クロック信号および第2の位相シフト復元クロック信号のうちの1つを選択し、選択された1つを遅延させることを含む、第2の遅延手段と、第3の位相シフト復元クロック信号と第7の位相シフト復元クロック信号とを出力するための第3の遅延手段であって、出力することが、第1の位相シフト復元クロック信号および第2の位相シフト復元クロック信号のうちの1つを選択し、選択された1つを遅延させることを含む、第3の遅延手段と、第4の位相シフト復元クロック信号と第8の位相シフト復元クロック信号とを出力するための第4の遅延手段であって、出力することが、第3の位相シフト復元クロック信号および第8の位相シフト復元クロック信号のうちの1つを選択し、選択された1つを遅延させることを含む、第4の遅延手段とがあり得る。一実施形態は、第1の遅延手段、第2の遅延手段、第3の遅延手段および第4の遅延手段の出力に、実質的に等しい負荷を装荷するための手段を含むことができる。

20

30

【0016】

例示的な一実施形態は、第1の位相シフト復元クロック信号と、第2の位相シフト復元クロック信号と、第3の位相シフト復元クロック信号と、第4の位相シフト復元クロック信号と、第5の位相シフト復元クロック信号と、第6の位相シフト復元クロック信号と、第7の位相シフト復元クロック信号と、第8の位相シフト復元クロック信号とを有する多相サンプリングクロックを発生するための方法を提供する。

40

【0017】

一態様では、一実施形態による方法は、第7の位相シフト復元クロック信号および第8の位相シフト復元クロック信号のうちの1つを選択し、選択された1つを遅延させることによって、第1の位相シフト復元クロック信号と第5の位相シフト復元クロック信号とを出力することと、第1の位相シフト復元クロック信号および第2の位相シフト復元クロック信号のうちの1つを選択し、選択された1つを遅延させることによって、第2の位相シフト復元クロック信号と第6の位相シフト復元クロック信号とを出力することと、第1の位相シフト復元クロック信号および第2の位相シフト復元クロック信号のうちの1つを選択し、選択された1つを遅延させることによって、第3の位相シフト復元クロック信号と第7の位相シフト復元クロック信号とを出力することと、第3の位相シフト復元クロック

50

信号および第 8 の位相シフト復元クロック信号のうちの 1 つを選択し、選択された 1 つを遅延させることによって、第 4 の位相シフト復元クロック信号と第 8 の位相シフト復元クロック信号とを出力することと、第 1 の位相シフト復元クロック信号および第 5 の位相シフト復元クロック信号の出力と、第 2 の位相シフト復元クロック信号および第 6 の位相シフト復元クロック信号の出力と、第 3 の位相シフト復元クロック信号および第 7 の位相シフト復元クロック信号の出力と、第 4 の位相シフト復元クロック信号および第 8 の位相シフト復元クロック信号の出力とを等しく装荷することとを含むことができる。

【図面の簡単な説明】

【0018】

【図 1】デュアルループバーストモードクロックデータ復元システムの高レベル概略図。

10

【図 2】例示的な一実施形態による 1 つの例示的なゲート発振器位相追跡データ復元ループ回路の概略図。

【図 3】1 つの例示的なデータエッジ検出器回路の概略図。

【図 4 A】1 / 4 レート復元モードで動作する、例示的な一実施形態による 1 つのゲート発振器位相追跡データ復元ループ回路のシミュレーションモデルへの 1 つの例示的な周期的データストリーム入力の 1 つの例示的なシミュレーション結果を示す図。

【図 4 B】1 / 4 レート復元モードで動作する、例示的な一実施形態による 1 つのゲート発振器位相追跡データ復元ループ回路の、図 4 A において使用されたシミュレーションモデルへの 1 つの例示的なシミュレートされたランダムデータストリーム入力の 1 つの例示的なシミュレーション結果を示す図。

20

【図 5】1 / 2 レート復元モードで動作する、例示的な一実施形態による 1 つのゲート発振器位相追跡データ復元ループ回路の図 4 A および図 4 B において使用されたシミュレーションモデルへの 1 つの例示的なシミュレートされた 1 / 2 レートデータストリーム入力の 1 つの例示的なシミュレーション結果を示す図。

【図 6】パルス幅変調 (PWM) 復元モードで動作する、例示的な一実施形態による 1 つのゲート発振器位相追跡データ復元ループ回路の図 4 A および図 4 B において使用されたシミュレーションモデルへの 1 つの例示的なシミュレートされた PWM データストリーム入力の 1 つの例示的なシミュレーション結果を示す図。

【図 7】1 つまたは複数の例示的な実施形態による例示的なデバイスを有するシステムの機能ブロック図。

30

【発明を実施するための形態】

【0019】

添付の図面とともに以下に示す詳細な説明は、例示的な実施形態を説明するものであり、本発明が実施され得る唯一の実施形態を表すものではない。本明細書で使用する「例示的」という単語（およびその変形態）は、例、事例、または例示として働くことを意味する。「例示的」として本明細書で説明するいかなる態様または設計も、必ずしも他の態様または設計よりも好ましいまたは有利なものと解釈すべきではない。むしろ、「例示的」という単語の使用は、簡略化された具体的な例を使用して概念の例示的な適用例を例示するためのものにすぎない。

【0020】

40

様々な具体的な詳細はまた、当業者が、本開示全文を介して、様々な例示的な実施形態のうちの 1 つまたは複数に従って実施するために、関係する概念の十分な理解を容易に得ることを促進するために記載されている。とはいえ、そのような当業者は、本開示全体を読めば、1 つまたは複数の実施形態の様々な実施形態および態様がこれらの具体的な詳細のうちの 1 つまたは複数なしに、またはその代替を用いて実施され得ることがわかり得る。他の事例では、例示的な実施形態の様々な新規性を不明瞭にしないように、いくつかのよく知られている構造およびデバイスをブロック図の形式で示す。

【0021】

様々な態様または特徴は、いくつかのデバイス、構成要素、モジュールなどを含み得るシステムに関して提示される。様々なシステムは、追加のデバイス、構成要素、モジュール

50

ルなどを含み得、および／または図に関連して論じる全てのデバイス、構成要素、モジュールなどを含むとは限らないことを理解および諒解されたい。これらの手法の組合せも使用され得る。

【0022】

本明細書で使用する「構成要素」、「モジュール」、「システム」などの用語は、ハードウェア、ファームウェア、ハードウェアとソフトウェアの組合せ、ソフトウェア、または実行中のソフトウェアなどで実施され得る、機能エンティティを指すものとする。「構成要素」は、プロセッサ上で実行されるプロセス、プロセッサ、オブジェクト、実行可能ファイル、実行スレッド、プログラム、および／またはコンピュータであり得るが、これらに限定されない。例として、コンピューティングデバイス上で実行されるアプリケーションと、そのコンピューティングデバイスの両方が構成要素であり得る。

10

【0023】

「含む(include)」という用語は、発明を実施するための形態または特許請求の範囲のいずれかで使用されるとき、「備える(comprising)」という用語が使用時に請求項における移行語と解釈されるので、「備える(comprising)」と同様に包括的なものとする。発明を実施するための形態または特許請求の範囲のいずれかで使用される「または」という用語は、排他的な「または」ではなく包括的な「または」を意味するものとする。すなわち、別段に規定されていない限り、または文脈から明らかな限り、「XがAまたはBを採用する」という句は、自然包括的並べ替えのいずれかを意味するものとする。すなわち、「XがAまたはBを採用する」という句は、XがAを採用する場合、XがBを採用する場合、またはXがAとBの両方を採用する場合のいずれによっても満たされる。さらに、本出願と添付の特許請求の範囲とにおいて使用する冠詞「a」および「an」は、別段に規定されていない限り、または単数形を対象とすべきであると文脈から明らかな限り、概ね「1つまたは複数」を意味すると解釈すべきである。

20

【0024】

図1は、R位相サンプリングクロックSCLKのサイクルごとに、DATA_IN、または本明細書では「DATA」と呼ぶDATA_INの遅延形態のいずれかのR個のサンプルをサンプリングするようにサンプラー102をトリガするSCLKを発生するために局所的に発生された基準クロックRCLKを使用して、DATA_INとして受信されたNRZベースバンド信号からビットを復元するための1つのゲート発振器(GVCO: gated oscillator)クロックデータ復元(CDR: clock data recovery)回路100の簡略ブロック図を示す。説明する例では、Rは、SCLKが4位相クロックになるように4として選択した。とはいえ、4は一例にすぎず、いかなる例示的な実施形態、または、従って、いかなる態様の範囲をも限定するものでないことを理解されよう。

30

【0025】

さらに図1を参照すると、GVCO CDR回路100は、後のセクションでより詳細に説明するように、ベースサンプリングクロックBCLKを発生するためにRCLKにロックするように構成された主周波数追跡GVCO104と、BCLKに基づいてR位相SCLKを発生する位相追跡GVCO CDR106とを含み得る。BCLKは、RCLKの周波数(FRC)に等しいかまたはFRCの倍数である周波数(FS)であり得る。一態様において、主周波数追跡GVCO104は、FRCがFSの整数(N)分の1になることを可能にする周波数分割器(「1/N分割器」)108をフィードバックループ中に含むことができる。

40

【0026】

引き続き図1を参照すると、主周波数追跡GVCO104は、FRCと発生されたBCLKの1/Nのフィードバックとの間の差に関する情報を有する誤差信号(図示したが別個に標示せず)を発生する位相/周波数検出器(PFD)110を含み得る。一態様において、PFD110は従来技術のフィードバックループ位相/周波数検出器に従うことができるので、さらなる詳細な説明を省略する。PFD110からの誤差信号はチャージポンプ(CP)112に入力でき、チャージポンプ(CP)112はFRCとBCLKの発

50

振周波数との間の誤差に比例する信号を発生でき、その信号はループフィルタ（L P F）114によって平滑化されて平滑化周波数制御信号（図示したが、別個に番号付けせず）を発生し得る。ループフィルタ114は、例示的な実施形態に従って実施するために、本開示を閲覧した当業者によって容易に適応される従来のP L Lフィードバック平滑化フィルタ技法に従うことができるので、さらなる詳細な説明を省略する。ループフィルタ114からの平滑化周波数制御信号はバイアス発生器（または「B i a s G e n」）116に入力でき、バイアス発生器116は一態様においてV C O 1 2 2の周波数を制御する（「バイアスV B」と総称する）差動バイアス電圧V B pおよびV P n信号を発生する。

【0027】

さらに図1を参照すると、一態様では、主周波数追跡G V C O 1 0 4のフィードバック動作において発生されたV Bはまた、位相追跡G V C O C D R 1 0 6内に示されたレプリカゲートV C O（R V C O）124を制御する。R V C O 1 2 4にV Bを供給する目的は、その発生されたR位相サンプルクロックS C L Kからのフィードバックなしに、周波数追跡G V C O 1 0 4と同じ周波数で発振するようにR V C O 1 2 4を制御することにある。この目的に加えて、R V C O 1 2 4の電圧対周波数特性は、V C O 1 2 2の電圧対周波数特性と実質的に同等でなければならないことを理解されよう。図2および図3に関してより詳細に説明する一態様では、R V C O 1 2 4が、エッジ検出器126からの選択（S E L）信号に応答してS C L KをS E L信号に同期させるゲート同期態様を含み得る。また説明されるように、エッジ検出器126は、D A T A _ I N信号中の立上りエッジ遷移に応答してS E Lを発生するように構成され得、R V C O 1 2 4の同期態様はS E Lに応答して、データなしの合間の後にくる第1のビットを含む、D A T A _ I Nによって搬送される全てのビットがサンプリングされることを保証する。

【0028】

引き続き図1を参照すると、R V C O 1 2 4の例示的な実装形態では、S E Lは、例えば、差動入力（図示せず）において受信される差分信号であり得る。一態様では、主周波数追跡G V C O 1 0 4が、D A T A _ I Nの位相と無関係にR C L Kに従って周波数を追跡するので、V C O 1 2 2はそのような同期を必要としないことを理解されよう。とはいえ、一態様において、V C O 1 2 2は依然として、R V C O 1 2 4ゲート同期態様の構造的レプリカを有することを含むが、D A T A _ I Nの不在下でR V C O 1 2 4のゲート同期構造と同じ論理状態に設定された、R V C O 1 2 4と同等に構成され得る。図1のV C O 1 2 2は、そのS E L入力（または差分の場合は複数の入力）をフロート(float)させることである、本態様による1つの例示的な実装形態を示している。

【0029】

引き続き図1を参照すると、バイアス発生器116の伝達特性、すなわち、ループフィルタ114から受け取られた電圧（または電流）に対するV Bの電圧に関して、この伝達特性はV C O 1 2 2（およびR V C O 1 2 4）の電圧対周波数伝達特性に依存することを理解されよう。後のセクションにおいてより詳細に説明する一態様では、V C O 1 2 2およびR V C O 1 2 4は電圧制御遅延（V C D : voltage controlled delay）要素（図1に図示せず）を用いて実装され得る。本態様による実施では、V C D要素の各々が、その名前に応じて、添付の図に示す例でV Bであるバイアスに従って変動する送信遅延を有する。本開示を閲覧した当業者なら、V C O 1 2 2およびR V C O 1 2 4内のV C D要素の電圧対遅延特性を選択することとの組合せで、バイアス発生器116の伝達特性を容易に選択できる。さらにバイアス発生器116に関し、一態様において、V C D要素およびバイアス発生器116は、名目上F SでV C O 1 2 2およびR V C O 1 2 4に発振させるV B電圧が、バイアス発生器116が発生することが可能であり得るV B電圧の範囲のほぼ中央で動作しているように構成され得る。バイアス発生器116の構造に関して、本開示を閲覧した当業者なら、1つまたは複数の例示的な実施形態に従って実施するために、伝達特性を含む仕様を用いてこのバイアス発生器116を実装するように従来のバイアス電圧発生設計および構造技法を容易に適応させることができるので、その設計および構造のさらなる詳細な説明を省略する。

【0030】

さらに図1を参照すると、前に説明したように、位相追跡GVCO CDR106がB LCKに基づいてR位相SCLKを発生し、一態様において、R位相SCLKがR位相サンプラー102を供給する。R位相サンプラー102は、一態様において、R個のサンプルアンドホールドデバイス（図示せず）を有することができ、それらのサンプルアンドホールドデバイスの各々は後のセクションにおいてより詳細に説明するようにDATA_INの遅延であり得るDATA信号を受信する。例示的なR位相サンプラー102は4位相サンプラーであるが、4は、いかなる実施形態の範囲をも限定するものでない一例にすぎない。一態様では、後のセクションにおいてより詳細に説明するように、R位相サンプラー102がマルチレートサンプリングを行うように構成され得る。例えば、Rが4である場合、マルチレート態様によれば、R位相サンプラー102は、1/4レートサンプリングモードを有するように構成され得、その4つ以上のサンプルアンドホールドデバイスのうちの4つが利用され、その各々がSCLKの4位相のうちの1つを受信する。本態様によれば、SCLKの各サイクルがDATA信号の4つのサンプルを取得することになり、各位相が4つのサンプルアンドホールドデバイスのうちの対応する1つをトリガする。本態様に加えて、R位相サンプラー102は、1/2レートサンプラーを有するように構成され得、サンプルアンドホールドデバイスのうちの2つのみがクロック制御またはトリガされ、例えば、第1のサンプルアンドホールドデバイスはSCLKの1つの位相によってクロック制御またはトリガされ、第2のサンプルアンドホールドデバイスは、第1の位相から位相が180度外れているSCLKの別の位相によってクロック制御またはトリガされる。そのようなクロック発生の例については、図2および図3を参照してより詳細に説明される。またさらなる態様では、R位相サンプラー102がフルレートサンプリングモードを有するように構成され得、そのサンプルアンドホールドデバイスのうちの1つが（例えばSCLKの選択された位相によって）フルサンプリングレートでクロック制御される。言い換えれば、SCLKの各サイクルはDATA信号の1つのサンプルを取得することになる。

【0031】

図2に、図1のRVCO124を実装でき、以下でより詳細に説明するように設定されたいいくつかの制御電圧と共に、主周波数追跡GVCO104のVCO122を一態様において実装できる、例示的な一実施形態による1つのGVCO200の概略図を示す。説明の繰り返しを避けるために、GVCO200の動作および態様の詳細について、図1の位相追跡GVCO CDR106のRVCO124として機能する際の動作に関して説明する。図1の周波数追跡GVCO102を実装するような図2のGVCO200の軽微な再構成の例についても説明する。

【0032】

図2を参照すると、概ねGVCO200は、（「（1つまたは複数の）選択器/VCD要素202」と総称する）202A、202B、202Cおよび202Dと標示された、複数の、例えば、4つの選択器/電圧制御遅延（VCD）セルまたは要素を備える。一態様では、全ての4つの選択器/VCD要素202は同等の構造を有することができる。図2の例示的なGVCO200では、選択器/VCD要素202の各々が受信VBへのバイアス入力BDを有し、VB電圧に従って遅延を与えるように構成され得る。最高1/4レートサンプリングのための、4位相SCLKを与える一態様では、各選択器/VCD要素202によって与えられる公称遅延がDATAのビットレートの1/4であるSCLK発振周波数FSにおいてSCLKの360度（または 2π ）サイクルに対して45度（または $\pi/4$ ）であり得る。選択器/VCD要素202は、図2の例示的な相互接続などの相互接続を有することができ、この相互接続は、各選択器/VCD要素202によって与えられ得る $\pi/4$ 遅延との組合せで、また、後のセクションにおいてより詳細に説明するように、DATA_INエッジ遷移およびそれに応答した選択器/VCD要素202による切替えに応答したSELの発生とのさらなる組合せで、GVCO200に多相復元クロック信号を発生させる。図2の例示的なGVCO200では、発生された多相復元クロック

信号は、8位相復元クロック信号、例えば、実質的にDATA__INエッジ遷移と整合された、または0度位相シフトされた、CLK0と、45度位相シフトされたCLK45と、90度位相シフトされたCLK90と、135度位相シフトされたCLK135と、180度位相シフトされたCLK180と、225度位相シフトされたCLK225と、315度位相シフトされたCLK315とを含むことができる。

【0033】

DATAへの位相追跡の目的で、選択器/VCD要素202の各々は、「0」入力と、「1」入力と、例えば、図1のエッジ検出器126から、前に説明したSEL信号を受信している「SL」入力と、PDL接続またはポートおよび相補NDL接続またはポートから形成された差動出力とを有する。選択器/VCD要素202の各々は、その「S」入力におけるSEL値に応答してその「0」入力と「1」入力との間で切り替わるように構成される。SELがアクティブ「0」値と非アクティブ「1」値とを有すると仮定する例示的な動作について説明する。当業者なら、この極性は恣意的であることを理解され、SELについて反対の極性の論理を使用して例示的な実施形態を実施するように、開示する概念を容易に適応させることができる。

10

【0034】

引き続き図2を参照すると、選択器/VCD要素202の1つの例示的な相互接続が示される。例示的な相互接続において、CLK0を搬送する、第1の選択器/VCD要素202AのPDL出力は、選択器/VCD要素202Bの「1」入力と、第2の選択器/VCD要素202Bの「0」入力とに結合する。本明細書から、クロックのいくつか、例えば、図2の例におけるCLK0、CLK90およびCLK270は、フィードバックおよび同期の目的で内部的に使用され得るにすぎず、必ずしもサンプリングクロックとして使用されとは限らないことを理解されよう。

20

【0035】

選択器/VCD要素202の図2の例示的な相互接続についての説明を続けると、一態様において、第2の選択器/VCD要素202BのDL出力が第3の選択器/VCD要素202Cの「1」入力に結合でき、同じ選択器/VCD要素202Bの「0」入力へのフィードバックであり得る。一態様において、CLK90である、第3の選択器/VCD要素202CのPDL出力が第4の選択器/VCD要素202Dの「1」入力に結合される。CLK270である、第3の選択器/VCD要素202CのNDL出力は、第1の選択器/VCD要素202Aの「0」入力に結合される。clock135である、第4の選択器/VCD要素202DのPDL出力は、同じデバイスの「1」入力にフィードバックされ、CLK315である、第4の選択器/VCD要素202Dの相補出力NDLは、第1の選択器/VCD要素202Aの「1」入力にフィードバックされる。

30

【0036】

さらに図2を参照すると、選択器/VCD要素202の図2の例示的な相互接続が例示的な実施形態の平衡負荷態様に従うことを理解されよう。平衡負荷態様によれば、選択器/VCD要素202の全てはそれらの出力上に同じ負荷を有する。より詳細には、この図2の例において、第1の選択器/VCD要素202AのPDL出力は2つの宛先または負荷に結合され、一方は第2の選択器/VCD要素202Bの「1」入力であり、他方は第3の選択器/VCD要素202Cの「0」入力である。第2の選択器/VCD要素202BのPDL出力は2つの宛先に結合され、一方はそれ自体の「0」入力であり、他方は第3の選択器/VCD要素202Cの「1」入力である。平衡負荷態様に加えて、第3の選択器/VCD要素202CのPDL出力およびNDL出力はそれぞれ1つの宛先に結合し、PDL (CLK90) は第4の選択器/VCD要素202Dの「1」入力に結合し、NDL (CLK270) は第1の選択器/VCD要素202Aの「0」入力に結合する。同様に、第4の選択器/VCD要素202CのPDL出力およびNDL出力はそれぞれ1つの宛先に結合し、PDL (CLK135) は第4の選択器/VCD要素202Dの「0」入力にフィードバックされ、NDL (CLK315) は第1の選択器/VCD要素202Aの「1」入力に結合する。

40

50

【0037】

平衡負荷態様は、他の特徴および利益の中でも、改善されたVB対FS直線性を与えることができることを諒解されよう。

【0038】

選択器/VCD要素202のそれぞれの出力の図示した相互接続は、(FSに対する)45度の遅延で、所望のFSにおけるSCLKを用いた自走発振を生じる(「自走」はSEL信号がないことを意味する)。

【0039】

GVC0200の例示的な動作が、DATA_INライン上にデータがないことを意味する自走モードと、持続時間中に4ビットを超える合間についての、ビットなしの合間の後のビットのバーストとに関して説明する。例示的な動作について説明する際に図2を都合よく参照するために、選択器/VCD要素202について、代替的に、DATA_IN中のビットの立上りエッジに対するそれらの遅延されたクロック出力の(SCLKのサイクルに関する)位相に従って参照する。例えば、選択器/VCD要素202Aは代替的に「0/180クロック」要素202Aと呼び、選択器/VCD要素202Bは代替的に「45/225クロック」要素202Bと呼び、選択器/VCD要素202Cは代替的に「90/270クロック」要素202Cと呼び、選択器/VCD要素202Dは代替的に「135/315クロック」要素202Dと呼ぶ。前に説明したように、(例示的な論理極性によれば立下りエッジである)アクティブSELの立上りエッジは、DATA_INの第1のデータビットの立上りエッジと実質的に一致する。エッジ検出器126の1つの例示的な実装形態については、図3を参照して以下でさらに説明する。

【0040】

再び図2を参照すると、RVCO124を通る0遅延を仮定すると、選択器/VCD要素202の例示的な相互接続は、SELアクティブ信号に応答して、SELを生起させたDATA遷移の立上りエッジの(SCLKのサイクルに対して)45度後の時点でそのCLK45のトリガリングエッジを発生する45/225クロック要素202Bを与えることになる。RVCO124は0遅延を有することができないので、一態様において、その遅延は図1の整合遅延ゲート128によって補償され得る。図1の整合遅延ゲート128の使用を仮定すると、それらの例示的な相互接続によって与えられる図2の選択器/VCD202要素の動作において、SELの直後の45/225クロック要素202Bによって発生されたCLK45の立上り(トリガリング)エッジは第1のビットの(ビット間隔に関して)中間点にあり得る。そのようなタイミングの例を示すシミュレーションについては、図4Aおよび図4Bを参照して説明する。135/315クロック要素202Dの正の差動出力DLPから出力されるCLK135のトリガリングエッジは、DATA_IN中の第2のビットの中間点にある、SELに対応する第1のデータビットの立上りエッジの135度後の時刻において生じ、45/225クロック要素202BのDLN出力からのCLK225は、SECをトリガしたビットに続く第3のビットの中間点にあり、135/315クロック要素202DのDLN出力からのCLK315は第4のビットの中間点にあることになる。さらに、FSで発振する図2のGVC0200の自走モードに従って、FRCがFSの正確な約数であると仮定すると、GVC0200は、4の倍数に及ぶ「1」のランレングスでさえ、NRZビットのストリームの中間点の十分近くにCLK45、CLK135、CLK225およびCLK315を維持し続けることができる。

【0041】

また、「101010」などのDATA_INバーストにตอบสนองして、「0」から「1」への各遷移において別のSELが発生することを諒解されよう。従って、1つまたは複数の例示的な実施形態によれば、位相追跡GVCO_CDR106はNRZビットのバースト中に数回再同期できる。位相追跡GVCO_CDR106のそのような再同期は、「101010」の例で、CLK45が各遷移後に第1のビットをサンプリングするように必ずしもSCLKの完全なシフトを生じるとは限らないことを理解されよう。見方を変えれ

ば、そのような再同期は、図1のR位相サンプラー102内で実行されるR位相サンプリングとの非互換性を有し得ることを理解されよう。代わりに、例示的な「101010」に応答して生じ得るものなど、SELの反復発生は、SCLK位相のトリガリングエッジをDATAビットの中間点と整合させる位相補正に影響を及ぼし得る。

【0042】

図3は、図1の例に示したエッジ検出器126を実装できるエッジ検出器回路300の一例を示す。一態様では、エッジ検出回路300がDATA_INライン上のフルレートNRZデータのビット周期の1/2に等しい幅を有するようにSELを発生する。これはSCLKの1サイクルに対して45度である。SELの幅は、従って、図2の選択器/VCD要素202のうちの1つの遅延に等しいことを諒解されよう。さらなる態様では、図2の選択器/VCD要素202のうちの1つと同等の構造を使用して図1のエッジ検出器126内に45度遅延を実装することによって、回路遅延のさらなる一貫性および均一性が与えられ得る。図3を参照すると、エッジ検出器回路300は、その「1」入力ポートにおいてDATA_INを受信し、45度遅延されたDATA_INを第1の2入力排他的NORゲート304の1つの入力と第2の2入力排他的NORゲート306の1つの入力とに出力するように構成され、図2の選択器/VCD要素202から形成された1/2ビット遅延要素302を備える本態様による一例を示している。1/2ビット遅延要素のSEL入力Sは、フロートのままにされるか、または「1」入力を使用した状態に1/2ビット遅延要素を固定するために電圧レール（ビットを図示）に結合され得る。一態様において、1/2ビット遅延要素102はまた、前に説明したように、図1のRVCO124とVCO122とを形成できる図2のGVCO200内の選択器/VCD要素202における遅延を制御するバイアス電圧VBを受信できる。

【0043】

第1の排他的NORゲート304および第2の排他的NORゲート306を実装するための設計および技術に関し、従来の排他的NORゲートの設計および技術は、例示的な実施形態による実施のために本開示を閲覧した当業者によって容易に選択され、適応させることができるので、さらなる詳細な説明を省略する。

【0044】

さらに図3を参照すると、一態様において、第1の2入力排他的NORゲート304の2つの入力のうちの他方は、フロートしているか、あるいは基準電圧（図示せず）、例えばグラウンド（GND）（明示的に図示せず）または電圧レール（図示せず）に結合され得る。従って、第1の2入力排他的NORゲートの出力は、以下においてDATAと呼ぶ、DATA_INの（ビット周期の1/2またはSCLKの約45度だけ）遅延されたバージョンである。諒解されるように、（遅延されたDATA_INに結合されない入力を意味する）他方をGNDまたは電圧基準のうちの1つに結合すると、第1の2入力排他的NORゲート304のDATA出力の極性が変化し得る。

【0045】

引き続き図3を参照すると、前に説明したように、第2の2入力排他的NORゲート306の一方の入力は1/2ビット遅延要素302から45度遅延されたDATA_INを受信し、その2入力の他方はDATA_IN信号を受信する。従って、当業者なら容易に理解するように、DATA_IN信号がビット持続時間の1/2を超える間不変である（すなわち、12ビット遅延要素302を通る遅延よりも長い間不変である）場合、第2の2入力専用のNORゲート306から出力されるSELは論理「1」である。図1および図2を参照すると、図2のGVCO200を用いて図1のRVCO124を実装する態様では、選択器/VCD要素202の全てが「1」入力モードになり、GVCOは、従って、図1のバイアス発生器116から受け取られたVBに従って自由に発振する。図3を参照すると、とはいえ、DATA_IN信号の遷移時に、1/2ビット遅延要素302を通る45度または1/2ビット遅延のために、SELは、図3のタイミング図350によって示すように、論理「0」に切り替わり、DATA_IN遷移と一致するエッジ3502において開始し、時間的に1/2ビット持続時間または幅（BTW: bit duration or wi

dth)である3504において終了する。図1および図2を参照すると、図2のGVCO200を用いて図1のRVCO124を実装する一態様では、SELが論理「0」に切り替わったことに応答して、選択器/VCD要素202の全てが「0」入力に切り替わり、その「0」入力は、前に説明したように、SELをトリガした遷移の直後のビットの中間点においてCLK45のトリガリングエッジを発生するようにSCCLKを再同期させる。

【0046】

図4Aは、1/4レート復元モードで動作する、例示的な一実施形態による1つのゲート発振器位相追跡データ復元ループ回路のシミュレーションモデルへの1つの例示的な周期的データストリーム入力の1つの例示的なシミュレーション結果を示す。DATA__INが、SCCLKのFSレートの4倍に等しいビットレートにおけるNRZ信号であり、SELが図3の例示的なエッジ検出器回路によって発生されることと、CLK45、CLK135、CLK225およびCLK315の波形が、図1のGVCO_CDR回路100のRVCO124を実装する図2のGVCO200によって発生されることとが仮定され得る。第1のNRZデータビットの立上り遷移402Lより前に、SCCLKがDATA__INと同期外れであることが仮定され得る。図示のように、立上り遷移402Lから図3のエッジ検出器回路300によって発生されたSEL410Aに응答して、図2のGVCOは、第1のNRZビットの中間点402Mにある420Aに到達するようにCLK45を同期させる。第1のNRZビットの立上り遷移402Lの1ビット持続時間後に、図示されたNRZの第2のビット値はNRZの第1のビット値と異なるので、第2のビット遷移404Lがある。図3のエッジ検出器回路300はそれに応答して別のSEL410Bを発生するが、図2のGVCO200がすでに同期されているので、選択器/VCD要素のそれらのそれぞれの「0」入力へのSEL切替えはSCCLKの同期のシフトを生じない。CLK135のトリガリングエッジ430Aは第2のNRZビットの中間点404Mに到達する。このプロセスは継続し、CLK225のトリガリングエッジ440Aは第3のNRZビットの中間点406Mに到達し、CLK315のトリガリングエッジ450Aは第4のNRZビットの中間点408Mに到達する。

【0047】

図4Bは、1/4レート復元モードで動作する、例示的な一実施形態による1つのゲート発振器位相追跡データ復元ループ回路の、図4Aで使用されたシミュレーションモデルへの1つの例示的なシミュレートされたランダムデータストリーム入力の1つの例示的なシミュレーション結果を示す。仮定は図4Aのシミュレーションについて説明したものと同じであり、その違いは、例示的なDATA__INが第1のNRZ「1」ビットの立上りエッジ460Lから開始し、それに2つ以上の「1」ビットが続き、次いで「0」ビットが続く、NRZバーストであることにある。言い換えれば、例示的なDATA__INは「1110」のNRZビットシーケンスである。第1のNRZビットの立上りエッジ460Lに응答して、図3のエッジ検出回路はSEL470を発生し、第1のNRZビットの中間点460Mにおいてトリガリングエッジ480を有するCLK45をもたらし。第2のNRZビットおよび第3のNRZビットの中間点はそれぞれ462Mおよび464Mと標示してある。第2のNRZビットおよび第3のNRZビットでは立上り遷移がなく、従ってSELがないが、SEL470によって実現された同期により、CLK135のトリガリングエッジ482が第2のNRZビットの中間点462Mに維持され、CLK225のトリガリングエッジ484が第3のNRZビットの中間点464Mに維持される。例示的な「1110」シーケンスの第4のNRZビットは466Lにおいて遷移を有し、別のSEL472を生じる。しかしながら、SCCLKはまだ同期されているので、図2のGVCO200中の選択器/VCD要素200のそれらの「0」入力への切替えは再同期の完全なシフトを実現しない。代わりに、第1の「1」ビットの立上りエッジ460Lと、「0」である第4のNRZビットの立上りエッジ466Lとの間で蓄積されたSCCLKの位相ドリフトが補正される。CLK315のトリガリングエッジ486は、従って、第4のNRZビットの中間点466Mと整合することが保証される。

【0048】

図1の多相サンプラー102を参照すると、例示的な実施形態によるシステムおよび方法は、効果的なマルチビットサンプリングクロック、この例では、第1のビットサンプリング(CLK45)、第2のビットサンプリングクロック(CLK135)、第3のビットサンプリングクロック(CLK225)および第4のビットサンプリングクロック(CLK315)を提供できることを諒解されよう。また、例示的な一実施形態は、各サイクルでより少ない数のNRZビットをサンプリングするためにCLKの位相の別のサブセットを選択するためのフレキシビリティを与えることを諒解されよう。

【0049】

前に説明した例は、1/4データレートサンプリングモードで動作する図1のGVCO CDR回路100を示す。例示的な一実施形態によれば、図1のGVCO CDR回路100は、図2のGVCO200クロック位相の別のより小さいサブセットのみ、例えばCLK90およびCLK270を使用する1/2データレートサンプリングモードを含む。CLKのサイクルごとに、4ビットの代わりに、NRZ DATA_INの2ビットをサンプリングする。図5は、図2のGVCO200クロックCLK90およびCLK270を使用するように修正された、図4Aおよび図4Bにおいて使用されたシミュレーションモデルへの1つの例示的なシミュレートされた1/2レートNRZデータストリームDATA_IN入力の1つの例示的なシミュレーション結果500を示す。図1のGVCO CDR回路100のR位相サンプラー102は、利用可能なサンプラーのうちの4つの1/4レート使用とは対照的に、例えば、4つ(またはそれ以上)の利用可能なサンプラー(図示せず)のうち第1のサンプラーおよび第3のサンプラーを使用するように構成されたと仮定され得る。図5を参照すると、第1のDATA_IN NRZビットの立上りエッジ502LがSEL506Aをもたらす。SEL506A持続時間DWは、図4Aおよび図4Bを参照して説明するDATA_INのより高いレートビットの1/2の持続時間と同じであることを諒解されよう。これは、同じエッジ検出器回路(例えば、図3のエッジ検出器回路300)が1/4レートサンプリングモードと1/2レートサンプリングモードの両方のために使用され得る1つまたは複数の例示的な実施形態による態様を示している。従って、DATA_INの1/2レートビットにおけるビット持続時間に対するDWのSEL持続時間は、1/4レートモードによる動作ではDATA_INのフルレートビットに対してビット持続時間の1/2であることとは対照的に、ビット持続時間の1/4にすぎない。

【0050】

図2および図5を参照すると、GVCO200の選択器/VCD要素202に対するSEL506Aの動作が第1のデータビットの中間点502MにおいてCLK90のトリガリングエッジ508を発生するようにCLKを同期させることを諒解されよう。DATA_INの例示的な第2のビットは例示的な第1のビットとは異なる値を有するので、504Lに別の遷移があり、別のSEL506Bを生じる。図2を参照すると、GVCO200が第1のビットの中間点502MにCLK90のトリガリングエッジを配置するようにSEL506Aによって同期されたので、SEL506BがCLKの完全な位相シフトを実現せず、代わりに、CLK270のトリガリングエッジ510が例示的なDATA_IN中の第2のNRZビットの中間点504Mにあることを保証する軽微な位相補正のみを強制し得る。

【0051】

前に説明した例は、図1のGVCO CDR回路100がDATA_INライン上でNRZデータを復元するために1/4レートサンプリングモードおよび1/2レートサンプリングモードで動作することを示している。1/4レートサンプリングモードと1/2レートサンプリングモードの両方において、CLK位相は、NRZサンプリングクロック、すなわち、1/2レートモードにおける第1の位相NRZサンプリングクロックおよび第2の位相NRZサンプリングクロック、並びに1/4レートモードにおける第1の位相NRZサンプリングクロック、第2の位相NRZサンプリングクロック、第3の位相NRZサンプリングクロックおよび第4の位相NRZサンプリングクロックと見なされ得る。

【0052】

例示的な一実施形態によれば、図1のGVCO CDR回路100はパルス幅変調(PWM)復号モードを有するように構成され得、SCLKは図示された4位相の例示的なSCLKの代わりに、以下でより詳細に説明するように、PWMにおける特定の時刻にあるべき前に説明したCLK0、CLK45、CLK90、CLK135、CLK180、CLK225、CLK270、およびCLK315から選択される単相PWMサンプリングクロックであり得る。一態様では、唯一の追加の変更は、パルスの幅が符号化方式によって参照されるエッジである、PWM信号の立下りエッジおよび立上りエッジのうちの1つにのみ応答してSELを発生するというSELの発生をマスクするように図1のGVCO

CDR回路100を構成することである。例示的な実施形態によるPWMモードによってさらに提供される、マスクされたSELは、その発生されたクロックのうちの1つ、例えば、CLK180が、パルス幅によって確定された値を有するPWMパルスの立上りエッジに対する時刻に到達するように、図2のGVCO200によるSCLK発生を同期させる。例えば、様々な従来のPWM方式では、信号は2つの幅のうちの1つを有し、一方は2進数「0」を表し、他方は2進数「1」を表す。様々なPWM方式によれば、パルスは、2進数「0」を表すために、その持続時間の小部分(例えば、持続時間の1/3)を第1の値(例えば「0」)に設定し、その持続時間の大部分(例えば、その持続時間の2/3)を第2の値(例えば「1」)に設定でき、2進数「1」を表すためにこの設定を逆転させることができる。以下でより詳細に説明するように、例示的な一実施形態によれば、図1のGVCO CDR回路100などのGVCO CDRは、サンプリングクロックをPWMパルスの中間点に正確に配置するためにも、前に説明したNRZ復号を可能にする、ビット遷移に対するサンプリングクロックの正確な同期を利用するように構成され得る。例示的な実施形態の方法およびシステムに従って、サンプリングポイントをPWMパルスの中間点に正確に配置することにより、NRZ復号のために使用されるのと同じハードウェアを使用してPWMパルスの正確な復号が行われ得ることを諒解されよう。従って、例示的な実施形態によるサンプルクロック発生およびサンプリングによって提供される特徴および利益の中でも、同じハードウェアを用いてNRZおよびPWM復号を実行することが可能な図1のGVCO CDR回路100などのGVCO CDRがあり得る。

【0053】

図6に、DATA_INライン上でPWMデータを復号するための構成における、図4Aおよび図4Bにおいて使用されたシミュレーションモデルへの1つの例示的なシミュレートされたパルス幅変調(PWM)データストリーム入力1つの例示的なシミュレーション結果600を示す。一態様では、必要とされ得る、前に説明したものへの追加の唯一の特徴は、PWMパルスの立上りエッジのみまたは立下りエッジのみに応答してSELを発生するために、例えば、図3のエッジ検出回路300に追加された論理マスクであり得ることを理解されよう。当業者なら本開示から容易に諒解するように、エッジのうちのどれがマスクされるかの選定は、使用されるPWM信号の極性に依存する。さらに、PWMシグナリングのいずれかの極性に適応するために、エッジ検出器回路(例えば、図3のエッジ検出器回路300)の入力において、またはそれに先行してDATA_IN経路中に選択的インバータ(図示せず)が含まれ得ることを諒解されよう。例として、図6のシミュレーションでは、SELを発生するPWM信号のエッジが立下りエッジであり、従って立上りエッジがマスクされると仮定する。図6を参照すると、第1のPWMコード持続時間またはシンボル602は持続時間BWを有し、その持続時間BWについて、先頭2/3は論理「0」であり、末尾1/3は論理「1」である。これが2進数「0」を表すと恣意的に仮定されよう。第1のPWMシンボル602の立下りエッジ602Lは、エッジ検出器(例えば図3のエッジ検出器回路300)にSEL608を発生させる。図2を参照すると、SEL608は、選択器/VCD要素202の全てをそれらのそれぞれの「0」入力に切り替える。

【0054】

引き続き図6を参照すると、図6のシミュレーションによってモデル化された態様では

10

20

30

40

50

、第1の選択器／VCD要素202A（代替的に0／180クロック要素202Aと呼ぶ）のNDL出力であるCLK180がサンプリングクロックとして使用される。選択器／VCD要素202のSEL608によるそれらのそれぞれの「0」入力への上記で説明した切替えが第1のPWMシンボル602の中間点602MにおいてCLK180の立上り（この例では、トリガリング）エッジ620Aを生じさせる。第1のPWMシンボル602の（立上りエッジ602Rで終了する）先頭「0」部分および末尾「1」部分のそれぞれの2／3持続時間および1／3持続時間のために、中間点602Mにおける値は「0」である。図6のシミュレーション結果600によって表されるPWM復号モードにおいて、サンプリング回路、例えば図1のGVCO CDR回路100のサンプリング回路130は、PWMモードサンプラーとして機能するためにサンプラー（明示的に図示せず）のうちの1つを割り当てるように構成されたと仮定する。この仮定の下で、割り当てられたサンプラーは、CLK180のトリガリングエッジ620Aによってトリガされて、第1のPWMシンボル602のためにビット値「0」を復元する。

10

【0055】

さらに図6を参照すると、前に説明したように、エッジ検出器回路、例えば図3のエッジ検出器回路300が第1のPWMシンボル602の立上りエッジ602Rをマスク（すなわち、無視）するように構成されたと仮定する。本開示を閲覧した当業者なら、開示する概念に従って従来の半導体論理技法を適応させることによって、立上りエッジをマスクするための様々な手段を容易に識別し、実装できるので、マスキング構造についてのさらなる詳細な説明を省略する。次のSEL、すなわちSEL610は、従って、例示的な第2のPWMシンボル604に対応する次の立下りエッジ604Lにおいて発生する。前に説明した同期が、SEL610に応答して繰り返され、それにより、第2のPWMシンボルの中間点604Mと整合するようにCLK180のトリガリングエッジ620Bの位相が調整され、例えば、伝搬経路の変化による位相シフトが補償され得る。前に説明したように、立上りエッジ604Rが別のSELを発生するのを防ぐために立上りエッジ604Rはマスクされる。

20

【0056】

例示的な実施形態によるシステム、デバイスおよび方法は、限定はしないが、セルラーワイヤレス通信を含む広範囲の通信環境に適用可能であり得る。例えば、MPHYまたはM-PHYは、その仕様がシリアルインターフェース技術に高帯域幅能力を与えるので、1つの適用例である。MPHYまたはM-PHYは、UniProSMおよびDigRFSMv4を含む複数のプロトコルと、広範囲の適用例とのために好適であることをターゲットにしている。MPHY受信（RX）適用例は、PWMデータ送信とNRZデータ送信の両方のために、バーストモードクロックおよびデータ復元（CDR：clock and data recovery）を必要とする。図1のGVCO CDR回路100などの回路は、単一のハードウェア構成を使用して、MPHYバーストモードNRZ通信、並びにより遅いレートのパーストモードNRZ、連続NRZ、PWMおよび他のコーディング方式を受信するように容易に構成され得ることが、当業者には明らかであろう。

30

【0057】

図7は、1つまたは複数の本開示の実施形態が有利に採用され得る例示的なワイヤレス通信システム700を示す。説明のために、例示的なワイヤレス通信システム700は、3つのリモートユニット720、730、および750と、2つの基地局740とを示している。従来のワイヤレス通信システムはより多くのリモートユニットおよび基地局を有し得ることを認識されよう。リモートユニット720、730、および750は半導体デバイス725、735および755を含むことができ、半導体デバイス725、735および755のうちの1つまたは複数の、限定はしないが、図1、図2または図3のいずれかに関して説明した実施形態を含む、例示的な実施形態のうちの1つまたは複数の従って集積回路を実装する1つまたは複数の半導体ダイを含むことができる。図7は、基地局740並びにリモートユニット720、730、および750からの順方向リンク信号780と、リモートユニット720、730、および750から基地局740への逆方向リン

40

50

ク信号790を示している。

【0058】

図7では、リモートユニット720は携帯電話として示され、リモートユニット730はポータブルコンピュータとして示され、リモートユニット750はワイヤレスローカルループシステム中の固定ロケーションリモートユニットとして示されている。これらは、リモートユニット720、730および750のいずれかを実装し得るデバイスの例にすぎないことを理解されよう。例えば、リモートユニット720、730および750は、モバイルフォン、ハンドヘルドパーソナル通信システム（PCS）ユニット、個人情報端末などのポータブルデータユニット、（GPS対応デバイスなどの）ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、または他のモバイルエンターテインメントユニットのいずれかであるか、あるいはメーター読み取り機器などの固定ロケーションデータユニット、またはデータもしくはコンピュータ命令を記憶するかもしれないかまたは取り出す任意の他のデバイス、またはそれらの任意の組合せであり得る。図7は、本開示の教示によるリモートユニットを示すが、本開示は、これらの例示的な図示されたユニットに限定されない。本開示の実施形態は、テストおよび特徴づけのためのメモリおよびオンチップ回路を含む能動集積回路を含む任意のデバイスにおいて適切に採用され得る。

10

【0059】

本発明の様々な実施形態は、これらおよび他の欠点を克服し、限定はしないが、構成要素の共有から得られたオーバーヘッドの低減、複数の電力モード動作、複数の電源投入モードのいずれかの間、結合されているかまたは結合されていないケーブルおよび他の負荷の検出の有効化を含む、さらなる利点を提供する。他の例示的な利益は、以下の詳細な説明から理解されよう。

20

【0060】

上記で図示および説明した例示的なシステムに鑑みて、開示する主題に従って実装され得る方法は、様々なフローチャートを参照すればより良く諒解されよう。説明を簡単にするために、方法を一連のブロックとして図示および説明するが、いくつかのブロックは、本明細書で図示および説明する順序とは異なる順序で、および／または他のブロックと実質的に同時に行われ得るので、請求する主題はブロックの数または順序によって限定されないことを理解し、諒解されたい。さらに、本明細書で説明した方法を実装するために、図示された全てのブロックが必要とされるとは限らない。ブロックに関連する機能は、ソフトウェア、ハードウェア、それらの組合せあるいは任意の他の好適な手段（例えば、デバイス、システム、プロセス、または構成要素）によって実装され得ることを諒解されたい。さらに、本明細書全体にわたって開示する方法は、そのような方法を様々なデバイスに移送および転送することを可能にするために製造品に記憶されることが可能であることをさらに諒解されたい。方法は、代替的に、状態図など、一連の相互に関係する状態または事象として表現され得ることを、当業者なら理解し、諒解するであろう。さらに、本明細書で開示する様々な方法は、それらの方法を実施するためにコンピュータ可読記憶媒体に記憶されたコンピュータ実行可能命令を実行するプロセッサを採用することを含むことができる。

30

40

【0061】

本明細書で説明したデータストア（例えばメモリ）構成要素は、揮発性メモリ、不揮発性メモリ、または両方を含むか、あるいはそれらを使用して実装され得ることを諒解されよう。不揮発性メモリは、本開示を読んだ当業者によって容易に確認され得る、実装される特定のメモリ機能に関する性能要件を満たすことが可能な任意の不揮発性メモリ技術を含むかまたはそれらで実装され得、例示的であるが限定的な例として、読み取り専用メモリ（ROM）、プログラマブルROM（PROM）、電氣的プログラマブルROM（EPROM）、電氣的消去可能ROM（EEPROM（登録商標））、またはフラッシュメモリを含み得る。揮発性メモリは、本開示を読んだ当業者によって容易に確認され得る、実装される特定のメモリ機能に関する性能要件を満たすことが可能な任意の揮発性メモリ

50

技術を含むかまたはそれらで実装され得、例示的であるが限定的な例として、同期RAM (SRAM)、ダイナミックRAM (DRAM)、同期DRAM (SDRAM)、ダブルデータレートSDRAM (DDR SDRAM)、拡張SDRAM (ESDRAM)、シンクリンクDRAM (SLDRAM)、およびダイレクトランバスRAM (DRRAM)を含み得る。様々な態様のメモリは、これらおよび他の適切なタイプのメモリを、これらに限定されることなく備えるものとする。

【0062】

本明細書で説明した態様は、ハードウェア、ソフトウェア、ファームウェアまたはそれらの任意の組合せで実装され得ることを理解されたい。ソフトウェアで実装されるとき、機能は、1つまたは複数の命令またはコードとしてコンピュータ可読媒体上に記憶されるか、あるいはコンピュータ可読媒体を介して送信され得る。コンピュータ可読媒体は、ある場所から別の場所へのコンピュータプログラムの転送を可能にする任意の媒体を含む、コンピュータ記憶媒体と通信媒体の両方を含む。記憶媒体は、汎用または専用コンピュータによってアクセスされ得る任意の利用可能な媒体であり得る。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMまたは他の光ディスクストレージ、磁気ディスクストレージまたは他の磁気ストレージデバイス、あるいは命令またはデータ構造の形態の所望のプログラムコード手段を搬送または記憶するために使用され得、汎用もしくは専用コンピュータ、または汎用もしくは専用プロセッサによってアクセスされ得る、任意の他の媒体を備えることができる。また、いかなる接続もコンピュータ可読媒体と適切に呼ばれる。例えば、ソフトウェアが、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者回線(DSL)、または赤外線、無線、およびマイクロ波などのワイヤレス技術を使用して、ウェブサイト、サーバ、または他のリモートソースから送信される場合、同軸ケーブル、光ファイバケーブル、ツイストペア、DSL、または赤外線、無線、およびマイクロ波などのワイヤレス技術は、媒体の定義に含まれる。本明細書で使用するディスク(disk)およびディスク(disc)は、コンパクトディスク(disc)(CD)、レーザディスク(登録商標)(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピー(登録商標)ディスク(disk)およびblue-ray(登録商標)ディスク(disc)を含み、ディスク(disk)は、通常、データを磁氣的に再生し、ディスク(disc)は、データをレーザで光学的に再生する。上記の組合せもコンピュータ可読媒体の範囲内に含まれるべきである。

【0063】

本明細書で開示する態様に関して説明した様々な例示的な論理、論理ブロック、モジュール、および回路は、汎用プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)または他のプログラマブル論理デバイス、個別ゲートまたはトランジスタ論理、個別ハードウェア構成要素、あるいは本明細書で説明した機能を実行するように設計されたそれらの任意の組合せを用いて実装または実行され得る。汎用プロセッサはマイクロプロセッサであり得るが、代替として、プロセッサは任意の従来のプロセッサ、コントローラ、マイクロコントローラ、または状態機械であり得る。プロセッサはまた、コンピューティングデバイスの組合せ、例えば、DSPとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSPコアと連携する1つまたは複数のマイクロプロセッサ、あるいは任意の他のそのような構成として実装され得る。さらに、少なくとも1つのプロセッサは、本明細書で説明したステップおよび/またはアクションのうちの1つまたは複数を実行するように動作可能な1つまたは複数のモジュールを備え得る。

【0064】

ソフトウェア実装の場合、本明細書で説明した技法は、本明細書で説明した機能を実行するモジュール(例えば、プロシージャ、関数など)を用いて実装され得る。ソフトウェアコードは、メモリユニットに記憶され、プロセッサによって実行され得る。メモリユニットは、プロセッサの内部またはプロセッサの外部に実装され得、その場合、メモリユニットは、当技術分野で知られている様々な手段を介してプロセッサに通信可能に結合され得

る。さらに、少なくとも1つのプロセッサは、本明細書で説明した機能を実行するように動作可能な1つまたは複数のモジュールを含み得る。

【0065】

本明細書で説明した様々な態様または特徴は、標準のプログラミングおよび／またはエンジニアリング技法を使用した方法、装置、または製造品として実装され得る。本明細書で使用する「製造品」という用語は、任意のコンピュータ可読デバイス、キャリア、または媒体からアクセス可能なコンピュータプログラムを包含するものとする。例えば、コンピュータ可読媒体は、磁気ストレージデバイス（例えば、ハードディスク、フロッピーディスク、磁気ストリップなど）、光ディスク（例えば、コンパクトディスク（CD）、デジタル多用途ディスク（DVD）など）、スマートカード、およびフラッシュメモリデバイス（例えば、EPROM、カード、スティック、キードライブなど）を含むことができるが、これらに限定されない。さらに、本明細書で説明した様々な記憶媒体は、情報を記憶するための1つまたは複数のデバイスおよび／または他の機械可読媒体を表すことができる。「機械可読媒体」という用語は、（1つまたは複数の）命令および／またはデータを記憶、含有、および／または搬送することが可能なワイヤレスチャネルおよび様々な他の媒体を含むことができるが、これらに限定されない。さらに、コンピュータプログラム製品は、本明細書で説明した機能をコンピュータに実行させるように動作可能な1つまたは複数の命令またはコードを有するコンピュータ可読媒体を含み得る。

【0066】

さらに、本明細書で開示する態様に関して説明した方法またはアルゴリズムのステップおよび／またはアクションは、直接ハードウェアで実施され得るか、プロセッサによって実行されるソフトウェアモジュールで実施され得るか、またはそれらの組合せで実施され得る。ソフトウェアモジュールは、RAMメモリ、フラッシュメモリ、ROMメモリ、EPROMメモリ、EEPROMメモリ、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野で知られている任意の他の形態の記憶媒体中に常駐し得る。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるようにプロセッサに結合され得る。代替として、記憶媒体はプロセッサに一体化され得る。さらに、いくつかの態様では、プロセッサおよび記憶媒体はASIC中に常駐し得る。さらに、ASICはユーザ端末中に常駐し得る。代替として、プロセッサおよび記憶媒体は、ユーザ端末中に個別構成要素として常駐し得る。さらに、いくつかの態様では、方法またはアルゴリズムのステップおよび／またはアクションは、コンピュータプログラム製品に組み込まれ得る、機械可読媒体および／またはコンピュータ可読媒体上のコードおよび／または命令の1つまたは任意の組合せ、あるいはそのセットとして常駐し得る。

【0067】

上記の開示は、例示的な態様および／または実施形態について論じたが、添付の特許請求の範囲によって定義される説明した態様および／または実施形態の範囲から逸脱することなく、様々な変更および改変が本明細書で行われ得ることに留意されたい。従って、説明した態様は、添付の特許請求の範囲内に入る全てのそのような改変形態、変更形態および変形形態を包含するものとする。さらに、説明した態様および／または実施形態の要素は、単数形で説明または請求されていることがあるが、単数形に限定することが明示的に述べられていない限り、複数形が企図される。さらに、任意の態様および／または実施形態の全部または一部は、別段の規定がない限り、任意の他の態様および／または実施形態の全部または一部とともに利用され得る。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

【C1】 第1の位相シフト復元クロックに結合された第1の入力端子、第2の位相シフト復元クロックに結合された第2の入力端子、および第3の位相シフト復元クロック信号を出力する出力端子を備える第1の遅延セルと、

第4の位相シフト復元クロック信号を出力する出力端子、前記第2の遅延セルの前記出力端子に結合された第1の入力端子、および前記第1の遅延セルの前記出力端子に結合さ

10

20

30

40

50

れた第2の入力端子を備える第2の遅延セルと、

前記第3の位相シフト復元クロック信号を出力する出力端子、前記第1の遅延セルの前記出力端子に結合された第1の入力端子、および前記第2の遅延セルの前記出力端子に結合された第2の入力端子を備える第3の遅延セルと、

前記第2の位相シフト復元クロック信号を出力する出力端子、前記第4の遅延セルの前記出力端子に結合された第1の入力端子、および前記第3の遅延セルの前記出力に結合された第2の入力端子を備える第4の遅延セルとを備え、

前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々の前記出力端子が同じ負荷を有する、 $1/4$ レートゲート電圧制御発振器。

[C2] 前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々が、第1の値と第2の値との間で切替え可能な選択信号を受信するように構成された選択入力をさらに含み、前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々が、前記選択信号の前記切替え可能な値に応答して、その第1の入力端子とその第2の入力端子との間で選択的に切り替わるように構成された、C1に記載の $1/4$ レートゲート電圧制御発振器。

[C3] 前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々が、その第1の入力端子および第2の入力端子のうちの前記選択された1つからその出力端子への送信に関して、ほぼ同じ遅延を適用するように構成された、C2に記載の $1/4$ レートゲート電圧制御発振器。

[C4] 遅延が所与のビット持続時間のほぼ $1/2$ であり、前記 $1/4$ レートゲート電圧制御発振器が前記遅延の逆数の $1/4$ に等しい周波数で発振する、C3に記載の $1/4$ レートゲート電圧制御発振器。

[C5] 前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々がバイアス入力端子を含み、前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよびさらなる遅延セルの各々が、その第1の入力端子および第2の入力端子のうちの前記選択された1つからその出力端子への送信に関して、前記バイアス入力端子に印加されるバイアス電圧に少なくとも部分的に依存する遅延を適用する、C4に記載の $1/4$ レートゲート電圧制御発振器。

[C6] 前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々がバイアス入力端子を含み、前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよびさらなる遅延セルの各々が、その第1の入力端子および第2の入力端子のうちの前記選択された1つからその出力端子への送信に関して、前記バイアス入力端子に印加されるバイアス電圧に少なくとも部分的に依存する遅延を適用する、C2に記載の $1/4$ レートゲート電圧制御発振器。

[C7] 前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々がそれぞれの遅延を適用するように構成され、前記それぞれの遅延において、前記第1の位相シフト復元クロック、前記第2の位相シフト復元クロック、前記第3の位相シフト復元クロックおよび前記第4の位相シフト復元クロックは位相がほぼ等間隔に離間した、C1に記載の $1/4$ レートゲート電圧制御発振器。

[C8] 前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々が第1の値と第2の値との間の遷移を有する選択信号を受信するように構成された選択入力をさらに含み、前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々が前記第1の位相シフト復元クロック、前記第2の位相シフト復元クロック、前記第3の位相シフト復元クロックおよび前記第4の位相シフト復元クロックの位相を前記選択信号の前記遷移と整合させるために、前記選択信号の前記値に応答して、その第1の入力端子とその第2の入力端子との間で選択的に切り替わるように構成された、C7に記載の $1/4$ レートゲート電圧制御発振器。

[C9] 前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々が同等に構成された、C1に記載の $1/4$ レートゲート電圧制御発振器。

[C 1 0] 前記発振器が少なくとも1つの半導体ダイに組み込まれた、C 1に記載の1／4レートゲート電圧制御発振器。

[C 1 1] 前記発振器がその中に組み込まれた、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（PDA）、固定ロケーションデータユニット、およびコンピュータからなるグループから選択されたデバイスをさらに備える、C 1 0に記載の1／4レートゲート電圧制御発振器。

[C 1 2] バイアス入力を伴い、前記バイアス入力におけるバイアス電圧に基づく周波数（FS）で発振する電圧制御発振器を有し、FSと基準周波数（FRC）との間の差を検出し、前記差に基づいてFSをFRCのほうへ動かす方法で前記バイアス電圧を発生するように構成されたフィードバック誤差回路を有する周波数追跡位相ロックループ発振器と

10

レプリカ電圧制御発振器であって、

第1の入力端子、第2の入力端子、出力端子および相補出力端子を備える第1の遅延セルと、

第1の入力端子、前記第1の端子に結合された出力端子、前記第1の遅延セルの前記出力端子に結合された第2の入力端子、および相補出力端子を備える第2の遅延セルと、

前記第1の遅延セルの前記出力端子に結合された第1の入力端子、前記第2の遅延セルの前記出力端子に結合された第2の入力端子、出力端子、および前記第1の遅延セルの前記第1の入力端子に結合された相補出力端子を備える第3の遅延セルと、

20

第1の入力端子、前記第1の入力端子に結合された出力端子、前記第3の遅延セルの前記出力端子に結合された第2の入力端子、および前記第1の遅延セルの前記第2の入力端子に結合された相補出力端子を備える第4の遅延セルと

を有し、

前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々の前記出力端子がそれぞれの負荷を有し、前記それぞれの負荷が実質的に等しい、レプリカ電圧制御発振器とを備える、クロックおよびデータ復元装置。

[C 1 3] 前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々が、選択信号を受信するように構成された選択入力端子を含み、その第1の入力端子およびその第2の入力端子のうちの選択された1つからその出力端子および相補出力端子への遅延経路を確立するように構成され、前記選択された1つが前記選択信号に基づく、C 1 2に記載のクロックおよびデータ復元装置。

30

[C 1 4] 前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々が、前記バイアス電圧に結合されたバイアス入力端子を含み、前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々が、前記確立された遅延経路に対して、前記バイアス電圧に対応する遅延を適用し、前記バイアス電圧において、前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの前記相補出力端子上のそれぞれの信号が、FSにほぼ等しい周波数で発振する、C 1 3に記載のクロックおよびデータ復元装置。

[C 1 5] データ信号を受信し、前記データ信号のエッジ遷移に応答して前記選択信号を発生するように構成されたエッジ検出器回路をさらに備える、C 1 3に記載のクロックおよびデータ復元装置。

40

[C 1 6] 前記選択信号が選択パルスであり、前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々が、前記選択パルスの不在にตอบสนองしてその第1の入力端子を選択し、前記選択パルスを受信したことにตอบสนองしてその第2の入力端子を選択するように構成された、C 1 5に記載のクロックおよびデータ復元装置。

[C 1 7] 非ゼロ復帰（NRZ）モードとパルス幅変調（PWM）モードとの間で選択的に切替え可能なマルチモードサンプリングクロック発生器をさらに備え、

前記マルチモードサンプリングクロック発生器が、前記NRZモードにおいて、前記データ信号中の第1のNRZビットと整合された第1の位相NRZサンプリングクロックを

50

有する多相NRZサンプリングクロックと、前記データ信号中の第2のNRZビットと整合された第2の位相NRZサンプリングクロックとを選択するように構成され、前記第1の位相NRZサンプリングクロックおよび前記第2の位相NRZサンプリングクロックがそれぞれ、前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルのうちの1つの前記出力端子および前記相補出力のうちの1つであり、

前記マルチモードサンプリングクロック発生器が、前記PWMモードにおいて、前記選択パルスに対応するPWMビット中のサンプリングポイントと整合されたPWMサンプリングクロックを選択するように構成され、前記PWMサンプリングクロックが前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルのうちの1つの前記出力端子および前記相補出力のうちの1つである、C16に記載のクロックおよびデータ復元装置。

10

[C18] 前記マルチモードサンプリングクロック発生器が、1/2レートNRZモードと1/4レートNRZモードとの間で選択可能であるように構成され、前記1/4レートサンプリングモードにおいて、前記多相NRZサンプリングクロックが、前記データ信号中の第3のNRZビットと整合された第3の位相NRZサンプリングクロックと、前記データ信号中の第4のNRZビットと整合された第4の位相NRZサンプリングクロックとをさらに備える、C17に記載のクロックおよびデータ復元装置。

[C19] 前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々がそれぞれの遅延を適用するように構成され、前記それぞれの遅延において、前記第1の遅延セルの前記出力端子が第1の位相シフト復元クロックを出力し、前記第1の遅延セルの前記相補出力端子が相補的な第1の位相シフト復元クロックを出力し、前記第2の遅延セルの前記出力端子が第2の位相シフト復元クロックを出力し、前記第2の遅延セルの前記相補出力端子が相補的な第2の位相シフト復元クロックを出力し、前記第3の遅延セルの前記出力端子が第3の位相シフト復元クロックを出力し、前記第3の遅延セルの前記相補出力端子が相補的な第3の位相シフト復元クロックを出力し、前記第4の遅延セルの前記出力端子が第4の位相シフト復元クロックを出力し、前記第4の遅延セルの前記相補出力端子が相補的な第4の位相シフト復元クロックを出力する、C12に記載のクロックおよびデータ復元装置。

20

[C20] 前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々がバイアス入力端子を含み、前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々が、その第1の入力端子および第2の入力端子の各々からその出力端子への送信に関して、前記バイアス入力端子に印加されるバイアス電圧に少なくとも部分的に依存する遅延を適用する、C19に記載のクロックおよびデータ復元装置。

30

[C21] 前記第1の位相シフト復元クロックが所与の基準に対して0度であり、前記相補的な第1の位相シフト復元クロックが前記所与の基準の180度後にあり、前記第2の位相シフト復元クロックが前記所与の基準の45度後にあり、前記相補的な第2の位相シフト復元クロックが前記所与の基準の225度後にあり、前記第3の位相シフト復元クロックが前記所与の基準の90度後にあり、前記相補的な第3の位相シフト復元クロックが前記所与の基準の270度後にあり、前記第4の位相シフト復元クロックが前記所与の基準の135度後にあり、前記相補的な第4の位相シフト復元クロックが前記所与の基準の315度後にあり、C19に記載のクロックおよびデータ復元装置。

40

[C22] 前記所与の基準が選択パルスであり、前記クロックおよびデータ復元装置が、データ信号を受信し、前記データ信号のエッジ遷移に応答して前記選択パルスを発生するように構成されたエッジ検出器回路をさらに備える、C21に記載のクロックおよびデータ復元装置。

[C23] 第1の位相サンプリングクロック(CLK45)と、第2の位相サンプリングクロック(CLK135)と、第3の位相サンプリングクロック(CLK225)と、第4の位相サンプリングクロック(CLK315)とを有するサンプリングクロックCLKを発生するように構成された多相サンプリングクロック発生器をさらに備え、CLK4

50

5が前記第2の位相シフト復元クロックに対応し、CLK135が前記第4の位相シフト復元クロックに対応し、CLK225が前記第3の相補位相シフト復元クロックに対応し、CLK315が前記第4の相補位相シフト復元クロックに対応する、C21に記載のクロックおよびデータ復元装置。

[C24] 前記多相サンプリングクロック発生器が、1/2レートサンプリングモードに選択的に切り替わることと、前記1/2レートサンプリングモードにおいて、前記第3の位相シフト復元クロックに基づいて第1のビットサンプリングクロック(CLK90)を発生することと、前記相補的な第3の位相シフト復元クロックに基づいて第2のビットサンプリングクロック(CLK270)を発生することとを行うように構成された、C23に記載のクロックおよびデータ復元装置。

10

[C25] 前記周波数追跡位相ロックループ発振器の前記電圧制御発振器が、前記レプリカ電圧制御発振器の前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルと実質的に同等に構成された、別の第1の遅延セル、第2の遅延セル、第3の遅延セルおよび第4の遅延セルを備える、C12に記載のクロックおよびデータ復元装置。

[C26] 前記レプリカ電圧制御発振器の前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々が前記バイアス電圧に結合されたバイアス入力端子を含み、前記第1の遅延セル、前記第2の遅延セル、前記第3の遅延セルおよび前記第4の遅延セルの各々が前記バイアス電圧に少なくとも部分的に依存する遅延を適用する、C25に記載のクロックおよびデータ復元装置。

20

[C27] 前記装置が少なくとも1つの半導体ダイに組み込まれた、C12に記載のクロックおよびデータ復元装置。

[C28] 前記装置がその中に組み込まれた、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定ロケーションデータユニット、およびコンピュータからなるグループから選択されたデバイスをさらに備える、C27に記載のクロックおよびデータ復元装置。

[C29] 入力信号遷移に位相ロックされた多相サンプリングクロックを発生するためのゲート電圧制御発振器であって、前記多相サンプリングクロックが、第1の位相シフト復元クロック信号と、第2の位相シフト復元クロック信号と、第3の位相シフト復元クロック信号と、第4の位相シフト復元クロック信号と、第5の位相シフト復元クロック信号と、第6の位相シフト復元クロック信号と、第7の位相シフト復元クロック信号と、第8の位相シフト復元クロック信号とを有し、ゲート電圧制御発振器は、

30

前記第1の位相シフト復元クロック信号と前記第5の位相シフト復元クロック信号とを出力するための第1の遅延手段であって、前記発生することが、前記第7の位相シフト復元クロック信号および前記第8の位相シフト復元クロック信号のうちの1つを選択し、前記選択された1つを遅延させることを含む、第1の遅延手段と、

前記第2の位相シフト復元クロック信号と前記第6の位相シフト復元クロック信号とを出力するための第2の遅延手段であって、前記出力することが、前記第1の位相シフト復元クロック信号および前記第2の位相シフト復元クロック信号のうちの1つを選択し、前記選択された1つを遅延させることを含む、第2の遅延手段と、

40

前記第3の位相シフト復元クロック信号と前記第7の位相シフト復元クロック信号とを出力するための第3の遅延手段であって、前記出力することが、前記第1の位相シフト復元クロック信号および前記第2の位相シフト復元クロック信号のうちの1つを選択し、前記選択された1つを遅延させることを含む、第3の遅延手段と、

前記第4の位相シフト復元クロック信号と前記第8の位相シフト復元クロック信号とを出力するための第4の遅延手段であって、前記出力することが、前記第3の位相シフト復元クロック信号および前記第8の位相シフト復元クロック信号のうちの1つを選択し、前記選択された1つを遅延させることを含む、第4の遅延手段と、

前記第1の遅延手段、前記第2の遅延手段、前記第3の遅延手段および前記第4の遅延

50

手段の前記出力に、実質的に等しい負荷を装荷するための手段とを備える、ゲート電圧制御発振器。

【C 3 0】 第 1 の位相シフト復元クロック信号と、第 2 の位相シフト復元クロック信号と、第 3 の位相シフト復元クロック信号と、第 4 の位相シフト復元クロック信号と、第 5 の位相シフト復元クロック信号と、第 6 の位相シフト復元クロック信号と、第 7 の位相シフト復元クロック信号と、第 8 の位相シフト復元クロック信号とを有する多相サンプリングクロックを発生するための方法であって、ゲート電圧制御発振器が、

前記第7の位相シフト復元クロック信号および前記第8の位相シフト復元クロック信号のうち1つを選択し、前記選択された1つを遅延させることによって、前記第1の位相シフト復元クロック信号と前記第5の位相シフト復元クロック信号とを出力することと、

前記第 1 の位相シフト復元クロック信号および前記第 2 の位相シフト復元クロック信号のうち 1 つを選択し、前記選択された 1 つを遅延させることによって、前記第 2 の位相シフト復元クロック信号と前記第 6 の位相シフト復元クロック信号とを出力することと、

前記第 1 の位相シフト復元クロック信号および前記第 2 の位相シフト復元クロック信号のうち 1 つを選択し、前記選択された 1 つを遅延させることによって、前記第 3 の位相シフト復元クロック信号と前記第 7 の位相シフト復元クロック信号とを出力することと、

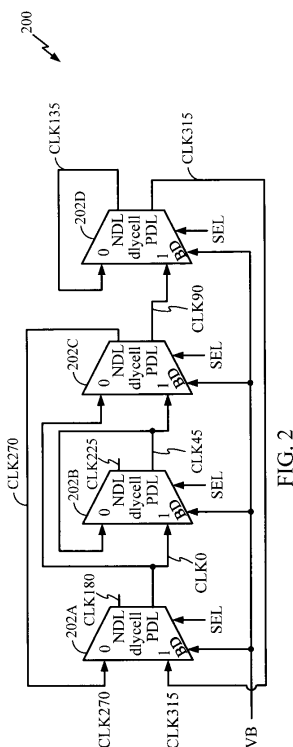
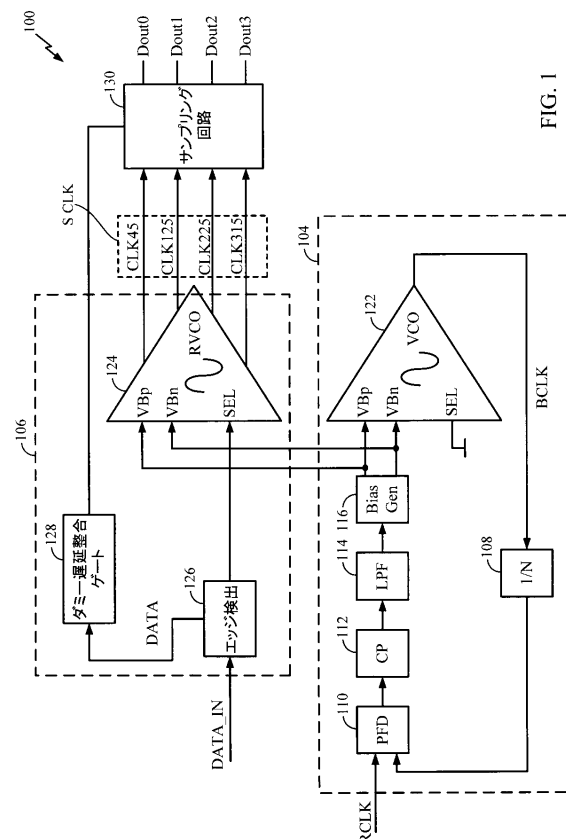
前記第3の位相シフト復元クロック信号および前記第8の位相シフト復元クロック信号のうち1つを選択し、前記選択された1つを遅延させることによって、前記第4の位相シフト復元クロック信号と前記第8の位相シフト復元クロック信号とを出力することと、

前記第 1 の位相シフト復元クロック信号および前記第 5 の位相シフト復元クロック信号の前記出力と、前記第 2 の位相シフト復元クロック信号および前記第 6 の位相シフト復元クロック信号の前記出力と、前記第 3 の位相シフト復元クロック信号および前記第 7 の位相シフト復元クロック信号の前記出力と、前記第 4 の位相シフト復元クロック信号および前記第 8 の位相シフト復元クロック信号の前記出力とを等しく装荷することとを備える、方法。

【図 1】

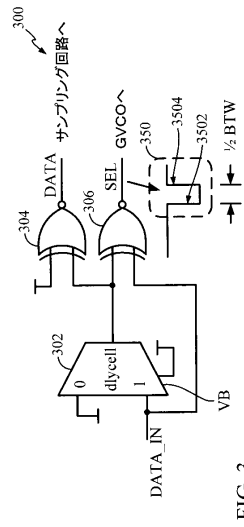
【図 2】

图 1



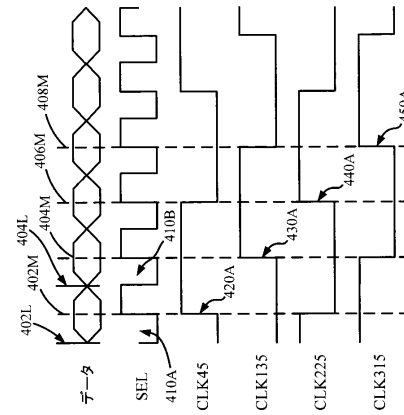
【図 3】

図 3



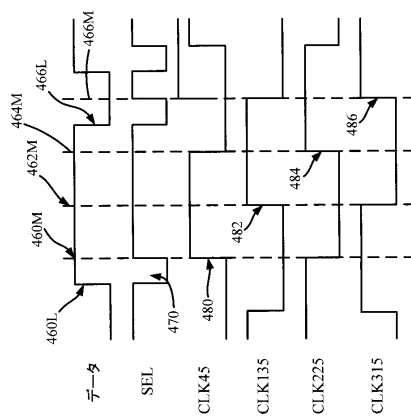
【図 4 A】

図 4A



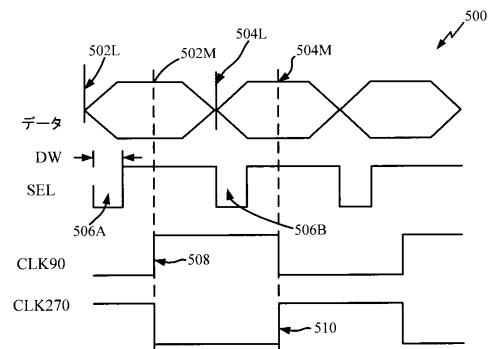
【図 4 B】

図 4B



【図 5】

図 5



【図 6】

図 6

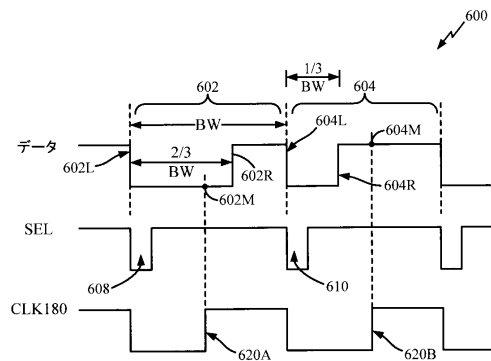


FIG. 6

【図 7】

図 7

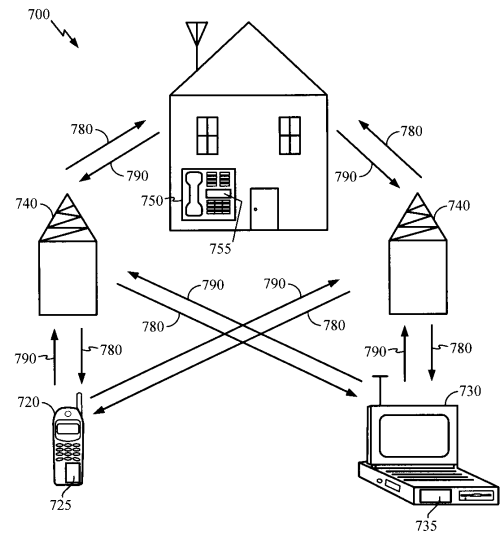


FIG. 7

フロントページの続き

- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (72)発明者 ジュ、ジー
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75
- (72)発明者 コン、シャオファ
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75
- (72)発明者 ダン、ナム・ブイ.
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

審査官 森谷 哲朗

- (56)参考文献 特開2006-050607 (JP, A)
特開2010-283455 (JP, A)
特開2004-015689 (JP, A)
特開平02-274139 (JP, A)
米国特許出願公開第2008/0260087 (US, A1)
米国特許出願公開第2006/0140309 (US, A1)

- (58)調査した分野(Int.Cl., DB名)
H04L 7/033
H03L 7/099