



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월24일  
(11) 등록번호 10-0798166  
(24) 등록일자 2008년01월18일

(51) Int. Cl.  
H01L 21/3213 (2006.01)  
(21) 출원번호 10-2000-0030405  
(22) 출원일자 2000년06월02일  
심사청구일자 2005년06월02일  
(65) 공개번호 10-2001-0020946  
(43) 공개일자 2001년03월15일  
(30) 우선권주장  
99-158758 1999년06월04일 일본(JP)  
(56) 선행기술조사문헌  
JP09306988 A  
(뒷면에 계속)

(73) 특허권자  
가부시키가이샤 히타치세이사쿠쇼  
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고  
(72) 발명자  
후카다신이치  
일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시키가이샤히타치세이사쿠쇼치테키쇼유켄혼부나이  
노지리카즈오  
일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시키가이샤히타치세이사쿠쇼치테키쇼유켄혼부나이  
(뒷면에 계속)  
(74) 대리인  
특허법인 원전

전체 청구항 수 : 총 65 항

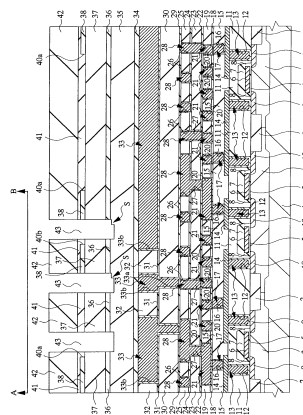
심사관 : 김희주

(54) 반도체장치 및 그 제조방법

(57) 요약

제4 배선층의 배선(33) 상에 절연막(34 ~ 38)을 순차 형성하고(절연막(34, 36, 38)은 실리콘 질화막으로 이루어진다. 절연막(35, 37)은 실리콘 산화막으로 이루어진다), 절연막(38)에 홈패턴(40)을 포토리소그라피를 이용하여 전사한다. 절연막(38)의 홈패턴(40)을 매립하는 반사방지막(41)을 형성하고, 또 구멍패턴(43)을 가지는 레지스트막(42)을 형성한다. 레지스트막(42)의 존재하에서 에칭처리를 행하고, 절연막(38, 37, 36) 및 절연막(35)의 일부에 구멍패턴(43)을 전사한다. 그후, 레지스트막(42), 반사방지막(41)을 제거하고, 절연막(38)을 마스크로서 홈패턴(40)을 절연막(37)에 구멍패턴(43)을 절연막(35)에 전사한다.

대표도 - 도14



(72) 발명자

**유노가미타카시**

일본국도쿄도치요다쿠마루노우치1쥬메5반1고신마루  
비루가부시키가이샤히타치세이사쿠쇼치테크쇼유켄  
혼부나이

**훗타쇼지**

일본국도쿄도치요다쿠마루노우치1쥬메5반1고신마루  
비루가부시키가이샤히타치세이사쿠쇼치테크쇼유켄  
혼부나이

**아오키히데오**

일본국도쿄도치요다쿠마루노우치1쥬메5반1고신마루  
비루가부시키가이샤히타치세이사쿠쇼치테크쇼유켄  
혼부나이

**오시마타카유키**

일본국도쿄도치요다쿠마루노우치1쥬메5반1고신마루  
비루가부시키가이샤히타치세이사쿠쇼치테크쇼유켄  
혼부나이

**코바야시노부요시**

일본국도쿄도치요다쿠마루노우치1쥬메5반1고신마루  
비루가부시키가이샤히타치세이사쿠쇼치테크쇼유켄  
혼부나이

(56) 선행기술조사문헌

JP10313006 A

JP2000349150 A

KR1019970018091 A

TW490844 B

US6340632 B1

US6528400 B2

US6555464 B2

US6774020 B2

KR1019990030048 A

## 특허청구의 범위

### 청구항 1

반도체 장치의 제조방법에 있어서,

- (a) 기판 위에 제1 절연층을 형성하는 공정;
- (b) 상기 제1 절연층 위에 배선흘 패턴층을 형성하는 공정;
- (c) 상기 배선흘 패턴층과 제1 절연층 위로 구멍 패턴층을 형성하는 공정;
- (d) 상기 제1 절연층에 깊이를 갖는 구멍 패턴을 형성하는 마스크로서 구멍 패턴층을 사용하여 상기 배선흘 패턴층과 상기 제1 절연층을 에칭하는 공정;
- (e) (d) 공정 이후, 구멍 패턴층을 제거하는 공정;
- (f) (e) 공정 이후, 상기 제1 절연층에 배선흘 패턴을 형성하는 마스크로서 상기 배선흘 패턴층을 사용하여 상기 제1 절연층을 에칭하는 공정을 포함하고;

상기 (d) 공정에 의해, 상기 배선흘 패턴층은 상기 제1 절연층에 상기 구멍패턴을 전사하기 위하여 부분적으로 에칭이 수행되는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 2

반도체 장치의 제조 방법에 있어서,

- (a) 기판 위에 제1 절연층을 형성하는 공정;
- (b) 상기 제1 절연층 위에 배선흘 패턴층을 형성하는 공정;
- (c) (b) 공정 이후, 상기 제1 절연층 위에 구멍 패턴층을 형성하는 공정;
- (d) 상기 제1 절연층에 소정의 깊이를 갖는 구멍 패턴을 형성하는 마스크로서 상기 구멍 패턴층을 사용하여 상기 제1 절연층을 에칭하는 공정;
- (e) (d) 공정 이후, 상기 구멍 패턴층을 제거하는 공정;
- (f) (e) 공정 이후, 상기 제1 절연층에 배선흘 패턴을 형성하는 마스크로서 상기 배선흘 패턴층을 사용하여 상기 제1 절연층을 에칭하는 공정으로,

그중에서 에칭 공정(d)는 상기 배선흘 패턴층으로 상기 구멍 패턴층을 전사하기 위해 에칭된 구멍 패턴층을 통해 노출된 상기 배선흘 패턴층에 수행하는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 3

반도체 장치의 제조 방법에 있어서,

- (a) 기판 위에 제1 절연층을 형성하는 공정;
- (b) 상기 제1 절연층 위에 배선흘 패턴층을 형성하는 공정;
- (c) 상기 배선흘 패턴층 위에 구멍 패턴층을 형성하는 공정;
- (d) 상기 배선흘 패턴층으로 상기 구멍 패턴층을 전사하고 상기 제1 절연층에 소정의 깊이를 갖는 구멍패턴을 형성하기 위하여 제거된 상기 구멍 패턴층을 통해 노출된 상기 배선흘 패턴 층의 마스크로서 상기 구멍 패턴층을 사용하여 상기 제1 절연층을 제거하는 공정;
- (e) (d) 공정 이후, 상기 구멍 패턴층을 제거하는 공정;
- (f) (e) 공정 이후, 상기 구멍패턴의 구멍지름과 실질적으로 동일 홈폭을 갖는 구멍패턴이 상기 제1 절연층에 형성되는 마스크로서 상기 배선흘 패턴층을 사용하여 상기 제1 절연층을 에칭하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 4

제2항에 있어서,

상기 (d) 공정에 의해, 상기 배선흘 패턴층의 일부는 상기 제1 절연층에 상기 구멍패턴층이 전사되기 위하여 에칭이 수행되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 5

제2항에 있어서,

상기 (d) 공정에 의해, 상기 구멍패턴은 상기 제1 절연층의 하부까지 형성되고,

상기 (f) 공정에서 배선흘이 형성되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 6

제2항에 있어서,

상기 (d) 공정에 의해, 상기 구멍패턴은 상기 제1 절연층의 중간까지 형성되고,

상기 (f) 공정에서, 배선흘과 접속구멍이 형성되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 7

제2항에 있어서,

상기 (a) 공정 이전에, 제2 절연층을 형성하고,

상기 (f) 공정은 상기 제2 절연층의 에칭속도가 상기 제1 절연층의 에칭속도보다도 작은 조건에서 행하는 제1 에칭 공정과, 상기 제2 절연층이 에칭되는 조건에서 행하는 제2 에칭 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 8

반도체 장치의 제조방법에 있어서,

(a) 제1 절연층을 형성하는 공정;

(b) 상기 제1 절연층 위에 배선흘 패턴층을 형성하는 공정;

(c) (b) 공정 이후, 구멍 패턴층의 구멍지름이 상기 배선흘 패턴층의 홈폭보다 큰 상기 제1 절연층 위에 구멍 패턴층을 형성하는 공정;

(d) 상기 제1 절연층을 에칭하는 공정으로,

그중에서 상기 배선흘 패턴층의 에칭속도가 상기 제1 절연층의 에칭속도보다 작은 조건에서 상기 제1 절연층에 소정의 깊이를 갖는 구멍패턴을 형성하기 위하여 상기 구멍 패턴층을 사용하는 공정;

(e) (d) 공정 이후, 상기 구멍 패턴층을 제거하는 공정;

(f) (e) 공정 이후, 상기 제1 절연층에 배선흘 패턴을 형성하기 위한 마스크로서 상기 배선흘 패턴층을 사용하여 상기 제1 절연층을 에칭하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 9

제8항에 있어서,

상기 구멍 패턴층의 구멍지름이 얼라인먼트 오차에 덧붙여서 배선흘 패턴층의 홈폭보다 동일하거나 작은 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 10

제2항에 있어서,

(g) (f) 공정 이후, 상기 기관의 전체 표면으로 배리어 금속층과 동(銅)층을 형성하는 공정;

(h) 구멍패턴과 배선홈에 상기 배리어 금속층과 상기 동(銅)층을 매립하기 위하여 상기 배리어 금속층과 상기 동(銅)층을 가공하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 11

제2항에 있어서,

상기 배선홈 패턴층은 전도성 소재인 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 12

제1항에 있어서,

상기 배선홈 패턴은 상기 구멍패턴의 구멍지름과 실질적으로 동일한 홈폭을 갖는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 13

삭제

#### 청구항 14

제1항에 있어서,

상기 (d) 공정에 의해, 상기 구멍패턴은 상기 제1 절연층의 하부까지 형성되고,

(f) 공정에서 배선홈이 형성되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 15

제1항에 있어서,

(d) 공정에 의해, 상기 구멍패턴은 상기 제1 절연층의 중간까지 형성되고,

(f) 공정에서, 배선홈과 접속구멍이 형성되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 16

제1항에 있어서,

(g) (f) 공정 이후, 상기 기관의 전체 표면으로 배리어 금속층과 동(銅)층을 형성하는 공정;

(h) 구멍 패턴과 배선홈에 상기 배리어 금속층과 상기 동(銅)층을 매립하기 위하여 상기 배리어 금속층과 상기 동(銅)층을 폴리싱(polishing) 하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 17

제3항에 있어서,

상기 (d) 공정에 의해, 상기 배선홈 패턴층은 상기 제1 절연층에 상기 구멍 패턴층을 전사하기 위하여 부분적으로 에칭이 수행되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 18

제3항에 있어서,

상기 (d) 공정에 의해, 상기 구멍패턴은 상기 제1 절연층의 하부까지 형성되고,

(f) 공정에서 배선홈이 형성되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 19

제3항에 있어서,

- (d) 공정에 의해, 상기 구멍패턴은 상기 제1 절연층의 하부까지 형성되고 ,
- (f) 공정에서, 배선홀과 접속구멍이 형성되는 것을 특징으로 하는 반도체 장치의 제조방법

#### 청구항 20

제3항에 있어서,

- (f) 공정 이후, 상기 기판의 전체 표면으로 배리어 금속층과 동(銅)층을 형성하는 공정;
- (h) 상기 구멍패턴과 배선홀에 상기 배리어 금속층과 상기 동(銅)층을 매립하기 위하여 상기 배리어 금속층과 상기 동(銅)층을 가공하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 21

제8항에 있어서,

상기 (d) 공정에 의해, 상기 배선홀 패턴층은 상기 제1 절연층에 상기 구멍 패턴층을 전사하기 위하여 부분적으로 에칭이 수행되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 22

제8항에 있어서,

- 상기 (d) 공정에 의해, 상기 구멍패턴은 상기 제1 절연층의 하부까지 형성되고,
- (f) 공정에서 배선홀이 형성되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 23

제8항에 있어서,

- (d) 공정에 의해, 상기 구멍패턴은 상기 제1 절연층의 중간까지 형성되고,
- (f) 공정에서, 배선홀과 접속구멍이 형성되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 24

제8항에 있어서,

- (g) (f) 공정 이후, 상기 기판의 전체 표면으로 배리어 금속층과 동(銅)층을 형성하는 공정;
- (h) 구멍 패턴과 배선홀에 상기 배리어 금속층과 상기 동(銅)층을 매립하기 위하여 상기 배리어 금속층과 상기 동(銅)층을 가공하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 25

삭제

#### 청구항 26

삭제

#### 청구항 27

삭제

#### 청구항 28

삭제

#### 청구항 29

삭제

### 청구항 30

삭제

### 청구항 31

삭제

### 청구항 32

삭제

### 청구항 33

삭제

### 청구항 34

제1항에 있어서,

상기 (e) 공정에 의해, 상기 구멍 패터닝은 애싱(Ashing) 기술을 사용하여 제거되는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 35

제2항에 있어서,

상기 (e) 공정에 의해, 상기 구멍 패터닝은 애싱(Ashing) 기술을 사용하여 제거되는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 36

제3항에 있어서,

상기 (e) 공정에 의해, 상기 구멍 패터닝은 애싱(ashing) 기술을 사용하여 제거되는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 37

제8항에 있어서,

상기 (e) 공정에 의해, 상기 구멍 패터닝은 애싱(ashing) 기술을 사용하여 제거되는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 38

반도체 장치의 제조방법에 있어서,

절연막 위에 배선홈을 위한 마스크를 형성하고 이후로 반사방지막을 형성하는 공정;

상기 반사방지막 위에 접속구멍을 위한 마스크를 형성하는 공정;

배선홈과 접속구멍을 위한 마스크를 사용하여 절연막에 배선홈과 접속구멍을 전사하는 공정을 포함하고,

상기 반사방지막은 평탄화막으로 작용하는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 39

삭제

### 청구항 40

반도체 장치의 제조방법에 있어서,

절연막 위에 배선홈을 위한 마스크를 형성하고 이후로 평탄화막을 형성하는 공정;

상기 평탄화막 위에 접속구멍을 위한 마스크를 형성하는 공정;

배선홈과 접속구멍을 위한 마스크를 사용하여 배선홈의 마스크 아래의 절연막에 배선홈과 접속구멍을 전사하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 41

제40항에 있어서,

상기 평탄화막과 배선홈의 마스크는 접속구멍을 위한 마스크에 대해서 상대적인 자기정합 방법으로 제거되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 42

반도체 장치의 제조방법에 있어서,

패턴이 형성된 막 위에 제1 마스크막을 형성하고, 이후로 반사막이 평탄화된 표면 만큼의 반사방지막을 형성하는 공정;

반사방지막 위에 제2 마스크막을 형성하는 공정;

제1과 제2 마스크막을 사용하여 패턴이 형성된 막 위에 패턴을 전사하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 43

제42항에 있어서,

반사방지막과 제1 마스크막은 제2 마스크막에 대해서 상대적인 자기정합 방법으로 제거되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 44

반도체 장치의 제조방법에 있어서,

패턴이 형성된 막 위에 제1 마스크막을 형성하고, 이후로 평탄화막을 형성하는 공정;

평탄화막 위에 제2 마스크막을 형성하는 공정;

제1과 제2 마스크막을 사용하여 패턴이 형성된 막 위에 패턴을 전사하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 45

제44항에 있어서,

평탄화막과 제1 마스크막은 제2 마스크막에 대해서 상대적인 자기정합 방법으로 제거되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 46

반도체 장치의 제조방법에 있어서,

(a) 층간절연층 위에 배선홈 패턴층을 형성하는 공정;

(b) 평탄화막의 표면이 평탄화된 배선홈 패턴층과 층간절연층 위에 평탄화막을 형성하는 공정;

(c) 상기 평탄화막 위에 구멍 패턴층을 형성하는 공정;

(d) 마스크로써 상기 구멍 패턴층을 사용하여 상기 평탄화막과 층간절연층을 에칭하는 공정;

(e) 상기 (d) 공정 이후, 상기 구멍 패턴층과 평탄화막을 제거하는 공정;

(f) 상기 (e) 공정 이후, 마스크로써 상기 배선홈 패턴층을 사용하여 상기 층간절연층을 에칭하는 공정으로,

배선홈 패턴과 구멍패턴이 (e) 와 (f) 공정을 사용하여 층간절연층에 형성되는 것을 특징으로 하는 반도체 장치

의 제조방법.

#### 청구항 47

제46항에 있어서,

상기 평탄화막은 반사방지막으로 제공되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 48

제47항에 있어서,

상기 구멍 패터층은 상기 평탄화막 위에 포토레지스트막이 형성되고 상기 포토레지스트막 위에 패터이 형성되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 49

제48항에 있어서,

상기 배선홀 패터층은 실리콘 질화막을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 50

제48항에 있어서,

상기 (d) 공정에서, 상기 배선홀 패터층은 마스크로써 상기 구멍패턴을 사용하여 에칭되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 51

제46항에 있어서,

상기 (d) 공정에서, 상기 배선홀 패터층은 마스크로써 상기 구멍패턴을 사용하여 에칭되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 52

제46항에 있어서,

상기 평탄화막은 반사방지막인 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 53

제38항에 있어서,

반사방지막의 표면은 평탄화되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 54

제40항에 있어서,

평탄화막의 표면은 평탄화되고, 평탄화막은 반사방지막으로 제공되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 55

제44항에 있어서,

평탄화막의 표면은 평탄화되고, 평탄화막은 반사방지막으로 제공되는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 56

삭제

**청구항 57**

삭제

**청구항 58**

삭제

**청구항 59**

삭제

**청구항 60**

삭제

**청구항 61**

삭제

**청구항 62**

삭제

**청구항 63**

삭제

**청구항 64**

삭제

**청구항 65**

삭제

**청구항 66**

삭제

**청구항 67**

삭제

**청구항 68**

반도체 장치의 제조방법에 있어서,

(a) 제1 스토퍼 절연층 위에 제1 층간 절연층을 형성하는 공정;

(b) 상기 제1 층간 절연층 위에 배선흘 패턴층을 형성하는 공정;

(c) 상기 (b) 공정 이후, 상기 제1 층간 절연층 위에 구멍 패턴층을 형성하는 공정;

(d) 상기 제1 층간 절연층에 구멍패턴을 형성하기 위하여 마스크로써 상기 구멍 패턴층을 사용하고 에칭 스톱퍼로써 상기 제1 스토퍼 절연층을 사용하여 상기 제1 층간 절연층을 에칭하는 공정;

(e) 상기 (d) 공정 이후, 상기 구멍 패턴층을 제거하는 공정;

(f) 상기 (e) 공정 이후, 상기 제1 층간 절연층에 배선흘 패턴을 형성하기 위하여 마스크로써 상기 배선흘 패턴층을 사용하여 제1 층간 절연층의 중간까지 에칭하는 공정으로,

상기 (c) 공정에서 구멍 패턴층은 상기 배선흘 패턴층 위에 형성되고, (d) 공정에서 상기 배선흘 패턴은 마스크로써 상기 구멍 패턴층을 사용하여 에칭하는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 69**

제68항에 있어서,

(g) 상기 (f) 공정 이후, 도전층을 상기 배선홈 패턴과 상기 구멍패턴에 매립하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 70**

제68항에 있어서,

상기 제1 스토퍼 절연층 각각과 상기 배선홈 패턴층은 실리콘 질화막을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 71**

삭제

**청구항 72**

제68항에 있어서,

상기 (g) 공정 이전에 상기 구멍 패턴의 상기 제1 스토퍼 절연층이 제거되는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 73**

제68항에 있어서,

상기 제1 스토퍼 절연층은 상기 제1 층간 절연층보다 더 높은 유전율을 가지는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 74**

삭제

**청구항 75**

삭제

**청구항 76**

삭제

**청구항 77**

삭제

**청구항 78**

삭제

**청구항 79**

삭제

**청구항 80**

삭제

**청구항 81**

반도체 장치의 제조방법에 있어서,

제1 절연막 위에 제1 절연막보다 낮은 에칭비를 가지는 제2 절연막을 형성하는 공정;

제2 절연막 위에 배선흘 패턴으로 패턴된 제1 레지스트막을 형성하는 공정;

제1 레지스트막의 존재하에 제2 절연막을 에칭하고 제2 절연막에 배선흘 패턴을 전사하는 공정;

배선흘 패턴을 가지는 제2 절연막 위에 반사방지막을 형성하는 공정;

반사방지막 위에 제2 레지스트막을 형성하는 공정;

홈 패턴의 형성을 위하여 빛을 제2 레지스트막을 조사하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

## 청구항 82

제81항에 있어서,

제2 절연막은 반사방지막 형성 이후 그 표면이 평탄하게 보일 정도로 얇은 두께를 가지는 것을 특징으로 하는 반도체 장치의 제조방법

## 청구항 83

제81항에 있어서,

제2 절연막은 제1 절연막 및 제2 레지스트막보다 얇은 두께를 가지는 것을 특징으로 하는 반도체 장치의 제조방법.

## 청구항 84

제81항에 있어서,

상기 조사하는 공정 이후, 홈 패턴을 형성하기 위한 마스크로써 제2 레지스트막을 사용하여 제1 절연막을 에칭하는 공정;

제2 레지스트막을 제거하는 공정;

마스크로써 제2 절연막을 사용하여 제1 절연막을 에칭하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

## 청구항 85

제84항에 있어서,

제1 절연막을 에칭하는 공정에서, 제1 절연막과 제2 절연막이 마스크로써 제2 절연막을 사용하여 에칭되는 것을 특징으로 하는 반도체 장치의 제조방법.

## 청구항 86

반도체 장치의 제조방법에 있어서,

패턴의 존재하에서 막 위에 제1 마스크막을 형성하고 이후로 반사방지막을 형성하는 공정;

반사방지막 위에 제2 마스크막을 형성하는 공정;

패턴의 존재하에서 제1 마스크막과 제2 마스크막을 사용하여 막 위에 패턴을 전사하는 공정을 포함하고,

반사방지막과 제1 마스크막은 제2 마스크막에 대해서 상대적인 자기정합 방법으로 제거되는 것을 특징으로 하는 반도체 장치의 제조방법.

## 청구항 87

삭제

## 청구항 88

제86항에 있어서,

막은 하드마스크층을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 89

제86항에 있어서,

막은 절연막과 하드마스크층을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 90

제89항에 있어서,

패턴 전사 공정은 마스크로써 제2 마스크막을 사용하여 절연막을 에칭하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 91

제89항에 있어서,

제1 마스크막은 절연막을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 92

제86항에 있어서,

제1 마스크막은 하드마스크층을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 93

제92항에 있어서,

막은 절연막을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 94

제92항에 있어서,

패턴 전사 공정은

(a) 막에 패턴 또는 제1 마스크막을 전사하는 공정;

(b) (a) 공정 이후, 제1 마스크막을 제거하는 공정;

(c) (b) 공정 이후, 마스크로써 제1 마스크막을 사용하여 막을 에칭하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 95

제94항에 있어서,

패턴 전사 공정은 마스크로써 제2 마스크막을 사용하여 막을 에칭하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 96

제92항에 있어서,

하드마스크층은 금속 요소를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 청구항 97

제88항에 있어서,

하드마스크층은 금속 요소를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <90> 본 발명은, 반도체 장치 및 그 제조방법에 관한 것으로서, 특히 소위 대머신(damascene)법을 이용하여 형성된 다층배선구조, 및 그와 같은 다층배선구조를 가지는 반도체 장치에 적용하여 유효한 기술에 관한 것이다.
- <91> 반도체 장치의 고성능화 및 미세화에 따라서, 다층배선기술은 반도체 장치 제조에 있어서 필요한 기술로 되고 있다. 반도체 집적회로에서의 배선층의 형성법으로서, 절연막 상에 알루미늄(Al) 합금 또는 텅스텐(W) 등의 고용점 금속박막을 성막한 후, 포토리소그라피공정에 의해 배선용 박막상에 배선패턴과 동일 형상의 레지스트패턴을 형성하고, 그것을 마스크로서 드라이에칭공정에 의해 배선패턴을 형성하는 방법이 알려져 있다. 그러나, 이 Al합금 등을 이용하는 방법에서는 배선의 미세화에 따라서, 배선저항의 증대가 현저하게 되고, 그것에 따라 배선지연이 증가하여, 반도체 장치의 성능이 저하하는 등의 문제가 있다. 특히 고성능인 로직LSI에 있어서는 그 성능저해요인으로서는 큰 문제가 발생하고 있다.
- <92> 이 때문에, 절연막에 형성한 홈(溝) 상에 동(Cu)을 주(主)도체층으로 하는 배선용 금속을 매립한 후, 홈외부의 여분의 금속을 CMP법(화학기계연마법)을 이용하여 제거함으로써 홈내에 배선패턴을 형성하는 방법(소위 대머신법)이 검토되고 있다.

##### 발명이 이루고자 하는 기술적 과제

- <93> 그러나 대머신법, 특히 듀얼(dual)대머신법(배선형성용의 배선홈과 층간접속배선이 형성되는 접속구멍을 형성한 후에 배선 및 층간접속배선을 동시에 형성하는 대머신법)에 의한 다층배선의 형성공정에 대하여, 본 발명자들이 검토한 바, 이하와 같은 문제가 있다는 것을 확인하였다. 또한, 이하의 문제점은 본 발명자들이 독자적으로 검토한 것이고, 특히 공지된 것이 아니다.
- <94> 즉, 본 발명자들의 검토에 의하면, 듀얼대머신법에 의한 홈(배선홈) 및 구멍(접속구멍)의 형성방법은 크게 나누어 2개의 방식이 있다. 공선(孔先)방식과 셀프얼라인방식이다.
- <95> 공선방식(hole-first method)은 하층배선 상에 형성된 층간절연막(배선형성용의 절연막인 선간(線間)절연막을 포함한다)에 하층배선에 도달하는 깊은 구멍을 우선 형성한다. 이 구멍의 형성은 구멍패턴으로 패터닝된 포토레지스트막을 층간절연막 상에 형성하고, 이것을 마스크로 하여, 예컨대 드라이에칭법에 의해 층간절연막을 에칭한다. 다음으로, 반사방지재료, 레지스트등으로 이 구멍을 매립하고, 그후 층간절연막에 배선홈을 형성한다. 배선홈의 형성은 구멍의 형성과 마찬가지로 홈패턴으로 패터닝된 포토레지스트막을 층간절연막 상에 형성하고, 이 포토레지스트막을 마스크로 하여, 층간절연막을 에칭한다. 배선홈의 형성전에 구멍을 반사방지재료등으로 매립하는 것은 배선홈형성용의 포토레지스트막의 노광을 정확하게 행하고, 가공정밀도를 향상하기 위함이다. 즉, 구멍부가 매립되어 있지 않으면, 그 부분의 포토레지스트막의 표면이 구멍형상을 반영하여 평탄하게 되지 않는다. 이와 같은 요철이 존재하는 상황에서 노광을 행하면, 요철의 존재부(구멍부)에서의 노광량의 산란이 발생하고, 정밀하게 홈패턴이 형성되지 않는다. 특히, 상하 배선층간을 접속하는 접속용 배선이 형성되는 구멍부(접속구멍)에는 배선홈이 형성되므로, 이와 같은 가공정밀도의 저하의 문제가 많은 부분에서 발생한다.
- <96> 구멍부를 상기한 바와 같이 반사방지재(反射防止材)등으로 매립하면, 배선홈패턴을 노광할 때의 문제는 거의 해소된다. 그러나, 배선홈 형성후에 구멍내에 잔존한 매립재(반사방지재 등)를 제거하지 않으면 안된다. 그런데, 이와 같은 매립재를 제거하는 것이 곤란하고, 접속구멍 저부로의 매립재 잔류에 의한 상하 배선층간의 접속불량 또는 접속저항 증가의 문제가 있다. 특히, 근래의 미세화된 반도체 장치에서는 접속구멍 지름이 축소되고 또한 에스펙트비도 크게 되므로, 그 곤란성은 한층더 크게 된다.
- <97> 한편, 셀프얼라인 방식에서는 배선홈 및 접속구멍은 이하와 같이 형성할 수 있다. 즉, 하층배선 상에 층간절연막(이 경우의 층간절연막에는 배선형성용의 선간 절연막을 포함하지 않는다)을 형성하고, 또 실리콘 질화막을 형성한다. 이 실리콘 질화막에 구멍패턴 가공을 행하고, 또한 선간절연막(예컨대 실리콘산화막)을 형성한다. 즉, 층간절연막과 선간절연막과의 사이에 구멍패턴으로 가공된 중간층(실리콘 질화막층)을 형성한다. 그리고, 선간절연막에 홈패턴을 형성하고, 홈패턴 가공후에는 중간층(홈패턴이 형성된 실리콘 질화막)을 마스크로 하여

구멍가공을 행한다. 이와 같은 셀프얼라인 방식에서는 상기한 바와 같은 구멍(접속구멍) 내로의 매립재의 잔류, 또는 홈가공을 행할 때의 가공정밀도의 저하를 회피할 수 있다.

- <98> 그러나, 상기한 중간층은 홈가공 시(에칭시)의 에칭스토퍼로서 기능하는 것이며, 또한 구멍 가공의 에칭마스크로서도 기능한다. 이때문에, 중간층의 막두께는 상당히 두껍게 할 필요가 있고, 본 발명자들의 검토로는 적어도 100nm 정도의 막두께는 필요하다. 실리콘 질화막은 고유전성의 재료로서 알려져 있고, 층간절연막, 선간절연막의 저유전율화를 취하는데 큰 마이너스 요인으로 된다. 배선간 또는 배선층간의 유전율이 크게 되면 배선간 용량이 크게 되어, 반도체 장치의 고속화, 고성능화의 저해요인으로 된다. 또한 구멍은 배선과 구멍 양쪽이 드라이에칭되는 영역으로 규정되므로, 구멍형성의 마스크와 홈형성의 마스크와의 마스크맞춤 어긋남에 의해 완성된 구멍지름이 작게 되는 사태가 발생할 것이다. 구멍지름의 축소화는 선간접속배선에 필요한 저항치의 확보를 저해하고, 반도체 장치의 고속화, 고성능화의 저해요인으로 된다.
- <99> 또한, 마스크맞춤 어긋남을 회피하기 위해, 홈패턴을 크게 하면 배선폭 및 피치의 미세화가 방해되어, 고집적화가 저지된다.
- <100> 본 발명의 목적은 미세한 듀얼대머신 홈의 형성에 있어서도 접속구멍 내로의 이물의 잔류를 회피하고, 배선접속의 신뢰성 및 반도체 장치 성능의 향상을 도모하는 것이 된다.
- <101> 또한, 본 발명의 다른 목적은 접속구멍의 가공면적을 확보하여, 배선층 간의 접속저항을 저감할 수 있는 기술을 제공하고, 반도체 장치의 성능향상을 도모하는 것에 있다.
- <102> 또, 본 발명의 또다른 목적은 배선간의 용량을 저감하고, 반도체 장치의 성능향상이 도모되는 기술을 제공하는 것에 있다.
- <103> 또한, 본 발명의 또다른 목적은 반도체 장치의 집적도를 향상할 수 있는 기술을 제공하는 것에 있다.
- <104> 본 발명의 상기 및 그외의 다른 목적과 신규한 특징은 본 명세서의 기술 및 첨부도면으로부터 명백하게 될 것이다.

### 발명의 구성 및 작용

- <105> 본원에서 개시되는 발명중 대표적인 것의 개요를 간단하게 설명하면, 다음과 같다.
- <106> 즉, 본 발명의 반도체 장치의 제조방법은, 기판상에 형성된 절연층(층간절연막 및 선간절연막) 상에 배선홈 형성시의 에칭마스크로 되는 배선홈패턴층을 형성한다. 다음으로, 그 배선홈 패턴층 상에 층간접속구멍 형성시의 에칭마스크로 되는 구멍패턴층을 형성한다. 그리고, 이 구멍패턴층 상에서 드라이에칭가공하고, 절연층에 소정의 깊이로 구멍패턴을 전사한 후, 구멍패턴층만 제거하고, 절연층에 전사된 구멍패턴 및 배선홈 패턴층을 마스크로 절연층을 가공한다.
- <107> 본 발명의 반도체 장치 또는 제조방법에서는 층간접속구멍의 맞춤어긋남을 흡수하기 위해 배선폭을 부분적으로 넓힌 영역이 아닌 배선구조를 전제로 하고 있다. 이 때문에, 배선간의 스페이스를 포토리소그래피의 최소치수까지 축소하는 것이 가능하게 되어 미세한 배선가공에 대응할 수 있다. 그렇지만, 배선홈패턴층과 그 위에 형성되는 구멍패턴의 맞춤어긋남이 문제로 된다. 이 맞춤어긋남 대책으로서, 첫번째로, 절연층에 소정의 깊이로 구멍패턴을 전사하는 것에 앞서 이 구멍패턴층을 관통하여 배선홈패턴층의 드라이에칭 가공공정을 가한다고 하는 방법과, 두번째로 배선홈패턴의 길이방향에 직교하는 구멍패턴지름을 배선홈폭보다 크게 하고, 이 구멍패턴층 위로부터 배선홈 패턴층이 에칭되지 않는 조건에서 드라이에칭가공하고, 절연층에 소정의 깊이로 구멍패턴을 전사한다고 하는 방법의 2가지의 방법을 제공한다.
- <108> 또한, 본 발명의 반도체 장치의 제조방법에서는 절연막 상의 배선홈 패턴층으로는 막두께가 50nm정도의 얇은 실리콘 질화막을 이용한다. 배선홈 패턴층이 충분히 얇기 때문에 그 위에 형성되는 구멍패턴층은, 충분히 높은 정밀도에서의 가공이 가능하게 된다. 즉 본 발명의 방법에서는 레지스트패턴(구멍패턴층을 형성하기 위한 패턴층)은 50nm정도의 작은 단차 상에 형성되므로, 레지스트아래에 형성되는 반사방지막의 도포 등의 간단한 대책으로 용이하게 단차를 완화할 수 있다. 따라서, 상기한 공선방식과 같은 평탄화공정(반사방지막재 등에 의한 접속구멍의 매립은 불필요하다. 게다가, 배선홈 패턴과 구멍패턴의 맞춤어긋남에 대해서는 절연층에 소정 깊이의 구멍패턴을 전사할 때에 그 에칭 초기단계에 있어서, 이 배선홈 패턴층을 관통하여 구멍패턴을 형성할 수 있다. 이것은 배선홈 패턴층이 얇은 실리콘 질화막으로 이루어지므로 에칭공정 상 특히 큰 곤란없이 실시할 수 있다. 이와 같이 먼저 구멍가공을 행함으로써, 구멍지름을 확보하여 셀프얼라인 방식의 디메리트를 보상하는 것이 가

능하게 된다. 이 경우, 절연층으로 열려진 구멍의 저부는 맞춤어긋남 영역에서 다소 에칭부족으로 될 것이 생각되지만, 절연층의 아래에 에칭스토퍼층을 설치하고, 구멍에칭이 오버에칭이 되어도 허용할 수 있도록 해두는 것으로 대처가 가능하다. 한편, 배선흘 패턴의 길이방향에 직교하는 구멍패턴지름을 배선흘 폭보다 크게 하고, 배선흘패턴층이 에칭되지 않는 조건에서 구멍패턴을 드라이에칭가공에 의해 전사할 경우에는, 배선흘 패턴과 배선흘 폭보다 넓은 구멍패턴과의 중첩영역에서 구멍패턴이 에칭전사된다. 구멍패턴층은 미리 마스크어긋남을 예상하여 그 구멍지름을 크게 형성하므로, 배선흘패턴의 패턴폭과 동일한 개구지름을 확보할 수 있다.

- <109> 이와 같이 하여, 선공방식의 디메리트, 즉 접속구멍 내의 충전물의 잔류를 회피하여, 또 동시에 선공방식의 메리트인 접속구멍 지름의 확보가 용이하게 행해진다. 즉, 본 발명의 제조방법에서는 구멍패턴의 드라이에칭을 먼저 진행하고, 뒤에 홈패턴의 드라이에칭을 행하므로, 구멍패턴의 형상은 먼저 결정되어 있어, 맞춤어긋남에 의해 구멍지름이 작게 되는 것과 같은 일은 없다.
- <110> 또한, 스토퍼층인 실리콘 질화막에 착안하면, 셀프얼라인 방식에서는 홈패턴의 에칭스토퍼이며, 동시에 구멍패턴의 드라이에칭마스크로서도 기능하기 때문에 최저라도 100nm이상의 막두께가 필요하였지만, 본 발명의 반도체 장치에서는 홈패턴의 에칭스토퍼의 기능밖에 요구하고 있지 않다. 그 때문에 셀프얼라인방식에 비해 중간스토퍼층을 얇게 하는 것이 가능하다. 게다가, 시간관리로 에칭함으로써 구멍패턴의 깊이를 제어하면, 중간스토퍼층을 이용할 필요가 없고 그것없이도 가공을 실현할 수 있다. 이것에 의해 반도체 장치의 배선간 용량을 저감하고, 반도체 장치의 성능향상을 도모할 수 있다.
- <111> 또한, 본원 발명의 특징을 열거하여 보면, 이하와 같다.
- <112> 1. 반도체 장치의 제조방법에 있어서, (a)기판 상에 제1 절연층을 형성하는 공정, (b)제1 절연층 상에 배선흘을 형성할 때의 에칭마스크로 되는 배선흘패턴층을 형성하는 공정, (c)배선흘 패턴층상에 접속구멍을 형성할 때의 에칭마스크로 되는 구멍패턴층을 형성하는 공정, (d)구멍패턴층의 존재하에서, 배선흘패턴층과 제1 절연층에 에칭처리를 행하고, 제1 절연층에 소정의 깊이의 구멍패턴을 전사하는 공정, (e)구멍패턴층을 제거하는 공정, (f)배선흘 패턴층 및 구멍패턴의 존재하에서 에칭처리를 행하고, 제1 절연층에 배선흘패턴을 전사하는 공정,을 포함한다.
- <113> 2. 일정폭으로 형성된 배선흘과, 배선흘 내에 형성된 배선과, 배선과 그 하층배선을 접속하는 층간접속부재를 가지는 반도체 장치의 제조방법에 있어서, (a)기판 상에 제1 절연층을 형성하는 공정, (b)제1 절연층 상에 배선흘을 형성할 때의 에칭마스크로 되는 배선흘패턴층을 형성하는 공정, (c)배선흘패턴층 상에 층간접속부재가 형성되는 접속구멍을 형성할 때의 에칭마스크로되는 구멍패턴층을 형성하는 공정, (d)구멍패턴층의 존재하에서 에칭처리를 행하고, 제1 절연층에 소정의 깊이의 구멍패턴을 전사하는 공정, (e)구멍패턴층을 제거하는 공정, (f)배선흘패턴층 및 구멍패턴의 존재하에서 에칭처리를 행하는 공정, 을 포함한다.
- <114> 3. 일정폭으로 형성된 배선흘과, 배선흘 내에 형성된 배선과, 배선과 그 하층배선을 접속하는 층간접속부재를 가지는 반도체 장치의 제조방법에 있어서, (a)기판상에 제1 절연층을 형성하는 공정, (b)제1 절연층 상에 배선흘을 형성할 때의 에칭마스크로 되는 배선흘 패턴층을 형성하는 공정, (c)배선흘패턴층 상에 층간접속부재가 형성되는 접속구멍을 형성할 때의 에칭마스크로 되는 구멍패턴층을, 배선흘패턴층의 패턴폭과 실질적으로 동일 치수의 패턴지름으로 형성하는 공정, (d)구멍패턴층의 존재하에서 에칭처리를 행하고, 제1 절연층에 소정의 깊이의 구멍패턴을 전사하는 공정, (e)구멍패턴층을 제거하는 공정, (f)배선흘패턴층 및 구멍패턴의 존재하에서 에칭처리를 행하는 공정,을 포함한다.
- <115> 4. 상기항 2 또는 3 기재의 반도체 장치의 제조방법에 있어서, (d)공정에서의 에칭처리에 의해, 배선흘 패턴층의 일부가 제1 절연층과 함께 에칭된다.
- <116> 5. 상기항 1 ~ 4 중 어느 한항에 기재된 반도체 장치의 제조방법에 있어서, (d)공정에서 구멍패턴은 제1 절연층의 하부까지 형성되고, (f)공정에서 배선흘이 형성된다.
- <117> 6. 상기항 1 ~ 4 중 어느 한항에 기재된 반도체 장치의 제조방법에 있어서, (d)공정에서 구멍패턴은 제1 절연층의 도중까지 에칭되고, (f)공정에서 배선흘과 접속구멍이 형성된다.
- <118> 7. 상기항 1 ~ 6 중 어느 한항에 기재된 반도체 장치의 제조방법에 있어서, (a)공정의 전에 제1 절연층에 대하여 에칭선택비를 가지는 제2 절연층을 형성하는 공정을 가지고, (f)공정에서의 드라이에칭처리는 제2 절연층의 에칭속도가 제1 절연층의 에칭속도보다도 작은 조건에서 행하는 제1 에칭과, 제2 절연층이 에칭되는 조건에서 행하는 제2 에칭과의 2단계에칭으로 행해진다.

- <119> 8. 반도체 장치의 제조방법에 있어서, (a)제1 스토퍼 절연층, 제1 절연층 및 스토퍼층을 순차 형성하는 공정, (b)스토퍼층에 배선홈 패턴을 전사하는 공정, (c)(b)공정의 후, 접속구멍의 구멍패턴층을 형성하는 공정, (d)구멍패턴층의 존재하에서 스토퍼층 및 제1 절연층을 제거하는 조건의 에칭처리를 행하고, 제1 절연층의 도중까지 에칭하여 구멍패턴을 전사하는 공정, (e)구멍패턴층을 제거하는 공정, (f)구멍패턴 및 배선홈 패턴이 형성된 스토퍼층의 존재하에서 에칭처리를 행하고, 접속구멍 및 배선홈을 형성하는 공정, 을 포함한다.
- <120> 9. 상기항 1 ~ 8 중의 어느 한항에 기재된 반도체 장치의 제조방법에 있어서, (c)공정에서 구멍패턴층은 스택 드비아(stacked vias)부를 개구하는 형상으로 구성되고, (d)공정에서 구멍패턴은 제1 절연층의 하부까지 형성된다.
- <121> 10. 상기항 1 ~ 9 중의 어느 한항에 기재된 반도체 장치의 제조방법에 있어서, (b)공정과 (c)공정과 사이 평탄화막을 형성하는 공정을 가진다.
- <122> 11. 상기항 10에 기재된 반도체 장치의 제조방법에 있어서, 평탄화막은 반사방지막이다.
- <123> 12. 상기항 1 ~ 11 중 어느 한항에 기재된 반도체 장치의 제조방법에 있어서, (f)공정에서 배선홈과 접속구멍이 형성되고, 그후 배선홈과 접속구멍에 도전막을 매립하여 배선과 층간접속부재를 형성한다.
- <124> 13. 배선홈 내에 형성된 배선과, 배선과 그 하층배선을 접속하는 층간접속부재를 가지는 반도체 장치의 제조방법에 있어서, (a)제1 스토퍼절연층, 층간절연층, 제2 스토퍼절연층, 선간절연층 및 스토퍼층을 순차 형성하는 공정, (b)스토퍼층에 배선홈패턴을 전사하는 공정, (c)(b)의 후, 층간접속부재가 형성되는 접속구멍의 구멍패턴 마스크를 형성하는 공정, (d)구멍패턴마스크의 존재하에서 선간절연층 및 제2 스토퍼절연층에 에칭처리를 행하고, 구멍패턴을 전사하는 공정, (e)구멍패턴마스크를 제거하는 공정, (f)구멍패턴 및 배선홈패턴이 형성된 스토퍼층의 존재하에서 에칭처리를 행하는 공정,을 포함한다.
- <125> 14. 상기항 13 기재의 반도체 장치의 제조방법에 있어서, (b)공정의 배선홈패턴의 전사후, 배선홈패턴의 형성에 사용된 레지스트층이 제거되고, 스토퍼층 상에 직접, 구멍패턴마스크가 형성된다.
- <126> 15. 상기항 13 또는 14 기재의 반도체 장치의 제조방법에 있어서, (f)공정에서의 에칭처리는 구멍패턴영역에서는 제1 스토퍼절연층에서, 배선홈패턴영역에서는 제2 스토퍼절연층에서, 가공이 종료 또는 정지한다.
- <127> 16. 상기항 13, 14 또는 15 기재의 반도체 장치의 제조방법에 있어서, 제1 및 제2 스토퍼절연층 및 스토퍼층은 실리콘 질화막으로 이루어진다.
- <128> 17. 상기항 16 기재의 반도체 장치의 제조방법에 있어서, 스토퍼층의 막두께는 제1 및 제2 스토퍼절연층의 막두께보다도 두껍다.
- <129> 18. 상기항 13 ~ 17중 어느 한항에 기재된 반도체 장치의 제조방법에 있어서, 구멍패턴마스크가 레지스트마스크이다.
- <130> 19. 상기항 13 ~ 18 중 어느 한항에 기재된 반도체 장치의 제조방법에 있어서, (f)의 공정의 후에 스토퍼층을 제거하는 공정을 가진다.
- <131> 20. 상기항 15에 기재된 반도체 장치의 제조방법에 있어서, (f)공정의 후에 스토퍼층, 제1 스토퍼층 및 제2 스토퍼층을 제거하는 공정을 가지고, 그후, 배선홈과 접속구멍에 도전막을 매립하여 배선과 층간접속부재를 형성한다.
- <132> 21. 배선홈 내에 형성된 배선과, 배선과 그 하층배선을 접속하는 층간접속부재를 가지는 반도체 장치의 제조방법에 있어서, (a)제1 스토퍼절연층, 제1 절연층 및 스토퍼층을 순차 형성하는 공정, (b)스토퍼층에 배선홈패턴을 전사하는 공정, (c)층간접속부재가 형성되는 접속구멍의 구멍패턴마스크를 형성하는 공정, (d)구멍패턴마스크의 존재하에서 스토퍼층 및 제1 절연층에 에칭처리를 행하고, 제1 절연층의 도중까지 에칭하여 구멍패턴을 전사하는 공정, (e)구멍패턴마스크를 제거하는 공정, (f)구멍패턴 및 배선홈패턴이 형성된 스토퍼층의 존재하에서 에칭처리를 행하고, 접속구멍 및 배선홈을 형성하는 공정, 을 포함한다.
- <133> 22. 배선홈 내에 형성된 배선과, 배선과 그 하층배선을 접속하는 층간접속부재를 가지는 반도체 장치의 제조방법에 있어서, (a)제1 스토퍼절연층, 제1 층간절연층, 마커(marker)절연층, 제2 층간절연층 및 스토퍼층을 순차 형성하는 공정, (b)스토퍼층에 배선홈 패턴을 전사하는 공정, (c)층간접속부재가 형성되는 접속구멍의 구멍패턴 마스크를 형성하는 공정, (d)구멍패턴마스크의 존재하에서 제2 층간절연층 및 마커절연층에 에칭처리를 행하고, 구멍패턴을 전사하는 공정, (e)구멍패턴마스크를 제거하는 공정, (f)구멍패턴 및 배선홈 패턴이 형성된 스토퍼

층의 존재하에서 에칭처리를 행하고, 접속구멍 및 배선홀을 형성하는 공정을 포함하고, (d)공정에서의 에칭처리의 종점을 마커절연층에 포함되는 원소의 플라즈마발광에 의해 검출하고, (f)공정에서의 구멍패턴의 에칭처리의 종점을 제1 스톱퍼절연층에 도달하는 점으로 결정한다.

<134> 23. 배선홀 내에 형성된 배선과, 배선과 그 하층배선을 접속하는 층간접속부재를 가지는 반도체 장치의 제조방법에 있어서, (a)제1 층간절연층, 마커절연층, 제2 층간절연층 및 스톱퍼층을 순차 형성하는 공정, (b)스톱퍼층에 배선홀 패턴을 전사하는 공정, (c)층간접속부재가 형성되는 접속구멍의 구멍패턴 마스크를 형성하는 공정, (d)구멍패턴마스크의 존재하에서 제2 층간절연층 및 마커절연층에 에칭처리를 행하고, 구멍패턴을 전사하는 공정, (e)구멍패턴마스크를 제거하는 공정, (f)구멍패턴 및 배선홀 패턴이 형성된 스톱퍼층의 존재하에서 에칭처리를 행하고, 접속구멍 및 배선홀을 형성하는 공정을 포함하고, (f)공정에서의 홀패턴의 에칭처리의 종점을 마커절연층에 포함되는 원소의 플라즈마발광에 의해 검출한다.

<135> 24. 배선홀 내에 형성된 배선과, 배선과 그 하층배선을 접속하는 층간접속부재를 가지는 반도체 장치의 제조방법에 있어서, (a)제1 스톱퍼절연층, 제1 층간절연층, 제2 스톱퍼절연, 제2 층간절연층, 마커절연층, 제3 층간절연층 및 스톱퍼층을 순차 형성하는 공정, (b)스톱퍼층에 배선홀 패턴을 전사하는 공정, (c)층간접속부재가 형성되는 접속구멍의 구멍패턴마스크를 형성하는 공정, (d)구멍패턴마스크의 존재하에서 제3 층간절연층, 마커절연층, 제2 층간절연층 및 제2 스톱퍼절연층에 에칭처리를 행하고, 구멍패턴을 전사하는 공정, (e)구멍패턴마스크를 제거하는 공정, (f)구멍패턴 및 배선홀 패턴이 형성된 스톱퍼층의 존재하에서 에칭처리를 행하고, 접속구멍 및 배선홀을 동시에 형성하는 공정을 포함하고, (f)공정에서의 홀패턴의 에칭처리의 종점을 마커절연층에 포함되는 원소의 플라즈마 발광에 의해 검출한다.

<136> 25. 배선홀 내에 형성된 배선과, 배선과 그 하층배선을 접속하는 층간접속부재를 가지는 반도체 장치의 제조방법에 있어서, (a)제1 층간절연층, 제2 층간절연층 및 스톱퍼층을 순차 형성하는 공정, (b)스톱퍼층에 배선홀 패턴을 전사하는 공정, (c)층간접속부재가 형성되는 접속구멍의 구멍패턴마스크를 형성하는 공정, (d)구멍패턴마스크의 존재하에서 스톱퍼층 및 제2 층간절연층에 에칭처리를 행하고, 구멍패턴을 전사하는 공정, (e)구멍패턴마스크를 제거하는 공정, (f)구멍패턴 및 배선홀패턴이 형성된 스톱퍼층의 존재하에서 에칭처리를 행하고, 접속구멍 및 배선홀을 동시에 형성하는 공정을 포함하며, 제1 층간절연층과 제2 층간절연층과는 서로 에칭속도가 다른 재료로 이루어지고, (f)공정에서의 홀패턴의 에칭처리의 종점을 제2 층간절연층에 도달하는 점으로 결정한다.

<137> 26. 일정폭으로 형성된 배선홀과, 배선홀내에 형성된 배선과, 배선과 그 하층배선을 접속하는 층간접속부재를 가지는 반도체 장치의 제조방법에 있어서, (a)기관상에 제1 절연층을 형성하는 공정, (b)제1 절연층 상에 배선홀을 형성할 때의 에칭마스크로 되는 배선홀 패턴층을 형성하는 공정, (c)배선홀 패턴층상에 층간접속부재가 형성되는 접속구멍을 형성할 때의 에칭마스크로 되는 구멍패턴층을 형성하는 공정, (d)구멍패턴층의 존재하에서 배선홀 패턴층의 에칭속도가 제1 절연층의 에칭속도보다도 느린 조건에서 에칭처리를 행하고, 제1 절연층에 소정의 깊이의 구멍패턴을 전사하는 공정, (e)구멍패턴층을 제거하는 공정, (f)배선홀 패턴층 및 구멍패턴의 존재하에서 에칭처리를 행하는 공정, 을 포함한다.

<138> 27. 상기항 26 기재의 반도체 장치의 제조방법에 있어서, 배선홀 패턴층의 폭방향의 구멍패턴의 지름치수가 홀패턴층의 폭치수보다 크다.

<139> 28. 상기항 1 ~ 27 중의 어느 한항에 기재된 반도체 장치의 제조방법에 있어서, (g)기관전면에 배리어 금속층 및 동층을 형성하는 공정, (h)(f)공정의 에칭처리에 의해 형성되는 배선홀 및 접속구멍의 내부이외의 영역의 배리어금속층 및 동층을 화학기계연마법에 의해 제거하는 공정, 을 더 포함한다.

<140> 29. 상기항 28 기재의 반도체 장치의 제조방법에 있어서, (h)공정에서 배선홀 패턴층 또는 스톱퍼층이 제거된다.

<141> 30. 상기항 29 기재의 반도체 장치의 제조방법에 있어서, 배선홀 패턴층 또는 스톱퍼층, 또는 배선홀패턴층 또는 스톱퍼층을 패터닝하기 위한 마스크층이 도전성의 재료로 구성된다.

<142> 31. 배선홀 내에 형성된 배선과, 배선과 그 하층배선을 접속하는 층간접속부재를 가지는 반도체 장치의 제조방법에 있어서, (a)제1 절연층 및 스톱퍼층을 순차 형성하는 공정, (b)스톱퍼층에 배선홀패턴을 전사하는 공정, (c)층간접속부재가 형성되는 접속구멍의 구멍패턴마스크를 형성하는 공정, (d)구멍패턴마스크의 존재하에서 스톱퍼층 및 제1 절연층의 일부에 제1 에칭처리를 행하고, 구멍패턴을 전사하는 공정, (e)구멍패턴마스크를 제거하는 공정, (f)구멍패턴 및 배선홀 패턴이 형성된 스톱퍼층의 존재하에서 제2 에칭처리를 행하고, 접속구멍 및

배선홈을 형성하는 공정을 포함하고, 제1 또는 제2 에칭처리의 어느 하나 또는 양쪽에서 스톱퍼층 및 제1 절연층의 융기부(稜部)(ridge)가 에칭된다.

- <143> 32. 배선홈 내에 형성된 배선과, 배선과 그 하층배선을 접속하는 층간접속부재를 가지는 반도체 장치의 제조방법에 있어서, (a)제1 절연층 및 스톱퍼층을 순차형성하는 공정, (b)스톱퍼층에 배선홈 패턴을 전사하는 공정, (c)층간접속부재가 형성되는 접속구멍의 구멍패턴마스크를 형성하는 공정, (d)구멍패턴마스크의 존재하에서, 제1 절연층의 일부에 제1 에칭처리를 행하고, 구멍패턴을 전사하는 공정, (e)구멍패턴마스크를 제거하는 공정, (f)구멍패턴 및 배선홈패턴이 형성된 스톱퍼층의 존재하에서 제2 에칭처리를 행하고, 접속구멍 및 배선홈을 형성하는 공정을 포함하고, 제1 또는 제2 에칭처리의 적어도 어느 하나의 처리에서, 스톱퍼층의 단부가 에칭된다.
- <144> 33. 상기항 31 또는 32 기재의 반도체 장치의 제조방법에 있어서, (g)기관전면에 배리어금속층 및 동(銅)층을 형성하는 공정, (h)배선홈 및 접속구멍의 내부이외의 영역의 배리어 금속층 및 동층을 화학기계연마법에 의해 제거하는 공정을 더 포함하고, (h)공정에 있어서, 배선홈 상부에 위치하는 동층 및 배리어 금속층의 일부, 스톱퍼층, 및 제1 절연층의 표면부가 제거된다.
- <145> 34. 상기항 33 기재의 반도체 장치의 제조방법에 있어서, 동층은 시드(seed)층으로서 기능하는 제1 동층과, 도금법에 의해 형성되는 제2 동층으로 구성된다.
- <146> 35. 배선홈 내에 형성된 배선과, 배선과 그 하층배선을 접속하는 층간접속부재를 가지는 반도체 장치의 제조방법에 있어서, (a)하층배선 상에 제1 절연층 및 스톱퍼층을 순차 형성하는 공정, (b)스톱퍼층에 배선홈 패턴을 전사하는 공정, (c)층간접속부재가 형성되는 접속구멍의 구멍패턴마스크를 형성하는 공정, (d)구멍패턴마스크의 존재하에서 제1 절연층에 에칭처리를 행하고, 구멍패턴을 전사하는 공정, (e)구멍패턴마스크를 제거하는 공정, (f)구멍패턴 및 배선홈 패턴이 형성된 스톱퍼층의 존재하에서 제2 에칭처리를 행하고, 접속구멍 및 배선홈을 형성하는 공정을 포함하고, (c)공정의 구멍패턴마스크는 하층배선에 맞추어 형성된다.
- <147> 36. 배선홈 내에 형성된 배선과, 배선과 그 하층배선을 접속하는 층간접속부재를 가지는 반도체 장치의 제조방법에 있어서, (a)하층배선 상에, 제1 절연층 및 스톱퍼층을 순차 형성하는 공정, (b)스톱퍼층에 배선홈 패턴을 전사하는 공정, (c)층간접속부재가 형성되는 접속구멍의 구멍패턴마스크를 형성하는 공정, (d)구멍패턴마스크의 존재하에서, 제1 절연층에 에칭처리를 행하고, 구멍패턴을 전사하는 공정, (e)구멍패턴마스크를 제거하는 공정, (f)구멍패턴 및 배선홈 패턴이 형성된 스톱퍼층의 존재하에서 제2 에칭처리를 행하고, 접속구멍 및 배선홈을 형성하는 공정을 포함하며, (c)공정의 구멍패턴마스크는 하층배선과 배선홈패턴과의 중앙에 맞추어 형성된다.
- <148> 37. 상기항 1 ~ 36 중 어느 한 항에 기재된 반도체 장치의 제조방법에 있어서, (c)공정의 구멍패턴의 평면형상이 전사되어, 접속구멍의 평면형상이 구성되고, (b)및 (c)공정의 패턴평면형상의 합이 전사되어, 배선의 평면모양이 구성된다.
- <149> 38. 상기항 1 ~ 37 중 어느 한항에 기재된 반도체 장치의 제조방법에 있어서, (b)의 마스크는 레지스트 또는 하드마스크(hard mask)로 구성된다.
- <150> 39. 상기항 1 ~ 38 중 어느 한항에 기재된 반도체 장치의 제조방법에 있어서, 접속구멍의 지름과, 배선의 배선폭과는 실질적으로 동일하다.
- <151> 40. 배선홈 내에 형성된 배선과, 배선과 그 하층배선을 접속하는 층간접속부재를 가지는 반도체 장치로서, 하층배선과 배선홈내의 배선을 격리하는 층간절연층에 마커절연층이 포함되고, 마커절연층은 배선홈의 저면과 하층배선과의 사이에 형성되어 있다.
- <152> 41. 배선홈 내에 형성된 배선과, 배선과 그 하층배선을 접속하는 층간접속부재를 가지는 반도체 장치에 있어서, 배선의 단면형상이 표면을 향함에 따라서 보다 큰 경사로 그 폭을 증대시킨 형상이다.
- <153> 42. 반도체 장치의 제조방법에 있어서, 그 하층에 배선을 가지고, 그 표면이 평탄화된 절연막 상에 반사방지막을 형성하는 공정과, 반사방지막 상에 레지스트막을 도포형성하고, 레지스트막에 패턴화된 노광광을 조사하는 공정,을 가진다.
- <154> 43. 상기항 42 기재의 반도체 장치의 제조방법에 있어서, 배선은 절연막의 하층절연막에 형성된 배선홈 내에 도전체를 매립하고, 배선홈 이외의 영역의 도전체를 CMP법에 의해 제거하는 것에 의해 형성되며, 표면이 평탄화된 절연막은 하층배선 및 배선상에 퇴적법에 의해 형성된다.
- <155> 44. 상기항 42 기재의 반도체 장치의 제조방법에 있어서, 배선은 도전막의 퇴적 및 포토리소그라피법에 의한 패

터닝에 의해 형성되고, 표면이 평탄화된 절연막은 배선을 덮는 절연막의 퇴적과, 퇴적된 절연막의 표면에 CMP법을 행하여 형성된다.

- <156> 45. 반도체 장치의 제조방법에 있어서, 제1 절연막 상에 제1 절연막에 대하여 에칭선택비를 가지는 제2 절연막을 퇴적하는 공정과, 제2 절연막 상에 배선평패턴으로 패터닝된 제1 레지스트막을 형성하는 공정과, 제1 레지스트막의 존재하에서 제2 절연막에 에칭처리를 행하고, 배선평패턴을 제2 절연막에 전사하는 공정과, 제2 절연막 상에 반사방지막을 형성하는 공정과, 반사방지막 상에 제2 레지스트막을 도포형성하는 공정과, 제2 레지스트막에 접속구멍 패턴으로 정형(整形)된 노광광을 조사하는 공정, 을 가진다.
- <157> 46. 상기항 45 기재의 반도체 장치의 제조방법에 있어서, 제2 절연막의 막두께는 반사방지막 형성후의 그 표면이 평탄하게 보일 정도로 얇다.
- <158> 47. 상기항 45 또는 46 기재의 반도체 장치의 제조방법에 있어서, 제2 절연막의 막두께는 제1 절연막 및 제2 레지스트막의 막두께보다도 얇다.
- <159> 48. 반도체 장치의 제조방법에 있어서, 배선평용 마스크를 형성한 후, 반사방지막을 형성하는 공정과, 반사방지막 상에 접속구멍용 마스크를 형성하는 공정과, 배선평용 마스크 및 접속구멍용 마스크를 이용하여 절연막에 배선평 및 접속구멍을 전사하는 공정, 을 가진다.
- <160> 49. 상기항 48 기재의 반도체 장치의 제조방법에 있어서, 반사방지막은 평탄화막으로서 작용한다.
- <161> 50. 반도체 장치의 제조방법에 있어서, 배선평용 마스크를 형성한 후, 평탄화막을 형성하는 공정과, 평탄화막 상에 접속구멍용 마스크를 형성하는 공정과, 배선평용 마스크 및 접속구멍용 마스크를 이용하여 절연막에 배선평 및 접속구멍을 전사하는 공정, 을 가진다.
- <162> 51. 상기항 50 기재의 반도체 장치의 제조방법에 있어서, 접속구멍용 마스크에 대하여 자기정합적으로 평탄화막 및 배선평용 마스크를 제거한다.
- <163> 52. 층간절연막에 형성된 배선평과, 배선평에 형성된 배선과, 층간절연막에 형성된 접속구멍과, 접속구멍에 형성된 접속부재를 가지는 반도체 장치의 제조방법에 있어서, 접속구멍의 지름은 실질적으로 배선평의 배선평과 동일하고, 배선과, 접속부재와는 일체로 형성된다.
- <164> 53. 상기항 52 기재의 반도체 장치에 있어서, 배선의 평면형상은 접속구멍의 평면형상과, 접속구멍의 지름의 배선평의 부분과의 합으로 구성된다.
- <165> 54. 상기항 52 기재의 반도체 장치에 있어서, 배선평과 접속구멍과는 접속구멍의 평면형상의 면적으로 겹친다.
- <166> 55. 상기항 52, 53 또는 54 기재의 반도체 장치에 있어서, 접속구멍의 지름 보다도 큰 일정폭의 배선평을 가지는 제1 배선을 더 가지고, 제1 배선과 접속구멍과는 접속구멍의 평면형상의 면적으로 겹친다.
- <167> 56. 반도체 장치의 제조방법에 있어서, 피패턴막 상에 제1 마스크막을 형성한 후, 반사방지막을 형성하는 공정과, 반사방지막 상에 제2 마스크막을 형성하는 공정과, 제1 및 제2 마스크막을 이용하여 피패턴막에 패턴을 전사하는 공정, 을 가진다.
- <168> 57. 반도체 장치의 제조방법에 있어서, 피패턴막 상에 제1 마스크막을 형성한 후, 평탄화막을 형성하는 공정과, 평탄화막 상에 제2 마스크막을 형성하는 공정과, 제1 및 제2 마스크막을 이용하여 피패턴막에 패턴을 전사하는 공정, 을 가진다.
- <169> 58. 상기항 56 또는 57 기재의 반도체 장치의 제조방법에 있어서, 제2 마스크막에 대하여 자기정합적으로 반사방지막 또는 평탄화막 및 제1 마스크막을 제거한다.
- <170> 이하, 본 발명의 실시의 형태를 도면이 기초하여 상세하게 설명한다. 또한, 실시의 형태를 설명하기 위한 도면에 있어서 동일한 기능을 가지는 부재에는 동일한 부호를 붙이고, 그 반복되는 설명은 생략한다.
- <171> (실시의 형태 1)
- <172> 도 1 ~ 도 22는 본 실시의 형태의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도이다. 이하 도면을 이용하여 공정순으로 설명한다.
- <173> 우선, 도 1에 나타낸 바와 같이, 예컨대 p-형의 단결정 실리콘으로 이루어지는 반도체 기판(1)을 준비하고, 반도체 기판(1)의 주면에 소자분리영역(2)을 형성한다. 소자분리영역(2)은 예컨대 이하와 같이 하여 형성할 수 있

다. 우선, 반도체 기판(1)의 주면 상에 실리콘산화막(SiO) 및 실리콘질화막(SiN)을 순차 형성하고, 이 실리콘 질화막을 패터닝된 포토레지스트막을 이용하여 에칭하고, 이 에칭된 실리콘질화막을 마스크로서 반도체 기판(1)에 얇은 흠을 형성한다. 그후, 얇은 흠을 매립하는 절연막 예컨대 실리콘 산화막을 퇴적하고, CMP(Chemical Mechanical Polishing)법 등을 이용하여 얇은 흠 이외의 영역의 실리콘산화막을 제거하고, 게다가 웨트에칭법에 의해 실리콘질화막을 제거한다. 이것에 의해 소자분리영역(2)이 형성된다.

<174> 다음으로, 패터닝된 포토레지스트막을 마스크로 하여 불순물을 이온주입하고, p웰(3) 및 n웰(4)을 형성한다. p 웰(3)에는 p형의 도전형을 나타내는 불순물 예컨대 붕소(B)를 이온주입하고, n웰(4)에는 n형의 도전형을 나타내는 불순물 예컨대 인(p)을 이온주입한다. 이 후, 각 웰영역에 MISFET의 문턱치를 제어하기 위한 불순물을 이온 주입하여도 좋다.

<175> 다음으로, 게이트절연막(5)으로 되는 실리콘산화막, 게이트전극(6)으로 되는 다결정실리콘막 및 캡절연막(7)으로 되는 실리콘산화막을 순차 퇴적하여 적층막을 형성하고, 포토리소그라피에 의해 패터닝된 포토레지스트막을 마스크로 하여 상기 적층막을 에칭한다. 이것에 의해 게이트절연막(5), 게이트전극(6) 및 캡절연막(7)을 형성한다. 게이트절연막(5)은 예컨대 열(熱) CVD법에 의해 형성할 수 있고, 게이트전극(6)은 CVD(Chemical Vapor Deposition)법에 의해 형성할 수 있다. 게이트전극(6)의 저항치를 저감하기 위해 n형 또는 p형의 불순물을 MISFET의 채널형에 따라서 도프해도 좋다. 즉, n채널 MISFET의 게이트전극에는 n형 불순물을, p채널 MISFET의 게이트전극에는 p형 불순물을 도프해도 좋다. 이 경우 이온주입법을 이용할 수 있다. 또한, 게이트전극(6)의 상부에 WSix, MoSix, TiSix, TaSix 등의 고용점금속 실리사이드막을 퇴적해도 좋고, 질화티탄(TiN), 질화텅스텐(WN)등의 배리어메탈층을 통하여 텅스텐등의 금속층을 형성하여도 좋다. 이것에 의해 게이트전극(6)의 게이트저항치를 저감하고, MISFET의 동작속도를 향상할 수 있다. 캡절연막(7)은 예컨대 CVD법에 의해 퇴적할 수 있다.

<176> 다음으로, 반도체 기판(1)상에 예컨대 CVD법으로 실리콘산화막을 퇴적한 후, 이 실리콘산화막을 이방성etching함으로써, 게이트전극(6)의 측벽에 사이드월 스페이서(8)를 형성한다. 그후, 포토레지스트막을 마스크로 하여 p웰(3)에 n형 불순물(예컨대 인, 비소)을 이온주입하고, p웰(3)상의 게이트전극(6)의 양쪽에 n형 반도체 영역(9)을 형성한다. n형 반도체 영역(9)은 게이트전극(6) 및 사이드월스페이스(8)에 대하여 자기정합적으로 형성된다. 또한, n형 반도체 영역(9)은 n채널 MISFET(Qn)의 소스, 드레인영역으로서 기능한다. 마찬가지로, 포토레지스트막을 마스크로서 n웰(4)에 p형 불순물(예컨대 붕소)를 이온주입하고, n웰(4) 상의 게이트전극(6)의 양쪽에 p형 반도체 영역(10)을 형성한다. p형 반도체 영역(10)은 게이트전극(6) 및 사이드월스페이스(8)에 대하여 자기정합적으로 형성되고, p채널 MISFET(Qp)의 소스, 드레인영역으로서 기능한다.

<177> 또한, 사이드월스페이스(8)의 형성전에 저농도의 불순물 반도체 영역을 형성하고, 사이드월스페이스(8)의 형성 후에 고농도의 불순물 반도체 영역을 형성하여 소위 LDD(Lightly Doped Drain) 구조로 해도 좋다.

<178> 다음으로, 도 2에 나타내는 바와 같이, 반도체 기판(1) 상에 스퍼터법 또는 CVD법으로 실리콘산화막을 퇴적한 후, 그 실리콘산화막을 예컨대 CMP법으로 연마하는 것에 의해, 표면에 평탄화된 제1 층간절연막(11)을 형성한다. 제1 층간절연막(11)은 실리콘질화막, SOG(Spin On Glass)막, BPSG(Boron Phosphor Silicate Glass)막, PSG(Phosphor Silicate Glass)막 등의 적층막으로 형성해도 좋다.

<179> 다음으로, 포토리소그라피기술을 이용하여 제1 층간절연막(11)에 접속구멍(12)을 형성한다. 이 접속구멍(12)은 n형 반도체 영역(9) 또는 p형 반도체 영역(10) 상의 필요부분에 형성한다

<180> 다음에, 접속구멍(12)내에 플러그(13)를 예컨대 이하와 같이 하여 형성한다. 우선, 접속구멍(12)의 내부를 포함하는 반도체 기판(1)의 전면에 질화티탄(TiN)막을 형성한다. 질화티탄막은 예컨대 CVD법에 의해 형성할 수 있다. CVD법은 피막의 단차 피복성이 뛰어나기 때문에, 미세한 접속구멍(12) 내에도 균일한 막두께로 질화티탄막을 형성할 수 있다. 다음으로, 접속구멍(12)을 매립하는 텅스텐(W)막을 형성한다. 텅스텐막은 예컨대 CVD법으로 형성할 수 있다. CVD법이라면 동일하게 미세한 접속구멍(12)내를 텅스텐으로 매립할 수 있다. 다음으로, 접속구멍(12)이외의 영역의 질화티탄막 및 텅스텐막을 예컨대 CMP법에 의해 제거하여 플러그(13)를 형성할 수 있다. 또한, 질화티탄막의 형성 전에 예컨대 티탄(Ti)막을 퇴적하고, 열처리를 행하여 접속구멍(12)의 저부에서의 반도체 기판(n형 또는 p형의 반도체 영역(9, 10))을 실리사이드화하여도 좋다. 이와 같은 실리사이드층을 형성함으로써, 접속구멍(12) 저부에서의 콘택트저항을 저감할 수 있다.

<181> 다음으로, 반도체 기판(1)의 전면에 예컨대 텅스텐막을 형성하고, 이 텅스텐막을 포토리소그라피기술에 의해 패터닝하고, 제1 배선층의 배선(14)을 형성한다. 텅스텐막은 CVD법 또는 스퍼터법에 의해 형성할 수 있다.

<182> 다음으로, 도 3에 나타내는 바와 같이, 배선(14)을 덮는 절연막 예컨대 실리콘 산화막을 형성하고, 이 절연막을

CMP법에 의해 평탄화하여 제2 층간절연막(15)을 형성한다.

- <183> 다음으로, 제2 층간절연막(15) 상에 접속구멍이 형성되는 영역에 개구를 가지는 포토레지스트막을 형성하고, 이 포토레지스트막을 마스크로하여 에칭을 행한다. 이것에 의해 제2 층간절연막(15)의 소정의 영역에 접속구멍(16)을 형성한다.
- <184> 다음에, 접속구멍(16)내에 플러그(17)를 형성한다. 플러그(17)는 이하와 같이하여 형성할 수 있다. 우선, 접속구멍(16)의 내부를 포함하는 반도체 기판(1)의 전면에 배리어층을 형성하고 또 접속구멍(16)을 매립하는 동(Cu)막을 형성한다. 그후, 접속구멍(16)이외의 영역의 동막 및 배리어막을 CMP법에 의해 제거하여 플러그(17)를 형성한다.
- <185> 배리어층은 동의 제2 층간절연막(15) 등 주변으로의 확산을 방지하는 기능을 가지고, 예컨대 질화티탄막을 예시할 수 있다. 또 질화티탄막에는 한정되지 않고, 동의 확산방지기능을 가지는 한 다른 금속막이어도 좋다. 예컨대, 질화티탄에 대신하여 탄탈(Ta), 질화탄탈(TaN)을 이용할 수도 있다. 다음 공정 이하의 배리어층에 대해서는 질화티탄막을 예시하여 설명하지만, 탄탈, 질화탄탈 등에 대신할 수 있는 것은 상기와 마찬가지로이다.
- <186> 동막은 주(主)도전층으로서 기능하고, 예컨대 도금법으로 형성할 수 있다. 도금막의 형성전에 시드막으로서 얇은 동막을 스퍼터법에 의해 형성할 수 있다. 또한, 동막은 스퍼터법에 의해 형성해도 좋다. 이경우, 스퍼터에 의해 동막을 형성한 후, 열처리에 의해 동막을 유동화시켜, 접속구멍 또는 배선홈으로 매립특성을 향상하도록 해도 좋다. 다음 공정 이하의 동막에 대해서는 도금법으로 형성하는 경우를 예시하지만, 스퍼터법을 이용하여도 좋은 것은 상기와 마찬가지로이다.
- <187> 다음으로, 도 4에 나타내는 바와 같이, 제2 층간절연막(15) 상에 스톱퍼절연막(18)을 형성하고, 게다가 제2 배선층 형성용의 절연막(19)을 형성한다. 스톱퍼절연막(18)은 절연막(19)으로의 홈가공시에 에칭스톱퍼로 되는 막이고, 절연막(19)에 대하여 에칭선택비를 가지는 재료를 이용한다. 스톱퍼절연막(18)은 예컨대 실리콘질화막으로 한다. 절연막(19)은 배선간의 선간용량을 낮게 억제하기 위해, 유전율이 작은 재료를 이용한다. 절연막(19)은 예컨대 실리콘산화막으로 한다. 또한, 스톱퍼절연막(18)과 절연막(19)에는 다음에 설명하는 제2층배선이 형성된다. 이 때문에, 그 합계막두께는 제2배선층에 필요한 설계막두께로 결정된다. 또, 배선간 용량을 저감하는 것을 고려하면, 유전율이 높은 실리콘질화막으로 이루어지는 스톱퍼절연막(18)의 막두께는 스톱퍼기능을 달성하는데 충분한 막두께라면 가능한 한 얇은 것이 바람직하다.
- <188> 다음에, 절연막(19) 상에 배선패턴으로 개구가 형성된 포토레지스트막을 패터닝하고, 이 포토레지스트막을 마스크로서 제1의 에칭을 행한다. 이 제1의 에칭에 의해 절연막(19)에 배선홈(20)의 일부를 형성한다. 이 에칭 시에는 실리콘산화막이 에칭되기 쉽게 실리콘 질화막이 에칭되기 어려운 조건을 선택한다. 이것에 의해 스톱퍼절연막(18)(실리콘질화막)을 에칭스톱퍼로서 이용한다. 그 후, 실리콘 질화막이 에칭되는 조건을 선택하여 제2의 에칭을 행한다. 상기한 바와 같이 스톱퍼절연막(18)의 막두께는 충분히 얇게 형성되어 있기 때문에, 제2의 에칭에서의 오버에칭은 적어서 좋으며, 제2 층간절연막(15)의 과잉에칭을 억제할 수 있다. 이와 같이 2단계의 에칭을 이용함으로써, 배선홈(20)의 깊이를 균일하고 확실하게 형성할 수 있다.
- <189> 다음으로, 배선홈(20)의 내부에 제2 배선층의 배선(21)을 형성한다. 배선(21)은 배리어층 및 주도전층으로 이루어지고, 배리어층은 예컨대 질화티탄막, 주도전층은 예컨대 동이다. 배선(21)의 형성은 이하와 같이 하여 행한다. 우선, 배선홈(20)의 내부를 포함하는 반도체 기판(1)의 전면에 질화티탄막을 형성하고, 그 후 배선홈(20)을 매립하는 동막을 형성한다. 질화티탄막의 형성에는 예컨대 CVD법을 동막의 형성에는 예컨대 도금법을 이용한다. 도금법에 의한 동막의 형성전에 예컨대 스퍼터법에 의해 동의 시드막을 형성할 수 있다. 그 후, 배선홈(20)이외의 영역의 동막 및 질화티탄막을 CMP 법에 의해 제거하여 배선(21)을 형성할 수 있다. 또한, 질화티탄막을 다른 재료에 대신할 수 있는 점, 동막을 스퍼터법 등 다른 제법에 의해 형성할 수 있는 점은 상기한 바와 같다.
- <190> 다음으로, 도 5에 나타내는 바와 같이, 제2 배선층의 배선(21) 및 절연막(19) 상에 스톱퍼절연막(22), 층간절연막(23), 배선형성용의 스톱퍼절연막(24), 배선형성용의 절연막(25)을 순차 형성한다. 스톱퍼절연막(22, 24)은 층간절연막(23) 또는 절연막(25)에 대하여 에칭선택비를 가지는 재료로 구성되고, 예컨대 실리콘 질화막으로 할 수 있다. 한편 층간절연막(23) 또는 절연막(25)은 실리콘산화막으로 할 수 있다.
- <191> 다음으로, 절연막(25) 및 스톱퍼절연막(24)에 배선홈(26)을, 층간절연막(23) 및 스톱퍼절연막(22)에 접속구멍(27)을 형성한다. 이 배선홈(26) 및 접속구멍(27)의 형성에는 본 발명에 의한 홈 및 구멍의 형성방법인 후술하는 제5 배선층의 홈(44) 및 구멍(45)의 형성방법을 적용할 수 있고, 이 홈 및 구멍형성방법은 제5 배선층의 설명 시에 상술하므로, 여기서의 설명은 생략한다.

- <192> 다음에, 배선홈(26) 및 접속구멍(27)의 내부에 제3 배선층의 배선(28)을 형성한다. 이 배선(28)과 하층배선인 배선(21)을 접속하는 접속부재는 배선(28)과 일체로 형성된다. 즉, 배선(28)은 소위 듀얼대머신 법에 의해 형성된다. 배선(28)의 형성방법은 예컨대 이하와 같이 행한다. 우선, 배선홈(26) 및 접속구멍(27)의 내부를 포함하는 반도체 기판(1)의 전면에 배리어층으로 되는 질화티탄막을 예컨대 CVD법에 의해 형성하고, 그후 배선홈(26) 및 접속구멍(27)을 매립하는 동막을 예컨대 도금법에 의해 형성한다. 그후, CMP법을 이용하여 배선홈(26)이외의 영역의 동막 및 질화티탄막을 제거하고, 접속부재와 일체로 형성된 배선(28)을 형성한다.
- <193> 또한, 상기한 제2 배선층과 같이, 우선 접속부재(플러그)를 형성하고, 그 후 배선홈에 배선(28)을 형성하는 소위 싱글대머신법을 이용하여도 좋다.
- <194> 다음으로, 도 6에 나타내는 바와 같이, 절연막(25) 및 배선(28) 상에 스톱퍼 절연막(29), 층간절연막(30), 배선형성용의 스톱퍼절연막(31), 배선형성용의 절연막(32)을 순차 형성한다. 이들의 절연막(29 ~ 32)에 대해서는 각각 상기 스톱퍼절연막(22), 층간절연막(23), 배선형성용의 스톱퍼절연막(24), 배선형성용의 절연막(25)과 마찬가지로이다. 또한, 스톱퍼절연막(29) 및 층간절연막(30)에 접속부재용의 접속구멍(33a)을 스톱퍼절연막(31) 및 절연막(32)에 배선홈(33b)을 상기 제3배선층의 경우와 동일하게 형성한다. 이 홈(33a) 및 구멍(33b)의 형성방법은, 다음에 설명하는 제5 배선층의 홈(44) 및 구멍(45)의 가공방법을 적용할 수 있다. 게다가, 제3 배선층의 배선(28)과 동일하게 제4 배선층의 배선(33)을 형성한다. 배선(33)은 상기한 바와 같이 하층의 배선(28)과 접속하는 접속부재와 일체로 형성되는 듀얼대머신법으로 형성되지만, 접속부재와 배선이 따로따로 형성되는 싱글대머신법으로 형성해도 좋은 것은 제3 배선층의 경우와 동일하다.
- <195> 다음으로, 본 발명에 의한 홈 및 구멍형성방법인 제5 배선층의 형성방법을 설명한다. 도 7에 나타내는 바와 같이, 제4 배선층의 배선(33) 및 절연막(32) 상에 절연막(34 ~ 38)을 순차 퇴적한다. 절연막(34, 36)은 예컨대 각각 실리콘 질화막으로 이루어지고, 막두께는 예컨대 각각 50nm로 한다. 절연막(35)은 예컨대 실리콘 산화막으로 이루어지고, 막두께는 예컨대 450nm로 한다. 절연막(37)은 예컨대 실리콘 산화막으로 이루어지고 막두께는 예컨대 350nm로 한다. 절연막(38)은 예컨대 실리콘 질화막으로 이루어지고, 막두께는 예컨대 100nm로 한다.
- <196> 실리콘 질화막(절연막(34, 36, 38))은 예컨대 플라즈마 CVD법을 이용하여 형성할 수 있다. 플라즈마 CVD법을 이용하는 것에 의해 성막온도의 저온화를 도모할 수 있다. 배선형성공정은 반도체 장치의 제조공정(소위 전(前)공정) 중, 최종공정에 가까운 공정이므로, 미리 형성된 디바이스구조(불순물 확산층, 실리사이드층 등)에 영향을 미치지 않는 온도(예컨대 400℃ 정도의 저온)에서 처리하는 것이 요망된다. 이와 같은 저온화의 요청에 합치하는 성막방법으로서 플라즈마 CVD법은 메리트가 크다. 또한, 실리콘 산화막(절연막(35, 37))은 예컨대 플라즈마 CVD법을 이용하여 형성할 수 있다. 플라즈마 CVD법을 이용하는 경우에는 원료 가스로서 TEOS(Tetraethylorthosilicate : 테트라에톡시실란)을 이용할 수 있다. TEOS를 이용하여 실리콘 산화막(이하 TEOS산화막이라고 한다)을 형성하면, 막형성 시의 클러스터(cluster) 유동성을 높게 할 수 있고, 스텝커버리지가 뛰어난 실리콘 산화막을 형성할 수 있다. 또, 비교적 저온(예컨대 400℃ 이하)의 성막온도에서 치밀한 실리콘 산화막을 형성할 수 있다. 또한, TEOS 산화막에 대신하여 저유전율의 SOG(Spin On Glass)막을 이용하는 것도 가능하다. 예컨대 플루오르를 포함하는 SOG막 등이다. 저유전율의 SOG를 이용하면, 배선간 용량을 저감할 수 있어, 반도체 장치의 고성능화에 기여할 수 있다.
- <197> 절연막(34, 35)에는 뒤에 설명하는 바와 같이 접속구멍(45)이 형성되고, 절연막(34)은 접속구멍(45)을 형성할 때의 에칭스톱퍼로서 기능한다. 즉, 절연막(35)에 대하여 절연막(34)이 에칭되기 어려운 조건에서 절연막(35)을 에칭한다. 절연막(34)에 적용되는 실리콘 질화막은 실리콘 산화막에 비교하여 고유전율의 재료이고, 배선간 용량을 저감하는 데는 그 막두께는 가능한 한 얇은 것이 바람직하다. 절연막(34)의 막두께는 접속구멍 형성시의 에칭스톱퍼에 요구되는 필요최저한의 막두께를 선택할 수 있다. 절연막(34)의 막두께를 낮게 억제하는 것에 의해 배선층간의 배선간 용량을 저감할 수 있다. 상기 50nm는 이와 같은 요구에 따른 것이다.
- <198> 절연막(36, 37)에는 뒤에 설명하는 바와 같이 배선홈(44)이 형성되고, 절연막(34, 35)의 경우와 마찬가지로, 절연막(36)은 배선홈(44)을 형성할 때의 에칭스톱퍼로서 기능한다. 절연막(36)은 배선홈이 형성될 때의 에칭스톱퍼로서의 기능이 요구될 뿐이며, 상기한 셀프얼라인방식과 같이 배선홈 형성시의 에칭스톱퍼로서의 기능 및 접속구멍형성시의 에칭마스크로서의 기능의 양쪽의 기능이 요구되는 것은 아니다. 이때문에, 절연막(36)의 막두께를 셀프얼라인 방식의 경우보다 얇게 형성할 수 있고, 배선간 용량을 저감할 수 있다. 절연막(36)에도 실리콘 질화막이 적용되므로, 절연막(34)의 경우와 마찬가지로, 실리콘 질화막의 막두께는 가능한 한 얇은 것이 바람직하다. 상기 50nm는 이와 같은 요구에 따른 것이다.
- <199> 절연막(38)은 뒤에 설명하는 바와 같이, 배선홈 형성시의 마스크로서 기능한다. 절연막(38)은 뒤에 설명하는 바

와 같이 배선형성시에는 제거하는 것이 가능하므로, 그 막두께가 배선간 용량(디바이스 특성)에 미치는 영향은 없다. 따라서, 절연막(38)의 막두께는 마스크로서 기능하는 막두께보다도 크면 좋고, 반드시 필요최소한의 막두께일 필요는 없다. 상기 100nm는 이와 같은 조건을 고려한 것이다.

<200> 또한, 본 실시의 형태에서는 접속구멍(45) 또는 배선홈(44)을 형성할 때의 스톱퍼막으로서 실리콘 질화막을 예시하고 있지만, 실리콘 산화막이나 SOG막에 대한 예칭선택비를 가지는 재료라면 실리콘 질화막으로는 한정되지 않는다. 예컨대 TEOS 산화막에 대하여 예칭선택비를 가지는 다른 실리콘 산화막이라도 좋다.

<201> 실리콘 산화막(절연막(35, 37))의 막두께는 배선에 요구되는 두께, 및 배선층간의 이간거리에 의해 임의로 선택할 수 있다. 다만, 배선두께는 배선평과의 관련에서 필요한 배선단면적을 확보할 수 있는 조건에서 설계치가 선택되고, 배선층 간의 이간거리는 배선간의 내(耐)전압 또는 선간용량으로부터 요구되는 설계치가 선택된다. 따라서, 실리콘 산화막의 막두께는 이들 설계치를 고려하여 선택된다.

<202> 다음으로, 도 8에 나타내는 바와 같이, 절연막(38) 상에 포토리소그라피기술을 이용하여 레지스트막(39)을 형성한다. 레지스트막(39)은 배선패턴(40a) 및 스택드비아(Stacked Via)부(40b)인 배선홈이 형성되는 영역에 개구가 형성되도록, 즉 배선홈 패턴 및 비아패턴으로 패터닝된다. 패턴폭(dL)은 예컨대 350nm이다.

<203> 또한, 도 13(a)에 나타내는 바와 같이 배선패턴(40a)은 그것이 직선적으로 형성되는 부분에서는 동일폭으로 형성된다. 즉, 도 13(b)에 나타내는 바와 같이, 접속구멍이 형성되는 영역에, 접속구멍용의 포토마스크와 배선홈용의 포토마스크와의 맞춤여긔를 고려하여, 배선홈용의 패턴에 패턴폭(배선홈폭)보다도 넓은 영역(소위 독본영역(D))을 설치하는 경우가 있지만, 본 실시의 형태에서는 그와 같은 넓은 영역을 형성하지 않는다. 이때문에, 배선간격(Sa)을 최소한으로 형성할 수 있고, 배선형성의 집적도를 향상할 수 있어, 논리를 고집적화할 수 있다. 또한, 배선패턴(40a)이 직선형태로 단순하므로, 포토리소그라피 시의 노광광의 간섭이 발생하지 않고, 현상패턴의 가공정밀도를 향상할 수 있다.

<204> 또한, 레지스트막(39)의 형성전에 반사방지막을 형성해도 좋다. 본 실시의 형태에서는 제4 배선층의 형성에 CMP법을 이용하고 있기 때문에, 또 제4 배선층 상에 CVD법을 이용하여 절연막(34 ~ 38)을 형성하고 있으므로, 절연막(38)상은 평탄화되어 형성된다. 그러나, 절연막은 일반적으로 노광광의 파장영역에서 투명하고, 만약 반사방지막이 형성되지 않는다면, 제4 배선층의 배선(33)에까지 노광광이 도달하여 배선(33)에 의해 산란광이 발생하고, 산란광에 의한 레지스트막(39)의 노광정밀도가 저하하여 정밀한 가공이 저해된다. 그러나, 절연막(38) 상에 반사방지막을 형성하는 경우에는 이와 같은 산란광은 발생하지 않고, 레지스트막(39)의 가공(패터닝)정밀도를 향상할 수 있다.

<205> 다음으로, 도 9에 나타내는 바와 같이, 레지스트막(39)의 존재하에서 드라이에칭처리를 행하고, 절연막(38)에(반사방지막이 형성되어 있는 경우에는 반사방지막에도) 배선홈패턴(40a, 40b)을 전사한다. 드라이에칭의 조건은 실리콘 질화막이 에칭되는 조건을 선택한다. 즉, 압력을 예컨대 50mTorr, 에칭가스를 예컨대 CHF<sub>3</sub>, O<sub>2</sub>, Ar의 혼합가스로 하고, 그 유량을 예컨대 각각 20, 20, 200sccm, RF(Radio Frequency)투입전력을 예컨대 1200W, 기판온도를 예컨대 0℃의 조건을 선택할 수 있다. 이와 같은 조건을 선택한 경우, 실리콘 질화막인 절연막(38)의 에칭속도와 그 하층의 절연막(37)(실리콘 산화막)의 에칭속도가 거의 동일하게 된다. 즉 절연막(38)을 절연막(37)에 대하여 선택적으로 에칭하는 것은 곤란하다. 그러나, 상기와 같이 절연막(38)의 막두께는 절연막(37)에 대하여 충분히 얇고, 절연막(38)의 에칭처리시에 다소 오버에칭을 행하여도 절연막(37)이 에칭되는 양은 그 막두께에 비하여 상대적으로 적은 양이다. 이때문에, 이 에칭처리에서는 선택성은 특히 요구되지 않는다.

<206> 또한, 반사방지막이 형성되어 있는 경우에는 반사방지막의 에칭은 이하의 조건을 선택할 수 있다. 즉, 압력을 예컨대 750mTorr, 에칭가스를 예컨대 CHF<sub>3</sub>, CF<sub>4</sub>, Ar의 혼합가스로 하고, 그 유량을 예컨대 각각 10, 90, 950sccm, RF 투입전력을 예컨대 900W, 기판온도를 예컨대 40℃인 조건을 선택할 수 있다.

<207> 다음으로, 도 10에 나타내는 바와 같이, 레지스트막(39)을 제거한다. 이와 같이 하여 배선의 홈패턴(40a, 40b)이 전사된 배선홈패턴층이 형성된다. 배선홈 패턴층은 실리콘 질화막인 절연막(38)으로 이루어진다.

<208> 다음에, 도 11에 나타내는 바와 같이, 배선홈패턴층인 절연막(38)을 덮도록 반사방지막(41)을 형성하고, 게다가 레지스트막(42)을 형성한다. 반사방지막(41)은 예컨대 노볼락계 수지(novolac resin type)등의 유기재료를 이용할 수 있다. 본 실시의 형태에서는 상기와 같이 절연막(38)을 얇게 형성하고 있기 때문에, 반사방지막(41)을 통상으로 도포하는 것만으로 홈패턴(40)(절연막(38)의 단차)를 매립하여 반사방지막(41)의 표면을 평탄화할 수 있다. 즉, 반사방지막(41)은 표면을 평탄화하는 평탄화막으로서 작용한다. 평탄화막인 반사방지막을 설치함으로써 레지스트막(42)을 평탄하게 형성하여 노광에 의한 산란 또는 단차에 기인하는 노광초점의 어긋남을 방지하고,

레지스트막(42)의 패터닝정밀도를 향상할 수 있다.

<209> 다음으로, 도 12에 나타내는 바와 같이 레지스트막(42)에 구멍패턴(43)을 형성한다. 구멍패턴(43)의 형성은 구멍패턴으로 정형된 노광광의 조사와 현상에 의한 통상의 포토리소그래피수법을 이용한다. 본 실시의 형태에서는 도 13(a)에 나타내는 바와 같이 구멍패턴(43)의 구멍지름(dH)은 홈패턴(40a, 40b)의 패턴폭(dL)과 동일하게 형성한다. 이 때문에, 홈패턴(40a, 40b)과 구멍패턴(43)과의 마스크맞춤에 어긋남이 발생한 경우, 도 13(a)에 나타내는 바와 같이, 구멍패턴(43)은 홈패턴(40a, 40b)으로부터 불거져 나와 형성된다. 일반적으로 홈패턴(40a, 40b)과 구멍패턴(43)을 정확하게 맞추는 것은 곤란하므로, 본 실시의 형태는 홈패턴(40a, 40b)과 구멍패턴(43)이 어긋나 형성되는 것을 전제로 하고 있다. 즉, 본 실시의 형태의 경우, 구멍패턴(43)은 홈패턴(40a, 40b)의 개구가 형성되어 있지 않은 영역 즉 절연막(38)이 남아있는 영역 상에도 형성된다. 이점, 도 13(b)에 나타내는 바와 같이, 배선흘(G)의 일부를 뚫힌 영역(독본영역(D))을 가지는 경우와 상위하다. 이와 같은 경우에는 배선퍼치(Pb)를 도 13(a)의 경우의 배선퍼치(Pa)보다 크게 할( $Pb > Pa$ ) 필요가 있고, 배선평도가 저하한다. 또한, 구멍패턴(43)의 마스크어긋남을 고려하여 독본영역(D)을 형성하고 있으므로, 구멍패턴(43)의 하부에는 절연막(38)에 상당하는 막(실리콘 질화막으로 구성된다)은 형성되지 않는다. 그 결과, 본 실시의 형태와는 다음에 설명하는 접속구멍의 에칭조건이 상위하다. 즉, 본 실시의 형태에서는 실리콘 질화막(38)이 에칭되는 조건에서 구멍패턴(43)이 전사되지만, 도 13(b)와 같은 경우에는 실리콘 질화막(38)이 에칭되지 않는 조건에서 에칭된다. 이것에 의해, 도 17 및 도 22를 이용하여 후술하는 바와 같이 구멍패턴(43)의 평면형상을 가지는 접속구멍(45)에 층간접속배선(50a, 50b)이 형성되고, 홈패턴(40a, 40b)과 구멍패턴(43)의 합의 평면형상을 가지는 배선흘(44a, 44b)에 배선(49a, 49b)이 형성된다.

<210> 또한, 도 13(a)의 A-B선을 따른 단면이 도 12의 A-B에 대응한다. 이와 같이, 본 실시의 형태에서는 배선퍼치(40a) 및 비아부(40b)의 폭(dL)과 구멍패턴(43)의 구경(dH)을 동일하게 형성하고 있으므로, 홈패턴인 배선퍼치(40a), 비아부(40b) 사이의 간격, 배선퍼치를 축소할 수 있고, 배선을 고밀도화하여 논리를 고집적화할 수 있다. 또, 절연막(38)을 에칭하는 조건에서 구멍패턴(43)을 전사함으로써, 접속구멍(45)을 구멍패턴(43)의 평면형상으로 형성할 수 있고, 그 구멍지름을 dH로 할 수 있음과 동시에 배선(49a, 49b)의 패턴의 평면형상을 홈패턴(40a, 40b)과 구멍패턴(43)과의 합의 평면형상으로 할 수 있으므로, 배선(49a, 49b)과 접속구멍(45)과의 겹침면적을 구멍패턴(43)의 평면형상으로 할 수 있어, 배선(49a, 49b)의 저항을 저감할 수 있다. 이와 같이, 본 실시의 형태에서는 배선을 고밀도화할 수 있음과 동시에 배선(49a, 49b)의 저항을 저감할 수 있다. 즉, 비아부(40b)에서도 비아배선(40b)의 평면형상은 홈패턴(40b)과 구멍패턴(43)과의 합의 평면형상으로 형성되고, 비아배선(49b)과 접속구멍(45)과의 겹침면적을 구멍패턴(43)의 평면형상으로 할 수 있으므로, 비아배선인 스택트비아부(49b)의 저항을 저감할 수 있다. 즉, 층간접속배선(50a, 50b)을 배선(49a, 49b)의 폭(Lw)과 동일한 치수를 가지고, 또한 구멍패턴(43)의 평면형상으로 형성할 수 있다. 또한, GND전위나 Vcc( $Vcc > GND$ 전위)를 공급하는 전원배선이나 클럭배선 등, 배선(49a, 49b)보다도 배선퍼치가 넓은 배선(40c)은 도 13(c)에 나타내는 바와 같이 독본을 설치하지 않아도 좋고, 동일폭으로 직선적으로 형성되어 있고, 가공정밀도를 향상할 수 있다. 즉, 본 실시의 형태에서는 도 13(a) 및 도 13(c)에 나타내는 홈패턴(40a, 40b, 40c)으로 구성된다.

<211> 다음으로, 도 14에 나타내는 바와 같이, 구멍패턴(43)이 형성된 레지스트막(42)의 존재하에서 에칭처리를 행하고, 반사방지막(41), 절연막(37, 36), 절연막(38)의 일부에 구멍패턴(43)을 전사한다. 반사방지막(41)의 에칭은 상기 마찬가지로, 압력을 예컨대 750mTorr, 에칭가스를 예컨대 CHF<sub>3</sub>, CH<sub>4</sub>, Ar의 혼합가스로 하고, 그 유량을 예컨대 각각 10, 90, 950sccm, RF투입전력을 예컨대 900W, 기판온도를 예컨대 40℃의 조건을 선택할 수 있다. 절연막(37, 36), 절연막(38)의 일부의 에칭처리로는 다음의 2가지의 방법을 채용할 수 있다.

<212> 제1의 방법은 도 14에 나타낸 바와 같은 구멍패턴(43)을 1스텝에서 에칭처리하는 방법이다. 이 경우, 에칭처리의 조건은 실리콘 질화막과 실리콘 산화막이 동등한 에칭속도로 에칭되는 조건을 선택한다. 예컨대, 압력을 50mTorr, 에칭가스를 CHF<sub>3</sub>, O<sub>2</sub>, Ar의 혼합가스로 하고, 그 유량을 각각 50, 10, 500sccm, RF투입전력을 3200W, 기판온도를 -20℃의 조건을 선택할 수 있다. 이와 같은 조건을 선택한 경우, 실리콘 질화막으로 이루어지는 절연막(38), 실리콘 산화막으로 이루어지는 절연막(37), 및 실리콘 질화막으로 이루어지는 절연막(36)까지 거의 동일한 속도로써 에칭된다. 에칭의 깊이(구멍패턴(43)의 깊이)는 에칭처리시간으로 제어할 수 있다.

<213> 제2의 방법은, 우선 실리콘 질화막이 에칭되는 조건에서 절연막(38)의 일부를 제거하는 제1 스텝의 에칭과, 실리콘산화막은 에칭되지만 실리콘 질화막은 에칭되기 어려운 선택에칭의 조건에서 절연막(37)을 에칭하는 제2 스텝의 에칭과, 게다가 실리콘 질화막이 에칭되는 조건에서 절연막(36)을 에칭하는 제3 스텝의 에칭과의 3단계의 에칭을 행하는 방식이다. 이와 같은 3단계방식에 의하면, 구멍패턴(43)의 에칭깊이를 용이하게 제어할 수 있다. 즉, 제2단계의 에칭을 선택에칭으로 함으로써, 절연막(36)을 제2단계의 에칭처리의 스톱퍼로서 기능시킬 수 있

어, 시간관리에 의하지 않고서도 구멍패턴(43)의 깊이를 균일화할 수 있다. 제1 스텝 및 제3 스텝의 에칭조건은 예컨대 압력을 30mTorr, 에칭가스를 C<sub>4</sub>F<sub>8</sub>, O<sub>2</sub>, Ar의 혼합가스로 하고, 그 유량을 각각 12, 7, 400sccm, RF투입전력을 3400W, 기판온도를 0℃의 조건을 선택할 수 있다. 제2 스텝의 에칭조건은 예컨대 압력을 50mTorr, 에칭가스를 CHF<sub>3</sub>, O<sub>2</sub>의 혼합가스로 하고, 그 유량을 각각 20, 20sccm, RF투입전력을 1200W, 기판온도를 0℃의 조건을 선택할 수 있다.

<214> 상기 제1의 방법, 제2의 방법의 어느 방법에 있어서도, 구멍패턴(43)은 절연막(38)을 관통하여 형성된다. 즉, 구멍패턴(43)과 홈패턴(40a, 40b)이 어긋나 형성되어도, 구멍패턴(43)은 홈패턴(40a, 40b)에 대하여 자기정합적으로 형성되지 않고, 구멍패턴(43)의 개구지름은 설계한대로의 값(dH)을 확보할 수 있다. 즉 구멍패턴(43)은 홈패턴(40a, 40b)에 의하지 않고 그 구멍지름(dH)이 확보되며, 종래의 셀프얼라인 방식의 경우와 같은 접속구멍지름의 감소의 문제점은 발생하지 않는다.

<215> 또한, 상기 제1의 방법, 제2의 방법, 의 어느 방법에 있어서도 이 단계에서 절연막(36)을 뚫고 나가 구멍패턴(43)이 절연막(36)에 형성된다. 즉, 절연막(36)에 구멍패턴(43)이 전사된다. 이것은 뒤에 설명하는 바와 같이 배선흘 형성을 위한 에칭처리에 있어서, 동시에 접속구멍 형성을 행하기 위함이다. 즉, 절연막(37)을 에칭하여 배선흘을 형성할 때, 절연막(36)을 관통하여 구멍패턴(43)이 절연막(36)에 형성되어 있으면, 그 구멍패턴(43)영역의 절연막(35)도 동시에 에칭되고, 접속구멍의 일부를 배선흘과 동시에 형성할 수 있다. 이점은 뒤에 상술한다.

<216> 또한, 상기 제1의 방법의 경우, 구멍패턴(43)과 홈패턴(40a, 40b)의 어긋남(misaligned)에 기인하여, 도시하는 바와 같이 구멍패턴(43)의 저부에 단차(S)가 생긴다. 이와 같은 단차(S)가 생겨도, 뒤에 설명하는 바와 같이 절연막(34)이 스톱퍼 기능을 맡기 때문에 구멍저부의 에칭깊이가 균일화되어, 문제는 발생하지 않는다.

<217> 다음으로, 도 15에 나타내는 바와 같이 예컨대, 에칭법을 이용하여 레지스트막(42) 및 반사방지막(41)을 제거한다. 이 단계에서 절연막(38)(홈패턴층)에 의한 홈패턴(40a, 40b), 절연막(36, 37) 및 절연막(38)의 일부에 의한 구멍패턴(43)이 형성된다.

<218> 그후, 도 16에 나타내는 바와 같이 홈패턴(40a, 40b) 및 구멍패턴(43)의 존재하에서 에칭처리를 행하고, 홈패턴(40a, 40b)을 절연막(37)에, 구멍패턴(43)을 절연막(35)에 전사한다. 이것에 의해 배선흘(44a, 44b) 및 접속구멍(45)의 일부가 형성된다. 즉, 홈패턴(40a, 40b) 및 구멍패턴(43) 이외의 영역에는 절연막(38)이 형성되어 있으므로, 이것이 마스크로서 기능하고, 홈패턴(40a, 40b)의 영역에서 절연막(37)이 에칭된다. 구멍패턴(43)의 영역에서는 미리 절연막(37, 36)에 구멍패턴이 형성되어 있으므로, 절연막(35)이 에칭된다. 이 에칭은 홈 및 구멍의 양 패턴영역에서 동시에 진행하고, 배선흘(44a, 44b) 및 접속구멍(45)의 일부가 동시에 형성된다. 즉, 접속구멍(45)은 구멍패턴(43)의 평면형상으로 형성되므로, 접속구멍(45)의 치수(Lw)는 실질적으로 배선흘(44a, 44b)의 배선평(Lw)과 동일하게 구성된다. 이것에 의해 배선(49a, 49b)의 저항을 저감할 수 있다.

<219> 이 에칭처리의 조건은 실리콘 질화막이 에칭되기 어렵고, 실리콘 산화막이 에칭되는 조건을 선택한다. 즉, 예컨대 압력을 30mTorr, 에칭가스를 C<sub>4</sub>F<sub>8</sub>, Ar, O<sub>2</sub>, CO의 혼합가스로 하고, 그 유량을 각각 20, 500, 9, 100sccm, RF투입전력을 3600W, 기판온도를 -20℃로 하는 것이 가능하다.

<220> 이와 같은 조건을 선택하면, 실리콘 질화막이 에칭되기 어렵고, 실리콘 산화막이 에칭되기 쉽기 때문에, 절연막(36)이 홈에칭의 스톱퍼로서 절연막(34)이 구멍에칭의 스톱퍼로서 기능한다. 이것에 의해 다소의 오버에칭은 허용되고, 홈깊이 및 구멍깊이의 균일성을 향상할 수 있다. 또한, 홈깊이 및 구멍깊이의 제어를 시간관리에 의해 행할 필요가 없이, 안정하게 홈 및 구멍가공이 행해진다. 게다가, 홈저부와 구멍저부의 에칭 종료시점을 맞추는 필요가 없이, 홈 또는 구멍의 어느 하나가 먼저 에칭을 종료해도 좋다. 또한, 상기한 구멍패턴(43) 저부의 단차(S)가 존재하는 경우라도 오버에칭의 단계에서 단차(S)가 흡수되어, 구멍저부의 평탄성을 실현할 수 있다.

<221> 다만, 절연막(35 및 37)의 막두께를 최적화하여 가능한 한 홈 및 구멍의 에칭종료시점을 맞추는 것이 바람직하다. 에칭종료 시점을 맞추는 것에 의해 스톱퍼로서 기능하는 절연막(34, 36)의 막두께를 얇게 할 수 있고, 즉 유전율이 높은 실리콘 질화막의 막두께를 얇게 할 수 있어, 선간용량의 저감에 기여할 수 있다.

<222> 다음으로, 도 17에 나타내는 바와 같이 실리콘 질화막이 에칭되는 조건에서 에칭처리를 행하고, 절연막(38), 홈패턴(40a, 40b) 저부의 절연막(36), 구멍패턴(43) 저부의 절연막(34)을 에칭한다. 이것에 의해 배선흘(44a, 44b) 및 접속구멍(45)을 완성한다. 이 에칭처리의 조건은 예컨대 압력을 50mTorr, 에칭가스를 CHF<sub>3</sub>, O<sub>2</sub>, Ar의 혼합가스로 하고, 그 유량을 각각 20, 20, 400 또는 600sccm, RF투입전력을 1200W, 기판온도를 0℃의 조건을 선택할 수 있다. 이 에칭처리에 의해 실리콘 산화막도 에칭될 수 있지만, 절연막(38, 36, 34)의 막두께는 절연막

(35, 37)에 비교하여 충분히 얇기 때문에 다소의 오버에칭을 행하여도 특히 문제는 발생하지 않는다. 또한, 절연막(38)은 절연막(36, 34)에 비교하여 두껍게 형성하고 있지만, 상기 홈 및 구멍의 동시 에칭 시에 마스크로서 기능하고 있기 때문에 그 막두께가 감소하여, 본 에칭공정에서는 용이하게 에칭되어 제거된다.

<223> 또한, 본 에칭공정에서는 구멍패턴(43) 저부의 절연막(34)이 제거되면 충분하고, 반드시 절연막(36, 38)이 제거될 필요는 없다. 즉, 본 공정의 목적은 접속구멍(45)의 완성이고, 접속구멍(45)이 개구되면 그것으로 충분하다. 그러나, 상기한 바와 같이 절연막(36, 38)도 절연막(34)과 동시에 에칭되는 것이고, 절연막(36)이 에칭되면 배선홈 저부의 고유전을 재료인 실리콘 질화막이 제거되며, 배선간 용량의 저감에 기여할 수 있다. 또한, 절연막(38)이 제거되어도 마찬가지로 배선간용량을 저감할 수 있다. 이와 같은 효과는 존재한다.

<224> 다음으로, 도 18에 나타내는 바와 같이 배리어메탈층(46)을 형성한다. 배리어메탈층(46)은 배선 및 층간접속배선의 주성분인 동을 확산을 방지함과 동시에, 동과 실리콘 산화막과의 접착성을 향상시키는 기능을 가진다. 배리어메탈층(46)으로서는 예컨대 탄탈(Ta)막을 이용할 수 있다. 탄탈막을 배리어메탈층(46)에 적용하는 경우, 그 막두께는 절연막(37)상(기관평면상)에 있어서 100nm정도로 한다. 또한, 탄탈막에 대신하여 질화탄탈(TaN), 질화티탄(TiN)등을 이용하여도 좋다. 이들의 금속화합물막에 있어서도 동을 확산을 방지할 수 있는 한 배리어메탈층(46)에 적용할 수 있다. 배리어메탈층(46)은 예컨대 타겟과 기관과의 거리가 200mm정도 이간한 롱스로우 스퍼터(long throw sputter)법을 이용할 수 있다. 이것에 의해 미세한 접속구멍(45)의 저부에도 비교적 균일한 막두께로 배리어메탈층(46)을 형성할 수 있다. 또, 롱슬로스퍼터법에 대신하여 CVD법을 이용하여도 좋고, 또 통상의 스퍼터법을 이용하여도 좋다.

<225> 다음에, 도 19에 나타내는 바와 같이 배리어메탈층(46) 상에 시드층(47)을 형성한다. 시드층(47)은 다음에 설명하는 동을 도금층을 형성하기 위한 종(種)(시드)로 되는 층이며, 동으로 구성된다. 시드층(47)은 상기의 롱슬로스퍼터법을 이용할 수 있지만, 그것에 대신하여 CVD법을 또는 통상의 스퍼터법을 이용해도 좋다. 시드층(47)의 막두께는 기관평면 상에서 100nm정도로 한다.

<226> 다음으로, 도 20에 나타내는 바와 같이 동을 도금층(48)을 형성한다. 도금법은 전해도금, 무전해도금의 어느 방법을 이용해도 좋다. 도금층(48)의 막두께는 기관평면상에서 300nm정도로 한다. 이것에 의해 배선홈(44a, 44b) 및 접속구멍(45)을 동시에 매립한다.

<227> 또한, 본 실시의 형태에서는 도금법에 의한 동막(도금층(48))의 형성을 나타내었지만, 스퍼터법에 의해 형성하여도 좋다. 이 경우, 시드층(47)은 필요하지 않다. 스퍼터법에 의해 동막을 형성하는 경우에는 접속구멍(45) 및 배선홈(44a, 44b)에 동이 매립되도록 열처리를 행하여 동을 리플로시킬 수 있다.

<228> 다음으로, 도 21에 나타내는 바와 같이 CMP법을 이용하여 도금층(48) 및 시드층(47)을 연마한다. 동은 연마속도가 크기 때문에, 우선 먼저 동 부분의 일부가 제거된다.

<229> 더욱 연마를 계속하고, 도 22에 나타내는 바와 같이 절연막(37) 상의 배리어메탈층(46)(탄탈막)도 제거한다. 이것에 의해 배선홈(44)의 영역이외의 배리어메탈층(46) 및 동막(도금층(48) 및 시드층(47))을 제거한다.

<230> CMP 법에 의한 연마에는 과산화수소 등의 산화제를 포함하여 알루미늄아지립이 분산된 연마슬러리를 사용할 수 있다. 또한, 동막과 배리어메탈층(탄탈막)을 동일 플레이트(platen)으로 일괄연마하는 방법을 채용할 수 있다. 연마 소요시간은 배리어메탈층(46)의 제거가 종료하는 상태(100% 연마)에서 2.5분, 오버연마 0.5분을 포함하여 3분으로 하였다. 또한, CMP법에 의한 연마후, 농도 0.1%의 암모니아 수용액을 이용한 세정 또한 순수를 이용한 세정의 2단계의 브러시스크러브 세정에 의해 기관표면에 부착한 연마지립 및 동을 제거할 수 있다.

<231> 이상과 같이 하여, 제5 배선층의 배선(49a, 49b)과, 제4 배선층의 배선(33)과 접속하는 층간접속배선(50a, 50b)이 완성한다. 배선(49a, 40b)에는 층간접속배선(50a, 50b)이 일체로 형성되는 것은 상기 설명으로부터 명백하다. 이것에 의해 층간접속배선(50a, 50b)의 치수(Lw)를 실질적으로 배선(49a, 49b)의 배선평(Lw)과 동일하게 구성할 수 있다. 또한, 층간접속배선(50a, 50b)의 평면형상은 구멍패턴(43)의 평면형상으로 구성되고, 배선(49a, 49b)는 홈패턴(40a, 40b)과 구멍패턴(43)의 합의 평면형상으로 구성된다.

<232> 그후, 동일한 방법으로 제6 배선층 이상의 임의의 배선층을 형성할 수 있지만 상세한 설명은 생략한다. 또, 상술한 바와 같이, 제3 배선층의 배선(28), 제4 배선층의 배선(33)도, 제5 배선층의 배선(49a, 49b)과 동일한 방법으로 형성된다. 또한, 제1 배선층, 제2 배선층의 배선을 제5 배선층의 배선(49a, 49b)과 동일한 방법으로 형성하여도 좋은 것은 물론이다.

<233> 본 실시의 형태에 의하면, 상기 각 공정에서 설명한 효과에 더하여, 미세한 배선을 신뢰성 좋고, 또 낮은 배선

간 용량으로 형성할 수 있다. 즉, 선공방식과 같이 구멍패턴의 개구지름으로 접속구멍을 형성할 수 있으므로, 층간접속배선의 배선단면적을 확보할 수 있고, 한편, 선공방식의 경우에 문제로 된 깊은 구멍내로의 레지스트 또는 반사방지재료의 충전할 필요가 없다. 이 때문에, 레지스트 또는 반사방지재료의 잔류에 의한 신뢰성의 저하 등의 문제가 발생하지 않는다. 또한, 본 실시의 형태에서는 중간 스톱퍼로서 기능하는 절연막(36)을 얇게 형성할 수 있으므로, 셀프얼라인 방식에서 문제가 된 배선간 용량의 증가가 생기지 않는다. 또한, 구멍패턴(43)의 구멍지름(dH)과, 홈패턴(40a, 40b)의 패턴폭(dL)을 동일한 치수로 형성하는 것에 의해 배선(49a, 49b)의 피치를 축소할 수 있어, 배선밀도를 향상하고, 집적화할 수 있다. 또한, 홈패턴(40a, 40b)의 형성후, 구멍패턴(43)을 형성하고, 구멍패턴(43)을 홈패턴(40a, 40b)에 전사한다. 즉, 실리콘 질화막(38)을 구멍패턴(43)의 형상으로 에칭함으로써, 층간접속배선(50a, 50b)을 구멍패턴(43)의 평면형상으로 형성할 수 있고, 배선(49a, 49b)의 저항을 저감할 수 있다. 이와 같이 배선피치를 축소할 수 있어, 배선의 밀도를 향상하고, 집적화할 수 있음과 동시에, 배선(49a, 49b)의 저항을 저감할 수 있다.

<234> 또한, 본 실시의 형태에서는 도 14의 공정에서 구멍패턴(43)의 형성을 절연막(35)의 도층에서 그만두었지만, 도 25에 나타내는 바와 같이 절연막(34)의 표면에 도달할 때까지 행해도 좋다. 이와 같은 경우라도 절연막(34)(실리콘 질화막)이 형성되어 있기 때문에, 상기한 도 15와 동일하게 레지스트막(42), 반사방지막(41)의 제거공정에서의 마스크로서 작용하고(도 26), 또한 도 26과 같은 상태에서 도 16과 동일하게 홈패턴(40a, 40b)의 전사를 절연막(37)에 행하였다고 해도, 절연막(34)이 이 전사 시의 에칭스톱퍼로서 기능한다.

<235> 또, 배선 중, 상하배선을 접속하는 스택드비아부(49b)에 대해서는 배선홈 형성용의 홈패턴의 형성을 생략할 수 있다. 즉, 도 27에 나타내는 바와 같이 상하 배선을 접속하는 부분에 대해서는 패터닝하지 않고, 배선층 내에 연재하는 배선패턴(51)의 패터닝을 행하고, 다음으로 도 28에 나타내는 바와 같이 구멍패턴(52a, 52b)이 형성된 레지스트막(53)을 형성한다. 다음으로 레지스트막(53)의 존재하에서 상기 도 14에서의 에칭처리를 행한다. 이 에칭에서는 실리콘 질화막이 에칭되는 조건에서 절연막(38)이 에칭되므로, 도 29와 같이 구멍패턴(52b)의 하부에 절연막(38)이 형성되어 있어도 좋다. 이와 같은 경우, 상하 배선을 접속하는 부분의 배선홈 패턴(40b)과 접속구멍패턴(43)의 맞춤어긋남을 고려할 필요가 없고, 공정을 간략화할 수 있음과 동시에, 비아배선(49b)의 저항을 저저항으로 확보할 수 있다.

<236> 또한, 도 23(a)에 본 실시의 형태에 의해 형성되는 배선(49a)의 평면패턴을 나타낸다. 도 23(b) 및 (c)는 도 23(a)에서의 A-B선 단면도 및 C-D선 단면도를 각각 나타낸다. 도시하는 바와 같이, 배선피치(Pa)를 축소하여도 접속구멍(50a)의 지름(dh)은 구멍지름(W)보다 크게 되어, 접속구멍 부분의 저항을 저감할 수 있고, 집적도의 향상과 접속구멍 부분의 저저항화를 도모할 수 있다.

<237> 한편, 도 24에 접속구멍을 셀프얼라인먼트로 형성하는 경우(실리콘 질화막(38)이 도 14의 공정에서 에칭되지 않는 경우)를 비교로서 나타낸다. 도시하는 바와 같이, 구멍패턴(43)이 배선(49a)에 대하여 어긋나 형성되는 경우에는 접속구멍은 구멍패턴(43)과 배선(49a)의 겹침부분에 형성된다. 이 때문에, 접속구멍의 구멍지름(d')은 구멍패턴(43)의 구멍지름(d)보다 작게 되어( $d' < d$ ), 접속구멍 부분의 저항이 크게 된다. 이것을 방지하기 위해 구멍패턴(43)의 구멍지름을 크게 하면, 패턴의 맞춤어긋남을 고려하여 배선(49a)의 피치(Pc)를 크게 하지 않을 수 없어, 본 실시의 형태의 경우의 피치(Pa)보다도 크게 된다( $Pc > Pa$ ). 다만, 도 24에 나타내는 바와 같은 셀프얼라인으로 형성한 경우에는 도 14에 나타내는 에칭공정에서 2단계의 에칭을 행할 필요가 없고, 그것에 상당하는 에칭공정을 간략화하여 1단계의 에칭공정으로 할 수 있다고 하는 메리트가 있다.

<238> (실시의 형태 2)

<239> 도 30 및 도 31은 본 발명의 다른 실시의 형태인 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도이다. 도 30 및 도 31에서는 실시의 형태 1의 제5 배선층만을 나타내고, 또한 도 1 ~ 도 29에서의 좌측 부분을 나타내어 도면을 간략화하고 있다.

<240> 본 실시의 형태의 제조방법은 실시의 형태 1에서의 도 12까지의 공정과 마찬가지로의 공정 후, 도 30(a)에 나타내는 바와 같이 제4 배선층 상에 절연막(34 ~ 38)을 순차 형성하고, 절연막(38)에 홈패턴(40)을 패터닝한 후, 반사방지막(41), 레지스트막(42)을 형성하며, 레지스트막(42)에 구멍패턴(43)을 형성한다. 또한, 도 13(a)에 나타내는 바와 같이 구멍패턴(43)이 홈패턴(40)에 대하여 어긋나 있는 것도 마찬가지로이다.

<241> 다음으로, 도 30(b)에 나타내는 바와 같이, 구멍패턴(43)이 형성된 레지스트막(42)의 존재하에서 이것을 마스크로 하여, 에칭처리를 행한다. 반사방지막(41)의 에칭조건은 실시의 형태 1과 동일하다. 절연막(36)의 에칭조건은 실시의 형태 1의 경우와 상위하고, 실리콘 산화막이 에칭되고, 실리콘 질화막이 에칭되기 어려운 조건에서

행한다. 예컨대 압력을 50mTorr, 에칭가스를 CHF<sub>3</sub>, O<sub>2</sub>의 혼합가스로 하고, 그 유량을 각각 20, 20sccm, RF투입 전력을 1200W, 기판온도를 0℃의 조건을 선택할 수 있다. 이와 같은 조건에서는 실리콘 산화막은 에칭되지만, 실리콘 질화막이 에칭되기 어려우므로, 절연막(38)이 에칭되지 않고, 절연막(38)은 레지스트막(42)과 함께 절연막(37)의 에칭마스크로서 기능한다. 이때문에, 절연막(38)(실리콘 질화막)이 그 상부에 형성되어 있는 영역의 절연막(37)은 에칭되지 않고, 구멍패턴(43)과 홈패턴(40)이 어긋나 형성되어 있는 영역에서는 구멍패턴(43)은 절연막(38)에 대하여 자기정합적으로 형성된다. 이 때문에 접속구멍은 배선홈으로부터 벗어나 형성되지 않고, 배선간 치수가 작고, 고밀도로 배선이 형성되어 있어도 배선홈과 접속구멍과의 마스크 어긋남의 영향이 생기지 않는다.

<242> 또한, 본 실시의 형태에 있어서도 절연막(36)에 구멍패턴(43)이 전사되어 있을 필요가 있다. 절연막(36)을 에칭할 때에는 실리콘 질화막이 에칭되는 조건에서 에칭을 행할 필요가 있다. 이때문에, 본 실시의 형태에서는 절연막(37, 36)에 구멍패턴(43)을 전사하는데 있어서, 실리콘 질화막이 에칭되기 어려운 조건의 제1 스텝의 에칭과 실리콘 질화막이 에칭되는 조건의 제2 스텝의 에칭과의 2단계로 행하게 된다.

<243> 다음으로, 실시의 형태 1의 도 15의 공정과 마찬가지로 레지스트막(42) 및 반사방지막(41)을 제거하고(도 30(c)), 그후, 실시의 형태 1의 도 16의 공정과 마찬가지로 배선홈의 홈패턴(40)을 절연막(37)에, 구멍패턴(43)을 절연막(35)에 전사한다(도 31(d)). 게다가 도 31(e)에 나타내는 바와 같이 실리콘 질화막인 절연막(38), 홈패턴(40)저부의 절연막(36), 구멍패턴(43)저부의 절연막(34)을 제거하고, 배선홈(44) 및 접속구멍(45)을 형성한다. 그후의 공정은 실시의 형태 1과 동일하다.

<244> 본 실시의 형태의 제조방법에 의하면, 접속구멍(45)이 배선홈(44)에 대하여 자기정합적으로 형성되고, 배선의 형성밀도의 향상에 기여할 수 있다.

<245> (실시의 형태 3)

<246> 도 32 및 도 33은 본 발명의 또다른 실시의 형태인 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도이다. 도 32 및 도 33에서는 실시의 형태 2와 동일하게 실시의 형태 1의 제5 배선층만을 나타내고, 또한 도 1 ~ 도 29에서의 좌측부분을 나타내어 도면을 간략화하고 있다.

<247> 본 실시의 형태의 제조방법은, 실시의 형태 1에서의 도 12까지의 공정과 동일한 공정의 후, 제4 배선층 상에 절연막(34 ~ 38)을 순차 형성하고, 절연막(38)에는 홈패턴(40)을 패터닝한다. 그 후 반사방지막(41), 구멍패턴(43)을 가지는 레지스트막(42)을 형성한다. 또, 본 실시의 형태에서는 구멍패턴(43)이 홈패턴(40)에 대하여 어긋나 있지 않는 경우를 설명한다(도 32(a)).

<248> 다음으로, 도 32(b)에 나타내는 바와 같이 구멍패턴(43)이 형성된 레지스트막(42)의 존재하에서 이것을 마스크로 하고, 에칭처리를 행한다. 반사방지막(41)의 에칭조건은 실시의 형태 1과 동일하다. 이 에칭처리에 의해 절연막(37, 36)에 구멍패턴(43)을 전사한다. 이 경우의 에칭처리는 실리콘 질화막이 에칭되는 조건에 의한 절연막(37, 36)의 연속에칭, 또는 실리콘 산화막이 에칭되지만 실리콘 질화막은 에칭되지 않는 조건에 의한 제1 스텝의 에칭후, 실리콘 질화막이 에칭되는 조건에 의한 제2 스텝의 에칭의 2단계 에칭의 어느 하나를 선택할 수 있다. 실리콘 질화막이 에칭되는 조건, 실리콘 산화막은 에칭되지만 실리콘 질화막이 에칭되기 어려운 조건은 상기 예시한 조건을 각각 선택할 수 있다.

<249> 또한, 본 실시의 형태에 있어서도 절연막(36)에 구멍패턴(43)이 전사되어 있을 필요가 있다.

<250> 다음으로, 실시의 형태 1의 도 15의 공정과 마찬가지로 레지스트막(42) 및 반사방지막(41)을 제거하고(도 32(c)), 그후 실시의 형태 1의 도 16의 공정과 마찬가지로 배선홈의 홈패턴(40)을 절연막(37)에, 구멍패턴(43)을 절연막(35)에 전사한다(도 33(d)). 게다가 도 33(e)에 나타내는 바와 같이 실리콘 질화막인 절연막(38), 홈패턴(40)저부의 절연막(36), 구멍패턴(43)저부의 절연막(34)을 제거하고, 배선홈(44) 및 접속구멍(45)을 형성한다. 그 후의 공정은 실시의 형태 1과 동일하다.

<251> (실시의 형태 4)

<252> 도 34 및 도 35는 본 발명의 다른 실시의 형태인 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도이다. 도 34 및 도 35에서는 실시의 형태 2와 마찬가지로 실시의 형태 1의 제5 배선층만을 나타내고, 또한, 도 1 ~ 도 29에서의 좌측부분을 나타내어 도면을 간략화하고 있다.

<253> 본 실시의 형태의 제조방법은 실시의 형태 1에서의 도 15까지의 공정과 동일한 공정의 후, 제4 배선층의 배선(33) 및 절연막(32)상에 절연막(34 ~ 38)을 순차 형성하고, 절연막(38)에는 홈패턴(40)을 형성한다. 그후 구멍

패턴(43)을 가지는 레지스트막을 이용하여 절연막(37, 36)에 구멍패턴(43)을 전사하고 레지스트막( 및 반사방지막)을 제거한다(도 34(a)).

<254> 다만, 절연막(38)의 막두께는 실시의 형태 1의 경우(100nm)보다도 얇게 하여, 70nm로 한다.

<255> 다음으로, 도 34(b)에 나타내는 바와 같이, 배선홀의 홈패턴(40)을 절연막(37)에, 구멍패턴(43)을 절연막(35)에 전사한다. 이 전사시의 에칭조건은 실시의 형태 1의 경우와 동일하다. 또한, 이 전사 시의 에칭에 있어서는 절연막(38)이 70nm로 얇게 형성되어 있으므로, 에칭의 도중에 절연막(38)의 단부가 에칭되어 후퇴한다. 이 결과, 도 34(b)에 나타내는 바와 같이, 홈패턴(40)의 단부에 완만한 견부(肩部)(54)가 형성된다. 또한, 홈패턴(40)의 절연막(37)으로의 전사가 종료하고, 절연막(36)이 홈패턴(40)저부에 노출한 후에는, 절연막(36)이 에칭분위기에 노출되게 된다. 이 때 더욱 에칭을 계속하면 절연막(36)의 단부도 마찬가지로 에칭에 의해 후퇴하여, 구멍패턴(43)의 단부에도 완만한 견부(55)가 형성된다.

<256> 이와 같은 견부(54, 55)가 형성되는 것에 의해 배선홀 및 접속구멍의 개구부가 넓어지고, 금속막의 매립을 용이하게 할 수 있다. 또한, 이 견부(54, 55)의 단면형상은 상기한 형성의 원리(마스크층 단부의 에칭에 의한 후퇴)로부터, 표면을 향함에 따라 보다 큰 경사로 배선홀 또는 접속구멍의 폭을 증대시킨 형상으로 된다.

<257> 다음으로, 도 34(c)에 나타내는 바와 같이, 절연막(38), 홈패턴(40) 저부의 절연막(36), 및 구멍패턴(43) 저부의 절연막(34)을 에칭에 의해 제거한다. 이것에 의해 배선홀(44) 및 접속구멍(45)을 형성한다. 본 공정의 에칭조건은 실시의 형태 1의 경우와 동일하다.

<258> 다음에, 실시의 형태 1의 도 18의 공정과 동일하게 배리어메탈층(46)을 형성하고(도 34(d), 또 실시의 형태 1의 도 19, 20의 공정과 마찬가지로, 시드층(47) 및 도금층(48)을 형성한다(도 35(e)). 또한, 본 실시의 형태의 경우는 접속구멍(45) 및 배선홀(44)의 개구부가 견부(54, 55)에 의해 라운딩(rounding)이 형성되어 있으므로, 배리어메탈층(46), 시드층(47)의 스퍼터가 용이하게 행해진다. 즉, 개구가 넓어져 있으므로, 홈 또는 구멍의 측벽, 저면에도 성막되기 쉽다. 또한, 도금층(48)의 형성에 있어서도 개구가 넓어져 있으므로, 매립특성이 뛰어나다.

<259> 다음으로, 도 35(f)에 나타내는 바와 같이 도금층(48) 및 시드층(47)을 CMP법에 의해 연마하고, 게다가 도 35(g)에 나타내는 바와 같이 배리어메탈층(46)도 CMP법에 의해 제거한다. 본 공정의 CMP법은 실시의 형태 1의 경우와 동일하다.

<260> 다만, 본 실시의 형태의 CMP법에 의한 연마에서는 절연막(37) 상의 배리어메탈층(46)이 제거된 상태(저스트에칭(just scraped off))에서 연마를 정지하는 것이 아니며, 또한 절연막(37)의 상면도 연마하도록 오버에칭(오버연마)을 행한다. 이 오버에칭은 배선홀(44)의 견부(54)의 폭이 일정 이상 축소될 때까지 행한다. 이와 같이 오버에칭을 행함으로써, 견부(54)의 라운딩부분을 제거하고, 배선폭을 작게 하여 배선간의 쇼트 또는 내(耐)전압의 저하를 방지할 수 있다. 즉, 견부(54)의 라운딩이 잔존한 상태에서 연마를 종료하면 배선간의 거리가 견부(54)가 확대된 만큼 짧게 되어, 인접배선간 쇼트의 발생이나 인접배선간의 내전압의 저하원인으로 될 가능성이 있다. 그러나 본 실시의 형태와 같이 절연막(37)의 표면을 여분으로 연마하고, 견부(54)의 상당부분까지 제거하면, 배선폭의 확대가 축소되고, 상기한 바와 같은 문제점은 발생하지 않는다.

<261> 그후의 공정은 실시의 형태 1과 동일하다.

<262> 본 실시의 형태에 의하면, 배선홀(44) 및 접속구멍(45)의 개구부를 넓게 형성하고, 배리어메탈층(46), 시드층(47), 도금층(48)의 형성을 용이하게, 또는 매립특성을 양호하게 할 수 있다.

<263> 또, 배선형성 시의 CMP법을 오버연마함으로써, 배선홀(44)의 개구부의 확대부분을 제거하고, 배선간격을 넓게 유지하여 배선간의 리크전류의 저하, 절연내압의 향상을 도모한다.

<264> 또한, 본 실시의 형태에서 배선용 금속의 형성은 도금법을 예시하였지만, 스퍼터법과 열처리에 의한 리플로에 의해 형성해도 좋다. 특히 리플로를 이용하는 경우에는 본 실시의 형태의 견부(54, 55)(라운딩부)의 형성은 매끄러운 금속원자의 유동을 촉진하여, 매립특성향상의 효과는 현저하다.

<265> (실시의 형태 5)

<266> 본 실시의 형태 5는, 실시의 형태 4의 견부(54, 55)의 형성방법이 다르다. 즉, 본 실시의 형태 4의 견부(54, 55)는 도 36에 나타내는 바와 같은 방법에 의해서도 실현할 수 있다. 도 36은 본 발명의 또다른 실시의 형태인 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도이다.

<267> 즉, 실시의 형태 1의 도 16에 나타내는 공정과 동일하게 홈패턴(40)을 절연막(37)에 전사한다(도 36(a)). 이때,

구멍패턴(43)은 절연막(34)에 도달하지 않도록 에칭을 정지한다. 또, 이 단계에서는 홈패턴(40)의 단부를 따라 제거되는 일이 발생하지 않도록 절연막(38)의 막두께는 충분하게 두껍게 형성한다(예컨대 100nm).

<268> 다음에, 도 36(b)에 나타내는 바와 같이, 실리콘 질화막이 에칭되는 조건에서 절연막(38) 및 절연막(36)의 일부를 에칭한다. 이 단계에서 절연막(38, 36)의 단부(56)가 에칭에 의해 제거된다.

<269> 다음으로, 도 36(c)에 나타내는 바와 같이, 실리콘 산화막이 에칭되지만, 실리콘 질화막이 에칭되기 어려운 조건에서 에칭을 계속한다. 절연막(38, 36)의 단부(56)에는 실리콘 질화막이 형성되어 있지 않으므로, 단부(56)의 부분은 에칭마스크로서 기능하지 않고, 또한 이부분은 실리콘 질화막이 얇게 형성되게 되므로, 이 에칭공정에서 건부(57)가 형성된다.

<270> 그후, 도 36(d)에 나타내는 바와 같이 절연막(38), 홈패턴(40) 저부의 절연막(36), 및 구멍패턴(43) 저부의 절연막(34)을 에칭에 의해 제거한다. 이것에 의해 배선흘(44) 및 접속구멍(45)을 형성한다. 그후의 공정은 실시의 형태 4와 동일하다.

<271> 본 실시의 형태에 의하면, 실시의 형태 4와 동일하게 건부(57)에 라운딩을 형성하므로, 실시의 형태 4와 동일한 효과가 얻어진다.

<272> (실시의 형태 6)

<273> 도 37은 본 발명의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 일부 단면도이다. 도 37에서는 실시의 형태 1의 제5 배선층의 임의의 부분을 나타내고, 또 배선부분과 그 하층의 층간접속배선의 부분을 나타내어 도면을 간략화하고 있다.

<274> 본 실시의 형태에서는 실시의 형태 1에서 중간스토퍼로서 기능하는 절연막(36)이 없는 경우를 설명한다.

<275> 우선, 도 37(a)에 나타내는 바와 같이 하층배선(33)상에 절연막(34, 35) 및 절연막(38)을 순차 형성하는 절연막(34, 38)은 예컨대 실리콘 질화막으로 이루어지고, 절연막(35)은 예컨대 실리콘 산화막으로 이루어지는 절연막(34, 35, 38)은 실시의 형태 1과 동일하지만, 절연막(35)은 1층에서 절연막(37)의 역할을 겸하므로, 그 막두께는 850 ~ 900nm로 한다. 다음으로, 실시의 형태 1과 동일하게 레지스트막(39)을 이용하여 절연막(38)에 홈패턴(40)을 전사한다.

<276> 다음으로, 도 37(b)에 나타내는 바와 같이 절연막(38)의 홈패턴(40)을 매립하는 반사방지막(41)을 실시의 형태 1과 동일하게 형성하고, 게다가 구멍패턴(43)을 가지는 레지스트막(42)을 실시의 형태 1과 동일하게 형성한다.

<277> 다음으로, 도 37(c)에 나타내는 바와 같이 레지스트막(42)을 마스크로 하여, 절연막(35)에 구멍패턴(43)을 전사한다. 전사는 실시의 형태 1에서와 마찬가지로 실리콘 산화막이 에칭되는 조건에서 에칭처리에 의해 행하고, 구멍패턴(43)의 절연막(35)에서의 깊이는 500nm로 한다. 구멍패턴(43)의 깊이제어는 에칭처리시간의 관리에 의해 행한다.

<278> 다음에, 도 37(d)에 나타내는 바와 같이 레지스트막(42) 및 반사방지막(41)을 제거한다. 제거방법은 실시의 형태 1과 동일하다.

<279> 다음으로, 도 37(e)에 나타내는 바와 같이 홈패턴(40)을 가지는 절연막(38)을 마스크로서, 홈패턴(40)을 절연막(35)에 전사한다. 전사는 실리콘 산화막이 에칭되는 조건에서의 에칭처리에 의해 행한다. 에칭조건은 실시의 형태 1과 동일하다. 홈패턴(40)의 깊이는 400nm로 하고, 그 깊이 제어는 에칭처리시간의 시간관리에 의해 행한다.

<280> 이 에칭처리시, 미리 절연막(35)에 구멍패턴(43)이 전사되어 있으므로, 이 구멍패턴(43)의 영역도 동시에 에칭되고, 홈패턴(40)이 400nm의 깊이로 에칭된 단계에서 구멍패턴(43)의 저부는 절연막(34)에 도달한다.

<281> 다음으로, 도 37(f)에 나타내는 바와 같이, 절연막(38) 및 구멍패턴(43) 저부의 절연막(34)이 제거되고, 배선흘(44) 및 접속구멍(45)이 완성한다. 이 제거공정은 실리콘 질화막이 에칭되는 조건에서의 에칭처리에 의해 행한다. 그후의 공정은 실시의 형태 1과 동일하다.

<282> 본 실시의 형태의 제조방법에 의하면, 중간 스토퍼인 실리콘 질화막이 형성되어 있지 않으므로, 유전율이 높은 실리콘 질화막이 배선흘 저부에 형성되지 않는다. 이 결과, 배선간 용량이 감소하고, 반도체 장치의 성능을 향상시킬 수 있다.

<283> (실시의 형태 7)

<284> 도 38은 본 발명의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 일부 단면도이다. 도 38에서는 실시의

형태 1의 제5 배선층의 임의의 부분을 나타내고, 또 배선부분과 그 하층의 층간접속배선의 부분을 나타내어 도면을 간략화하고 있다.

- <285> 본 실시의 형태에서는 실시의 형태 1에서 중간스토퍼로서 기능하는 절연막(36)이 없고, 배선홈 및 접속구멍 형성용의 절연막에 마커층(58)을 가지는 경우를 설명한다.
- <286> 우선, 도 38(a)에 나타내는 바와 같이, 하층배선(33) 상에 절연막(34), 절연막(35), 마커층(58), 절연막(37) 및 절연막(38)을 순차 형성한다. 절연막(34, 35, 37, 38)에 대해서는 실시의 형태 1과 동일하다. 마커층(58)은 예컨대 실리콘 질화막, PSG(Phosphor-Silicate-Glass), BPSG(Boron-Phosphor-Silicate-Glass)등을 이용할 수 있고, 그 막두께는 10 ~ 50nm로 할 수 있다. 마커층(58)은 뒤에 설명하는 바와 같이 에칭시의 마커로 이용할 수 있다. 절연막(35, 37)의 막두께는 합계 850nm로 되도록 형성하고, 마커층(58)의 위치는 다음 공정에서 설명하는 구멍패턴의 형성깊이에 위치하도록 형성한다. 예컨대 절연막(37)의 상면으로부터 500nm의 위치로 한다. 즉, 절연막(35)의 막두께를 약 350nm, 절연막(37)의 막두께를 약 500nm로 한다(이 때 마커층의 막두께를 무시하고 있다).
- <287> 다음으로, 실시의 형태 1과 동일하게 레지스트막(39)을 이용하여 절연막(38)에 홈패턴(40)을 전사한다.
- <288> 다음에, 도 38(b)에 나타내는 바와 같이 절연막(38)의 홈패턴(40)을 매립하는 반사방지막(41)을 실시의 형태 1과 동일하게 형성하고, 게다가 구멍패턴(43)을 가지는 레지스트막(42)을 실시의 형태 1과 동일하게 형성한다.
- <289> 다음으로, 도 38(c)에 나타내는 바와 같이, 레지스트막(42)을 마스크로서 절연막(35)에 구멍패턴(43)을 전사한다. 전사는 실시의 형태 1에서와 동일하게 실리콘 산화막이 에칭되는 조건에서 에칭처리에 의해 행한다. 구멍패턴(43)의 깊이는 마커층(58)에 의해 검출한다. 즉, 마커층(58)에는 질소(N), 붕소(B), 인(P) 등이 포함되므로, 에칭처리의 플라즈마 발광분석(플라즈마 분광분석)을 행하고, 질소, 붕소, 인등의 마커층(58)에 포함되는 원소 발광을 모니터하고, 이 발광이 검출된 시점에서 에칭을 정지하여, 구멍패턴(43)의 깊이를 제어할 수 있다. 이것에 의해 구멍패턴(43)의 깊이 제어를 용이하게 행할 수 있다.
- <290> 다음으로, 도 38(d)에 나타내는 바와 같이, 레지스트막(42) 및 반사방지막(41)을 제거한다. 제거방법은 실시의 형태 1과 동일하다.
- <291> 다음에, 도 38(e)에 나타내는 바와 같이 홈패턴(40)을 가지는 절연막(38)을 마스크로 하여, 홈패턴(40)을 절연막(35)에 전사한다. 전사는 실리콘 산화막이 에칭되는 조건에서의 에칭처리에 의해 행한다. 에칭조건은 실시의 형태 1과 동일하다. 홈패턴(40)의 깊이는 400nm로 하고, 그 깊이제어는 에칭처리시간의 시간관리에 의해 행한다. 이 에칭처리시, 미리 절연막(35)에 구멍패턴(43)이 전사되어 있으므로, 이 구멍패턴(43)의 영역도 동시에 에칭되어, 구멍패턴(43)의 저부가 절연막(34)에 도달하는 것은 실시의 형태 6과 동일하다.
- <292> 다음으로, 도 38(f)에 나타내는 바와 같이 절연막(38) 및 구멍패턴(43) 저부의 절연막(34)이 제거되고, 배선홈(44) 및 접속구멍(45)이 완성한다. 이 제거공정은 실리콘 질화막이 에칭되는 조건에서의 에칭처리에 의해 행한다. 그후의 공정은 실시의 형태 1과 동일하다.
- <293> 본 실시의 형태의 제조방법에 의하면, 유전율이 높은 실리콘 질화막이 중간층으로 이용되지 않으므로, 배선간 용량을 감소하여 반도체 장치의 성능을 향상시킬 수 있는데다가, 구멍패턴(43) 전사 시의 패턴깊이의 제어를 용이하게 행할 수 있다.
- <294> 또한, 본 실시의 형태의 제조방법에 의해 형성되는 반도체 장치에서는 배선저부보다 하층에 마커층이 형성되게 된다.
- <295> (실시의 형태 8)
- <296> 도 39는 본 발명의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 일부 단면도이다. 도 39에서는 실시의 형태 1의 제5 배선층의 임의의 부분을 나타내고, 또 배선부분과 그 하층의 층간접속배선의 부분을 나타내어 도면을 간략화하고 있다.
- <297> 우선, 도 39(a)에 나타내는 바와 같이, 하층배선(33) 상에 절연막(34 ~ 37), 마커층(58), 절연막(37') 및 절연막(38)을 순차 형성한다. 절연막(34, 36, 38)은 예컨대 실리콘 질화막으로 이루어지고, 절연막(35, 37, 37')은 예컨대 실리콘 산화막으로 이루어진다. 이들 절연막은 실시의 형태 1과 동일하다. 또한, 마커층(58)은 실시의 형태 7과 동일하다.
- <298> 절연막(37, 37')의 막두께는 합계로 450nm로 하고, 마커층(58)의 위치는 절연막(37')의 상면으로부터 400nm의

위치로 한다. 즉, 절연막(37)의 막두께는 마커층(58)의 막두께를 무시하면 50nm이다.

- <299> 다음으로, 실시의 형태 1과 동일하게 레지스트막(39)을 이용하여 절연막(38)에 홈패턴(40)을 전사한다.
- <300> 다음에, 도 39(b)에 나타내는 바와 같이 절연막(38)의 홈패턴(40)을 매립하는 반사방지막(41)을 실시의 형태 1과 동일하게 형성하고, 게다가 구멍패턴(43)을 가지는 레지스트막(42)을 실시의 형태 1과 동일하게 형성한다.
- <301> 다음으로, 도 39(c)에 나타내는 바와 같이 레지스트막(42)을 마스크로 하여, 절연막(35)에 구멍패턴(43)을 전사한다. 전사는 실리콘 산화막은 에칭되지만 실리콘 질화막이 에칭되기 어려운 조건의 에칭처리에 의해 행한다. 즉, 실리콘 질화막인 절연막(36)을 에칭스토퍼로 이용한다. 이것에 의해 구멍패턴(43)의 패턴깊이를 용이하게 제어할 수 있다. 게다가 구멍패턴(43) 저부의 절연막(36)을 에칭하여 제거한다.
- <302> 다음에, 도 39(d)에 나타내는 바와 같이 레지스트막(42) 및 반사방지막(41)을 제거한다. 제거방법은 실시의 형태 1과 동일하다.
- <303> 다음으로, 도 39(e)에 나타내는 바와 같이, 홈패턴(40)을 가지는 절연막(38)을 마스크로 하여 홈패턴(40)을 절연막(37')에 전사한다. 전사는 실리콘 산화막이 에칭되는 조건에서의 에칭처리에 의해 행한다. 에칭조건은 실시의 형태 1과 동일하다. 여기서, 홈패턴(40)의 에칭깊이제어에 마커층(58)을 이용한다. 즉, 마커층(58)에 질소, 붕소, 인 등이 포함되는 원소발광을 플라즈마 발광분석에 의해 모니터링하고, 이 발광이 검출된 시점에서 에칭을 정지하여, 홈패턴(40)의 깊이를 제어할 수 있다. 이것에 의해 홈패턴(40)의 깊이제어를 용이하게 행할 수 있다. 홈패턴(40)의 깊이는 마커층(58)의 형성깊이인 400nm로 제어성 좋게 형성된다. 이 에칭처리시, 미리 절연막(35)에 구멍패턴(43)이 전사되어 있으므로, 이 구멍패턴(43)의 영역도 동시에 에칭되며, 구멍패턴(43)의 저부가 절연막(34)에 도달하는 것은 실시의 형태 6과 동일하다. 또한, 실리콘 질화막인 절연막(34)이 형성되어 있으므로, 구멍패턴(43) 저부에서 다소의 오버에칭이 행해져도 문제는 발생하지 않는다.
- <304> 다음으로, 도 39(f)에 나타내는 바와 같이, 절연막(38) 및 구멍패턴(43) 저부의 절연막(34)이 제거되고, 배선홈(44) 및 접속구멍(45)이 완성한다. 이 제거공정은 실리콘 질화막이 에칭되는 조건에서의 에칭처리에 의해 행한다. 그후의 공정은 실시의 형태 1과 동일하다.
- <305> 본 실시의 형태의 제조방법에 의하면, 유전율이 높은 실리콘 질화막이 중간층에 이용되지만, 그 실리콘 질화막은 배선홈 저면보다 하층에 형성되므로, 배선간 용량의 증가에는 크게는 기여하지 않는다. 즉, 실리콘 질화막(절연막(36))은 배선간을 접속하는 층간접속배선에 접하여 형성되어 있고, 이와 같은 층간접속배선은 배선형성 영역에 전부에 형성되어 있지 않다. 즉, 배선이 형성되는 극히 일부에만 층간접속배선이 형성되므로, 층간접속배선과 절연막(36)으로 구성되는 캐패시터의 토탈용량은 적게 된다. 한편, 본 실시의 형태에 의하면 구멍패턴(43)의 깊이 제어, 및 패턴(40)의 깊이제어 모두 용이하게 제어할 수 있다. 즉 배선홈과 접속구멍의 형성이 정밀하게 행해진다. 이와 같은 깊이방향의 정밀성(가공 용이성)의 향상은 스토퍼절연막(절연막(34, 36))의 막두께를 저감할 수 있는 여지를 만들고, 배선간의 용량을 저감할 수 있는 가능성을 제공한다. 즉, 반도체 장치의 성능향상에 기여할 수 있다.
- <306> (실시의 형태 9)
- <307> 도 40은 본 발명의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 일부 단면도이다. 도 40에서는 실시의 형태 1의 제5배선층의 임의의 부분을 나타내고, 또 배선부분과 그 하층의 층간접속배선의 부분을 나타내어 도면을 간략화하고 있다.
- <308> 본 실시의 형태에서는 실시의 형태 8에서의 절연막(36)을 이용하지 않은 경우를 설명한다.
- <309> 우선, 도 40(a)에 나타내는 바와 같이, 하층배선(33) 상에 절연막(34, 35), 마커층(58), 절연막(35') 및 절연막(38)을 순차 형성한다. 절연막(34, 38)은 예컨대 실리콘 질화막으로 이루어지고, 절연막(35, 35')은 예컨대 실리콘 산화막으로 이루어진다. 이들 절연막은 실시의 형태 1과 동일하다. 또한, 마커층(58)은 실시의 형태 7과 동일하다.
- <310> 절연막(35, 35')의 막두께는 합계로 850nm로 하고, 마커층(58)의 위치는 절연막(35')의 상면으로부터 400nm의 위치로 한다. 즉, 절연막(35)의 막두께는 마커층(58)의 막두께를 무시하면 450nm이다.
- <311> 다음으로, 실시의 형태 1과 동일하게 레지스트막(39)을 이용하여 절연막(38)에 홈패턴(40)을 전사한다.
- <312> 다음에, 도 40(b)에 나타내는 바와 같이 절연막(38)의 홈패턴(40)을 매립하는 반사방지막(41)을 실시의 형태 1과 동일하게 형성하고, 게다가 구멍패턴(43)을 가지는 레지스트막(42)을 실시의 형태 1과 동일하게 형성한다.

- <313> 다음으로, 도 40(c)에 나타내는 바와 같이, 레지스트막(42)을 마스크로서, 절연막(35, 35')에 구멍패턴(43)을 전사한다. 전사는 실리콘 산화막이 에칭되는 조건의 에칭처리에 의해 행한다. 또한, 구멍패턴(43)의 깊이는 시간관리에 의해 제어하고, 그 깊이는 500nm로 한다. 또한, 이 에칭의 시에 구멍패턴(43)은 마커층(58)을 관통하게 되지만, 마커층으로부터의 플라즈마발광은 무시한다.
- <314> 다음으로, 도 40(d)에 나타내는 바와 같이 레지스트막(42) 및 반사방지막(41)을 제거한다. 제거방법은 실시의 형태 1과 동일하다.
- <315> 다음으로, 도 40(e)에 나타내는 바와 같이, 홈패턴(40)을 가지는 절연막(38)을 마스크로서, 홈패턴(40)을 절연막(35')에 전사한다. 전사는 실리콘 산화막이 에칭되는 조건에서의 에칭처리에 의해 행한다. 에칭조건은 실시의 형태 1과 동일하다. 여기서 실시의 형태 8과 마찬가지로 홈패턴(40)의 에칭깊이 제어에 마커층(58)을 이용한다. 즉, 마커층(58)에 포함되는 원소발광을 플라즈마 발광분석에 의해 모니터링하고, 이 발광이 검출된 시점에서 에칭을 정지하며, 홈패턴(40)의 깊이를 제어한다. 이것에 의해, 홈패턴(40)의 깊이제어를 용이하게 행할 수 있다. 이 에칭처리시, 미리 절연막(35)에 구멍패턴(43)이 전사되어 있으므로, 이 구멍패턴(43)의 영역도 동시에 에칭되고, 구멍패턴(43)의 저부가 절연막(34)에 도달하는 것은 실시의 형태 6과 마찬가지이다. 또한, 실리콘 질화막인 절연막(34)이 형성되어 있으므로, 구멍패턴(43)저부에서 다소의 오버에칭이 행해져도 문제는 생기지 않는다.
- <316> 다음으로, 도 40(f)에 나타내는 바와 같이 절연막(38) 및 구멍패턴(43) 저부의 절연막(34)이 제거되며, 배선홈(44) 및 접속구멍(45)이 완성한다. 이 제거공정은 실리콘 질화막이 에칭되는 조건에서의 에칭처리에 의해 행한다. 그 후의 공정은 실시의 형태 1과 동일하다.
- <317> 본 실시의 형태의 제조방법에 의하면, 유전율이 높은 실리콘 질화막이 중간층으로 이용되지 않고, 실리콘 질화막에 의한 배선간 용량의 증가가 발생하지 않는다. 이 결과 반도체 장치의 성능을 향상시킬 수 있다. 한편, 배선홈(44)의 형성은 마커층(58)을 이용하여 제어성 좋게 행할 수 있다.
- <318> (실시의 형태 10)
- <319> 도 41은 본 발명의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 일부 단면도이다. 도 41에서는 실시의 형태 1의 제5 배선층의 임의의 부분을 나타내고, 또한 배선부분과 그 하층의 층간접속배선의 부분을 나타내어 도면을 간략화하고 있다.
- <320> 우선, 도 41(a)에 나타내는 바와 같이 하층배선(33) 상에 절연막(34), 절연막(59, 59') 및 절연막(38)을 순차 형성한다. 절연막(34, 38)은 예컨대 실리콘 질화막으로 이루어지고, 절연막(59, 59')은 예컨대 실리콘 산화막으로 이루어진다. 절연막(59)에는 접속구멍이 형성되어 접속구멍내에는 층간접속배선이 형성된다. 즉, 절연막(59)은 층간절연막으로서 기능한다. 절연막(59')에는 배선홈이 형성되고, 배선홈 내에는 배선이 형성된다. 즉 절연막(59')은 선간절연막으로서 기능한다.
- <321> 또한, 절연막(59)에는 TEOS산화막을 이용할 수 있지만, 절연막(59')에는 예컨대 TEOS산화막에 대하여 에칭선택비를 가지는 재료를 이용하는 것이 가능하다. 예컨대 SOG(Spin On Glass)등이다. 이와 같이 절연막(59')으로서 절연막(59)에 대하여 에칭선택비를 가지는 재료를 이용하는 것에 의해, 홈패턴을 절연막(59')에 전사할 때, 절연막(59)을 에칭스토포퍼로서 이용할 수 있다. 게다가, 절연막(59')에는 유기 SOG, 플루오르를 함유한 SOG등 저유전을 재료를 이용할 수 있다. 이와 같이 저유전을 재료를 선간절연막(절연막(59'))에 이용함으로써, 동층 배선간의 선간용량을 저감할 수 있다. 한편, 배선층간의 선간용량은 절연막(59)의 막두께를 증가하는 것에 의해 저감할 수 있다. 또한, 절연막(59)의 막두께는 450nm로 하고, 절연막(59')의 막두께는 400nm로 한다.
- <322> 다음으로, 실시의 형태 1과 동일하게 레지스트막(39)을 이용하여 절연막(38)에 홈패턴(40)을 전사한다.
- <323> 다음에, 도 41(b)에 나타내는 바와 같이 절연막(38)의 홈패턴(40)을 매립하는 반사방지막(41)을 실시의 형태 1과 동일하게 형성하고, 게다가 구멍패턴(43)을 가지는 레지스트막(42)을 실시의 형태 1과 동일하게 형성한다.
- <324> 다음으로, 도 41(c)에 나타내는 바와 같이, 레지스트막(42)을 마스크로서, 절연막(59, 59')에 구멍패턴(43)을 전사한다. 이 전사공정은 우선, CHF<sub>3</sub> 및 C<sub>4</sub>F<sub>8</sub>의 혼합가스를 이용한 에칭에 의한 제1 처리와, C<sub>4</sub>F<sub>8</sub>가스를 이용한 에칭에 의한 제2 처리의 2단계의 에칭에 의해 행한다. 제1 처리의 에칭은 SOG가 에칭되지만 TEOS산화막이 에칭되기 어려운 조건이며, 절연막(59)(TEOS 산화막)의 상면에서 에칭이 스톱한다. 즉 절연막(59)을 제1 처리의 에칭스토포퍼로 이용한다. 이것에 의해 구멍패턴(43)의 깊이 조절을 용이하게 행하고, 깊이의 균일성을 향상할 수 있다. 한편, 제2 처리의 에칭은 TEOS산화막이 에칭되는 조건이며, 절연막(59)에도 구멍패턴(43)을 전사할 수 있다. 제2 처리에 의한 에칭깊이는 약 50nm로 한다.

- <325> 다음으로, 도 41(d)에 나타내는 바와 같이, 레지스트막(42) 및 반사방지막(41)을 제거한다. 제거방법은 실시의 형태 1과 동일하다.
- <326> 다음에, 도 41(e)에 나타내는 바와 같이, 홈패턴(40)을 가지는 절연막(38)을 마스크로서 홈패턴(40)을 절연막(59')에 전사한다. 전사는 SOG 및 TEOS 산화막(절연막(59, 59'))이 모두 에칭되는 조건(C4F8의 혼합가스를 이용한 에칭)에서 행한다. 이것에 의해 홈패턴(40)이 절연막(59')에 전사됨과 동시에, 구멍패턴(43)이 절연막(59)에 더욱 깊게 전사된다. 홈패턴(40)의 깊이는 에칭처리의 시간관리에 의해 제어한다. 또한, 구멍패턴(43)의 저부에는 절연막(34)이 형성되어 있으므로 다소의 오버에칭은 문제가 되지 않는다. 한편, 홈패턴(40)의 저부가 절연막(59)의 상면에 도달한 단계에서 구멍패턴(43)의 저부가 절연막(34)의 상면에 도달하고 있을 필요가 있다. 이 때문에, 상기 도 41(c)의 공정의 단계에서 충분히 깊은 구멍패턴(43)이 형성되어 있을 필요가 있다. 또한, 도 41(e)의 공정에서의 절연막(59')(SOG)과 절연막(59)(TEOS 산화막)과의 에칭속도의 상위는, 그것을 예상하여 상기 도 41(c)의 공정의 단계에서의 구멍패턴(43)의 깊이에 반영한다. 이와 같은 구멍패턴(43)의 깊이의 조정은 상기 제2 처리의 에칭에 의해 행할 수 있다.
- <327> 다음으로, 도 41(f)에 나타내는 바와 같이, 절연막(38) 및 구멍패턴(43) 저부의 절연막(34)이 제거되고, 배선홈(44) 및 접속구멍(45)이 완성한다. 이 제거공정은 실리콘 질화막이 에칭되는 조건에서의 에칭처리에 의해 행한다. 그후의 공정은 실시의 형태 1과 동일하다.
- <328> 본 실시의 형태의 제조방법에 의하면, 유전율이 높은 실리콘 질화막이 중간층에 이용되지 않고, 실리콘 질화막에 의한 배선간 용량의 증가가 발생하지 않는다. 또한, 절연막(59, 59')의 에칭속도의 상위를 이용하여 구멍패턴(43)의 깊이 및 홈패턴(40)의 깊이를 제어성 좋게 조정할 수 있다. 게다가, 선간절연막(절연막(59'))에 저유전율의 재료(유기 SOG, 플루오르 함유 SOG)등을 이용하여 배선간 용량을 저감하고, 반도체 장치의 성능을 향상할 수 있다.
- <329> 또한, 절연막(59)에 유기 SOG, 플루오르 함유의 SOG등 저유전율 재료를 이용하여, 절연막(59')에 TEOS산화막을 이용하여도 좋은 것은 물론이다.
- <330> (실시의 형태 11)
- <331> 도 42는 본 발명의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 일부 단면도이다. 도 42에서는 실시의 형태 1의 제5 배선층의 임의의 부분을 나타내고, 또 배선부분과 그 하층의 층간접속배선의 부분을 나타내어 도면을 간략화하고 있다.
- <332> 우선, 도 42(a)에 나타내는 바와 같이 하층배선(33) 상에 절연막(34 ~ 37), 하드마스크층(60), 전사마스크층(61)을 순차 형성한다. 절연막(34 ~ 37)은 실시의 형태 1과 동일하다. 하드마스크층(60)은 금속층이고 예컨대 텅스텐으로 이루어진다. 전사마스크층(61)은 예컨대 TEOS산화막이다. 하드마스크층(60) 및 전사마스크층(61)의 막두께는 각각 예컨대 200nm, 100nm이다. 하드마스크층(60)은 예컨대 스퍼터법에 의해, 또는 CVD법에 의해 형성할 수 있다.
- <333> 전사마스크층(61) 및 하드마스크층(60)은 실시의 형태 1에서의 절연막(38)과 동일하게 홈패턴(40)의 전사마스크로서 기능하는 것이다. 전사마스크로서는 패턴의 건부(drooping)를 방지하는 관점에서는 가능한 한 두꺼운 쪽이 좋다. 그렇지만, 지나치게 두꺼운 전사마스크를 이용하면, 반사방지막에 의한 매립이 충분하게 될 수 없고, 구멍패턴이 형성된 레지스트막을 형성할 때에 단차가 형성되어, 구멍패턴의 형성정밀도가 저하한다. 본 실시의 형태에서는 전사마스크층(61)과 하드마스크층(60)에 의해 홈패턴(40)의 형성시의 건부를 방지함과 동시에 전사마스크의 단차를 저감할 수 있다.
- <334> 다음으로, 실시의 형태 1과 동일하게 홈패턴(40)을 가지는 레지스트막(39)을 형성하고, 레지스트막(39)을 이용하여 전사마스크층(61)에 홈패턴(40)을 전사한다.
- <335> 다음에, 도 42(b)에 나타내는 바와 같이 전사마스크층(61)의 홈패턴(40)을 매립하는 반사방지막(41)을 실시의 형태 1과 동일하게 형성하고, 게다가 구멍패턴(43)을 가지는 레지스트막(42)을 실시의 형태 1과 동일하게 형성한다. 이 단계에서의 전사마스크층(61)의 단차는 기껏해야 100nm이므로 그 단차를 반사방지막(41)에 의해 충분하게 매립할 수 있다.
- <336> 다음으로, 도 42(c)에 나타내는 바와 같이 레지스트막(42)을 마스크로서 하드마스크층(60), 절연막(37, 36), 절연막(35)의 일부에 구멍패턴(43)을 전사한다. 구멍패턴(43)의 깊이는 에칭처리의 시간관리에 의해 제어한다.
- <337> 다음에, 도 42(d)에 나타내는 바와 같이 레지스트막(42) 및 반사방지막(41)을 제거한다. 제거방법은 실시의 형

태 1과 동일하다. 게다가 전사마스크층(61)을 마스크로 하여 하드마스크층(60)에 홈패턴(40)을 전사한다. 이 전사는 텅스텐이 선택적으로 에칭되는 조건에서 행한다.

<338> 다음으로, 도 42(e)에 나타내는 바와 같이 홈패턴(40)을 가지는 전사마스크층(61) 및 하드마스크층(60)을 마스크로서 홈패턴(40)을 절연막(37)에 전사한다. 전사는 실리콘산화막이 에칭되는 조건에서의 에칭처리에 의해 행한다. 이 에칭에 의해 전사마스크층(61)이 에칭되어 제거되지만, 하드마스크층(60)이 존재하므로, 홈패턴(40)은 정확하게 전사된다. 에칭조건은 실시의 형태 1과 동일하다. 홈패턴(40)의 깊이는 절연막(36)을 에칭스토퍼로서 기능시키는 것에 의해 제어할 수 있다. 또한, 본 실시의 형태에서는 절연막(36)은 특히 필요하지 않다. 이 경우, 홈패턴(40)의 깊이는 본 공정의 에칭처리의 시간관리에 의해 제어할 수 있다. 이 에칭처리시, 미리 절연막(36)을 관통하여 절연막(35)의 일부에 구멍패턴(43)이 전사되어 있으므로, 이 구멍패턴(43)의 영역도 동시에 에칭되고, 구멍패턴(43)의 저부가 절연막(34)에 도달하는 것은 실시의 형태 1과 동일하다.

<339> 다음으로, 도 42(f)에 나타내는 바와 같이 홈패턴(40) 저부의 절연막(36), 구멍패턴(43) 저부의 절연막(34)이 제거되고, 배선홈(44) 및 접속구멍(45)이 완성한다. 이 제거공정은 실리콘 질화막이 에칭되는 조건에서의 에칭처리에 의해 행한다. 그후의 공정은 실시의 형태 1과 동일하다.

<340> 또한, 본 실시의 형태에서는 하드마스크층(60)은 이 단계에서는 제거되지 않고 절연막(37) 상에 잔존시킨다. 하드마스크층(60)은 금속막으로 구성되므로, 배선으로 되는 도금층의 형성공정에 있어서 기판표면의 도전율을 저하하고, 도금층의 형성을 용이하게 행할 수 있다. 이 경우, 배선형성을 위한 CMP 연마공정에 있어서 하드마스크층(60)이 제거되는 것은 말할 것도 없다.

<341> 본 실시의 형태의 제조방법에 의하면, 하드마스크층(60)을 이용하여 배선의 홈패턴(40)을 형성하므로, 홈패턴(40)의 가공정밀도를 향상할 수 있다. 한편, 하드마스크층(60)으로의 홈패턴(40)의 전사는 전사마스크층(61)을 이용하여 행하므로, 구멍패턴(43)을 가지는 레지스트막(42)의 형성을 고정밀도로 행할 수 있다.

<342> 또한, 하드마스크층(60)과 전사마스크층(61)과의 순서를 교체하여 형성하여도 좋다. 즉, 홈패턴(40)의 절연막(37)으로의 전사시에 하드마스크층(60) 및 전사마스크층(61)이 토탈로서 마스크로서 기능하면 충분하며, 그 형성순서는 문제가 아니다.

<343> (실시의 형태 12)

<344> 도 43은 본 발명의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 일부 단면도이다. 도 43에서는 실시의 형태 1의 제5 배선층의 임의의 부분을 나타내고, 또한 배선부분과 그 하층의 층간접속배선의 부분을 나타내어 도면을 간략화하고 있다.

<345> 우선, 도 43(a)에 나타내는 바와 같이 하층배선(33) 상에 절연막(34, 35)을 순차 형성하는, 절연막(34, 35)은 실시의 형태 6과 동일하다. 다음으로, 절연막(35) 상에 레지스트막(62)을 형성한다. 레지스트막(62)에는 홈패턴(40)을 형성한다. 이와 같이, 본 실시의 형태에서는 절연막(38)에 상당하는 막을 형성하지 않고, 레지스트막에 의해 직접 홈패턴을 형성한다. 또한, 레지스트막(62)의 재료로는 예컨대 감광성 폴리이미드를 이용할 수 있다. 이와 같이 감광성 폴리이미드를 이용함으로써, 다음 공정에서 설명하는 구멍패턴용의 레지스트막에 대하여 에칭선택비를 갖게 할 수 있어, 구멍패턴용 레지스트막을 레지스트막(62)에 대하여 선택적으로 제거할 수 있다.

<346> 다음에, 도 43(b)에 나타내는 바와 같이 레지스트막(62) 상에 구멍패턴(43)을 가지는 레지스트막(63)을 형성한다. 레지스트막(63)은 통상의 레지스트막(예컨대 노볼락계 포토레지스트막)을 이용한다.

<347> 다음으로, 도 43(c)에 나타내는 바와 같이, 레지스트막(63)을 마스크로서, 절연막(35)에 구멍패턴(43)을 전사한다. 구멍패턴(43)의 절연막(35)에서의 깊이는 500nm로 한다. 구멍패턴(43)의 깊이제어는 에칭처리시간의 관리에 의해 행한다.

<348> 다음에, 도 43(d)에 나타내는 바와 같이, 레지스트막(63)을 제거한다. 제거방법은 예컨대 산소플라즈마의 애싱법을 이용한다. 산소플라즈마 애싱에 의하면 폴리이미드계 레지스트막에는 내(耐)애싱성이 있으므로, 레지스트막(62)을 잔존시키고, 레지스트막(63)만을 제거하는 것이 가능하다.

<349> 다음으로, 도 43(e)에 나타내는 바와 같이 홈패턴(40)을 가지는 레지스트막(62)을 마스크로서 홈패턴(40)을 절연막(35)에 전사한다. 전사는 실리콘 산화막이 에칭되는 조건에서의 에칭처리에 의해 행한다. 에칭조건은 실시의 형태 1과 동일하다. 홈패턴(40)의 깊이는 400nm로 하고, 그 깊이 제어는 에칭처리시간의 시간관리에 의해 행한다.

- <350> 이 에칭처리시, 미리 절연막(35)에 구멍패턴(43)이 전사되어 있으므로, 이 구멍패턴(43)의 영역도 동시에 에칭되며, 홈패턴(40)이 400nm의 깊이로 에칭된 단계에서 구멍패턴(43)의 저부는 절연막(34)에 도달한다. 이 점은 실시의 형태 6과 동일하다.
- <351> 다음으로, 도 43(f)에 나타내는 바와 같이, 레지스트막(62)을 제거한다. 레지스트막(62)의 제거에는 에컨대 초(酢)산부틸을 용제로 하는 웨트에칭에 의해 행한다. 게다가, 구멍패턴(43) 저부의 절연막(34)을 제거한다. 이것에 의해 배선홈(44) 및 접속구멍(45)이 완성한다. 이 제거공정은 실리콘 질화막이 에칭되는 조건에서의 에칭처리에 의해 행한다. 그후의 공정은 실시의 형태 1과 동일하다.
- <352> (실시의 형태 13)
- <353> 도 44(a)는 본 발명의 반도체 장치의 제조방법의 일예를 나타낸 단면도이고, 실시의 형태 1에서의 구멍패턴(43)형성용의 레지스트막(42)의 노광방법을 나타낸 단면도이다.
- <354> 실시의 형태 1의 도 11에서 레지스트막(42)을 도포형성한 후, 도 12에 나타내는 바와 같이 포토리소그라피를 이용하여 구멍패턴(43)을 형성하지만, 이 단계를 보다 상세하게 나타낸 것이 도 44(a)이다.
- <355> 도 44(a)에 있어서, 제4 배선층의 배선(33)과 동층에 형성되어 있는 것은 제4 배선층의 마커(64)이다. 또한, 레지스트막(42) 상에 형성되어 있는 것은 구멍패턴의 마스크(65)이며, 마스크(65)에는 구멍패턴(43)과 함께 마스크(65)의 마커(66)도 설치되어 있다.
- <356> 여기서, 마스크(65)를 이용하여 레지스트막(42)을 노광하지만, 마스크(65)의 얼라인먼트(마스크 맞춤)은 제4 배선층(하층배선)의 마커(64)를 기준으로 행한다. 즉, 제4 배선층의 마커(64)와 마스크(65)의 마커(66)가 일치하도록 마스크(65)의 얼라인먼트를 행하고, 그후 마스크(65)의 상면에서 노광광을 조사하여 레지스트막(42)을 감광시킨다. 감광부(67)는 그후의 화학적처리에 의해 제거되어 구멍패턴(43)이 도 12에 나타내는 바와 같이 형성된다.
- <357> 이와 같은 제조방법에 의해 구멍패턴(43)의 얼라인먼트를 용이하게, 또 정확하게 행할 수 있다. 즉, 실시의 형태 1에서 설명한 바와 같이, 홈패턴(40)은 절연막(38)에 형성되지만, 이 홈패턴(40)을 기준으로 구멍패턴(43)을 형성하면 마스크맞춤이 곤란하게 된다. 즉, 절연막(38)의 막두께는 기껏해야 100nm로 얇고, 또 절연막(38)은 일반적으로 가시광에 대하여 투명하므로, 절연막(38)에 마커를 설치하여도 그 마커의 검출은 곤란하다. 설령 검출하였다고 해도 절연막(38)의 마커의 판독은 곤란하므로 그것을 기준으로 마스크(65)의 마커를 맞추는 것은 어렵다. 한편, 배선(33)의 마커(64)는 금속으로 구성되므로, 마스크얼라이너(mask aligner)에 위한 판독은 용이하고, 마스크맞춤도 정확하게 행해진다. 또, 구멍패턴(43)을 하층배선의 마커(64)를 기준으로 형성하는 것에 의해, 하층배선(33)과 접속구멍(45)과의 어긋남을 최소한으로 억제할 수 있어, 확실한 상하배선간의 콘택트를 실현할 수 있다. 다른 한편, 홈패턴(40)은 하층배선의 마커(64)를 기준으로 형성되지만, 구멍패턴(43)에 대하여 마스크어긋남이 발생하여도 특히 문제가 발생하지 않는 것은 상기한 바와 같다. 따라서, 본 실시의 형태에 의하면, 상기한 바와 같이 구멍패턴(43)의 얼라인먼트를 용이하게, 또 정확하게 행할 수 있다.
- <358> 또한, 도 44(b)에 나타내는 바와 같이, 절연막(38)에도 마커(68)를 설치하고, 이 마커(68)와 마커(64)와의 중앙에 마스크(65)의 마커(66)를 맞추어 얼라인먼트를 행할 수 있다. 이와 같이 하여 마스크(65)의 얼라인먼트를 용이하게 행할 수 있고, 또 절연막(38)의 마커(68)의 판독오차를 최소한으로 억제할 수 있다.
- <359> (실시에 14)
- <360> 도 45는 본 발명의 또다른 실시의 형태를 나타낸 평면도 및 단면도이다. 본 실시의 형태에서는 실시의 형태 2에서의 구멍패턴(43)의 형상을 그 배선홈 방향(x방향)에 수직한 방향(y방향)의 길이(치수)를 홈패턴(40)의 폭보다도 크게 한 경우에 대하여 설명한다. 즉, 도 45(a)의 평면도에 나타내는 바와 같이 구멍패턴(43)의 y방향의 길이(Ly)를 배선홈(홈패턴(40))의 폭(Lw)보다 크게 한 경우이다. 구멍패턴(43)의 y방향의 길이(Ly)는 에컨대 폭(Lw) + 맞춤여유로 구성된다. 이와 같은 경우, 실시의 형태 2의 제조방법에 의하면, 구멍패턴(43)의 y방향에서의 에칭단부는 홈패턴(40)으로 규정되고, 즉 홈패턴(40)에 자기정합적으로 형성되어, 구멍패턴(43)의 개구지름이 구멍지름(Lw)보다 축소되지 않는다. 한편, 구멍패턴(43)의 y 방향의 치수는 홈패턴(40)으로 규정되므로, 홈패턴(40)의 폭(Lw)보다 크게 형성되지 않는다. 그 결과, 층간접속배선(50)의 단면적( $Lw \times Lx$ )을 확보하여 그 저항을 저감하고, 동시에 배선간의 치수를 최소로 할 수 있어, 반도체 장치의 고성능화, 고집적화와 고신뢰화에 기여할 수 있다.
- <361> 다음으로, 단면도(b1, c1 ~ b3, c3)에 따라 설명한다. 또한, 도 45(b1) ~ (b3)는 도 45(a)에서의 b-b'선 단

면도를 나타내고, 도 45(c1) ~ (c3)는 도 45(a)에서의 c - c'선단면도를 나타낸다.

- <362> 우선, 도 45(b1), (c1)에 나타내는 바와 같이, 하층배선(33) 상에 실시의 형태 6과 동일한 절연막(34, 35) 및 절연막(38)을 순차 형성하고, 실시의 형태 1과 동일하게 절연막(38)에 홈패턴(40)을 전사한다. 그 후, 절연막(38)의 홈패턴(40)을 매립하는 반사방지막(41)을 실시의 형태 1과 동일하게 형성하고, 게다가 구멍패턴(43)을 가지는 레지스트막(42)을 실시의 형태 1과 동일하게 형성한다. 이 때, 도 45(c1)에 나타내는 바와 같이, c - c'선 방향(y방향)에 있어서는 구멍패턴(43)은 홈패턴(40)보다도 넓게 형성된다.
- <363> 다음으로, 도 45(b2), (c2)에 나타내는 바와 같이, 레지스트막(42)을 마스크로서, 절연막(35)에 구멍패턴(43)을 전사한다. 전사는 실시의 형태 2에서와 마찬가지로 실리콘 산화막이 에칭되지만, 실리콘 질화막이 에칭되기 어려운 조건에서 에칭처리함으로써 행한다. 따라서, 도 45(c2)에 나타내는 바와 같이 y방향에서는 구멍패턴(43)은 홈패턴(40)에 대하여 자기정합적으로 형성되고, 레지스트막(42)의 구멍패턴(43)에 걸리는 절연막(38)은 그 일부가 에칭되는 것만으로 절연막(38) 하부의 절연막(35)은 에칭되지 않는다.
- <364> 또한, 구멍패턴(43)의 절연막(35)에서의 깊이는 500nm로 하고, 그 깊이제어는 에칭처리시간의 관리에 의해 행한다.
- <365> 다음으로, 레지스트막(42) 및 반사방지막(41)을 제거한다. 제거방법은 실시의 형태 1과 동일하다.
- <366> 다음에, 도 45(b3), (c3)에 나타내는 바와 같이 절연막(홈패턴(40))을 마스크로 하여, 절연막(35)에 에칭처리를 행한다. 이것에 의해 홈패턴(40)을 절연막(35)에 전사한다. 전사는 실리콘 산화막이 에칭되는 조건에서의 에칭 처리에 의해 행한다. 에칭조건은 실시의 형태 1과 동일하다. 이것에 의해 접속구멍(45)의 치수(Lw)를 실질적으로 배선(44)의 폭(Lw)과 동일하게 할 수 있다. 홈패턴(40)의 깊이는 400nm로 하고, 그 깊이제어는 에칭처리시간의 시간관리에 의해 행한다. 이 에칭처리 시, 미리 절연막(35)에 구멍패턴(43)이 전사되어 있으므로, 이 구멍패턴(43)의 영역도 동시에 에칭되고, 홈패턴(40)이 400nm의 깊이로 에칭된 단계에서, 구멍패턴(43)의 저부는 절연막(34)에 도달하는 것은 실시의 형태 1과 동일하다. 그 후의 공정은 실시의 형태 1과 동일하다. 이것에 의해 실시의 형태 1과 마찬가지로, 배선(44), 접속구멍(45)이 형성되고, 그곳에 배선(49)(층간접속배선(50))이 형성된다.
- <367> 본 실시의 형태의 제조방법에 의하면, 레지스트막(42)의 구멍패턴(43)을 넓게 형성하고, 또한 절연막(38)(홈패턴(40))에 대하여 자기정합적으로 구멍패턴을 형성하므로, 구멍패턴(43)과 홈패턴(40)과의 마스크맞춤에 어긋남이 발생하여도 y방향에 있어서는 그 어긋남을 흡수할 수 있다. 또한, y방향으로 어긋남이 발생하여도 접속구멍이 걸리지 않고, 그 단면적(구멍지름)을 설계대로 구멍지름(Lw)으로 확보할 수 있다. 즉, 접속구멍(45)의 치수(Lw)를 실질적으로 배선(44)의 폭(Lw)과 동일하게 할 수 있다. 이것에 의해 배선(49)의 저항을 저감할 수 있고, 층간배선접속의 신뢰성을 향상하고, 반도체 장치의 성능, 신뢰성의 향상에 기여할 수 있다. 또, 구멍패턴(43)의 y방향에서의 폭(Ly)을 배선평의 폭(Lw)보다 크게 형성해도 절연막(35)에 형성되는 구멍패턴(43)의 y방향의 폭은 배선평(Lw)에 의해 규정되며, 그보다 크게 형성되지 않는다. 이 때문에 배선간격을 설계의 최소한으로 설정할 수 있어, 배선밀도의 향상을 도모하고, 반도체 장치의 고집적화에 기여할 수 있다.
- <368> 또한, 도 46(a)에 본 실시의 형태에 의해 형성되는 배선(49a)의 평면패턴을 나타낸다. 도 46(b)는 (a)에서의 G-H선 단면도를 나타낸다. 도시하는 바와 같이 배선(49a)의 패턴과 구멍패턴(43)의 중복부분에 접속구멍(사선의 해칭을 행한 부분)이 형성된다. 형성되는 접속구멍의 구멍지름은 배선(49a)의 폭(W)과 동일하고, 접속구멍 부분의 저항을 낮게 할 수 있다.
- <369> 이상, 본 발명자에 의해 이루어진 발명을 발명의 실시의 형태에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시의 형태에 한정되는 것은 아니며, 그 요지를 일탈하지 않는 범위에서 여러가지로 변경가능한 것은 말할 것도 없다.
- <370> 예컨대, 상기 실시의 형태는 그 취지를 일탈하지 않는 범위에서 서로 조합하여 적용할 수 있다. 예컨대 실시의 형태 4, 5에서 설명한 건부의 라운딩(shoulders)을 실시의 형태 11을 제외한 다른 실시의 형태에 적용할 수 있다.
- <371> 또, 상기 실시의 형태 중 절연막(38)을 가지는 것에 대해서는 절연막(38)으로서 실리콘 질화막을 예시하였지만, 하층의 실리콘 산화막과 에칭선택비를 가지는 한 다른 재료를 이용하여도 좋다. 예컨대 텅스텐, 질화티탄(TiN), 알루미늄(Al), 탄탈(Ta), 몰리브덴(Mo), 또는 이들의 질화물 등을 이용하여도 좋다.

- <372> 본원에서 개시된 발명중, 대표적인 것에 의해 얻어지는 효과를 간단하게 설명하면 이하와 같다.
- <373> 즉, 미세한 듀얼대머신 홈의 형성에 있어서도 접속구멍 내로의 이물의 잔류를 회피하고, 배선접속의 신뢰성 및 반도체 장치 성능의 향상을 도모할 수 있다.
- <374> 또한, 접속구멍의 가공면적을 확보하여, 배선층간의 접속저항을 저감할 수 있는 기술을 제공할 수 있어, 반도체 장치의 성능 향상을 도모할 수 있다.
- <375> 또, 배선간의 용량을 저감하고, 반도체 장치의 성능향상이 도모된다.

### 도면의 간단한 설명

- <1> 도 1은 본 발명의 일실시의 형태(실시의 형태 1)인 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <2> 도 2는 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <3> 도 3은 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <4> 도 4는 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <5> 도 5는 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <6> 도 6은 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <7> 도 7은 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <8> 도 8은 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <9> 도 9는 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <10> 도 10은 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <11> 도 11은 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <12> 도 12는 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <13> 도 13(a)는 실시의 형태 1의 배선판턴과 구멍패턴과의 겹치는 상태를 나타낸 평면도이고, 도 13(b)는 비교를 위해 나타낸 독본을 가지는 경우의 평면도이며, 도 13(c)는 실시의 형태 1의 배선판턴과 구멍패턴의 다른 예를 나타낸 평면도,
- <14> 도 14는 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <15> 도 15는 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <16> 도 16은 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <17> 도 17은 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <18> 도 18은 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <19> 도 19는 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <20> 도 20은 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <21> 도 21은 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <22> 도 22는 실시의 형태 1의 반도체 장치의 제조방법의 일예를 공정순으로 나타낸 단면도,
- <23> 도 23(a)는 실시의 형태 1의 반도체 장치의 배선판턴을 나타낸 평면도이고, 도 23(b) 및 도 23(c)는 (a)의 단면도,
- <24> 도 24는 비교를 위해 나타낸 반도체 장치의 배선판턴을 나타낸 평면도 및 단면도,
- <25> 도 25는 실시의 형태 1의 반도체 장치의 제조방법의 다른 예를 공정순으로 나타낸 단면도,

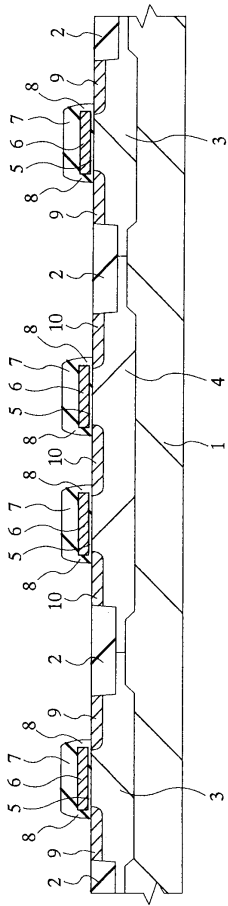
- <26> 도 26은 실시의 형태 1의 반도체 장치의 제조방법의 다른 예를 공정순으로 나타낸 단면도,
- <27> 도 27은 실시의 형태 1의 반도체 장치의 제조방법의 또다른 예를 공정순으로 나타낸 단면도,
- <28> 도 28은 실시의 형태 1의 반도체 장치의 제조방법의 또다른 예를 공정순으로 나타낸 단면도,
- <29> 도 29는 실시의 형태 1의 반도체 장치의 제조방법의 또다른 예를 공정순으로 나타낸 단면도,
- <30> 도 30(a) ~ (c)는 본 발명의 다른 실시의 형태(실시의 형태 2)인 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도,
- <31> 도 31(d) ~ (e)는 실시의 형태 2의 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도,
- <32> 도 32(a) ~ (c)는 본 발명의 또다른 실시의 형태(실시의 형태 3)인 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도,
- <33> 도 33(d) ~ (e)는 실시의 형태 3의 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도,
- <34> 도 34(a) ~ (d)는 본 발명의 또다른 실시의 형태(실시의 형태 4)인 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도,
- <35> 도 35(e) ~ (g)는 실시의 형태 4의 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도,
- <36> 도 36(a) ~ (d)는 본 발명의 또다른 실시의 형태(실시의 형태 5)인 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도,
- <37> 도 37(a) ~ (f)는 본 발명의 또다른 실시의 형태(실시의 형태 6)인 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도,
- <38> 도 38(a) ~ (f)는 본 발명의 또다른 실시의 형태(실시의 형태 7)인 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도,
- <39> 도 39(a) ~ (f)는 본 발명의 또다른 실시의 형태(실시의 형태 8)인 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도,
- <40> 도 40(a) ~ (f)는 본 발명의 또다른 실시의 형태(실시의 형태 9)인 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도,
- <41> 도 41(a) ~ (f)는 본 발명의 또다른 실시의 형태(실시의 형태 10)인 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도,
- <42> 도 42(a) ~ (f)는 본 발명의 또다른 실시의 형태(실시의 형태 11)인 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도,
- <43> 도 43(a) ~ (f)는 본 발명의 또다른 실시의 형태(실시의 형태 12)인 반도체 장치의 제조방법을 그 공정순으로 나타낸 일부 단면도,
- <44> 도 44(a) 및 (b)는 본 발명의 또다른 실시의 형태(실시의 형태 13)인 반도체 장치의 제조방법을 나타낸 일부 단면도,
- <45> 도 45(a), (b1) ~ (b3), (c1) ~ (c3)는 본 발명의 또다른 실시의 형태(실시의 형태 14)인 반도체 장치의 제조방법을 그 공정순으로 나타낸 평면도 및 일부 단면도,
- <46> 도 46은 실시의 형태 14의 반도체 장치의 배선패턴을 나타낸 평면도이다.
- <47> (부호의 설명)
- <48> 1 . . . 반도체 기관,                      2 . . . 소자분리영역
- <49> 3 . . . p웰,                                4 . . . n웰
- <50> 5 . . . 게이트절연막,                    6 . . . 게이트전극
- <51> 7 . . . 캡절연막,                        8 . . . 사이드월 스페이서

<52>	9 . . . n형 반도체 영역,	10 . . . p형 반도체 영역
<53>	11 . . . 제1 층간절연막,	12 . . . 접속구멍
<54>	13 . . . 플러그,	14 . . . 배선
<55>	15 . . . 제2 층간절연막,	16 . . . 접속구멍
<56>	17 . . . 플러그,	18 . . . 스톱퍼 절연막
<57>	19 . . . 절연막,	20 . . . 배선흘
<58>	21 . . . 배선,	22 . . . 스톱퍼 절연막
<59>	23 . . . 층간절연막,	24 . . . 스톱퍼 절연막
<60>	25 . . . 절연막,	26 . . . 배선흘
<61>	27 . . . 접속구멍,	28 . . . 배선
<62>	29 . . . 스톱퍼 절연막,	30 . . . 층간 절연막
<63>	31 . . . 스톱퍼 절연막,	32 . . . 절연막
<64>	33 . . . 배선,	34 . . . 절연막
<65>	35 . . . 절연막,	35' . . . 절연막(실리콘 산화막)
<66>	36 . . . 절연막(실리콘 질화막)	
<67>	37 . . . 절연막,	37' . . . 절연막(실리콘 산화막)
<68>	38 . . . 절연막(실리콘 질화막)	
<69>	39 . . . 레지스트막,	40a, 40b . . . 홈패턴
<70>	41 . . . 반사방지막,	42 . . . 레지스트막
<71>	43, 43a, 43b . . . 구멍패턴,	44a, 44b . . . 배선흘,
<72>	45 . . . 접속구멍,	46 . . . 배리어 메탈층
<73>	47 . . . 시드층,	48 . . . 도금층
<74>	49a, 49b . . . 배선,	50a, 50b . . . 층간접속배선
<75>	51 . . . 배선패턴,	52a, 52b . . . 구멍패턴
<76>	53 . . . 레지스트막,	54 . . . 견부(肩部)
<77>	55 . . . 견부,	56 . . . 단부
<78>	57 . . . 견부,	58 . . . 마커층
<79>	59 . . . 절연막,	59' . . . 절연막(실리콘 산화막)
<80>	60 . . . 하드마스크층,	61 . . . 전사마스크층
<81>	62 . . . 레지스트막,	63 . . . 레지스트막
<82>	64 . . . 마커,	65 . . . 마스크
<83>	66 . . . 마커,	67 . . . 감광부
<84>	68 . . . 마커,	
<85>	D . . . 독본영역,	G . . . 배선흘,
<86>	Lw . . . 폭(배선펑),	Ly . . . 폭,
<87>	Qn . . . n채널 MISFET,	Qp . . . p채널 MISFET

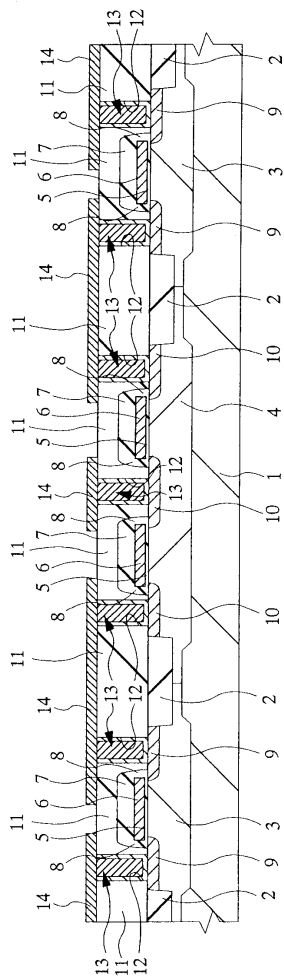
- <88> S . . . 단차,
- <89> d<sub>II</sub> . . . 구멍지름, d<sub>L</sub> . . . 패턴폭

도면

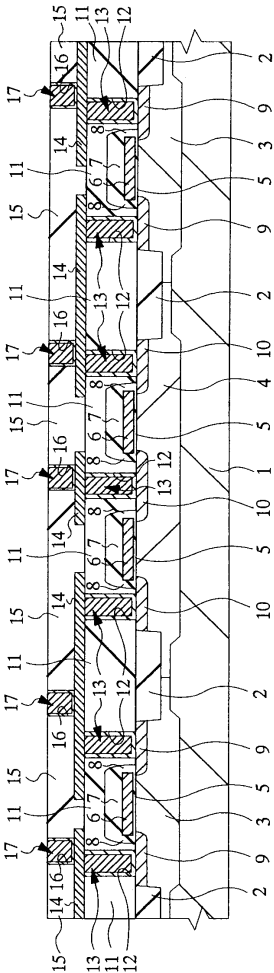
도면1



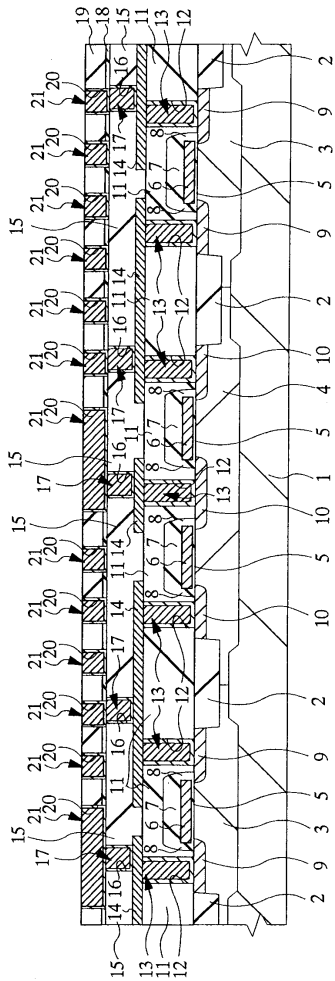
도면2



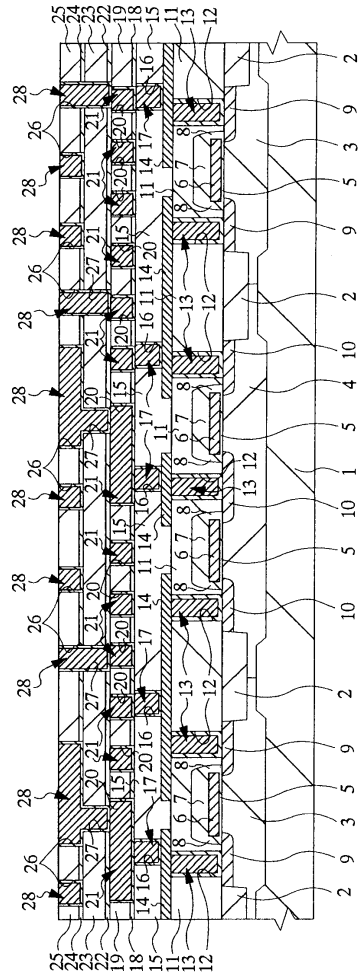
도면3



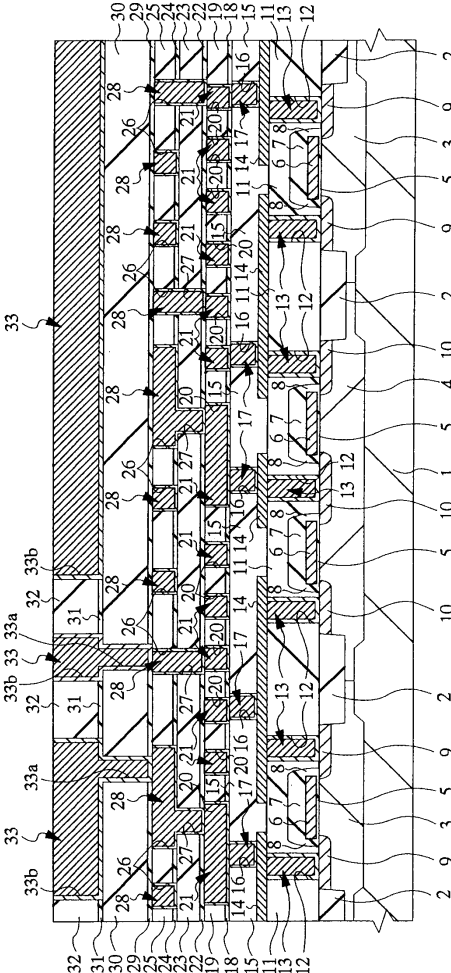
도면4



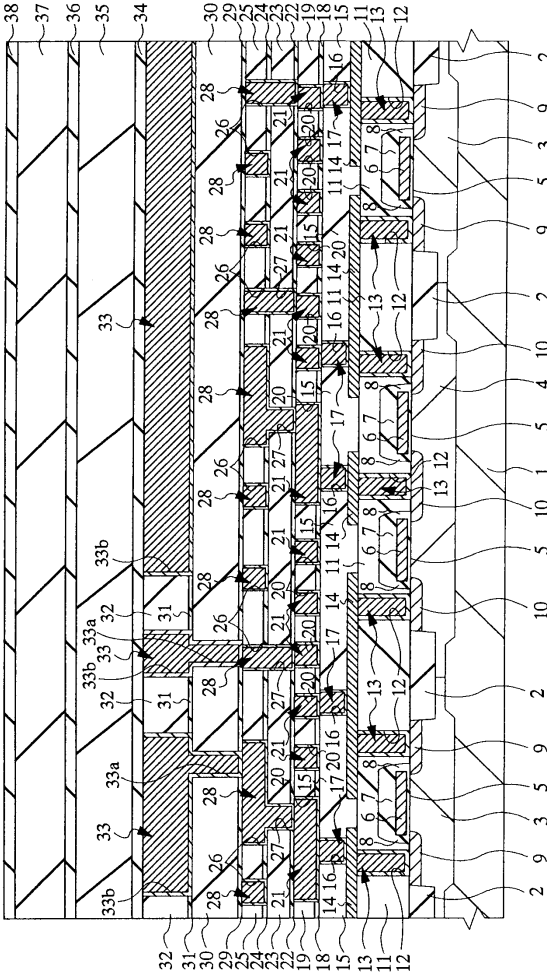
도면5



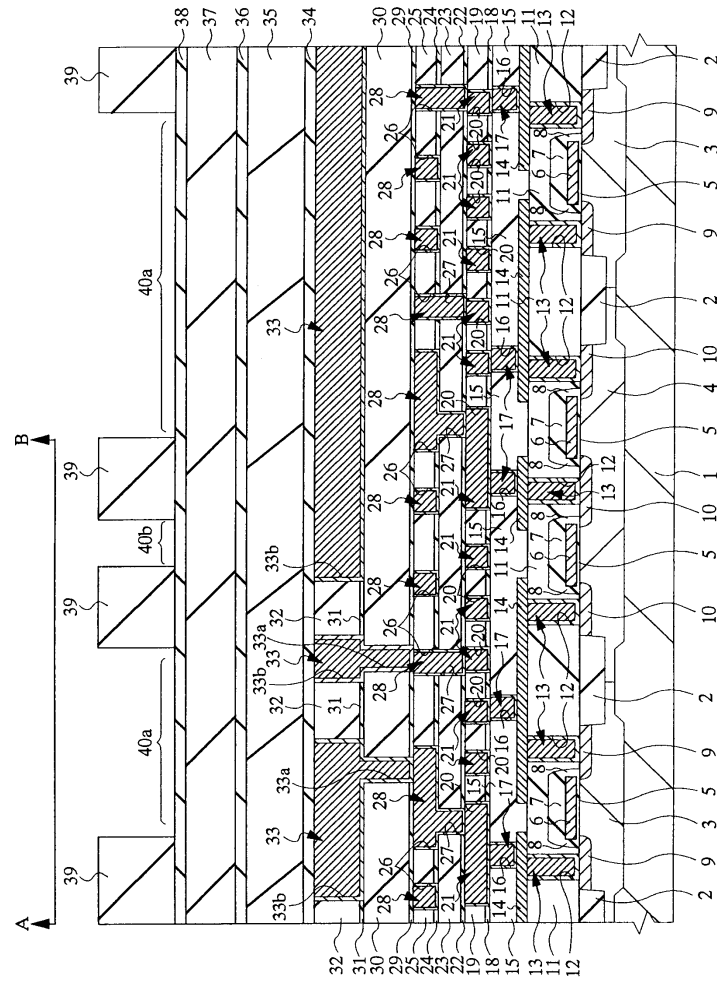
도면6



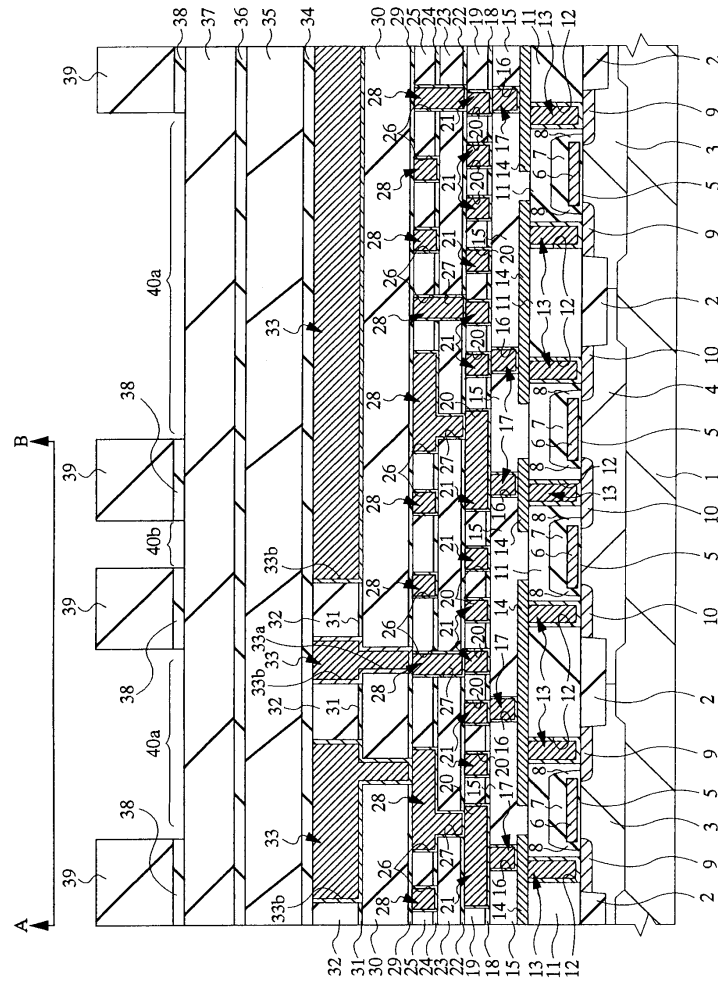
도면7



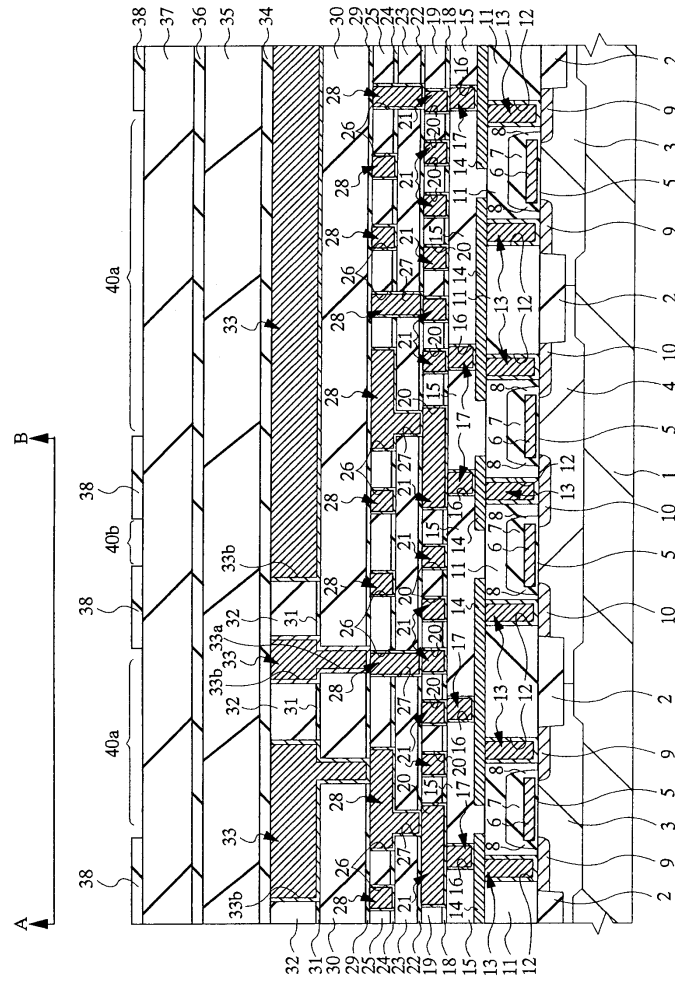
도면8



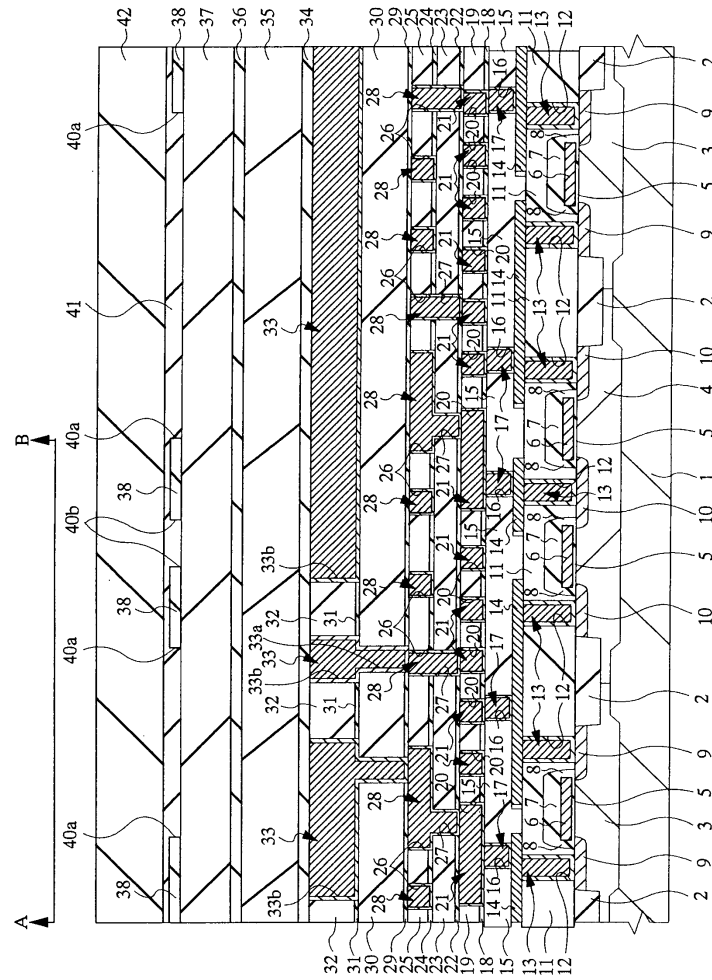
도면9



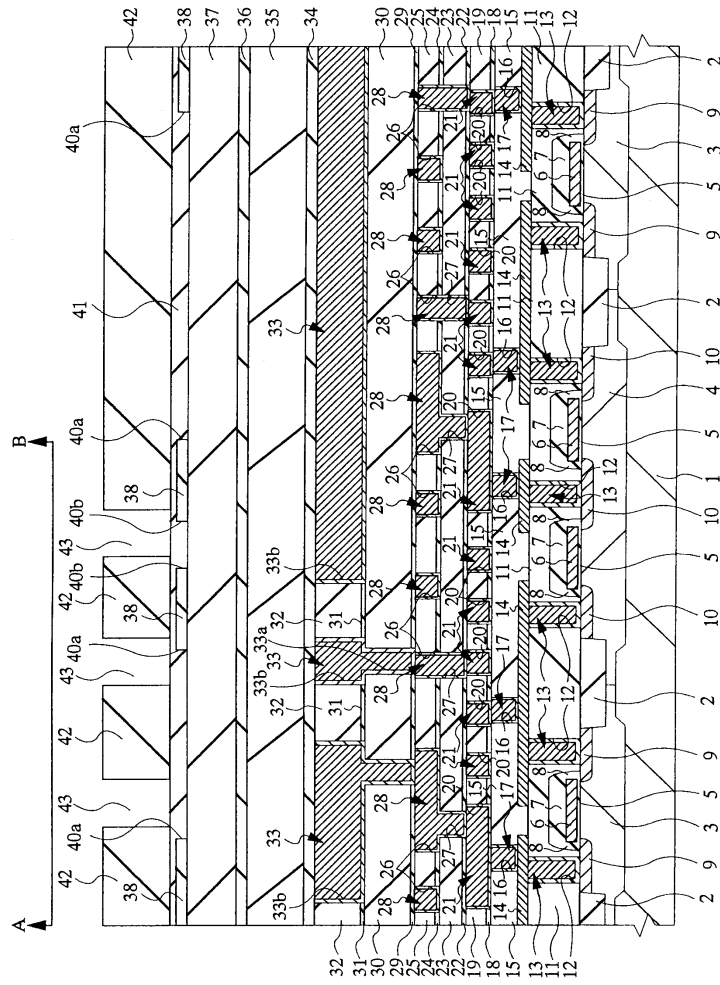
도면10



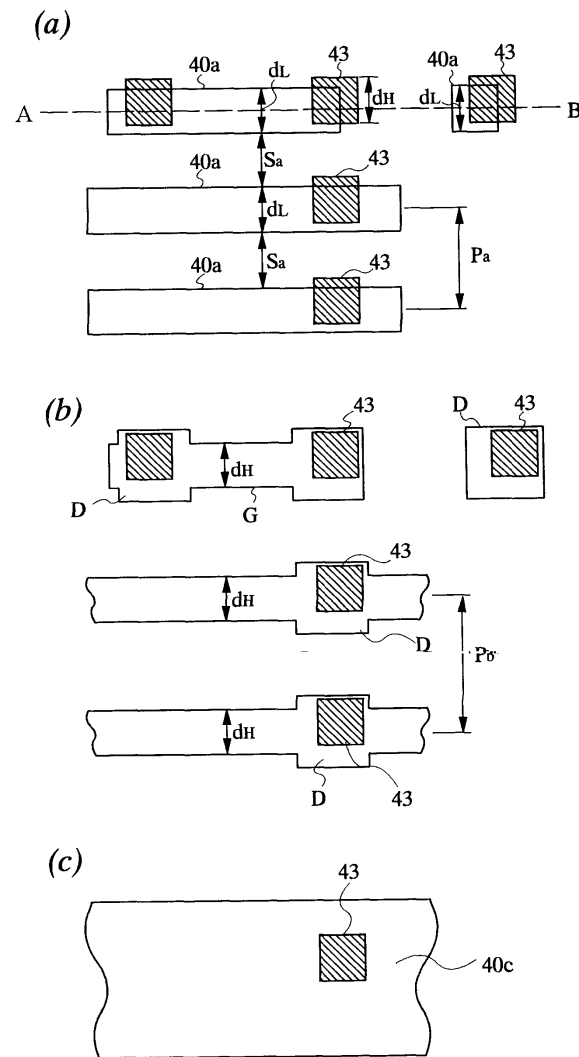
도면11



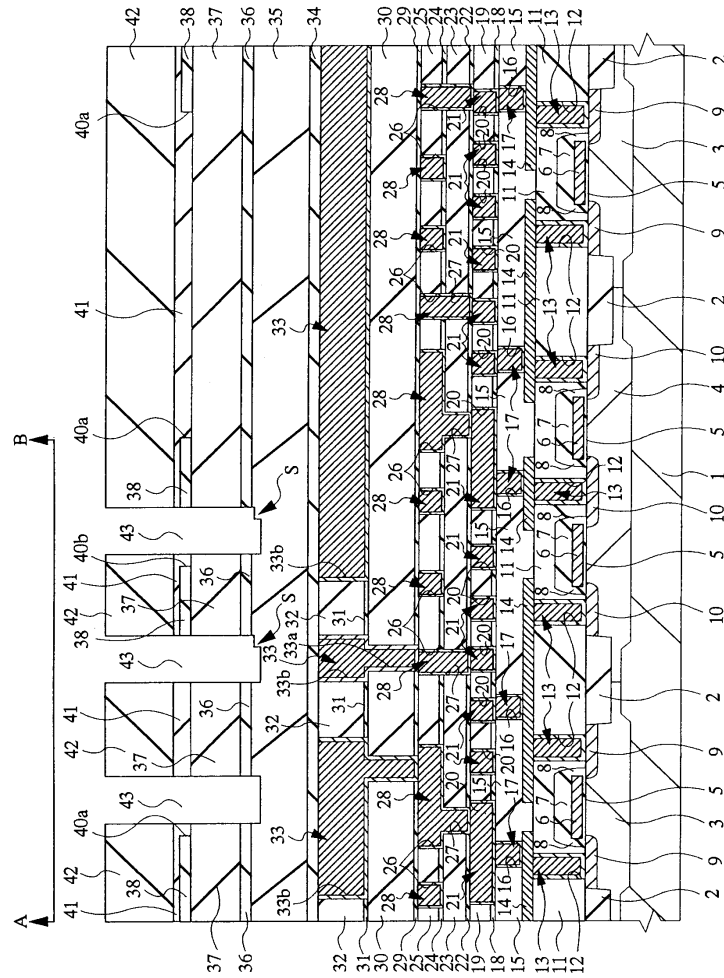
도면12



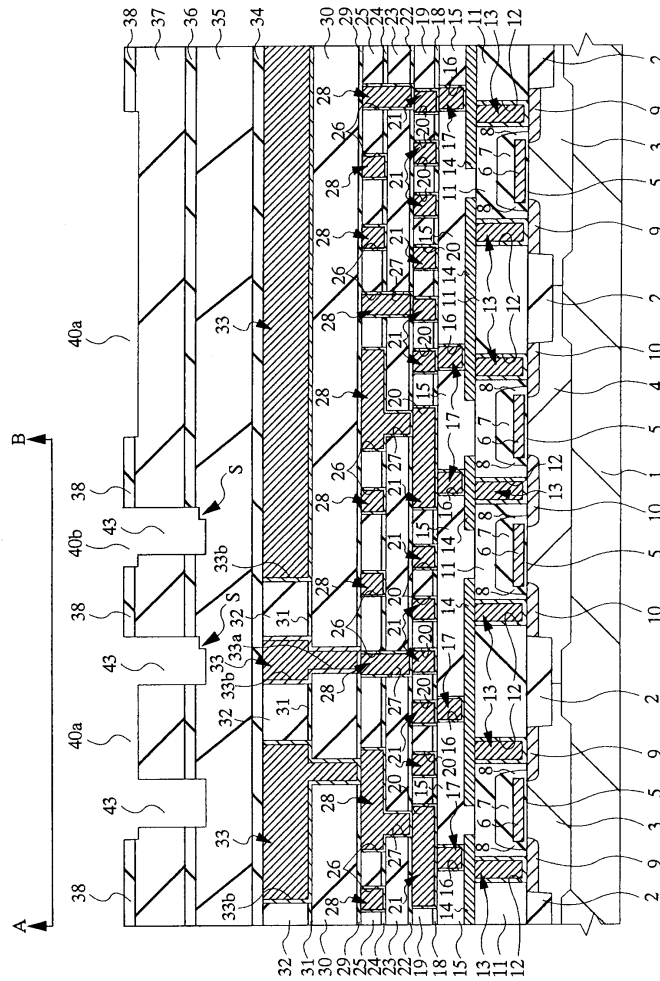
도면13



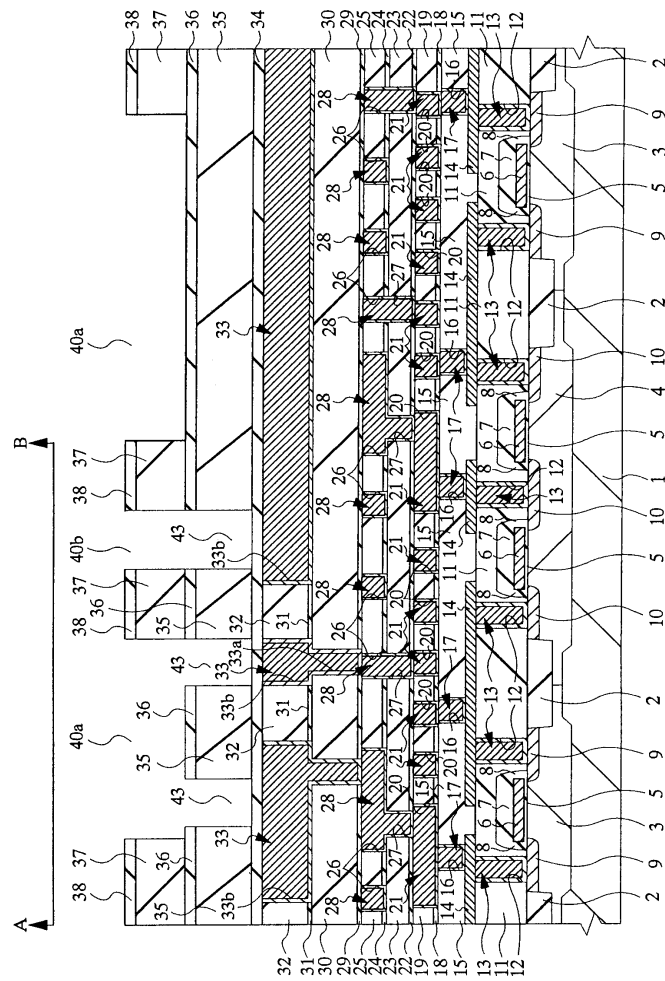
도면14



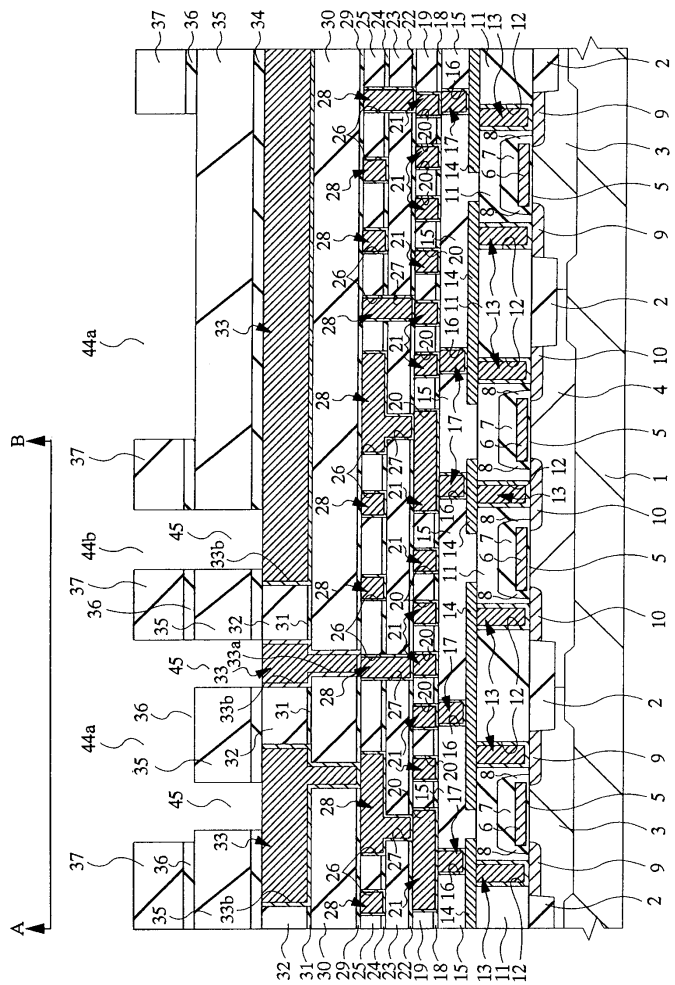
도면15



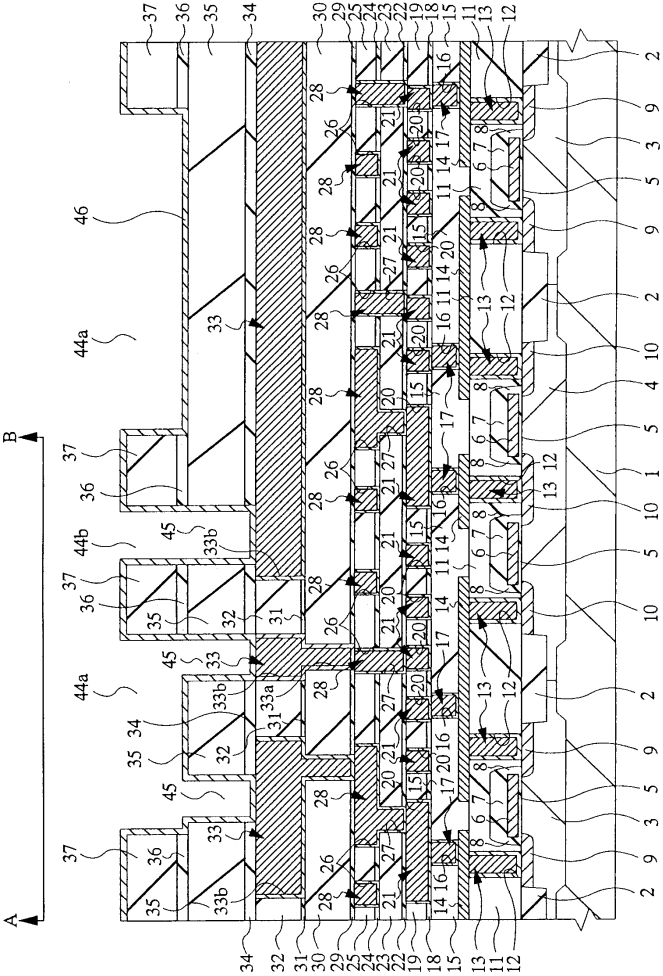
도면16



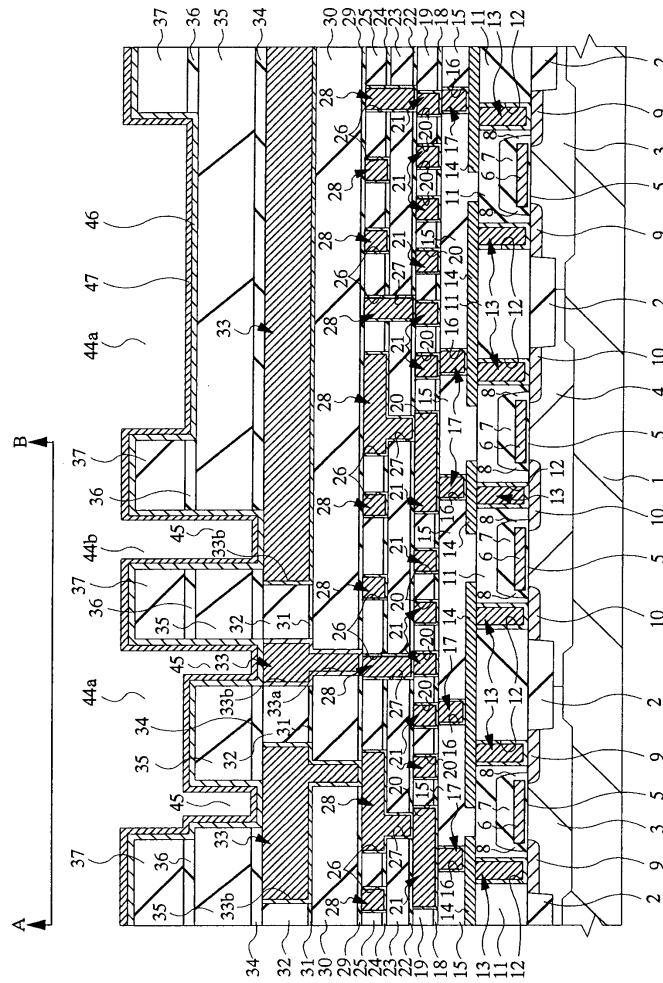
도면17



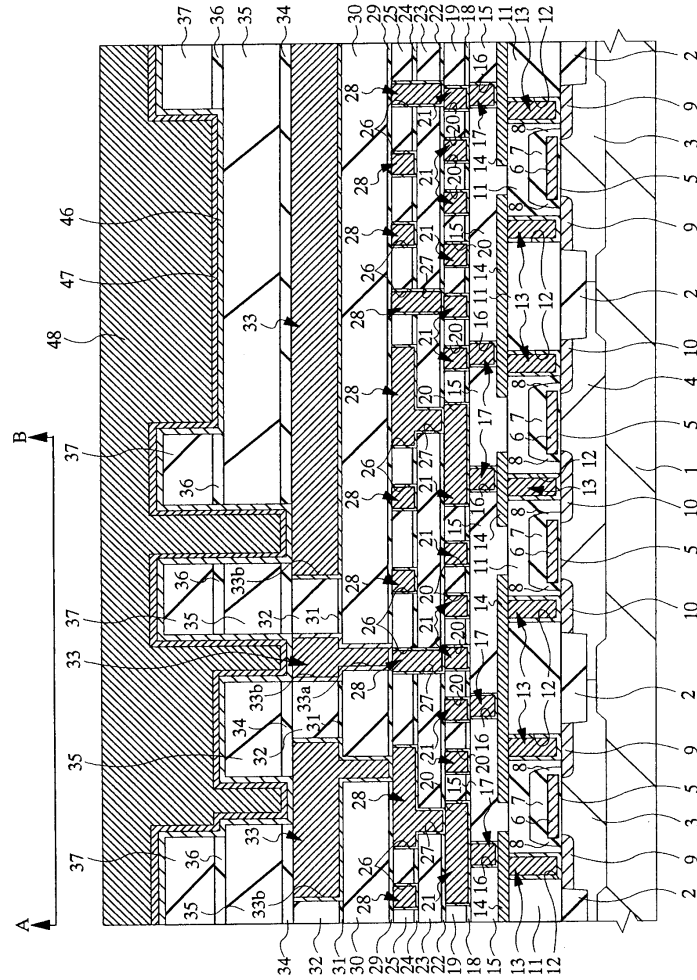
도면18



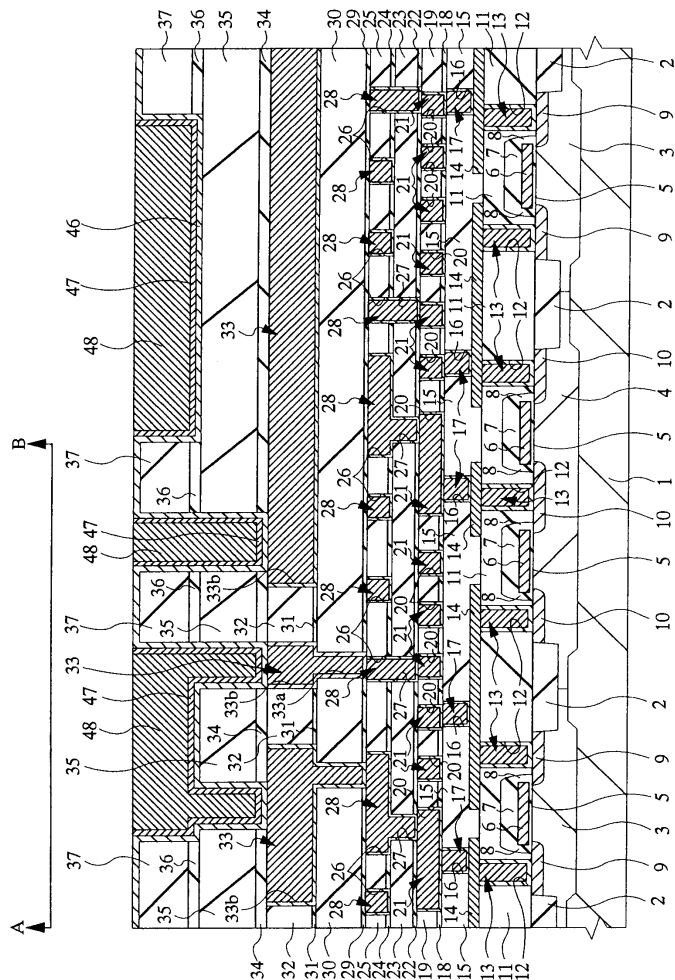
도면19



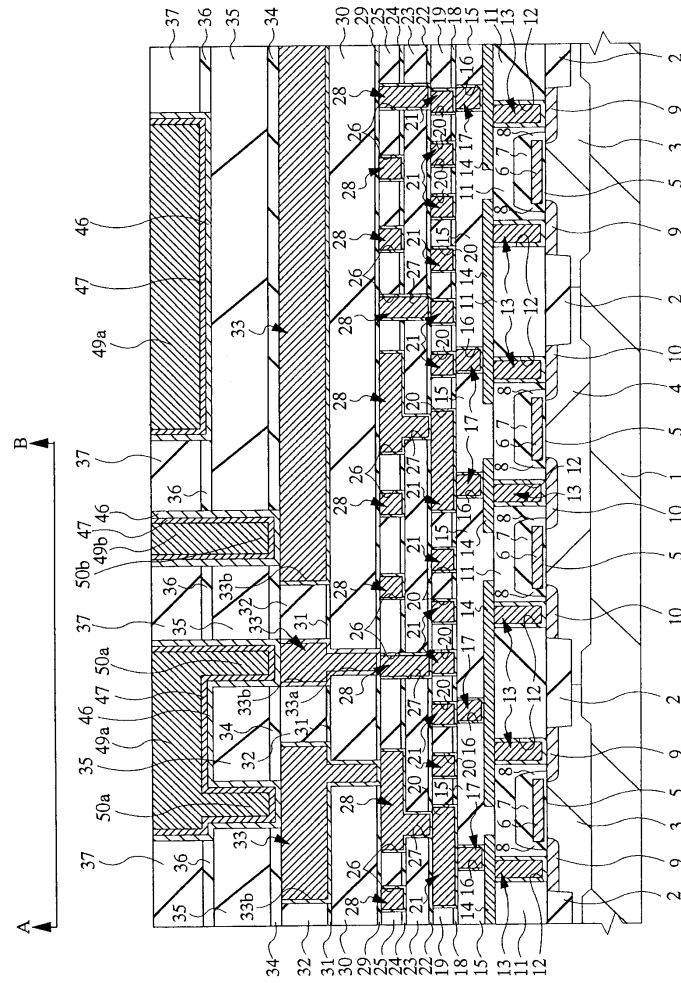
도면20



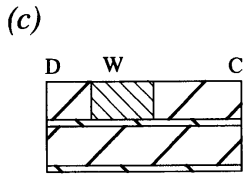
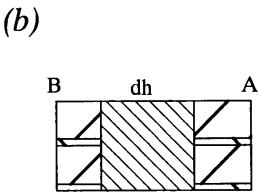
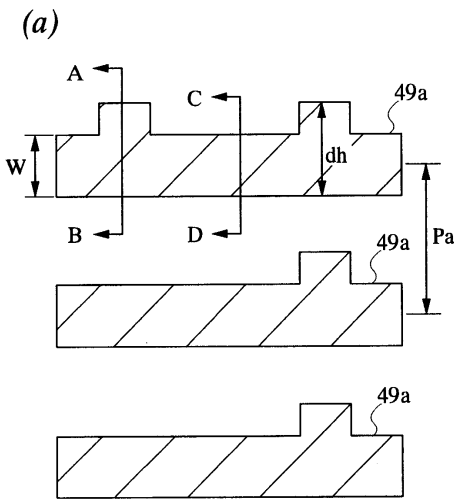
도면21



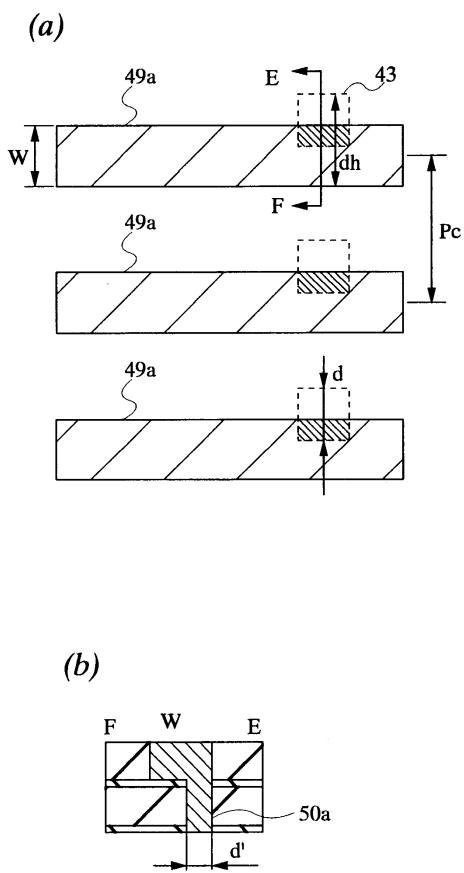
도면22



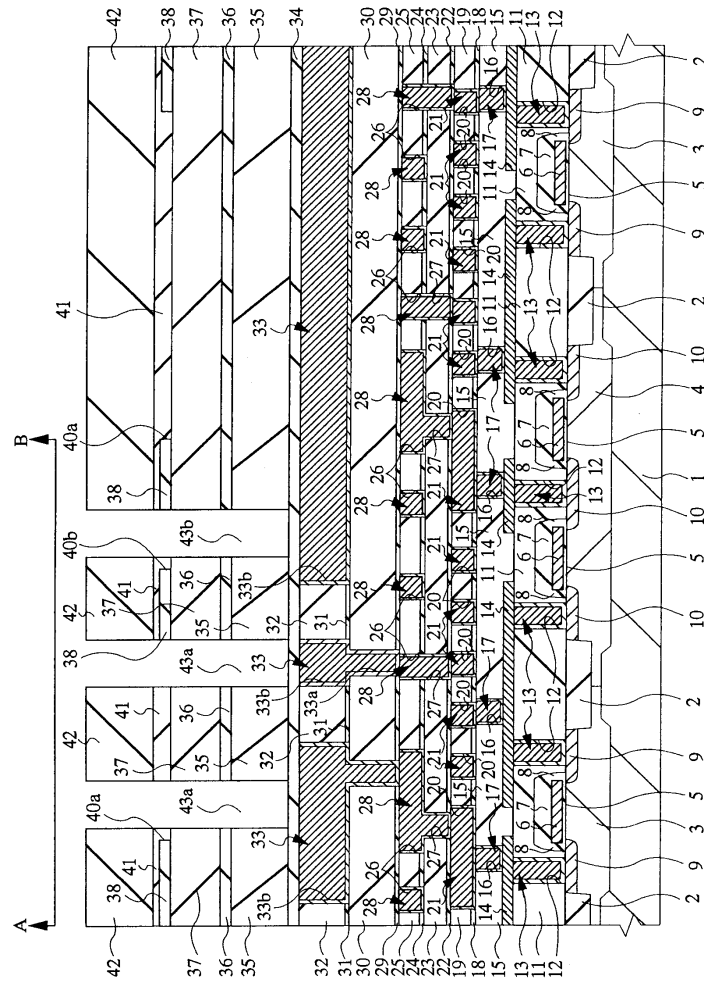
도면23



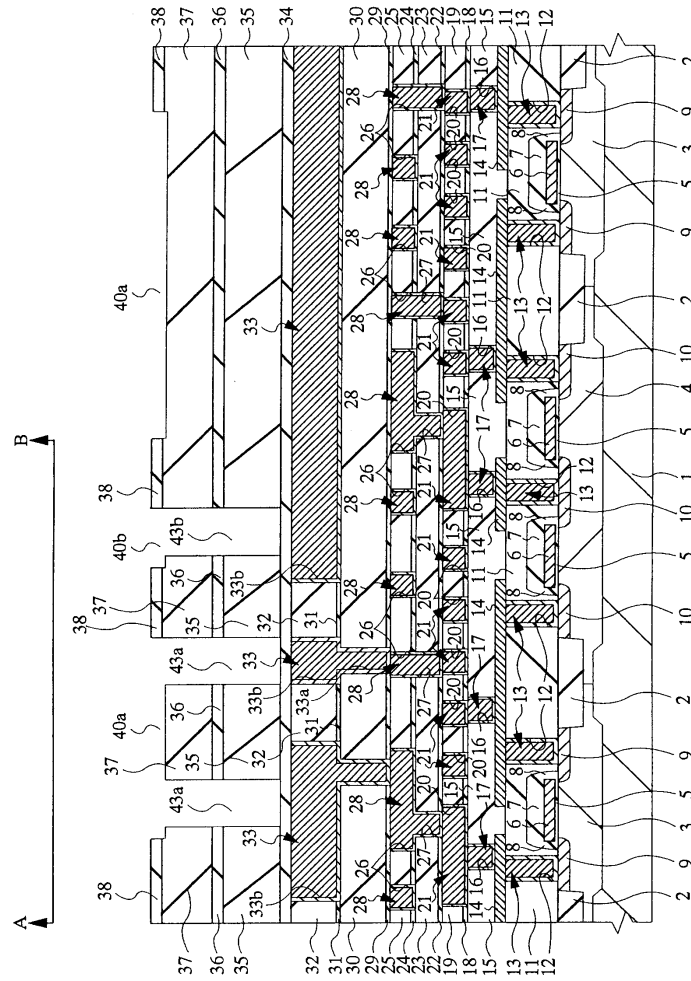
도면24



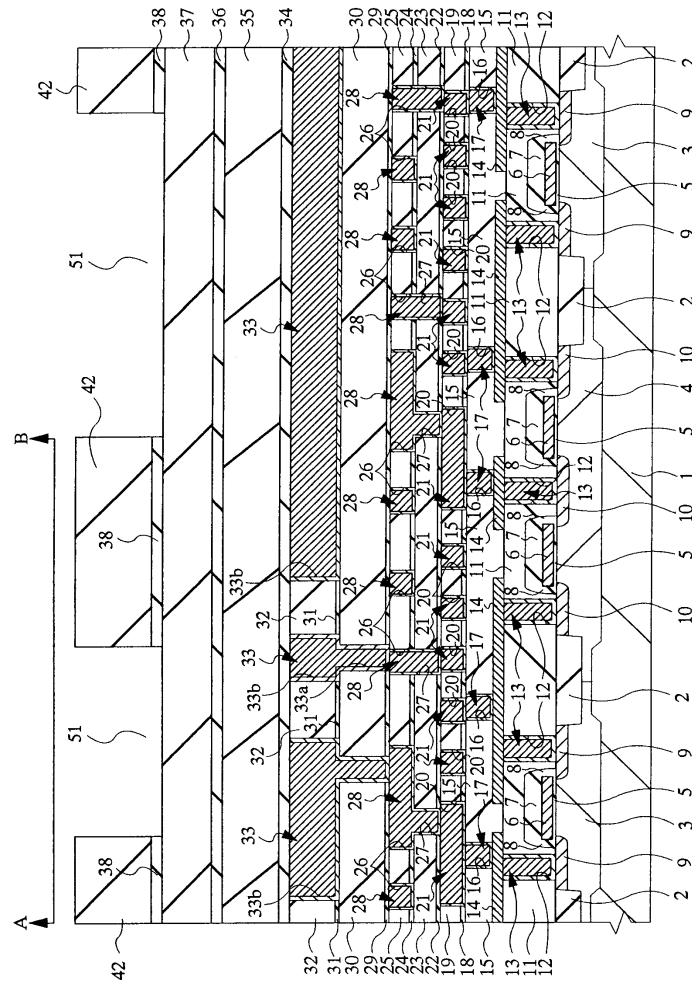
도면25



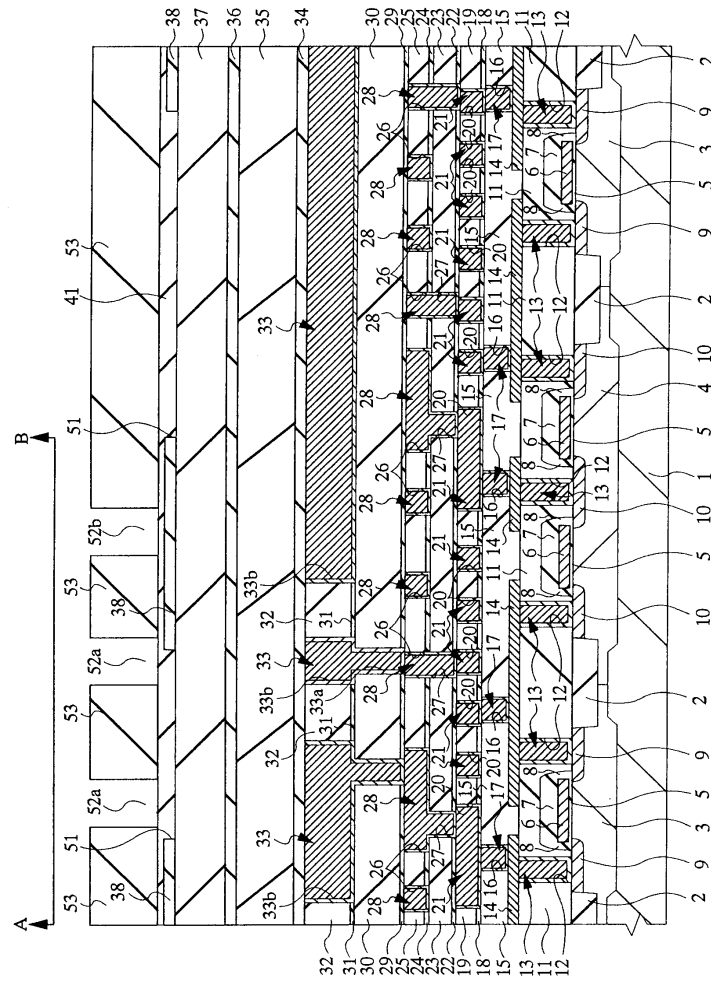
도면26



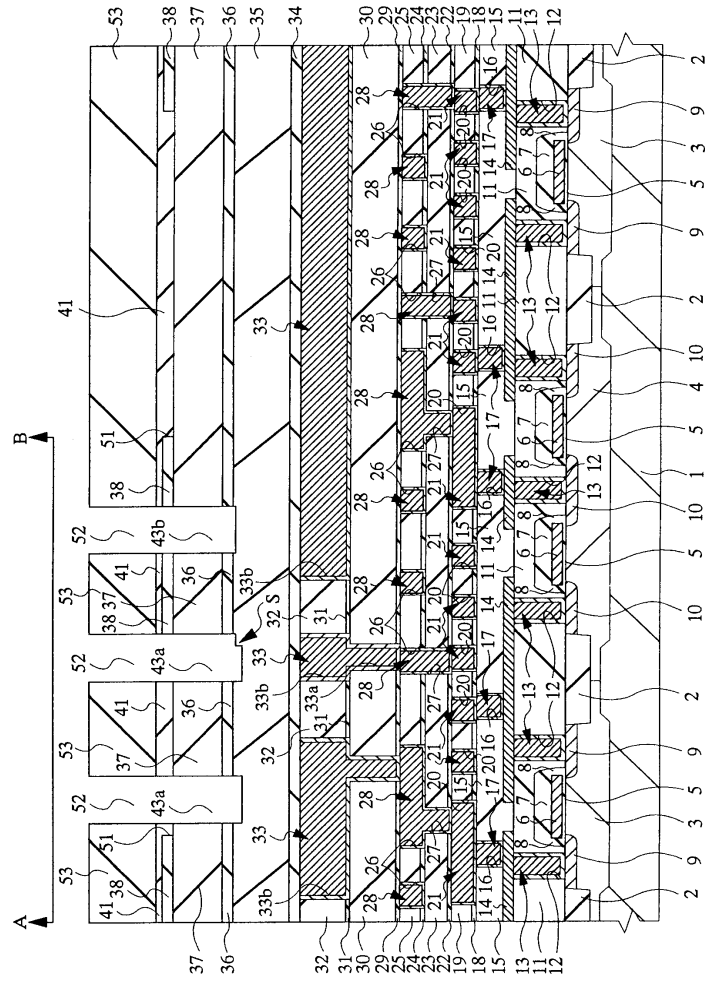
도면27



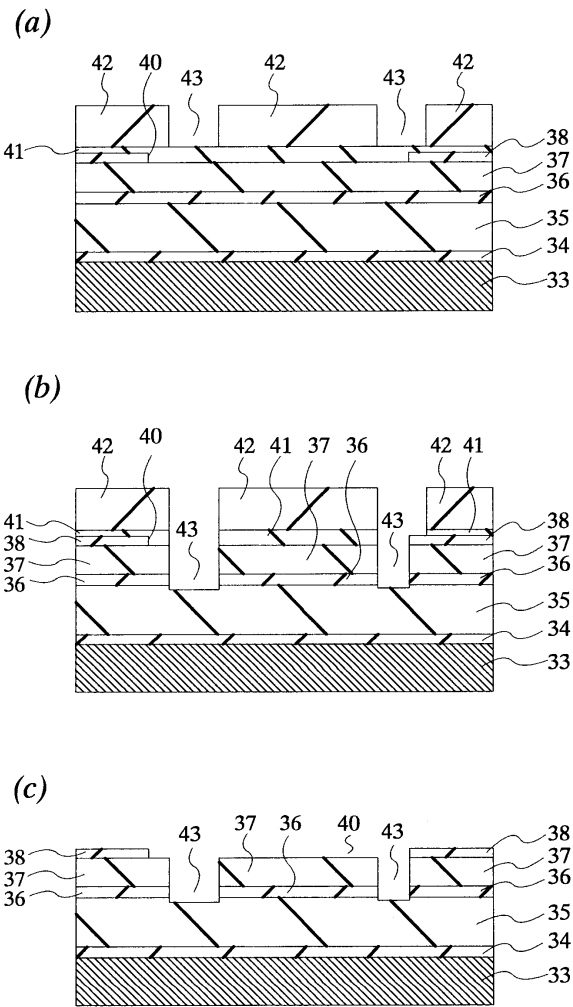
도면28



도면29

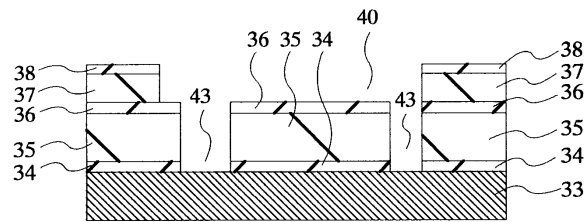


도면30

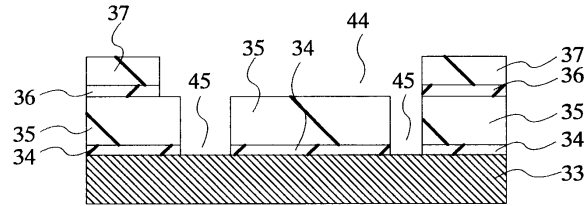


도면31

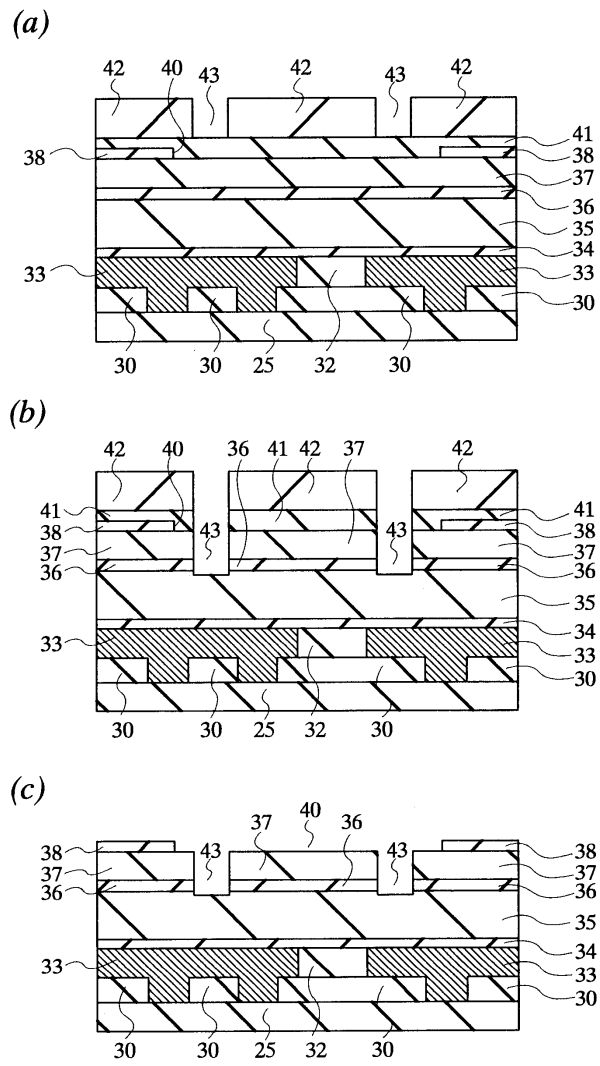
(d)



(e)

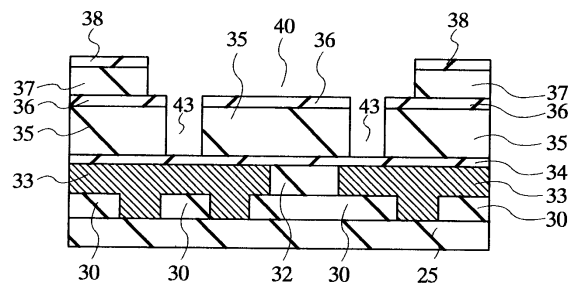


도면32

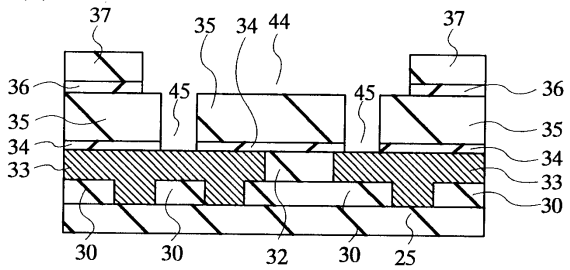


도면33

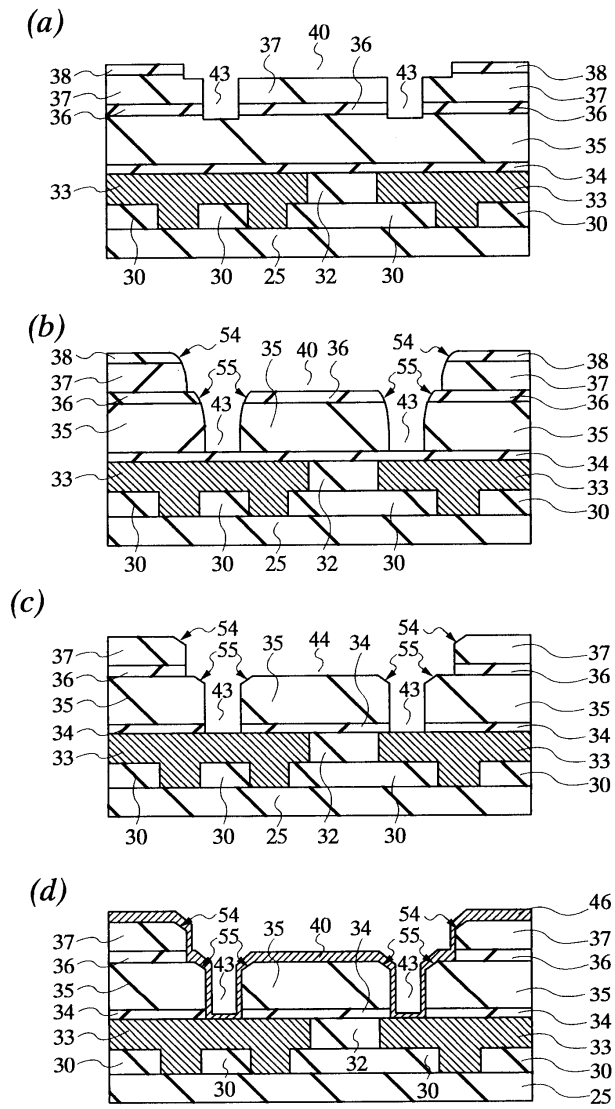
(d)



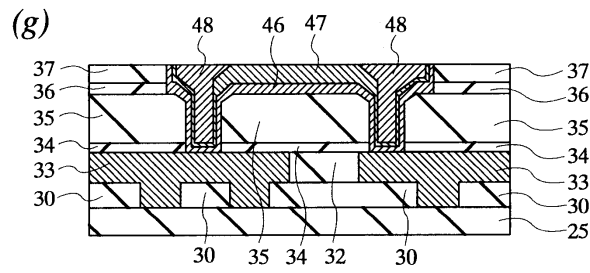
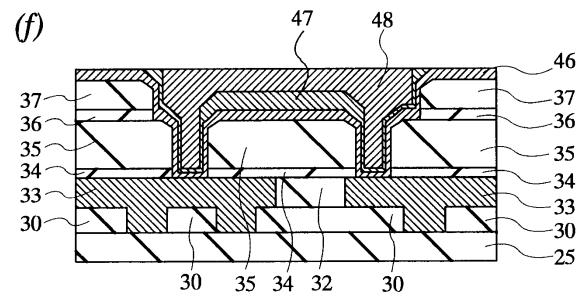
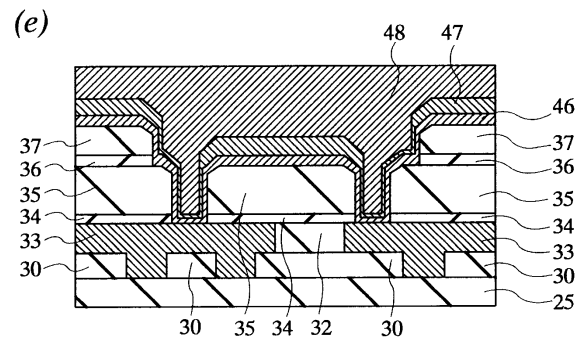
(e)



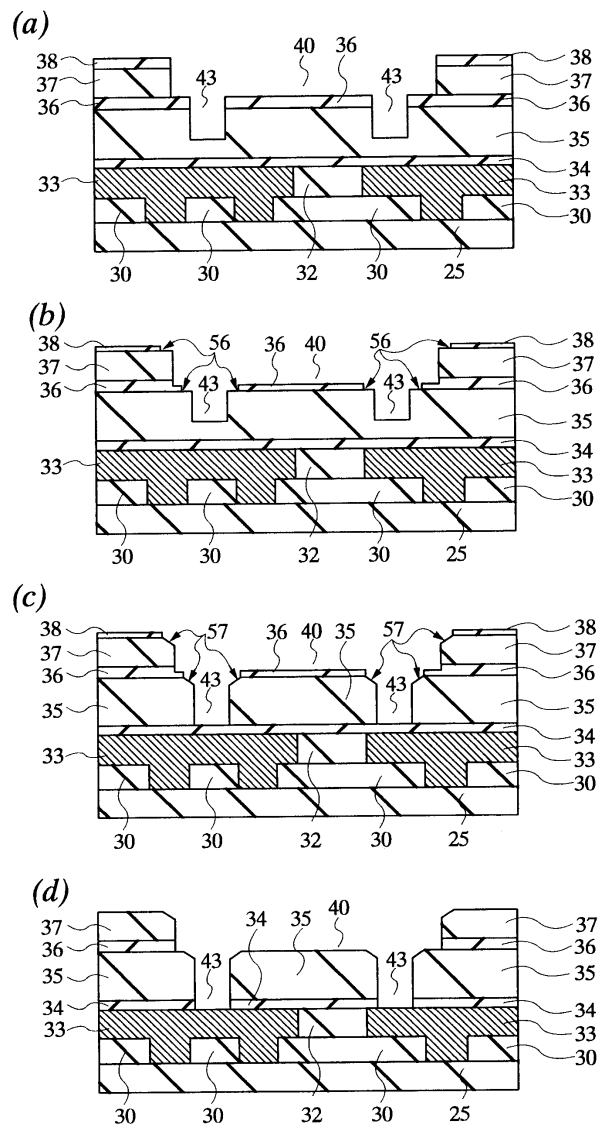
도면34



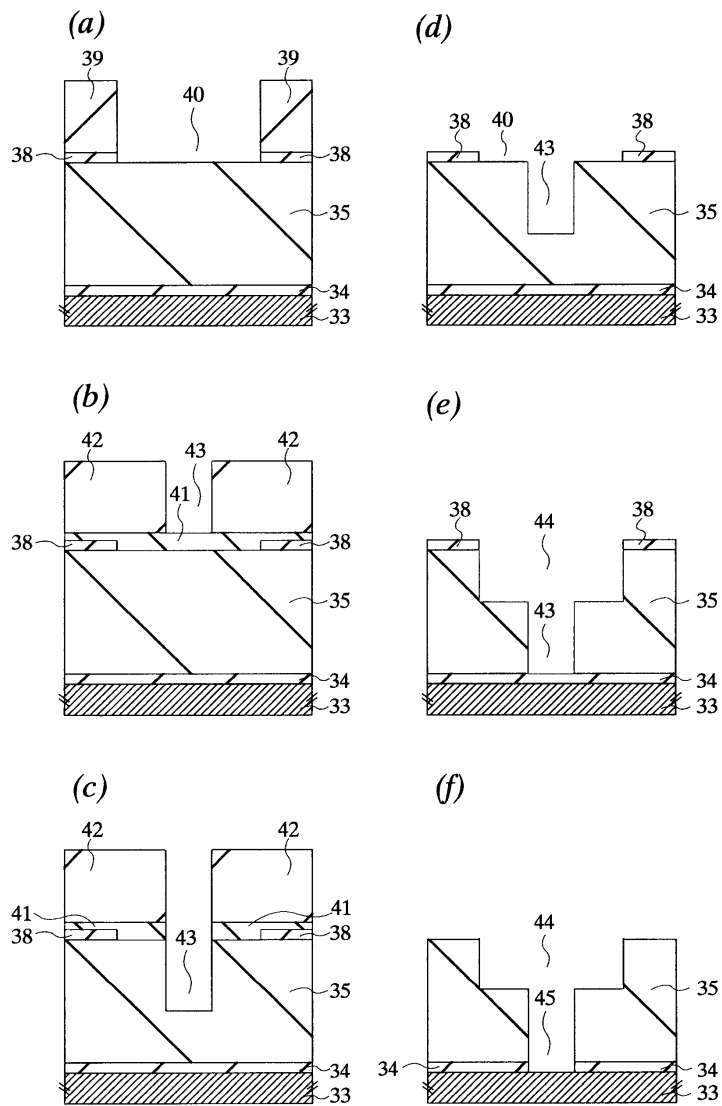
도면35



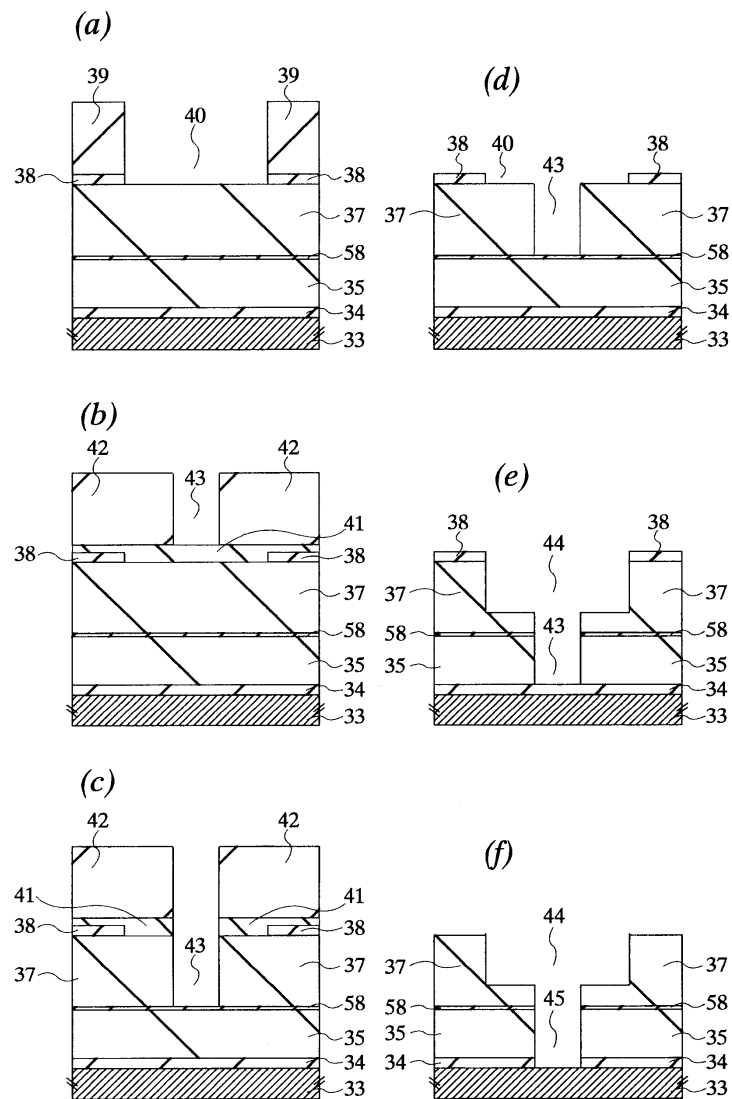
도면36



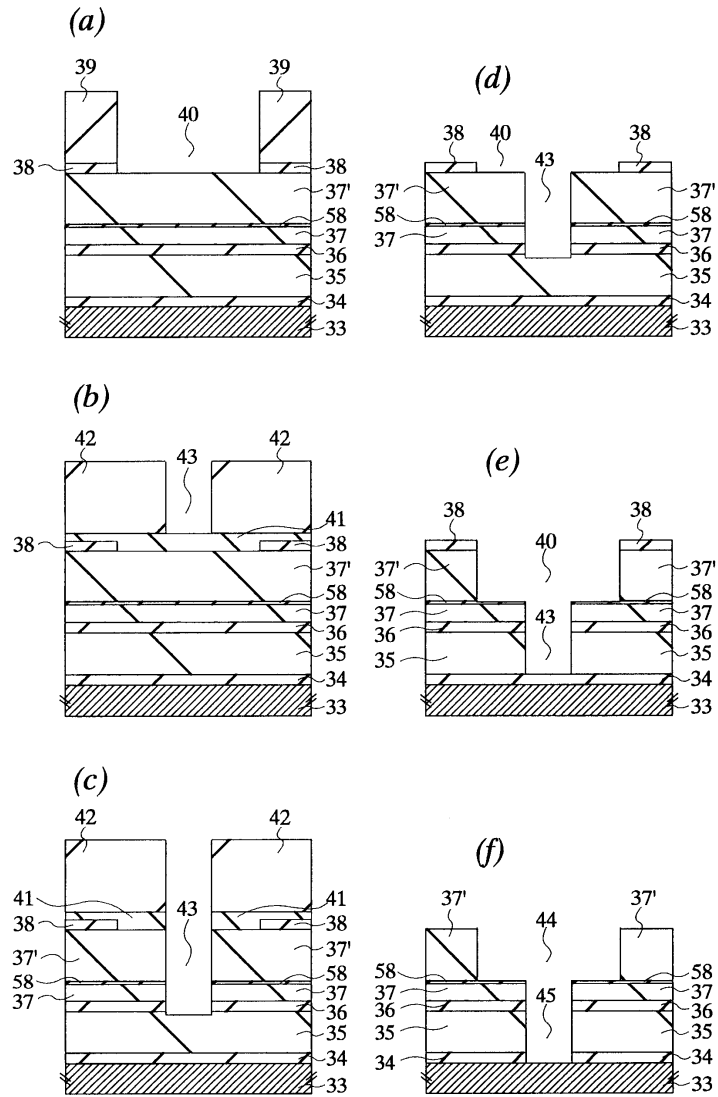
도면37



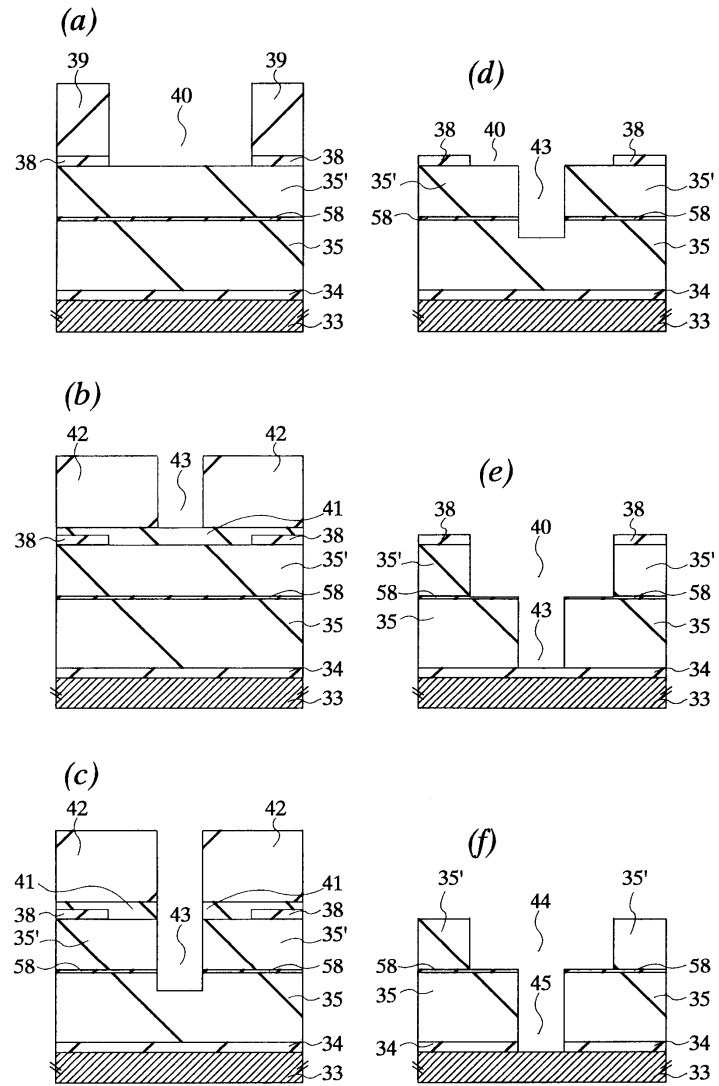
도면38



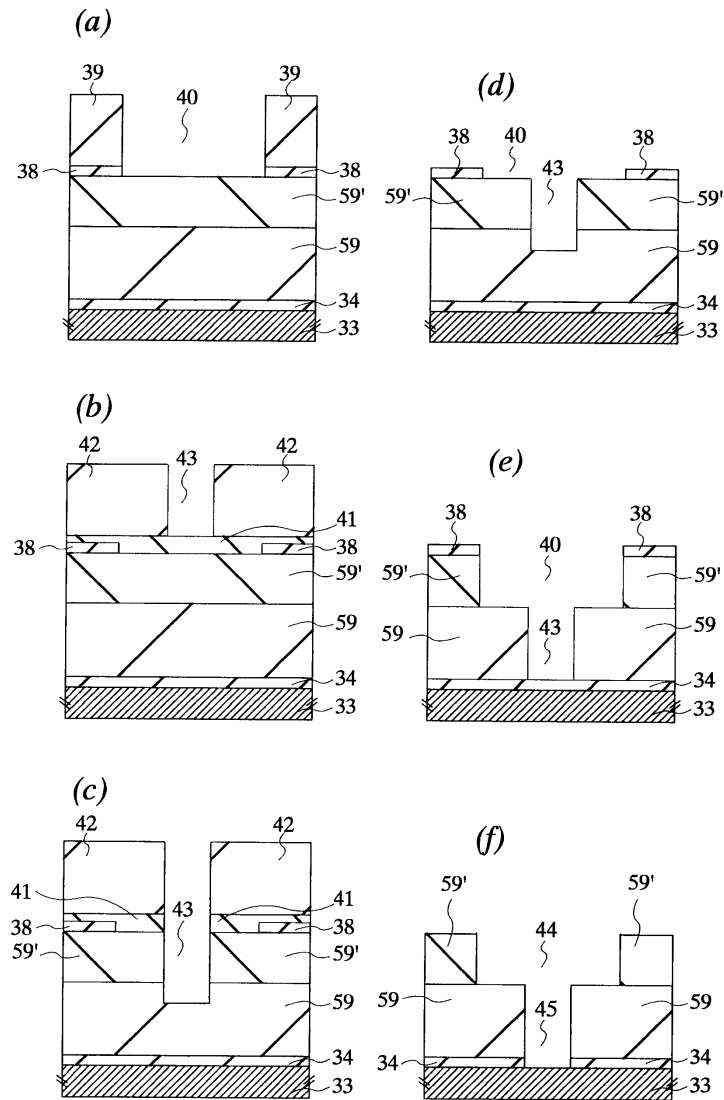
도면39



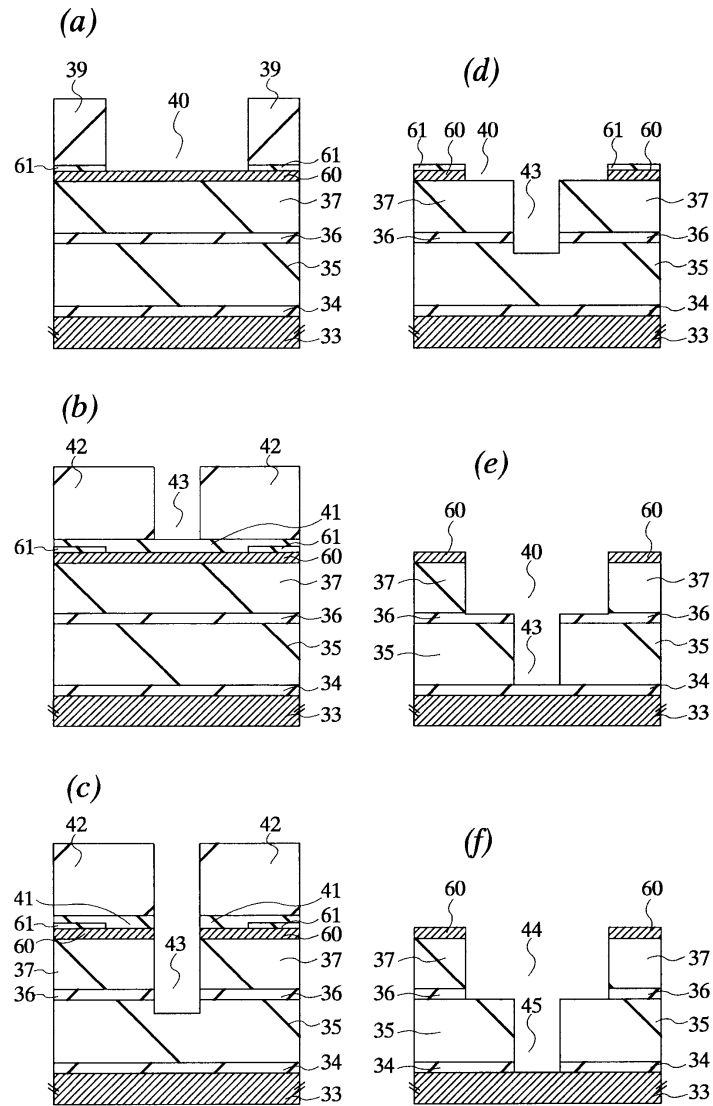
도면40



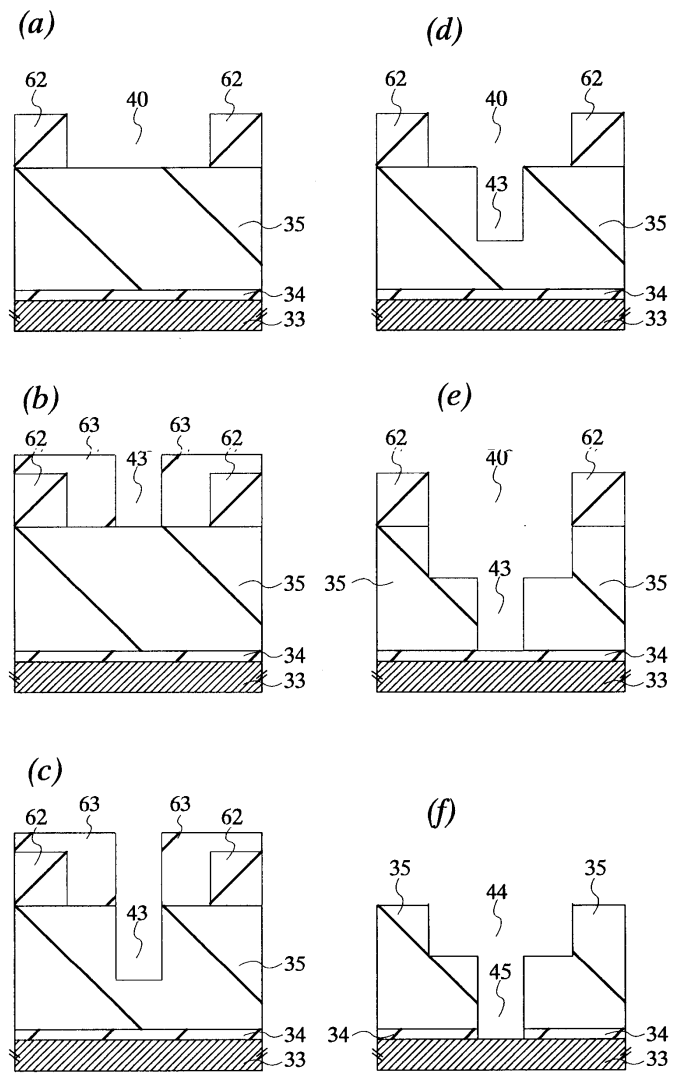
도면41



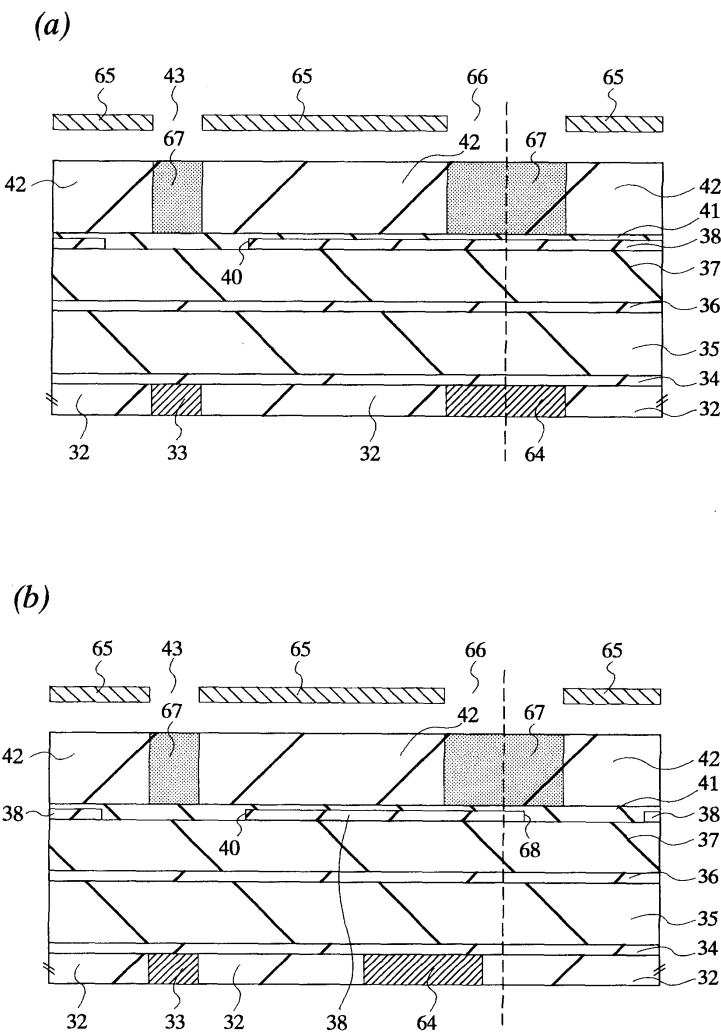
도면42



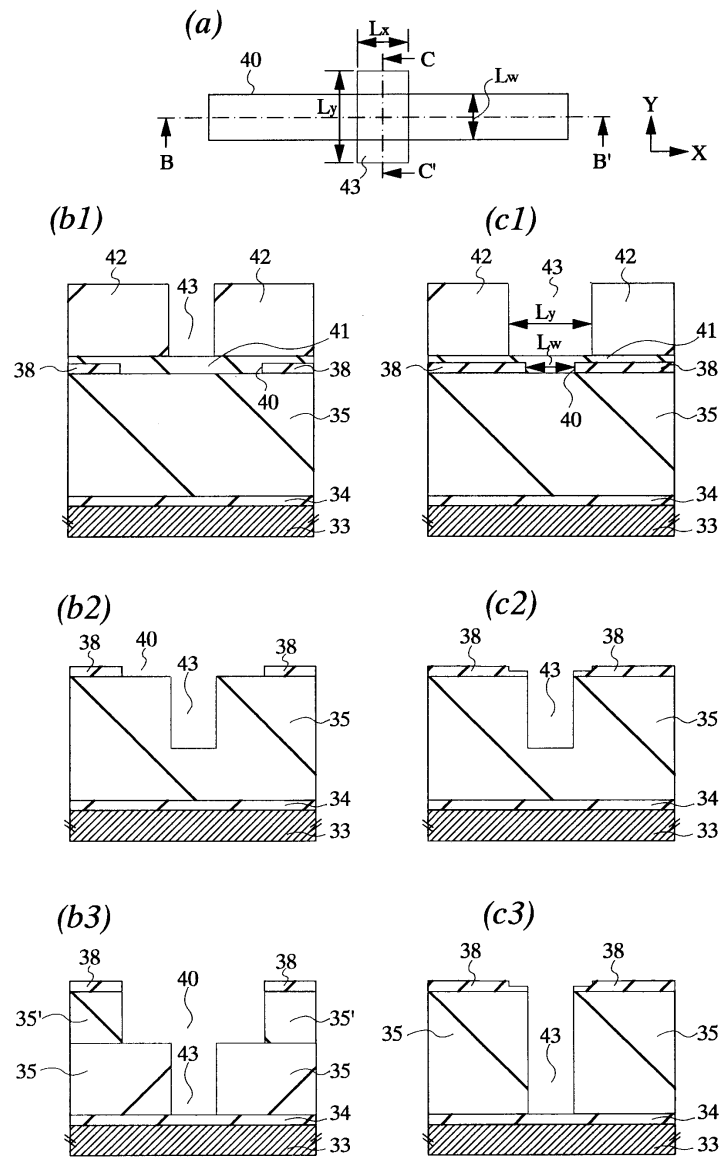
도면43



도면44



도면45



도면46

