

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年11月21日(21.11.2013)



(10) 国際公開番号
WO 2013/172079 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 21/336 (2006.01) H01L 29/739 (2006.01)
H01L 29/06 (2006.01)
- (21) 国際出願番号: PCT/JP2013/056785
- (22) 国際出願日: 2013年3月12日(12.03.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-111266 2012年5月15日(15.05.2012) JP
特願 2012-243304 2012年11月5日(05.11.2012) JP
- (71) 出願人(米国を除く全ての指定国について): 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 三浦 成久(MIURA Naruhisa) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 日野 史郎(HINO Shiro) [—/JP]; 〒1008310 東

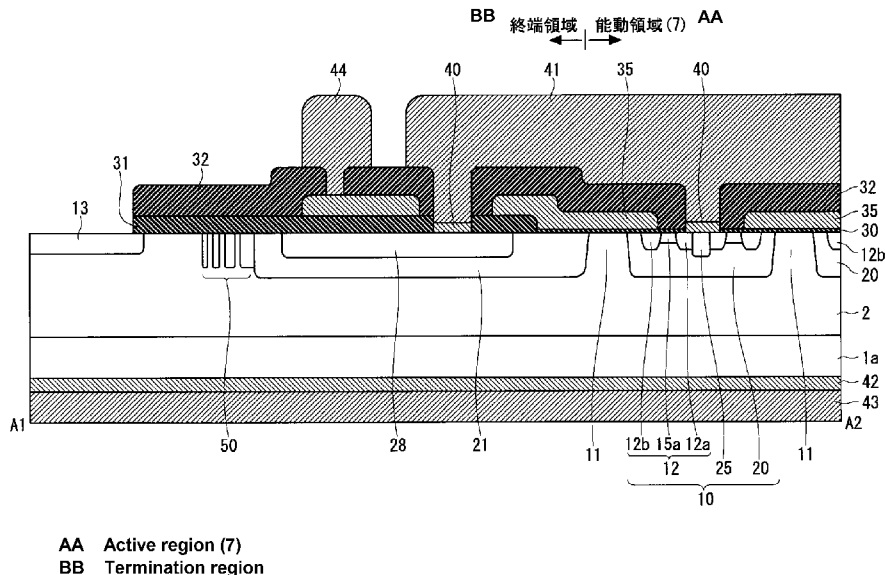
京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 古川 彰彦(FURUKAWA Akihiko) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 阿部 雄次(ABE Yuji) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 中田 修平(NAKATA Shuhei) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 今泉 昌之(IMAIZUMI Masayuki) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 香川 泰宏(KAGAWA Yasuhiro) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

- (74) 代理人: 吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区城見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A source region (12) of a MOSFET includes: a source contact region (12a) connected to a source pad (41); a source extension region (12b) adjacent to the channel region of a well region (20); and a source resistance control region (15a), which is disposed between the source extension region (12b) and the source contact region (12a), said source extension region (12b) and source contact region (12a) having different impurity concentrations. The three regions are connected in series between the source pad (41) and the channel region of the well region (20).

(57) 要約: MOSFETのソース領域12は、ソースパッド41に接続するソースコンタクト領域12aと、ウェル領域20のチャネル領域に隣接するソースエクステンション領域12bと、ソースエクステンション領域12bとソースコンタクト領域12aとの間に配設され、ソースエクステンション領域12bおよびソースコンタクト領域12aとは不純物濃度が異なるソース抵抗制御領域15aとを含む。これら3つの領域は、ソースパッド41とウェル領域20のチャネル領域との間に直列接続している。



WO 2013/172079 A1



FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

シア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラ

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は半導体装置の構造及びその製造方法に関するものである。

背景技術

[0002] 炭化珪素（SiC）半導体を母材とした半導体素子は、高耐圧・低損失を実現できるデバイスとして注目されている。特に、金属／絶縁体／半導体接合の電界効果型トランジスタ（Metal-Oxide Semiconductor Field Effect Transistor；MOSFET）は、パワーエレクトロニクスへの応用の観点から高信頼性が求められている。

[0003] 例えば、そのような半導体素子を、インバータ回路などに適用し、誘導性負荷や抵抗性負荷を動作させているときに、アーム短絡などの負荷短絡が生じて、オン状態の素子のドレインに電源電圧である高電圧が印加されると、当該素子に大電流が流れる状態になる。この状態では、素子には定格電流の数倍から数十倍のドレイン電流が誘起され、適切な保護機能を有していなければ素子破壊に至る。

[0004] これを未然に防ぐためには、素子破壊が発生する前に、過剰なドレイン電流（過電流）を検知し、それに応じてゲート電極へのオフ信号を入力してドレイン電流を遮断する必要がある。そのため、素子には、負荷短絡等の発生から過電流を検知してゲート電極へのオフ信号入力までの時間以上に渡って、素子破壊が発生しないロバスト性が求められる。すなわち、短絡耐量が高いことが強く望まれる。なお、短絡耐量は、負荷短絡等が生じてから素子破壊に至るまでに要する時間として定義される。

[0005] 特許文献1には、典型的なパワーデバイスであるIGBT（Insulated Gate Bipolar Transistor）の短絡耐量を向上させる技術が開示されている。特許文献1のIGBTでは、オン電流の経路となるエミッタ層が、高抵抗なエミッタ層（高抵抗領域）と低抵抗なエミッタ層（低抵抗領域）とがエミッタ

電極とチャネル領域との間に互いに並列接続するように交互に配設された構造となっている。この構成によれば、負荷短絡が生じたときにエミッタ層を流れる電子電流による電圧降下が大きくなり、飽和電流値が下がるため、短絡耐量を向上する。さらに、低抵抗領域が、エミッタ電極とエミッタ層との間のコンタクト抵抗を低くするため、低いオン電圧も実現される。

先行技術文献

特許文献

[0006] 特許文献1：特開2003-332577号公報

発明の概要

発明が解決しようとする課題

[0007] 特許文献1のようにエミッタ層を並列接続した高抵抗領域及び低抵抗領域で構成すると、エミッタ層全体の抵抗値はおよそ低抵抗領域の抵抗値によって支配される。そのため、チャネル領域からエミッタ電極までの電圧降下があまり大きくなり、飽和電流を下げる効果が十分に得られない場合も考えられる。さらに、エミッタ電極は低抵抗領域だけでなく高抵抗領域にも接続されるため、実効的なコンタクト抵抗は、低抵抗領域だけの場合に比べると高くなる。

[0008] 本発明は以上のような問題を解決するためになされたものであり、チャネル領域からソース電極までの電圧降下を大きくして短絡耐量の向上を図ることができ、且つ、ソース電極とソース領域とのコンタクト抵抗を低く維持できる半導体装置を提供することを目的とする。

課題を解決するための手段

[0009] 本発明に係る半導体装置は、半導体基板(1a)と、前記半導体基板(1a)上に形成された第1導電型のドリフト層(2)と、前記ドリフト層(2)の表層部に選択的に形成された第2導電型のウェル領域(20)と、前記ウェル領域(20)内の表層部に形成された第1導電型のソース領域(12)と、前記ウェル領域(20)に隣接する前記ドリフト層(2)の部分であるJFET領域(11)と、前記ソース領

域(12)と前記J F E T領域(11)とに挟まれた前記ウェル領域(20)の部分であるチャンネル領域と、前記ドリフト層(2)上にゲート絶縁膜(30)を介して配設され、前記ソース領域(12)、前記チャンネル領域および前記J F E T領域(11)に跨って延在するゲート電極(35)と、前記ソース領域(12)に接続するソース電極(41)と、前記半導体基板(1a)の裏面に形成されたドレイン電極(43)とを備え、前記ソース領域(12)は、前記ソース電極(41)に接続するソースコンタクト領域(12a)と、前記チャンネル領域に隣接するソースエクステンション領域(12b)と、前記ソースエクステンション領域(12b)と前記ソースコンタクト領域(12a)との間に配設され、前記ソースエクステンション領域(12b)および前記ソースコンタクト領域(12a)とは第1導電型の不純物濃度が異なるソース抵抗制御領域(15a)とを含み、前記ソースコンタクト領域(12a)と前記ソースエクステンション領域(12b)は同じ不純物濃度分布を有しており、前記ゲート電極(35)は、前記ソース領域(12)のうちの前記ソースエクステンション領域(12b)のみにオーバーラップしているものである。

発明の効果

[0010] 本発明に係る半導体装置によれば、チャンネル領域とソース電極との間に、ソース抵抗制御領域が直列に挿入された構造を有するため、半導体装置の負荷短絡時にソース領域の電圧降下を調整できる。その電圧降下を大きくすると、半導体装置の飽和電流値が下がり、短絡耐量が向上する。またソース領域におけるソース電極との接続部分には、ソース抵抗制御領域は形成されず、低抵抗なソースコンタクト層が形成されているので、ソース電極とソース領域とのコンタクト抵抗を低く維持できる。またソース抵抗制御領域を、低抵抗なソースコンタクト領域及びソースエクステンション領域の間に配設することで、ソース抵抗制御領域の長さを精度よく規定できる。

図面の簡単な説明

[0011] [図1]実施の形態1に係る半導体装置の上面図である。

[図2]実施の形態1に係る半導体装置のドリフト層の表面構造を示す上面図である。

- [図3]実施の形態1に係る半導体装置の周辺部における縦断面図である。
- [図4]実施の形態1に係る半導体装置のユニットセルのドリフト層の表面構造を示す上面図である。
- [図5]実施の形態1に係る半導体装置のユニットセルの変形例を示す上面図である。
- [図6]実施の形態1に係る半導体装置のユニットセルのレイアウトを示す上面図である。
- [図7]実施の形態1に係る半導体装置のユニットセルのレイアウトの変形例を示す上面図である。
- [図8]実施の形態1に係る半導体装置のユニットセルのレイアウトの変形例を示す上面図である。
- [図9]実施の形態1に係る半導体装置の製造方法を示す縦断面図である。
- [図10]実施の形態1に係る半導体装置の製造方法を示す縦断面図である。
- [図11]実施の形態1に係る半導体装置の製造方法を示す縦断面図である。
- [図12]実施の形態1に係る半導体装置の製造方法を示す縦断面図である。
- [図13]実施の形態1に係る半導体装置の製造方法を示す縦断面図である。
- [図14]実施の形態1に係る半導体装置の製造方法を示す縦断面図である。
- [図15]実施の形態1に係る半導体装置の製造工程における、ソースコンタクト領域およびソースエクステンション領域を形成するための注入マスクの電子顕微鏡写真を示す図である。
- [図16]実施の形態1に係る半導体装置の製造方法の変形例を示す縦断面図である。
- [図17]実施の形態1に係る半導体装置の製造方法の変形例を示す縦断面図である。
- [図18]実施の形態1に係る半導体装置の変形例を示す縦断面図である。
- [図19]実施の形態1に係る半導体装置の電流－電圧特性を示す図である。
- [図20]実施の形態1に係る半導体装置の電気的特性の一覧を示す図である。
- [図21]実施の形態2に係る半導体装置の製造方法を示す縦断面図である。

[図22]実施の形態2に係る半導体装置のソース領域における第1導電型の不純物濃度分布の数値計算結果を示す図である。

[図23]実施の形態2に係る半導体装置の製造方法を示す縦断面図である。

[図24]実施の形態2に係る半導体装置の製造方法を示す縦断面図である。

[図25]実施の形態2に係る半導体装置のソース領域における第1導電型の不純物濃度分布の数値計算結果を示す図である。

[図26]実施の形態2に係る半導体装置のソース領域における第1導電型の不純物濃度分布の数値計算結果を示す図である。

[図27]実施の形態2に係る半導体装置の製造方法を示す縦断面図である。

[図28]実施の形態2に係る半導体装置の製造方法を示す縦断面図である。

[図29]実施の形態3に係る半導体装置の製造方法を示す縦断面図である。

[図30]実施の形態3に係る半導体装置の製造方法を示す縦断面図である。

[図31]実施の形態4に係る半導体装置の製造方法を示す縦断面図である。

[図32]実施の形態4に係る半導体装置の製造方法を示す縦断面図である。

[図33]実施の形態4に係る半導体装置の製造方法を示す縦断面図である。

[図34]実施の形態4に係る半導体装置の製造方法を示す縦断面図である。

[図35]実施の形態4に係る半導体装置の製造方法を示す縦断面図である。

[図36]実施の形態4に係る半導体装置の製造方法を示す縦断面図である。

[図37]実施の形態4に係る半導体装置の製造方法を示す縦断面図である。

[図38]実施の形態4に係る半導体装置の製造方法を示す縦断面図である。

[図39]実施の形態4に係る半導体装置の製造方法を示す縦断面図である。

[図40]実施の形態5に係る半導体装置の製造方法を示す縦断面図である。

[図41]実施の形態5に係る半導体装置の製造方法を示す縦断面図である。

[図42]実施の形態5に係る半導体装置の製造方法を示す縦断面図である。

[図43]実施の形態5に係る半導体装置の製造方法を示す縦断面図である。

[図44]実施の形態5に係る半導体装置の製造方法を示す縦断面図である。

[図45]実施の形態5に係る半導体装置の製造方法を示す縦断面図である。

[図46]実施の形態5に係る半導体装置のソース領域及びウェル領域における

不純物濃度分布の数値計算結果を示すグラフである。

発明を実施するための形態

[0012] 以下の実施の形態では、不純物の導電型の定義として、「第1導電型」をn型、「第2導電型」をp型とするが、この定義は逆でもよい。つまり「第1導電型」をp型、「第2導電型」をn型としてもよい。

[0013] また、本明細書では、個々の半導体素子を狭義の意味で「半導体装置」と称しているが、例えば、リードフレーム上に、半導体素子のチップ、当該半導体素子に逆並列に接続するフリーホイールダイオード及び当該半導体素子のゲート電極に電圧を印加する制御回路と搭載して、一体的に封止して成る半導体モジュール（例えば、インバータモジュールなどのパワーモジュール）も、広義の意味で「半導体装置」に含まれる。

[0014] <実施の形態1>

図1は、実施の形態1に係る半導体装置である炭化珪素MOSFETの上面構成を模式的に示す図である。また図2は、当該半導体装置の半導体層の最表面の構成を示す図である。つまり、当該半導体装置は、図2に示す半導体層の上に、図1に示す各要素が形成されて構成されている。

[0015] 図1のように、半導体装置のチップ5の上面には、ソースパッド（ソース電極）41、ゲート配線44及びゲートパッド45が形成されている。ゲートパッド45は、チップ5の1辺の中央近傍に配設される。ゲート配線44はゲートパッド45に接続しており、ソースパッド41の周囲を囲むように形成される。

[0016] 図2の点線で囲まれた領域7は、MOSFETの複数のユニットセル10が並列配置される能動領域7であり、ソースパッド41は、その能動領域7の上方を覆うように形成されている。

[0017] ゲートパッド45には、ゲート配線44を介してユニットセル10のゲート電極が接続しており、外部の制御回路（不図示）からゲートパッド45に印加されたゲート電圧は、各ユニットセル10のゲート電極に伝達される。同様に、ソースパッド41には、各ユニットセル10のソース領域が接続し

ている。

[0018] 図2に示すように、能動領域7の外側の領域（終端領域）には、後述する終端ウェル領域21、終端低抵抗領域28、FLR（Field Limiting Ring）領域50が、能動領域7を取り囲むように形成されている。終端低抵抗領域28は終端ウェル領域21の内部に形成されており、FLR領域50は終端ウェル領域21の外端に形成されている。さらに、FLR領域50から離間して、FLR領域50の外側を囲むように、フィールドストップ領域13が形成されている。フィールドストップ領域13の外周は、チップ5の端部にまで及んでいる。

[0019] なお、半導体装置の実際の製品では、チップ5に、外部の保護回路を動作させるための温度センサや電流センサ用の各電極が配設されることが多いが、それらの電極は本発明との関連が薄いため、本実施の形態では省略している。また、ゲートパッド45、ゲート配線44及びソースパッド41のレイアウトは図1に示したものに限られない。それらの形状、個数等は、製品によって多種多様である。温度センサ及び電流センサ用の電極の有無や、各電極のレイアウトは本発明の効果にあまり影響しないため任意でよい。

[0020] 図3は、実施の形態1に係る半導体装置（炭化珪素MOSFET）の周辺部の構成を模式的に示す縦断面図であり、図1に示すA1-A2断面に対応している。同図には、最外周のユニットセル10と、その外側の終端領域が示されている。

[0021] 図3に示すように、当該MOSFETは、第1導電型（n型）の炭化珪素で形成された半導体基板1aと、その表面上にエピタキシャル成長させた第1導電型のドリフト層2（炭化珪素半導体層）とから成るエピタキシャル基板を用いて形成されている。半導体基板1aの裏面側には、半導体基板1aとオーミック接続するオーミック電極42を介して、ドレイン電極43が形成されている。

[0022] ドリフト層2において、能動領域7の表層部には、第2導電型（p型）の複数のウェル領域20が選択的に形成されている。ドリフト層2の表層部に

おけるウェル領域 20 に隣接する部分 11 は「J F E T 領域」と呼ばれる。

[0023] ウェル領域 20 の表層部には、第 1 導電型のソース領域 12 が選択的に形成されている。ウェル領域 20 におけるソース領域 12 と J F E T 領域 11 との間の部分は M O S F E T がオンするときにチャンネルが形成される領域であり、「チャンネル領域」と呼ばれる。

[0024] 図 3 に示すように、ソース領域 12 は、いずれも第 1 導電型のソースコンタクト領域 12 a、ソースエクステンション領域 12 b 及びソース抵抗制御領域 15 a から成っている。ソースコンタクト領域 12 a は、それとオーミック接続するオーミック電極 40 を介してソースパッド 41 に接続される。ソース抵抗制御領域 15 a は、ソースコンタクト領域 12 a の外側を囲むように形成される。ソースエクステンション領域 12 b は、ソース抵抗制御領域 15 a の外側を囲むように形成される。ソースエクステンション領域 12 b はソース領域 12 の最外周部であり、チャンネル領域に隣接する。

[0025] ソース抵抗制御領域 15 a は、ソースコンタクト領域 12 a 及びソースエクステンション領域 12 b よりも不純物濃度が低く設定されている。ソースコンタクト領域 12 a の不純物濃度とソースエクステンション領域 12 b の不純物濃度は同程度でよい。後述するように、ソースコンタクト領域 12 a とソースエクステンション領域 12 b は、同時に形成することができ、その場合、両者は同じ不純物分布を持つことになる。

[0026] ソースコンタクト領域 12 a の内側には、オーミック電極 40 を介してソースパッド 41 に接続する第 2 導電型のウェルコンタクト領域 25 が形成されている。ウェルコンタクト領域 25 は、ソースコンタクト領域 12 a を貫通して、ウェル領域 20 に達しており、ソースパッド 41 とウェル領域 20 とを電氣的に接続している。

[0027] ゲート電極 35 は、ドリフト層 2 上にゲート絶縁膜 30 を介して形成され、ソースエクステンション領域 12 b、ウェル領域 20 (チャンネル領域) 及び J F E T 領域 11 に跨って延在する。ソース領域 12 を構成する 3 つの領域のうち、ソースエクステンション領域 12 b が、ゲート絶縁膜 30 及びゲ

ート電極35と共にMOS構造を形成する。

[0028] 一方、能動領域7の外側の領域（終端領域）には、ドリフト層2の表層部に、第2導電型の終端ウェル領域21が形成されている。終端ウェル領域21の表層部には、オーミック電極40を介してソースパッド41に接続する、第2導電型の終端低抵抗領域28が形成される。よって、ソースパッド41は、ソースコンタクト領域12aと接続されると共に、ウェルコンタクト領域25及び終端低抵抗領域28を介してウェル領域20及び終端ウェル領域21にも電氣的に接続される。なお、終端ウェル領域21とウェル領域20とは同時に形成することができ、その場合、両者は同じ不純物分布を持つことになる。

[0029] 終端ウェル領域21の外周部には、第2導電型のFLR領域50が、ドリフト層2の表層部に形成される。さらに、FLR領域50の外側を囲むように、第1導電型のフィールドストップ領域13が、終端ウェル領域21から離間した位置に形成される。

[0030] ドリフト層2における終端領域の表面には、ゲート絶縁膜30が形成されない部分にフィールド酸化膜31が形成されている。ゲート電極35の一部は、フィールド酸化膜31上にまで延在しており、その部分でゲート電極35とゲート配線44との接続がなされる。

[0031] ゲート電極35上は層間絶縁膜32で覆われており、ソースパッド41、ゲート配線44及びゲートパッド45はその上に形成される。そのため、層間絶縁膜32には、ソースパッド41をソースコンタクト領域12a、ウェルコンタクト領域25及び終端低抵抗領域28に接続させるコンタクトホール（ソースコンタクトホール）、並びに、ゲート配線44をゲート電極35に接続させるコンタクトホール（ゲートコンタクトホール）が形成される。

[0032] 図4は、ユニットセル10の最表面部の平面構造を模式的に示す図である。先に述べたように、ユニットセル10は、ソース領域12が、ソースコンタクト領域12a、ソースエクステンション領域12b及びその間のソース抵抗制御領域15aという3つの領域から構成されている。

- [0033] 図4のソースコンタクト領域12a内に示されている点線は、ソースパッド41をユニットセル10に接続させるオーミック電極40の形成領域（コンタクトホール）を示している。オーミック電極40は、上記3つの領域のうち、ソースコンタクト領域12aのみに接触している。よって、ソースコンタクト領域12a、ソース抵抗制御領域15a及びソースエクステンション領域12bは、オーミック電極40とウェル領域20のチャンネル領域との間に直列接続されることになる。なお、ソースコンタクト領域12aは、不純物濃度が高いため、オーミック電極40との間でコンタクト抵抗の低いオーミック接触を実現している。
- [0034] MOSFETのオン動作時もしくは負荷短絡時において、ドレイン電極43からドリフト層2に流れ込むドレイン電流（オン電流）は、JFET領域11及びウェル領域20の表面部（チャンネル領域）に形成されたチャンネル領域を通り、ソースエクステンション領域12b、ソース抵抗制御領域15a及びソースコンタクト領域12aを通過してオーミック電極40からソース電極41へと抜けるという経路を流れる。
- [0035] 各ユニットセル10において、ソース抵抗制御領域15aは、オン電流が流れる方向、すなわちソースエクステンション領域12bからソースコンタクト領域12aに向かう方向の長さ（電流の経路長）が均一になるように形成される。特に、ソースコンタクト領域12aの外周（ソース抵抗制御領域15aの内周）及びソースエクステンション領域12bの内周（ソース抵抗制御領域15aの外周）の各コーナー部がラウンド形状になっており、ソースコンタクト領域12aの外周曲率半径中心と、ソースエクステンション領域12bの内周曲率半径中心とが同じになっている。このようにユニットセル10内でソース抵抗制御領域15aの長さを均一にすると、ソース抵抗のバラツキが抑えられる。それにより、短絡電流などの過剰の電流が瞬時に印加されたときに特定の部分に電流が集中することが防止でき、半導体装置の信頼性を高めることができる。この効果を示す実験結果については後述する。

- [0036] また、ソースエクステンション領域 1 2 b の外周コーナー部もラウンド形状にし、その曲率半径中心を、ソースコンタクト領域 1 2 a の外周曲率半径中心及びソースエクステンション領域 1 2 b の内周曲率半径中心と同じにしてもよい。この場合は、ソースエクステンション領域 1 2 b の寄生抵抗がユニットセル 1 0 内で均一化される。
- [0037] さらに、ウェル領域 2 0 の外周コーナー部もラウンド形状にし、その曲率半径中心を、ソースコンタクト領域 1 2 a の外周曲率半径中心及びソースエクステンション領域 1 2 b の内周曲率半径中心と同じにして、チャンネル長を均一化してもよい。この場合、チャンネル抵抗が均一化され、素子特性及び電流分布のバラツキが抑制され、一層信頼性の高いユニットセル 1 0 構造となる。
- [0038] なお、図 4 では、四角形の平面構造を有するユニットセル 1 0 を示したが、ユニットセル 1 0 の形状は任意でよく、例えば六角形や八角形、円形などでもよい。また MOSFET は複数のユニットセル 1 0 から成るセル構造でなくてもよく、例えば図 5 に示すような楕形の構造であってもよい。一般的に、楕形構造は形成が容易であるが、セル構造に比べてチャンネル幅密度が低いため、素子のオン抵抗が比較的高くなる。
- [0039] また、本実施の形態では、複数のユニットセル 1 0 が、図 6 のようにマトリクス状に配置されるものと仮定するが、例えば、図 7 のようにユニットセル 1 0 を互い違いに（千鳥状に）配置してもよい。
- [0040] また図 6 の配置では、MOSFET のドレイン電極に逆バイアスが印加されたとき、各ウェル領域 2 0 のコーナー部上のゲート絶縁膜に高電界が発生しやすく、半導体装置の信頼性に影響を与える場合がある。そこで、図 8 のように、ウェル領域 2 0 のコーナー部同士間を橋渡しするように、第 2 導電型のウェルブリッジ領域 2 3 を形成してもよい。ウェルブリッジ領域 2 3 はウェル領域 2 0 とは別の工程で形成してもよいが、ウェル領域 2 0 を形成するイオン注入で同時に形成すればマスクパターン形成工程及びイオン注入工程の増加が抑えられ、半導体装置の製造コストを削減できる。

- [0041] 次に、実施の形態1に係る半導体装置（炭化珪素MOSFET）の製造方法を説明する。図9～図14は当該製造方法を説明するための工程図である。図9～図14は、能動領域7内に複数配設されたユニットセル10のうちの一つの右側半分の縦断面に相当する。つまり、図9～図14は終端領域を含んでおらず、能動領域7内の領域の任意の位置の断面（図1のB1-B2線に沿った断面）を示している。
- [0042] まず、第1導電型の炭化珪素からなる半導体基板1aを用意する。半導体基板1aには炭化珪素の他、珪素に比べてバンドギャップの大きい他のワイドバンドギャップ半導体を用いても良い。ワイドバンドギャップ半導体としては、炭化珪素の他、例えば窒化ガリウム、窒化アルミニウム、ダイヤモンド等がある。半導体基板1aの面方位は任意でよく、例えば、その表面垂直方向がc軸方向に対して8°以下に傾斜されていてもよいし、或いは傾斜していなくてもよい。半導体基板1aの厚みも任意でよく、例えば350μm程度でもよいし、100μm程度でもよい。
- [0043] 続いて、半導体基板1a上に、エピタキシャル結晶成長により、第1導電型のドリフト層2を形成する。ドリフト層2の第1導電型の不純物濃度は $1 \times 10^{13} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度とし、その厚みは3μm～200μmとした。
- [0044] ドリフト層2の不純物濃度分布は厚み方向に一定であることが望ましいが、一定でなくてもよく、意図的に、例えば表面近傍で不純物濃度を高くしてもよいし、逆に低くしてもよい。ドリフト層2の表面近傍の不純物濃度を高くした場合、後に形成するJFET領域11の抵抗を低減する効果や、チャネル移動度が向上する効果が得られる他、素子のしきい値電圧を低く設定することができる。また、それを低くした場合、素子に逆バイアスが印加されたときにゲート絶縁膜30に生じる電界が低減され、素子の信頼性が向上する他、素子のしきい値電圧を高く設定することができる。
- [0045] その後、図9のように、写真製版処理により加工した注入マスク100a（例えばレジストやシリコン酸化膜）を形成し、それを用いた選択的なイオ

ン注入により、第2導電型のウェル領域20を形成する。またこれと同時に、終端領域（不図示）に終端ウェル領域21を形成する。イオン注入時には、半導体基板1aは100℃～800℃で加熱されることが好ましいが、過熱されていなくてもよい。また、イオン注入する不純物（ドーパント）は、n型の不純物としては窒素やリンが好適であり、p型の不純物としてはアルミニウムや硼素が好適である。

[0046] ウェル領域20の底の深さは、ドリフト層2の底を超えないように設定する必要があり、例えば0.2μm～2.0μm程度とする。また、ウェル領域20の最大不純物濃度はドリフト層2の表面近傍の不純物濃度を超え、例えば $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲内に設定される。但し、ドリフト層2の最表面近傍に限っては、チャネル領域の導電性を高めるために、ウェル領域20の第2導電型の不純物濃度がドリフト層2の第1導電型の不純物濃度を下回るようにしてもよい。

[0047] さらに、終端領域（不図示）に第2導電型のFLR領域50を形成する。FLR領域50も、写真製版処理により加工したマスク（レジストまたはシリコン酸化膜など）を用いた選択的なイオン注入によって形成される。

[0048] 次に、図10のように、写真製版処理により加工した注入マスク100b、100bN（レジストまたはシリコン酸化膜）を用いた選択的なイオン注入により、第1導電型のソースコンタクト領域12aと、第1導電型のソースエクステンション領域12bを形成する。またこれと同時に、終端領域（不図示）に第1導電型のフィールドストップ領域13を形成する。

[0049] ソースコンタクト領域12a及びソースエクステンション領域12bの底の深さは、ウェル領域20の底を超えないように設定される。またそれらの不純物濃度は、各領域内でウェル領域20の不純物濃度を超えており、例えばその最大不純物濃度は $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度に設定される。

[0050] ここで、ソースコンタクト領域12aの形成領域とソースエクステンション領域12bの形成領域との間の注入マスク100bNは、この後形成され

るソース抵抗制御領域15aの長さ L_{N0} を規定する。 L_{N0} は、例えば $0.1\mu\text{m}\sim 10\mu\text{m}$ であるが、ユニットセル10のセルピッチを過剰に大きくせずに、チャンネル幅密度の低下を抑える上で、 $0.1\mu\text{m}\sim 1\mu\text{m}$ の範囲が有効である。

[0051] 図15に、本工程に用いられる注入マスク100b, 100bNの電子顕微鏡写真を示す。注入マスク100b, 100bNを用いた選択的なイオン注入により、注入マスク100b, 100bNの間にソースコンタクト領域12a及びソースエクステンション領域12bが形成される。図15では、注入マスク100bNの外周のコーナー部及び内周のコーナー部がラウンド形状になっており、注入マスク100bNの外周曲率半径中心と内周曲率半径中心とが同じになっていることが観察される。注入マスク100bNをそのような形状にすることによって、ソースコンタクト領域12aの外周（ソース抵抗制御領域15aの内周）及びソースエクステンション領域12bの内周（ソース抵抗制御領域15aの外周）の各コーナー部はラウンド形状になり、さらにソースコンタクト領域12aの外周曲率半径中心とソースエクステンション領域12bの内周曲率半径中心とが同じになる。その結果、ユニットセル10内で L_{N0} を均一にすることができる。なお、図15に示した例では、 L_{N0} の長さは $0.7\mu\text{m}$ となっている。

[0052] ところで、当該MOSFETが微細化され、ソースエクステンション領域12bやソースコンタクト領域12aの各長さ、及び L_{N0} が $1\mu\text{m}$ 以下程度に縮小されると、注入マスクを図10に示した注入マスク100b, 100bNのような形状に加工するのが困難になることが考えられる。注入マスクとしての機能を確保するにはマスク厚さを十分に確保する必要があるため、マスクパターンのアスペクト比がより一層高くなるためである。特に、ソース抵抗制御領域15aの形成領域上に形成する注入マスク100bNはアスペクト比が高くなるため、形成困難になる。

[0053] その場合は、図11に示すように、ソース抵抗制御領域15aの形成領域上に、シリコン酸化膜や多結晶シリコンなどからなる注入マスク101aを

専用の微細パターン形成用レジスト等を用いて形成し、その後、マスクパターンのアスペクト比が比較的低くてよい注入マスク100bのパターニングを行うとよい。この注入マスク100b, 101aから成る複合マスクを用いれば、ソースエクステンション領域12b、ソースコンタクト領域12a、及びソース抵抗制御領域15aの各長さの縮小化を容易に実現できる。

[0054] 次に、図12のように、写真製版処理により加工された注入マスク100c（例えばレジスト）を用いた選択的なイオン注入を行い、第1導電型のソース抵抗制御領域15aを形成する。ソース抵抗制御領域15aの第1導電型の不純物濃度は、ウェル領域20の最表面の第2導電型不純物濃度を超過しており、例えば $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の範囲内、より好ましくは $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の範囲内に設定される。

[0055] ソース抵抗制御領域15aは、ソースコンタクト領域12a及びソースエクステンション領域12bよりも第1導電型の不純物濃度が低く設定される。例えば、ソース抵抗制御領域15aとソースコンタクト領域12a及びソースエクステンション領域12bとの第1導電型の不純物濃度が、10～1000倍程度異なるようにする。この場合、シート抵抗も10～1000倍程度異なるようになる。

[0056] 本願発明では、ソース領域12内に第1導電型の不純物濃度が低いソース抵抗制御領域15aを挿入することにより、意図的にソース領域12の抵抗を制御された形で増加させ、特にMOSFETのオン抵抗程度からそれ以上の変調効果を得ている。一方、ソースコンタクト領域12a及びソースエクステンション領域12bは、MOSFETの寄生抵抗の低減、さらにはオーミック電極40とのコンタクト抵抗の低減を図るために、第1導電型の不純物濃度を高めてシート抵抗を下げています。

[0057] シート抵抗の大きいソース抵抗制御領域15aを得るために、ソース抵抗制御領域15aにおける第1導電型の不純物濃度は、上記のようにソースコンタクト領域12a及びソースエクステンション領域12bのその1/10～1/1000程度でよい。また、ソース抵抗制御領域15aの基板深さ

方向の厚みは、ソースコンタクト領域 1 2 a 及びソースエクステンション領域 1 2 b の基板深さ方向の厚みよりも薄くてよい。

[0058] このようにソース抵抗制御領域 1 5 a は、ソースコンタクト領域 1 2 a 及びソースエクステンション領域 1 2 b に対して不純物濃度が充分小さく、厚さも薄い。よって、図 1 2 のようにソース抵抗制御領域 1 5 a をソースコンタクト領域 1 2 a 及びソースエクステンション領域 1 2 b にオーバーラップさせて形成しても、ソースエクステンション領域 1 2 b 及びソースコンタクト領域 1 2 a における第 1 導電型の不純物濃度に大きな影響を与えない。そのため、図 1 3 以降の工程図では、ソース抵抗制御領域 1 5 a はソースエクステンション領域 1 2 b とソースコンタクト領域 1 2 a の間のみを図示する。ただし、ソース抵抗制御領域 1 5 a を形成した後のソースコンタクト領域 1 2 a 及びソースエクステンション領域 1 2 b は、厳密にはその一部に第 1 導電型の不純物濃度が増加した領域（ソース抵抗制御領域 1 5 a とオーバーラップした領域）を含有することになる。

[0059] また図 1 2 のように、ソース抵抗制御領域 1 5 a の形成領域は、ソースコンタクト領域 1 2 a とはその全体とオーバーラップし、ソースエクステンション領域 1 2 b とはその一部でオーバーラップするように形成するとよい。その場合、ソース抵抗制御領域 1 5 a を形成する際の注入マスク 1 0 0 c を微細加工する必要がある部分を少なくできる。もちろん、ソースコンタクト領域 1 2 a とソースエクステンション領域 1 2 b の間のみが開口した注入マスクを用いて、ソース抵抗制御領域 1 5 a を形成してもよい。

[0060] 次に、ウェル領域 2 0 とソースパッド 4 1 との間の良好な接続を得るために、ウェル領域 2 0 よりも第 2 導電型の不純物濃度が高いウェルコンタクト領域 2 5 を選択的なイオン注入により形成する。このイオン注入は、150℃以上の基板温度で実行されることが望ましい。そうすることで、シート抵抗の低いウェルコンタクト領域 2 5 を形成できる。ウェルコンタクト領域 2 5 は、その底が第 2 導電型のウェル領域 2 0 に達するように形成する。

[0061] また、ウェルコンタクト領域 2 5 の形成と同時に、終端領域（不図示）の

ウェルコンタクト領域 25 に第 2 導電型の終端低抵抗領域 28 を形成する。終端低抵抗領域 28 は、ウェルコンタクト領域 25 の寄生抵抗を減少させることができ、例えば dV/dt 耐量の優れた終端領域の構造とすることができる。もちろん、終端低抵抗領域 28 は、ウェルコンタクト領域 25 とは別の工程で形成してもよい。

[0062] その後、ドリフト層 2 に注入した不純物を電氣的に活性化させるための熱処理を行う。この熱処理は、アルゴン又は窒素等の不活性ガス雰囲気、若しくは、真空中で、 $1500^{\circ}\text{C}\sim 2200^{\circ}\text{C}$ の温度、0.5 分～60 分の時間で行うとよい。この熱処理時では、ドリフト層 2 の表面を炭素からなる膜で覆った状態、若しくは、ドリフト層 2 の表面、半導体基板 1 の裏面、並びに半導体基板 1 a 及びドリフト層 2 の各端面を炭素からなる膜で覆った状態で行っても良い。それにより、熱処理時における装置内の残留水分や残留酸素との反応によるエッチングでドリフト層 2 の表面が荒れることを抑止できる。

[0063] 続いて、熱酸化によりドリフト層 2 の表面にシリコン酸化膜（犠牲酸化膜）を形成し、フッ酸により当該酸化膜の除去することにより、表面の変質層を除去して清浄な面を得る。そして、CVD（Chemical Vapor Deposition）法などによりドリフト層 2 上にシリコン酸化膜を形成し、当該シリコン酸化膜に対して能動領域 7 上を開口するパターニングを行うことにより、能動領域 7 の外側の領域にフィールド酸化膜 31 を形成する。フィールド酸化膜 31 の厚さは、 $0.5\ \mu\text{m}\sim 2\ \mu\text{m}$ あればよい。

[0064] 次に、ドリフト層 2 の表面上にシリコン酸化膜のゲート絶縁膜 30 を形成する。ゲート絶縁膜 30 の形成手法としては、例えば、熱酸化法や堆積法が挙げられる。また、熱酸化法や堆積法によりシリコン酸化膜を形成した後に、窒化酸化ガス（NO や N_2O など）雰囲気やアンモニア雰囲気での熱処理や、不活性ガス（アルゴンなど）雰囲気での熱処理を行ってもよい。

[0065] そして、ゲート絶縁膜 30 上に多結晶シリコンや多結晶炭化珪素を CVD 法により堆積し、写真製版処理及びエッチングによるパターニングを行うこ

とにより、ゲート電極 35 を形成する。その結果、図 13 に示す構造が得られる。

[0066] ゲート電極 35 に用いる多結晶シリコンや多結晶炭化珪素は、リンや硼素やアルミニウムなどを含み、n形もしくはp形の低シート抵抗を有するものであることが望ましい。多結晶シリコンや多結晶炭化珪素に含ませるリンや硼素やアルミニウムは、その成膜中に取り込ませてもよいし、成膜後にイオン注入して活性化熱処理を行ってもよい。さらに、ゲート電極 35 の材料は、金属や金属間化合物またはそれらの多層膜であってもよい。

[0067] 次に、ドリフト層 2 上に CVD 法などによって層間絶縁膜 32 を形成する。そして、例えばドライエッチング法により、ソースパッド 41 をソースコンタクト領域 12a、ウェルコンタクト領域 25 及び終端低抵抗領域 28 に接続させるためのコンタクトホール（ソースコンタクトホール）を、層間絶縁膜 32 に形成する。また、ゲート配線 44 をゲート電極 35 に接続させるためのコンタクトホール（ゲートコンタクトホール）をこれと同時に形成してもよい。それにより、プロセス工程が簡略化され、製造コストを削減できる。

[0068] 続いて、ソースコンタクトホールの底に露出したドリフト層 2 の表面にオーミック電極 40 を形成する。オーミック電極 40 は、ソースコンタクト領域 12a、ウェルコンタクト領域 25 および終端低抵抗領域 28 とのオーミック接触を実現する。オーミック電極 40 の形成方法としては、ソースコンタクト内を含むドリフト層 2 の全面に Ni を主成分とする金属膜を成膜し、600～1100℃の熱処理により炭化珪素と反応させてオーミック電極 40 となるシリサイド膜を形成し、その後、層間絶縁膜 32 上に残留した未反応の金属膜を、硝酸、硫酸または塩酸あるいはそれらの過酸化水素水との混合液などを用いたウェットエッチングにより除去する、という方法が挙げられる。層間絶縁膜 32 上に残留した金属膜を除去した後に、再度熱処理を行っても良い。この場合は、先の熱処理よりも高温で行うことで、さらに低コンタクト抵抗なオーミック接触が形成される。

- [0069] なお、先の工程でゲートコンタクトホールが形成されていれば、ゲートコンタクトホール底にもシリサイドからなるオーミック電極が形成される。先の工程でゲートコンタクトホールが形成されていなければ、引き続いて写真製版処理とエッチングによって、ゲート配線44によりその後に充填されるべきゲートコンタクトホールを形成する。
- [0070] オーミック電極40は、その全体が同一の金属間化合物からなってもよいし、p型領域に接続する部分とn型領域に接続する部分とが、それぞれに適した別々の金属間化合物からなってもよい。オーミック電極40が第1導電型のソースコンタクト領域12aに対して十分低いオーミックコンタクト抵抗を有することがMOSFETのオン抵抗低減に重要である。一方、オーミック電極40が第2導電型のウェルコンタクト領域25に対して充分低いオーミックコンタクト抵抗を有することは、ウェル領域20のアース電位への固定や、MOSFETに内蔵されるボディダイオードの順方向特性改善の観点から好ましい。オーミック電極40においてp型領域に接続する部分とn型領域に接続する部分を作り分けることにより、この両方を実現できる。これは、写真製版処理を用いて、シリサイド膜を形成するための金属膜のパターニングをそれぞれで行うことで実現可能である。
- [0071] また、ドリフト層2上にオーミック電極40を形成する過程で、半導体基板1の裏面にも同様の手法で、オーミック電極42となるシリサイド膜を形成する。オーミック電極42は半導体基板1aにオーミック接触し、この後形成するドレイン電極43と半導体基板1aとの間で良好な接続を実現する。
- [0072] 続いて、スパッタ法や蒸着法により所定の金属膜を形成し、それをパターニングすることによって、層間絶縁膜32上にソースパッド41、ゲート配線44およびゲートパッド45を形成する。上記金属膜としては、Al、Ag、Cu、Ti、Ni、Mo、W、Ta、それらの窒化物、それらの積層膜、それらの合金膜などが考えられる。さらに、半導体基板1aの裏面のオーミック電極42上に、Ti、Ni、AgまたはAuなどの金属膜を形成して

ドレイン電極43を形成することにより、図14に示される構成のMOSFETが完成する。

[0073] 図示は省略するが、形成されたMOSFET上は、シリコン窒化膜やポリイミドなどの保護膜で覆っていてもよい。この保護膜には、ゲートパッド45及びソースパッド41上に開口が設けられ、ゲートパッド45及びソースパッド41と外部の制御回路とが接続可能なようにされる。

[0074] さらに、保護膜を形成した後に、半導体基板1aを裏面側から研削して100 μ m程度の厚みまで薄板化してもよい。この場合は、薄板化後に研削面の清浄化を行い、裏面全面にNiを主とした金属膜を成膜した後に、レーザーアニールなどの局所加熱法によって半導体基板1aの裏面にシリサイド膜を形成することで、オーミック電極42を形成する。そして上記の工程と同様に、オーミック電極42上に、TiやNiやAgやAuなどの金属膜から成るドレイン電極43を形成する。

[0075] また、上で説明したソース抵抗制御領域15aを形成するイオン注入工程（図12）の後に、そのときの注入マスク100cを用いて第2導電型の不純物をイオン注入することで、図16に示すように、ウェル領域20よりも幅が狭い高不純物濃度ウェル領域22を形成してもよい。図17は、高不純物濃度ウェル領域22を設けた場合のMOSFETの構造を示している。

[0076] 高不純物濃度ウェル領域22は、ウェル領域20の第2導電型の不純物濃度を高めてそのシート抵抗を低減させることができ、それにより、MOSFETのスイッチング動作時における電荷輸送の遅延によるスイッチング損失の低減や、信頼性の向上を図ることができる。高不純物濃度ウェル領域22の第2導電型の不純物濃度分布は、ドリフト層2の浅い位置で低濃度、深い位置で高濃度であることが望ましい。そうすることにより、第1導電型の不純物濃度が低いソース抵抗制御領域15aにおける実効不純物濃度に与える影響を抑えつつ、ウェル領域20の第2導電型の不純物濃度を高めることができる。高不純物濃度ウェル領域22の深さは、ウェル領域20よりも深くても、同じ深さでも、浅くてもよい。

[0077] 本実施の形態では、本発明が適用される半導体装置の例として、MOSFETを示したが、図18に示すように、第1導電型の半導体基板1aに代えて、第2導電型の半導体基板1bが用いられるIGBTに対しても適用可能である。IGBTにおいては、ソース領域12は「エミッタ領域」、ウェル領域20は「ベース領域」、半導体基板1bは「コレクタ領域」となる。エミッタ領域（ソース領域12）内に、高抵抗な抵抗制御領域（ソース抵抗制御領域15a）を設けることにより、エミッタ抵抗を高くすることができるため、エミッタ領域（ソース領域12）、ベース領域（ウェル領域20）およびドリフト層2からなる寄生トランジスタにおける電流利得を小さくすることができ、その結果、IGBTの寄生サイリスタが動作することによるラッチアップを防止できるという効果が得られる。

[0078] 実施の形態1によれば、ウェル領域20のチャンネル領域から、オーミック電極40及びソース電極41に至る経路に、ソースコンタクト領域12aおよびソースエクステンション領域12bとは異なる工程で形成されるソース抵抗制御領域15aが直列に挿入されるので、ソース抵抗制御領域15aの不純物濃度を変化させることにより実効的なソース抵抗を変化させることができる。

[0079] 短絡耐量の大きさに影響を及ぼすドレイン飽和電流は、チャンネルに印加されるゲート／ソース間電圧の2乗に比例するが、本発明のように有意なソース抵抗が存在する場合、実効的なゲート／ソース間電圧は、ソース抵抗とドレイン電流の積の分だけ減じたものとなる。そのため、ソース抵抗を大きくすれば、飽和電流は小さくなり、短絡耐量を高くできる。

[0080] しかし、ソース抵抗を過大に大きくすると、定格のオン動作時における導通損失を増大させることになり好ましくない。さらに、従来のMOSFETのように、ソース領域における第1導電型の不純物濃度が横方向に略一様である場合、ソース抵抗を高くすると、ソース領域とソースパッド（オーミック電極）とのコンタクト抵抗が増大することになり、素子の損失がさらに増大する。本発明では、ソースパッド41に接続するオーミック電極40は、

低抵抗なソースコンタクト領域 12 a にのみ接触し、高抵抗なソース抵抗制御領域 15 とは接触しない。よって、オーミック電極 40 とソース領域 12 とのコンタクト抵抗を低く維持される。従って、オン抵抗の過大な増大を抑えつつ、飽和電流が小さくなるようにソース抵抗を設計することができる。

[0081] また、ソース抵抗制御領域 15 a における伝導キャリア（電子または正孔）の移動度は、格子散乱の影響を強く受けて高温ほど低くなることが知られている。すなわち、高温ほど電気抵抗は大きくなる。ソース抵抗制御領域 15 a は、ソースコンタクト領域 12 a 及びソースエクステンション領域 12 b よりも第 1 導電型の不純物濃度が低いので、高温での電気抵抗の増加率はそれらよりも大きい。素子短絡時には、高ドレイン電流による発熱（ジュール熱）によって破壊直前には 1000 K にも及ぶことを本発明者らは確認しているが、本発明では高温になるにつれてソース抵抗制御領域 15 a の抵抗が大きくなり、チャネル領域に印加される実効的なゲート電圧が減少してドレイン電流を低減させる、いわば負帰還が機能する。従って、1000 K 程度まで温度上昇するまでの時間を伸ばすことができ、短絡耐量を大幅に向上できる。

[0082] ところで、実施の形態 1 では、ソースエクステンション領域 12 b はソースコンタクト領域 12 a と同じ第 1 導電型の不純物濃度分布を有し、低シート抵抗である。一般に、チャネル領域のソース側の端部は、その直上にゲート絶縁膜 30 及びゲート電極 35 を有し、さらに該端部はゲート電極 35 の端部よりも内側に設置されて、ゲート電極 35 とオーバーラップしていることが、チャネル領域とのつなぎ抵抗を低減させるために必要である。

[0083] また、MOS 構造を有する炭化珪素半導体装置の作製においては、従来の珪素を用いた半導体装置の作製で広く適用されているような、ゲート電極を形成後にソース領域の形成の注入と活性化アニールを行う自己整合的なプロセスが適用できないため、ソース領域とゲート電極の各パターニング時の写真製版処理における合わせずれに対する十分なマージンを持って設置される。従って、ソース領域において、ゲート電極とオーバーラップする領域はオ

ン動作時にはキャリアがMOS界面に蓄積されて低抵抗となるが、ゲート電極とオーバーラップしていない領域は、シート抵抗そのものがソース抵抗に影響を及ぼす。よって、飽和電流低減を目的としてソース領域の全体を高シート抵抗化すると、ゲート電極とオーバーラップしていない領域長が飽和電流の大きさに寄与することになるが、その経路長は、ゲート電極との位置合わせ精度に依存するので、ユニットセル10内においてソース抵抗のバラツキを生じる場合がある（オーバーラップ量が多いと経路長は短くなりソース抵抗は減少し、オーバーラップ量が少ないと経路長は長くなりソース抵抗は増加する）。これは、飽和電流値のユニットセル10内におけるアンバランスを招き、好ましくない。

[0084] 本実施の形態では、ゲート電極35とオーバーラップするソースエクステンション領域12bは、実効的なゲート電圧低減への影響が少ない程度にシート抵抗が低く設定されている。また、ソース抵抗制御領域15aはゲート電極35とオーバーラップさせていない。ソース抵抗制御領域15aの経路長すなわちソースコンタクト領域12aとソースエクステンション領域12bとの間隔は、一度の写真製版処理（図10及び図15）で決定され、位置合わせ精度に依存しない。従って、飽和電流のユニットセル10内におけるアンバランスが生じることを防止できる。

[0085] また、特に炭化珪素を用いたMOS構造を有する素子においては、注入不純物量が多い領域に例えば熱酸化を施すと、注入していない領域に比べて酸化速度が増加する増速酸化が起こることが知られている。実施の形態1では、シート抵抗が小さい、すなわち注入不純物量が多いソースエクステンション領域12bがゲート電極35端部でMOS構造を形成するため、ゲート絶縁膜30を熱酸化で形成した場合に、その部分の酸化膜厚を大きくできる。その結果、ゲート電極35端部でのゲート電界を弱め、より高い信頼性の素子が形成される。このことも、ソース抵抗制御領域15aをゲート電極35とオーバーラップさせていない理由の一つである。

[0086] 本発明者等は、本実施の形態に係る半導体素子を試作し、その電気的特性

を評価する実験を行った。以下、その実験結果を示す。

[0087] 図19は、炭化珪素MOSFETのドレイン電流密度とドレイン電圧との関係を示すグラフである。同図において、「素子A」は試作した本実施の形態に係る炭化珪素MOSFETであり、「素子B」および「素子C」は比較対象として作製した従来の炭化珪素MOSFETである。また、図20には、素子A、B、Cそれぞれのチャネル長、しきい値電圧およびオン抵抗を示している（オン抵抗は、ドレイン電流密度が 100 A/cm^2 のときの値である）。

[0088] 素子Aは、ソース抵抗制御領域 15 a を有しており、チャネル長が $0.4\text{ }\mu\text{m}$ 、しきい値電圧が 2.5 V 、オン抵抗が $16\text{ m}\Omega\text{ cm}^2$ である。素子Bは、ソース抵抗制御領域 15 a を有していないが、チャネル長を素子Aと同じ $0.4\text{ }\mu\text{m}$ としたものである。素子Bは素子Aとチャネル構造が同じため、しきい値電圧も素子Aと同等の 2.3 V である。素子Cは、ソース抵抗制御領域 15 a を有していないが、オン抵抗が素子Aと同等になるようにチャネル長を長くしたものである。具体的には、素子Cのチャネル長は $0.8\text{ }\mu\text{m}$ であり、オン抵抗は $15\text{ m}\Omega\text{ cm}^2$ である。

[0089] 図20に示すように、素子Aは、ソース抵抗制御領域 15 a を有する分だけ、素子Bよりもオン抵抗が大きい。また、図19の実験結果から、素子Aの方がドレイン電流の飽和特性が優れていることが分かる。これは、素子Bでは短チャネル効果により飽和特性の劣化しているのに対し、素子Aでは、ソース抵抗制御領域 15 a における電圧降下により実効的なゲート電圧が減少することによって、短チャネル効果による飽和特性の劣化が抑えられているためと考えられる。

[0090] 一方、素子Cは、素子Aとオン抵抗は同等であるが、図19の実験結果から、素子Aの方が素子Cよりもドレイン電流の飽和特性に優れていることが分かる。MOSFETでは、高バイアス時に発熱によってMOSチャネル特性が向上（チャネル移動度が増加）する効果が生じる。素子Cではその効果によって高バイアス時のドレイン電流が増加するが、素子Aでは、ソース抵

抗制御領域 15 a での電圧降下によって実効的なゲート電圧が減少することによりその効果が相殺され、ドレイン電流の増加が抑制されるので、素子 C よりも優れた飽和特性が得られるものと考えられる。

[0091] このように、ソース抵抗制御領域 15 a を有する半導体素子は優れた飽和特性を有していることが確認された。これは短絡耐量の向上を意味しており、本発明の一つの効果が現れたものである。

[0092] 以上のように、実施の形態 1 に係る半導体装置によれば、ソース領域 12 が、ソースパッド 41 に接続するオーミック電極 40 に接触するソースコンタクト領域 12 a と、チャネル領域に隣接するソースエクステンション領域 12 b と、その間のソース抵抗制御領域 15 a とが直列に接続した構造を有するため、ソース抵抗制御領域 15 a のシート抵抗に応じたソース抵抗によって、飽和電流を制御することができる。

[0093] また、ソースエクステンション領域 12 b とソースコンタクト領域 12 a は同時に形成され、両者の第 1 導電型の実効的な不純物濃度分布が等しいので、プロセス工数の削減による製造コストの低減や、微細パターニング形成が不要となることによる製造上の容易さの向上や、両者の間に挟まれたソース抵抗制御領域 15 a の長さの制御が容易にできる。

[0094] さらに、ソース抵抗制御領域 15 a における第 1 導電型の不純物濃度分布は、ソースエクステンション領域 12 b からソースコンタクト領域 12 a に向かう方向に均一であるので、ソース抵抗制御領域 15 a で実現されるソース抵抗の設計値に対する制御性が増し、製造上のロバスト性が向上する。

[0095] また、ソース抵抗制御領域 15 a は、ソースエクステンション領域 12 b からソースコンタクト領域 12 a に向かう方向の距離がユニットセル 10 内で均一であるので、ユニットセル 10 内における電流分布及び負荷短絡時における発熱分布が一様となり、負荷短絡時などの発熱を伴う素子破壊に対する信頼性が向上する。

[0096] また、ソース抵抗制御領域 15 a 内の第 1 導電型の不純物濃度を、ソースエクステンション領域 12 b またはソースコンタクト領域 12 a の第 1 導電

型の不純物濃度よりも1桁以上小さくして（ $1/10$ 以下にして）、ソース抵抗制御領域15aのシート抵抗を高くすることにより、半導体装置のオン抵抗に対して有意なソース抵抗を与えることができ、飽和電流低減と短絡耐量増加の効果を奏する。ソース抵抗制御領域15a内の第1導電型の不純物濃度の深さを、ソースエクステンション領域12bまたはソースコンタクト領域12aの第1導電型の不純物濃度よりも浅くしても、ソース抵抗制御領域15aのシート抵抗が高くなり、半導体装置のオン抵抗に対して有意なソース抵抗を与えることができ、同様の効果が得られる。

[0097] <実施の形態2>

実施の形態1では、ソースコンタクト領域12a及びソースエクステンション領域12bを形成するためのイオン注入と、ソース抵抗制御領域15aを形成するためのイオン注入とを別の工程で行っていたが、実施の形態2では、それらを1回のイオン注入工程で行う技術を提案する。

[0098] 図21は、実施の形態2に係る半導体装置である炭化珪素MOSFETの製造方法を説明するための図である。本実施の形態では、実施の形態1で図11を用いて説明した示した工程において、ソース抵抗制御領域15aの形成領域上に形成した注入マスク101aを、図21のように、その厚みが薄い注入マスク101bに置き換える。この注入マスク101bの厚さは、ソースコンタクト領域12a及びソースエクステンション領域12bを形成するための第1導電型の不純物のイオン注入時に、その不純物の一部が貫通する程度の厚さとする。

[0099] この場合、ソースコンタクト領域12a及びソースエクステンション領域12bを形成するイオン注入の際に、注入マスク101bを通り抜けた不純物によって、不純物濃度が低く且つ厚さの薄いソース抵抗制御領域15aを形成することができる。つまり、ソースコンタクト領域12a、ソースエクステンション領域12b及びソース抵抗制御領域15aを同時に形成することができる。

[0100] 図22は、上記の方法で炭化珪素半導体に形成したソース領域12におけ

る第1導電型の不純物濃度分布を数値計算した結果を示す図である。この数値計算は、注入マスク101bとしてシリコン酸化膜を用い、その厚さを450nmとし、窒素を110keVで注入したと仮定したものである。注入マスク101bで覆われていない領域には、約0.30 μ mの深さで最大窒素濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 以上の値を有するソースエクステンション領域12b及びソースコンタクト領域12aに相当する領域がそれぞれ得られている。一方、注入マスク101bの下の領域には、約0.05 μ mの深さで窒素濃度 1×10^{16} から $1 \times 10^{18} \text{ cm}^{-3}$ 程度の、ソース抵抗制御領域15aに相当する領域が得られているのが分かる。

[0101] 本実施の形態によれば、ソース抵抗制御領域15aを個別に形成する工程を省略できるため、製造工程が簡略化される。

[0102] また、図23のように、図21で示した矩形性の高い注入マスク101bに代えて、側壁が傾斜したテーパ形状の注入マスク101cを用いてもよい。この場合、ソースコンタクト領域12aやソースエクステンション領域12bを形成するイオン注入の際に、注入マスク101cの傾斜面を通り抜けた不純物によって、ソース抵抗制御領域15aが形成される。そのため、形成されるソース抵抗制御領域15aの不純物濃度は、横方向に一定にはならず、中央部に向けて連続的に減少する分布となる。注入マスク101cの厚みと不純物の注入条件は、形成されるソース抵抗制御領域15aの中央部が実効的に第1導電型を示すように設定する。なお、このようなソース抵抗制御領域15aの不純物濃度分布は、図21のように矩形性の高い注入マスク101bを用いて、ドリフト層2の表面に対して斜め方向からのイオン注入を回転させながら行うことによっても形成可能である。

[0103] また、図24のように、ソースコンタクト領域12a及びソースエクステンション領域12bを形成するための注入マスク100c、100cNのうち、ソース抵抗制御領域15aの形成領域上に形成する注入マスク100cNの幅を狭くしてもよい。注入マスク101cNの幅は、ソースコンタクト領域12aを形成するイオン注入における不純物の横方向の広がり、ソー

スエクステンション領域 12b を形成するイオン注入における不純物の横方向の広がりとの和よりも小さくし、例えば $0.2 \mu\text{m}$ 程度とする。幅が十分に狭い注入マスク 100cN を形成困難な場合は、やや幅の広い注入マスク 100c、100cN を形成した後に、トリミングなどの処理によってその幅を縮めてもよい。

[0104] 注入マスク 100c、100cN を用いてソースコンタクト領域 12a およびソースエクステンション領域 12b を形成するイオン注入を行うと、注入された不純物の横方向散乱により、ドリフト層 2 の深い位置でソースコンタクト領域 12a とソースエクステンション領域 12b とが接触し、その部分が第 1 導電型の不純物濃度が低いソース抵抗制御領域 15a となる。つまり、ソースコンタクト領域 12a、ソースエクステンション領域 12b 及びソース抵抗制御領域 15a を同時に形成することができる。

[0105] 図 25 は、上記の方法で炭化珪素半導体に形成したソース領域 12 における第 1 導電型の不純物濃度分布を数値計算した結果を示す図である。この数値計算は、 $0.2 \mu\text{m}$ の幅の注入マスクを用いて、窒素を 110keV で注入したと仮定したものである。また図 26 は、そのときの深さ $0.19 \mu\text{m}$ における横方向の窒素濃度分布を示している。ソースコンタクト領域 12a 及びソースエクステンション領域 12b に相当する領域の窒素濃度がおよそ $2 \times 10^{19} \text{cm}^{-3}$ であるのに対し、その間のソース抵抗制御領域 15a に相当する領域の窒素濃度はそれよりも低く、極小値で $1 \times 10^{17} \text{cm}^{-3}$ 程度となっている。

[0106] この手法においても、ソース抵抗制御領域 15a を個別に形成する工程を省略できるため、製造工程が簡略化される効果が得られる。特に、炭化珪素における不純物の熱拡散係数はパワーデバイス用として従来より用いられている珪素における不純物の熱拡散係数に比べて非常に小さく、活性化アニールなどの高温熱処理によっても熱拡散による注入不純物の再分布はほとんど発生せず、注入時の分布をほとんど維持する。従って、図 25 や図 26 に示すような急峻な不純物分布を素子の最終形状として容易に得ることができる。

- 。
- [0107] 次に、ソースコンタクト領域 1 2 a、ソースエクステンション領域 1 2 b およびソース抵抗制御領域 1 5 a から成るソース領域 1 2 を、1 回のイオン注入工程で形成する他の手法を説明する。
- [0108] 実施の形態 1 で図 1 0 を用いて説明した示した工程において、ソース抵抗制御領域 1 5 a の形成領域上に注入マスク 1 0 0 b N を形成せずに、図 2 7 のように注入マスク 1 0 0 b のみを形成し、第 1 導電型の不純物をイオン注入することでソース領域 1 2 を形成する。その後、レジストマスクなどを用いる選択的なエッチングにより、図 2 8 のように、ソース抵抗制御領域 1 5 a の形成領域の上部にリセス 2 6 を形成し、その部分のソース領域 1 2 を薄くする。つまり、リセス 2 6 はソース領域 1 2 の深さよりも浅くし、リセス 2 6 の底部に第 1 導電形の領域を残存させる。
- [0109] エッチングにより薄くなったソース領域 1 2 の部分（リセス 2 6 底部の第 1 導電形の領域）は、高抵抗になるため、ソース抵抗制御領域 1 5 a として機能することになる。また、両側のエッチングされなかったソース領域 1 2 の部分は、低抵抗に維持されるので、ソースコンタクト領域 1 2 a およびソースエクステンション領域 1 2 b として機能することになる。
- [0110] このように、当該手法では、イオン注入工程を 1 回行うだけで、ソースコンタクト領域 1 2 a、ソースエクステンション領域 1 2 b およびソース抵抗制御領域 1 5 a から成るソース領域 1 2 が形成される。またこの手法によれば、ソース抵抗制御領域 1 5 a の抵抗値を、リセス 2 6 の幅や深さで制御することができる。
- [0111] <実施の形態 3>
- 実施の形態 3 においては、ソースコンタクト領域 1 2 a 及びソースエクステンション領域 1 2 b を形成するための注入マスクと、ウェル領域 2 0 を形成するための注入マスクとを、1 回の写真製版のみを用いて形成する技術を提案する。
- [0112] 実施の形態 3 では、ソースエクステンション領域 1 2 b 及びソースコンタ

クト領域 12 a を形成した後に、そのとき用いた注入マスクに対してトリミング処理を行うことにより、ウェル領域 20 を形成するためのマスクに加工する。よって本実施の形態では、ウェル領域 20 の形成は、ソースコンタクト領域 12 a 及びソースエクステンション領域 12 b の形成の後に行われる。

[0113] 図 29 及び図 30 は、本実施の形態におけるウェル領域 20、ソースコンタクト領域 12 a 及びソースエクステンション領域 12 b の形成工程を示す図である。ウェル領域 20 の形成に先立って、図 29 のように、ソースコンタクト領域 12 a の形成領域及びソースエクステンション領域 12 b の形成領域上が開口された注入マスク 100 d, 100 d N を形成し、第 1 導電型の不純物を注入することで、ソースエクステンション領域 12 b 及びソースコンタクト領域 12 a を形成する。このとき、ソース抵抗制御領域 15 a の形成領域上に形成される注入マスク 100 d N の幅 L_{N0} は、後に形成されるウェル領域 20 のチャンネル領域の長さ（チャンネル長） L_{ch} の 2 倍以下とする。

[0114] そして、図 30 のように、エッチングにより注入マスク 100 d, 100 d N のトリミングを行う。このトリミングは、注入マスク 100 d N がレジストである場合には酸素プラズマ処理により、また、注入マスク 100 d N がシリコン酸化膜である場合には、 CHF_3 ガスなどを用いたドライエッチングや、フッ酸やバッファードフッ酸によるウェットエッチングにより行う。トリミングにおけるエッチング量は、後に作成されるウェル領域 20 のチャンネル領域の長さ L_{ch} 程度とする。注入マスク 100 d N は、その幅 L_{N0} がチャンネル領域の長さ L_{ch} の 2 倍以下であるので、トリミングにより完全に除去される。

[0115] そして図 30 に示すように、トリミングされた注入マスク 100 d を用いて第 2 導電型の不純物をイオン注入することで、ウェル領域 20 を形成する。ウェル領域 20 のチャンネル領域の長さ L_{ch} は、トリミング量と同程度の長さにより自己整合的に形成される。またソース抵抗制御領域 15 a の形成領域

上の注入マスク100dNは除去されているので、当該領域の下方にも一様なウェル領域20を形成される。その後は実施の形態1で説明した図12以降の工程を行うことにより、図14に示したMOSFET構造が得られる。

[0116] 本実施の形態によれば、ソース抵抗制御領域15aの下方にも一様なウェル領域20を形成できると共に、自己整合的に均一な長さのチャンネル領域を形成できるため、オン電流分布やしきい値電圧がユニットセル10内で一様となり、信頼性の高い半導体装置を得ることができる。

[0117] <実施の形態4>

実施の形態4では、本発明をトレンチ形のMOSFETに適用する。図31～図39は、本実施の形態に係る半導体装置であるトレンチ形の炭化珪素MOSFETの製造方法を示す工程図である。これらの図は、能動領域7内に複数配設されたユニットセル10のうちの一つの右側半分の縦断面に相当する。つまり、図31～図39は終端領域を含んでおらず、能動領域7内の領域の任意の位置の断面を示している。

[0118] 以下、実施の形態4に係る炭化珪素MOSFETの製造方法を説明する。

[0119] まず、実施の形態1と同様に、半導体基板1a上にドリフト層2を形成する。そして図9～図12を用いて説明した工程と同様の手順で、ドリフト層2へのイオン注入を行い、ソースコンタクト領域12a、ソースエクステンション領域12bおよびソース抵抗制御領域15aから成るソース領域12を形成する。さらに、選択的なイオン注入により、ウェルコンタクト領域25を形成する。

[0120] ここで、ウェル領域20およびソースエクステンション領域12bは、隣接するユニットセル10間で繋がっていてもよい（つまりJFET領域11が形成されなくてもよい）。また、ソース抵抗制御領域15aは、ソースエクステンション領域12bに対して不純物濃度が充分小さく、ソースエクステンション領域12bの不純物濃度に殆ど影響しないため、ソース抵抗制御領域15aもユニットセル10間で繋げて形成してもよい。すなわち、図9の注入マスク100a、図10（または図11）の右側の注入マスク100

b、図12の注入マスク100cは省略してもよい。その場合、図31に示す構造が得られる。

[0121] また、ソースコンタクト領域12aおよびソースエクステンション領域12bは、図31のようにドリフト層2の表面に接していてもよいし、図32のようにドリフト層2の表面から離間していてもよい。図32の例では、ソースコンタクト領域12aおよびソースエクステンション領域12bがドリフト層2の内部に埋め込まれるように形成されており、その上層部（ドリフト層2の表面部）に、ソース抵抗制御領域15aが、ソースコンタクト領域12aおよびソースエクステンション領域12bに接するように形成されている。

[0122] 次に、選択的なエッチングにより、ユニットセル10の間の領域に、図33に示すようなトレンチ110を形成する。このトレンチ110は、ウェル領域20およびソースエクステンション領域12bに接し、且つ、ウェル領域20の底よりも深く形成する。トレンチ110の側壁には、ソースエクステンション領域12bおよびウェル領域20が、縦方向（ドリフト層2の表面に垂直な方向、すなわちトレンチ110の深さ方向）に並んで露出される。

[0123] トレンチ110のコーナー部の形状は、MOSFETの動作時における電界集中を低減するために、テーパ形状もしくはラウンド形状となっていることが望ましい。また、トレンチ110の側壁は、ドリフト層2の表面に対して垂直に近いことが望ましい。

[0124] 続いて、犠牲酸化法やCDE（Chemical Dry Etching）などによって、トレンチ110の側壁面を清浄化した後、実施の形態1と同様の手法により、フィールド酸化膜31、ゲート酸化膜30およびゲート電極35を形成する。

[0125] 図34に示すように、ゲート絶縁膜30は、トレンチ110の内部を含むドリフト層2の表面に形成される。ゲート電極35は、少なくとも一部がトレンチ110内に埋め込まれており、トレンチ110の側壁に露出したソー

ソースエクステンション領域12b、ウェル領域20およびドリフト層2に、ゲート絶縁膜30を介して隣接するように配設される。つまり、ゲート電極35は、トレンチ110の側壁に露出したソースエクステンション領域12b、ウェル領域20およびドリフト層2に跨がって延在する。この場合、ウェル領域20の下のドリフト層2とソースエクステンション領域12bとに挟まれ、且つ、トレンチ110に隣接するウェル領域20の部分が、当該MOSFETのチャンネル領域となる。

[0126] ゲート電極35のパターニングの際に、ゲート電極35の横方向の端部をトレンチ110の外側に位置させると、図34のようにゲート電極35の一部がトレンチ110に埋め込まれる構成となる。一方、図35のように、ゲート電極35をトレンチ110の内部（側壁部）のみに残存させ、ゲート電極35の全体がトレンチ110内に埋め込まれるようにしてもよい。

[0127] ゲート電極35を形成した後は、実施の形態1と同様の手順により、層間絶縁膜32、オーミック電極40およびソースパッド41を形成する。それにより、図36に示す構成のトレンチ形の炭化珪素MOSFETが得られる。

[0128] なお、ソース領域12を図32に示した構成とした場合、炭化珪素MOSFETの構成は図37のようになる。また、ゲート電極35を図35に示した形状とした場合、炭化珪素MOSFETの構成は図38のようになる。さらに、ソース領域12を図32に示した構成とし、且つ、ゲート電極35を図35に示した形状とした場合、炭化珪素MOSFETの構成は図39のようになる。

[0129] 図36や図37のようにゲート電極35の幅を広くすれば、ゲート電極35の抵抗値を十分に低くできる利点があるが、トレンチ110のエッジ部や、トレンチ110底のMOS構造の部分に高電界が生じやすくなる。

[0130] 一方、図38や図39のようにゲート電極35がトレンチ110の側壁のみに形成されていれば、上記の高電界の問題を回避できると共に、ゲート電極35をセルフアラインプロセスで形成できるため、マスク枚数の削減によ

るコスト低減にも寄与できる。なお、図38および図39において、ゲート電極35はゲート絶縁膜30を挟んでソースエクステンション領域12bに隣接する（横方向にオーバーラップする）ように形成しているが、このことはMOSFETのチャネル抵抗の増大を防ぐ観点から重要である。

[0131] このように、本発明はトレンチ型のMOSFETに対しても適用可能である。この場合も、ウェル領域20のチャネル領域から、オーミック電極40及びソース電極41に至る経路に、ソースコンタクト領域12aおよびソースエクステンション領域12bとは異なる工程で形成されるソース抵抗制御領域15aが直列に挿入されるので、ソース抵抗制御領域15aの不純物濃度を変化させることにより実効的なソース抵抗を変化させることができ、実施の形態1と同様の効果を得ることができる。特に、トレンチ型のMOSFETは、JFET領域11を有しない構造であるため、JFET効果による飽和電流制御ができないが、本発明を適用することにより、ソース抵抗の制御による飽和電流制御が可能になる。

[0132] <実施の形態5>

実施の形態5では、実施の形態4と同様に、本発明をトレンチ形のMOSFETに適用するが、ソース領域12の構成を、ソースコンタクト領域12a、ソース抵抗制御領域15a、ソースエクステンション領域12bが縦方向（ドリフト層2の表面に対して垂直な方向、以下「深さ方向」ともいう）に並ぶ積層構造とする。

[0133] 図40～図45は、本実施の形態に係る半導体装置であるトレンチ形の炭化珪素MOSFETの製造方法を示す工程図である。これらの図は、能動領域7内に複数配設されたユニットセル10のうちの一つの右側半分の縦断面に相当する。つまり、図40～図45は終端領域を含んでおらず、能動領域7内の領域の任意の位置の断面を示している。

[0134] 以下、実施の形態5に係る炭化珪素MOSFETの製造方法を説明する。

[0135] 半導体基板1a上にドリフト層2を形成した後、ドリフト層2に、ウェル領域20、ソース領域12およびウェルコンタクト領域25を形成する。本

実施の形態では、ソース領域 1 2 は、ソースコンタクト領域 1 2 a、ソース抵抗制御領域 1 5 a およびソースエクステンション領域 1 2 b が図 4 0 のように深さ方向に並ぶ三層構造となるようにする。

[0136] 三層構造のソース領域 1 2 は、エピタキシャル成長法、イオン注入法、あるいは両者の組み合わせによって形成可能である。例えば、ソース領域 1 2 を全てエピタキシャル成長により形成する場合、まず、ウェル領域 2 0 の上にソースエクステンション領域 1 2 b となる第 1 導電型の半導体を成長させ、その上にソース抵抗制御領域 1 5 a となる第 1 導電型の半導体を成長させ、さらにその上にソースコンタクト領域 1 2 a となる第 1 導電型の半導体を成長させる。これらのエピタキシャル成長工程では、ソースコンタクト領域 1 2 a、ソース抵抗制御領域 1 5 a、ソースエクステンション領域 1 2 b のそれぞれが、所望の不純物濃度および膜厚となるように、形成条件を適宜設定する。

[0137] また例えば、ソースエクステンション領域 1 2 b とソース抵抗制御領域 1 5 a をエピタキシャル成長で形成し、ソースコンタクト領域 1 2 a をイオン注入で形成してもよい。すなわち、ウェル領域 2 0 の上にソースエクステンション領域 1 2 b となる第 1 導電型の半導体を成長させ、その上にソース抵抗制御領域 1 5 a となる第 1 導電型の半導体を成長させ、その後、ソース抵抗制御領域 1 5 a の上層部に第 1 導電型の不純物をイオン注入してソースコンタクト領域 1 2 a を形成してもよい。

[0138] なお、ウェル領域 2 0 は、ドリフト層 2 の上層部に第 2 導電型の不純物をイオン注入して形成してもよいし、ドリフト層 2 の上に第 2 導電型の半導体をエピタキシャル成長させて形成してもよい。また、ウェルコンタクト領域 2 5 は、ソース領域 1 2 を形成した後、イオン注入により形成する。

[0139] ソース抵抗制御領域 1 5 a をエピタキシャル成長法で形成する場合、ウェル領域 2 0 における第 2 導電型の不純物量に影響されずに、且つ、イオン注入により生じる欠陥（注入欠陥）のない高品質で低ドーパ量のソース抵抗制御領域 1 5 a を形成することができる。そのため、ソース抵抗制御領域 1 5

aは、移動度の温度依存性が大きい（高温ほど高抵抗を示す）ものとなる。ソース抵抗制御領域15aの移動度の温度依存性が大きいと、素子短絡時などの発熱時に飽和電流を押し下げる効果が大きくなり、MOSFETの短絡耐量を向上させる効果が得られる。

[0140] また、エピタキシャル成長法で三層構造のソース領域12を形成した後、第2導電型の不純物の選択的なイオン注入を追加して行い、図41のように、ソース抵抗制御領域15aおよびソースエクステンション領域12bの一部に重複する第2導電型の追加注入ウェル領域24を形成してもよい。追加注入ウェル領域24が形成されることにより、ソース抵抗制御領域15aおよびソースエクステンション領域12bの幅（オン電流経路の幅）が狭くなり、ソース抵抗制御領域15aの抵抗が増大するため、MOSFETの短絡耐量の更なる向上を図ることができる。なお、追加注入ウェル領域24は、この後形成するトレンチ110とは離間する位置に形成する。

[0141] また、三層構造のソース領域12を、全て第1導電型の不純物のイオン注入で形成してもよい。この場合、ソースコンタクト領域12a、ソース抵抗制御領域15a、ソースエクステンション領域12bが、それぞれ所望の形成深さおよび不純物濃度となるように、各イオン注入における注入エネルギーおよびドーズ量を適宜設定する。

[0142] この場合、注入マスクを用いることにより、ソース抵抗制御領域15aおよびソースエクステンション領域12bの幅を設定できるため、追加注入ウェル領域24を形成することなく、図42のようにソース抵抗制御領域15aの幅を狭くして、MOSFETの短絡耐量の更なる向上を図ることができる。

[0143] 図46は、本実施の形態に係る炭化珪素MOSFETのウェル領域20、ソースコンタクト領域12a、ソースエクステンション領域12b、ソース抵抗制御領域15aをいずれもイオン注入法で形成した場合における、ウェル領域20およびソース領域12における不純物濃度分布の数値計算結果を示すグラフである。図46のグラフの横軸は、図40のG1-G2線に沿っ

た、ドリフト層2の表面からの深さである。ここでは、第1導電型不純物として窒素(N)を用い、第2導電型不純物としてアルミニウム(Al)を用いた例を示している。

[0144] 第1導電型の不純物(N)の濃度が第2導電型の不純物(Al)の濃度よりも高くなっている、ドリフト層2の表面からの深さが0.35 μ m程度までの領域が、ソース領域12に相当する。そのうち、深さ0~0.1 μ m程度の領域がソースコンタクト領域12aであり、深さ0.1~0.15 μ m程度の領域がソース抵抗制御領域15aであり、深さ0.15~0.35 μ m程度の領域がソースエクステンション領域12bである。また、深さが0.35~1.0 μ m程度の領域がウェル領域20である。

[0145] 炭化珪素は不純物の熱拡散係数が非常に小さく、不純物を活性化させる高温熱処理を経ても注入時の分布がほぼ保たれるため、完成したMOSFETにおいても図46で示すような不純物分布を容易に得ることができる。なお、ソース抵抗制御領域15aにおける実効的な第1導電型の不純物濃度を下げするために、第1導電型の不純物濃度が極小となる深さに(図46における深さ0.1 μ m程度の位置)、第2導電型の不純物を追加注入してもよい。

[0146] ウェル領域20、ソース領域12およびウェルコンタクト領域25を形成した後は、実施の形態4と同様の手法により、トレンチ110、ゲート絶縁膜30およびゲート電極35を形成する。このとき、トレンチ110は、ソース領域12およびウェル領域20を貫通して、ウェル領域20の下のドリフト層2に達するように形成される。ソース領域12は、深さ方向にソースコンタクト領域12a、ソース抵抗制御領域15aおよびソースエクステンション領域12bが積層した構造であるので、それらのいずれもがトレンチ110の側壁に達する構造となる。実施の形態4と同様に、当該MOSFETのチャネル領域は、ウェル領域20の下のドリフト層2とソースエクステンション領域12bとに挟まれ、且つ、トレンチ110に隣接するウェル領域20の部分となる。

[0147] 本実施の形態では、ゲート電極35の全体がトレンチ110内に埋め込ま

れるようにする。このとき、ゲート電極 35 は、ソースエクステンション領域 12 b の一部とオーバーラップさせるが、ソース抵抗制御領域 15 a とはオーバーラップさせない（図 43 参照）。つまり、ゲート電極 35 は、ソースエクステンション領域 12 b、ウェル領域 20 およびドリフト層 2 に跨がるように延在することになる。ゲート電極 35 がソースエクステンション領域 12 b とオーバーラップすることで、MOSFET のチャネル抵抗の増大を防止できる。また、ゲート電極 35 がソース抵抗制御領域 15 a にオーバーラップしないことで、ソース抵抗制御領域 15 a による本発明の効果がゲートバイアスに依存しないようにできる。

[0148] その後は、実施の形態 1 と同様の手順により、層間絶縁膜 32、オーミック電極 40 およびソースパッド 41 を形成することにより、図 43 に示す構成のトレンチ形の炭化珪素 MOSFET が得られる。

[0149] なお、ソース領域 12 を図 41 に示した構成とした場合、炭化珪素 MOSFET の構成は図 44 のようになる。また、ゲート電極 35 を図 42 に示した形状とした場合、炭化珪素 MOSFET の構成は図 45 のようになる。

[0150] 実施の形態 5 に係る半導体装置によれば、ソースエクステンション領域 12 b、ソース抵抗制御領域 15 a およびソースコンタクト領域 12 a が深さ方向に並ぶため、ユニットセル 10 の横方向のセルピッチを縮小することができ、高チャネル密度化による素子のオン抵抗の低減を図ることができる。また、ソース抵抗制御領域 15 a をエピタキシャル成長法で形成することにより、注入欠陥のなく低不純物濃度で温度特性に優れた領域とすることができ、素子の短絡耐量をさらに向上させることができる。

[0151] なお、実施の形態 4, 5 で示したトレンチ型の炭化珪素 MOSFET においても、第 1 導電型の半導体基板 1 a に代えて、第 2 導電型の半導体基板 1 b（図 18）を用いることで IGBT の構成となり、本発明は IGBT に対しても適用可能である。

[0152] なお、上記の実施の形態 1～3 に示した半導体装置の構造から得られる効果は、その構造を有する限り、他の製造方法で形成されたとしても同様に得

られる。また、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

符号の説明

[0153] 1 a 半導体基板、1 b 半導体基板、2 ドリフト層、5 チップ、7 能動領域、10 ユニットセル、11 JFET領域、12 ソース領域、12 a ソースコンタクト領域、12 b ソースエクステンション領域、13 フィールドストップ領域、15 a ソース抵抗制御領域、20 ウェル領域、21 終端ウェル領域、22 高不純物濃度ウェル領域、23 ウェルブリッジ領域、24 追加注入ウェル領域、25 ウェルコンタクト領域、26 リセス、28 終端低抵抗領域、30 ゲート絶縁膜、31 フィールド酸化膜、32 層間絶縁膜、35 ゲート電極、40 オーミック電極、42 オーミック電極、41 ソースパッド、43 ドレイン電極、44 ゲート配線、45 ゲートパッド、50 FLR領域、100 a, 100 b, 100 bN, 100 c, 101 b, 101 c, 100 cN, 100 d, 100 dN 注入マスク、101 注入マスクのコーナー部、110 トレンチ。

請求の範囲

[請求項1]

半導体基板(1a)と、
前記半導体基板(1a)上に形成された第1導電型のドリフト層(2)と、
、
前記ドリフト層(2)の表層部に選択的に形成された第2導電型のウェル領域(20)と、
前記ウェル領域(20)内の表層部に形成された第1導電型のソース領域(12)と、
前記ウェル領域(20)に隣接する前記ドリフト層(2)の部分であるJ F E T領域(11)と、
前記ソース領域(12)と前記J F E T領域(11)とに挟まれた前記ウェル領域(20)の部分であるチャネル領域と、
前記ドリフト層(2)上にゲート絶縁膜(30)を介して配設され、前記ソース領域(12)、前記チャネル領域および前記J F E T領域(11)に跨って延在するゲート電極(35)と、
前記ソース領域(12)に接続するソース電極(41)と、
前記半導体基板(1a)の裏面に形成されたドレイン電極(43)とを備え、
、
前記ソース領域(12)は、
前記ソース電極(41)に接続するソースコンタクト領域(12a)と、
前記チャネル領域に隣接するソースエクステンション領域(12b)と、
、
前記ソースエクステンション領域(12b)と前記ソースコンタクト領域(12a)との間に配設され、前記ソースエクステンション領域(12b)および前記ソースコンタクト領域(12a)とは第1導電型の不純物濃度が異なるソース抵抗制御領域(15a)とを含み、
前記ソースコンタクト領域(12a)と前記ソースエクステンション領域(12b)は同じ不純物濃度分布を有しており、

前記ゲート電極(35)は、前記ソース領域(12)のうちの前記ソースエクステンション領域(12b)のみにオーバーラップしていることを特徴とする半導体装置。

[請求項2]

半導体基板(1a)と、
前記半導体基板(1a)上に形成された第1導電型のドリフト層(2)と、
、
前記ドリフト層(2)の表層部に選択的に形成された第2導電型のウェル領域(20)と、
前記ウェル領域(20)を貫通するように形成されたトレンチ(110)と、
、
前記ウェル領域(20)内の表層部および前記トレンチ(110)の側壁に形成された第1導電型のソース領域(12)と、
前記ソース領域(12)と前記ドリフト層(2)とに挟まれた前記ウェル領域(20)の部分であって、前記トレンチ(110)の側壁の部分であるチャンネル領域と、
前記ドリフト層(2)上にゲート絶縁膜(30)を介して配設され、前記ソース領域(12)および前記チャンネル領域に跨って延在するゲート電極(35)と、
前記ソース領域(12)に接続するソース電極(41)と、
前記半導体基板(1a)の裏面に形成されたドレイン電極(43)とを備え、
、
前記ソース領域(12)は、
前記ソース電極(41)に接続するソースコンタクト領域(12a)と、
前記チャンネル領域に隣接するソースエクステンション領域(12b)と、
、
前記ソースエクステンション領域(12b)と前記ソースコンタクト領域(12a)との間に配設され、前記ソースエクステンション領域(12b)および前記ソースコンタクト領域(12a)とは第1導電型の不純物濃度が

異なるソース抵抗制御領域(15a)とを含み、

前記ソースコンタクト領域(12a)と前記ソースエクステンション領域(12b)は同じ不純物濃度分布を有しており、

前記ゲート電極(35)は、前記ソース領域(12)のうちの前記ソースエクステンション領域(12b)のみにオーバーラップしていることを特徴とする半導体装置。

[請求項3] 前記ソース抵抗制御領域(15a)において、第1導電型の不純物濃度分布は、前記ソースエクステンション領域(12b)から前記ソースコンタクト領域(12a)へ向けて連続的に変化している請求項1または請求項2記載の半導体装置。

[請求項4] 前記ソース抵抗制御領域(15a)の第1導電型の不純物濃度は、前記ソースエクステンション領域(12b)およびソースコンタクト領域(12a)の第1導電型の不純物濃度よりも1桁以上小さい請求項1または請求項2記載の半導体装置。

[請求項5] 前記ソース抵抗制御領域(15a)のシート抵抗は、前記ソースエクステンション領域(12b)およびソースコンタクト領域(12a)のシート抵抗よりも高い請求項1または請求項2記載の半導体装置。

[請求項6] 前記ソース抵抗制御領域(15a)における前記ソースエクステンション領域(12b)から前記ソースコンタクト領域(12a)へ向かう方向の長さは均一である請求項1または請求項2記載の半導体装置。

[請求項7] 前記ソース抵抗制御領域(15a)における前記ソースエクステンション領域(12b)から前記ソースコンタクト領域(12a)までの長さは、前記チャネル領域の長さの2倍以下である請求項1または請求項2記載の半導体装置。

[請求項8] 前記ソースエクステンション領域(12b)、前記ソース抵抗制御領域(15a)および前記ソースコンタクト領域(12a)は、前記トレンチ(110)の

側壁に存在する

請求項2記載の半導体装置。

[請求項9]

(a) 第1導電型の半導体層(2)の表層部に、第2導電型の不純物をイオン注入することによりウェル領域(20)を形成する工程と、

(b) 前記ウェル領域(20)内の表層部に第1導電型の不純物をイオン注入することによりソース領域(12)を形成する工程と、

(c) 前記ウェル領域(20)に隣接する前記半導体層(2)の部分であるJFET領域(11)、前記ソース領域(12)と前記JFET領域(11)とに挟まれた前記ウェル領域(20)の部分であるチャンネル領域および前記ソース領域(12)に跨がるように、前記半導体層(2)上にゲート絶縁膜(30)を介してゲート電極(35)を形成する工程と、

(d) 前記ソース領域(12)に接続するソース電極(41)を形成する工程とを備え、

前記工程(b)は、

(b-1) 前記ソース電極(41)に接続する前記ソース領域(12)の部分であるソースコンタクト領域(12a)を形成するイオン注入工程と、

(b-2) 前記チャンネル領域に隣接する前記ソース領域(12)の部分であるソースエクステンション領域(12b)を形成するイオン注入工程と、

(b-3) 前記ソースエクステンション領域(12b)と前記ソースコンタクト領域(12a)とに挟まれた前記ソース領域(12)の部分であるソース抵抗制御領域(15a)を形成するイオン注入工程と、を含み、

前記工程(b-1)及び(b-2)は同時に行われることを特徴とする半導体装置の製造方法。

[請求項10]

(a) 第1導電型の半導体層(2)の表層部に、第2導電型の不純物をイオン注入することによりウェル領域(20)を形成する工程と、

(b) 前記ウェル領域(20)内の表層部に第1導電型の不純物をイオン注入することによりソース領域(12)を形成する工程と、

(c) 前記ソース領域(12)および前記ウェル領域(20)を貫通して前記ウェル領域(20)の下の前記半導体層(2)に達するトレンチ(110)を形成する工程と、

(d) 前記トレンチ(110)の側壁に露出した、前記ソース領域(12)、前記半導体層(2)、および当該ソース領域(12)と当該半導体層(2)との間の前記ウェル領域(20)の部分であるチャンネル領域に跨がるように、前記トレンチ(110)の側壁にゲート絶縁膜(30)を介してゲート電極(35)を形成する工程と、

(e) 前記ソース領域(12)に接続するソース電極(41)を形成する工程とを備え、

前記工程 (b) は、

(b-1) 前記ソース電極(41)に接続する前記ソース領域(12)の部分であるソースコンタクト領域(12a)を形成するイオン注入工程と、

(b-2) 前記チャンネル領域の上に接する前記ソース領域(12)の部分であるソースエクステンション領域(12b)を形成するイオン注入工程と、

(b-3) 前記ソースエクステンション領域(12b)と前記ソースコンタクト領域(12a)とに挟まれた前記ソース領域(12)の部分であるソース抵抗制御領域(15a)を形成するイオン注入工程と、を含み、

前記工程 (b-1) 及び (b-2) は同時に行われることを特徴とする半導体装置の製造方法。

[請求項11]

前記工程 (b) は、

(b-4) 前記ソース抵抗制御領域(15a)の形成領域上に、前記工程 (b-2) のイオン注入で不純物の一部が貫通する薄いマスク(101b)を形成する工程を含み、

前記工程 (b-1)、(b-2) 及び (b-3) は、前記工程 (b-4) の後に同時に行われる

請求項9または請求項10記載の半導体装置の製造方法。

[請求項12] 前記工程（b-4）で形成される前記マスク(101c)はテーパ形状である

請求項11記載の半導体装置の製造方法。

[請求項13] 前記工程（b）は、

（b-4）前記ソース抵抗制御領域(15a)の形成領域上に、前記（b-1）及び（b-2）のイオン注入における前記半導体層(2)内での不純物の横方向の広がりの和よりも狭いマスク(100cN)を形成する工程を含み、

前記工程（b-3）は、前記マスク(100cN)を挟んで前記工程（b-1）及び（b-2）のイオン注入を行うことにより実施される請求項9または請求項10記載の半導体装置の製造方法。

[請求項14] 前記工程（b）は、

（b-4）前記ソースエクステンション領域(12b)および前記ソースコンタクト領域(12a)の形成領域が開口され、前記ソース抵抗制御領域(15a)の形成領域を覆う第1のマスク(100d, 100dN)を形成する工程を含み、

前記工程（b-1）及び（b-2）のイオン注入は前記第1のマスク(100d, 100dN)を用いて行われ、

前記工程（a）は、

（a-1）前記第1のマスク(100d, 100dN)の側面を後退させることにより第2のマスク(100d)を形成する工程と、

（a-2）前記第2のマスク(100d)を用いたイオン注入により前記ウェル領域(20)を形成する工程とを含み、

前記工程（a-1）において、前記第1のマスク(100d, 100dN)における前記ソース抵抗制御領域(15a)の形成領域を覆う部分(100dN)は除去される

請求項9または請求項10記載の半導体装置の製造方法。

[請求項15] （a）第1導電型の半導体層(2)の表層部に、第2導電型のウェル

領域(20)を形成する工程と、

(b) 前記ウェル領域(20)内の表層部に、第1導電型のソース領域(12)を形成する工程と、

(c) 前記ソース領域(12)および前記ウェル領域(20)を貫通して前記ウェル領域(20)の下の前記半導体層(2)に達するトレンチ(110)を形成する工程と、

(d) 前記トレンチ(110)の側壁に露出した、前記ソース領域(12)、前記半導体層(2)、および当該ソース領域(12)と当該半導体層(2)との間の前記ウェル領域(20)の部分であるチャンネル領域に跨がるように、前記トレンチ(110)の側壁にゲート絶縁膜(30)を介してゲート電極(35)を形成する工程と、

(e) 前記ソース領域(12)に接続するソース電極(41)を形成する工程とを備え、

前記工程(b)は、

(b-1) 前記チャンネル領域の上に接する前記ソース領域(12)の部分であるソースエクステンション領域(12b)を形成する工程と、

(b-2) 前記ソースエクステンション領域(12b)の上に接し、前記ソースエクステンション領域(12b)とは第1導電型の不純物濃度が異なるソース抵抗制御領域(15a)を形成する工程と、

(b-3) 前記ソース抵抗制御領域(15a)の上に接し、前記ソース抵抗制御領域(15a)とは第1導電型の不純物濃度が異なり、前記ソース電極(41)に接続する前記ソース領域(12)の部分であるソースコンタクト領域(12a)を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

[請求項16] 前記工程(b-1)、(b-2)および(b-3)は、第1導電型の半導体をエピタキシャル成長させることにより行われる請求項15記載の半導体装置の製造方法。

[請求項17] 前記工程(b-1)および(b-2)は、第1導電型の半導体をエ

ピタキシャル成長させることにより行われ、

前記工程（b-3）は、前記工程（b-2）で形成された前記ソース抵抗制御領域(15a)の上層部に、第1導電型の不純物をイオン注入することにより行われる

請求項15記載の半導体装置の製造方法。

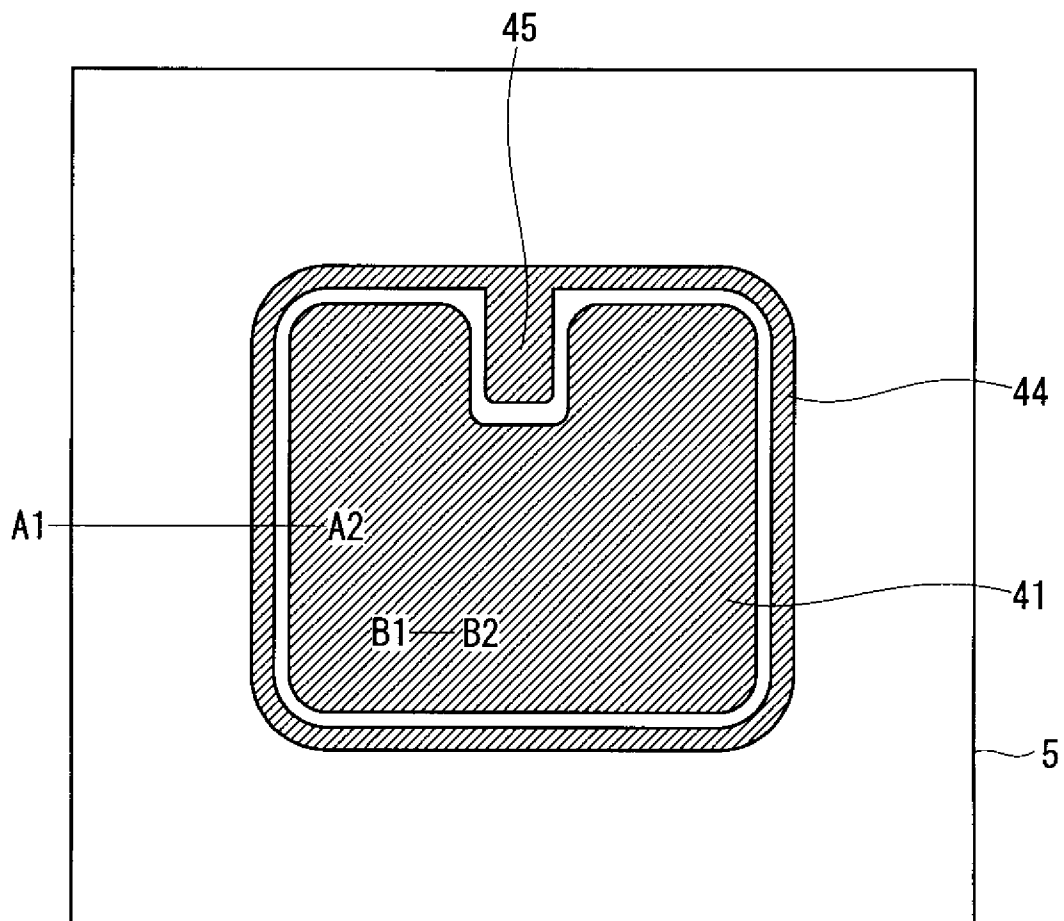
[請求項18] 前記工程（b-1）、（b-2）および（b-3）は、前記工程（a）で形成された前記ウェル領域(20)の上層部に、第1導電型の不純物をイオン注入することにより行われる

請求項15記載の半導体装置の製造方法。

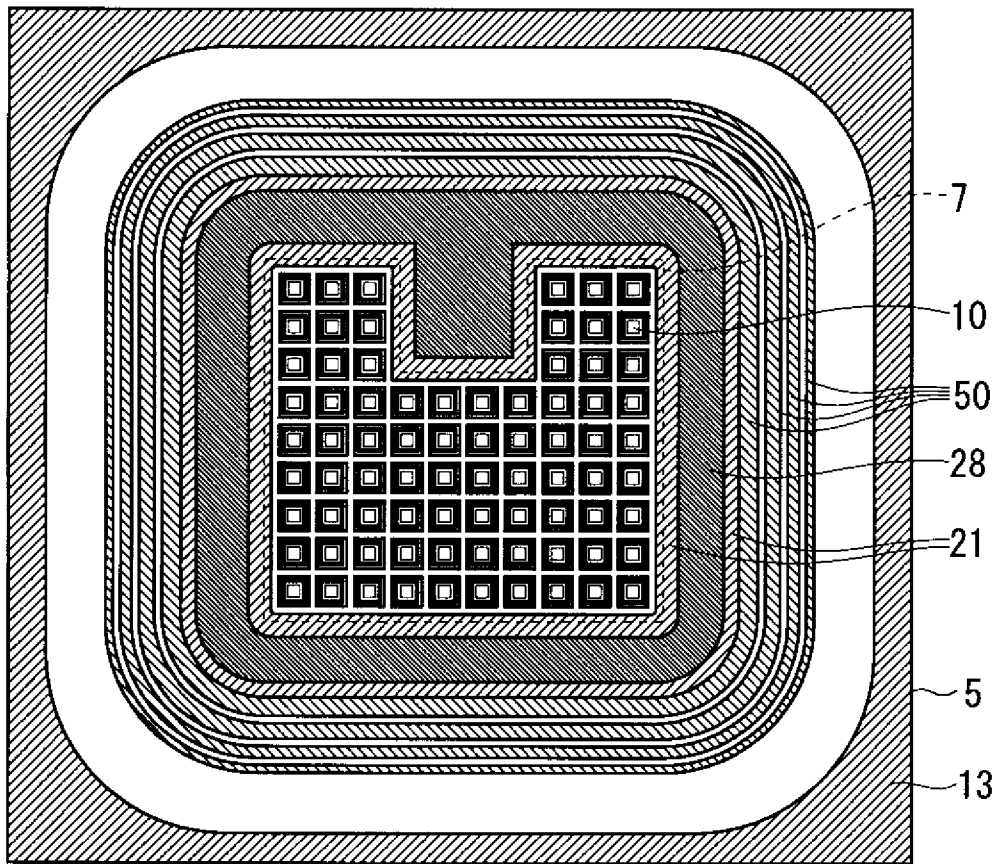
[請求項19] 前記工程（a）は、第2導電型の半導体をエピタキシャル成長させることにより行われる

請求項15から請求項18のいずれか一項記載の半導体装置の製造方法。

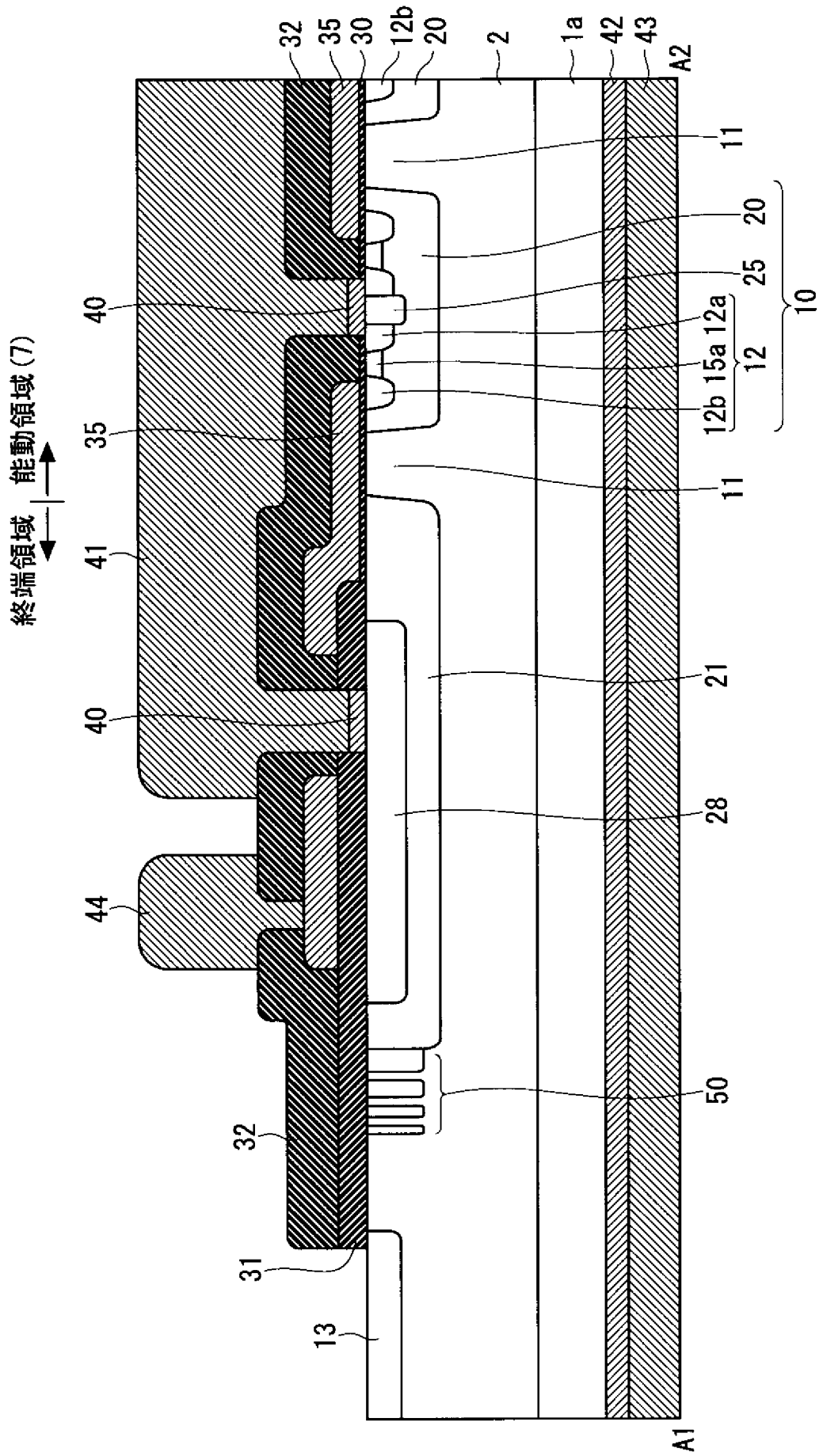
[図1]



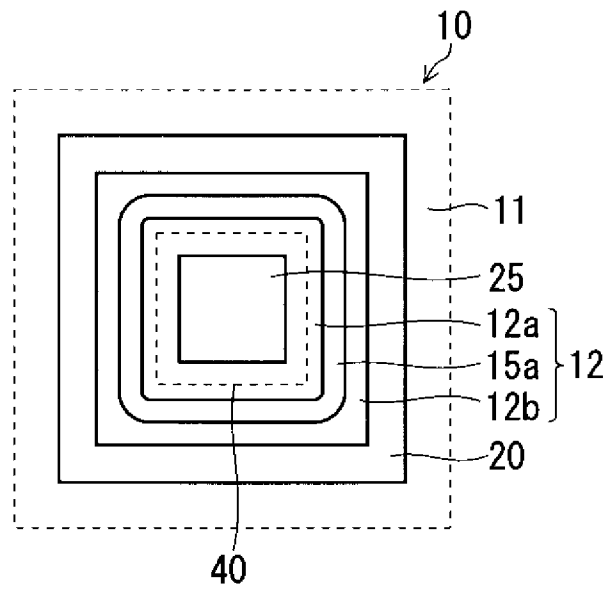
[図2]



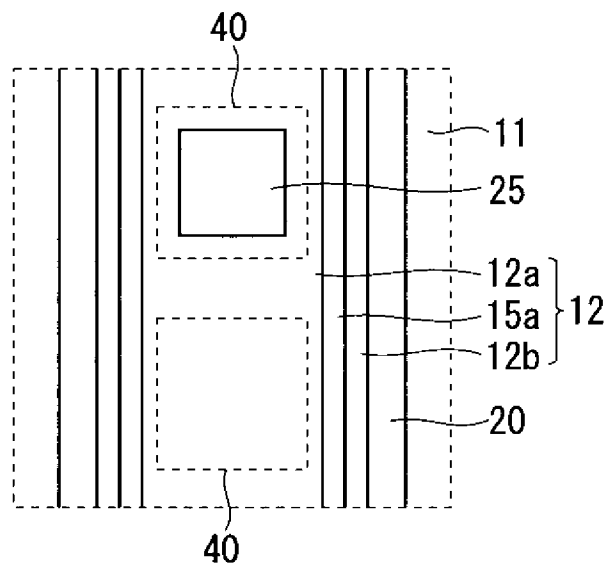
[図3]



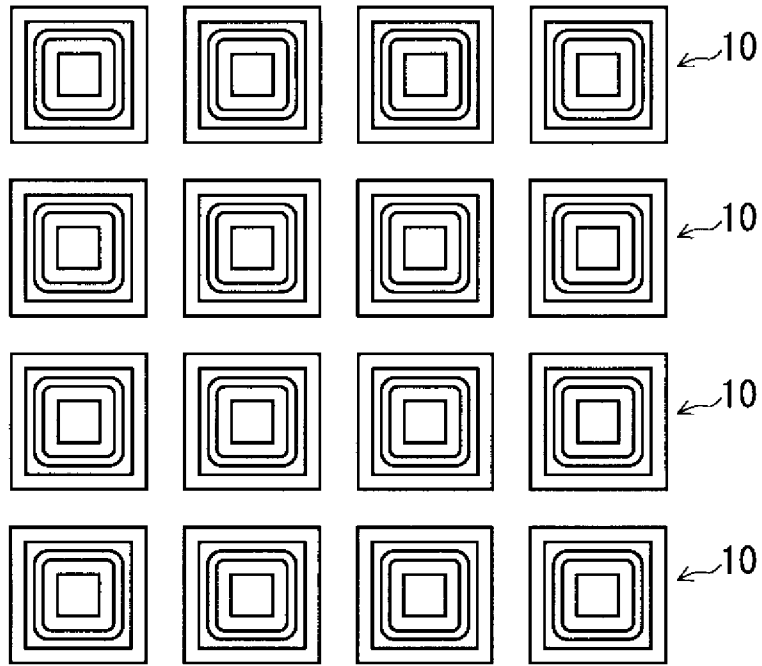
[図4]



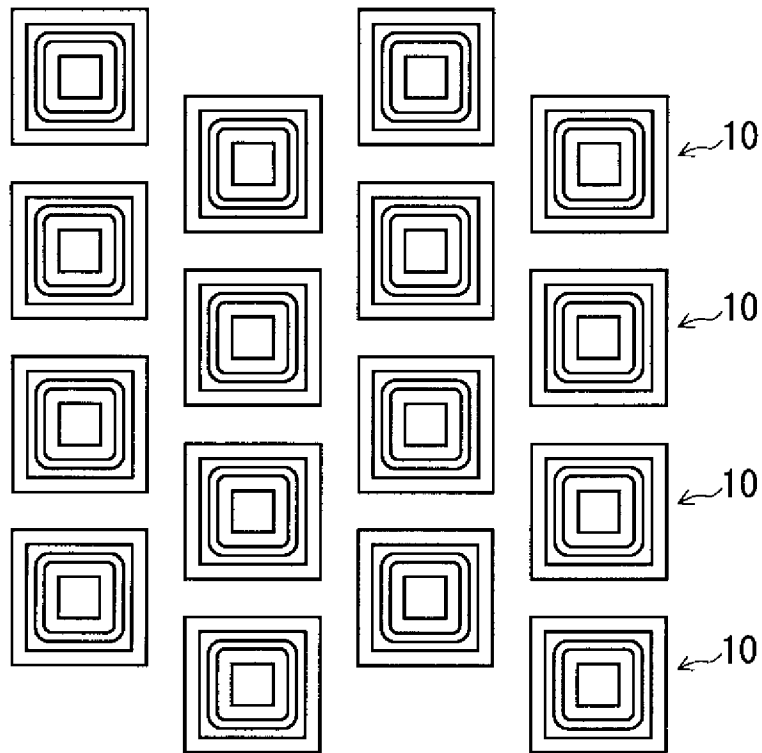
[図5]



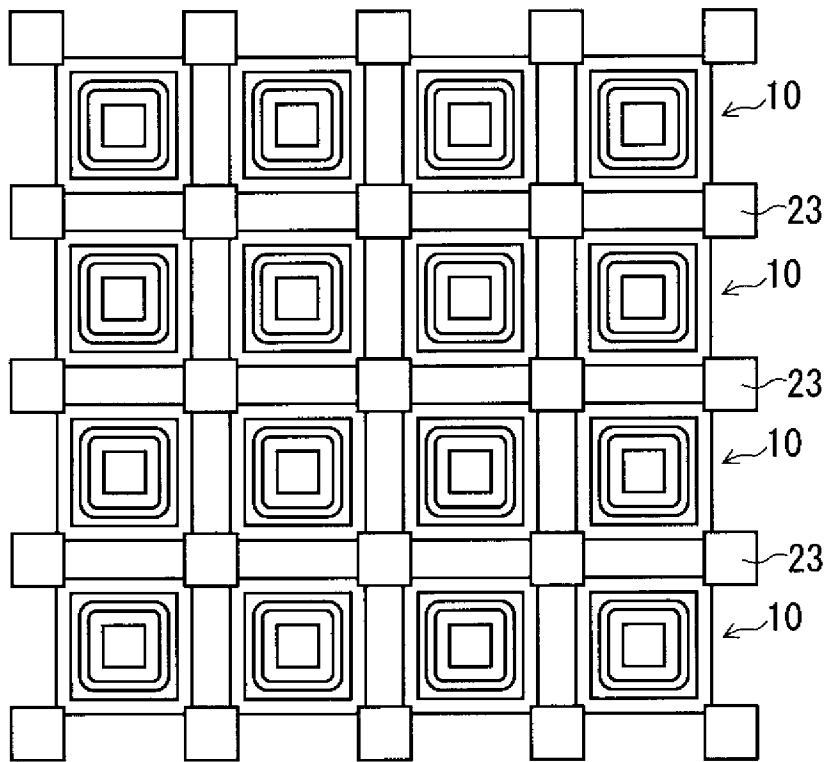
[図6]



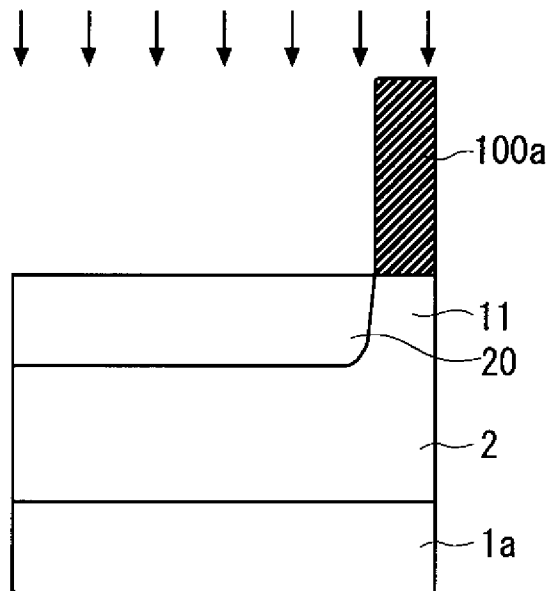
[図7]



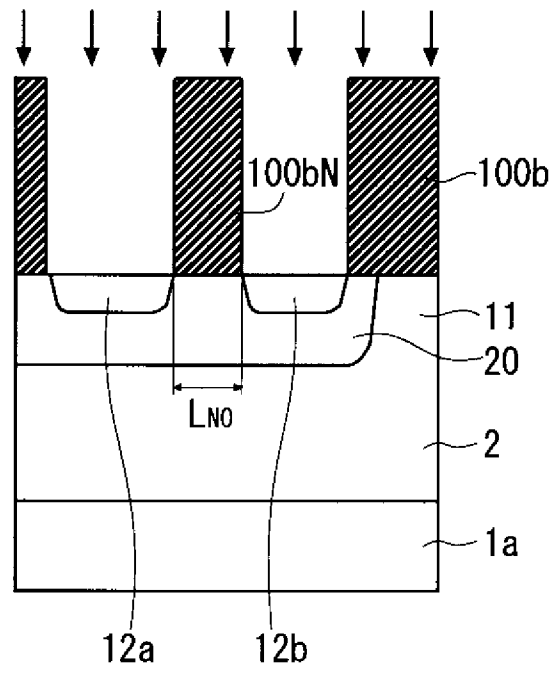
[図8]



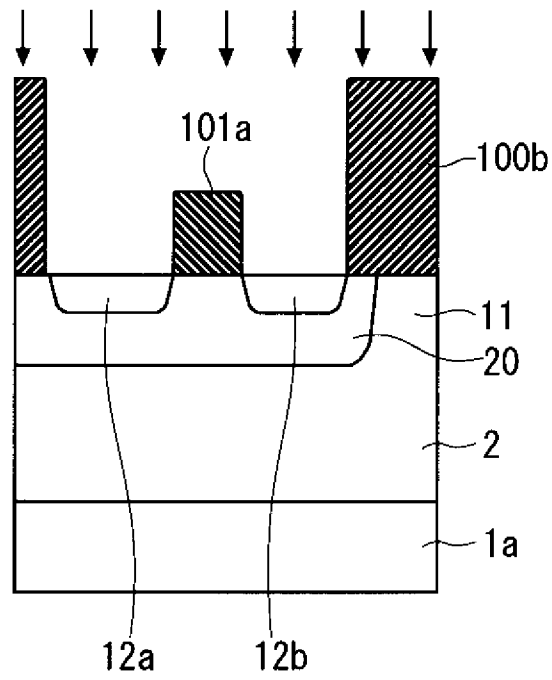
[図9]



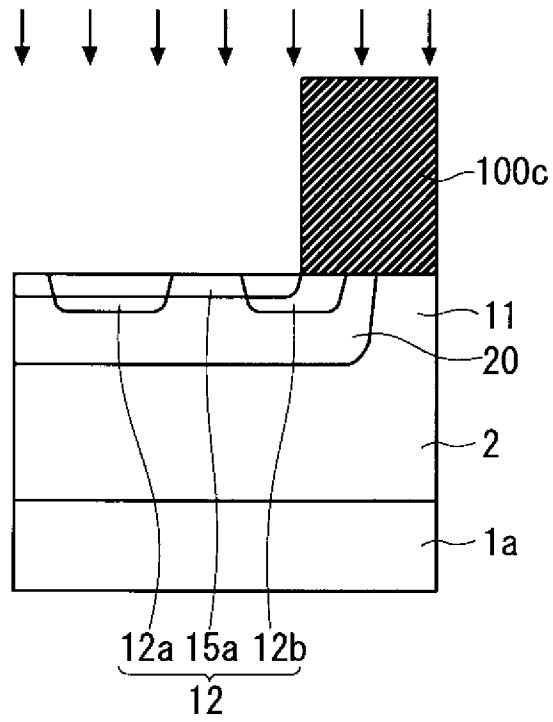
[図10]



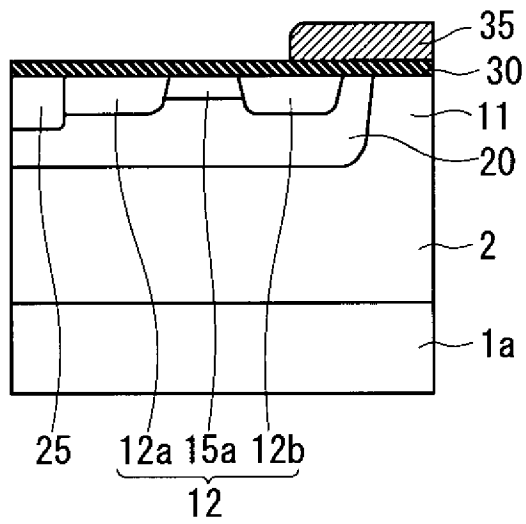
[図11]



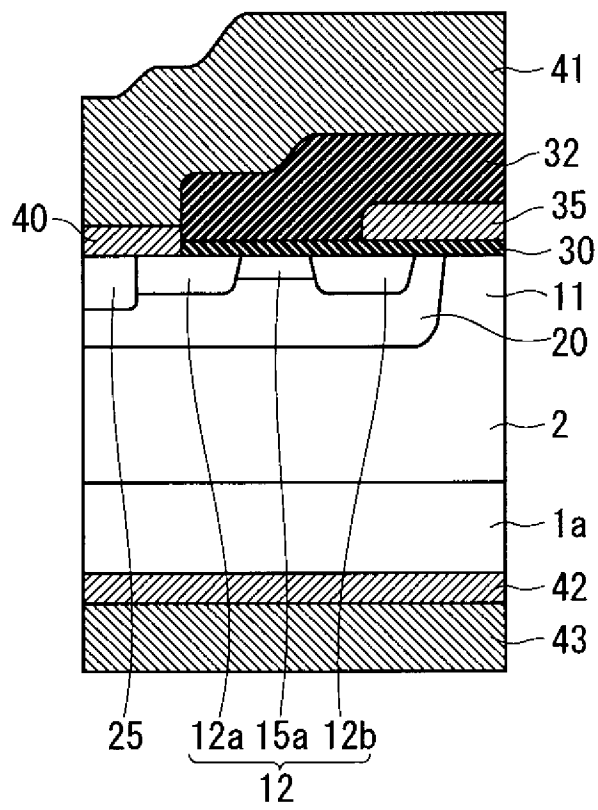
[図12]



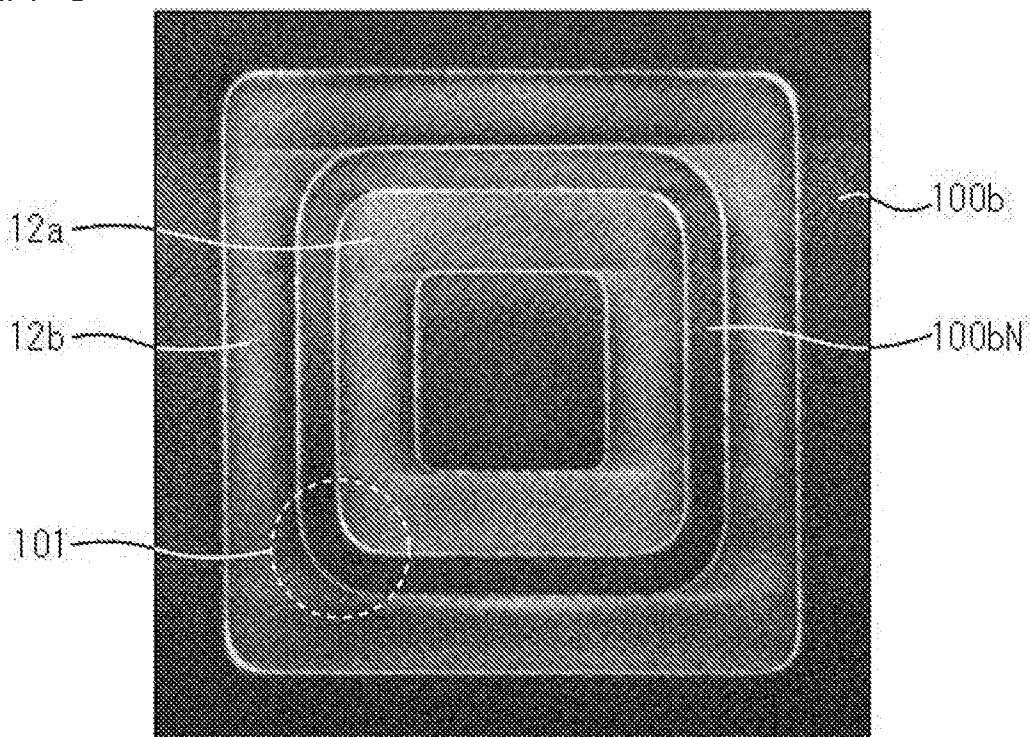
[図13]



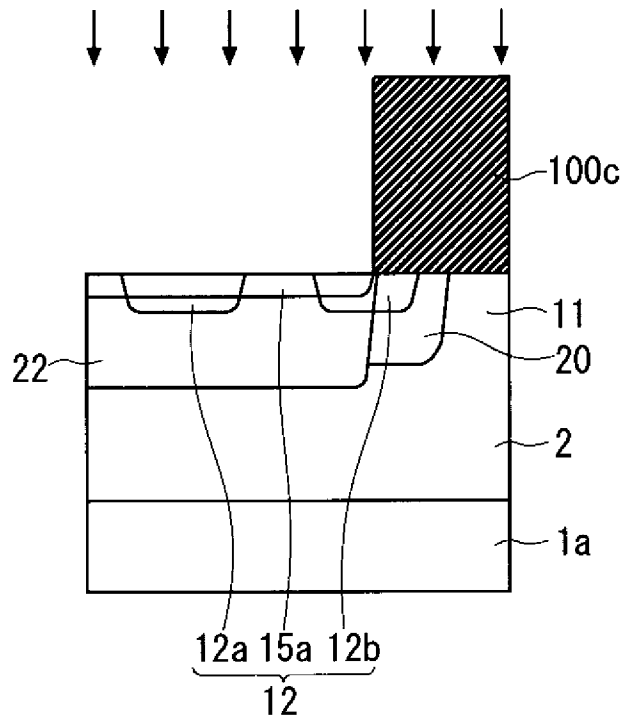
[図14]



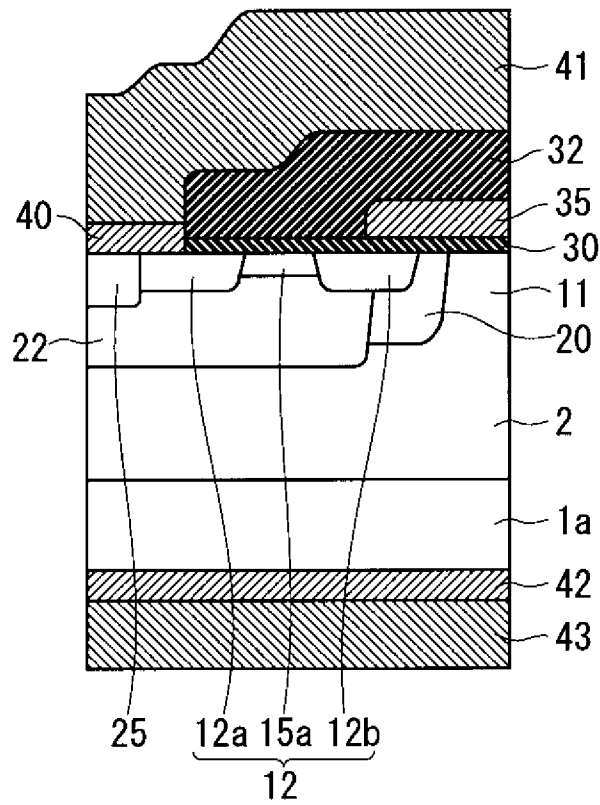
[図15]



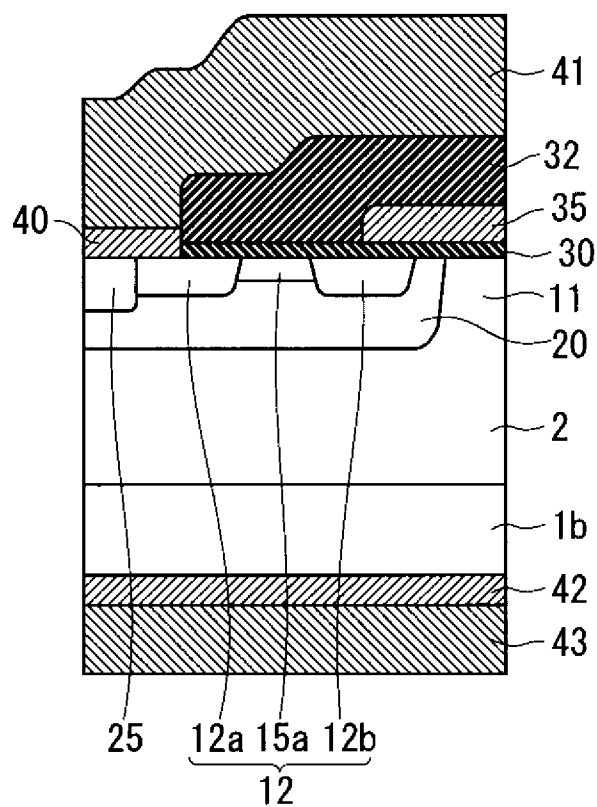
[図16]



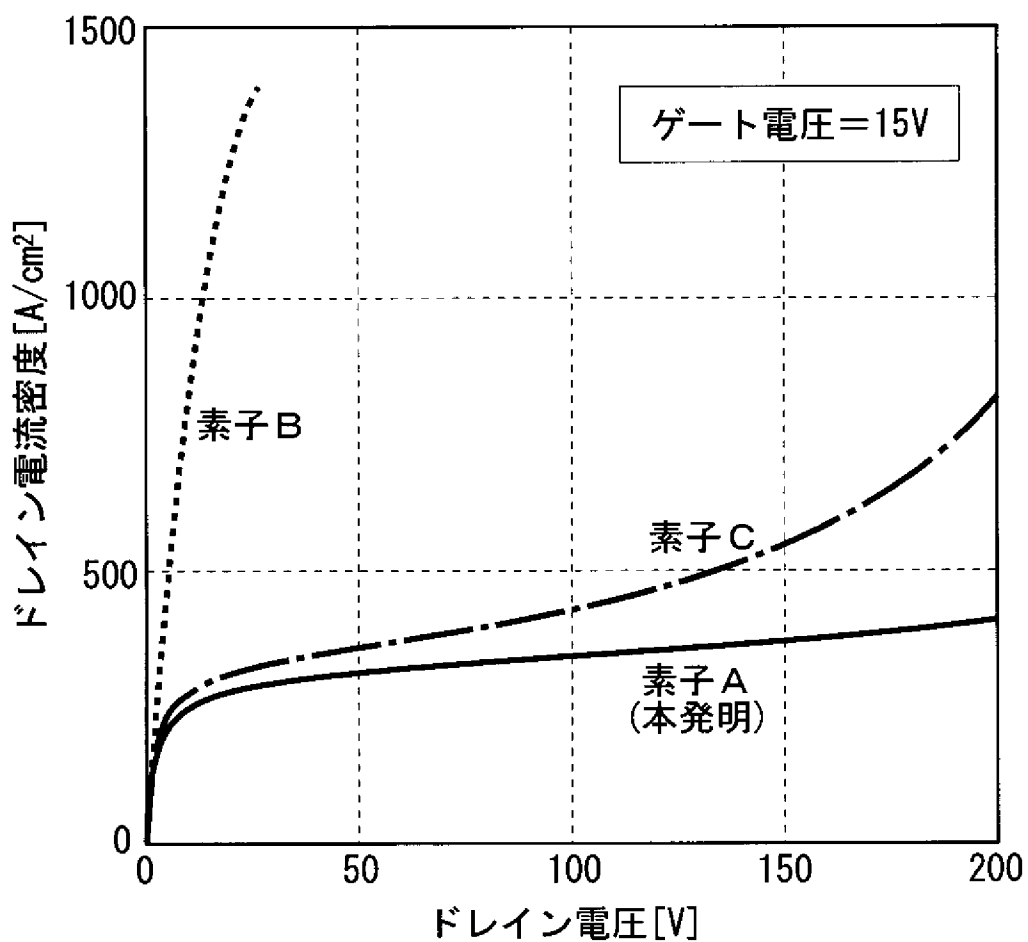
[図17]



[図18]



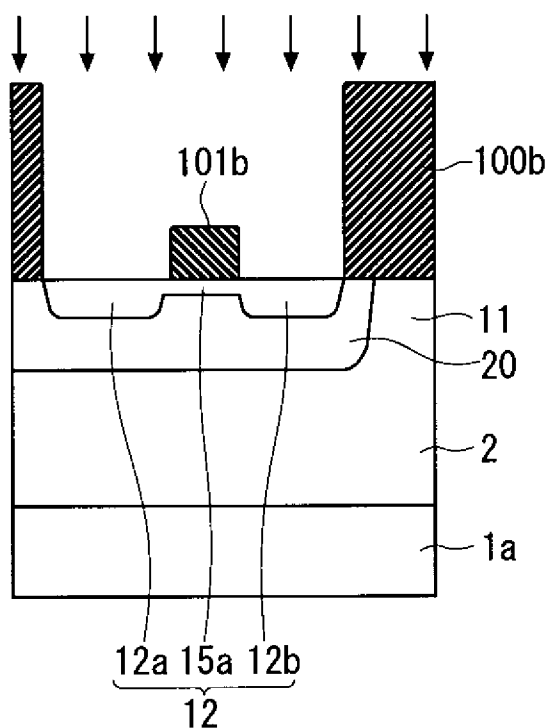
[図19]



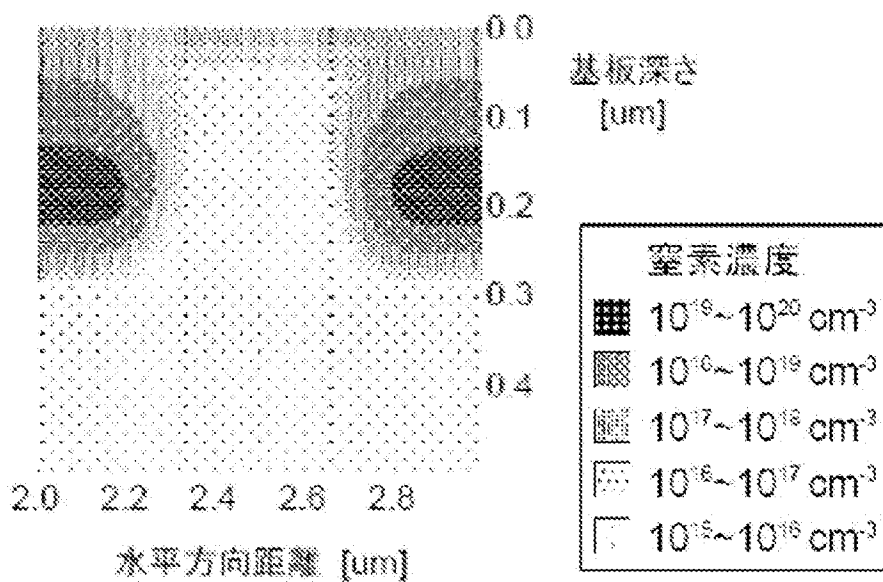
[図20]

	ソース抵抗 制御領域	チャネル長 [μm]	しきい値電圧 [V]	オン抵抗 [$\text{m}\Omega\text{cm}^2$]
素子A	有	0.4	2.5	16
素子B	無	0.4	2.3	8
素子C	無	0.8	3.6	15

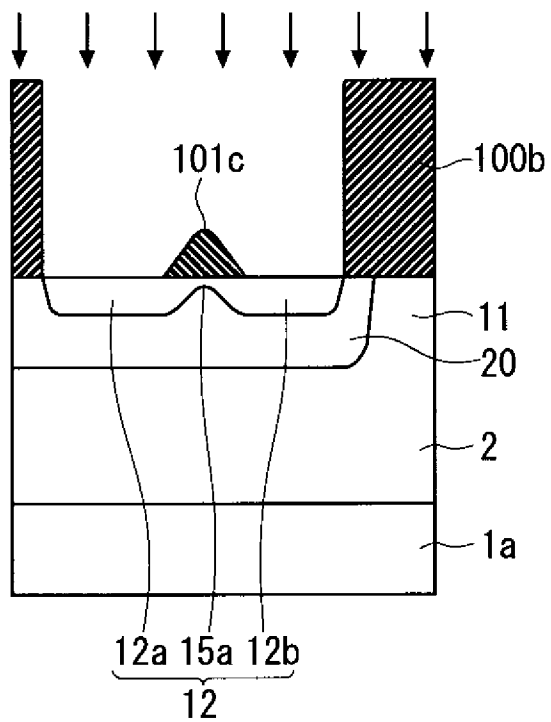
[図21]



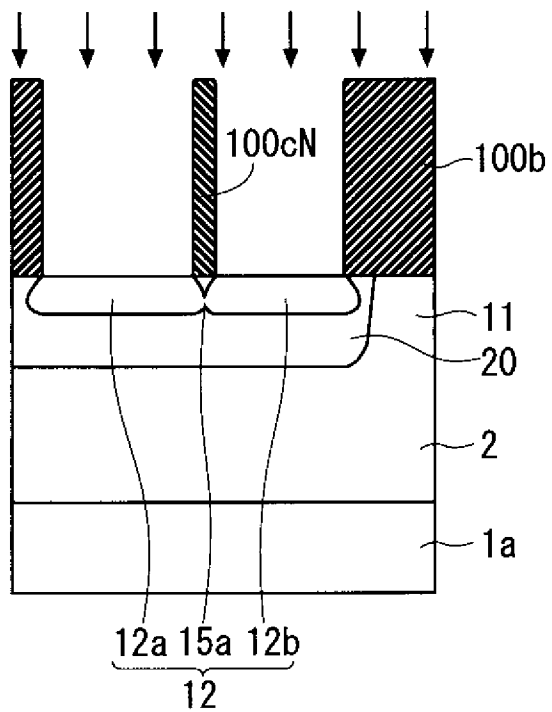
[図22]



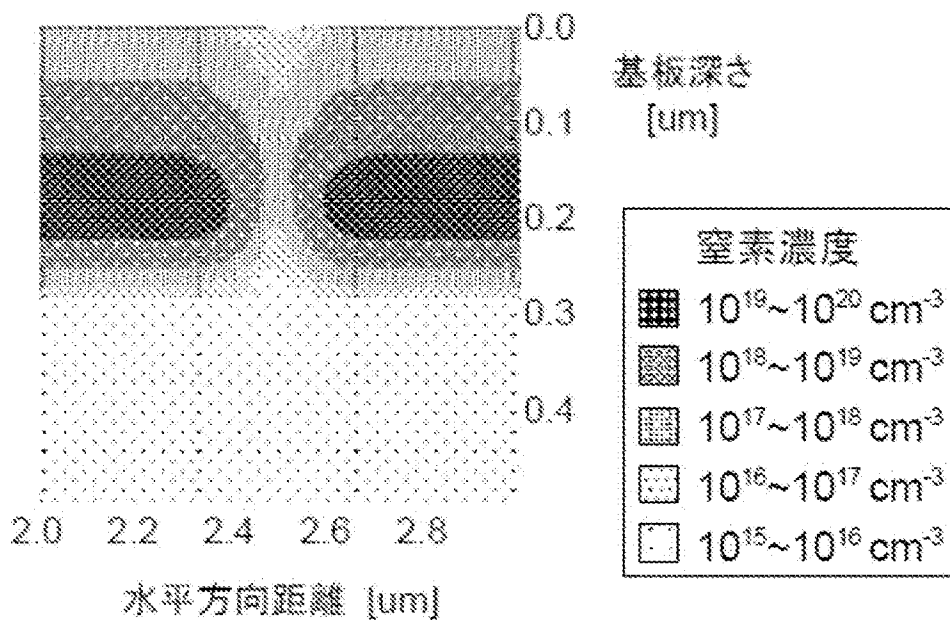
[図23]



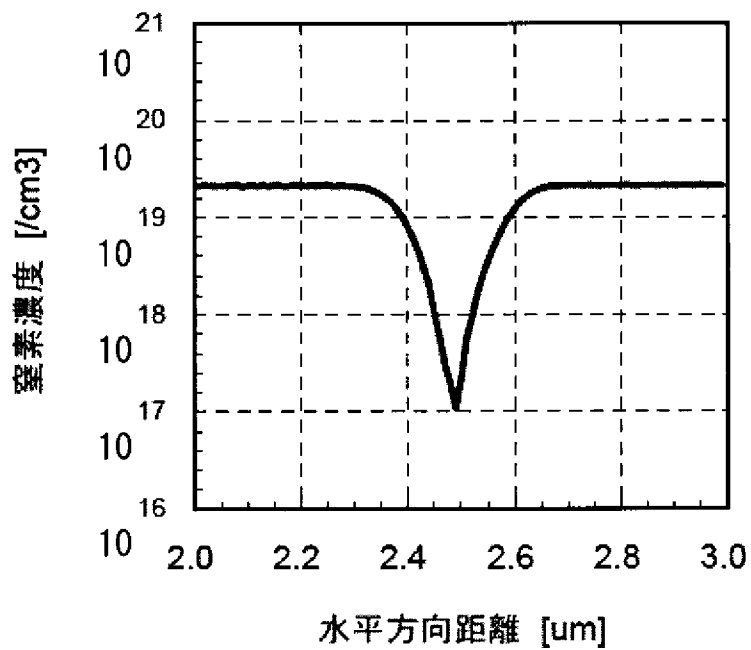
[図24]



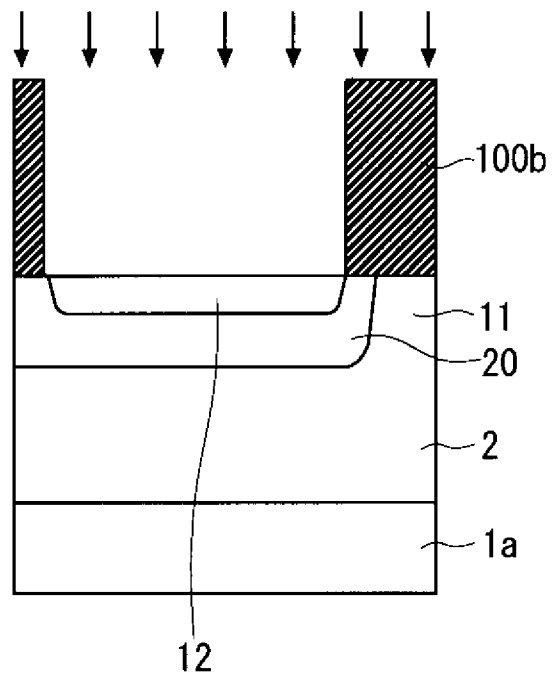
[図25]



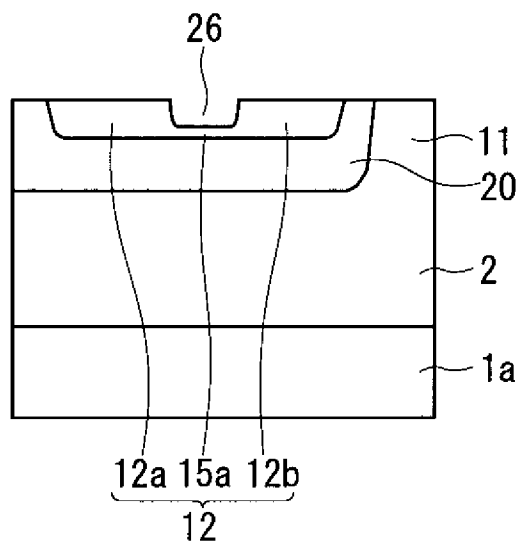
[図26]



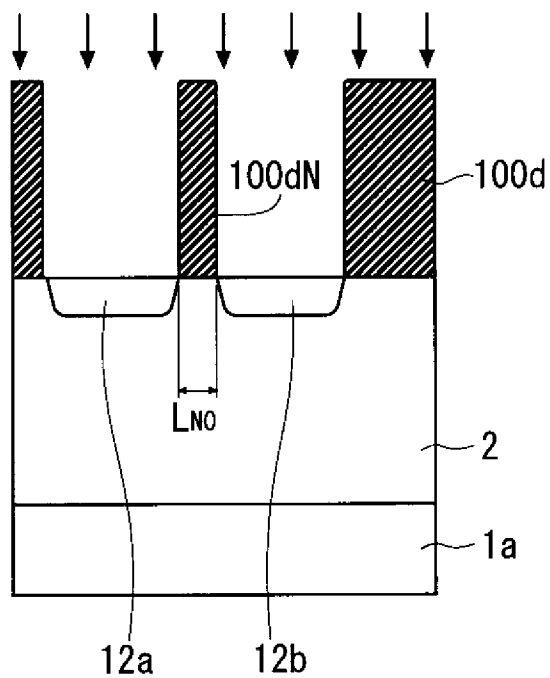
[図27]



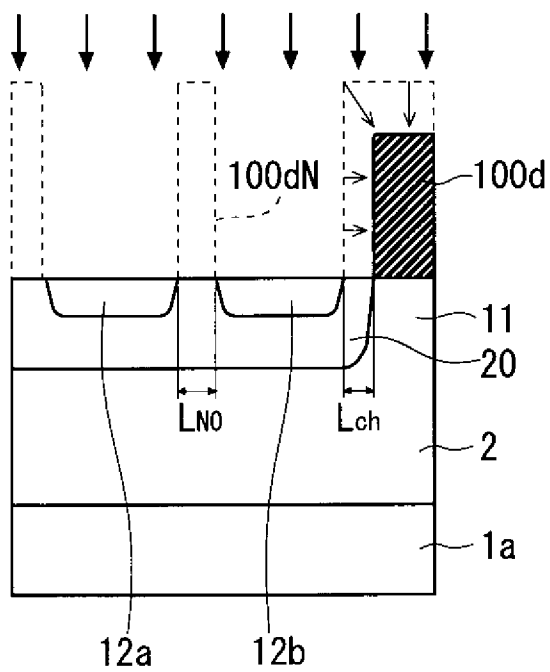
[図28]



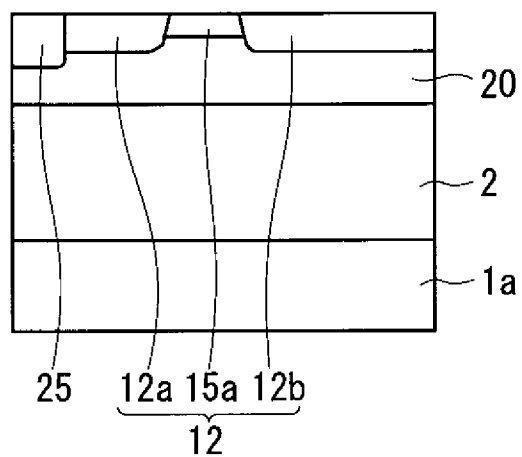
[図29]



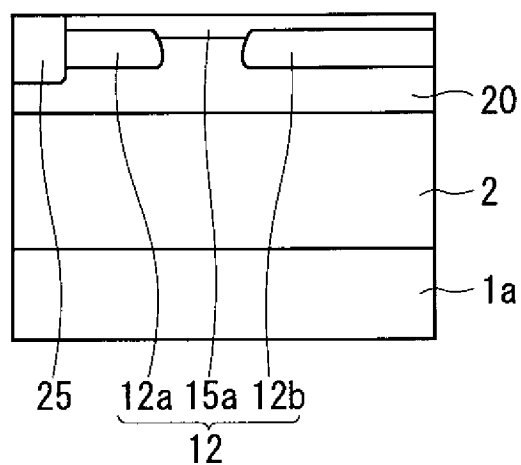
[図30]



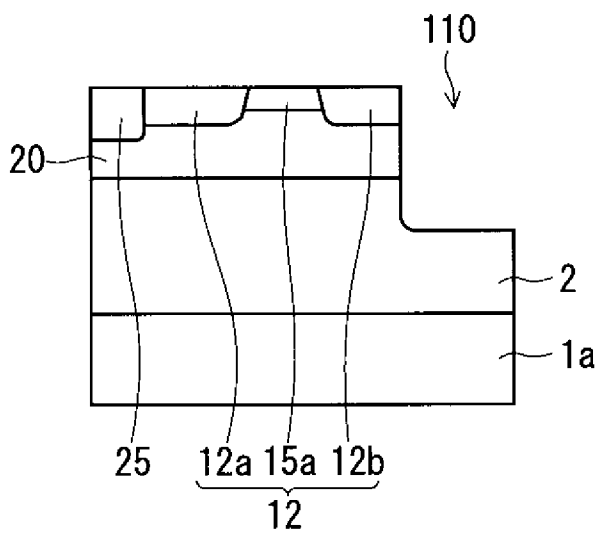
[図31]



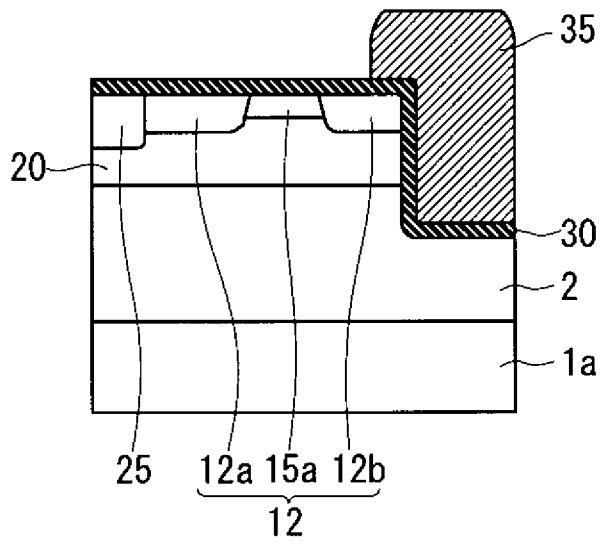
[図32]



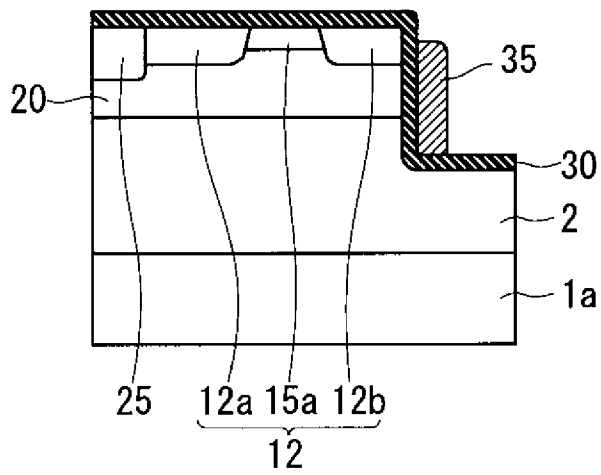
[図33]



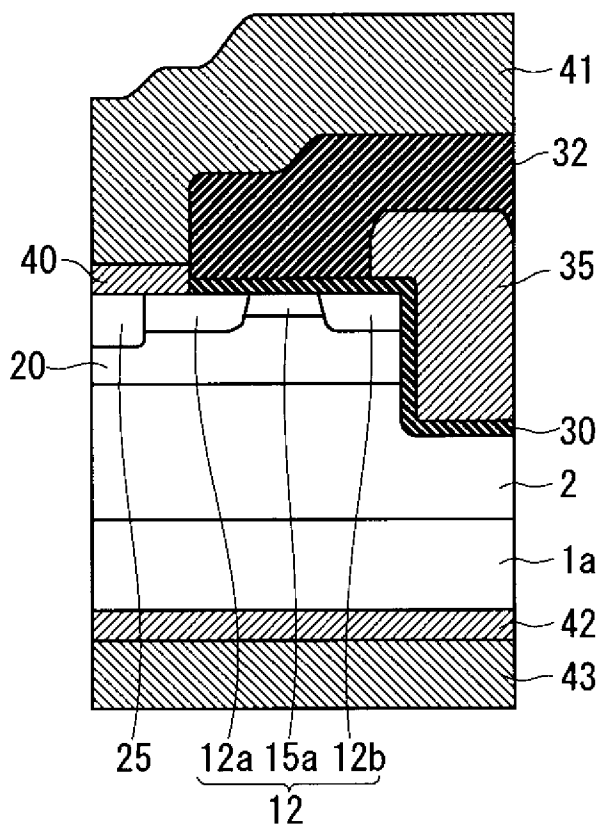
[図34]



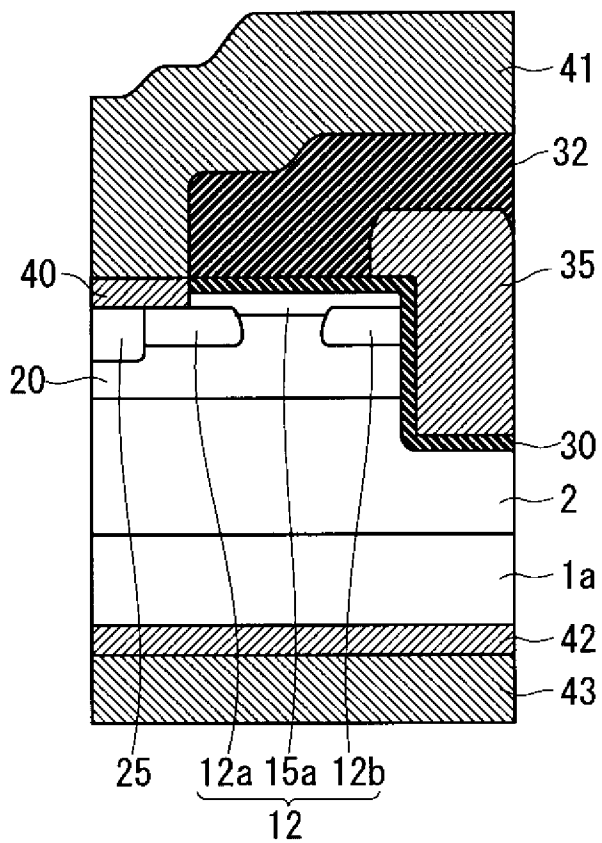
[図35]



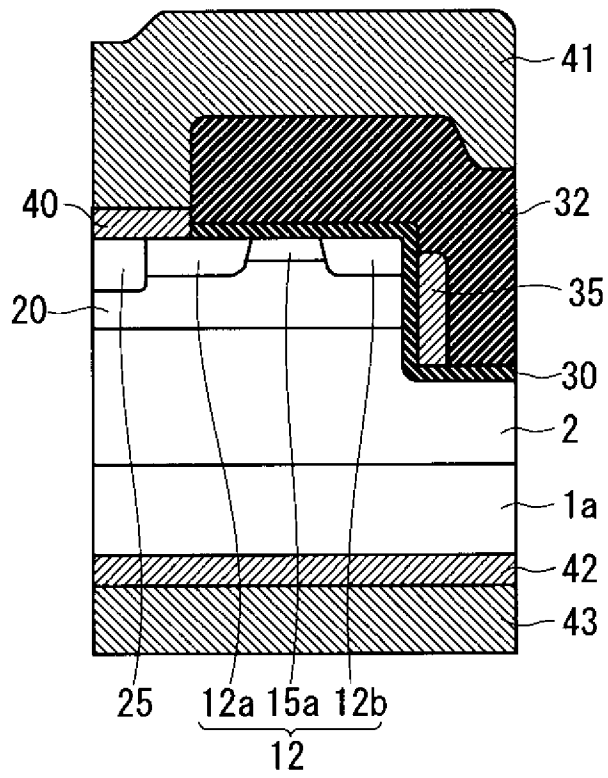
[図36]



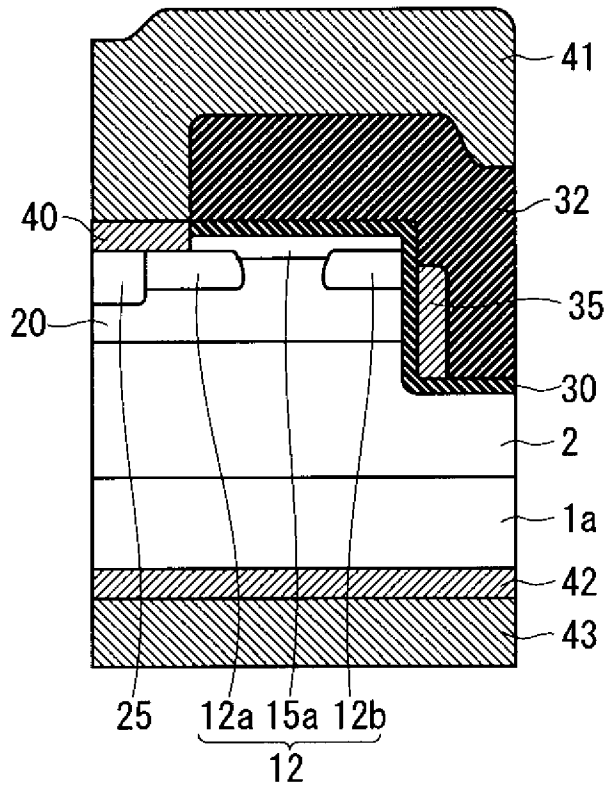
[図37]



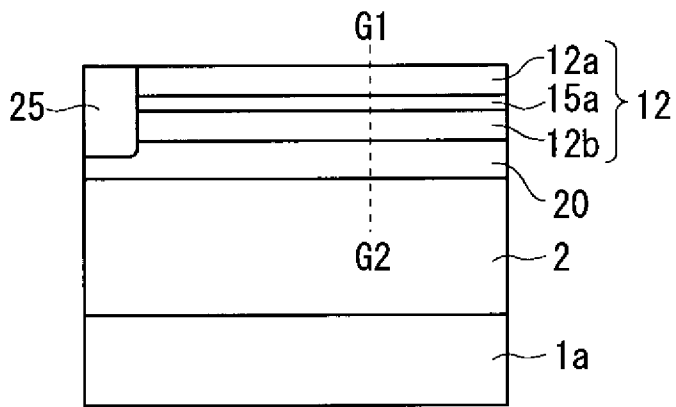
[図38]



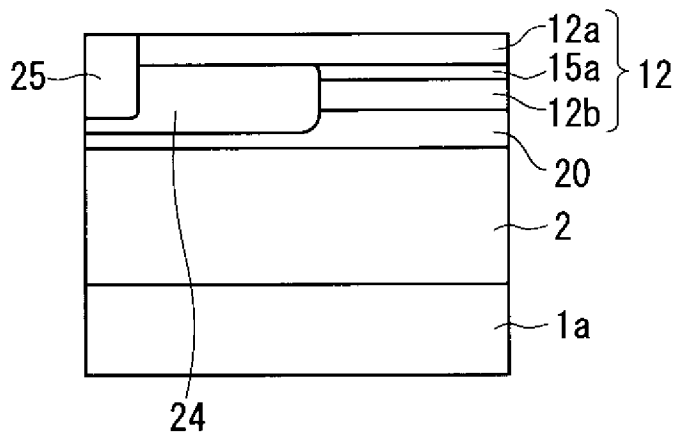
[図39]



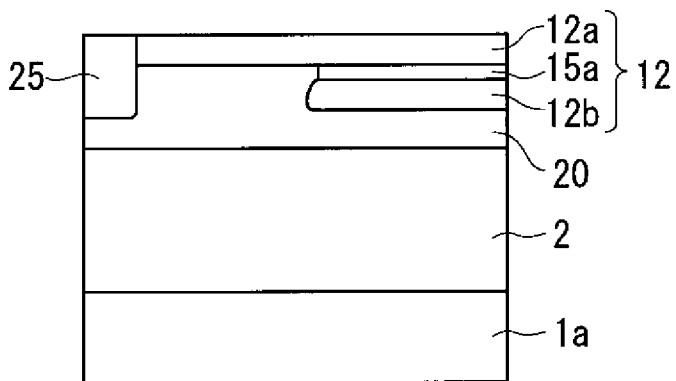
[図40]



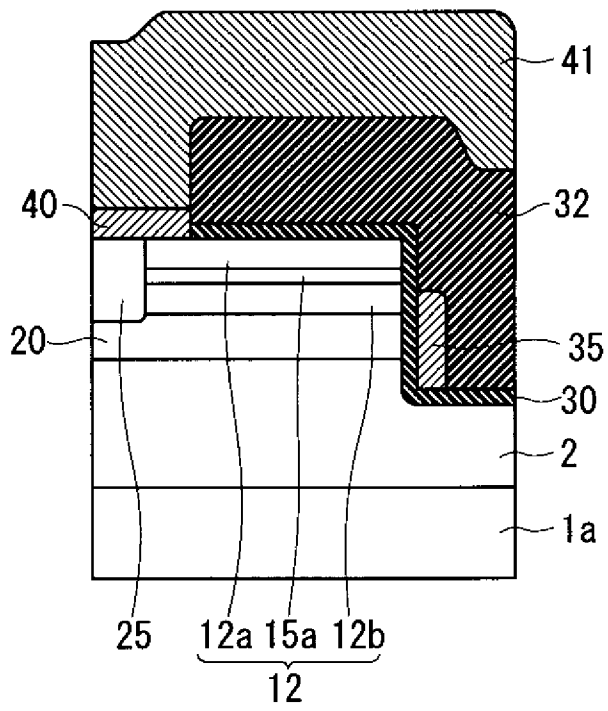
[図41]



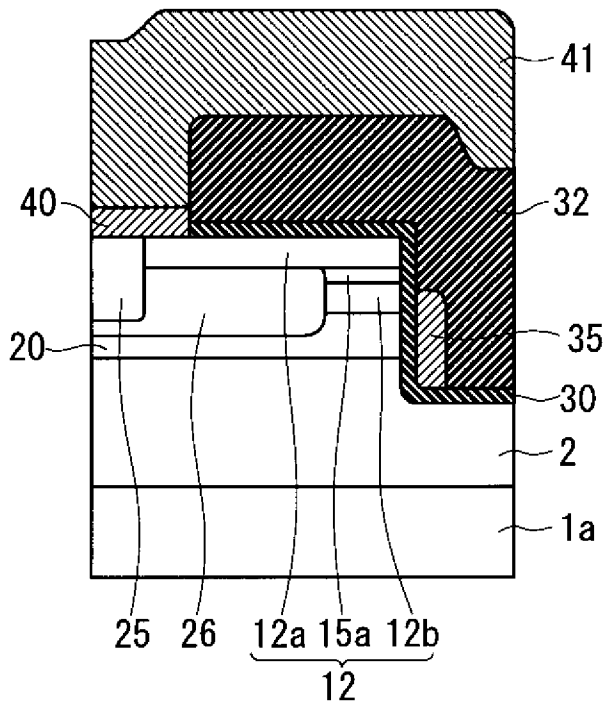
[図42]



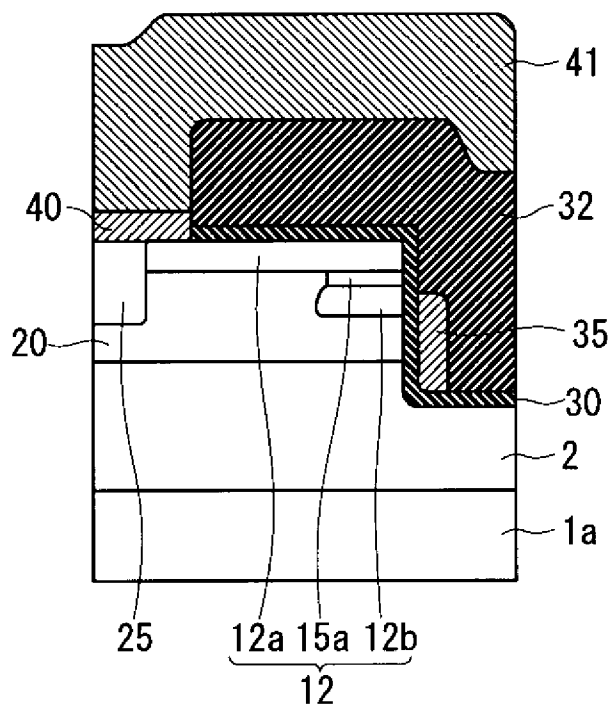
[図43]



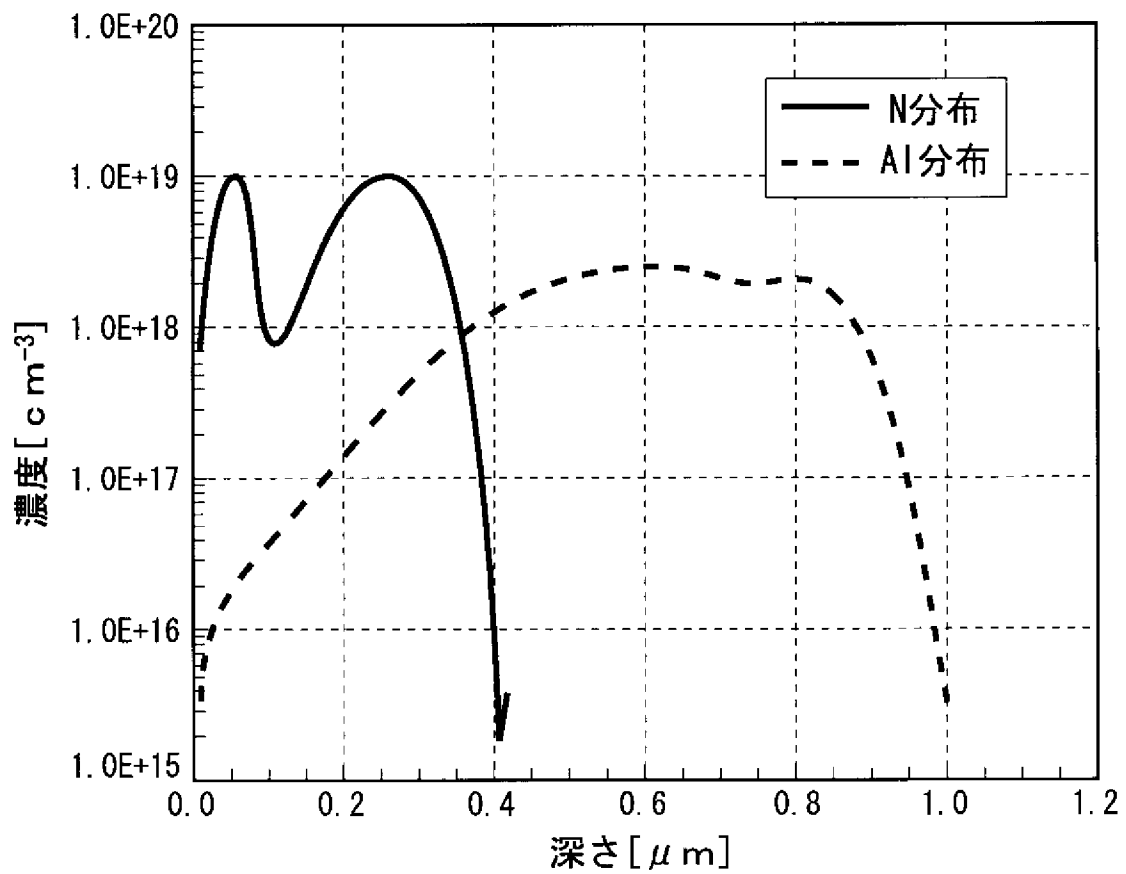
[図44]



[図45]



[図46]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/056785

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/739(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336, H01L29/06, H01L29/12, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-173584 A (Toshiba Corp.), 29 June 2006 (29.06.2006), paragraphs [0014] to [0024], [0045] to [0053], [0061]; fig. 1 to 7, 21 to 25, 29 & US 2006/0102908 A1	1-19
A	JP 11-312807 A (Toyota Central Research and Development Laboratories, Inc.), 09 November 1999 (09.11.1999), paragraphs [0057] to [0072]; fig. 4 & US 6169299 B1	1-19

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 May, 2013 (22.05.13)

Date of mailing of the international search report
04 June, 2013 (04.06.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/056785

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-231545 A (Fuji Electric Device Technology Co., Ltd.), 08 October 2009 (08.10.2009), paragraphs [0019], [0020], [0023], [0024]; fig. 1 & US 2009/0236612 A1 & DE 102009014583 A1	1-19
A	JP 2006-120894 A (Toshiba Corp.), 11 May 2006 (11.05.2006), paragraphs [0010] to [0022], [0038]; fig. 1, 3, 10 (Family: none)	1-19

<p>A. 発明の属する分野の分類 (国際特許分類 (IPC))</p> <p>Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/739(2006.01)i</p>												
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料 (国際特許分類 (IPC))</p> <p>Int.Cl. H01L29/78, H01L21/336, H01L29/06, H01L29/12, H01L29/739</p>												
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2013年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2013年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2013年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2013年	日本国実用新案登録公報	1996-2013年	日本国登録実用新案公報	1994-2013年		
日本国実用新案公報	1922-1996年											
日本国公開実用新案公報	1971-2013年											
日本国実用新案登録公報	1996-2013年											
日本国登録実用新案公報	1994-2013年											
<p>国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)</p>												
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2006-173584 A (株式会社東芝) 2006.06.29, 段落【0014】 - 【0024】, 【0045】 - 【0053】, 【0061】, 第1-7, 21-25, 29 図 & US 2006/0102908 A1</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>JP 11-312807 A (株式会社豊田中央研究所) 1999.11.09, 段落【0057】 - 【0072】, 第4 図 & US 6169299 B1</td> <td>1-19</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2006-173584 A (株式会社東芝) 2006.06.29, 段落【0014】 - 【0024】, 【0045】 - 【0053】, 【0061】, 第1-7, 21-25, 29 図 & US 2006/0102908 A1	1-19	A	JP 11-312807 A (株式会社豊田中央研究所) 1999.11.09, 段落【0057】 - 【0072】, 第4 図 & US 6169299 B1	1-19	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号										
A	JP 2006-173584 A (株式会社東芝) 2006.06.29, 段落【0014】 - 【0024】, 【0045】 - 【0053】, 【0061】, 第1-7, 21-25, 29 図 & US 2006/0102908 A1	1-19										
A	JP 11-312807 A (株式会社豊田中央研究所) 1999.11.09, 段落【0057】 - 【0072】, 第4 図 & US 6169299 B1	1-19										
<p><input checked="" type="checkbox"/> C 欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>												
<p>* 引用文献のカテゴリー</p> <table border="0"> <tr> <td>「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</td> <td>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」 口頭による開示、使用、展示等に言及する文献</td> <td>「&」 同一パテントファミリー文献</td> </tr> <tr> <td>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>			「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献	「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	
「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの											
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの											
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの											
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献											
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願												
<p>国際調査を完了した日</p> <p>22.05.2013</p>	<p>国際調査報告の発送日</p> <p>04.06.2013</p>											
<p>国際調査機関の名称及びあて先</p> <p>日本国特許庁 (ISA/J P)</p> <p>郵便番号100-8915</p> <p>東京都千代田区霞が関三丁目4番3号</p>	<p>特許庁審査官 (権限のある職員)</p> <p>平野 崇</p> <p>電話番号 03-3581-1101 内線 3559</p>	<table border="1"> <tr> <td>50</td> <td>3657</td> </tr> </table>	50	3657								
50	3657											

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-231545 A (富士電機デバイステクノロジー株式会社) 2009.10.08, 段落【0019】 , 【0020】 , 【0023】 , 【0024】 , 第1図 & US 2009/0236612 A1 & DE 102009014583 A1	1-19
A	JP 2006-120894 A (株式会社東芝) 2006.05.11, 段落【0010】 - 【0022】 , 【0038】 , 第1, 3, 10図 (ファミリーなし)	1-19