



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년09월17일  
 (11) 등록번호 10-1899629  
 (24) 등록일자 2018년09월11일

(51) 국제특허분류(Int. Cl.)  
 H01L 21/20 (2006.01) H01L 21/02 (2006.01)  
 H01L 21/28 (2006.01)  
 (21) 출원번호 10-2014-7013105  
 (22) 출원일자(국제) 2012년10월18일  
 심사청구일자 2017년10월18일  
 (85) 번역문제출일자 2014년05월15일  
 (65) 공개번호 10-2014-0082811  
 (43) 공개일자 2014년07월02일  
 (86) 국제출원번호 PCT/US2012/060810  
 (87) 국제공개번호 WO 2013/059457  
 국제공개일자 2013년04월25일  
 (30) 우선권주장  
 61/548,899 2011년10월19일 미국(US)  
 (56) 선행기술조사문헌  
 KR1020110014446 A\*  
 (뒷면에 계속)  
 전체 청구항 수 : 총 48 항

(73) 특허권자  
**썬에디슨, 인크.**  
 미국 63043 미주리주 메릴랜드 하이츠 리버포트  
 드라이브 13736  
**캔자스 스테이트 유니버시티 리서치 파운데이션**  
 미국 66502-5020 캔자스주 맨하탄 스위트 105 리  
 서치 파크 씨클 2005  
 (72) 발명자  
**시크리스트, 마이클 알.**  
 미국 63376 미주리주 세인트 피터스 펠 드라이브  
 501 엠이엠씨 일렉트로닉 머티리얼즈, 인크. 내  
**베리, 비카스**  
 미국 63376 미주리주 세인트 피터스 펠 드라이브  
 501 엠이엠씨 일렉트로닉 머티리얼즈, 인크. 내  
 (74) 대리인  
**양영준, 백만기, 정은진**

심사관 : 김중희

(54) 발명의 명칭 **반도체 기판 상에의 그래핀의 직접 형성**

**(57) 요약**

본 발명은 일반적으로 반도체 기판의 표면 상에 직접 그래핀 층을 제조하는 방법에 관한 것이다. 본 방법은 반도체 기판의 전방 표면 상에 탄소-함유 층을 형성하는 단계 및 탄소 층 상에 금속 필름을 침착시키는 단계를 포함한다. 열 사이클은 탄소-함유 층을 분해하며, 이는 냉각시 반도체 기판 상에 직접 그래핀을 형성한다. 일부 실시양태에서, 탄소 공급원은 탄소-함유 가스이고, 열 사이클은 금속 필름 내로의 탄소 원자의 확산을 일으키며, 이는 냉각시 반도체 기판 상에 직접 그래핀 층으로 분리되고 침전된다.

(56) 선행기술조사문헌

WO2011075158A1

US20140120270 A1

US20110042687 A1

NANO LETTERS, American Chemical Society,  
Vol.11, No.9, pp.3612-3616\*

ACS NANO, American Chemical Society, Vol.5,  
No.10, pp.8241-8247\*

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

반도체 기판의 제조 방법으로서 - 상기 반도체 기판은, 하나가 상기 반도체 기판의 전방 표면이고 다른 하나는 상기 반도체 기판의 후방 표면인 평행한 2개의 주 표면, 및 상기 반도체 기판의 전방 표면과 후방 표면을 연결하는 주연 에지(circumferential edge)를 포함함 -,

금속 필름을 상기 반도체 기판의 상기 전방 표면 상에 형성하는 단계 - 상기 금속 필름은 전방 금속 필름 표면, 후방 금속 필름 표면, 및 상기 전방 금속 필름 표면과 상기 후방 금속 필름 표면 사이의 벌크 금속 영역을 포함하고, 상기 후방 금속 필름 표면은 상기 반도체 기판의 상기 전방 표면과 접촉함 -;

탄소 원자들을 상기 금속 필름의 상기 벌크 금속 영역 내로 내부확산(in-diffuse)시키기에 충분한 온도에서 환원성 분위기 내에서 탄소-함유 가스와 상기 전방 금속 필름 표면을 접촉시키는 단계; 및

탄소 원자들을 침전시킴으로써 상기 반도체 기판의 상기 전방 표면과 상기 후방 금속 필름 표면 사이에 단일의 단원자 그래핀 층(single mono-atomic layer of graphene)을 형성하는 단계 - 상기 금속 필름이 위에 있는 상기 반도체 기판을 5°C/초 내지 50°C/초의 냉각 속도로 냉각시키는 것에 의해 상기 탄소 원자들이 침전됨으로써 상기 반도체 기판의 상기 전방 표면과 상기 후방 금속 필름 표면 사이에 상기 단일의 단원자 그래핀 층을 형성함 -

를 포함하는 방법.

#### 청구항 2

제1항에 있어서, 상기 반도체 기판이 반도체 웨이퍼를 포함하는 것인 방법.

#### 청구항 3

제2항에 있어서, 상기 반도체 웨이퍼는, 규소, 갈륨비소, 탄화규소, 규소게르마늄, 및 게르마늄, 및 그의 조합으로 이루어진 군으로부터 선택된 재료를 포함하는 것인 방법.

#### 청구항 4

제2항에 있어서, 상기 반도체 웨이퍼가 초크랄스키 방법(Czochralski method)에 의해 성장된 단결정 규소 잉곳으로부터 슬라이싱된 규소 웨이퍼를 포함하는 것인 방법.

#### 청구항 5

제1항에 있어서, 상기 반도체 기판의 상기 전방 표면이 그의 상기 전방 표면 상에 유전체 층을 포함하는 것인 방법.

#### 청구항 6

제1항에 있어서, 상기 반도체 기판의 상기 전방 표면이 그의 상기 전방 표면 상에 산화규소 층을 포함하는 것인 방법.

#### 청구항 7

제6항에 있어서, 상기 산화규소 층은 30 나노미터 내지 1000 나노미터의 두께인 것인 방법.

#### 청구항 8

제6항에 있어서, 상기 산화규소 층은 90 나노미터 내지 300 나노미터의 두께인 것인 방법.

#### 청구항 9

제6항에 있어서, 상기 금속 필름을 형성하기 전에 상기 산화규소 층 상에 탄화수소-함유 실란, 탄화수소-함유 실리콘이트, 또는 둘 모두를 포함하는 자기-집합된 단층(self-assembled monolayer)을 침착시키는 단계를 추가

로 포함하는 방법.

**청구항 10**

제6항에 있어서, 하기의 일반 구조:



를 갖는 화합물을 포함하는 자기-집합된 단층을 침착시키는 단계를 추가로 포함하는데, 각각의 X는 독립적으로 할라이드 원자, 알킬 기, 또는 알콕시 기이고; n은 1 내지 25의 정수인 방법.

**청구항 11**

제10항에 있어서, 각각의 X가 1 내지 4개의 탄소 원자를 포함하는 알킬 기인 방법.

**청구항 12**

제10항에 있어서, 각각의 X가 1 내지 4개의 탄소 원자를 포함하는 알콕시 기인 방법.

**청구항 13**

제10항에 있어서, 각각의 X가 할라이드 원자인 방법.

**청구항 14**

제1항에 있어서, 상기 금속 필름은 1000℃에서 적어도 0.05 원자%의 탄소 용해도를 갖는 금속을 포함하는 것인 방법.

**청구항 15**

제1항에 있어서, 상기 금속 필름은 1000℃에서 3 원자% 미만의 탄소 용해도를 갖는 금속을 포함하는 것인 방법.

**청구항 16**

제1항에 있어서, 상기 금속 필름이 니켈, 구리, 철, 백금, 팔라듐, 루테튬, 코발트 및 그의 합금을 포함하는 것인 방법.

**청구항 17**

제1항에 있어서, 상기 금속 필름은, 스퍼터링, 증발, 전해 도금, 및 금속 포일 접합으로 이루어진 군으로부터 선택된 기술에 의해 침착되는 것인 방법.

**청구항 18**

제1항에 있어서, 상기 금속 필름은 50 나노미터 내지 20 마이크로미터의 두께인 것인 방법.

**청구항 19**

제1항에 있어서, 상기 금속 필름은 50 나노미터 내지 10 마이크로미터의 두께인 것인 방법.

**청구항 20**

제1항에 있어서, 상기 탄소-함유 가스가 메탄, 에탄, 에틸렌, 아세틸렌, 프로판, 프로필렌, 프로핀, 부탄, 부틸렌, 부틴, 및 그의 조합으로 이루어진 군으로부터 선택된 것인 방법.

**청구항 21**

제20항에 있어서, 상기 환원성 분위기가 수소 가스를 포함하는 것인 방법.

**청구항 22**

제1항에 있어서, 상기 금속 필름이 위에 있는 상기 반도체 기판에서 온도 구배 프로파일을 형성하는 단계를 포함하고, 상기 온도 구배 프로파일은, 상기 전방 금속 필름 표면 및 상기 후방 금속 필름 표면에서의 온도가 상기 벌크 금속 영역 내의 중심 평면 부근 온도보다 낮게 되도록 한 것인 방법.

**청구항 23**

제22항에 있어서, 상기 온도 구배는 상기 전방 금속 필름 표면 상에 그래핀의 침전을 일으키는 것인 방법.

**청구항 24**

제23항에 있어서, 상기 전방 금속 필름 표면 상의 상기 그래핀 층을 제거하는 단계를 추가로 포함하는 방법.

**청구항 25**

제24항에 있어서, 상기 전방 금속 필름 표면 상의 상기 그래핀 층은 산소 플라즈마 에칭에 의해 제거되는 것인 방법.

**청구항 26**

제1항에 있어서, 상기 금속 필름을 제거함으로써 상기 반도체 기판의 상기 전방 표면과 접촉하는 상기 그래핀 층을 노출시키는 단계를 추가로 포함하는 방법.

**청구항 27**

제26항에 있어서, 상기 금속 필름은 상기 금속 필름을 수성 금속 에칭제와 접촉시킴으로써 제거되는 것인 방법.

**청구항 28**

제1항에 있어서, 상기 금속 필름이 위에 있는 상기 반도체 기판을 10℃/초 내지 30℃/초의 냉각 속도로 냉각시키는 것에 의해 상기 탄소 원자들이 침전됨으로써 상기 반도체 기판의 상기 전방 표면과 상기 후방 금속 필름 표면 사이에 상기 단일의 단원자 그래핀 층을 형성하는 것인 방법.

**청구항 29**

반도체 기판의 제조 방법으로서 - 상기 반도체 기판은, 하나가 상기 반도체 기판의 전방 표면이고 다른 하나는 상기 반도체 기판의 후방 표면인 평행한 2개의 주 표면, 및 상기 반도체 기판의 전방 표면과 후방 표면을 연결하는 주연 에지를 포함함 -,

상기 반도체 기판의 상기 전방 표면 상에 탄소-풍부 중합체를 포함하는 층을 침착시키는 단계;

금속 필름을 상기 탄소-풍부 중합체 층 상에 형성하는 단계 - 상기 금속 필름은 전방 금속 필름 표면, 후방 금속 필름 표면, 및 상기 전방 금속 필름 표면과 상기 후방 금속 필름 표면 사이의 벌크 금속 영역을 포함하고, 상기 후방 금속 필름 표면은 상기 탄소-풍부 중합체를 포함하는 층과 접촉함 -;

수소의 존재 하에서 상기 탄소-풍부 중합체를 포함하는 층 및 그 위의 상기 금속 필름을 포함하는 상기 반도체 기판을 상기 탄소-풍부 중합체 층을 분해시키기에 충분한 온도로 가열하는 단계; 및

탄소 원자들을 침전시킴으로써 상기 반도체 기판의 상기 전방 표면과 상기 후방 금속 필름 표면 사이에 단일의 단원자 그래핀 층을 형성하는 단계 - 상기 금속 필름이 위에 있는 상기 반도체 기판을 5℃/초 내지 50℃/초의 냉각 속도로 냉각시키는 것에 의해 상기 탄소 원자들이 침전됨으로써 상기 반도체 기판의 상기 전방 표면과 상기 후방 금속 필름 표면 사이에 상기 단일의 단원자 그래핀 층을 형성함 -

를 포함하는 방법.

**청구항 30**

제29항에 있어서, 상기 반도체 기판이 반도체 웨이퍼를 포함하는 것인 방법.

**청구항 31**

제30항에 있어서, 상기 반도체 웨이퍼는, 규소, 갈륨비소, 탄화규소, 규소게르마늄, 및 게르마늄, 및 그의 조합

으로 이루어진 균으로부터 선택된 재료를 포함하는 것인 방법.

**청구항 32**

제30항에 있어서, 상기 반도체 웨이퍼가 초크랄스키 방법에 의해 성장된 단결정 규소 잉곳으로부터 슬라이싱된 규소 웨이퍼를 포함하는 것인 방법.

**청구항 33**

제29항에 있어서, 상기 반도체 기판의 전방 표면이 그의 전방 표면 상에 유전체 층을 포함하는 것인 방법.

**청구항 34**

제29항에 있어서, 상기 반도체 기판의 상기 전방 표면이 그의 상기 전방 표면 상에 산화규소 층을 포함하는 것인 방법.

**청구항 35**

제34항에 있어서, 상기 산화규소 층은 30 나노미터 내지 1000 나노미터의 두께인 것인 방법.

**청구항 36**

제35항에 있어서, 상기 산화규소 층은 90 나노미터 내지 300 나노미터의 두께인 것인 방법.

**청구항 37**

제29항에 있어서, 상기 탄소-풍부 중합체가 폴리메틸메타크릴레이트 (PMMA), 폴리부타디엔, 폴리스티렌, 폴리(아크릴로니트릴-코-부타디엔-코-스티렌) (ABS), 폴리에틸렌, 폴리프로필렌, 폴리(4'-비닐헥사페닐벤젠)들, 및 그의 조합으로 이루어진 균으로부터 선택된 것인 방법.

**청구항 38**

제29항에 있어서, 상기 탄소-풍부 중합체 층은 1 나노미터 내지 100 나노미터의 두께를 갖는 것인 방법.

**청구항 39**

제29항에 있어서, 상기 탄소-풍부 중합체 층은 5 나노미터 내지 100 나노미터의 두께를 갖는 것인 방법.

**청구항 40**

제29항에 있어서, 상기 탄소-풍부 중합체 층은 10 나노미터 내지 50 나노미터의 두께를 갖는 것인 방법.

**청구항 41**

제29항에 있어서, 상기 금속 필름은 1000℃에서 적어도 0.05 원자%의 탄소 용해도를 갖는 금속을 포함하는 것인 방법.

**청구항 42**

반도체 기판의 제조 방법으로서 - 상기 반도체 기판은, 하나가 상기 반도체 기판의 전방 표면이고 다른 하나는 상기 반도체 기판의 후방 표면인 평행한 2개의 주 표면, 및 상기 반도체 기판의 전방 표면과 후방 표면을 연결하는 주연 에지를 포함하고, 상기 반도체 기판의 상기 전방 표면은 그의 상기 전방 표면 상에 산화규소 층을 포함함 -,

상기 반도체 기판의 상기 전방 표면 상의 상기 산화규소 층 상에 폴리메틸메타크릴레이트(PMMA)를 포함하는 탄소-풍부 중합체를 포함하는 층을 침착시키는 단계;

금속 필름을 상기 탄소-풍부 중합체 층 상에 형성하는 단계 - 상기 금속 필름은 전방 금속 필름 표면, 후방 금속 필름 표면, 및 상기 전방 금속 필름 표면과 상기 후방 금속 필름 표면 사이의 벌크 금속 영역을 포함하고, 상기 후방 금속 필름 표면은 상기 탄소-풍부 중합체를 포함하는 층과 접촉하고, 상기 금속 필름은 1000℃에서 3 원자% 미만의 탄소 용해도를 갖는 금속을 포함함 -;

수소의 존재 하에서 상기 탄소-풍부 중합체를 포함하는 층 및 그 위의 상기 금속 필름을 포함하는 상기 반도체 기판을 상기 탄소-풍부 중합체 층을 분해시키기에 충분한 온도로 가열하는 단계; 및

탄소 원자들을 침전시킴으로써 상기 반도체 기판의 상기 전방 표면과 상기 후방 금속 필름 표면 사이에 단일의 단원자 그래핀 층을 형성하는 단계

를 포함하는 방법.

**청구항 43**

제29항에 있어서, 상기 금속 필름이 니켈, 구리, 철, 백금, 팔라듐, 루테튬, 코발트 및 그의 합금을 포함하는 것인 방법.

**청구항 44**

제29항에 있어서, 상기 금속 필름은, 스퍼터링, 증발, 전해 도금, 및 금속 포일 접합으로 이루어진 군으로부터 선택된 기술에 의해 침착되는 것인 방법.

**청구항 45**

제29항에 있어서, 상기 금속 필름은 50 나노미터 내지 20 마이크로미터의 두께인 것인 방법.

**청구항 46**

제29항에 있어서, 상기 금속 필름은 50 나노미터 내지 10 마이크로미터의 두께인 것인 방법.

**청구항 47**

제29항에 있어서, 상기 금속 필름이 위에 있는 상기 반도체 기판에서 온도 구배 프로파일을 형성하는 단계를 추가로 포함하고, 상기 온도 구배 프로파일은, 상기 전방 금속 필름 표면 및 상기 후방 금속 필름 표면에서의 온도가 상기 벌크 금속 영역 내의 중심 평면 부근 온도보다 낮게 되도록 한 것인 방법.

**청구항 48**

제29항에 있어서, 상기 금속 필름이 위에 있는 상기 반도체 기판을 10°C/초 내지 30°C/초의 냉각 속도로 냉각시키는 것에 의해 상기 탄소 원자들이 침전됨으로써 상기 반도체 기판의 상기 전방 표면과 상기 후방 금속 필름 표면 사이에 상기 단일의 단원자 그래핀 층을 형성하는 것인 방법.

**청구항 49**

삭제

**청구항 50**

삭제

**청구항 51**

삭제

**청구항 52**

삭제

**청구항 53**

삭제

**청구항 54**

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

**발명의 설명**

**기술 분야**

- [0001] 본원은 2011년 10월 19일자로 출원된 미국 가출원 번호 61/548,899의 이득을 주장하며, 이는 그 전문이 본원에 참조로 포함된다.
- [0002] 본 발명의 분야는 일반적으로 반도체 기판 상에 그래핀 및 다른 원자 두께의 시트를 생성하는 방법에 관한 것이다.

**배경 기술**

- [0003] 그래핀은 1-원자 두께의 평면 시트를 형성하는 탄소 원자들의 육각형 배열이다. 그래핀은 유망한 전자 재료이다. 그래핀은 그의 월등한 전기적, 열적, 기계적, 및 광학적 특성으로 인해 반도체 산업에 상당한 영향을 줄 수 있는 잠재성을 가지면서, 동시에 기존 반도체 가공 기술과의 양립가능성을 제공한다. 대량 생산에서 이러한 이득들을 실현하기 위해서는, 대직경의 규소 기판 상에 그래핀을 집적시키는 경로가 필요하다. 현재의 공정은 그래핀이 금속 베이스로부터 원하는 기판으로 전달되게 할 것을 필요로 한다. 원자 두께 시트의 이러한 전달 공정은 난제이며, 낮은 수율 및 상당한 밀도의 접힘(folds) 및 인열(tears)로 이어진다.
- [0004] 2004년에 A. Geim 및 K. Novoselov에 의해 그래핀이 성공적으로 단리, 확인, 및 특성화된 이래로, 그래핀의 플레이크(flake)를 생성하기 위한 가장 일반적인 방법은 흑연으로부터의 테이프 박리(tape exfoliation) 및 산화된 규소 웨이퍼로의 전달에 의한 것이었다. 이러한 방법은 그래핀의 작은 불규칙 형상의 플레이크를 생성하는 것이지, 규소와의 대직경의 집적에 맞게 규모를 조정시키기에 적합한 것은 아니다. 2007년 Nature Materials 6의 183-191페이지에서, A. K. Geim 및 K.S. Novovselov의 "The Rise of Graphene"을 참조한다.
- [0005] 웨이퍼 수준 그래핀 및 그래핀의 대면적 시트의 생성에 관한 연구는 2가지 주요 선택의 발전을 일으켰다.
- [0006] 먼저, Georgia Institute of Technology에 있는 W. deHeer의 그룹은 매우 고온에서 규소 승화 및 외부확산(outdiffusion)에 의해 SiC 웨이퍼 상에 그래핀 층들이 형성되는 것을 입증하였다. 이 기술의 단점은 고가의 SiC 웨이퍼, 더 작은 직경의 SiC 웨이퍼, 및 규소 웨이퍼 상에서 가능한 집적 규모의 부재이다. 일부 그룹은 SiC를 규소 상에 침착시키는 것을 연구 중이며 침착된 SiC 층 상에 그래핀을 형성하기 위해 시도하고 있다. 2010년 MRS Bulletin 35의 296-305페이지에서, P. First, W. deHeer 등에 의한 "Epitaxial Graphenes on

Silicon Carbide"를 참조한다.

[0007] 한국 및 텍사스대학교(University of Texas system) 내에 있는 그룹은 Cu 및 Ni과 같은 금속 포일 상에의 그래핀 형성을 입증하였다. 2010년 Nature Nanotechnology 5의 574-578페이지에서, S. Bae 등의 "Roll-to Roll Production of 30 inch Graphene Films for Transparent Electrodes" 및 2005년 ECS Transactions에서 X. Li 등의 "Synthesis, Characterization, and Properties of Large-Area Graphene Films" 19(5), 41-52페이지를 참조한다. 100 mtorr와 같은 압력에서 CVD 챔버 내에서 700 내지 1000°C 범위의 온도에서 수소와 혼합된 메탄과 같은 탄소 공급원을 사용하여, 탄소를 금속 필름 내로 흡수시키고, 이 탄소는 냉각시에 금속 포일의 표면에 침전되거나 분리되어, 공정 조건 및 금속 포일에 따라 단층 또는 다층 그래핀을 형성한다. 이어서, 그래핀 층은 산화된 규소로 전달되어야 한다. 전달 공정은 일반적으로 그래핀 상에 PMMA와 같은 재료를 사용한 후, 금속 포일을 용해시키고, 이어서 그래핀을 이산화규소 층에 접합시키고, 마지막으로 PMMA를 제거하여 규소 상의 SiO<sub>2</sub> 상에 그래핀을 남긴다. 금속 포일 상에의 그래핀 형성으로 그래핀의 대형 시트의 생성이 가능하게 될 수 있기는 하지만, 대면적 그래핀 시트를 전자 장치 제작용 대직경 규소 기판으로 전달하기 위한 공정은 난제이다. 그래핀 필름에서의 필름 응력, 화학 잔류물, 접합 결함, 및 주름과 같은 문제는 제조가능한 공정에 있어서 상당한 난제일 수 있다.

**발명의 내용**

[0008] 간략히 말해서, 본 발명은 반도체 기판의 제조 방법에 관한 것이다. 반도체 기판은, 하나가 반도체 기판의 전방 표면이고 다른 하나는 반도체 기판의 후방 표면인 대체로 평행한 2개의 주 표면, 및 전방 반도체 기판 표면과 후방 반도체 기판 표면을 연결하는 주연 에지(circumferential edge)를 포함한다. 본 방법은 반도체 기판의 전방 표면 상에 금속 필름을 형성하는 단계를 포함하며, 상기 금속 필름은 전방 금속 필름 표면, 후방 금속 필름 표면, 및 전방 금속 필름 표면과 후방 금속 필름 표면 사이의 벌크 금속 영역을 포함하며, 여기서 후방 금속 필름 표면은 전방 반도체 기판 표면과 접촉된다. 본 방법은 탄소 원자를 금속 필름의 벌크 금속 영역 내로 내부확산(in-diffuse)시키기 위해 충분한 온도에서 환원성 분위기 내에서 탄소-함유 가스와 전방 금속 필름 표면을 접촉시키는 단계를 추가로 포함한다. 본 방법은 탄소 원자를 침전시킴으로써 전방 반도체 기판 표면과 후방 금속 필름 표면 사이에 그래핀 층을 형성하는 단계를 또 추가로 포함한다.

[0009] 일부 실시양태에서는, 금속 필름이 위에 있는 반도체 기판에서 온도 구배 프로파일을 형성함으로써 탄소 원자를 그래핀 층 또는 그래핀 다층으로 침전시키는데, 이때 상기 온도 구배 프로파일은 전방 금속 필름 표면 및 후방 금속 필름 표면에서의 온도가 벌크 금속 영역 내의 중심 평면 부근 온도보다 낮게 되도록 한다.

[0010] 일부 실시양태에서는, 금속 필름이 위에 있는 반도체 기판을 금속 냉각시킴으로써 탄소 원자를 그래핀 층 또는 그래핀 다층으로 침전시킨다.

[0011] 본 발명은 추가로 반도체 기판의 제조 방법에 관한 것이다. 반도체 기판은, 하나가 반도체 기판의 전방 표면이고 다른 하나는 반도체 기판의 후방 표면인 대체로 평행한 2개의 주 표면, 전방 반도체 기판 표면과 후방 반도체 기판 표면을 연결하는 주연 에지, 및 전방 반도체 기판 표면과 후방 반도체 기판 표면 사이의 중심 평면을 포함한다. 본 방법은 반도체 기판의 전방 표면 층 상에 탄소-풍부 중합체를 포함하는 층을 침착시키는 단계를 포함한다. 본 방법은 추가로 탄소-풍부 중합체 층 상에 금속 필름을 형성하는 단계를 포함하며, 상기 금속 필름은 전방 금속 필름 표면, 후방 금속 필름 표면, 및 전방 금속 필름 표면과 후방 금속 필름 표면 사이의 벌크 금속 영역을 포함하며, 여기서 후방 금속 필름 표면은 탄소-풍부 중합체를 포함하는 층과 접촉된다. 본 방법은 수소의 존재 하에서 탄소-풍부 중합체를 포함하는 층 및 그 위의 금속 필름을 포함하는 반도체 기판을 탄소-풍부 중합체 층을 분해시키기 위해 충분한 온도로 가열하는 단계를 또 추가로 포함한다. 본 방법은 탄소 원자를 침전시킴으로써 전방 반도체 기판 표면과 후방 금속 필름 표면 사이에 그래핀 층을 형성하는 단계를 또 추가로 포함한다.

[0012] 일부 실시양태에서는, 탄소-풍부 중합체 층 및 그 위의 금속 필름을 갖는 반도체 기판에서 온도 구배 프로파일을 형성함으로써 탄소 원자를 전방 반도체 기판 표면과 후방 금속 필름 표면 사이에 그래핀 층 또는 그래핀 다층으로 침전시키는데, 이때 상기 온도 구배 프로파일은 전방 금속 필름 표면 및 후방 금속 필름 표면에서의 온도가 벌크 금속 영역 내의 중심 평면 부근 온도보다 낮게 되도록 한다.

[0013] 일부 실시양태에서는, 탄소-풍부 중합체 층 및 그 위의 금속 필름을 갖는 반도체 기판을 금속 냉각시킴으로써 탄소 원자를 전방 반도체 기판 표면과 후방 금속 필름 표면 사이에 그래핀 층 또는 그래핀 다층으로 침전시킨다.

[0014] 본 발명은 또 추가로 다층 물품에 관한 것이며, 본 다층 물품은, 하나가 도너 기관의 전방 표면이고 다른 하나는 도너 기관의 후방 표면인 대체로 평행한 2개의 주 표면, 전방 표면과 후방 표면을 연결하는 주연 에지, 및 전방 표면과 후방 표면 사이의 중심 평면을 포함하는 반도체 기관; 반도체 기관의 전방 표면과 접촉된 그래핀 층; 및 그래핀 층과 접촉되고, 전방 금속 필름 표면, 후방 금속 필름 표면, 및 전방 금속 필름 표면과 후방 금속 필름 표면 사이의 벌크 금속 영역을 포함하는 금속 필름을 포함한다.

**발명을 실시하기 위한 구체적인 내용**

[0015] 본 발명은 반도체 기관, 예컨대, 반도체 웨이퍼 상에 직접 그래핀을 형성하는 방법에 관한 것이다. 유리하게는, 본 발명의 방법은 대직경 반도체 웨이퍼, 예컨대, 이산화규소로 코팅된 규소 웨이퍼의 적어도 일부를 적어도 그래핀 층으로 코팅하는 것을 가능하게 한다. 일부 실시양태에서, 본 발명의 방법은 대직경 반도체 웨이퍼, 예컨대, 이산화규소로 코팅된 규소 웨이퍼의 적어도 일부를 그래핀의 단일의 단원자(mono-atomic) 층으로 코팅하는 것을 가능하게 한다. 다른 식으로 기술하면, 웨이퍼의 주 표면의 적어도 일부가 그래핀의 단일 층으로 코팅되며, 상기 단일 층은 단원자 두께를 갖는다. 일부 실시양태에서, 본 발명의 방법은 대직경 반도체 웨이퍼, 예컨대, 이산화규소로 코팅된 규소 웨이퍼의 적어도 일부를 그래핀 이중층(bi-layer)으로 코팅하는 것을 가능하게 하며, 이때 이중층의 각각의 층은 단원자 두께의 그래핀 층을 포함한다. 일부 실시양태에서, 본 발명의 방법은 대직경 반도체 웨이퍼, 예컨대, 이산화규소로 코팅된 규소 웨이퍼의 적어도 일부를 3개 이상의 층을 갖는 그래핀 다층으로 코팅하는 것을 가능하게 하며, 이때 다층의 각각의 층은 단원자 두께의 그래핀 층을 포함한다. 일부 실시양태에서는, 웨이퍼의 전체 주 표면이 그래핀 층 또는 그래핀 다층으로 코팅될 수 있다. 일부 실시양태에서는, 웨이퍼의 주 표면의 일부가 그래핀 층 또는 그래핀 다층으로 코팅될 수 있다.

[0016] 일반적으로, 본 발명의 방법은 반도체 기관의 주 표면 상에 금속 필름을 침착시키고, 이 다층 구조물을 탄소 공급원에 노출시키고, 이에 의해 탄소가 금속 필름 내로 흡수되는 것을 이용한다. 일부 실시양태에서, 탄소 공급원은 금속 필름을 침착시키기 전에 반도체 기관의 표면 상에 침착된 탄화수소-함유 자기-집합된 단층(self-assembled monolayer) 또는 탄소-풍부 중합체일 수 있다. 일부 실시양태에서, 탄소 공급원은 탄화수소-함유 자기-집합된 단층 및 탄소-풍부 중합체의 조합일 수 있으며, 이들 둘 모두는 금속 필름을 침착시키기 전에 반도체 기관의 표면 상에 침착된다. 일부 실시양태에서, 탄소 공급원은 탄소-풍부 가스, 예컨대, 메탄일 수 있는데, 여기서는 탄소가 증기 침착 공정 동안 금속 필름 내로 흡수된다. 일부 실시양태에서는, 고체 탄소 공급원, 예컨대, 자기-집합된 단층 및/또는 중합체를 반도체 기관과 금속 필름 사이에 배치할 수 있으며, 본 방법은 탄소-함유 가스로부터의 탄소 흡수를 추가로 포함한다.

[0017] 일부 실시양태에서, 반도체 기관의 주 표면 상에 침착된 금속, 예컨대, 니켈은 탄소 침착 온도에서 높은 탄소 용해도를 갖는다. 이들 실시양태에서, 탄소는 고체 또는 기상 탄소 공급원으로부터 금속 필름 내로 흡수될 수 있다. 다층 구조물을 냉각시킬 때, 탄소는 금속 필름으로부터 분리되고 침전됨으로써, 반도체 기관과 금속 필름 사이에 적어도 하나의 그래핀 층을 침착시킨다.

[0018] 본 발명의 일부 실시양태에서, 반도체 기관의 주 표면 상에 침착된 금속은 탄소 침착 온도에서 낮거나 실질적으로 0인 탄소 용해도를 갖는다. 그러한 금속은, 예컨대, 구리를 포함한다. 본원에서, 승온은 탄소 공급원, 예컨대, 기상 탄소 또는 탄소 함유 중합체를 분해하고, 금속 표면은 반도체 기관과 금속 필름 사이에서의 적어도 하나의 그래핀 층의 성장을 촉진시킨다.

[0019] 일부 실시양태에서, 금속 층은 반도체 기관의 전체 주 표면에 걸쳐 침착될 수 있다. 일부 실시양태에서, 금속 층은 기관의 일부에 걸쳐, 이를테면 주 표면의 총 면적의 적어도 약 10%, 또는 총 면적의 적어도 약 25%, 또는 총 면적의 적어도 약 50%, 또는 총 면적의 적어도 약 75% 침착될 수 있다. 일부 실시양태에서, 금속 층은 반도체 기관의 전체 주 표면에 걸쳐 침착될 수 있으며, 이후에 금속은 통상의 리소그래피 기술을 사용하여 제거됨으로써, 기관의 주 표면 상에 원하는 패턴의 금속 침착을 남길 수 있다.

[0020] 금속 필름은, 예컨대, 에칭에 의해 제거됨으로써, 반도체 기관 및 단원자 그래핀 층을 포함하는 다층 반도체 구조물을 산출할 수 있다. 그래핀 층은 반도체 기관의 주 표면 상에 침착된 금속 층과 동일한 치수를 갖는다. 그러한 관점에서, 본 방법은 반도체 기관의 주 표면 상에, 예컨대, 금속 층의 리소그래피에 의해 원하는 패턴을 갖는 그래핀 층들의 제조를 가능하게 한다. 유리하게는, 그래핀은 어떠한 층 전달 단계 없이 침착된다.

[0021] 본 발명의 방법에 따르면, 그래핀 층 또는 층들은 반도체 기관 상에 침착된다. 반도체 기관은 대체로 평행한 2개의 주 표면을 포함할 수 있으며, 이들 중 하나는 기관의 전방 표면이고 이들 중 다른 하나는 기관의 후방 표면이다. 주연 에지가 전방 표면과 후방 표면을 연결하며, 중심 평면이 전방 표면과 후방 표면 사이에 놓인다.

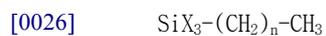
본원에서 기재된 바와 같은 임의의 작동 전에, 기관의 전방 표면과 후방 표면은 실질적으로 동일할 수 있다. 표면은 단지 편의성을 위해, 그리고 일반적으로 본 발명의 방법의 작동들이 수행되는 표면을 구별하기 위해서 "전방 표면" 또는 "후방 표면"으로서 지칭된다. 본 발명의 일부 실시양태에서, 본 발명의 작동들은 반도체 기관의 전방 표면에서 수행된다. 본 발명의 일부 실시양태에서, 본 발명의 작동들은 반도체 기관의 전방 표면 및 후방 표면 둘 다에서 수행된다.

[0022] 일부 실시양태에서, 반도체 기관은 반도체 웨이퍼를 포함한다. 바람직한 실시양태에서, 반도체 웨이퍼는 규소, 탄화규소, 규소게르마늄, 질화규소, 이산화규소, 갈륨비소, 질화갈륨, 인화인듐, 인듐 갈륨 비소화물, 및 게르마늄 중에서 선택된 재료를 포함한다. 반도체 웨이퍼는, 예컨대, 다층 구조물 내에 그러한 재료들의 조합을 포함할 수 있다. 일반적으로, 반도체 웨이퍼는 적어도 약 20 mm, 보다 전형적으로는 약 20 mm 내지 약 500 mm의 직경을 갖는다. 일부 실시양태에서, 직경은 약 20 mm, 약 45 mm, 약 90 mm, 약 100 mm, 약 150 mm, 약 200 mm, 약 300 mm 또는 심지어는 약 450 mm이다. 반도체 웨이퍼는 약 100 마이크로미터 내지 약 5000 마이크로미터, 이를테면, 약 100 마이크로미터 내지 약 1500 마이크로미터의 두께를 가질 수 있다.

[0023] 특히 바람직한 실시양태에서, 반도체 웨이퍼는 단결정 규소 웨이퍼로부터 슬라이싱된 웨이퍼를 포함하는데, 상기 단결정 규소 웨이퍼는 통상의 초크랄스키 결정 성장 방법에 따라 성장된 단결정 잉곳으로부터 슬라이싱된 것이다. 그러한 방법뿐만 아니라, 표준 규소 슬라이싱, 랩핑, 에칭, 및 폴리싱 기술이, 예를 들어, F. Shimura, Semiconductor Silicon Crystal Technology, Academic Press, 1989 및 Silicon Chemical Etching, (J. Grabmaier ed.) Springer-Verlag, N.Y., 1982(본원에 참조로 포함됨)에 개시되어 있다. 일부 바람직한 실시양태에서, 반도체 규소 기관은 CZ 방법에 의해 성장된 폴리싱된 규소 웨이퍼이다. 규소 기관은 임의의 결정 배향, 예컨대, (100), (110), 및 (111)을 가질 수 있다.

[0024] 본 발명의 방법의 일부 실시양태에서, 반도체 기관의 주 표면들 중 하나 이상은 유전체 층으로 개질될 수 있다. 일부 바람직한 실시양태에서, 반도체 기관은 규소 웨이퍼를 포함하며, 이의 전방 표면 층은 이온 주입 전에 산화된다. 바람직한 실시양태에서는, 전방 표면 층, 즉, 금속 필름이 위에 침착되는 층이 산화된다. 반도체 기관이 규소 웨이퍼를 포함하는 바람직한 실시양태에서는, 바람직하게는 규소 웨이퍼의 전방 표면이 산화되어, 규소 웨이퍼의 전방 표면 층이 약 30 nm 내지 약 1000 nm, 약 50 nm 내지 약 500 nm, 바람직하게는 약 50 nm 내지 약 300 nm, 이를테면, 약 90 nm 내지 약 300 나노미터 두께, 또는 약 90 nm 내지 약 200 나노미터 두께의 두께를 갖는 이산화규소(SiO<sub>2</sub>) 층을 포함하도록 한다. 규소 웨이퍼의 전방 표면은 당업계에 공지된 바와 같이 습식 또는 건식 산화를 통해 열 산화될 수 있다. 산화는 일반적으로 수증기 및/또는 산소를 사용하여 약 800°C 내지 약 1200°C의 온도에서 일어난다.

[0025] 본 발명의 방법의 일부 실시양태에서는, 탄화수소-함유 실란 및/또는 탄화수소-함유 실리케이트(즉, 오가노실란, 오가노실리케이트)를 포함하는 자기-집합된 단층이, 금속 필름을 형성하기 전에, 산화규소 층 상에 침착될 수 있다. 본원에서, 탄화수소-함유 부분(moiety)은 탄소 공급원으로서 작용하며, 이는 가열 사이클 동안 후속 적용된 금속 필름 내로 내부확산되거나 그래핀으로 분해될 것이며, 여기서 금속 필름은 낮거나 실질적으로 0인 탄소 용해도를 갖는 금속을 포함한다. 탄화수소-함유 실란 및/또는 탄화수소-함유 실리케이트는 반도체 기관의 전방 표면 층 상에 그래핀을 형성하기 위한 탄소 공급원을 제공한다. 일반적으로, 자기-집합된 단층을 형성하기 위한 실란 또는 실리케이트는 하기 구조를 갖는다:



[0027] 상기 식에서,

[0028] 각각의 X는 독립적으로 할라이드 원자, 알킬 기, 또는 알콕시 기이고;

[0029] n은 1 내지 25, 바람직하게는 약 3 내지 약 15의 정수이다.

[0030] 알킬 기는 1 내지 4개의 탄소 원자를 포함할 수 있으며, 이를테면, 메틸, 에틸, n-프로필, 이소프로필, n-부틸, 이소부틸, 또는 삼차(tert)-부틸를 포함할 수 있다. X가 알킬인 실시양태에서, 바람직하게는, 각각의 X는 메틸이다.

[0031] 알콕시 기는 1 내지 4개의 탄소 원자를 포함할 수 있으며, 이를테면, 메톡시, 에톡시, n-프로폭시, 이소프로폭시, n-부톡시, 이소부톡시, 또는 삼차-부톡시를 포함할 수 있다. X가 알콕시인 실시양태에서, 바람직하게는, 각각의 X는 메톡시이거나 각각의 X는 에톡시이다.

- [0032] 할라이드 원자는, 예컨대, 클로라이드 또는 브로마이드일 수 있다.
- [0033] 반도체 기판 표면 상에 자기-집합된 단층을 형성하도록 실란 또는 실리케이트를 침착시키기 위하여, 반도체, 예컨대, 실리카 표면을 먼저 산소 플라즈마(적합한 조건은 100 W, 600 mTorr, 2 min을 포함함) 내에서 세정한다. 산소 플라즈마는 또한 실리카 표면 상에 히드록실 기를 도입시킨다. 이어서, 일반적으로 기판을 실란 또는 실리케이트를 함유하는 용액 중에 침지함으로써 실란 또는 실리케이트로 처리한다. 적합한 조성은 에탄올 중 1 중량%일 수 있다. 기판은 10분 동안 이 용액 중에 침지할 수 있다. 침착 후, 기판을, 예를 들어, 99% 에탄올로 3회 세정하고, 이어서 소성한다. 적합한 소성 조건은 4분 동안 120°C이다.
- [0034] 자기-집합된 단층을 형성하기 위해 사용될 수 있는 다른 적합한 탄화수소-함유 재료는 헥사메틸디실라잔 및 알루미늄 알킬을 포함한다. 알루미늄 알킬은 알루미늄이 그래핀 생성물을 도핑시킬 수 있기 때문에 덜 바람직하다.
- [0035] 본 발명의 방법의 일부 실시양태에서는, 금속 필름을 형성하기 전에 반도체 기판, 예컨대, 유전체 층이 위에 있는 반도체 웨이퍼 상에 탄소-풍부 중합체를 침착시킨다. 일부 실시양태에서는, 반도체 웨이퍼의 주 표면 상에 침착된 금속 층 상에 탄소-풍부 중합체를 침착시킨다. 본 발명의 방법의 일부 실시양태에서는, 금속 필름을 형성하기 전에 반도체 기판, 예컨대, 유전체 층이 위에 있는 반도체 웨이퍼 상에 탄소-풍부 중합체를 침착시키고, 금속 필름의 표면 상에 제2 탄소-풍부 중합체를 침착시킨다. 본원에서, 탄소-풍부 중합체는 탄소 공급원으로서 작용하며, 이는 가열 사이클 동안 후속 적용된 금속 필름 내로 내부확산되거나 그래핀으로 분해될 것이며, 여기서 금속 필름은 낮거나 실질적으로 0인 탄소 용해도를 갖는 금속을 포함한다. 일반적으로, 매우 다양한 탄소-함유 중합체가 적합하다. 일부 실시양태에서, 탄소-풍부 중합체는 폴리메틸메타크릴레이트 (PMMA), 폴리부타디엔, 폴리스티렌, 폴리(아크릴로니트릴-코-부타디엔-코-스티렌) (ABS), 폴리에틸렌, 폴리프로필렌, 폴리(4'-비닐헥사페닐벤젠), 및 그의 조합으로 이루어진 군으로부터 선택될 수 있다.
- [0036] 일부 실시양태에서, 상기 중합체 또는 탄소-함유 필름은 질소-도핑된 또는 붕소-도핑된 그래핀 시트를 생성하기 위하여 질소 또는 붕소를 함유할 수 있다. 본 발명에 적합한 질소-함유 중합체는 멜라민 포름알데히드, 폴리아크릴로니트릴, 폴리(2,5 피리딘), 폴리피롤, 폴리카바졸, 폴리아닐린, 및 그의 조합을 포함한다. 붕소 도핑은 붕소 알콜(비중합체성)을 포함하는 탄소-함유 층을 제조함으로써, 또는 보라머(Boramer)<sup>TM</sup>를 침착시킴으로써 달성될 수 있다.
- [0037] 탄소-풍부 중합체는 기판을 중합체-함유 용액으로부터 중합체 필름으로 스핀 코팅함으로써 침착될 수 있다. 다른 적합한 침착 방법은 분무 코팅 및 전기화학적 침착을 포함한다. 스핀-코팅 용액을 위한 적합한 용매는 톨루엔, 헥산, 크실렌, 펜탄, 시클로헥산, 벤젠, 클로로포름을 포함한다. 중합체 농도는 일반적으로 약 0.01 중량% 내지 약 1 중량%, 약 0.05 중량% 내지 약 0.5 중량%, 예컨대 약 0.1 중량%이다.
- [0038] 탄소-풍부 중합체 층은 약 1 나노미터 내지 약 100 나노미터 두께, 이를테면, 약 5 나노미터 내지 약 100 나노미터 두께, 바람직하게는 약 10 나노미터 내지 약 50 나노미터 두께의 두께로 침착될 수 있다. 일부 실시양태에서, 탄소-풍부 중합체 층은 약 1 나노미터 내지 약 10 나노미터의 두께로 침착될 수 있다.
- [0039] 본 발명의 방법에 따르면, 반도체 기판의 주 표면은 금속 필름으로 코팅된다. 일부 실시양태에서, 금속 층은 반도체 기판의 전체 주 표면에 걸쳐 침착될 수 있다. 일부 실시양태에서, 금속 층은 기판의 일부에 걸쳐, 이를테면, 주 표면의 총 면적의 적어도 약 10%, 또는 총 면적의 적어도 약 25%, 또는 총 면적의 적어도 약 50%, 또는 총 면적의 적어도 약 75% 침착될 수 있다. 일부 실시양태에서, 금속 층은 반도체 기판의 전체 주 표면에 걸쳐 침착될 수 있으며, 이후에 금속은 통상의 리소그래피 기술을 사용하여 선택적으로 제거됨으로써, 기판의 주 표면 상에 원하는 패턴의 금속 침착을 남길 수 있다. 일부 실시양태에서, 반도체 기판의 전방 표면 층은 금속 필름으로 코팅된다. 전방 표면 층은 금속으로 완전히 코팅되거나, 금속으로 부분적으로 코팅되거나, 리소그래피에 의해 금속 패턴으로 코팅될 수 있다. 일부 실시양태에서, 반도체 기판은 유전체 층이 위에 있는 반도체 웨이퍼를 포함한다. 일부 바람직한 실시양태에서, 반도체 기판은 이산화규소 전방 표면 층을 갖는 규소 웨이퍼를 포함하고, 금속 필름은 이산화규소 전방 표면 층 상에 침착된다. 이산화규소 층은 금속으로 완전히 코팅되거나, 금속으로 부분적으로 코팅되거나, 리소그래피에 의해 금속 패턴으로 코팅될 수 있다. 일부 바람직한 실시양태에서, 반도체 기판은 이산화규소 전방 표면 층을 갖는 규소 웨이퍼를 포함하며, 이는 탄화수소-함유 자기-집합된 단층, 예컨대, 탄화수소-함유 실란 자기-집합된 단층, 또는 탄소-풍부 중합체로 추가로 개질되고, 금속 필름은 자기-집합된 단층 또는 탄소-풍부 중합체 상에 침착된다. 본원에서는, 반도체 기판, 유전체 층, 탄화수소-함유 실란 자기-집합된 단층 또는 탄소-풍부 중합체를 포함하는 탄소-함유 층, 및 금속 필름을 포함하는 다층 구조물이 제조된다. 편의성을 위하여, 금속 필름의 표면은 "전방 금속 필름 표면" 및 "후방 금속 필름

표면"으로서 지칭될 수 있다. 본원에서, 후방 금속 필름 표면은 전방 반도체 기관 표면 층과 접촉되는데, 상기 전방 반도체 기관 표면 층은 유전체 층 및 임의적으로는 탄화수소-함유 실란 자기-집합된 단층 또는 탄소-풍부 중합체를 포함할 수 있다. 벌크 금속 영역이 전방 금속 필름 표면과 후방 금속 필름 표면 사이에 존재한다.

[0040] 본 발명에 적합한 금속은 니켈, 구리, 철, 백금, 팔라듐, 루테튬, 코발트, 및 그의 합금을 포함한다. 바람직한 실시양태에서, 금속 필름은 니켈을 포함한다. 금속 필름은 당업계에 공지된 기술에 의해 침착될 수 있는데, 이러한 기술은 스퍼터링, 증발, 전해 도금, 및 금속 포일 접합을 포함한다. 일부 실시양태에서, 금속 필름은, 예컨대, 스퍼터링 및 금속 증발 유닛(Sputtering and Metal evaporation Unit)을 사용하여 스퍼터링 또는 증발시킴으로써 침착된다. 전해 금속 도금은 Supriya, L.; Claus, R. O. Solution-Based Assembly of Conductive Gold Film on Flexible Polymer Substrates: Langmuir 2004, 20, 8870-8876에 기재된 방법에 따라 일어날 수 있다. 바람직하게는, 금속 필름은 약 50 나노미터 내지 약 20 마이크로미터 두께, 이를테면, 약 50 나노미터 내지 약 10 마이크로미터 두께, 이를테면, 약 50 나노미터 내지 약 1000 나노미터, 이를테면, 약 300 나노미터 이다.

[0041] 일부 실시양태에서, 금속 필름은 승온(즉, 일반적으로 500°C 초과, 또는 800°C 초과, 이를테면, 약 1000°C)에서 탄소에 대해 상대적으로 높은 용해도를 갖는 금속을 포함할 수 있는데, 이는 탄소의 내부확산을 가능하게 한다. 바람직하게는, 금속은 또한 더 낮은 온도에서는 낮거나 실질적으로 0인 탄소 용해도를 가짐으로써 후속 냉각 단계에서 탄소 분리 및 그래핀으로의 침전을 가능하게 한다. 탄소 내부확산 온도에서의 높은 탄소 용해도의 금속 필름은 니켈, 철, 팔라듐, 및 코발트를 포함한다. 일부 실시양태에서, 금속 필름은 1000°C에서 적어도 약 0.05 원자%, 바람직하게는 1000°C에서 적어도 약 0.10 원자%, 더욱 더 바람직하게는 1000°C에서 적어도 약 0.15 원자%의 탄소 용해도를 갖는 금속을 포함한다. 일부 실시양태에서, 금속 필름은 1000°C에서 약 3 원자% 미만, 바람직하게는 1000°C에서 약 2 원자% 미만의 탄소 용해도를 갖는 금속을 포함한다. 예를 들어, 일부 바람직한 실시양태에서, 금속 필름은 니켈을 포함하는데, 이는 1000°C에서 약 0.2 원자%의 탄소 용해도를 가지며, 이때 상기 온도는 니켈이 금속 필름인 경우 탄소 내부확산을 위한 챔버 온도이다. 일부 실시양태에서, 금속 필름은 철을 포함하는데, 이는 800°C에서 약 0.02 원자%의 탄소 용해도를 가지며, 이때 상기 온도는 철이 금속 필름인 경우 탄소 내부확산을 위한 챔버 온도이다.

[0042] 일부 실시양태에서, 금속 필름은 심지어 승온(즉, 일반적으로 500°C 초과, 또는 800°C 초과, 이를테면, 약 1000°C)에서도 낮거나 실질적으로 0인 탄소 용해도를 갖는 금속을 포함할 수 있다. 낮은 탄소 용해도의 금속 필름은 구리, 백금, 루테튬, 및 코발트를 포함한다. 예를 들어, 탄소 용해도는 500°C 초과, 또는 800°C 초과, 이를테면, 약 1000°C의 온도에서 구리 중에서 사실상 0이다. 구리가 금속 필름용 금속으로서 선택되는 경우, 탄소 함유 가스 또는 탄소 함유 중합체는 구리 상의 수소에 의해 분해된다. 그래핀으로의 탄소-탄소 결합 형성은 구리 표면 상에서 그에 의해 촉진된다.

[0043] 금속 필름의 침착 후에, 다층 구조물은 세정될 수 있다. 다층 구조물은 반도체 기관, 임의적인 표면 유전체 층, (금속 필름의 침착 전에 중합체 필름이 침착된 실시양태에서의) 중합체 필름, 및 금속 필름을 포함한다. 일부 바람직한 실시양태에서, 다층 구조물은 환원성 분위기에서 진공 소성로 내에서 구조물을 가열함으로써 세정될 수 있다. 단지 고진공 하에서 소성이 수행되는 경우에는 화학적 증착 시스템이 사용될 수 있다. 바람직한 실시양태에서, 환원성 분위기는 수소 가스 또는 다른 환원성 가스를 포함한다. 불활성 캐리어 가스, 이를테면, 아르곤 또는 헬륨이 사용될 수 있다. 바람직한 실시양태에서, 환원성 분위기에 노출시키는 동안의 온도는 바람직하게는 약 800°C 내지 약 1200°C, 이를테면, 약 1000°C이다. 압력은 바람직하게는 대기압 미만(sub-atmospheric), 이를테면, 약 100 Pa 미만 (1 Torr 미만), 바람직하게는 약 1 Pa 미만 (0.01 Torr 미만), 더욱 더 바람직하게는 약 0.1 Pa 미만 (0.001 Torr 미만), 및 더욱 더 바람직하게는 약 0.01 Pa 미만 (0.0001 Torr 미만)이다. 세정 어닐링은 금속 필름의 입자 크기(grain size)를 조절할 수 있으며, 예컨대, 승온에서 입자 크기를 증가시킬 수 있다.

[0044] 다층 구조물이 반도체 기관, 임의적인 표면 유전체 층, 중합체 필름, 및 높은 탄소 용해도를 갖는 금속을 포함하는 금속 필름을 포함하는 실시양태에서, 다층 구조물은 가열 및 냉각 사이클을 거쳐서, 가열 동안에는 금속 필름 내로의 내부확산을 통한 탄소 흡수를 일으키고, 이어서 냉각 동안에는 그래핀으로서 탄소 분리 및 침전을 일으킨다. 일부 실시양태에서, 본 발명의 방법에 따라 탄소-함유 자기-집합된 단층, 탄소-풍부 중합체, 탄소-함유 가스 또는 그의 임의의 조합으로부터 금속 필름 내로 충분한 탄소가 내부확산된 후에, 그래핀 층 또는 그래핀 다층이 전방 반도체 기관 표면과 후방 금속 필름 표면 사이에 침전된다. 일부 실시양태에서, 탄소 원자는 금속 필름이 위에 있는 반도체 기관에서 온도 구배 파일을 임의적으로 형성함으로써 그래핀 층 또는 그래핀 다층으로 침전된다. 온도 구배 프로파일은 다층 기관의 전방 표면 및 후방 표면을 냉각시킴으로써 달성된다. 그

러한 냉각은 전방 금속 필름 표면 및 후방 금속 필름 표면이 벌크 금속 영역 내의 중심 평면 부근 온도보다 낮은 온도 구배를 생성한다. 일부 실시양태에서, 탄소 원자는 다층 구조물을 금속 냉각시킴으로써 그래핀 층 또는 그래핀 다층으로 침전된다.

[0045] 다층 구조물의 냉각은 금속 필름의 벌크 영역 내의 탄소의 용해도를 낮추는데, 이는 탄소가 금속 필름으로부터 강제로 분리되게 하고 반도체 기판의 전방 표면과 금속 필름의 후방 표면 사이에 그래핀이 침전되게 한다. 따라서, 본 발명의 방법은 반도체 기판 (이는 임의적으로는 그의 전방 표면 상에서 유전체 층으로 개질됨), 반도체 기판의 전방 표면과 접촉된 그래핀 층; 및 그래핀 층과 접촉된 금속 필름을 포함하는 다층 물품을 제조하는데 유용하다.

[0046] 탄소 내부확산 동안의 온도는, 철의 경우 약 500°C 내지 약 1000°C, 이를테면, 약 700°C 내지 약 1000°C의 범위, 이를테면, 약 800°C이거나, 또는 니켈의 경우 약 1000°C일 수 있다. 금속이 충분한 농도의 탄소를 흡수한 후, 다층 구조물을 냉각시킴으로써, 냉각 동안 그래핀을 분리 및 침전시킨다. 냉각 속도는 바람직하게는 약 5°C/초 내지 약 50°C/초, 이를테면, 약 10°C/초 내지 약 30°C/초, 예를 들어 약 10°C/초 또는 약 30°C/초의 속도로 제어된다. 챔버의 압력은 약 0.1 파스칼 (약 1 mTorr) 내지 약 70 파스칼 (약 500 mTorr)로 변동될 수 있다. 분위기는 바람직하게는 환원성 분위기이며, 이는 약 70% 내지 약 99%의 수소, 바람직하게는 약 95%의 수소, 나머지 불활성 가스를 포함할 수 있다.

[0047] 다층 구조물이 반도체 기판, 임의적인 표면 유전체 층, 탄소-풍부 중합체 필름, 및 낮은 탄소 용해도를 갖는 금속을 포함하는 금속 필름을 포함하는 실시양태에서, 다층 구조물은 가열 및 냉각 사이클을 거쳐서, 승온에서 탄소-함유 중합체의 분해를 일으키고, 분해된 탄소는 금속 필름의 표면에 의해 촉진되어 그래핀을 형성한다. 탄소-함유 중합체의 분해를 일으키는 온도는 약 500°C 내지 약 1000°C, 이를테면, 700°C 내지 약 1000°C의 범위일 수 있다. 다층 구조물은 약 5°C/초 내지 약 50°C/초, 이를테면, 약 10°C/초 내지 약 30°C/초, 예를 들어 약 10°C/초 또는 약 30°C/초와 같은 냉각 속도로 냉각된다. 챔버의 압력은 약 0.1 파스칼 (약 1 mTorr) 내지 약 70 파스칼 (약 500 mTorr)로 변동될 수 있다. 분위기는 바람직하게는 환원성 분위기이며, 이는 약 70% 내지 약 99%의 수소, 바람직하게는 약 95%의 수소, 나머지 불활성 가스를 포함할 수 있다.

[0048] 본 발명의 방법의 일부 실시양태에 따르면, 반도체 기판, 임의적인 유전체 층, 및 금속 필름을 포함하는 다층 구조물은 탄소-함유 가스에 노출됨으로써, 원자상 탄소를 금속 필름의 벌크 영역 내로 내부확산시킬 수 있다. 일부 실시양태에서는, 탄소-함유 가스 유동이 환원성 가스 유동에 첨가될 수 있다. 탄소-함유 가스는 휘발성 탄화수소, 예를 들어 메탄, 에탄, 에틸렌, 아세틸렌, 프로판, 프로필렌, 프로핀, 부탄, 부틸렌, 부틴 등에서 선택될 수 있다. 탄소-함유 가스, 예컨대, 메탄은 본 발명의 공정에 따라 그래핀으로 침전될 수 있는 탄소 공급원이다. 탄소 내부확산 및 흡수 동안의 최소 온도는 일반적으로 적어도 약 500°C이다. 탄소 내부확산 및 흡수 동안의 최대 온도는 일반적으로 약 1100°C 이하이다. 일반적으로, 온도는 바람직하게는 약 700°C 내지 약 1000°C이다. 일반적으로, 수소 가스/메탄 유동 동안의 반응 챔버 내부의 압력은 약 600 Pa (약 5 Torr) 내지 약 8000 Pa (약 60 Torr), 바람직하게는 약 1300 Pa (약 10 Torr) 내지 약 7000 Pa (약 50 Torr)이다. 다층 구조물은 약 5°C/초 내지 약 50°C/초, 이를테면, 약 10°C/초 내지 약 30°C/초, 예를 들어 약 10°C/초 또는 약 30°C/초와 같은 냉각 속도로 냉각된다.

[0049] 임의적으로는, 그리고 바람직하게는, 충분한 탄소가 금속 필름의 벌크 영역 내로 내부확산된 후에, 가스의 유동을 정지하고, 탄소가 금속 필름의 벌크 영역 전체를 통해 분포될 수 있게 하기에 충분한 지속시간 동안 이 다층을 내부확산 온도에서 유지한다. 원하는 개수의 그래핀 층을 갖는 생성물을 산출하기 위하여 탄소 내부확산을 위한 적절한 지속시간은, 최종 생성물 내의 분리된 그래핀의 층들의 개수가 탄소 내부확산 지속시간의 함수인 교정 곡선을 생성함으로써 결정될 수 있다. 이러한 교정 곡선은 그래핀 층 또는 그래핀 다층을 산출하기에 충분한 이상적인 탄소 내부확산 지속시간을 결정하는 데 사용될 수 있다. 탄소-함유 가스의 유동이 정지된 후의 평형의 지속시간은 약 5 초 내지 약 3600 초, 이를테면, 약 600 초 내지 약 1800 초의 범위일 수 있다. 일부 실시양태에서, 탄소 내부확산의 지속시간은 매우 짧으며, 이를테면, 약 10초이다. 이후에, 다층 구조물은 상기에 기재된 바와 같이 금속 냉각시킨다.

[0050] 금속 중의 탄소의 용해도가 낮거나 0인 (예컨대, 구리) 실시양태에서, 본 발명의 방법은 유리하게는 그래핀 단층을 산출한다. 그래핀 형성이, 금속 필름 중으로의 탄소의 가용화에 이어지는 그래핀의 분리 및 침전에 좌우되는 (예컨대, 니켈) 실시양태에서, 본 발명의 방법은 생성되는 그래핀 층의 개수를 제어하기 위해 흡수되고 침전되는 탄소의 양의 제어를 필요로 한다. 어떠한 실시양태이든, 적어도 그래핀 층이 반도체 기판의 전방 표면과 금속 필름의 후방 표면 사이에 침전되도록 조건이 제어될 수 있다. 일부 실시양태에서, 본 발명의 방법은

반도체 기관의 전방 표면과 금속 필름의 후방 표면 사이에 그래핀의 단일의 단원자 층의 침착을 가능하게 한다. 일부 실시양태에서, 본 발명의 방법은 반도체 기관의 전방 표면과 금속 필름의 후방 표면 사이에 그래핀 이중층의 침착을 가능하게 하며, 이때 이중층의 각각의 층은 단원자 두께의 그래핀 층을 포함한다. 일부 실시양태에서, 본 발명의 방법은 반도체 기관의 전방 표면과 금속 필름의 후방 표면 사이에 3개 이상의 층을 갖는 그래핀 다층의 침착을 가능하게 하며, 이때 다층의 각각의 층은 단원자 두께의 그래핀 층을 포함한다. 제2 층의 그래핀 이중층 또는 그래핀 다층은 전방 금속 필름 표면에 침전될 수 있다. 지금까지의 현재 결과는 특히 니켈 층이 다층 그래핀 필름을 제조하는 데 적합하다는 것을 보여주었다.

[0051] 그래핀 층이 전방 금속 필름 표면 상에 침전되는 실시양태에 따르면, 이러한 외부 그래핀 층 또는 층들은 제거될 수 있다. 일부 실시양태에서, 외부 그래핀 층 또는 층들은 에칭, 예를 들어, 습식 에칭, 플라즈마 에칭, 또는 오존/UV 광에서의 산화에 의해 제거될 수 있다. 바람직한 실시양태에서, 외부 그래핀 층 또는 층들은 산소 플라즈마 에칭에 의해 제거될 수 있다.

[0052] 본 발명의 다음 단계에 따르면, 금속 필름을 제거함으로써, 반도체 기관의 전방 표면과 접촉된 그래핀 층을 노출시킨다. 금속 필름은 금속 필름의 금속을 용해시키기에, 예컨대, 니켈, 구리, 철, 또는 그의 합금을 용해시키기에 적절한 당업계에 공지된 기술에 의해 제거될 수 있다. 바람직한 실시양태에서, 금속 필름은 수성 금속 에칭제와 접촉된다. 금속 필름을 제거하기에 유용한 금속 에칭제는 염화제2철, 질산철(III), 왕수(aqua-regia), 및 질산을 포함한다. 유리하게는, 이들 금속 에칭제는 그래핀을 제거하지 않을 것이다.

[0053] 일부 실시양태에서는, 금속 필름의 제거시, 반도체 기관 및 단원자 두께의 그래핀 단일 층을 포함하는 다층 기관이 생성된다. 이 그래핀 층은 당업계에 공지된 기술, 예를 들어 라만 분광법에 의해 층들의 개수를 확인하는 것으로 특성화될 수 있다.

[0054] 일부 실시양태에서는, 금속 필름의 제거시, 반도체 기관 및 그래핀 이중층을 포함하는 다층 기관이 생성되는데, 이때 이중층의 각각의 층은 단원자 두께를 갖는다.

[0055] 산화된 규소 웨이퍼 상에의 그래핀의 형성은 단일 분자 검출, 초고속 FET, TEM용 수소 가시화-템플릿, 및 조정형 스핀트로닉스 장치(tunable spintronic device)를 포함한 많은 잠재적인 응용을 열어준다. 더욱이, 그래핀은 높은 열 전도도 (규소의 25배), 높은 기계적 강도 (최강 나노재료), 높은 광학 투명도 (97%), 캐리어 제어된 밴드갭/광학-전이 및 연성 구조를 나타낸다. 개방 결정학적 구조에서의 캐리어-구속 및 sp<sup>2</sup> 탄소 원자로부터의 그래핀의 고밀도의 π-전자는 그래핀에 지금까지 측정된 최고 이동성을 부여한다. 더욱이, 결정학적 및 전자적 구조의 독특한 조합으로, 그래핀은 월등하고 비전형적인 여러 특성을 나타내는데, 이러한 특성은 실온에서의 그의 전하 캐리어의 약하게 산란되는 (λ<sub>산란</sub> > 300 nm) 탄도성 수송(ballistic transport); 이중층에서의 게이트-조정가능한 밴드 갭; 실온에서의 양자 홀 효과; 양자 간섭; 자기-민감-수송(magneto-sensitive-transport); 조정가능한 광학 트랜스미션; 메가헤르츠 특성 주파수; 및 화학적 및 기하학적으로 제어가능한 밴드 갭을 포함한다. 다른 응용은 바이오-전자-장치, 조정형 스핀트로닉스, 울트라-커패시터, 및 나노-기계적 장치를 포함한다. 산화된 규소 상에의 그래핀의 직접 형성은 매우 다양한 전자공학 및 감지 응용을 위한 규소계 플랫폼 상에 독특한 그래핀-구조를 제공할 것임이 이해된다.

[0056] 하기의 비제한적인 실시예는 본 발명을 추가로 예시하기 위하여 제공된다.

[0057] **실시예. 1**

[0058] 90 나노미터의 두께를 갖는 대략 5 센티미터 (2 인치) 직경의 이산화규소 층을 n형 규소 기관 상에 형성하였다. 산소 플라즈마 (100 W, 600 mTorr, 2 min)를 사용함으로써 이 기관을 세정하였다. PMMA 층을 실리카 기관 상에 스핀-코팅하였다 (아세톤 중 1%, 4000 rpm (한 예로서임)). 이어서, 500 nm 두께의 금속 층을 금속 증발기 시스템 내에서 PMMA 층 상에 침착시켰다. 한 실시양태에서, 금속 층은 니켈을 포함하였다. 별개의 실시양태에서, 금속 층은 구리를 포함하였다. 규소 기관 상의 실리카 상의 PMMA 상의 금속(metal-on-PMMA-on-silica-on-silicon substrate)을 CVD 챔버 내부에 넣었다. 샘플을 (한 예로서) 30분 동안 1000°C에서 소성하여 필름을 어닐링하였다. 마지막으로, CVD의 온도를 1000°C에 이르게 하고, 30분 동안 100 mTorr의 압력에서 수소 가스를 유입하였다. 마지막으로, 샘플을 10°C/초로 실온으로 금속 냉각시켰다. 이는 금속과 실리카 사이의 계면에 그래핀을 생성하였다. 마지막으로, 금속 필름을 질산철(III)로 에칭하여, 규소 기관 상의 실리카 상에 그래핀을 제공하였다.

[0059] 본원에 기재된 설명은 실시예를 사용하여, 최선의 양태(best mode)를 포함하여 본 발명을 개시하고, 또한 임의

의 장치 또는 시스템의 제조 및 사용과 임의의 포함된 방법의 수행을 포함하여 당업계의 숙련자가 본 발명을 실시할 수 있게 한다. 본 발명의 특허가능한 범주는 특허청구범위에 의해 한정되며, 당업계의 숙련자에게 착상되는 다른 실시예를 포함할 수 있다. 그러한 다른 실시예는, 이들이 특허청구범위의 문자 그대로의 표현과 상이하지 않은 구조적 요소를 갖는다면, 또는 이들이 특허청구범위의 문자 그대로의 표현과 실질적으로 차이가 없는 등가의 구조적 요소를 포함한다면, 특허청구범위의 범주 내에 두고자 한다.