

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6433159号
(P6433159)

(45) 発行日 平成30年12月5日 (2018. 12. 5)

(24) 登録日 平成30年11月16日 (2018. 11. 16)

(51) Int. Cl.

F I

G 0 6 F 17/50 (2006.01)

G 0 6 F 17/50 6 6 6 V

G 0 6 F 17/50 6 5 8 V

請求項の数 17 (全 20 頁)

(21) 出願番号 特願2014-112746 (P2014-112746)
 (22) 出願日 平成26年5月30日 (2014. 5. 30)
 (65) 公開番号 特開2015-228078 (P2015-228078A)
 (43) 公開日 平成27年12月17日 (2015. 12. 17)
 審査請求日 平成29年5月17日 (2017. 5. 17)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 110001243
 特許業務法人 谷・阿部特許事務所
 (72) 発明者 野島 俊孝
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 (72) 発明者 定松 俊智
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 (72) 発明者 濱 伸一
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 情報処理装置、方法及びプログラム

(57) 【特許請求の範囲】

【請求項 1】

プリント基板の設計情報から仮想的なダイの電源端子及びグラウンド端子を特定するダイ端子特定手段と、

前記設計情報からプリント基板上に配置されたバイパスコンデンサを特定するバイパスコンデンサ特定手段と、

前記設計情報、特定された前記ダイの電源端子及びグラウンド端子の情報、及び特定された前記バイパスコンデンサの情報に基づいて、特定された前記バイパスコンデンサの配置を評価するための評価値を導出する手段と、

を備えたことを特徴とする情報処理装置。

10

【請求項 2】

前記評価値を検証するための条件を設定する手段と、

導出された前記評価値が、設定された前記条件に合致するかどうかを判定する判定手段と、

をさらに備えたことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 3】

前記評価値は、特定された前記ダイの電源端子から、特定された前記バイパスコンデンサを経由し、特定された前記ダイのグラウンド端子と至る経路の長さであることを特徴とする請求項 1 又は 2 に記載の情報処理装置。

【請求項 4】

20

前記評価値は、特定された前記ダイの電源端子から、特定された前記バイパスコンデンサを経由し、特定された前記ダイのグラウンド端子と至る経路のインダクタンスであることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の情報処理装置。

【請求項 5】

前記判定手段における判定結果を出力する出力手段をさらに備えたことを特徴とする請求項 2 に記載の情報処理装置。

【請求項 6】

前記出力の態様は、表示装置に前記判定結果を表示すること、プリンタで前記判定結果を印刷すること、前記判定結果を記述したファイルを送信或いは記憶手段に格納すること、のうち少なくとも 1 つを含むことを特徴とする請求項 5 に記載の情報処理装置。

10

【請求項 7】

プリント基板の設計情報から仮想的なダイの電源端子を特定するダイ端子特定手段と、前記設計情報から前記プリント基板上の IC のパッケージの電源端子を特定するパッケージ端子特定手段と、

前記設計情報、特定された前記ダイの電源端子の情報、特定された前記パッケージの電源端子の情報に基づいて、前記プリント基板上に配置されるバイパスコンデンサの配置を評価するための評価値を導出する手段と、

を備えたことを特徴とする情報処理装置。

【請求項 8】

特定された前記パッケージの電源端子について、導出された前記評価値に基づいて、前記バイパスコンデンサを接続する場合における優先順位を設定する優先順位設定手段をさらに備えたことを特徴とする請求項 7 に記載の情報処理装置。

20

【請求項 9】

前記評価値は、特定された前記ダイの電源端子から、特定された前記パッケージの電源端子までの経路長であり、

前記優先順位設定手段は、特定された前記パッケージの電源端子について、前記経路長が短いものほど高い優先順位を設定する

ことを特徴とする請求項 8 に記載の情報処理装置。

【請求項 10】

前記評価値は、特定された前記ダイの電源端子から、特定された前記パッケージの電源端子までの経路のインダクタンスであり、

前記優先順位設定手段は、特定された前記パッケージの電源端子について、前記経路のインダクタンスが小さいものほど高い優先順位を設定する

ことを特徴とする請求項 8 に記載の情報処理装置。

30

【請求項 11】

前記優先順位設定手段は、他のパッケージの電源端子よりも高い優先順位が設定された複数のパッケージの電源端子が所定範囲内に密集している場合に、密集状態が解消するように優先順位を変更することを特徴とする請求項 8 乃至 10 のいずれか 1 項に記載の情報処理装置。

【請求項 12】

前記優先順位を出力する出力手段をさらに備えたことを特徴とする請求項 8 乃至 11 のいずれか 1 項に記載の情報処理装置。

40

【請求項 13】

前記出力の態様は、表示装置に前記優先順位を表示すること、プリンタで前記優先順位を印刷すること、前記優先順位を記述したファイルを送信或いは記憶手段に格納すること、のうち少なくとも 1 つを含むことを特徴とする請求項 12 に記載の情報処理装置。

【請求項 14】

前記バイパスコンデンサが接続されるパッケージの電源端子が既に特定されている場合において、前記優先順位に従って前記バイパスコンデンサを配置する手段をさらに備えたことを特徴とする請求項 8 乃至 13 のいずれか 1 項に記載の情報処理装置。

50

【請求項 15】

ダイ端子特定手段が、プリント基板の設計情報から仮想的なダイの電源端子及びグラウンド端子を特定するステップと、

バイパスコンデンサ特定手段が、前記設計情報からプリント基板上に配置されたバイパスコンデンサを特定するステップと、

評価値導出手段が、前記設計情報、特定された前記ダイの電源端子及びグラウンド端子の情報、及び特定された前記バイパスコンデンサの情報に基づいて、特定された前記バイパスコンデンサの配置を評価するための評価値を導出するステップと、

を含むことを特徴とする、バイパスコンデンサの配置を検証する方法。

【請求項 16】

10

ダイ端子特定手段が、プリント基板の設計情報から仮想的なダイの電源端子を特定するステップと、

パッケージ端子特定手段が、前記設計情報から前記プリント基板上のＩＣのパッケージの電源端子を特定するステップと、

評価値導出手段が、前記設計情報、特定された前記ダイの電源端子の情報、特定された前記パッケージの電源端子の情報に基づいて、前記プリント基板上に配されるバイパスコンデンサの配置を評価するための評価値を導出するステップと、

を含むことを特徴とする、バイパスコンデンサの配置を検証する方法。

【請求項 17】

コンピュータを、請求項 1 乃至 14 のいずれか 1 項に記載の情報処理装置として機能させるためのプログラム。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ＩＣの電源端子から発生するノイズをＩＣのパッケージを考慮しプリント基板内で抑止するためのバイパスコンデンサの配置を検証する技術に関する。

【背景技術】

【0002】

集積回路（Integrated Circuit：ＩＣ）や大規模集積回路（Large-Scale Integration：ＬＳＩ）の信号の高速化に伴い、同時スイッチングノイズが大きくなっている。同時スイッチングノイズが大きくなると、電源電圧が変動し、集積回路や大規模集積回路の誤動作や信号伝送不良が発生し、同時スイッチングノイズを基板外に伝搬させると放射ノイズ特性が悪化する。これら問題を回避する目的で、集積回路の電源端子近傍にバイパスコンデンサ（パスコン）を配置することが行なわれている。

30

【0003】

そして、パスコンを適切に配置するための技術として、特許文献 1 には、プリント基板の設計情報を基に、ＩＣの電源端子からパスコンの電源端子までの配線距離が所定の配線長以上で配線されている場合、対策指示を表示するという技術が開示されている。

【先行技術文献】

【特許文献】

40

【0004】

【特許文献 1】特開 2002 - 16337 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献 1 の技術では、ＩＣのパッケージ内配線が考慮されておらず、バイパスコンデンサの配置を精度良く検証することができなかった。

【0006】

そこで、本発明は、プリント基板における適切なバイパスコンデンサの配置を精度良く把握することができるようにすることを目的とする。

50

【課題を解決するための手段】**【0007】**

本発明に係る情報処理装置は、プリント基板の設計情報から仮想的なダイの電源端子及びグラウンド端子を特定するダイ端子特定手段と、前記設計情報からプリント基板上に配置されたバイパスコンデンサを特定するバイパスコンデンサ特定手段と、前記設計情報、特定された前記ダイの電源端子及びグラウンド端子の情報、及び特定された前記バイパスコンデンサの情報に基づいて、特定された前記バイパスコンデンサの配置を評価するための評価値を導出する手段と、を備えたことを特徴とする。

【発明の効果】**【0008】**

10

本発明によれば、プリント基板における適切なバイパスコンデンサの配置を精度良く把握することができる。

【図面の簡単な説明】**【0009】**

【図1】バスコン配置を検証する装置としてのPC等の情報処理装置の概略的構成を示す図である。

【図2】実施例1に係る、バスコン配置を検証する装置としての情報処理装置のソフトウェア構成を示す機能ブロック図である。

【図3】実施例1に係る、バスコン配置検証処理の流れを示すフローチャートである。

【図4】レイアウト設計完了段階における、プリント基板のレイアウトを示す模式図である。

20

【図5】実施例1における検証結果出力の一例を示す図である。

【図6】仮想的なダイVT及びダイGTを特定する方法を説明する図である。

【図7】実施例2に係る、バスコン配置を検証する装置としての情報処理装置のソフトウェア構成を示す機能ブロック図である。

【図8】シミュレーションモデルを示す図である。

【図9】シミュレーションモデルにおけるインピーダンスの計測結果を示すグラフである。

。

【図10】実施例2に係る、バスコン配置検証処理の流れを示すフローチャートである。

【図11】レイアウト設計段階におけるICのレイアウトを示す模式図である。

30

【図12】実施例2における検証結果出力の一例を示す図である。

【図13】実施例2の変形例に係る検証結果出力の一例を示す図である。

【図14】実施例3に係る、バスコン配置を検証する装置としての情報処理装置のソフトウェア構成を示す機能ブロック図である。

【図15】シミュレーションモデルを示す図である。

【図16】シミュレーションモデルにおけるインピーダンスの計測結果を示すグラフである。

【図17】実施例3に係る、バスコン配置検証処理の流れを示すフローチャートである。

【図18】同電位にある複数のパッケージVTが一定距離を保って離れているかどうかの判定手法の一例を説明する図である。

40

【図19】バスコンが再配置される様子を説明する図である。

【発明を実施するための形態】**【0010】**

以下、添付の図面を参照して、本発明を好適な実施例に基づいて詳細に説明する。なお、以下の実施例において示す構成は一例にすぎず、本発明は図示された構成に限定されるものではない。

【実施例1】**【0011】**

図1は、本実施例に係る、バイパスコンデンサ（以下、バスコン）の配置を検証する装置としてのPC等の情報処理装置の概略的構成を示す図である。情報処理装置100は、

50

CPU101、ROM102、RAM103、システムバス104、入力I/F105、HDD I/F106、出力I/F107で構成される。

【0012】

CPU101は、RAM103をワークメモリとして、ROM102及びハードディスクドライブ(HDD)120に格納されたプログラムを実行し、システムバス104を介して後述する各部を制御する。入力インタフェース(I/F)105は、キーボードやマウスなどの入力デバイス110を接続する、例えばUSBやIEEE1394等のシリアルバスインタフェースである。CPU101は、入力I/F105を介して入力デバイス110から各種データを読み込むことが可能である。HDDインタフェース(I/F)106は、HDD120や光ディスクドライブなどの外部記憶装置を接続する、例えばシリアルATA(SATA)等のインタフェースである。CPU101は、HDD I/F106を介して、HDD120からのデータ読み出し、およびHDD120へのデータ書き込みが可能である。さらにCPU101は、HDD120に格納されたデータをRAM103に展開し、同様に、RAM103に展開されたデータをHDD120に保存することが可能である。そしてCPU101は、RAM103に展開したデータをプログラムとみなし、実行することができる。出力インタフェース(I/F)107は、液晶モニタ等の表示装置やプリンタといった出力デバイス130を接続する、例えばUSBやIEEE1394等のシリアルバスインタフェースである。CPU101は、出力インタフェース107を介して液晶モニタ等の表示装置に各種情報の表示を実行させ、或いは表示装置に出力された計算結果等の印刷をプリンタに実行させる。

【0013】

HDD120内には、本発明を実施するためのプログラムや、プリント基板のレイアウトに関する設計情報(以下、設計情報)といった各種データが格納される。ここで、設計情報には、部品情報、配線情報、ドリル情報、層情報、パッケージ情報といった情報が含まれる。各情報の内容は以下のとおりである。

【0014】

< 部品情報 >

- ・プリント基板上の部品の回路記号、位置座標、形状に関する情報
- ・部品の端子が接続される導電体部分の形状や信号名の情報

【0015】

< 配線情報 >

- ・部品間配線の信号名の情報
- ・配線図形を構成する各点の位置座標の情報
- ・回路記号、端子番号、信号名を用いて特定される、回路上の論理的な接続関係を表現するネットリストの情報

【0016】

< ドリル情報 >

- ・ドリル孔の位置座標や形状等の情報

【0017】

< 層情報 >

- ・プリント基板の層構成に関する情報

【0018】

< パッケージ情報 >

- ・ダイの端子やパッケージの端子の位置座標の情報
- ・ダイやパッケージの端子間配線の信号名の情報
- ・配線図形を構成する各点の位置座標の情報
- ・ダイやパッケージの端子の論理的な接続関係を表現するネットリストの情報

【0019】

図2は、本実施例に係る、パソコン配置を検証する装置としての情報処理装置100のソフトウェア構成を示す機能ブロック図である。本実施例に係る情報処理装置100は、

設計情報管理部 2 1 0、条件設定部 2 2 0、検証部 2 3 0 及び検証結果出力部 2 4 0 で構成される。

【 0 0 2 0 】

設計情報管理部 2 1 0 は、ユーザが入力デバイス 1 1 0 を用いて入力した設計情報を管理する。設計情報管理部 2 1 0 は、ユーザからの検証実行の指示を受けて、設計情報を検証部 2 3 0 へ送る。

【 0 0 2 1 】

条件設定部 2 2 0 は、入力デバイス 1 1 0 を介したユーザ入力に従って、パソコン配置の検証処理を実行する際の検証条件を設定する。設定された検証条件は、検証部 2 3 0 へ送られる。

【 0 0 2 2 】

検証部 2 3 0 は、設計情報管理部 2 1 0 から受け取った設計情報を用いて、条件設定部 2 2 0 で設定された検証条件に従って、パソコン配置が適切かどうかを検証する処理を行う。本実施例における検証部 2 3 0 は、ダイ端子特定部 2 3 1、パソコン特定部 2 3 2、評価値導出部 2 3 3、条件違反判定部 2 3 4 で構成される。

【 0 0 2 3 】

ダイ端子特定部 2 3 1 は、入力された設計情報に基づいて、ダイに関する電源とグラウンドの端子を特定する。特定されたダイの電源端子及びグラウンド端子の情報は R A M 1 0 3 に記憶される。なお、ユーザが入力デバイス 1 1 0 を用いて直接入力したダイの電源端子及びグラウンド端子の情報に基づいて、特定してもよい。

【 0 0 2 4 】

バイパスコンデンサ特定部（パソコン特定部）2 3 2 は、入力された設計情報とダイ端子特定部 2 3 1 で特定したダイの電源端子及びグラウンド端子の情報に基づいて、プリント基板上のパソコンを特定する。特定されたパソコンの情報は R A M 1 0 3 に記憶される。

【 0 0 2 5 】

評価値導出部 2 3 3 は、入力された設計情報、特定されたダイの電源端子とグラウンド端子の情報、特定されたパソコンの情報に基づいて、パソコンの配置を評価するための評価値を導出する。本実施例では、ダイの電源端子からパソコンを経由してダイのグラウンド端子に至る経路の長さを評価値として導出する。

【 0 0 2 6 】

条件違反判定部 2 3 4 は、評価値導出部 2 3 3 で導出された評価値が検証条件に合致しているかどうかを判定する。判定の結果（検証結果）は、R A M 1 0 3 に記憶される。

【 0 0 2 7 】

検証結果出力部 2 4 0 は、検証結果に基づいて表示装置上に警告を表示したり、プリンタから検証結果をプリント出力したり、或いは不図示のネットワーク I / F を介して検証結果のデータを送信するなどして、検出結果をユーザに報知する。

【 0 0 2 8 】

図 3 は、本実施例に係る、パソコン配置検証処理の流れを示すフローチャートである。この一連の処理は、C P U 1 0 1 が、R O M 1 0 2 に格納されているプログラムを R A M 1 0 3 にロードし、実行することで実現される。また、以下の説明においては、プリント基板及び I C のパッケージの概略図である図 4 を適宜参照するものとする。なお、実際のプリント基板および I C のパッケージは、配線が高密度化・複雑化しているが以下の概略的説明はそれを排除するものではない。

【 0 0 2 9 】

図 3 のフローの説明に入る前に、図 4 に示すプリント基板と I C のパッケージについて説明する。図 4 (a) は、レイアウト設計完了段階における、パソコン 4 0 1 a 及び 4 0 1 b が接続された I C 4 0 0 を含むプリント基板のレイアウトを示す模式図である。図 4 (b) は、図 4 (a) 内の破線で示す領域 4 0 2 の拡大図である。図 4 (b) において、4 0 3 はプリント基板上の電源配線であり、4 0 4 はプリント基板上のグラウンド配線で

10

20

30

40

50

ある。405はパッケージ内の電源配線であり、406はパッケージ内のグラウンド配線である。407a～407dはダイの電源端子であり、408a～408dはダイのグラウンド端子である。409はパッケージ内の電源リングであり、410はパッケージ内のグラウンドリングである。

【0030】

続いて、図3のフローチャートについて詳しく説明する。

【0031】

ステップ301において、設計情報管理部210は、検証処理の対象となる、レイアウト設計完了段階の設計情報を検証部230へ送る。

【0032】

ステップ302において 検証条件設定部220は、入力デバイス110を介して入力された内容に従って検証条件を設定する。ここで検証条件とは、上記設計情報で特定されるパスキンの配置が適切かどうかを判定するための条件である。本実施例では、ダイの電源端子からパスキンを經由してダイのグラウンド端子に至る経路の長さを評価値とした場合における、許容される経路長を表す閾値（以下、許容値）を指す。

【0033】

ステップ303において、検証部230内のダイ端子特定部231は、取得した設計情報を用いてダイの電源端子（以下、ダイVT又はピン）を1つ特定する。最初のルーチンで例えば、設計情報内のパッケージ情報に含まれる、ダイの端子を表す情報と電源を表す信号名とによって、ダイVT407aが特定される。そして、2回目以降のルーチンにおいて、他のダイVT407b～407dも順次特定されることになる（図4を参照）。特定されたダイVTの情報は、RAM103に記憶される。

【0034】

ステップ304において、検証部230内のダイ端子特定部231は、取得した設計情報を用いてダイのグラウンド端子（以下、ダイGT）をすべて特定する。例えば、設計情報内のパッケージ情報に含まれる、ダイの端子を表す情報とグラウンドを表す信号名とによって、ダイGT408a～408dが特定される（図4を参照）。特定されたすべてのダイGTの情報は、RAM103に記憶される。

【0035】

ステップ305において、検証部230内のパスキん特定部232は、ステップ303で特定されたダイVTとステップ304で特定されたダイGTとに接続するプリント基板上のコンデンサをパスキんとして特定する。図4の例では、ダイVT407aと同電位の電源配線403と、ダイGT408a～408bと同電位のグラウンド配線404とに接続するコンデンサ401a及び401bが、パスキんとして特定されることになる。特定されたコンデンサ（パスキん）の情報は、RAM103に記憶される。

【0036】

ステップ306において、検証部230内の評価値導出部233は、ステップ303で特定されたダイVTから、ステップ305で特定されたパスキンを經由し、ステップ304で特定された各ダイGTへと至る経路の長さを評価値として導出する。特定されたパスキんが複数存在する場合にはそれぞれのパスキんについて、この評価値導出処理がなされる。例えば、図4におけるパスキん401aの場合、始点をダイVT407a、終点をパスキん401aの電源側端子とした、面図形による最短経路探索をまず実施する。さらに、パスキん401aのグラウンド側端子を始点とし、ダイGT408a～408dをそれぞれ終点として最短経路探索を実施する。そして、上記2種類の最短経路探索によって得られた経路を足した長さ（以下、ループ距離）を求める。パスキん401aについては、以下の4パターンのループ距離が求められることになる。

【0037】

1) 「ダイVT407a～パスキん401aの電源側端子」+「パスキん401aのグラウンド側端子～ダイGT408a」

2) 「ダイVT407a～パスキん401aの電源側端子」+「パスキん401aのグ

10

20

30

40

50

ラウンド側端子～ダイＧＴ４０８ｂ」

３）「ダイＶＴ４０７ａ～バスコン４０１ａの電源側端子」＋「バスコン４０１ａのグラウンド側端子～ダイＧＴ４０８ｃ」

４）「ダイＶＴ４０７ａ～バスコン４０１ａの電源側端子」＋「バスコン４０１ａのグラウンド側端子～ダイＧＴ４０８ｄ」

導出されたループ距離は、評価値としてＲＡＭ１０３に記憶される。

【００３８】

ステップ３０７において、検証部２３０内の条件違反判定部２３４は、導出された評価値（ループ距離）と、ステップ３０２で設定された検証条件（許容値としてのループ距離）とを比較し、評価値が検証条件に合致するかどうかをバスコン毎に判定する。この場合において、各バスコンについて導出された全評価値のうち、最も評価が高いもの（ここではループ距離が最も短いもの）についてこの判定がなされる。導出された評価値（ループ距離）が、許容値として設定されたループ距離（例えば１３ｍｍ）よりも長い場合は、検証条件に違反すると判定し、ステップ３０８へ進む。一方、導出された評価値（ループ距離）が許容値として設定されたループ距離以下の場合は、検証条件に合致すると判定し、ステップ３０９へ進む。

【００３９】

ステップ３０８において、検証部２３０内の条件違反判定部２３４は、検証条件に違反していることを示す情報（以下、違反情報）をＲＡＭ１０３に記憶する。この違反情報は、例えば、ＩＣの回路記号及び端子名、バスコンの回路記号や座標、電源配線及びグラウンド配線の信号名などで構成される。

【００４０】

ステップ３０９において、検証部２３０は、すべてのダイＶＴが特定されたかどうかを判定する。未特定のダイＶＴがある場合はステップ３０３に戻って次のダイＶＴを１つ特定して、ステップ３０４～３０８の各処理を繰り返す。一方、全てのダイＶＴが特定されている場合は、ステップ３１０へ進む。

【００４１】

ステップ３１０において、検証結果出力部２４０は、出力デバイス１３０に検証結果を出力する。具体的には、表示装置に検証結果を表示したり、プリンタで検証結果を印刷したりする。或いは、検証結果を記述したファイルをＨＤＤ１２０に格納したり、不図示のネットワークを介して他のＰＣ等に送信してもよい。図５は、本実施例における検証結果出力の一例を示す図である。図５（ａ）は、バスコン４０１ａ及び４０１ｂのうち、バスコン４０１ｂの評価値が検証条件に合致しないと判定された場合の結果を視覚的に示した場合の一例である。ここでは、設定された検証条件（許容値）が１３ｍｍであったのに対し、導出されたループ距離が例えば１５ｍｍであったため、レイアウト画面上に違反であったことを表す×印の記号５００が示されている。また、図５（ｂ）は、同様の検証結果を以下の項目からなる表形式で示した一例である。

【００４２】

- ・ＩＣの回路記号、端子名、信号名
- ・バスコンの回路記号、座標、実装面
- ・導出された評価値（ループ距離）とそれに対する判定結果

図５（ｂ）の場合において、例えば表示装置に表示された表上のバスコンの回路記号等をユーザが入力デバイス１１０を用いて選択すると、選択したバスコンがレイアウト画面上でハイライトやズーム、ポップアップ画面等によって強調表示されるようにしてもよい。なお、表形式で検証結果を出力する場合にあっては、上記ステップ３０３及び３０４で特定されたダイＶＴやダイＧＴの端子名に対応するパッケージ側の端子名を、ダイＶＴやダイＧＴの端子名に代えて用いてもよいし、或いはこれを併記してもよい。

【００４３】

以上が、本実施例に係る、バスコンの配置を検証する処理の内容である。

【００４４】

上述のステップ 303 及び 304 では、取得した設計情報からダイ V T 及びダイ G T の実際の位置を特定したが、設計情報に基づいてダイ V T 及びダイ G T の仮想的な位置を特定してもよい。図 6 は、仮想的なダイ V T 及びダイ G T を特定する方法を説明する図である。図 6 において、例えば、パッケージの電源配線 405 と電源リング 409 とが接続する接続点 600 を仮想的なダイ V T として特定することが考えられる。さらに、IC 400 の中心座標 602 を仮想的なダイ V T として特定してもよい。仮想的なダイ G T も、仮想的なダイ V T の特定と同様、パッケージの電源配線 406 とグラウンドリング 410 とが接続する接続点 601 や IC 400 の中心座標 602 を仮想的なダイ G T として特定してもよい。このように仮想的に電源端子やグラウンド端子を特定することで、処理全体を簡略化することができる。

10

【0045】

また、本実施例では、評価値としてのループ距離を一度の処理で導出している。しかし、パッケージの設計情報とプリント基板の設計情報が同一の CAD に存在しない場合も考えられる。このような場合は、それぞれ別に経路を計算してから評価値としてのループ距離を導出すればよい。

【0046】

さらに、ループ距離の代わりにインダクタンスを求めて、これを評価値としてもよい。この場合、検証条件としては、所定のインダクタンスを表す値が許容値として設定されることになる。

【0047】

20

また、本実施例では、評価値としてループ距離を算出しているが、経路が存在しない場合も考えられる。このような場合は、経路が算出されないといった違反情報を検証結果として表示することでユーザに報知すればよい。

【0048】

以上のとおり本実施によれば、IC のパッケージ内の配線を考慮してパスコン配置が適切なものであるかどうかを検証することができる。その結果、精度よくパスコンの配置を決定することが可能となる。

【実施例 2】

【0049】

実施例 1 は、レイアウト設計の完了後に、IC のパッケージ内の配線を考慮してパスコンの配置を検証する態様であった。次に、レイアウト設計段階でパスコン配置を検証する態様について、実施例 2 として説明する。なお、実施例 1 と共通する部分については説明を省略ないしは簡略化し、以下では差異点を中心に説明するものとする。

30

【0050】

図 7 は、本実施例に係る、パスコン配置を検証する装置としての情報処理装置 100 のソフトウェア構成を示す機能ブロック図である。本実施例に係る情報処理装置 100 は、設計情報管理部 210、検証部 700 及び検証結果出力部 240 で構成される。

【0051】

設計情報管理部 210 及び検証結果出力部 240 は、実施例 1 と同じである。以下、本実施例の特徴である検証部 700 について説明する。

40

【0052】

検証部 700 は、ダイ端子特定部 701、パッケージ端子特定部 702、評価値導出部 703、優先順位設定部 704 で構成される。

【0053】

ダイ端子特定部 701 は、入力された設計情報に基づいて、ダイの電源端子（ダイ V T）を特定する。特定されたダイ V T の情報は RAM 103 に記憶される。

【0054】

パッケージ端子特定部 702 は、入力された設計情報に基づいて、パッケージの電源端子（以下、パッケージ V T）を特定する。特定されたパッケージ V T の情報は RAM 103 に記憶される。なお、ユーザが入力デバイス 110 を用いて入力した、パッケージの電

50

源端子を指定する情報に基づいて、特定してもよい。

【 0 0 5 5 】

評価値導出部 7 0 3 は、入力された設計情報、特定されたダイ V T の情報、特定されたパッケージ V T の情報に基づいて、パスキンの配置を評価するための評価値を導出する。本実施例では、パッケージ内の経路長（ダイ V T からパッケージ V T までの経路の長さ）を評価値として導出する。

【 0 0 5 6 】

優先順位設定部 7 0 4 は、評価値導出部 7 0 3 で導出した評価値に基づいて、特定されたパッケージ V T について優先順位を設定する。ここで優先順位とは、同電位のパッケージ V T の中での、パスキンを接続することが望ましい優先度を示す順位であり、パッケージ内の経路が短いほど高い優先順位とする。パッケージ内の経路が短いパッケージ V T の優先順位を高くする理由を、シミュレーション結果を用いて説明する。図 8 は、シミュレーションモデルを示す図であり、（ a ）はパッケージ内の経路が短いモデル、（ b ）はパッケージ内の経路が長いモデルである。図 8 （ a ）は、電源リング 8 0 0 と、それに接続するパッケージ内配線 8 0 1、プリント基板上の配線 8 0 2 及びパスキん 8 0 3 で構成されている。図 8 （ b ）も同様に、電源リング 8 1 0 と、それに接続するパッケージ内配線 8 1 1、プリント基板上の配線 8 1 2 及びパスキん 8 1 3 で構成されている。そして、図 8 （ a ）におけるパッケージ内配線 8 0 1 の長さは、同（ b ）におけるパッケージ内配線 8 1 1 に比べ短くなっている。この 2 つのモデルにおいて、点 8 0 4 及び 8 1 4 で示される計測点におけるインピーダンスをそれぞれ計測する。図 9 （ a ）は、両モデルにおけるインピーダンスの計測結果を示すグラフであり、実線はパッケージ内の経路が短いモデルに対応し、破線はパッケージ内の経路が長いモデルに対応している。そして、図 9 （ b ）は、1 G H z （ 1 0 0 0 M H z ）以下の周波数部分を拡大したものである。1 G H z （ 1 0 0 0 M H z ）以下の周波数に着目すると、パッケージ内の配線長が短いモデルの方がインピーダンスが低くなっているのが分かる（図 9 （ b ））。I C に安定的に電源を供給するには、電源リングからパスキんまでのインピーダンスを低くすることが重要であることが分かっている。そこで、電源リングからのインピーダンスがより低いパッケージ V T にパスキんが接続されるように、パッケージ内の経路が短いパッケージ V T に対し、高い優先順位を設定している。設定された優先順位は、検証結果として R A M 1 0 3 に記憶される。

【 0 0 5 7 】

検証結果出力部 2 4 0 は、優先順位設定部 7 0 4 で設定された優先順位を、表示装置上に表示したり、プリンタからプリント出力したり、或いは不図示のネットワーク I / F を介して検証結果のデータを送信するなどして、検出結果としてユーザに報知する。

【 0 0 5 8 】

図 1 0 は、本実施例に係る、パスキん配置検証処理の流れを示すフローチャートである。この一連の処理は、C P U 1 0 1 が、R O M 1 0 2 に格納されているプログラムを R A M 1 0 3 にロードし、実行することで実現される。

【 0 0 5 9 】

ステップ 1 0 0 1 において、設計情報管理部 2 1 0 は、検証処理の対象となるレイアウト設計段階の設計情報を検証部 7 0 0 へ送る。

【 0 0 6 0 】

ステップ 1 0 0 2 において、検証部 7 0 0 内のパッケージ端子特定部 7 0 2 は、取得した設計情報を用いてパッケージ V T を 1 つ特定する。図 1 1 は、レイアウト設計段階における I C 4 0 0 のレイアウトを示す模式図である。この場合、最初のルーチンで例えば、パッケージ内電源配線 4 0 5 に接続するパッケージ V T 1 1 0 1 a が特定される。そして、2 回目以降のルーチンにおいて、他のパッケージ V T 1 1 0 1 b ~ 1 1 0 1 d も順次特定されることになる。或いは、設計情報内のプリント基板のレイアウトに関する情報から、プリント基板上の電源配線に接続されている I C のパッケージ V T を特定してもよい。特定されたパッケージ V T の情報は、R A M 1 0 3 に記憶される。

【 0 0 6 1 】

ステップ 1 0 0 3 において、検証部 7 0 0 内のダイ端子特定部 7 0 1 は、取得した設計情報を用いてダイ V T をすべて特定する。例えば、設計情報内の I C のパッケージ情報に含まれる、ダイの端子を表す情報と電源を表す信号名とによって、ダイ V T 4 0 7 a ~ 4 0 7 d が特定される（図 1 1 を参照）。特定されたダイ V T の情報は、R A M 1 0 3 に記憶される。

【 0 0 6 2 】

ステップ 1 0 0 4 において、検証部 7 0 0 内の評価値導出部 7 0 3 は、ステップ 1 0 0 2 で特定されたパッケージ V T から、ステップ 1 0 0 3 で特定された各ダイ V T に至る経路の長さを導出する。導出された経路長は、評価値として R A M 1 0 3 に記憶される。

10

【 0 0 6 3 】

ステップ 1 0 0 5 において、検証部 7 0 0 は、未だ特定されていないパッケージ V T があるかどうかを判定する。未だ特定されていないパッケージ V T がある場合はステップ 1 0 0 2 に戻って次のパッケージ V T を特定して、ステップ 1 0 0 3 ~ 1 0 0 5 の処理を繰り返す。一方、全てのパッケージ V T が特定されている場合は、ステップ 1 0 0 6 へ進む。

【 0 0 6 4 】

ステップ 1 0 0 6 において、検証部 7 0 0 内の優先順位設定部 7 0 4 は、特定されたすべてのパッケージ V T について、パソコンに接続する場合の優先順位を設定する。具体的には、まず信号名（プリント基板の電源の種類を表す信号名）が同じ電源配線に接続されているパッケージ V T をグループ化する。図 1 1 の例では、4 つのパッケージ V T 1 1 0 1 a ~ 1 1 0 1 d がグループ化される。そして、グループ化されたパッケージ V Tの中から、ステップ 1 0 0 4 で導出したパッケージ内経路長が短い順に、高い優先順位を設定する。図 1 1 の場合、導出される経路長は短い順に以下ようになる。

20

【 0 0 6 5 】

- ・パッケージ V T 1 1 0 1 a ~ ダイ V T 4 0 7 a の経路
- ・パッケージ V T 1 1 0 1 b ~ ダイ V T 4 0 7 c の経路
- ・パッケージ V T 1 1 0 1 c ~ ダイ V T 4 0 7 d の経路
- ・パッケージ V T 1 1 0 1 d ~ ダイ V T 4 0 7 b の経路

したがって、優先順位が高い方から順に、1 1 0 1 a、1 1 0 1 b、1 1 0 1 c、1 1 0 1 d となる。このようにして決定された優先順位の情報は、R A M 1 0 3 に記憶される。

30

【 0 0 6 6 】

ステップ 1 0 0 7 において、検証結果出力部 2 4 0 は、出力デバイス 1 3 0 に検証結果としての優先順位を出力する。具体的には、表示装置に検証結果を表示したり、プリンタで検証結果を印刷したりする。或いは、検証結果を記述したファイルを H D D 1 2 0 に格納したり、不図示のネットワークを介して他の P C 等に送信してもよい。図 1 2 は、本実施例における検証結果出力の一例を示す図である。図 1 2 (a) は、パッケージ V T 1 1 0 1 a ~ 1 1 0 1 d に対して設定された優先順位を視覚的に示した場合の一例であり、レイアウト画面上に優先順位が数字で表示されている。さらに、色分け等を組み合わせる等して、優先順位に応じた強調表示を行ってもよい。また、図 1 2 (b) は、I C の回路記号や端子名や信号名と共に、対応する優先順位を表形式で示した一例を示している。この場合において、例えば表示装置に表示された表上のパソコンの回路記号等をユーザが入力デバイス 1 1 0 を用いて選択すると、選択したパソコンがレイアウト画面上でハイライトやズーム、ポップアップ画面等によって強調表示されるようにしてもよい。

40

【 0 0 6 7 】

以上が、本実施例に係る、パソコンの配置を検証する処理の内容である。

【 0 0 6 8 】

なお、優先順位の他の決定方法として、接続可能な全てのダイ V T までの経路長を導出して合算し、合算結果（総経路長）が短いパッケージ V T から順に高い優先順位を設定するようにしてもよい。

50

【 0 0 6 9 】

また、本実施例では、最短経路の長さを評価値としたが、例えば、最短経路の長さの代わりにインダクタンスを求めて、これを評価値としてもよい。この場合、経路のインダクタンスが小さいほど高い優先順位を設定するようにすればよい。

【 0 0 7 0 】

< 実施例 2 の変形例 >

さらに、レイアウト完了段階（パソコンが既に配置されている状態）において、上述のようにして設定された優先順位を用いて、配置の妥当性を判定し、その判定結果を出力してもよい。具体的には、ステップ 1 0 0 6 で優先順位を設定した後、設計情報に基づいてパソコンを特定し、特定されたパソコンが接続しているパッケージ V T の優先順位が高いかどうかを判定して、その判定結果も含め検証結果として出力する。図 1 3 は、この変形例に係る検証結果出力の一例を示す図である。図 1 3 においてパソコン 4 0 1 b は、優先順位が一番低いパッケージ V T 1 1 0 1 d に接続されている。図 1 3 (a) では、パソコン 4 0 1 b の配置が不適切であることを示す x 印マーク 1 3 0 0 に加え、より優先順位の高い他の電源端子（パッケージ V T 1 1 0 1 b ）への接続を促すメッセージ 1 3 0 1 がレイアウト画面上に表示された様子が示されている。また、表形式の出力例である図 1 3 (b) では、I C の回路記号や端子名や信号名、パソコンの回路記号、設定された優先順位に加えて、備考欄に上記メッセージ 1 3 0 1 と同内容のコメントが表示されている。

10

【 0 0 7 1 】

また、レイアウト設計の部品配置段階において、上述のようにして設定された優先順位を用いて、パソコンを自動配置してもよい。具体的には、ステップ 1 0 0 6 で優先順位を設定した後、設計情報に基づいてパソコンを特定し、特定されたパソコンが接続している優先順位が高いパッケージ V T の近傍へパソコンを配置する。

20

【 0 0 7 2 】

本実施例によれば、レイアウト設計段階で（或いはレイアウト完了後に）、パソコンを配置するのに適したパッケージの電源端子を容易に把握でき、効率よくパソコンを配置することが可能となる。

【 実施例 3 】

【 0 0 7 3 】

次に、複数のパソコンが密集しないよう分散配置を可能にする態様について、実施例 3 として説明する。なお、実施例 1 及び 2 と共通する部分については説明を省略ないしは簡略化し、以下では差異点を中心に説明するものとする。

30

【 0 0 7 4 】

図 1 4 は、本実施例に係る、パソコン配置を検証する装置としての情報処理装置 1 0 0 のソフトウェア構成を示す機能ブロック図である。本実施例に係る情報処理装置 1 0 0 は、設計情報管理部 2 1 0、検証部 1 4 0 0 及び検証結果出力部 2 4 0 で構成される。

【 0 0 7 5 】

設計情報管理部 2 1 0 及び検証結果出力部 2 4 0 は実施例 1 及び 2 と同じであるため、説明を省く。

【 0 0 7 6 】

40

検証部 1 4 0 0 は、ダイ端子特定部 7 0 1、パッケージ端子特定部 7 0 2、評価値導出部 7 0 3、優先順位設定部 1 4 0 1 及び再配置部 1 4 0 2 で構成される。なお、再配置部 1 4 0 2 が破線で示されているのは、入力された設計情報がレイアウト設計の完了段階であった場合にのみ機能するためである。

【 0 0 7 7 】

ダイ端子特定部 7 0 1、パッケージ端子特定部 7 0 2 及び評価値導出部 7 0 3 は、実施例 2 と同じである。

【 0 0 7 8 】

優先順位設定部 1 4 0 1 は、実施例 2 に係る優先順位設定部 7 0 4 と同様、評価値導出部 7 0 3 で導出した評価値に基づいてパッケージ V T についての優先順位を設定する。こ

50

れに加え、本実施例に係る優先順位設定部 1401 は、高い優先順位が設定されたパッケージ V T が所定範囲内に密集している場合に、密集状態が解消するように優先順位を変更する処理も行なう。ここで、密集状態が解消するようにパッケージ V T の優先順位を変更する理由を、シミュレーション結果を用いて説明する。図 15 は、シミュレーションモデルを示す図であり、(a) はパソコンが密集しているモデル、(b) はパソコンが分散しているモデルである。図 15 (a) は、電源リング 1500 と、それに接続するパッケージ内配線 1501、プリント基板上の配線 1502 及び互いに近接して配置された 2 つのパソコン 1503 で構成されている。図 15 (b) も同様に、電源リング 1510 と、それに接続するパッケージ内配線 1511、プリント基板上の配線 1512 及び一定距離を保って配置されている 2 つのパソコン 1513 で構成されている。図 15 (a) と図 15 (b) とでパッケージ内配線長やプリント基板上の配線長等の条件は同じであり、2 つのパソコンの位置関係のみが異なっているものとする。この 2 つのモデルにおいて、点 1504 及び 1514 で示される計測点におけるインピーダンスをそれぞれ計測する。図 16 (a) は、両モデルにおけるインピーダンスの計測結果を示すグラフであり、実線はパソコンが密集しているモデルに対応し、破線はパソコンが分散しているモデルに対応している。そして、図 16 (b) は、1 GHz (1000 MHz) 以下の周波数部分を拡大したものである。1 GHz (1000 MHz) 以下の周波数に着目すると、パソコンが分散しているモデルの方が、インピーダンスが低くなっているのが分かる (図 16 (b))。前述のとおり、IC への電源の安定供給には、電源リングからパソコンまでのインピーダンスが低い方がよいので、電源リングに対してパソコンができるだけ分散して配置されるように優先順位を変更している。設定 (変更) された優先順位は、検証結果として RAM 103 に記憶される。

【0079】

再配置部 1402 は、レイアウト設計の完了段階において、パッケージ端子特定部 702 で特定されたパッケージ V T が互いに近接し過ぎていた場合に、変更後の優先順位に従って、パッケージ V T が分散するようにパソコンを再配置する。

【0080】

図 17 は、本実施例に係る、パソコン配置検証処理の流れを示すフローチャートである。この一連の処理は、CPU 101 が、ROM 102 に格納されているプログラムを RAM 103 にロードし、実行することで実現される。

【0081】

ステップ 1701 ~ 1706 は、実施例 2 の図 10 のフローチャートにおけるステップ 1001 ~ 1006 にそれぞれ対応するため、以下では、ステップ 1707 以降について詳しく説明する。

【0082】

ステップ 1706 で優先順位が設定されると、ステップ 1707 において、優先順位設定部 1401 は、設計情報内のパッケージ情報に基づいて、特定された同電位のパッケージ V T が一定距離を保って互いに離れているかどうかを判定する。図 18 は、同電位にある複数のパッケージ V T が一定距離を保って離れているかどうかの判定手法の一例を説明する図である。図 18 の例では、同電位のパッケージ電源端子として 4 つのパッケージ V T 1801 a ~ 1801 d が特定され、それぞれの優先順位は高い順に、1801 a、1801 b、1801 c、1801 d となっている。この場合において、まず、パッケージ V T 1801 a ~ 1801 d のそれぞれについて、パッケージ内の電源配線と電源リング 409 との接続点を中心とした両矢印で示される所定の範囲 1802 a ~ 1802 d を特定する。そして、各パッケージ V T に対する所定範囲 1802 a ~ 1802 d が重なっている箇所がないかどうかを判定し、重なっている箇所があれば、当該箇所を密集箇所として特定する。図 18 の例では、優先順位が 1 位のパッケージ V T 1801 a についての所定範囲 1802 a と優先順位が 2 位のパッケージ V T 1801 b についての所定範囲 1802 b との間で重なりがある (破線の丸で囲まれた部分)。そのため、パッケージ V T 1801 a 及びパッケージ V T 1801 b の配置されている箇所が、密集箇所として特定さ

れることになる。また、より簡易的な判定方法として、特定されたパッケージV T同士の間を結ぶ直線距離を求め、求めた直線距離が所定の距離より短い場合に当該パッケージV T同士は密集していると判定してもよい。さらには、I Cのパッケージの中心と特定された2つのパッケージV Tとを結んだ2本の直線のなす角度が所定の角度より小さい場合に当該パッケージV T同士は密集していると判定してもよい。判定の結果、上述のような密集箇所があると判定された場合は、ステップ1708に進む。一方、密集箇所がない(特定された同電位のパッケージV Tが一定距離を保って互いに離れている)と判定された場合は、ステップ1709に進む。

【0083】

ステップ1708において、優先順位設定部1401は、密集していると判定された箇所のパッケージV Tが分散するように優先順位を変更する。例えば、上述の図18の例では、優先順位が一番高いパッケージV T1801aと、優先順位が二番目に高いパッケージV T1801bとが密集していると判定されている。この場合、優先順位が低い方のパッケージV T1801bの優先順位を、所定範囲が重なっていない他のパッケージV T1801c及び1801dの優先順位よりも低い優先順位となるように変更する。すなわち、図18の例では、優先順位が高い方から順に1801a、1801c、1801d、1801bのように変更される。

【0084】

ステップ1709において、検証結果出力部240は、出力デバイス130に検証結果としての優先順位(変更後)を出力する。具体的には、表示装置に検証結果を表示したり、プリンタで検証結果を印刷したりする。或いは、検証結果を記述したファイルをHDD120に格納したり、不図示のネットワークを介して他のPC等へ送信してもよい。

【0085】

以上が、本実施例に係る、パスキンの配置を検証する処理の内容である。

【0086】

本実施例ではレイアウトの設計段階を念頭に、変更後の優先順位を検証結果として出力しているが、レイアウト設計完了段階であれば、変更後の優先順位に従ってパスキンが分散するよう再配置されたレイアウト図を検証結果として出力するようにしてもよい。図19は、パスキンが再配置される様子を説明する図である。図19の(a)は再配置される前の状態を示す図であり、パスキン401a(パッケージV T1801a)とパスキン401b(パッケージV T1801b)とが近接し過ぎている状態である。図19(b)は再配置された後の状態を示す図であり、優先順位が2位に変更されたパッケージV T1801cと接続されるように、パスキン401bが移動しているのが分かる。

【0087】

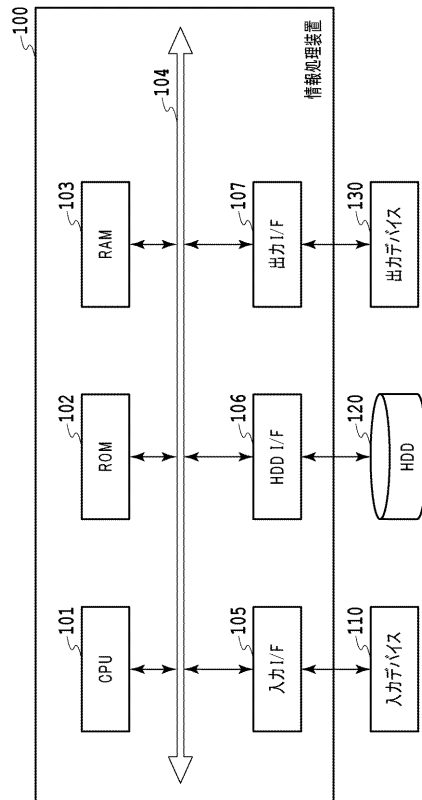
本実施例によれば、パスキンの分散配置を容易に実現することが可能となる。

【0088】

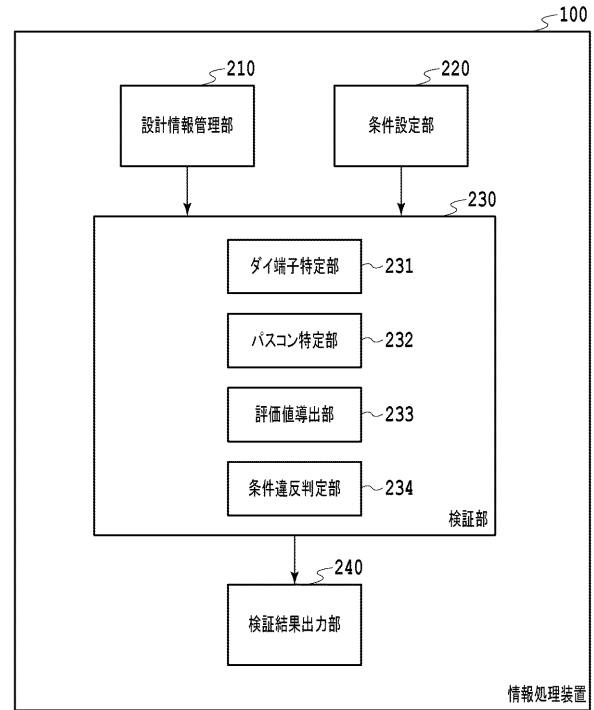
(その他の実施例)

また、本発明は、以下の処理を実行することによっても実現される。即ち、上述した実施形態の機能を実現するソフトウェア(プログラム)を、ネットワーク又は各種記憶媒体を介してシステム或いは装置に供給し、そのシステム或いは装置のコンピュータ(またはCPUやMPU等)がプログラムを読み出して実行する処理である。

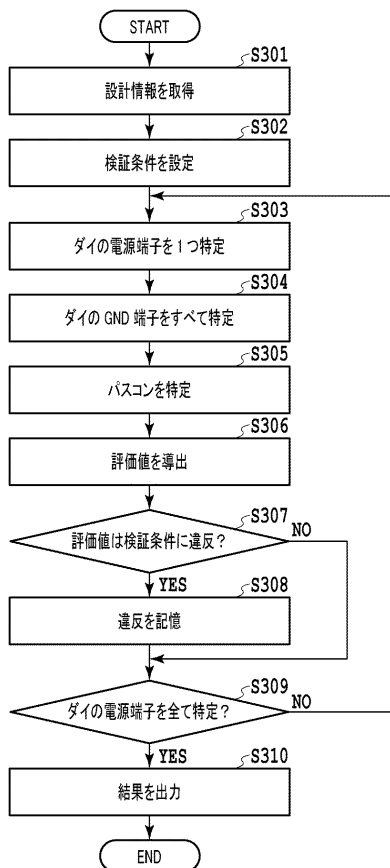
【図 1】



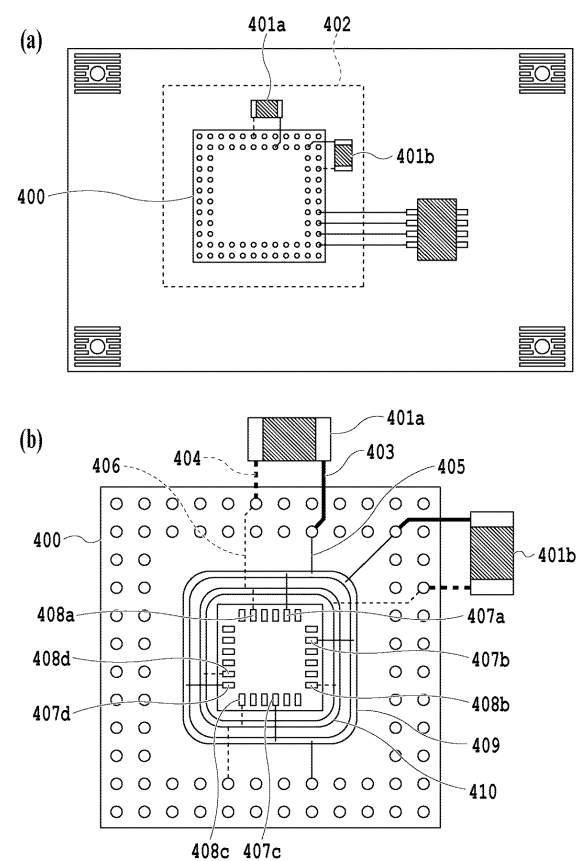
【図 2】



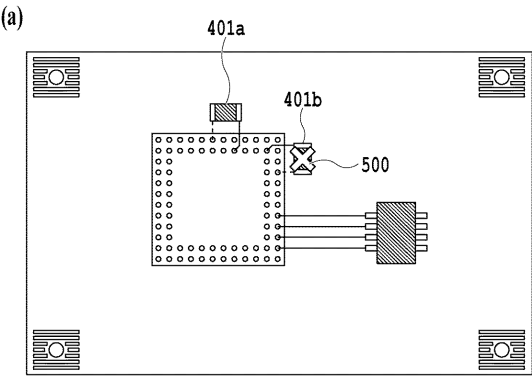
【図 3】



【図 4】



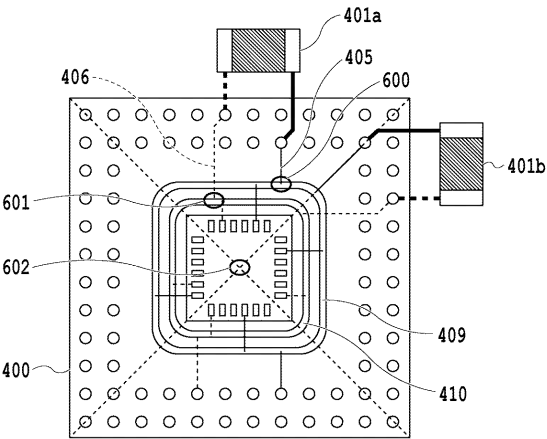
【 図 5 】



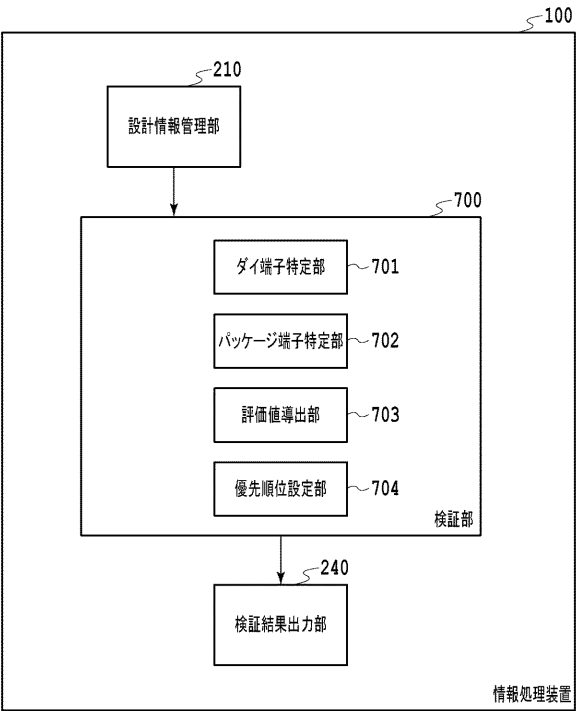
(b)

電源			グラウンド			バスコン			結果	
回路記号	端子名	信号名	回路記号	端子名	信号名	回路記号	座標	実装面	ループ距離	判定
IC1	P1	+1.2V	IC1	P2	GND	C401a	(50,25)	TOP	10mm	○
IC1	P5	+1.2V	IC1	P6	GND	C401b	(45,30)	TOP	15mm	×

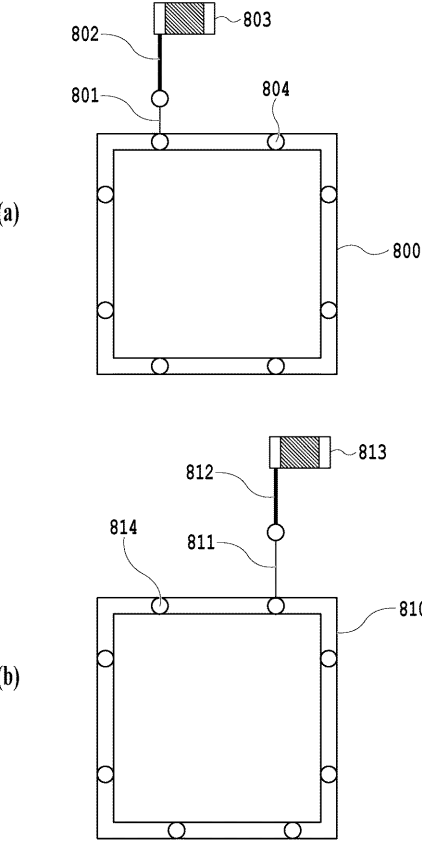
【 図 6 】



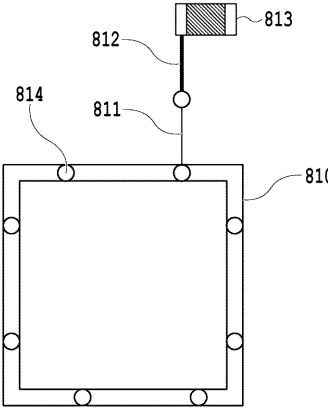
【 図 7 】



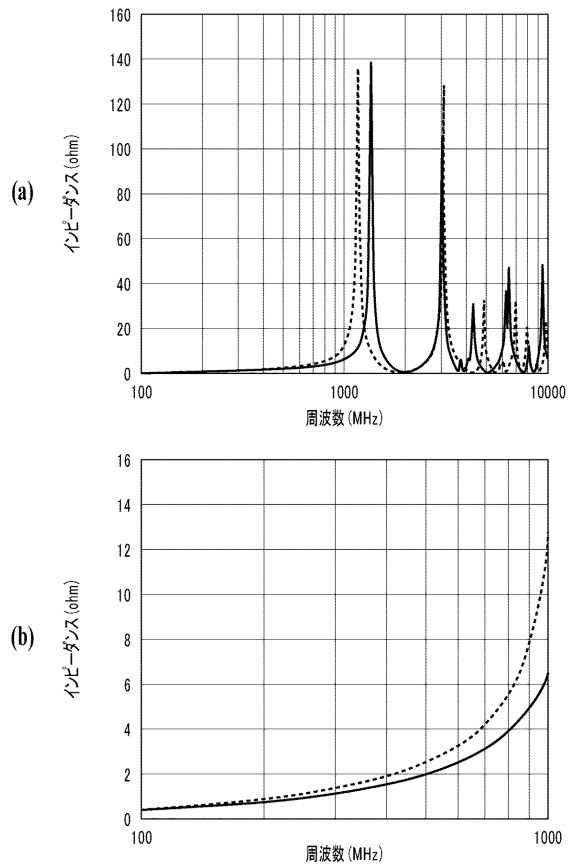
【 図 8 】



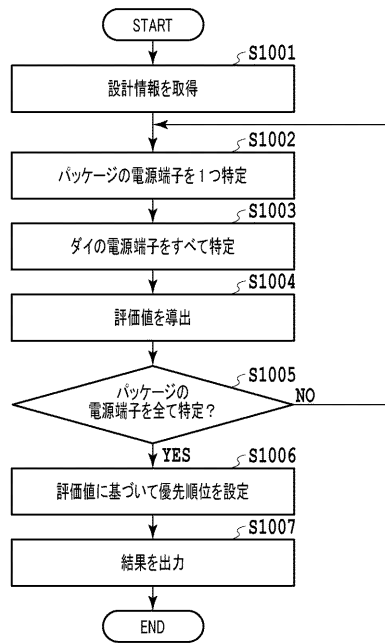
(b)



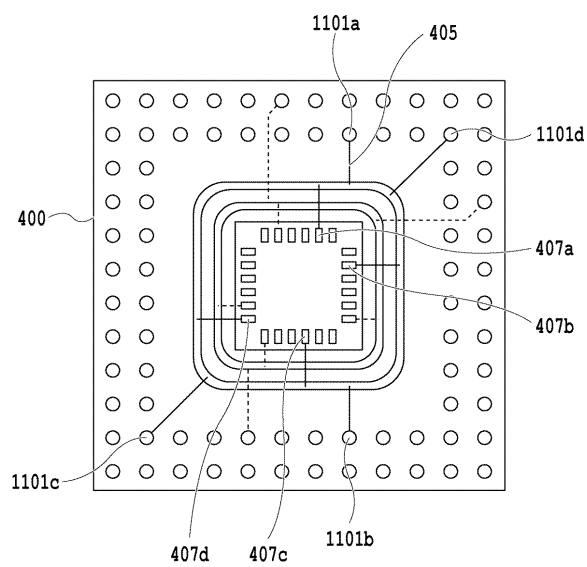
【図 9】



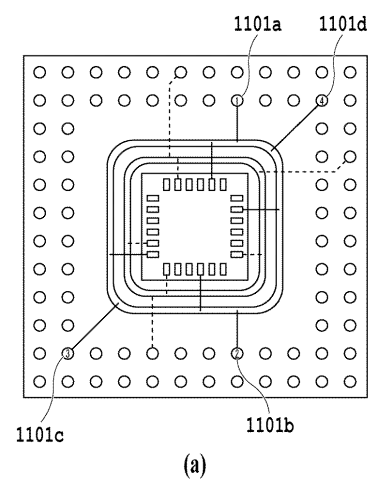
【図 10】



【図 11】



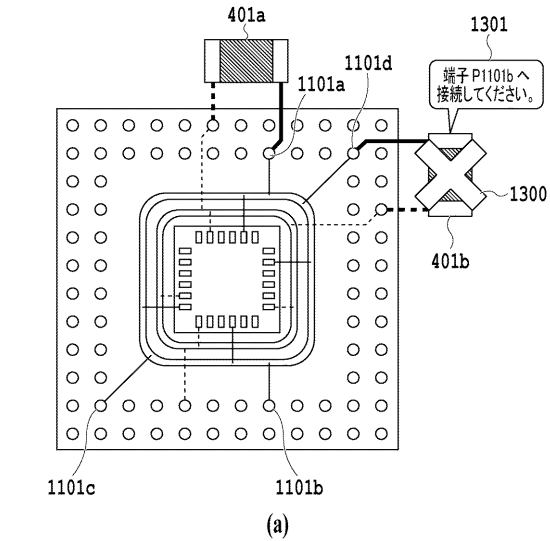
【図 12】



回路記号	端子名	信号名	優先順位	パッケージ内経路長
IC1	P1101a	+1.2V	1	1.2mm
IC1	P1101d	+1.2V	4	3.4mm
IC1	P1101b	+1.2V	2	1.5mm
IC1	P1101c	+1.2V	3	2.8mm

(b)

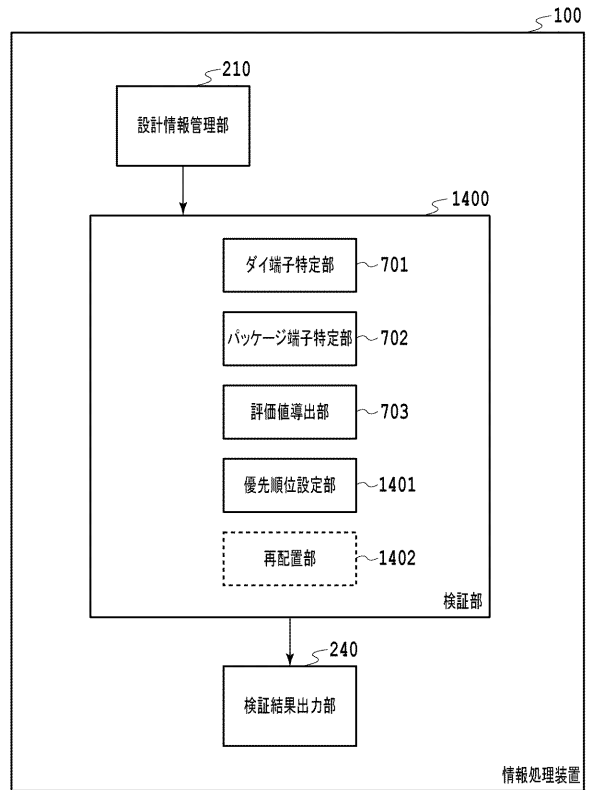
【図 13】



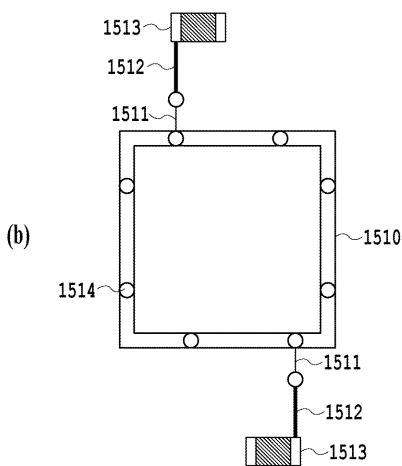
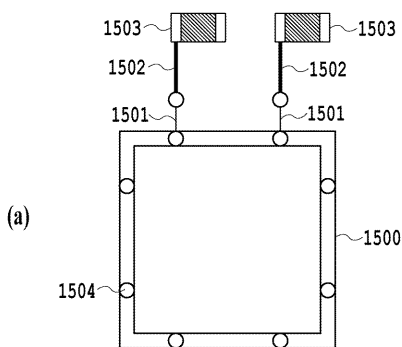
回路記号	端子名	信号名	バスコン	優先順位	備考
IC1	P1101a	+1.2V	C401a	1	
IC1	P1101d	+1.2V	C401b	4	端子 1101b へ接続してください
IC1	P1101b	+1.2V	未接続	2	
IC1	P1101c	+1.2V	未接続	3	

(b)

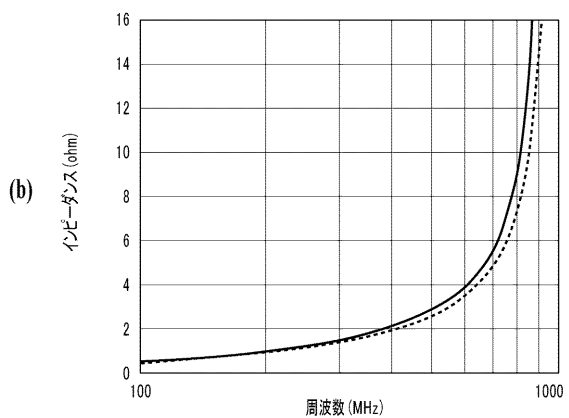
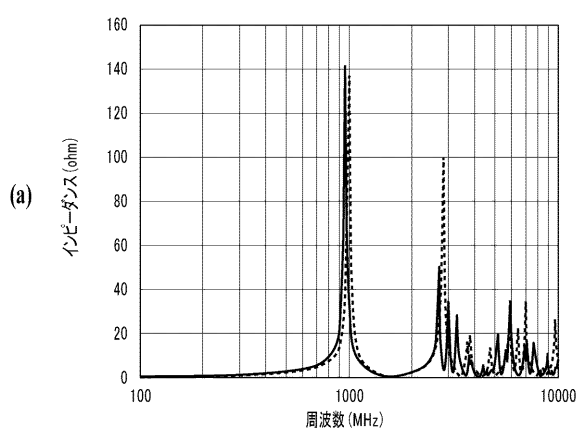
【図 14】



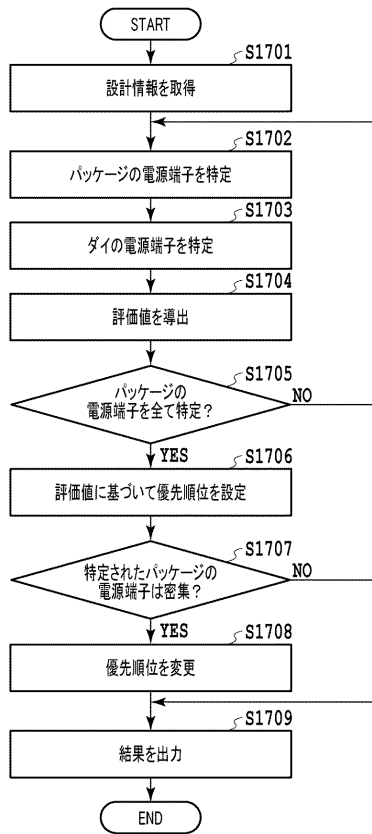
【図 15】



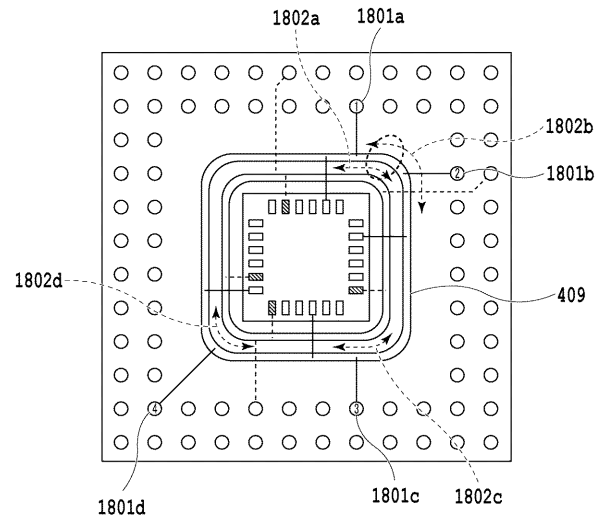
【図 16】



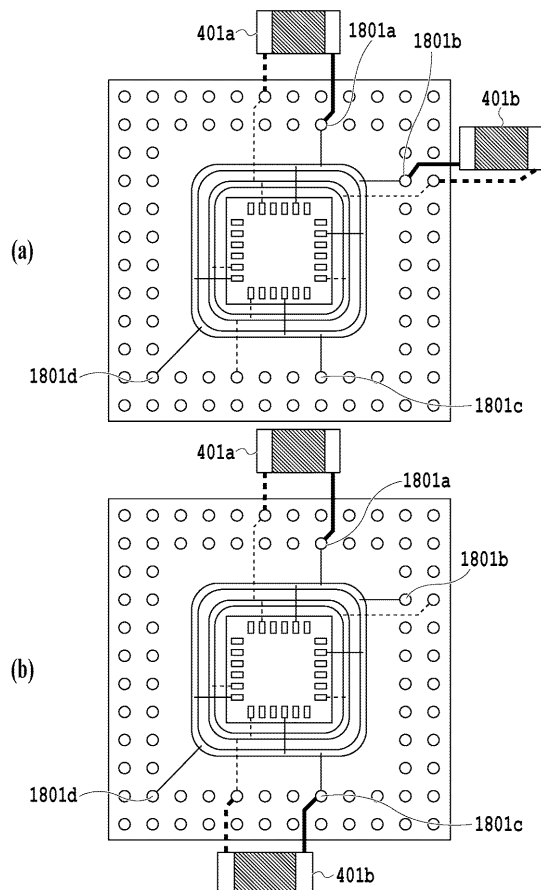
【図 17】



【図 18】



【図 19】



フロントページの続き

審査官 早川 学

(56)参考文献 特開 2 0 0 0 - 1 0 5 7 7 7 (J P , A)
特開 2 0 1 0 - 2 1 1 7 5 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 6 F 1 7 / 5 0