公告本

申請日期	86 年 9 月 2 日
案號	86112598
類別	H01L 21/00

（以上各欄由本局填註）

A4
C4

418431

發明 新型 專利說明書

一、發明 新型 名稱	中文	主動矩陣電光裝置
	英文	Active matrix electro-optical device
二、發明 創作 人	姓名	(1) 中嶋節男 (2) 粟根克昶 (3) 森田達夫
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國神奈川縣厚木市長谷三九八番地株式会社半導体エネルギー研究所内 (2) 日本國奈良縣生駒市新旭ケ丘一五一二 (3) 日本國京都府相楽郡加茂町南加茂台九一五一八
三、申請人	姓名（名稱）	(1) 半導體能源研究所股份有限公司 株式会社半導体エネルギー研究所 (2) 佳寶股份有限公司 シャープ株式会社
	國籍	(1) 日本 (2) 日本
	住、居所（事務所）	(1) 日本國神奈川縣厚木市長谷三九八 (2) 日本國大阪府大阪市阿倍野區長池町二二一二二
	代表人姓名	(1) 山崎舜平 (2) 辻晴雄

裝 訂 線

經濟部中央標準局員工消費合作社印製

418431

（由本局填寫）

承辦人代碼：	A6
大　　類：	B6
IPC分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1996 年 9 月 3 日	8-252490	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

發明之背景

發明之領域

本發明爲關於一種與一周邊驅動電路整體構成之主動矩陣型平板顯示之結構。

相關技藝之敘述

使用非晶矽薄膜之主動矩陣型液晶顯示裝置爲習知。而且，使用晶矽薄膜且可實施較高品質顯示之主動矩陣型液晶顯示裝置亦爲已知。

如果使用非晶矽薄膜時，具有一問題，即無法實現P－通道型薄膜電晶體（其特性太低而無法付諸實施）。另一方面，如果使用晶矽薄膜時，即可製造實用的P－通道型薄膜電晶體。

因此，如果使用晶矽薄膜時，即可藉由薄膜電晶體來構成互補金氧半導體（CMOS）。如果這樣的話，用來驅動主動矩陣電路之周邊驅動電路亦可藉由薄膜電晶體來構成。如第10圖所示，可以實現一種結構，其中主動矩陣電路10與周邊驅動電路11及12係被整合在一玻璃基體或石英基體上。此種結構稱爲周邊驅動電路積體型式。

此種周邊驅動電路積體型式具有特徵，即整體顯示裝置可製成緊湊的，且可減少製造成本及製造步驟。

當需求高圖像品質時，可實施如何精細的階度顯示是很重要的。通常，使用液晶之電壓傳輸曲線之一非飽和區

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（2）

來實施階度顯示。亦即，採用一種利用其中液晶之光學響應係依據所施加電壓（電場）之改變而改變的範圍，來實施階度顯示之方法。此種方法通常稱爲類比階度系統。

如果使用此種類比階度系統，則施加於各像素上之液晶上之電壓之分散變成一種問題。特別是，當施加於液晶上之電壓之分散變成大於一階度所需之電壓時，在階度顯示上乃發生前後不一致。階度顯示之不一致造成顯示不同一或見到條紋圖型。

施加於各像素上之液晶上之電壓分散係由薄膜電晶體之特性之分散所致，此薄膜電晶體係被安排成幾百乘以（×）幾百的單位的矩陣構造。如爲周邊驅動電路積體型式時，周邊驅動電路之薄膜電晶體之指數之分散亦變成主要的原因。

通常具有許多參數關於薄膜電晶體之特性之分散。因此，即使其中之任一參數被控制住，也難於解決上述圖像退化問題。再者，由於具有此種參數其分散無法被完全抑制，因此此問題變得更爲嚴重。

如上所述，目前由於欲優先控制之參數並不清楚，因此仍有一問題，即難於大量製造具有所需的圖像品質，而仍然保有高複製性的主動矩陣型顯示裝置。

換言之，由於無需清楚在何種範圍及與其他參數何種關係之下何種參數必須控制，因此依據目前的情形，只有以短視手段努力於改進產量。

因此，本發明意欲提供，當製造一與周邊驅動電路整

（請先閱讀背面之注意事項再填寫本頁）
衣
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

體構成的主動矩陣型顯示裝置時，欲製造之薄膜電晶體之何種參數必須優先控制之指導方針。

依此，本發明意欲提供一種高產量，與周邊驅動電路整體構成之主動矩陣型顯示裝置的製造技術，此顯示裝置可作高像（畫）質之顯示。

依據本案發明人等之瞭解，在每一像素上之饋通電壓之分散對於液晶驅動電壓之分散具有最高的影響，此液晶驅動電壓之分散與液晶顯示裝置之畫質之退化極爲有關。

主動矩陣型顯示之饋通電壓之影響係揭露在電子資訊通訊學會之技術報告ＥＩＤ９５－９９，ＥＤ９５－１７３，ＳＤＭ９５－２１３（１９９６－０２）上。

茲將饋通電壓簡述如下。

第１１圖顯示當安排在主動矩陣電路內之薄膜電晶體起動時，一薄膜電晶體及一像素電極之各零件之電壓波形之關係。

在第１１圖中，Ｖｇ爲一從一閘控信號線供應之信號電壓。Ｖｓ爲一從一汲極配線供應之信號電壓。Ｖｄ爲薄膜電晶體之輸出電壓。Ｖｄ爲一供應至一液晶之電壓之波形。首先，當閘電壓Ｖｇ上升至ＯＮ位準Ｖｇｈ時，薄膜電晶體導通，且從源極信號線供應之電壓信號Ｖｓ經由薄膜電晶體而被供應至液晶。第１１圖顯示被供應至液晶之電壓Ｖｄ之波形。

在閘電壓Ｖｇ下降到ＯＦＦ位準Ｖｇｌ之後，電場乃藉由儲存在液晶內之電荷及輔助電容而繼續被施加至液晶

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（4）

。

當次閘電壓Ｖｇ之脈衝被輸入閘極內時，影像資訊乃在像素電極內被重寫。亦即，當次閘電壓Ｖｇ之脈衝被輸入閘極內時，薄膜電晶體再被導通，因此相當於新信號電壓Ｖｓ之電荷流入像素電極內。

大體而言，爲了防止液晶之退化，Ｖｓｉｇｃ±Ｖｓｉｇ所代表之交流電壓係供作電壓Ｖｄ。在此，Ｖｓｉｇｃ爲中心電壓，而Ｖｓｉｇ爲影像信號電壓。Ｖｓｉｇ之值符合階度。

在驅動此種薄膜電晶體時，當薄膜電晶體從ＯＮ狀態轉換到ＯＦＦ狀態時，閘電壓Ｖｇ之後電壓（下降電壓）乃藉由閘極與源極間之寄生電容使源極電壓變動。此種變動電壓爲饋通電壓（△Ｖｓ）。

第１１圖顯示像素電極上之電壓Ｖｄ被饋通電壓（△Ｖｓ）所影響之狀態。饋通電壓（△Ｖｓ）由下式（１）表示。

$$\triangle Vs = (1/Ct)\left[Cgd \cdot \triangle Vg - \int Idt\right] \quad (1)$$

其中Ｃｔ爲總像素之電容。總像素之電容主要係由經過一液晶在像素電極與相對電極之間的電容加上輔助電容來決定。

Ｃｇｄ爲閘極與汲極間之寄生電容。△Ｖｇ爲閘電壓

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

之變動量。在第１１圖所示之情形中，△Ｖｇ係以△Ｖｇ＝Ｖｇｈ－Ｖｇｌ來表示。

∫Ｉｄｔ項表示一流通於源極與汲極間之補償電流之影響，其係由閘控信號線所供應之信號電壓之波形之畸變所造成。

如第１０圖所示，當信號經由閘控信號線傳輸時，經由閘極配線傳輸之信號波形變成一有些畸變的形，非爲一完全的矩形波。特別是，信號之下降部分變成一具有尾部之波形。

這是由閘極驅動電路之不良特性所造成的，且亦由一時間常數所造成。此時間常數係由配線電阻與配線電容之乘積來決定。

第１０圖顯示即使周邊驅動電路１１發揮完全驅動力以饋給一完全矩形波１３，所傳輸的信號波形１４亦會被一由配線電阻與配線電容之乘積所決定之時間常數所變形的狀態。

在周邊驅動電路係由薄膜電晶體所構成的情況中，很難在現有環境中送出一完全的矩形波。這是因爲很難獲得具有構成周邊驅動電路所需特性之薄膜電晶體的緣故。

在薄膜電晶體被畸變的波形１４驅動的情況中，如第１０圖所示，其費了一預定時間直到薄膜電晶體完全關閉爲止。在這段期間中，一電流依校正饋通電壓的方向流通。式（１）之∫Ｉｄｔ所示之項表示此種電流之總量。

在使用非晶矽薄膜之薄膜電晶體中，由於移動率小至

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（6）

1 c m ² ／ V s 或更小且主動層之面積爲大的緣故（當然，通道面積亦大），由流過一通道之電荷及儲存在通道內之電荷所產生之電容對於寄生電容 C g d 具有一大的增進。

另一方面，∫ I d t 項之 I 值之增進小，因爲在一使用非晶矽薄膜之薄膜電晶體中，移動率小至 1 c m ² ／ V s 或更小。

再者，由於使用驅動器 I C 作爲閘極驅動電路，因此閘控信號之崎變沒有那麼大。

因此，在使用一種利用利用非晶矽薄膜之薄膜電晶體的情況中，∫ I d t 項之增進小。

因此，在使用一種利用非晶矽薄膜之薄膜電晶體的情況中，饋通電壓之分散主要係由式（1）之首項所造成。特別是，寄生電容 C g d 之分散變成一主要原因。

另一方面，在一使用晶矽薄膜之薄膜電晶體中，移動率大，且閘極之面積小，因此寄生電容 C g d 之值較使用非晶矽薄膜之薄膜電晶體之情況者爲小。由於通道面積小，因此由流過通道之電荷及儲存在通道內之電荷所產生之電容之增進沒有那麼大。

使用晶矽薄膜之薄膜電晶體具有一幾十 c m ² ／ V s 或更大之大移動率。但是，值之分散較大。在周邊電路積體型式中，由於周邊驅動電路 1 1 及 1 2 係由薄膜電晶體所構成，因此如第 1 0 圖中之波型 1 4 所示之閘控信號電壓之崎變亦變大。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（7）

閘控信號電壓之畸變大係意謂式（1）中之第二項之積體範圍變大。閘控信號電壓之畸變反映構成周邊驅動電路之薄膜電晶體之移動率分散之影響。

因此，在與一周邊驅動電路整體成型之主動矩陣電路中，此周邊驅動電路係由使用晶矽薄膜之薄膜電晶體所構成，式（1）所示饋通電壓之分散受到第二項之影響遠大於第一項之影響。

亦即，藉由構成周邊驅動電路之薄膜電晶體之移動率之分散，即可使分散（其係關於閘控信號波形14之畸變如第10圖所示）發生在式（1）之第二項之積體範圍內，且藉由安置在每一像素上之薄膜電晶體之移動率之分散，即可使分散發生在式（1）之第二項之I值大。這些組合一起以產生饋通電壓上之分散。

發明之概要

本發明之一目的乃在於提供一種結構，以抑制由一主動矩陣型顯示裝置中之上述饋通電壓之分散所造成之影像品質之退化，此主動矩陣型顯示裝置係與一周邊驅動電路整體成型，此周邊驅動電路使用由晶矽薄膜所組成之薄膜電晶體。

本發明具有一特徵：爲了抑制由於上述饋通電壓之分散所造成之影像品質之退化，單一階度所需電壓Vgr之絕對值係大於式（1）之第二項之絕對值。

$$\triangle Vs = (1/Ct)\left[Cgd \cdot \triangle Vg - \int Id\,t\right]$$

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部中央標準局員工消費合作社印製

五、發明說明（8）

（1）

亦即，本發明具有一特徵：決定各常數之範圍，以滿足下列式（2）。

$$|Vg| > |(1-Ct))\int Idt| \quad (2)$$

上述式（2）提供薄膜電晶體所需特性之組合的指導方針，此薄膜電晶體在主動矩陣型顯示裝置上構成各電路，此主動矩陣型顯示裝置係與一周邊驅動電路整體成型。

利用式（1）將式（2）重寫成下列式（3）。

$$|Vgr| > |(1/Ct)[Cgd \cdot \triangle Vg - Ct \cdot \triangle Vs| \quad (3)$$

其中，Vgr單一階度所需電壓。Ct爲包含輔助電容之總像素電容。Cgd爲閘極－汲極電容。△Vg爲ON／OFF閘電壓之間的差值。△Vs爲饋通電壓。在本規格中，在像素電極側上之一雜質區界定爲汲極。

Vgr及△Vg係取決於驅動情況或欲達成之影像品質。Ct及Cgd可各別計算。△Vs可藉由成型及測量樣品或實施模擬來獲得。

本發明之特徵乃在於設定構成各電路之薄膜電晶體之特性，以便滿足上述不等式。藉由實施此種設定，縱使在

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（9）

構成各電路之薄膜電晶體之特性上發生分散，亦可大大的抑制由於階度顯示之分散所造成之影響。

在此，各參數（主要爲移動率）之值係界定爲多數所安置之薄膜電晶體之平均值。可使用若干施加抽樣檢查之薄膜電晶體之平均爲平均值。

更正確的說，在各像素上之Ｃｔ及Ｃｇｄ之分散變成一問題。但是，如前述，在使用晶矽薄膜之薄膜電晶體中，這些參數之分散之增進小。因此，藉由滿足式（２）中所示範圍，即可大大的抑制在各像素上之階度顯示之分散所造成之影像品質之退化。

依據本發明之一方面，本發明具有一結構，其中薄膜電晶體係被安置在各像素上，各像素則被安置成一矩陣構造，而其特徵乃在於當Ｖｇｒ爲單一階度所需之一電壓，Ｃｔ爲總像素之電容，Ｃｇｄ爲閘極－汲極電容，△Ｖｇ爲ＯＮ／ＯＦＦ閘極之間的差值，及△Ｖｓ爲一饋通電壓時，各參數即可滿足式（３）。

$$|Vgr| > |(1/Ct)[Cgd \cdot \triangle Vg - Ct \cdot \triangle Vs|$$

(3)

依據本發明之另一方面，本發明具有一結構包含一主動矩陣電路，其中薄膜電晶體係被安置在各像素電極上，各像素電極被安置成一矩陣構造，及一周邊驅動電路用來驅動由薄膜電晶體所構成之主動矩陣電路，而本發明之特

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

徵乃在於當Ｖｇｒ爲單一階度所需之一電壓，Ｃｔ爲總像素之電容，Ｃｇｄ爲閘極－汲極電容，△Ｖｇ爲ＯＮ／ＯＦＦ閘極之間的差值，及△Ｖｓ爲一饋通電壓時，各參數即可滿足式（３）。

$$|Vgr| > |(1/Ct)[Cgd \cdot \triangle Vg - Ct \cdot \triangle Vs|$$

(3)

及一用來在周邊驅動電路中驅動一閘控信號電壓之電路之薄膜電晶體之移動率係大於一被安置在主動矩陣電路上之薄膜電晶體之移動率。

發明之詳細說明

第１圖顯示一種結構，其中一周邊驅動電路及一主動矩陣電路係被整體構成在一片玻璃基體上。第１圖顯示一主動矩陣型液晶顯示裝置之兩基體之一的結構，此主動矩陣型液晶顯示裝置係與一周邊驅動電路整體構成。

在第１圖中，２０１代表一移位暫存器電路。２０２代表一反及（ＮＡＮＤ）電路。２０３代表一階層移位電路。２０４爲一緩衝電路（驅動電路）。在第１圖所示結構中，周邊驅動電路係由這些電路所構成。

２０５代表一主動矩陣電路。在第１圖中，顯示有四個像素。在一實際主動矩陣電路中，像素係依數百個Ｘ數百個或更多的單位被安置成一矩陣構造。安置有可與這些

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（11）

像素匹配的周邊驅動電路。

各像素安置有薄膜電晶體２０６及輔助電容２０８。２０７代表一液晶。

在第１圖所示之結構中，所有電路係由薄膜電晶體所構成，這些薄膜電晶體係構成在相同玻璃基體上。

例如，構成移位暫存器電路２０１之各閘極係由定時反相器電路所構成，如第２Ａ圖所示，其中，Ｐ－通道型及Ｎ－通道型薄膜電晶體係被組合一起。

構成緩衝電路２０４之各閘極係由反相器電路所構成，如第２Ｂ圖所示，其中，Ｐ－通道型及Ｎ－通道型薄膜電晶體係被組合在一起。

第１０圖所示閘控信號波形之畸變之一主要原因爲：構成緩衝電路２０４之薄膜電晶體之特性（主要關於移動率）係低於所需的特性。

安置在主動矩陣電路２０５上之薄膜電晶體之特性（主要爲移動率之分散）之分散係關於式（１）及式（２）中之Ｉ值之分散。

當構成緩衝電路２０４之薄膜電晶體之移動率高時，第１０圖所示閘控信號波形之畸變可較小。當然，閘控信號波形之畸變之分散亦可較小。

但是，在技術上是很難增加被整體構成在相同基體上之薄膜電晶體之移動率，而仍能維持若干程度的均一性。因此，需要引導指針來指示均一性之程度及移動率之大小。例如，需要此種引導指針來指示相關於其他參數之移動

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

率之大小。

而且，同理，需要引導指針來指示被安置在主動矩陣電路205上之薄膜電晶體之移動率之分散程度（換言之，需要多少人工及成本）。

上述引導指針係由下列式（2）求得。

$$|Vgr| > |(1-Ct))\int Idt| \qquad (2)$$

亦即，在可允許的成本及人工的範圍中，決定薄膜電晶體之製造步驟及條件，以及其尺寸與型式，以滿足上述式（2）。然後，可以實現一具有預定影像品質之主動矩陣型液晶顯示裝置。

例如，滿足式（2）之一方法可爲：構成緩衝電路204之薄膜電晶體之移動率可作選擇性的增大，以使第10圖所示之波形之畸變小。此種情形意謂使式（2）中之dt之積體範圍小，以滿足式（2）。

關於此，使被安排在主動矩陣電路205上之薄膜電晶體之一主動層之大小爲小。另有一種方法，是使其移動率小。此意謂使式（2）之I值小，以滿足式（2）。

藉此，使式（2）之右側小，以便滿足式（2）。當然，依據所需的階度及所使用的液晶材料，式（2）之左側之值是不同的。因此，依據值，需要設定構成緩衝電路204之薄膜電晶體之移動率與構成主動矩陣電路205之薄膜電晶體206之移動率之組合。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（13）

藉此，藉由被安置在周邊驅動電路反主動矩陣電路２０５上之薄膜電晶體之移動率之分散，即可降低對階度顯示之影響。

而且，從式（２）可知，增大輔助電容２０８之值及Ｃｔ之值可有效的減小右側之值。在此情況中，只要將構成緩衝電路２０４之薄膜電晶體之移動率，構成主動矩陣電路２０５之薄膜電晶體２０６之移動率，以及輔助電容２０８之值予以組合，以滿足式（２）即可。

例如，在使主動矩陣區域之面積大的情形中，藉由閘控信號線之電阻及電容即可產生第１０圖所示閘控信號波形之畸變（此亦高度的關於構成閘控信號線之材料）。

在此情形中，無法非常有效的將構成緩衝電路之薄膜電晶體之移動率增大至某一程度或更大。而且，當使用一種具有高電阻值之材料於閘控信號線時，亦會發生類似狀態。

在此情形中，使被安排在主動矩陣區域中之薄膜電晶體２０６之主動層之尺寸小，以減小Ｉ值。明確的說，使通道寬度窄。

此意謂藉由減小通道之截面，即可使上述Ｉ值小。而且，除了減小通道寬度外，縮短通道長度亦爲有效。這是因爲藉由減小通道面積，即可抑制式（１）之Ｃｇｄ之分散之影響。雖然估計由於Ｃｇｄ之分散而造成之影響並非很大，但是基本上最好減小Ｃｇｄ。

爲了減小式（１）之Ｉ值，減小被安置在主動矩陣電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（14）

路２０５上之薄膜電晶體２０６之移動率亦爲有效的。而且，爲了滿足式（２），增大Ｃｔ亦爲有效的。在此情形中，藉由增加輔助電容之值，即可使Ｃｔ之值增大。

但是，如果使被安置在主動矩陣電路２０５上之薄膜電晶體２０６之移動率太小，則無法獲得驅動液晶所需之特性，因此必須對此注意（通常，需要１０ｃｍ^2／Ｖｓ或更大之移動率）。

第一實施例

第３圖及其後諸圖顯示用來，在相同玻璃基體上，構成作爲構成移位暫存器電路２０１及緩衝電路２０５之基本電路之ＣＭＯＳ結構之薄膜電晶體電路如第１圖所示，及被安置在主動矩陣電路之各像素上之薄膜電晶體２０６。

在圖中，左側顯示ＣＭＯＳ電路之製造步驟。右側顯示一被安置在主動矩陣電路上之Ｎ－通道型薄膜電晶體之製造步驟。

以下所述製造步驟中之數值及條件爲典型的，必要時可加以修改或最佳化。亦即，本發明並不限於所述值。

首先，如第３Ａ圖所示，將一作爲底膜５０２且具有一厚度３，０００Å之二氧化矽薄膜構成在一玻璃基體（或石英基體）５０１上。使用一濺射方法作爲一薄膜生長方法。

其次，藉由一電漿ＣＶＤ方法將一厚度爲

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（15）

1，000Å之本質的或實質上本質的傳導型非晶矽薄膜503成型在底膜502上。可使用一低壓熱CVD方法爲一薄膜生長方法。在此方法中，獲得第3A圖所示之狀態。其次，藉由實施熱處理非晶矽薄膜503結晶。使用雷射光照射，燈退火韌化，以及此種方法與熱處理之組合方法，作爲結晶之方法。

雖然詳述在另一實施例中，但藉由選擇的實施雷射光照射，即可選擇的控制各電路所需薄膜電晶體之移動率。

本發明之晶矽薄膜爲一具有較高次序之晶體結構之矽薄膜，其可藉由施加熱處理或雷射光照射於一非晶矽薄膜上而獲得。另有一種，晶矽薄膜爲一具有較一非晶矽薄膜爲高的次序的晶體結構之矽薄膜。一種通常稱爲多晶矽薄膜或細晶矽薄膜之矽薄膜，亦包含在本發明晶矽薄膜之種類中。

在非晶矽薄膜503結晶後，藉由實施圖型形成，即可構成島狀區域504，505及506（第3B圖）。

在第3B圖中，區域504稍後變成一P－通道型薄膜電晶體之主動層，此薄膜電晶體構成CMOS電路。區域505稍後變成一構成CMOS電路之N－通道型薄膜電晶體之主動層。區域506稍後變成一N－通道型薄膜電晶體之主動層，此薄膜電晶體係設在一像素矩陣電路上。依此方法，獲得第3B圖所示之狀態。

在圖中，爲了畫圖之理由，雖然各主動層均顯示爲相同大小，但是薄膜電晶體之移動率可藉由改變通道寬度或

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（16）

通道長度而加以實質上的控制。通常，依據所需的特性，來決定薄膜電晶體之尺寸及形狀。亦即，使被安置在主動矩陣電路上之薄膜電晶體（見第6圖）之主動層506之寬度（通道寬度）儘可能的狹窄，以減小式（2）之I值，此主動矩陣電路係顯示在圖之右側。再者，爲減小Cgd，使通道長度儘可能的狹窄。

而且，設定構成CMOS電路之主動層504及505，以使通道寬度變成儘可能的寬，此CMOS電路構成緩衝電路（以第1圖之204表示）。藉此，即可改善構成緩衝電路之薄膜電晶體之ON－狀態電流特性，並抑制閘控信號電壓之波形之畸變。

其次，藉由濺射方法來成型一構成閘極之具有厚度5,000Å之鋁薄膜507。製備0.1至0.2重量百分比之釹或釔，以便併入鋁薄膜507。這是用來在稍後步驟中抑制小丘或鬚之成型（第3C圖）。

小丘或鬚爲針狀或刺狀突起，係由於加熱而造成鋁之異常生長所形成的。

在鋁薄膜507生長後，成型一具有稠密薄膜品質之陽極氧化薄膜508。具有稠密薄膜品質之陽極氧化薄膜508之成型係在一含有3%酒石酸作爲電解溶液之乙二醇溶液中實施的。

亦即，在此電解溶液中，一陽極氧化電流係藉由作爲一陽極之鋁薄膜507及作爲一陰極之鉑而流入，以便形成陽極氧化薄膜508。陽極氧化薄膜508之膜厚爲大

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（17）

約１００Å。陽極氧化薄膜５０８之膜厚係藉由控制所施加之電壓來調定。

陽極氧化薄膜５０８用來改進一抗蝕罩之膠黏性，此抗蝕罩係在隨後步驟中安置的。

依此方法，獲得第３Ｃ圖所示之狀態。其次，如第４Ａ圖所示，安置抗蝕罩５１５，５１６及５１７。然後，將鋁薄膜５０７施以圖型形成（見第３Ｃ圖）。此時，如果陽極氧化薄膜５０８（見第３Ｃ圖）之膜厚爲厚時，鋁薄膜５０７之圖型形成變成困難，因而必須注意。

在第４Ａ圖中，５０９，５１１及５１３代表鋁圖型，作爲閘極之基座。５１０，５１２及５１４代表陽極氧化薄膜，具稠密薄膜品質，保持在鋁圖型上。

在獲得第４Ａ圖所示狀態後，再實施陽極氧化。此時，成型多孔陽極氧化薄膜５１８，５１９及５２０（第４Ｂ圖）。

在此步驟中，使用一含有３％草酸之溶液。在此電解溶液中，陽極氧化係利用鋁圖型５０９，５１１及５１３爲一陽極及鉑爲一陰極來實施的。

在此步驟中，由於已有抗蝕罩５１５，５１６及５１７以及稠密的陽極氧化薄膜５１０，５１２及５１４存在，因此陽極氧化薄膜係在鋁圖型５０９．５１１及５１３之側面上進行。

在此方法中，多孔陽極氧化薄膜係成型在註號５１８，５１９及５２０所表示之部分上。多孔陽極氧化薄膜之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（18）

膜厚係藉由陽極氧化時間來控制。

此時，成型多孔陽極氧化薄膜５１８，５１９及５２０爲厚度５，０００Å。多孔陽極氧化薄膜係在稍後成型低濃度雜質區（ＬＤＤ區）時使用。

在獲得第４Ｂ圖所示狀態後，利用一獨特的去皮液將抗蝕罩５１５，５１６及５１７予以去除。然後，在構成一具有稠密薄膜品質之陽極氧化薄膜的條件下再實施陽極氧化。

因此，成型具有稠密薄膜品質之陽極氧化薄膜５１，５２及５３。此時，陽極氧化薄膜５１，５２及５３係在它們與先前成型的陽極氧化薄膜５１０，５１２及５１４（第４Ｃ圖）構成整體的情況下被成型。

在此步驟中，由於電解溶液侵入多孔陽極氧化薄膜５１８，５１９及５２０之內面，因此具有稠密薄膜品質之陽極氧化薄膜５１，５２及５３係被成型爲第４Ｃ圖中之註號５１，５２及５３所示狀態。

具有稠密薄膜品質之陽極氧化薄膜５１，５２及５３之膜厚爲１，０００Å。陽極氧化薄膜５１，５２及５３具有一功能：電及機械的保護閘極之表面（及從此延伸之閘極配線）。特別是，薄膜具有改進電絕緣及抑制小丘或鬚的型式的功能。

在第４Ｃ圖所示步驟中，界定Ｐ－通道型薄膜電晶體之一閘極５２１及Ｎ－通道型薄膜電晶體之閘極５２２及５２３。在達到第４Ｃ圖所示狀態後，植入Ｐ（磷）離子

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

。在此步驟中，P離子係依一劑量植入以構成源極及汲極區。P離子植入係藉由一習知電漿摻雜方法來實施（第5A圖）。

在此步驟中，將具有一較高濃度之P離子植入區域524，526，527，529，530及532內。在此步驟中之劑量爲$1\times10^{15}/cm^2$。離子加速電壓爲80kV。

在第5A圖中所示P離子植入步驟中，P離子未被植入區域525，528及531內。因而，保持本質的或實質上本質狀態。

在結束第5A圖所示P離子植入後，利用一種磷酸，醋酸及硝酸之混酸，將多孔陽極氧化薄膜518，519及520予以選擇的移除。

然後，如第5B圖所示，再實施P離子植入。在此步驟中，P離子植入係依一低於第5A圖之步驟中之劑量的劑量實施。此時，劑量爲$0.5\sim1\times10^{14}/cm^2$。離子之加速電壓爲70kV。

由於此步驟的緣故，各區域533，535，536，538，539及541變成N－型（弱N－型）區域。這些區域變成低濃度雜質區域，其內加入有濃度低於各區域524，526，527，529，530及532（第5B圖）者之P離子。

恰在閘極521，522及523之下的各區域534，537及540係被界定爲通道構成區域。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（20）

嚴格說來，偏置閘極區域係成型在通道構成區域534，537及540之兩側，具有稠密薄膜品質之陽極氧化薄膜51，52及53之膜厚，且依第4C圖之步驟被成型。但是，在此實施例中，由於陽極氧化薄膜51，52及53之膜厚約爲1，000Å，因此偏置閘極區域未顯示於圖中。

在結束第5B圖所示雜質離子植入後，如第6A圖所示，安置一抗蝕罩542，及在此時植入B（硼）離子。

藉由植入B離子，則各區域543，544，545及546之傳導性即可從N型轉換成P型。此時，B離子之劑量爲$2\times10^{15}/cm^2$。加速電壓爲60kV。

在結束第6A圖所示B離子植入後，將抗蝕罩542予以去除。實施KrF激發物（excimer）雷射照射整個結構，以將注入有雜質離子之區域予以退火韌化，並激活注入的雜質離子。在此方法中，構成CMSO電路之P－通道型及N－通道型薄膜電晶體，係與被安置在主動矩陣區域內之N－通道型薄膜電晶體同時構成。

如第7A圖所示，構成一內層絕緣薄膜551。內層絕緣薄膜551係由二氧化矽薄膜製成。除了二氧化矽薄膜外，亦可使用四氮化三矽薄膜與二氧化矽薄膜之疊層薄膜，或二氧化矽薄膜或四氮化三矽薄膜與樹脂薄膜之疊層薄膜。

在構成內層絕緣薄膜551之後，成型一接觸孔。構成P－通道型薄膜電晶體之源極552及汲極553，以

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（21）

及N－通道型薄膜電晶體之汲極553與源極554。

在此方法中，構成由P－通道型薄膜電晶體與N－通道型薄膜電晶體互補組成的CMOS電路。

又，在此同時，構成一源極555（通常係藉由從一影像信號線（源極信號線）延伸來設置成一矩陣構造），及一汲極556，以便完成被安置在主動矩陣電路內之N－通道型薄膜電晶體。

在獲得第7A圖所示狀態後，構成一第二內層絕緣薄膜557。然後，成型一接觸孔，及構成一由ITO所製成之像素電極558。然後，在氫氣氛中，在350℃實施熱處理1小時，以補整主動層上之缺陷。在此方法中，主動矩陣電路（像素矩陣電路）及周邊驅動電路可同時構成。

在獲得第7B圖所示狀態後，成型一摩擦薄膜（未示），並實施一習知摩擦處理。將第7B圖所示基體黏合於一分別製備的相對基體，並將一液晶注入兩者之間。在此方法中，完成了與周邊驅動電路整體構成的主動矩陣型液晶顯示裝置。

第二實施例

此實施例顯示一基於第一實施例所示製造步驟，供各別使用之主動矩陣型液晶顯示裝置之製造步驟。

在此實施例中之一目標裝置爲一小型液晶顯示裝置，具有一大小爲對角斜線5吋或較小。當然，假定此液晶顯

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（22）

示裝置具有一結構，其中整合有一周邊驅動電路。而且，假定具有一低電阻之鋁係供作閘極配線。

而且，在此實施例所示結構中，基本結構係與第1圖所示者相同。薄膜電晶體之製造步驟亦與第3圖及其後諸圖所示者相同。當製造此實施例中所示結構時，由於閘極配線電阻與電容之影響所造成之波形14之畸變（如第10圖所示）不會變成一非常嚴重的問題。

因此，爲了滿足式（2）所示不等式，有效的量使構成緩衝電路（第1圖中之204）之薄膜電晶體之移動率儘可能的大。

在此實施例中，爲了增大構成緩衝電路之薄膜電晶體之移動率，在第3A圖所示步驟中，對周邊驅動電路，尤其僅對安置有緩衝電路之區域實施以雷射光照射的退火韌化。

藉此，即可選擇的改進構成緩衝電路之薄膜電晶體之結晶薄膜之結晶性。

就雷射而言，有效的是使用一KrF激發物雷射（波長248nm）或一XeCl激發物雷射（波長308nm）。再者，使用一線性整形的光束爲一雷射光，且構成緩衝電路之薄膜電晶體亦製成具有一線性安排的圖型。其被設計成一脈波照射可同時退火韌化被線性安置的薄膜電晶體之區域。尤其，在此實施例中，由於基體小，因此線性雷射光被集中以增大均一性。

藉此，可增大構成緩衝電路之薄膜電晶體之移動率，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（23）

及減小特性之分散。

在此方法中，式（２）之ｄｔ之積體範圍係成狹窄的，而ｄｔ本身之分散係成小的。

另一方面，在被安置在主動矩陣區域內之薄膜電晶體中，使用一藉由熱處理成型的晶矽薄膜，雖移動率小，但分散亦小。再者，使通道面積儘可能的小，使式（２）之Ｃｇｄ之分散之影響小，並使Ｉ之值小。尤其，利用在其中注意薄膜品質之均一性之薄膜成型條件之下成型的非晶矽薄膜，更藉由實施熱處理而仍然注意加熱之均一性，即可致力於壓制主動矩陣區域中之結晶性之分散使之儘可能的小。

在此方法中，結構滿足上述式（２）。當然，此結構亦滿足式（３）。

第三實施例

此實施例顯示另一製造第二實施例中所示之一主動矩陣型液晶顯示裝置之方法。

在整合有一周邊驅動電路主動矩陣結構係藉由第二實施例來實現的情況中，需要一可實施穩定的振盪的雷射照射裝置。

目前，激發物雷射裝置係在實驗階段，價格高昂。又，其具有穩定度等之問題。又，其在維修上無法達到一滿意的水準。況且，具有需要人工來找尋最適合的照射條件的問題。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（24）

因此，本實施例之結構具有Ct值大的特徵，因此可滿足式（2）之不等式。

在此種情況中，爲了增加輔助電容之值，需要設計輔助電容之安置過程。然後，在此實施例中，將主動矩陣區域製成如第8及9圖所示之結構。第8圖顯示一沿第9圖之A－A′線之剖面。

第8及9圖所示結構爲一基體之局部，在其側面上設有主動矩陣電路。第8及9圖顯示一相當於單一像素之部分。

在第8及9圖中，一薄膜電晶體係成型在一部分103上。101代表一玻璃基體。102代表一構成一底膜之二氧化矽薄膜。薄膜電晶體之一主動層係由區域104，107，105，108及106所組成。此主動層係由一晶矽薄膜所構成，此晶矽薄膜係藉由加熱一非晶矽薄膜而結晶。

在主動層中，104代表一源極區域，107及108代表偏置閘極區域，105代表一通道形成區域，及106代表一汲極區域。

109代表一作爲閘極絕緣薄膜之二氧化矽薄膜。110代表一含有鋁爲主要組件之閘極。閘極110係從閘極配線延伸，此閘極配線係被安置成矩陣構造。

111代表一陽極氧化薄膜，係藉由陽極氧化來構成，使用鋁爲一陽極。偏置閘極區域107及108係構成爲其厚度與陽極氧化薄膜111之厚度一致。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（25）

為了構成有效運作之偏置閘極區域１０７及１０８，需要將陽極氧化薄膜１１１製成其膜厚為大約大於２，０００Å。

１１２代表一第一內層絕緣薄膜，係以二氧化矽薄膜製成。１１３代表一來自源極區域１０４之引線電極。１１５代表一來自汲極１０６之引線電極，係由鈦所製成，且被連於ＩＴＯ電極１１８，此ＩＴＯ電極變成一像素電極。１１４代表一第二內層絕緣薄膜，而１１７代表一第三內層絕緣薄膜。

１１６代表鈦電極，亦當作一黑矩陣。除了鈦，亦可使用鉻或其同類者。此鈦電極１１６係用來疊置在像素電極１１８之周邊部上，以當作一黑矩陣（ＢＭ）。鈦電極１１６係與引線電極１１５同時成型。

其中鈦電極１１６與像素電極１１８相互疊置一起的區域，變成一輔助電容。亦即，在部分１１９及１２０上，像素電極１１８與鈦電極１１６經由第三內層絕緣薄膜１１７而構成電容。由於絕緣薄膜１１７係成薄的，因此可使電容大。

在此，絕緣薄膜１１７係由四氮化三矽薄膜所製成，膜厚為３００Å。四氮化三矽薄膜具有一大的相對介質常數約為6。因此，可使式（２）之Ｃｔ所示電容大。大體而言，時常作為一絕緣薄膜之二氧化矽薄膜之相對介質常數約為４。

四氮化三矽薄膜可製成具有稠密薄膜品質。因此，即

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（26）

使厚度爲薄的，亦可避免由於具有針孔而造成電極間之短路的問題。

鈦電極１１６係被安置成可覆蓋薄膜電晶體１０３之大部分。此種安置可使操作免於受到照射至薄膜電晶體的影響。

亦可作爲ＢＭ之電極１１６與像素電極１１８之間的重疊程度，係決定爲可滿足由式（２）所示不等式求得的Ｃｔ之值。在此種情況中，可首先決定薄膜電晶體之特性，然後依據式（２）來計算Ｃｔ之值。

第四實施例

此實施例係關於一種技術，用來製造一主動矩陣電路及一周邊驅動電路，具有薄膜電晶體具有不同結晶性，以滿足式（２）所示不等式。

式（２）表示：當被安置在主動矩陣電路內之薄膜電晶體之移動率爲小，而周邊驅動電路，特別是緩衝電路之移動率爲大時，可有效的降低施加於液晶上之電壓之分散。

爲了實現上述結構，一具有一較低結晶性之矽薄膜係成型在主動矩陣區域內，而一具有一較高結晶性之矽薄膜則成型在周邊驅動電路區域內。

在此實施例中，成型在周邊驅動電路區域（緩衝電路區域）內之晶矽薄膜，係利用金屬元素來成型，以便促進矽之結晶，而成型在主動矩陣電路區域內之晶矽薄膜則不

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（27）

利用上述金屬元素來成型。

明確的說，在第３Ａ圖所示狀態中，除了那些其中成型有構成周邊驅動電路之薄膜電晶體的區域外，其他區域係以二氧化矽薄膜或其同類者來掩蔽，並依此狀態來施加一含有用來促進矽之結晶之金屬元素之溶液。

藉由實施熱處理，即可使非晶矽薄膜５０３結晶。例如，在６４０℃實施熱處理２４小時。然後，其中引入有金屬元素之區域具有較高結晶性，而其中未引入金屬元素之區域則具有較低結晶性。

亦即，在主動矩陣區域內，薄膜電晶體係以具有較低結晶性之晶矽薄膜來構成，而在周邊驅動電路區域內，薄膜電晶體可以具有較高結晶性之晶矽薄膜來構成。

藉此，構成周邊驅動電路之薄膜電晶體之移動率大，而構成主動矩陣區域之薄膜電晶體之移動率小。

使用鎳（Ｎｉ）爲一金屬元素，用來促進矽之結晶。可使用醋酸鎳之溶液爲一含有Ｎｉ之溶液。所引入Ｎｉ之量可藉由調節溶液中之鎳濃度來控制。

使用溶液之方法係爲有效的控制金屬元素之引入量，及確保引入量之均一性。

藉由使用本說明書中所揭露的發明，即可決定其中集中實施一技術的部分的優先次序。由於其中集中實施一技術的部分清楚，因此可以低成本及高複製性製成一主動矩陣型顯示裝置。

在本說明書中業已主要的揭露有主動矩陣型液晶顯示

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（28）

裝置。但是，在本說明書中所揭露的發明亦可適用於一具有其他使用薄膜電晶體之主動矩陣型的平板顯示。例如，本發明可適用於一與一周邊驅動電路整體構成，且使用EL型光發射元件之主動矩陣顯示裝置。

一底閘極型結構，其中閘極係在基體之側面上，可供作薄膜電晶體之結構。

圖面之簡單說明

第1圖爲一示意圖，顯示一種結構，其中一主動矩陣電路與一周邊驅動電路係被整體構成。

第2A及2B圖顯示各電路之一結構。

第3A至3C圖爲示意圖，顯示同時製造一主動矩陣電路與一周邊驅動電路之步驟。

第4A至4C圖爲示意圖，顯示同時製造主動矩陣電路與周邊驅動電路之步驟。

第5A至5B圖爲示意圖，顯示同時製造主動矩陣電路與周邊驅動電路之步驟。

第6圖爲一示意圖，顯示同時製造主動矩陣電路與周邊驅動電路之步驟。

第7A至7B圖爲示意圖，顯示同時製造主動矩陣電路與周邊驅動電路之步驟。

第8圖爲一剖面圖，顯示一主動矩陣電路之一像素部分。

第9圖爲一頂視圖，顯示主動矩陣電路之一像素部分

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（29）

第１０圖爲一示意圖，顯示一主動矩陣電路中之驅動波形。

第１１圖爲一示意圖，顯示用來驅動一在一主動矩陣電路上之薄膜電晶體之波形。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

418431

A5
B5

四、中文發明摘要（發明之名稱：主動矩陣電光裝置）

在一主動矩陣顯示裝置中，此裝置係與一使用薄膜電晶體之周邊驅動電路整體成型，當Ｖｇｒ爲單一階度所需之一電壓，Ｃｔ爲總像素之電容，Ｃｇｄ爲一閘極與一汲極間之電容△Ｖｇ爲ＯＮ／ＯＦＦ閘極電壓之間的一差值，及△Ｖｓ爲一饋通電壓時，各參數即可滿足一式：｜Ｖｇｒ｜＞｜（１／Ｃｔ）〔Ｃｇｄ·△Ｖｇ－Ｃｔ·△Ｖｓ〕｜。據此，即使一緩衝電路或一主動矩陣電路中所安置之薄膜電晶體之特性發生分散，亦可防止分散影響階度顯示。

英文發明摘要（發明之名稱：）

In an active matrix display device integrated with a peripheral drive circuit using thin film transistors, when Vgr is a voltage required for one gradation, Ct is capacitance of all pixels, Cgd is capacitance between a gate and a drain, ΔVg is a difference between ON/OFF gate voltages, and ΔVs is a feedthrough voltage, the respective parameters satisfy an expression: |Vgr| > |(1/Ct)[Cgd•ΔVg - Ct•ΔVs]|. According to this, even if dispersion occurs in the characteristics of the thin film transistors arranged for a buffer circuit or an active matrix circuit, it is possible to prevent the dispersion from influencing the gradation display.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

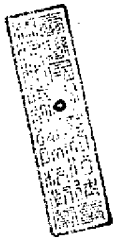
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1．一種主動矩陣電光裝置包含被安置成矩陣構造之像素電極，及安置在各像素電極上之薄膜電晶體，

其中當Vgr爲單一階度所需之一電壓，Ct爲總像素之電容，Cgd爲一閘極與一汲極間之電容，△Vg爲ON／OFF閘極電壓之間的一差值，及△Vs爲一饋通電壓時，各參數即可滿足一式：

$$|Vgr| > |(1/Ct)[Cgd \cdot \triangle Vg - Ct \cdot \triangle Vs|$$



2．一種主動矩陣電光裝置包含：

一主動矩陣電路包括被安置成一矩陣構造之像素電極，及安置在各像素電極上之薄膜電晶體；及

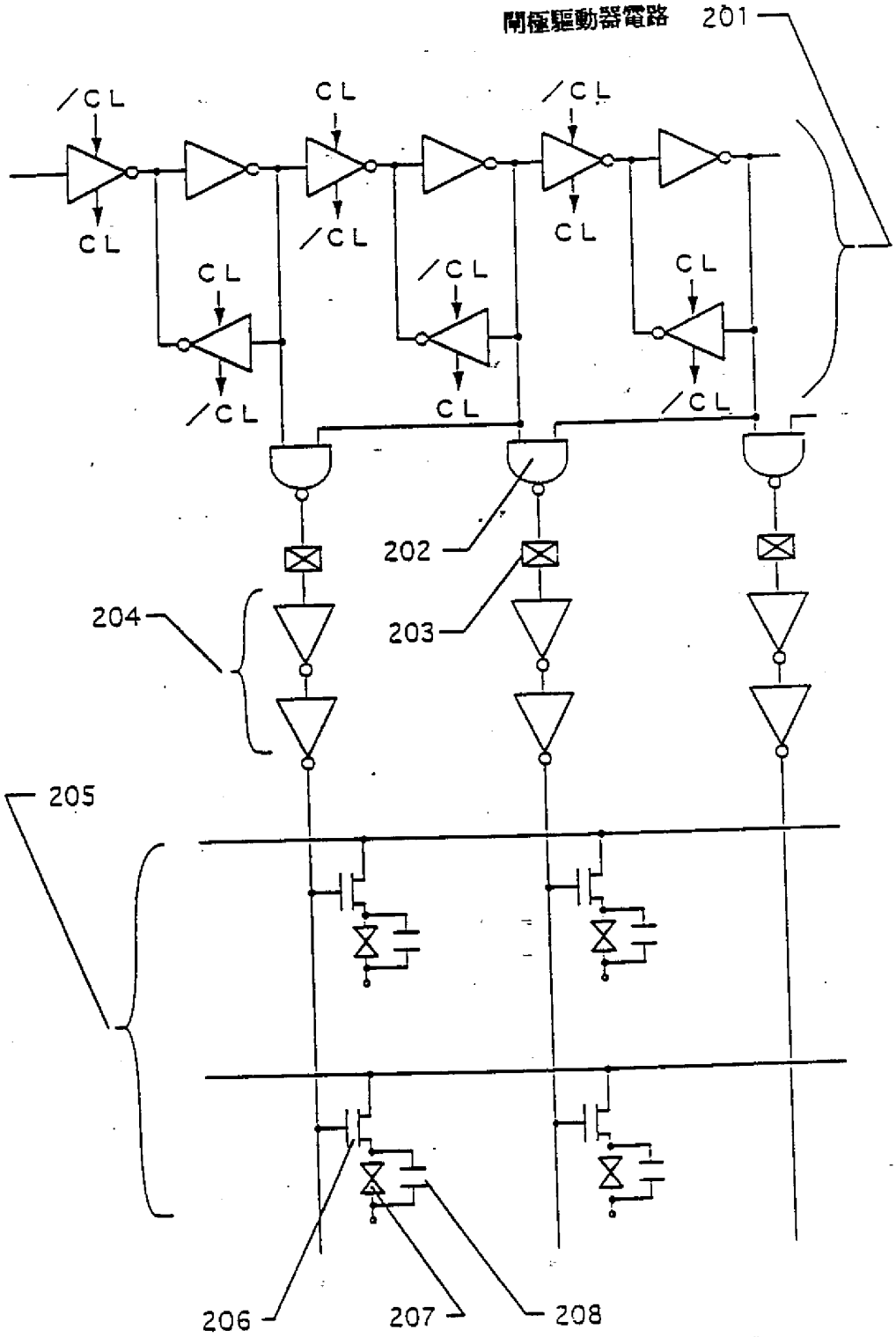
一由薄膜電晶體所構成之周邊驅動電路，用來驅動主動矩陣電路，

其中當Vgr爲單一階度所需之一電壓，Ct爲總像素之電容，Cgd爲一閘極與一汲極間之電容，△Vg爲ON／OFF閘極電壓之間的一差值，及△Vs爲一饋通電壓時，各參數即可滿足一式：

$$|Vgr| > |(1/Ct)[Cgd \cdot \triangle Vg - Ct \cdot \triangle Vs|$$

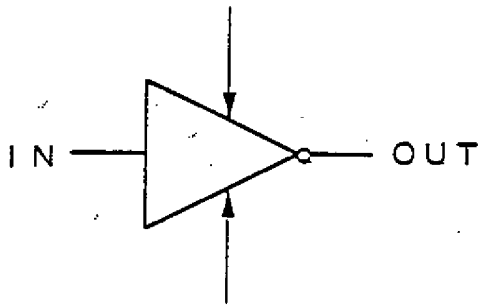
且其中一用來驅動一閘控信號電壓之周邊驅動電路之薄膜電晶體之移動率係大於一被安置在主動矩陣電路內之薄膜電晶體之移動率。

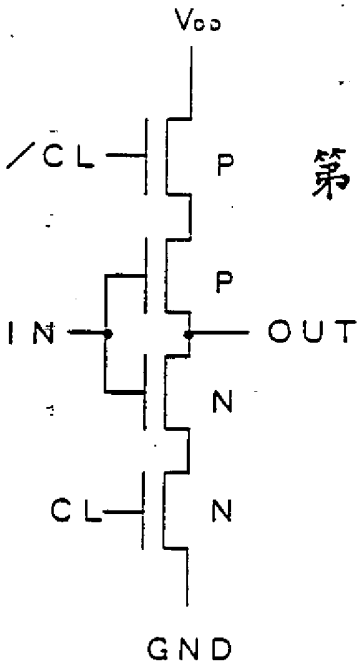
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製



第 1 圖

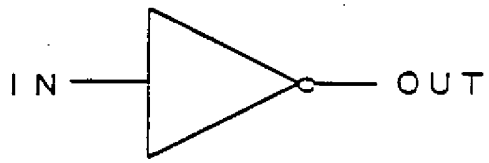
定時反相器

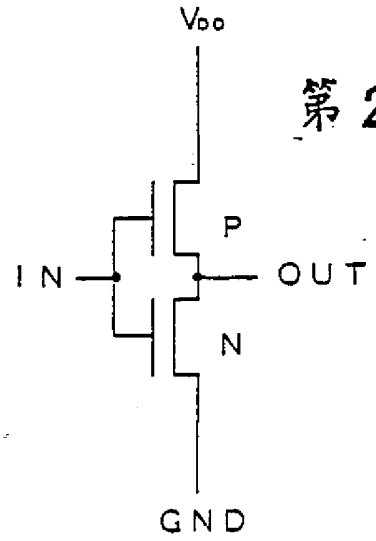




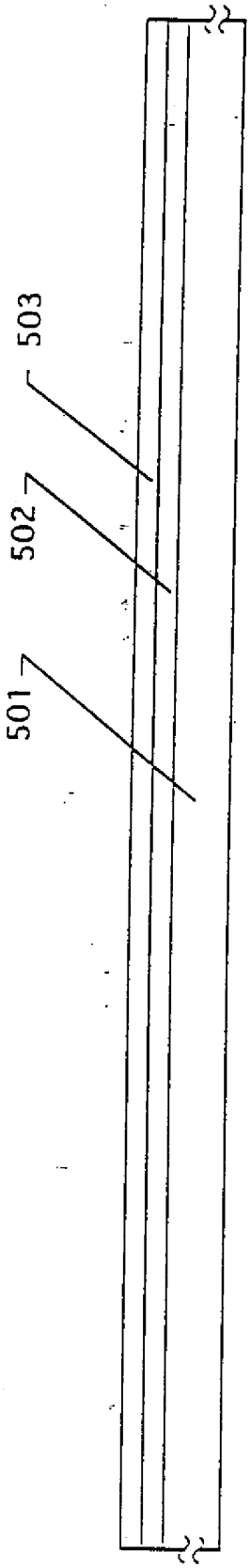
第 2 圖A

反相器

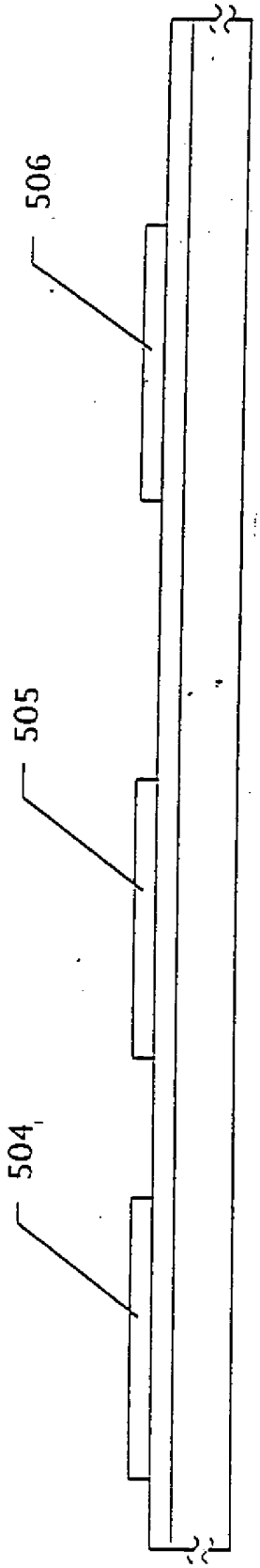




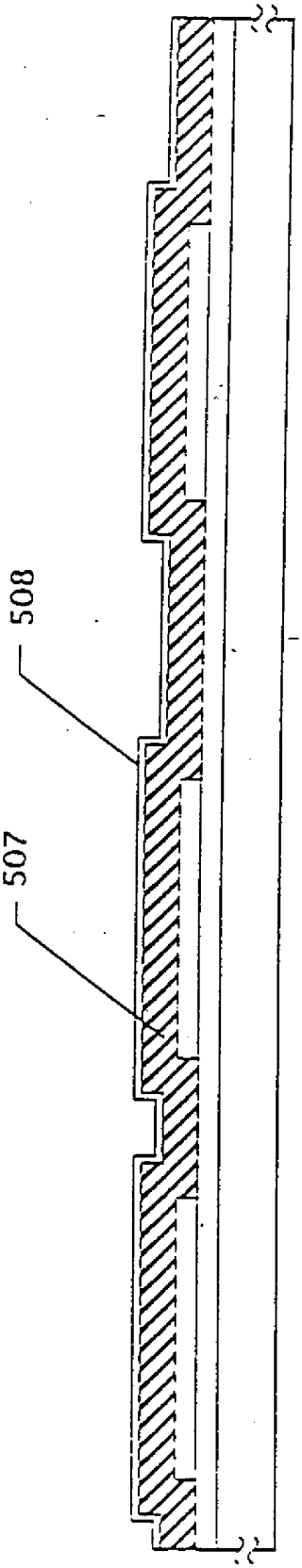
第 2 圖B



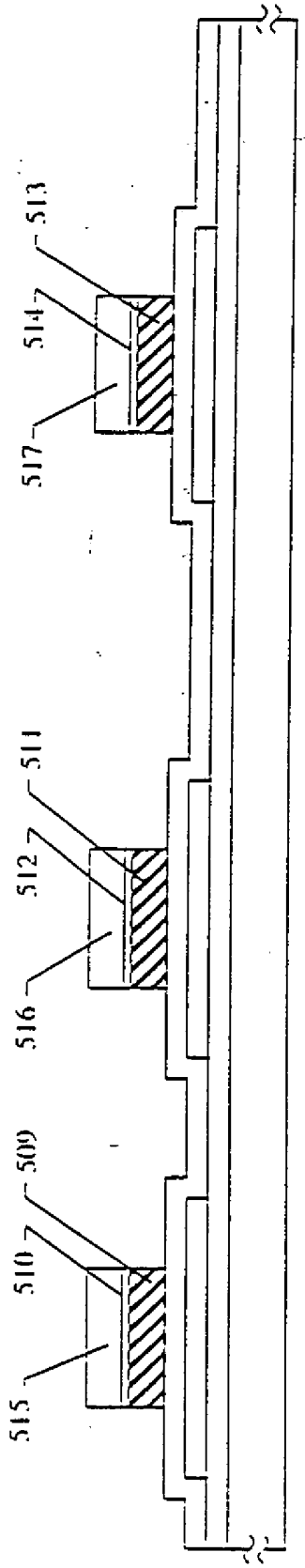
第3圖A



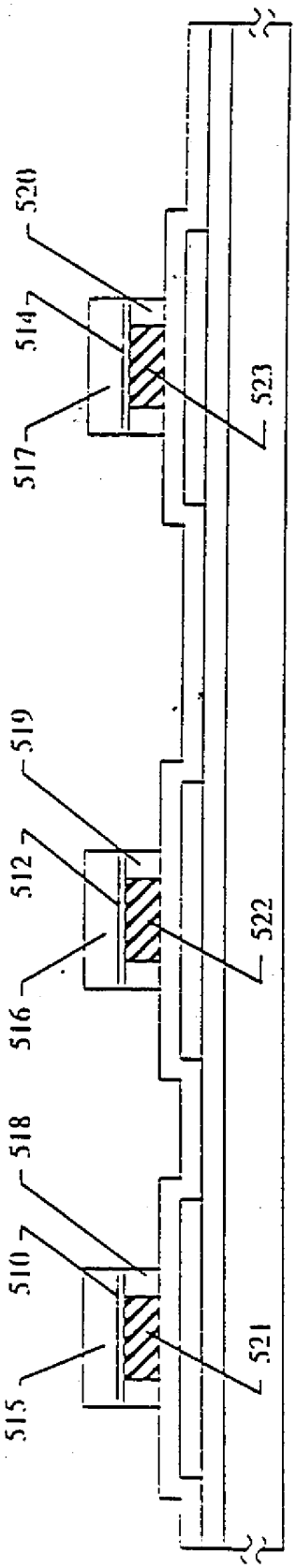
第3圖B



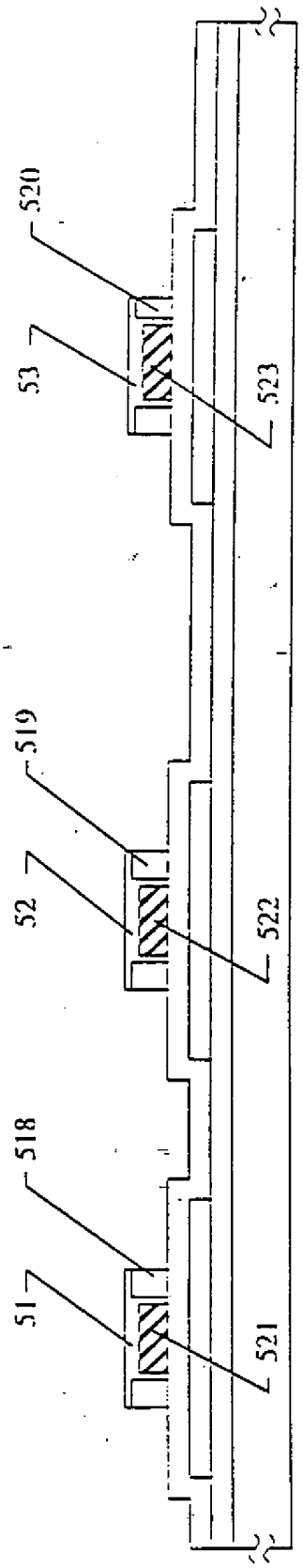
第3圖C



第4圖A

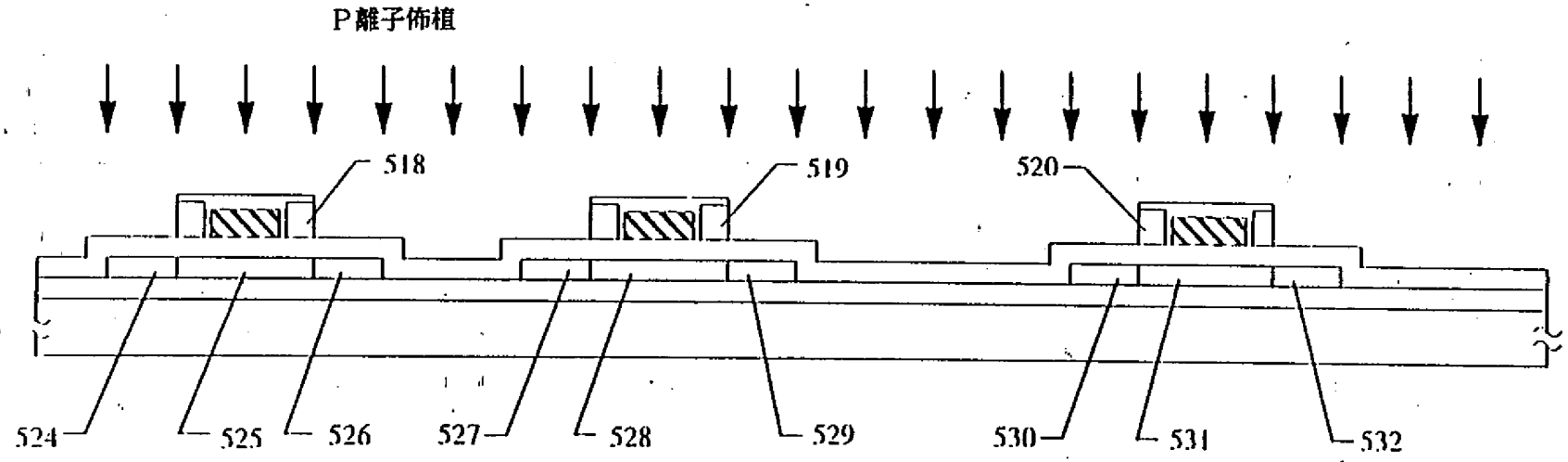


第4圖B

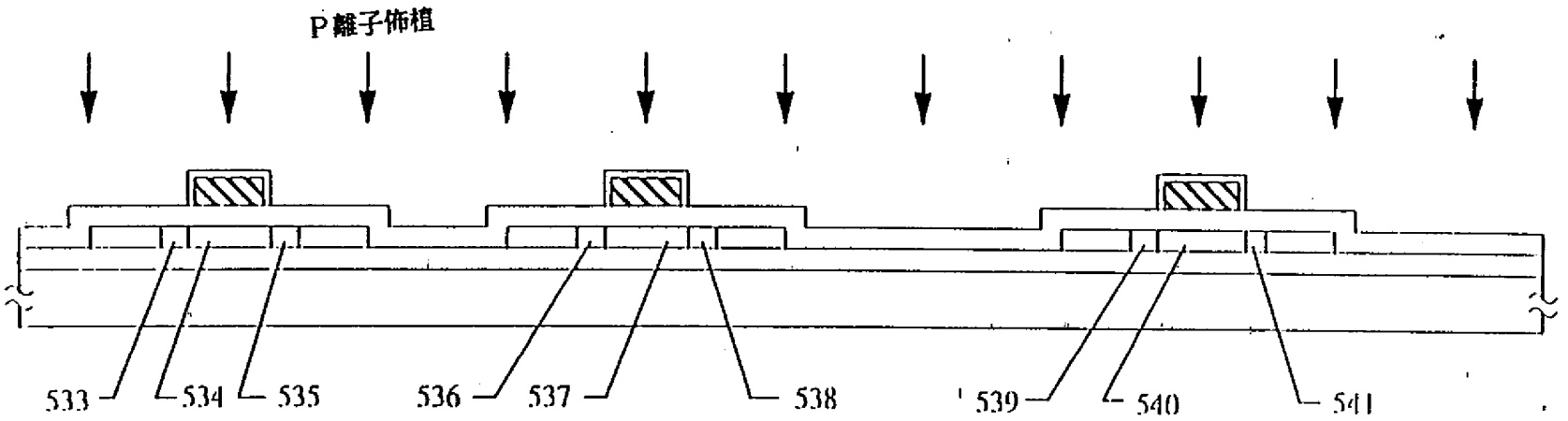


第4圖C

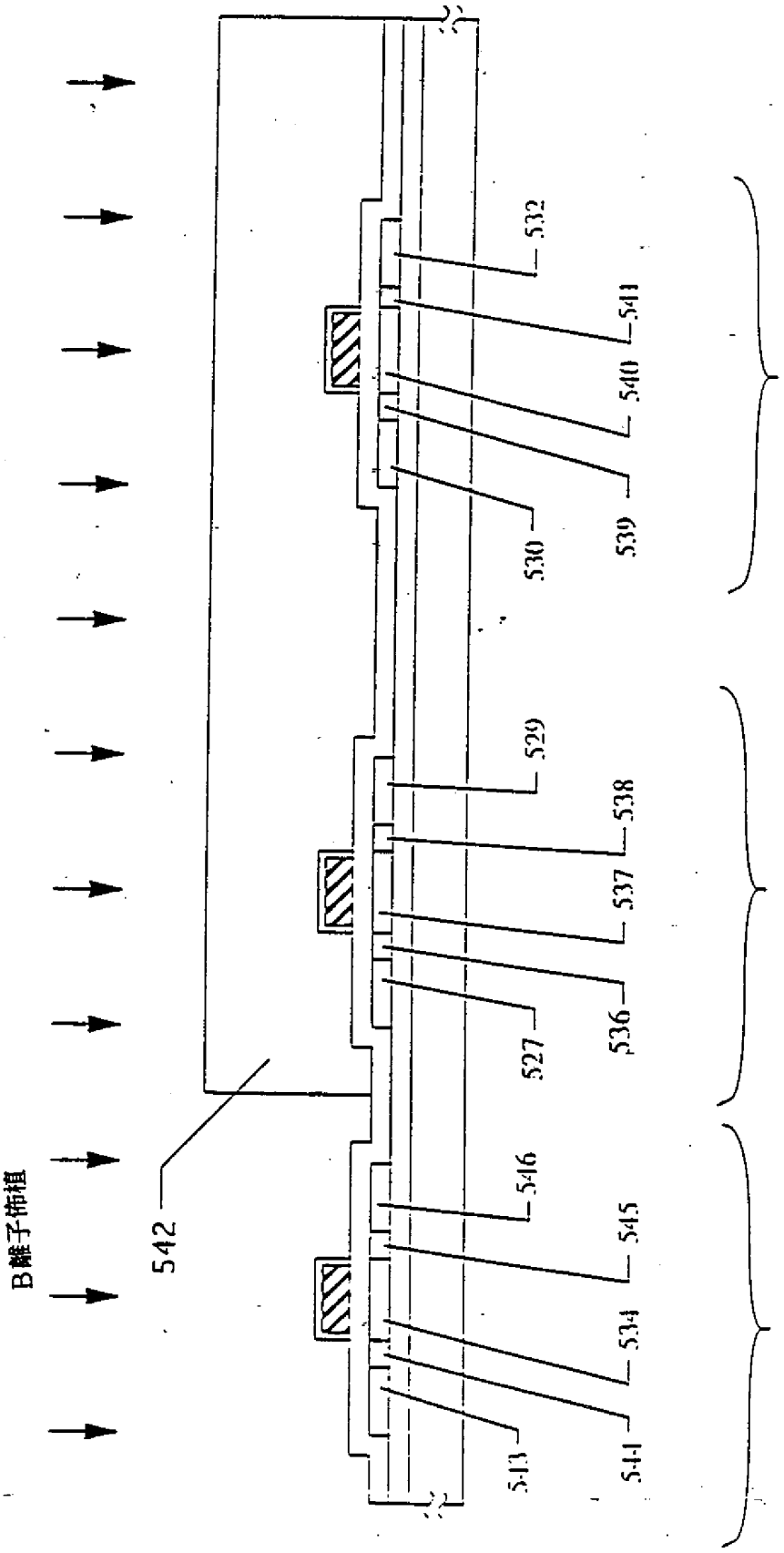
第5圖A

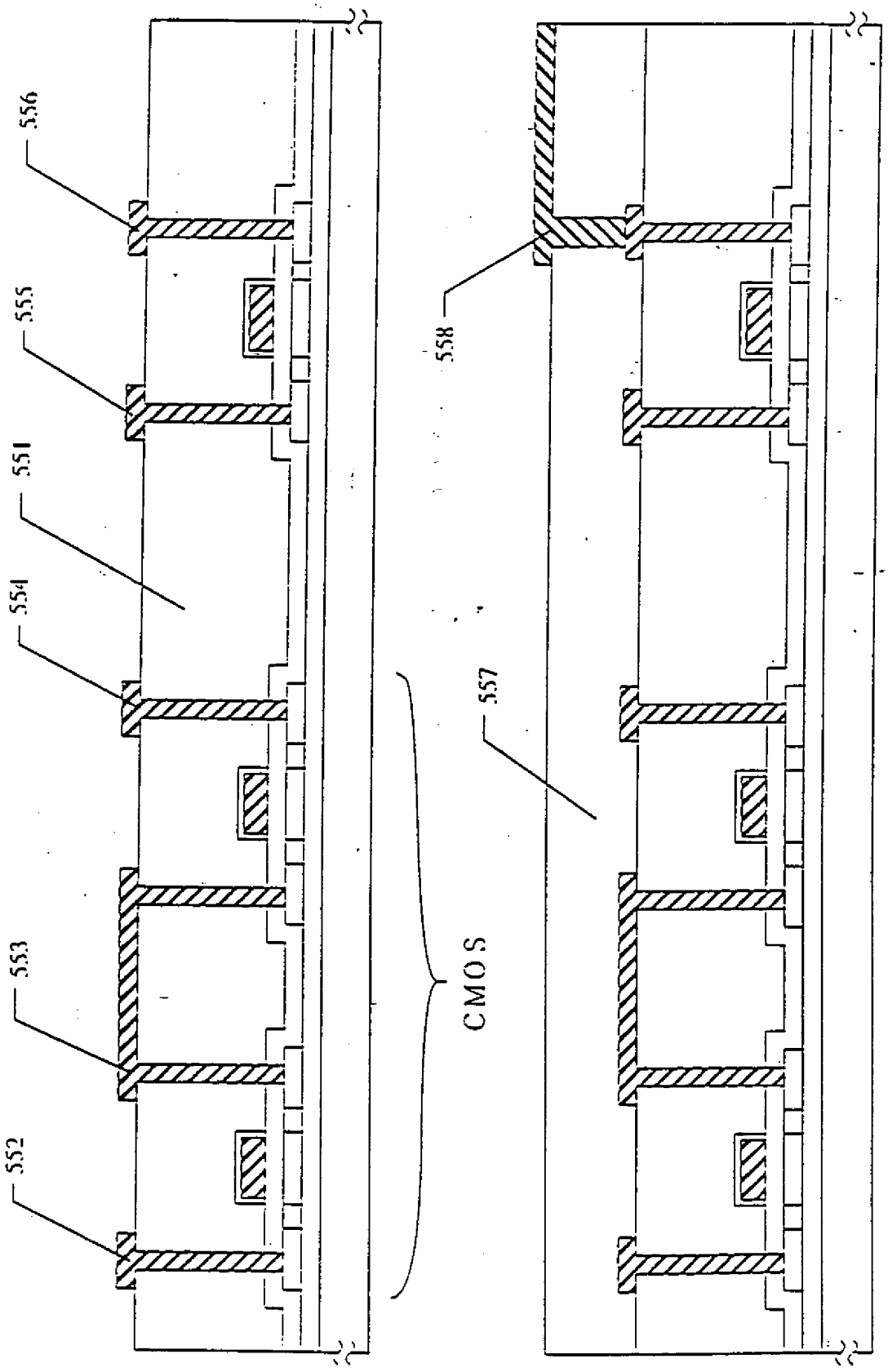

P離子佈植
518
519
520
524
525
526
527
528
529
530
531
532

第5圖B


P離子佈植
533
534
535
536
537
538
539
540
541

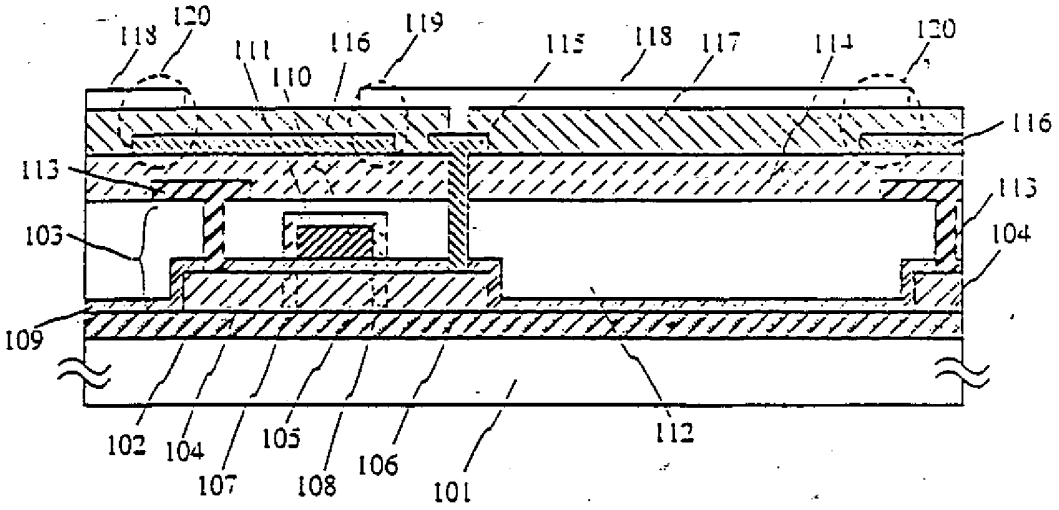
第6圖


B離子佈植
542
532
541
540
539
530
529
538
537
536
527
516
545
534
513
541

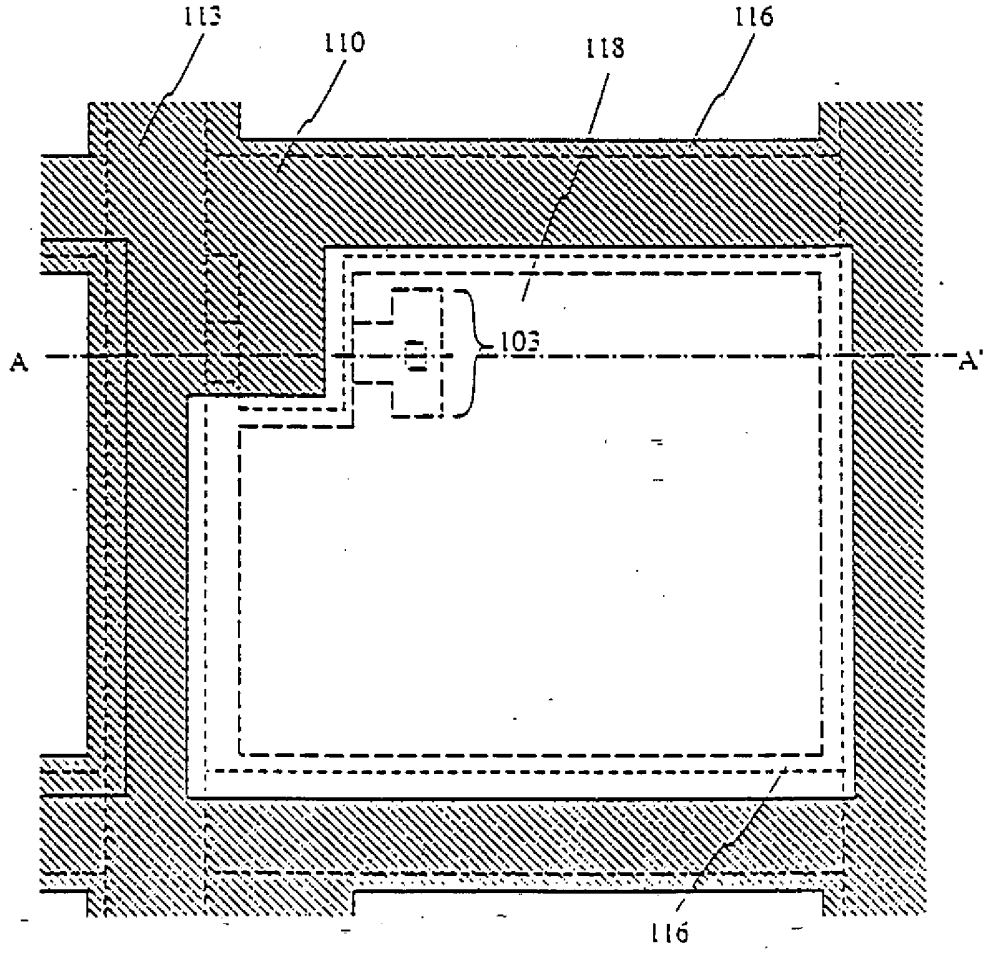


第7圖A　第7圖B

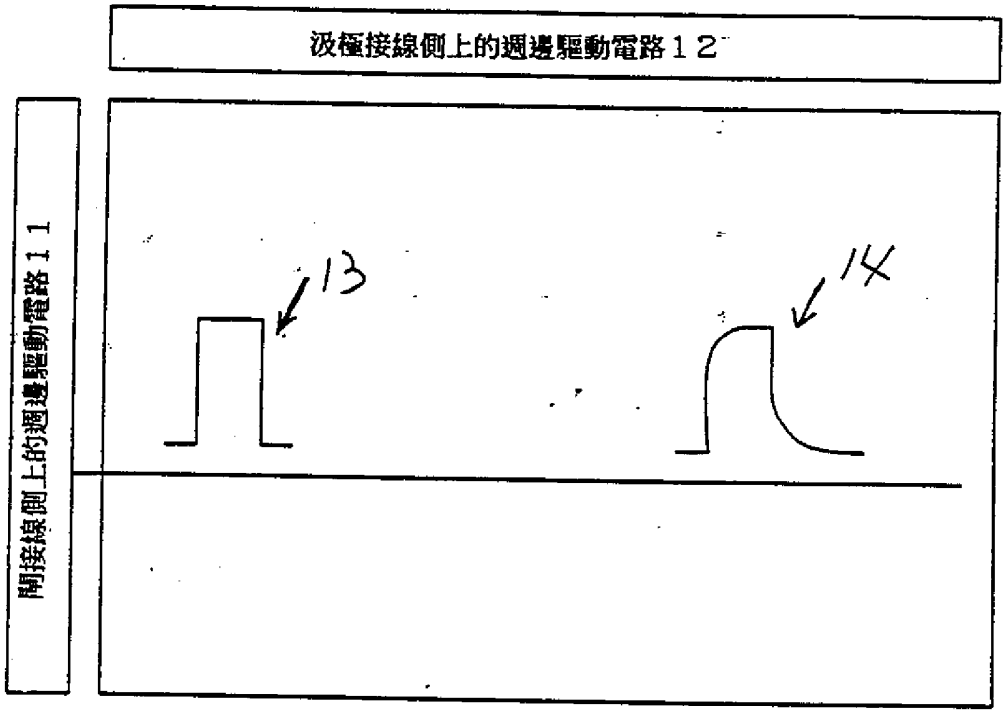
第 8 圖

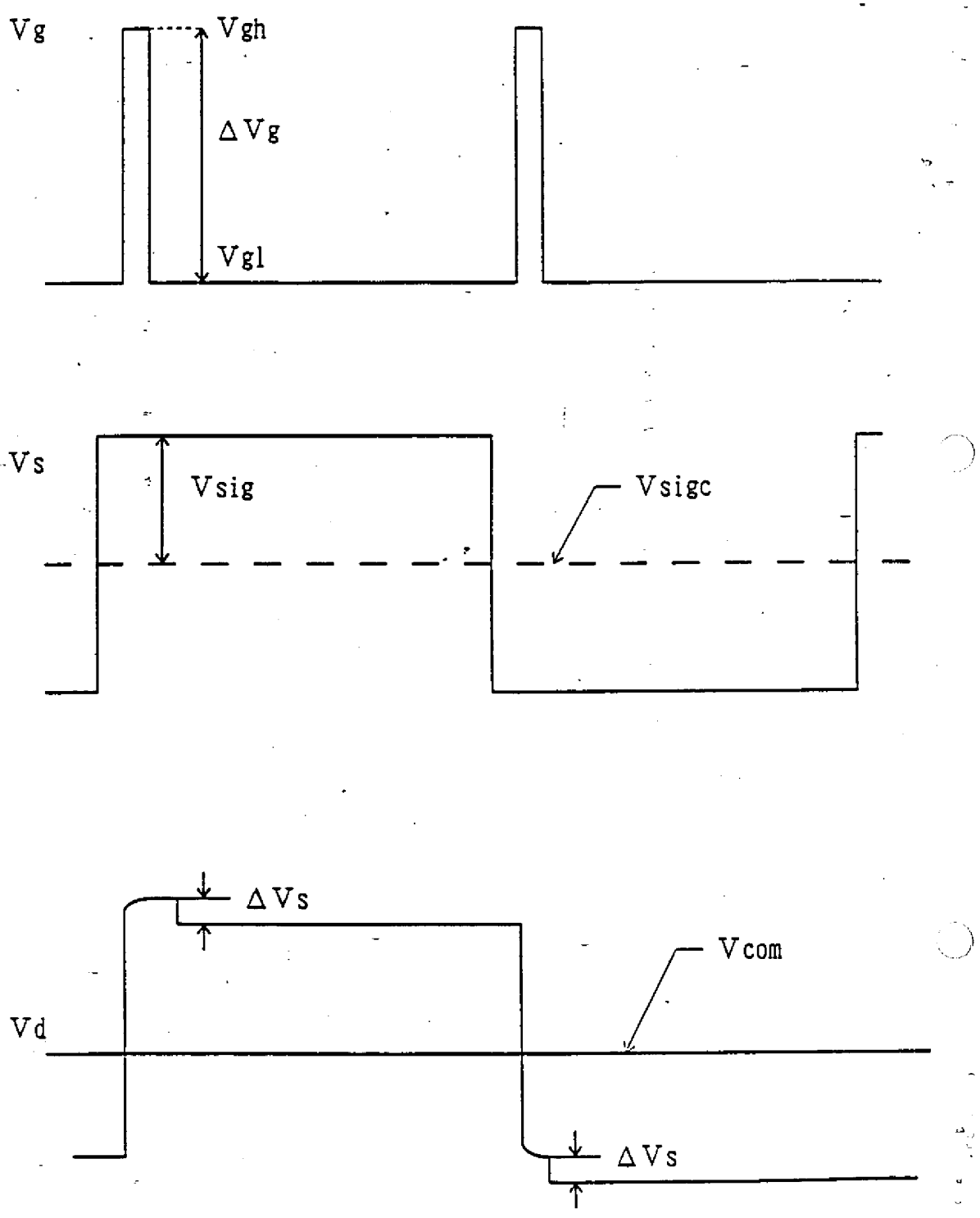

118
120
111
116
119
115
118
117
114
120
110
116
113
113
103
104
109
102
104
107
105
108
106
101
112

第 9 圖


113
110
118
116
103
A
A'
116

第10圖





第11圖

五、發明說明（10）

徵乃在於當Ｖｇｒ爲單一階度所需之一電壓，Ｃｔ爲總像素之電容，Ｃｇｄ爲閘極－汲極電容，△Ｖｇ爲ＯＮ／ＯＦＦ閘極之間的差值，及△Ｖｓ爲一饋通電壓時，各參數即可滿足式（３）。

$$|Vgr| > |(1/Ct)[Cgd \cdot \triangle Vg - Ct \cdot \triangle Vs|$$

(3)

及一用來在周邊驅動電路中驅動一閘控信號電壓之電路之薄膜電晶體之移動率係大於一被安置在主動矩陣電路上之薄膜電晶體之移動率。

發明之詳細說明

第１圖顯示一種結構，其中一周邊驅動電路及一主動矩陣電路係被整體構成在一片玻璃基體上。第１圖顯示一主動矩陣型液晶顯示裝置之兩基體之一的結構，此主動矩陣型液晶顯示裝置係與一周邊驅動電路整體構成。

在第１圖中，２０１代表一移位暫存器電路。２０２代表一反及（ＮＡＮＤ）電路。２０３代表一階層移位電路。２０４爲一緩衝電路（驅動電路）。在第１圖所示結構中，周邊驅動電路係由這些電路所構成。

２０５代表一主動矩陣電路。在第１圖中，顯示有四個像素。在一實際主動矩陣電路中，像素係依數百個Ｘ數百個或更多的單位被安置成一矩陣構造。安置有可與這些

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製