

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月17日(17.03.2022)



(10) 国際公開番号

WO 2022/054550 A1

(51) 国際特許分類:
H01L 23/50 (2006.01)

(21) 国際出願番号: PCT/JP2021/030742

(22) 国際出願日: 2021年8月23日(23.08.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-151300 2020年9月9日(09.09.2020) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者: 厚 芝 博 之 (**ATSUSHIBA Hiroyuki**);
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 宮田 修

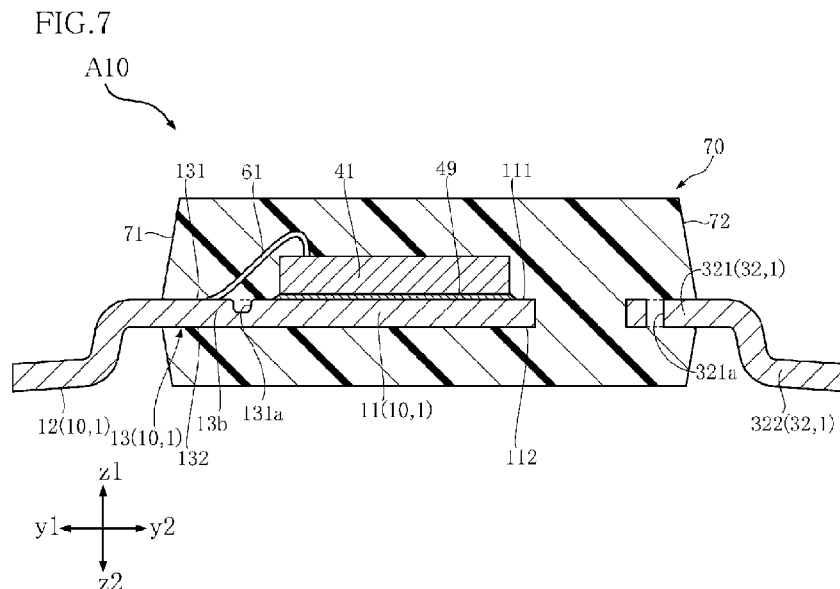
(MIYATA Osamu); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 菊地 登茂平(**KIKUCHI Tomohira**);
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 臼 井 尚, 外 (**USUI Takashi et al.**);
〒5430014 大阪府大阪市天王寺区玉造元町 2 番 3 2 - 1 3 0 1 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device comprising: a lead; a semiconductor element; and a sealing resin. The lead includes: a die pad part; a connection part connected to the die pad part; and a terminal part connected to the connection part. The semiconductor element is mounted on the die pad part. The connection part is disposed between the die pad part and the terminal part in a direction perpendicular to the thickness direction of the die pad part, and is covered with the sealing resin. The terminal part is entirely exposed from the sealing resin. The connection part includes: a thick section; and at least one thin section having a dimension in the thickness direction less than that of the thick part.

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置は、リードと、半導体素子と、封止樹脂とを備える。前記リードは、ダイパッド部と、前記ダイパッド部につながる接続部と、前記接続部につながる端子部とを備える。前記半導体素子は前記ダイパッド部に搭載されている。前記接続部は、前記ダイパッド部の厚さ方向に直交する方向において、前記ダイパッド部と前記端子部との間に配置されており、かつ、前記封止樹脂に覆われている。前記端子部は、その全体が前記封止樹脂から露出している。前記接続部は、厚肉部と、前記厚さ方向の寸法が前記厚肉部より小さい少なくとも1つの薄肉部とを含んでいる。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体素子と、当該半導体素子を搭載するリードとを備えた半導体装置に関する。

背景技術

[0002] 従来、様々な半導体装置が開発されている。たとえば、特許文献1には、ダイパッドと、ダイパッドに搭載された半導体素子と、リードと、半導体素子の電極とリードとを接続するワイヤと、これらを覆う封止樹脂と、を備える半導体装置が開示されている。

[0003] 上述したような半導体装置の製造工程は、ワイヤの形成工程を含み、この工程では、リードフレームが金型で押さえられた状態で加熱される。一方、ダイパッドは、金型で押さえられず、たとえば吸引によって固定される。この場合、リードフレームが熱によって膨張して変形することで、ダイパッドの位置、延いてはダイパッドに搭載された半導体素子の位置も変位する可能性がある。ワイヤのファーストボンディング時に、半導体素子の位置が変位すると、半導体素子の電極に接合されたワイヤのボールボンドの形状が不安定になってしまう。

先行技術文献

特許文献

[0004] 特許文献1：特開2018-157134号公報

発明の概要

発明が解決しようとする課題

[0005] 本開示は、上述の事情に鑑み、ボールボンドの形状安定性を向上できる半導体装置を提供することをその一の課題とする。

課題を解決するための手段

[0006] 本開示によって提供される半導体装置は、第1リードを含む導電支持部材

と；前記第1リードに搭載された第1半導体素子と；前記導電支持部材の少なくとも一部、および、前記第1半導体素子を覆う封止樹脂とを備える。前記第1リードは、第1ダイパッド部と、この第1ダイパッド部につながる第1接続部と、この第1接続部につながる第1端子部とを備える。前記第1半導体素子は、前記第1ダイパッド部の主面に搭載されている。前記第1接続部は、前記第1ダイパッド部の厚さ方向、および、この厚さ方向に直交する第1方向の双方に直交する第2方向において、前記第1ダイパッド部と前記第1端子部との間に配置されている。また、前記第1接続部は、前記封止樹脂に覆われている。前記第1端子部は、その全体が前記封止樹脂から露出している。前記第1接続部は、厚肉部と、前記厚さ方向の寸法が前記厚肉部より小さい少なくとも1つの薄肉部とを含んでいる。

発明の効果

[0007] 上記構成の半導体装置において、前記第1接続部は、厚さ方向の寸法が厚肉部より小さい薄肉部を含んでいる。薄肉部は、厚肉部と比較して剛性が低いので、変形しやすい。したがって、半導体装置の製造に際し、ワイヤの形成工程においてリードフレームを加熱した場合、熱膨張による変形が薄肉部で吸収されて、ダイパッド部の変位が緩和される。これにより、半導体素子の電極に接合されたワイヤのボールボンドの形状安定性を向上することができる。

[0008] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

[0009] [図1]本開示の第1実施形態に係る半導体装置を示す斜視図である。

[図2]図1の半導体装置を示す平面図であり、封止樹脂を透過した図である。

[図3]図1の半導体装置を示す背面図である。

[図4]図1の半導体装置を示す正面図である。

[図5]図1の半導体装置を示す左側面図である。

[図6]図1の半導体装置を示す右側面図である。

[図7]図2のV I I - V I I 線に沿う断面図である。

[図8]図2のV I I I - V I I I 線に沿う断面図である。

[図9]図2のI X - I X 線に沿う断面図である。

[図10]図2のX - X 線に沿う断面図である。

[図11]第1リードを示す平面図である。

[図12]第2リードを示す平面図である。

[図13]図1の半導体装置の製造方法に係る工程を示す平面図である。

[図14]図1の半導体装置の製造方法に係る工程を示す平面図である。

[図15]図1の半導体装置の製造方法に係る工程を示す平面図である。

[図16]本開示の第2実施形態に係る半導体装置を示す平面図である。

[図17]図16のX V I I - X V I I 線に沿う断面図である。

[図18]本開示の第3実施形態に係る半導体装置を示す断面図である。

[図19]本開示の第4実施形態に係る半導体装置を示す平面図である。

[図20]本開示の第5実施形態に係る半導体装置を示す平面図である。

発明を実施するための形態

[0010] 以下、本開示の好ましい実施の形態を、添付図面を参照して具体的に説明する。

[0011] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B上に位置していること」、および、「ある物Aとある物Bとの間に他の物が

介在しつつ、ある物Aがある物B上に位置していること」を含む。また、「ある物Aがある物Bにある方向に見て重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。

[0012] <第1実施形態>

図1～図12は、第1実施形態に係る半導体装置を示している。本実施形態の半導体装置A10は、導電支持部材1、制御素子41、駆動素子42、絶縁素子50、複数の第1ワイヤ61、複数の第2ワイヤ62、複数の第3ワイヤ63、複数の第4ワイヤ64、および封止樹脂70を備える。導電支持部材1は、第1リード10、第2リード20、第3リード31、第4リード32、複数の第5リード33、および複数の第6リード34を含む。半導体装置A10は、たとえば電気自動車またはハイブリッド自動車などのインバータ装置の配線基板に表面実装されるものであり、スイッチング素子を駆動させるためのゲートドライバである。当該スイッチング素子は、IGBTまたはMOSFETである。半導体装置A10の用途や機能は限定されない。半導体装置A10のパッケージ形式は、SOP (Small Outline Package) であるが、本開示のパッケージ形式がSOPに限定されるわけではない。

[0013] 図1は、半導体装置A10を示す斜視図である。図2は、半導体装置A10を示す平面図である。図2においては、理解の便宜上、封止樹脂70を透過して、封止樹脂70の外形を想像線（二点鎖線）で示している。図3は、半導体装置A10を示す背面図である。図4は、半導体装置A10を示す正面図である。図5は、半導体装置A10を示す左側面図である。図6は、半導体装置A10を示す右側面図である。図7は、図2のV11-V11線に沿う断面図である。図8は、図2のV111-V111線に沿う断面図である。図9は、図2のIX-IX線に沿う断面図である。図10は、図2のX-X線に沿う断面図である。図11は、第1リード10を示す平面図である。図12は、第2リード20を示す平面図である。図11および図12においては、理解の便宜上、封止樹脂70の外形を想像線（二点鎖線）で示して

いる。

[0014] 半導体装置A10は、厚さ方向視(平面視)の形状が矩形状である。説明の便宜上、半導体装置A10の厚さ方向をz方向とし、z方向に直交する半導体装置A10の一方の辺に沿う方向(図2における上下方向)をx方向、z方向およびx方向に直交する方向(図2における左右方向)をy方向とする。また、z方向の一方側(図3～図10における上側)をz1側とし、他方側(図3～図10における下側)をz2側とする。x方向の一方側(図2における上側)をx1側とし、他方側(図2における下側)をx2側とする。y方向の一方側(図2における左側)をy1側とし、他方側(図2における右側)をy2側とする。z方向は、「厚さ方向」の一例である。また、x方向は「第1方向」の一例であり、y方向は「第2方向」の一例であるが、本開示がこれに限定されるわけではない。なお、半導体装置A10の形状および各寸法は限定されない。

[0015] 導電支持部材1は、制御素子41および駆動素子42と、半導体装置A10が実装される配線基板との導電経路を構成する導電部材である。導電支持部材1は、半導体装置A10を製造する際に用いられるリードフレームの一部である。導電支持部材1の厚さの一例は、200 μ mである。導電支持部材1の構成材料は、銅(Cu)、または銅合金である。以下、導電支持部材1に含まれる第1リード10、第2リード20、第3リード31、第4リード32、複数の第5リード33、および複数の第6リード34について説明する。

[0016] 第1リード10は、図2に示すように、第1ダイパッド部11、第1端子部12、および第1接続部13を有する。

[0017] 第1ダイパッド部11は、図2、図9、および図10に示すように、半導体装置A10においてx方向のx2側で、y方向の略中央に配置されている。第1ダイパッド部11は、z方向視形状が矩形状(または略矩形状)である。第1ダイパッド部11は、制御素子41および絶縁素子50を搭載している。第1ダイパッド部11は、封止樹脂70に覆われている。第1ダイパ

ッド部 1 1 の表面の大半は、銀（A g）めっき層などの金属層により覆われている。第 1 ダイパッド部 1 1 は、主面 1 1 1、裏面 1 1 2、および複数の凹部 1 1 3 を有する。

[0018] 主面 1 1 1 および裏面 1 1 2 は、図 7、図 9、および図 1 0 に示すように、z 方向において離間する。主面 1 1 1 は z 1 側を向き、裏面 1 1 2 は z 2 側を向く。主面 1 1 1 および裏面 1 1 2 はそれぞれ、平坦（または略平坦）である。制御素子 4 1 および絶縁素子 5 0 は、主面 1 1 1 に接合されている。

[0019] 複数の凹部 1 1 3 は、図 1 0 に示すように、主面 1 1 1 から z 方向に凹んでいる。また、複数の凹部 1 1 3 は、図 2 に示すように、それぞれ y 方向に延び、y 方向に並んでいる。複数の凹部 1 1 3 は、x 方向において制御素子 4 1 と絶縁素子 5 0 との間に位置する。本実施形態では、第 1 ダイパッド部 1 1 は、3 個の凹部 1 1 3 を有している。なお、凹部 1 1 3 の数は限定されない。凹部 1 1 3 は、第 1 ダイパッド部 1 1 と封止樹脂 7 0 との密着性を向上させるために設けられている。

[0020] 第 1 接続部 1 3 は、図 2 に示すように、第 1 ダイパッド部 1 1 の x 方向の x 2 側の位置で、y 方向の y 1 側につながり、封止樹脂 7 0 に覆われている。本実施形態では、図 1 1 に示すように、第 1 接続部 1 3 の第 1 ダイパッド部 1 1 につながる部分の x 方向の寸法 w 1 は、第 1 ダイパッド部 1 1 の x 方向の寸法 w 2 の 1 / 2 である。寸法 w 2 に対して寸法 w 1 が小さすぎると、第 1 ダイパッド部 1 1 の安定性が悪くなる。一方、寸法 w 2 に対して寸法 w 1 が大きすぎると、熱が加えられたときの膨張により、第 1 ダイパッド部 1 1 の位置が変位しやすくなる。本実施形態では、最低限の安定性の確保のために、寸法 w 1 は寸法 w 2 の 1 / 2 以上に設計されている。なお、寸法 w 1 と寸法 w 2 との比率は、これに限定されない。第 1 接続部 1 3 は、第 1 ワイヤ 6 1 を介して制御素子 4 1 に導通している。第 1 接続部 1 3 は、主面 1 3 1、裏面 1 3 2、複数の主面側凹部 1 3 1 a、および複数の貫通孔 1 3 5 を有する。

[0021] 主面 1 3 1 および裏面 1 3 2 は、図 7 に示すように、z 方向において離間する。主面 1 3 1 は z 1 側を向き、裏面 1 3 2 は z 2 側を向く。主面 1 3 1 および裏面 1 3 2 はそれぞれ、平坦（または略平坦）である。第 1 ダイパッド部 1 1 の主面 1 1 1 と第 1 接続部 1 3 の主面 1 3 1 とは、互いに面一である。また、第 1 ダイパッド部 1 1 の裏面 1 1 2 と第 1 接続部 1 3 の裏面 1 3 2 とは、互いに面一である。

[0022] 複数の主面側凹部 1 3 1 a は、図 7 に示すように、主面 1 3 1 から z 方向に凹んでいる。また、図 2 に示すように、複数の主面側凹部 1 3 1 a は、それぞれ x 方向に延び、x 方向に並んでいる。複数の主面側凹部 1 3 1 a は、第 1 接続部 1 3 の y 方向の y 2 側の端部寄りに位置しており、第 1 接続部 1 3 と第 1 ダイパッド部 1 1 との境界の近傍に位置している。本実施形態では、第 1 接続部 1 3 は、2 個の主面側凹部 1 3 1 a を有している。なお、主面側凹部 1 3 1 a の位置および数は限定されない。本実施形態では、主面側凹部 1 3 1 a は、ハーフエッチングによって形成される。なお、主面側凹部 1 3 1 a の形成方法は限定されない。主面側凹部 1 3 1 a は、たとえばスタンピングによって、主面 1 3 1 から凹ませるように形成されてもよい。

[0023] 本実施形態では、主面側凹部 1 3 1 a の深さ（z 方向の寸法）は、第 1 接続部 1 3 の厚さ（z 方向の寸法）の半分程度である。なお、主面側凹部 1 3 1 a の深さは限定されないが、第 1 接続部 1 3 の厚さの 40% 以上 60% 以下であることが望ましい。第 1 接続部 1 3 のうち主面側凹部 1 3 1 a が形成されている部分、すなわち、主面側凹部 1 3 1 a と裏面 1 3 2 とに挟まれた部分は、主面側凹部 1 3 1 a が形成されていない部分、すなわち、主面 1 3 1 と裏面 1 3 2 とに挟まれた部分と比較して z 方向寸法が小さい。主面側凹部 1 3 1 a に対応する部分は、本開示の薄肉部の一例である。一方、第 1 接続部 1 3 のうち主面側凹部 1 3 1 a が形成されていない部分を、厚肉部 1 3 b と定義する。図 2 においては、薄肉部（主面側凹部 1 3 1 a）に点描を付している。図 2 において、第 1 接続部 1 3 のうち、複数の貫通孔 1 3 5 以外で、点描を付していない部分が厚肉部 1 3 b である。本実施形態では、薄肉部

のz方向の寸法は、厚肉部13bのz方向の寸法の半分程度であり、40%以上60%以下であることが望ましい。

[0024] 本実施形態では、図11に示すように、主面側凹部131aの幅の寸法（y方向の寸法）w3は、第1接続部13のy方向の寸法w4の1/7程度である。なお、寸法w3と寸法w4との比率は、これに限定されない。ただし、第1接続部13の肉厚部には第1ワイヤ61が接合されるので、肉厚部が狭くなりすぎないように、寸法w3は、寸法w4の1/5以下であることが望ましい。また、本実施形態では、図2に示すように、主面側凹部131aのx方向の寸法は、x方向x2側に配置されている方が、x方向x1側に配置されている方より大きい。なお、各主面側凹部131aのx方向の寸法は、限定されない。たとえば、2個の主面側凹部131aのx方向の寸法は、同じであってもよい。

[0025] 複数の貫通孔135は、第1接続部13をz方向に貫通している。また、図2に示すように、複数の貫通孔135は、x方向に並んでおり、複数の主面側凹部131aに対してy方向のy1側に位置する。本実施形態では、第1接続部13は、2個の貫通孔135を有している。なお、貫通孔135の位置および数は限定されない。

[0026] 第1端子部12は、図2に示すように、第1接続部13のy方向のy1側につながり、全体が封止樹脂70から露出している。図示の例では、第1接続部13は、y方向において、第1端子部12および第1ダイパッド部11の間に配置されている。第1端子部12は、制御素子41の動作に必要な電源電圧の接地端子である。第1端子部12は、z方向視においてy方向に延びる帯状である。図4に示すように、第1端子部12は、x方向視において鉤状に屈曲している。第1端子部12の表面は、錫（Sn）めっき層により覆われている。

[0027] 第2リード20は、図2に示すように、第2ダイパッド部21、第2端子部22、および第2接続部23を有する。

[0028] 第2ダイパッド部21は、図2および図10に示すように、第1ダイパッ

ド部 1 1 の x 方向 x 1 側に、第 1 ダイパッド部 1 1 から離間して配置されている。つまり、第 1 ダイパッド部 1 1 および第 2 ダイパッド部 2 1 は、x 方向に並んで互いに離れて配置されている。第 2 ダイパッド部 2 1 は、z 方向視形状が矩形状（または略矩形状）である。第 2 ダイパッド部 2 1 は、駆動素子 4 2 を搭載している。第 2 ダイパッド部 2 1 は、封止樹脂 7 0 に覆われている。第 2 ダイパッド部 2 1 の表面の大半は、銀めっき層などの金属層により覆われている。第 2 ダイパッド部 2 1 は、主面 2 1 1 および裏面 2 1 2 を有する。

[0029] 主面 2 1 1 および裏面 2 1 2 は、図 8 および図 1 0 に示すように、z 方向において離間する。主面 2 1 1 は z 1 側を向き、裏面 2 1 2 は z 2 側を向く。主面 2 1 1 および裏面 2 1 2 はそれぞれ、平坦（または略平坦）である。駆動素子 4 2 は、主面 2 1 1 に接合されている。

[0030] 第 2 接続部 2 3 は、図 2 に示すように、第 2 ダイパッド部 2 1 の y 方向の y 2 側につながり、封止樹脂 7 0 に覆われている。本実施形態では、図 1 2 に示すように、第 2 接続部 2 3 の第 2 ダイパッド部 2 1 につながる部分の x 方向の寸法 $w 1'$ は、第 2 ダイパッド部 2 1 の x 方向の寸法 $w 2'$ の $2/3$ である。第 2 ダイパッド部 2 1 は、第 1 ダイパッド部 1 1 と比較して、x 方向の寸法が小さいので、寸法 $w 2'$ に対する寸法 $w 1'$ の比率が、第 1 接続部 1 3 における寸法 $w 2$ に対する寸法 $w 1$ の比率より大きくなっている。なお、寸法 $w 1'$ と寸法 $w 2'$ との比率は、これに限定されない。第 2 接続部 2 3 は、第 2 ワイヤ 6 2 を介して駆動素子 4 2 に導通している。第 2 接続部 2 3 は、主面 2 3 1、裏面 2 3 2、複数の主面側凹部 2 3 1 a、および複数の貫通孔 2 3 5 を有する。

[0031] 主面 2 3 1 および裏面 2 3 2 は、図 8 に示すように、z 方向において離間する。主面 2 3 1 は z 1 側を向き、裏面 2 3 2 は z 2 側を向く。主面 2 3 1 および裏面 2 3 2 はそれぞれ、平坦（または略平坦）である。第 2 ダイパッド部 2 1 の主面 2 1 1 と第 2 接続部 2 3 の主面 2 3 1 とは、互いに面一である。また、第 2 ダイパッド部 2 1 の裏面 2 1 2 と第 2 接続部 2 3 の裏面 2 3

2とは、互いに面一である。

[0032] 複数の主面側凹部231aは、図8に示すように、主面231からz方向に凹んでいる。また、図2に示すように、複数の主面側凹部231aは、それぞれx方向に延び、x方向に並んでいる。複数の主面側凹部231aは、第2接続部23のy方向のy1側の端部寄りに位置しており、本実施形態では、第2ダイパッド部21に接している。また、本実施形態では、第2接続部23は、2個の主面側凹部231aを有している。なお、主面側凹部231aの位置および数は限定されない。主面側凹部231aは、第1接続部13の主面側凹部131aと同様にして形成される。

[0033] 本実施形態では、主面側凹部231aの深さ（z方向の寸法）は、第2接続部23の厚さ（z方向の寸法）の半分程度である。なお、主面側凹部231aの深さは限定されないが、第2接続部23の厚さの40%以上60%以下であることが望ましい。第2接続部23のうち主面側凹部231aが形成されている部分、すなわち、主面側凹部231aと裏面232とに挟まれた部分は、主面側凹部231aが形成されていない部分、すなわち、主面231と裏面232とに挟まれた部分と比較してz方向寸法が小さい。主面側凹部231aは、本開示の薄肉部の一例である。一方、第2接続部23のうち主面側凹部231aが形成されていない部分を、厚肉部23bと定義する。図2においては、薄肉部（主面側凹部231a）に点描を付している。図2において、第2接続部23のうち、複数の貫通孔235以外で、点描を付していない部分が厚肉部23bである。本実施形態では、薄肉部のz方向の寸法は、厚肉部23bのz方向の寸法の半分程度であり、40%以上60%以下であることが望ましい。

[0034] 本実施形態では、図12に示すように、主面側凹部231aの幅の寸法（y方向の寸法） w_3' は、第2接続部23のy方向の寸法 w_4' の1/7程度である。なお、寸法 w_3' と寸法 w_4' との比率は、これに限定されない。ただし、第2接続部23の肉厚部には第2ワイヤ62が接合されるので、肉厚部が狭くなりすぎないように、寸法 w_3' は、寸法 w_4' の1/5以下であ

ることが望ましい。また、本実施形態では、図2に示すように、主面側凹部231aのx方向の寸法は、x方向x1側に配置されている方が、x方向x2側に配置されている方より大きい。なお、各主面側凹部231aのx方向の寸法は、限定されない。たとえば、2個の主面側凹部231aのx方向の寸法は、同じであってもよい。

[0035] 複数の貫通孔235は、第2接続部23をz方向に貫通している。また、図2に示すように、複数の貫通孔135は、x方向に並んでおり、複数の主面側凹部131aに対してy方向のy2側に位置する。本実施形態では、第1接続部13は、2個の貫通孔135を有している。なお、貫通孔135の位置および数は限定されない。

[0036] 第2端子部22は、図2に示すように、第2接続部23のy方向のy2側につながり、全体が封止樹脂70から露出している。第2端子部22は、駆動素子42の動作に必要な電源電圧の接地端子である。第2端子部22は、半導体装置A10により駆動されるスイッチング素子のエミッタ電極に導通している。第2端子部22は、z方向視においてy方向に延びる帯状である。図3に示すように、第2端子部22は、x方向視において鉤状に屈曲している。第2端子部22の表面は、錫めっき層により覆われている。

[0037] 第3リード31は、図2に示すように、第3パッド部311および第3端子部312を有する。

[0038] 第3パッド部311は、図2に示すように、第1ダイパッド部11よりもx方向のx1側に位置し、かつ、第2ダイパッド部21よりもy方向のy1側に位置する。第3パッド部311は、第1ワイヤ61を介して制御素子41に導通している。第3パッド部311は、封止樹脂70に覆われている。第3パッド部311は、第3端子部312からy方向のy2側に延びた後、第1ダイパッド部11に向けて延びている。第3パッド部311の表面の大半は、銀めっき層などの金属層により覆われている。第3パッド部311は、複数の貫通孔311aを有する。複数の貫通孔311aは、図8に示すように、第3パッド部311をz方向に貫通している。また、本実施形態では

、第3パッド部311は、2個の貫通孔311aを有している。なお、貫通孔311aの数は限定されない。

[0039] 第3端子部312は、図2に示すように、第3パッド部311のy方向のy1側につながり、全体が封止樹脂70から露出している。第3端子部312は、制御素子41の動作に必要な電源電圧の正極端子である。第3端子部312は、z方向視においてy方向に延びる帯状である。図3に示すように、第3端子部312は、x方向視において鉤状に屈曲している。第3端子部312の表面は、錫めっき層により覆われている。第3リード31は、「入力側リード」の一例である。

[0040] 第4リード32は、図2に示すように、第4パッド部321および第4端子部322を有する。

[0041] 第4パッド部321は、図2に示すように、第2ダイパッド部21よりもx方向のx2側に位置し、かつ、第1ダイパッド部11よりもy方向のy2側に位置する。第4パッド部321は、第2ワイヤ62を介して駆動素子42に導通している。第4パッド部321は、封止樹脂70に覆われている。第4パッド部321は、第4端子部322からy方向のy1側y1側に延びた後、第2ダイパッド部21に向けて延びている。第4パッド部321の表面の大半は、銀めっき層などの金属層により覆われている。第4パッド部321は、複数の貫通孔321aを有する。複数の貫通孔321aは、図7に示すように、第4パッド部321をz方向に貫通している。また、本実施形態では、第4パッド部321は、2個の貫通孔321aを有している。なお、貫通孔321aの数は限定されない。

[0042] 第4端子部322は、図2に示すように、第4パッド部321のy方向のy2側につながり、全体が封止樹脂70から露出している。第4端子部322には、駆動素子42の動作に必要な電源電圧が印加される。第4端子部322は、z方向視においてy方向に延びる帯状である。図4に示すように、第4端子部322は、x方向視において鉤状に屈曲している。第4端子部322の表面は、錫めっき層により覆われている。第4リード32は、「出力側

リード」の一例である。

[0043] 複数の第5リード33の各々は、図2に示すように、第5パッド部331および第5端子部332を有する。本実施形態においては、複数の第5リード33の個数は2である。

[0044] 各第5パッド部331は、図2に示すように、x方向において第1接続部13と第3パッド部311との間に位置する。各第5パッド部331は、x方向に沿って配列されている。各第5パッド部331は、それぞれ第1ワイヤ61を介して制御素子41に導通している。各第5パッド部331は、封止樹脂70に覆われている。各第5パッド部331の表面の大半は、銀めっき層などの金属層により覆われている。各第5パッド部331は、貫通孔331aを有する。貫通孔331aは、図9に示すように、第5パッド部331をz方向に貫通している。なお、貫通孔331aの数は限定されない。

[0045] 各第5端子部332は、図2に示すように、第5パッド部331のy方向のy1側につながり、全体が封止樹脂70から露出している。各第5端子部332には、それぞれ、ECUなどから制御信号が入力される。各第5端子部332は、z方向視においてy方向に延びる帯状である。したがって、各第5端子部332は、第1端子部12および第3端子部312とともにx方向に沿って配列されている。図9に示すように、各第5端子部332は、x方向視において鉤状に屈曲している。各第5端子部332の表面は、錫めっき層により覆われている。複数の第5リード33は、「入力側リード」の一例である。

[0046] 複数の第6リード34の各々は、図2に示すように、第6パッド部341および第6端子部342を有する。本実施形態においては、複数の第6リード34の個数は2である。

[0047] 各第6パッド部341は、図2に示すように、x方向において第2接続部23と第4パッド部321との間に位置する。各第6パッド部341は、x方向に沿って配列されている。各第6パッド部341は、それぞれ第2ワイヤ62を介して駆動素子42に導通している。各第6パッド部341は、封

止樹脂 70 に覆われている。各第 6 パッド部 341 の表面の大半は、銀めっき層などの金属層により覆われている。各第 6 パッド部 341 は、貫通孔 341a を有する。貫通孔 341a は、図 9 に示すように、第 6 パッド部 341 を z 方向に貫通している。なお、貫通孔 331a の数は限定されない。

[0048] 各第 6 端子部 342 は、図 2 に示すように、第 6 パッド部 341 の y 方向の y2 側につながり、全体が封止樹脂 70 から露出している。各第 6 端子部 342 には、スイッチング素子を駆動させるためのゲート電圧が印加される。一方の第 6 端子部 342 は、上アーム回路（ハイサイド領域）を構成するスイッチング素子のゲート電極に導通している。他方の第 6 端子部 342 は、下アーム回路（ローサイド領域）を構成するスイッチング素子に導通している。各第 6 端子部 342 は、z 方向視において y 方向に延びる帯状である。したがって、各第 6 端子部 342 は、第 2 端子部 22 および第 4 端子部 322 とともに x 方向に沿って配列されている。図 9 に示すように、各第 6 端子部 342 は、x 方向視において鉤状に屈曲している。各第 6 端子部 342 の表面は、錫めっき層により覆われている。複数の第 6 リード 34 は、「出力側リード」の一例である。

[0049] 制御素子 41 は、図 2、図 7、および図 10 に示すように、第 1 ダイパッド部 11 に搭載された半導体素子であり、ECU などから入力された制御信号を PWM 制御信号に変換して出力する。なお、制御素子 41 は、z 方向視において、第 1 接続部 13 に重なってもよい。この場合、主面側凹部 131a は、z 方向視において第 1 接続部 13 に重ならない位置に配置される。z 方向視において、制御素子 41 は、y 方向を長手方向とする矩形状である。制御素子 41 の z 方向の z1 側の面には、複数の電極 411 が設けられている。複数の電極 411 は、それぞれ、制御素子 41 の内部に構成された回路に導通する。複数の電極 411 のいずれかは、第 1 ワイヤ 61 によって、第 1 接続部 13、第 3 パッド部 311、および複数の第 5 パッド部 331 のいずれかに接続されている。第 3 パッド部 311 に接続された第 1 ワイヤ 61 は、z 方向視において、絶縁素子 50 の外方に位置する。制御素子 41 の z 方向の z

2側の面と、第1ダイパッド部11との間には、接合層49が介在している。接合層49は、たとえばエポキシ樹脂を主剤とする銀ペーストである。制御素子41は、接合層49により第1ダイパッド部11の主面111に接合されている。

[0050] 駆動素子42は、図2、図8、および図10に示すように、第2ダイパッド部21に搭載された半導体素子であり、制御素子41から入力されたPWM制御信号に基づいて、スイッチング素子のスイッチング動作を行う。z方向視において、駆動素子42は、y方向を長手方向とする矩形状である。駆動素子42のz方向のz1側の面には、複数の電極421が設けられている。複数の電極421は、それぞれ、駆動素子42の内部に構成された回路に導通する。複数の電極421のいずれかは、第2ワイヤ62によって、第2接続部23、第4パッド部321、および複数の第6パッド部341のいずれかに接続されている。駆動素子42のz方向のz2側の面と、第2ダイパッド部21との間には、接合層49が介在している。駆動素子42は、接合層49により第2ダイパッド部21の主面211に接合されている。

[0051] ハイブリッド自動車などのインバータ装置におけるモータドライバ回路には、ローサイドスイッチング素子とハイサイドスイッチング素子とをトータムポール状に接続したハーフブリッジ回路が一般的に使用されている。絶縁ゲートドライバでは、任意の時点でオンになるスイッチは、ローサイドスイッチング素子かハイサイドスイッチング素子のどちらか一方のみである。高電圧領域において、ローサイドスイッチング素子のソース、および、当該スイッチング素子を駆動する絶縁ゲートドライバの基準電位はグラウンドに接続されているので、ゲートソース間電圧はグラウンドを基準に動作する。一方、ハイサイドスイッチング素子のソース、および、当該スイッチング素子を駆動する絶縁ゲートドライバの基準電位はハーフブリッジ回路の出力ノードに接続されている。ローサイドスイッチング素子とハイサイドスイッチング素子のどちらがオンであるかに応じて、ハーフブリッジ回路の出力ノードの電位は変化するので、ハイサイドスイッチング素子を駆動する絶縁ゲートド

ライバの基準電位は変化する。ハイサイドスイッチング素子がオンのときには、当該基準電位は、ハイサイドスイッチング素子のドレインに印加される電圧と等価な電圧（例えば600V以上）になる。半導体装置A10が、ハイサイドスイッチング素子を駆動する絶縁ゲートドライバとして用いられた場合、駆動素子42と制御素子41とは絶縁性を確保するためにグラウンドが分離されているので、駆動素子42には、制御素子41のグラウンドと比較して、600V以上の電圧が過渡的に印加される。駆動素子42と制御素子41との間に著しい電位差が生じることから、半導体装置A10においては、駆動素子42と制御素子41とが、絶縁素子50により絶縁されている。

[0052] 絶縁素子50は、図2、図9、および図10に示すように、第1ダイパッド部11に搭載され、制御素子41のx方向x1側に位置する半導体素子であり、PWM制御信号を、制御素子41から駆動素子42に、絶縁状態で伝送するための素子である。z方向視において、絶縁素子50は、x方向において制御素子41と駆動素子42との間に位置する。z方向視において、絶縁素子50は、y方向を長手方向とする矩形状である。絶縁素子50のz方向のz1側の面には、複数の低電圧電極53および複数の高電圧電極54が設けられている。複数の低電圧電極53および複数の高電圧電極54は、それぞれ、絶縁素子50の内部に構成された回路に導通する。複数の低電圧電極53のいずれかは、第3ワイヤ63によって、制御素子41の複数の電極411のいずれかに接続されている。複数の高電圧電極54のいずれかは、第4ワイヤ64によって、駆動素子42の複数の電極421のいずれかに接続されている。絶縁素子50のz方向のz2側の面と、第1ダイパッド部11との間には、接合層49が介在している。絶縁素子50は、接合層49により第1ダイパッド部11の主面111に接合されている。

[0053] 絶縁素子50は、たとえばインダクティブ型である。本実施形態では、絶縁素子50は、基板上に形成された、たとえばCuからなる複数のインダクタ（コイル）を誘導結合させることで、絶縁状態での電気信号の伝送を行う絶縁型トランスである。複数のインダクタは、送信側インダクタおよび受信

側インダクタを含み、これらのインダクタは絶縁素子50の厚さ方向（z方向）において互いに積層されている。送信側インダクタと受信側インダクタとの間には、 SiO_2 などからなる誘電体層が介装されている。誘電体層により、送信側インダクタと受信側インダクタとは、電氣的に絶縁されている。本実施形態では、絶縁素子50がインダクティブ型である場合を示すが、絶縁素子50はキャパシティブ型（たとえばコンデンサ）であってもよい。なお、制御素子41と駆動素子42とは、絶縁素子50を介して、PWM制御信号以外の信号も伝送してもよい。

[0054] 複数の第1ワイヤ61、複数の第2ワイヤ62、複数の第3ワイヤ63、および複数の第4ワイヤ64は、図2に示すように、導電支持部材1とともに、制御素子41、駆動素子42、および絶縁素子50が所定の機能を果たすための導通経路を構成している。複数の第1ワイヤ61、複数の第2ワイヤ62、複数の第3ワイヤ63、および複数の第4ワイヤ64の各々の材料は、たとえばAu、Cu、またはAlを含む金属である。

[0055] 複数の第1ワイヤ61は、図2および図7に示すように、制御素子41と、第1リード10、第3リード31、および複数の第5リード33との導通経路を構成する。複数の第1ワイヤ61の各々は、図2に示すように、制御素子41のいずれかの電極411と、第1接続部13の主面131、第3パッド部311の主面（z1側を向く面）、および複数の第5パッド部331の各主面（z1側を向く面）のいずれかとに接合されている。各第1ワイヤ61は制御素子41の電極411にファーストボンドされ、電極411上にボールボンドが形成される。複数の第1ワイヤ61は、第1ワイヤ61aを含んでいる。第1ワイヤ61aは、制御素子41のいずれかの電極411と第1接続部13の主面131とに接合されている。つまり、第1ワイヤ61aは、第1接続部13の薄肉部ではなく厚肉部13bに接続している。第1接続部13は第1ダイパッド部11につながっており、第1ダイパッド部11には制御素子41が搭載されている。

[0056] 複数の第2ワイヤ62は、図2および図8に示すように、駆動素子42と

、第2リード20、第4リード32、および複数の第6リード34との導通経路を構成する。複数の第2ワイヤ62の各々は、図2に示すように、駆動素子42のいずれかの電極421と、第2接続部23の主面231、第4パッド部321の主面（z1側を向く面）、および複数の第6パッド部341の各主面（z1側を向く面）のいずれかとに接合されている。各第2ワイヤ62は駆動素子42の電極421にファーストボンドされ、電極421上にボールボンドが形成される。複数の第2ワイヤ62は、第2ワイヤ62aを含んでいる。第2ワイヤ62aは、駆動素子42のいずれかの電極421と第2接続部23の主面231とに接合されている。つまり、第2ワイヤ62aは、第2接続部23の薄肉部ではなく厚肉部23bに接続している。第2接続部23は第2ダイパッド部21につながっており、第2ダイパッド部21には駆動素子42が搭載されている。

[0057] 複数の第3ワイヤ63は、図2および図10に示すように、制御素子41と絶縁素子50との導通経路を構成する。複数の第3ワイヤ63の各々は、図2に示すように、制御素子41のいずれかの電極411と、絶縁素子50のいずれかの低電圧電極53とに接合されている。各第3ワイヤ63は、絶縁素子50の低電圧電極53にファーストボンドされ、制御素子41の電極411にセカンドボンドされる。なお、ファーストボンドとセカンドボンドとが反対であってもよい。複数の第4ワイヤ64は、図2および図10に示すように、駆動素子42と絶縁素子50との導通経路を構成する。複数の第4ワイヤ64の各々は、図2に示すように、駆動素子42のいずれかの電極421と、絶縁素子50のいずれかの高電圧電極54とに接合されている。各第4ワイヤ64は、絶縁素子50の高電圧電極54にファーストボンドされ、駆動素子42の電極421にセカンドボンドされる。なお、ファーストボンドとセカンドボンドとが反対であってもよい。

[0058] 封止樹脂70は、図7～図10に示すように、第1ダイパッド部11、第1接続部13、第2ダイパッド部21、第2接続部23、第3パッド部311、第4パッド部321、複数の第5パッド部331、複数の第6パッド部

3 4 1、制御素子 4 1、駆動素子 4 2、および絶縁素子 5 0 を覆っている。封止樹脂 7 0 は、複数の第 1 ワイヤ 6 1、複数の第 2 ワイヤ 6 2、複数の第 3 ワイヤ 6 3 および複数の第 4 ワイヤ 6 4 をさらに覆っている。封止樹脂 7 0 は、電気絶縁性を有する。封止樹脂 7 0 は、たとえば黒色のエポキシ樹脂を含む材料からなる。z 方向視において、封止樹脂 7 0 は矩形状である。図 3～図 6 に示すように、封止樹脂 7 0 は、第 1 側面 7 1、第 2 側面 7 2、第 3 側面 7 3 および第 4 側面 7 4 を有する。

[0059] 図 2～図 6 に示すように、第 1 側面 7 1 および第 2 側面 7 2 は、y 方向において互いに反対側を向く。第 1 側面 7 1 は y 方向の y 1 側に位置し、第 2 側面 7 2 は y 方向の y 2 側に位置する。第 1 側面 7 1 から、第 1 端子部 1 2、第 3 端子部 3 1 2、および複数の第 5 端子部 3 3 2 が露出している。z 方向視において、第 1 端子部 1 2、第 3 端子部 3 1 2、および複数の第 5 端子部 3 3 2 は、第 1 側面 7 1 から y 方向に向けて突出している。また、第 2 側面 7 2 から、第 2 端子部 2 2、第 4 端子部 3 2 2、および複数の第 6 端子部 3 4 2 が露出している。z 方向視において、第 2 端子部 2 2、第 4 端子部 3 2 2、および複数の第 6 端子部 3 4 2 は、第 2 側面 7 2 から y 方向に向けて突出している。

[0060] 第 3 側面 7 3 および第 4 側面 7 4 は、x 方向において互いに離れて位置し、かつ、第 1 側面 7 1 および第 2 側面 7 2 につながっている。第 3 側面 7 3 および第 4 側面 7 4 は、x 方向において互いに反対側を向く。第 3 側面 7 3 は x 方向の x 1 側に位置し、第 4 側面 7 4 は x 方向の y 2 側に位置する。第 3 側面 7 3 および第 4 側面 7 4 からは、導電支持部材 1 が露出していない。

[0061] 図 3 および図 6 に示すように、第 3 側面 7 3 は、上部領域 7 3 1、下部領域 7 3 2、および中間領域 7 3 3 を有する。上部領域 7 3 1 は、中間領域 7 3 3 の上縁につながり、かつ z 方向に対して x 方向の x 2 側に傾斜している。下部領域 7 3 2 は、中間領域 7 3 3 の下縁につながり、かつ z 方向に対して x 方向の x 2 側に傾斜している。中間領域 7 3 3 は、z 方向に対して平行であり、かつ y 方向に延びる帯状である。図 3 に示すように、中間領域 7 3 3 およ

び下部領域 7 3 2 のそれぞれの一部には、第 1 ゲート痕 7 5 が形成されている。第 1 ゲート痕 7 5 は、当該第 1 ゲート痕 7 5 を除く第 3 側面 7 3 の他の部分よりも表面が粗である。第 1 ゲート痕 7 5 は、封止樹脂 7 0 をモールド成形により形成する際、流動化した樹脂の流入出により現れる痕跡である。

[0062] 図 4 および図 5 に示すように、第 4 側面 7 4 は、上部領域 7 4 1、下部領域 7 4 2、および中間領域 7 4 3 を有する。上部領域 7 4 1 は、中間領域 7 4 3 の上縁につながり、かつ z 方向に対して x 方向の x 1 側に傾斜している。下部領域 7 4 2 は、中間領域 7 4 3 の下縁につながり、かつ z 方向に対して x 方向の x 1 側に傾斜している。中間領域 7 4 3 は、z 方向に対して平行であり、かつ y 方向に延びる帯状である。図 4 に示すように、中間領域 7 4 3 および下部領域 7 4 2 のそれぞれの一部には、第 2 ゲート痕 7 6 が形成されている。第 2 ゲート痕 7 6 は、当該第 2 ゲート痕 7 6 を除く第 4 側面 7 4 の他の部分よりも表面が粗である。第 2 ゲート痕 7 6 は、封止樹脂 7 0 をモールド成形により形成する際、流動化した樹脂の流入出により現れる痕跡である。

[0063] 次に、半導体装置 A 1 0 を構成する制御素子 4 1、駆動素子 4 2、および絶縁素子 5 0 の作動について説明する。

[0064] 複数の第 5 端子部 3 3 2（第 5 リード 3 3）に入力された 2 種類の制御信号は、複数の第 1 ワイヤ 6 1 を介して制御素子 4 1 に伝送される。制御素子 4 1 の内部に構成された一対のトランジスタ、およびパルスジェネレータにより、2 種類の制御信号は、単一の低電圧パルス信号に変換される。低電圧パルス信号は、複数の第 3 ワイヤ 6 3 を介して、絶縁素子 5 0 の送信側インダクタに入力される。これにより、送信側インダクタに磁気結合された受信側インダクタから、駆動素子 4 2 の基準電圧に応じた高電圧パルス信号が出力される。高電圧パルス信号は、複数の第 4 ワイヤ 6 4 を介して駆動素子 4 2 に伝送される。高電圧パルス信号は、駆動素子 4 2 によりスイッチング素子を駆動させるためのゲート電圧に変換される。ゲート電圧は、第 2 ワイヤ 6 2 を介して複数の第 6 端子部 3 4 2（第 6 リード 3 4）のいずれかから出力される。

[0065] このように、絶縁素子50を境界として、制御素子41が半導体装置A10の低電圧領域、駆動素子42が半導体装置A10の高電圧領域となる。このため、制御素子41に導通する第1リード10、第3リード31、複数の第5リード33、複数の第1ワイヤ61、および複数の第3ワイヤ63は、半導体装置A10の低電圧領域となる。また、駆動素子42に導通する第2リード20、第4リード32、複数の第6リード34、複数の第2ワイヤ62、および複数の第4ワイヤ64は、半導体装置A10の高電圧領域となる。絶縁素子50は、低電圧領域と高電圧領域とを絶縁しつつ、低電圧領域と高電圧領域との間で、電気信号の伝送を行う。

[0066] 次に、半導体装置A10の製造方法の一例について、図13～図15を参照して以下に説明する。図13～図15は、半導体装置A10の製造方法に係る工程を示す平面図である。

[0067] まず、図13に示すように、リードフレーム80を準備する。リードフレーム80は、板状の材料である。本実施形態においては、リードフレーム80の母材は、Cuからなる。リードフレーム80は、金属板にエッチング処理等を施すことにより形成される。リードフレーム80は、z方向に離間する主面80Aおよび裏面80Bを有する。凹部113、主面側凹部131a、および主面側凹部231aは、主面80A側からのハーフエッチングによって形成される。なお、リードフレーム80は、金属板に打ち抜き加工を施すことにより形成されてもよい。この場合、凹部113、主面側凹部131a、および主面側凹部231aは、主面80A側からのスタンピングによって形成される。

[0068] リードフレーム80は、導電支持部材1（第1リード10、第2リード20、第3リード31、第4リード32、複数の第5リード33、および複数の第6リード34）に加えて、フレーム81、複数の第1タイバー821、複数の第2タイバー822、および一対のダムバー83を有する。フレーム81、複数の第1タイバー821、複数の第2タイバー822、および一対のダムバー83は、半導体装置A10を構成しない。

[0069] z方向視において、フレーム81は、枠状である。フレーム81は、導電支持部材1、複数の第1タイバー821、複数の第2タイバー822、および一对のダムバー83を囲んでいる。第2リード20、第4リード32および複数の第6リード34のそれぞれのy方向のy2側の端は、フレーム81に連結されている。第1リード10、第3リード31および複数の第5リード33のそれぞれのy方向のy1側の端は、フレーム81に連結されている。

[0070] 複数の第1タイバー821は、x方向に延びている。複数の第1タイバー821の各々は、そのx方向における両端が一对の第2タイバー822に連結されている。複数の第1タイバー821は、y方向のy2側に位置する一对の第1タイバー821と、y方向のy1側に位置する一对の第1タイバー821とを含む。第2リード20、第4リード32および複数の第6リード34は、y方向のy2側に位置する一对の第1タイバー821に連結されている。第1リード10、第3リード31および複数の第5リード33は、y方向のy1側に位置する一对の第1タイバー821に連結されている。

[0071] 複数の第2タイバー822は、y方向に延びている。複数の第2タイバー822の各々は、そのy方向における一端がダムバー83に連結されている。複数の第2タイバー822は、y方向のy2側に位置する一对の第2タイバー822と、y方向のy1側に位置する一对の第2タイバー822とを含む。y方向のy2側およびy1側のそれぞれにおいて、一对の第2タイバー822および一对の第1タイバー821は、z方向視において枠状をなしている。

[0072] 一对のダムバー83は、x方向におけるリードフレーム80の両側に連結されている。一对のダムバー83は、y方向に延び、かつ、導電支持部材1に向けて突出している。一对のダムバー83の各々には、切欠部831が設けられている。封止樹脂70をモールド成形により形成する際、切欠部831が流動化した樹脂の流入出口となるゲートになる。

[0073] 次いで、図14に示すように、制御素子41および絶縁素子50をダイボンディングにより第1ダイパッド部11に接合し、駆動素子42をダイボン

ディングにより第2ダイパッド部21に接合する。これらの工程を経た後、複数の第1ワイヤ61、複数の第2ワイヤ62、複数の第3ワイヤ63、および複数の第4ワイヤ64の各々をワイヤボンディングにより形成する。ワイヤの形成工程では、リードフレーム80を金型で押さえた状態で加熱する。このとき、第1ダイパッド部11および第2ダイパッド部21は、金型で押さえられず、たとえば吸引によって固定されている。

[0074] 第1ワイヤ61aの形成工程では、まず、キャピラリを制御素子41に向かって下降させ、ワイヤの先端を所定の電極411に押しつける。このとき、キャピラリの自重およびキャピラリから発振される超音波などの作用によって、ワイヤの先端が電極411に圧着されて、ファーストボンディングが行われる。次いで、ワイヤを送り出しながらキャピラリを上昇させることで、電極411上にボールボンドが形成される。次いで、第1接続部13の直上にキャピラリを移動させ、さらにキャピラリを下降させることにより、キャピラリの先端を第1接続部13の厚肉部13bに押しつける。これにより、ワイヤがキャピラリの先端と第1接続部13とに挟まれて圧着されて、セカンドボンディングが行われる。次いで、キャピラリを上昇させることで、ワイヤが切断される。他の第1ワイヤ61の形成工程も同様である。

[0075] 第2ワイヤ62aの形成工程では、駆動素子42の電極421にファーストボンディングを行い、電極421上にボールボンドを形成して、第2接続部23の厚肉部23bにセカンドボンディングを行う。他の第2ワイヤ62の形成工程も同様である。第3ワイヤ63の形成工程では、絶縁素子50の低電圧電極53にファーストボンディングを行い、低電圧電極53上にボールボンドを形成して、制御素子41の電極411にセカンドボンディングを行う。第4ワイヤ64の形成工程では、絶縁素子50の高電圧電極54にファーストボンディングを行い、高電圧電極54上にボールボンドを形成して、駆動素子42の電極421にセカンドボンディングを行う。

[0076] 次いで、封止樹脂70を形成する。封止樹脂70は、トランスファモールド成形により形成される。本工程においては、複数のキャビティ88を有す

る金型にリードフレーム 80 を収納する。この際、図 15 に示すように、リードフレーム 80 のうち、半導体装置 A10 において封止樹脂 70 に覆われた導電支持部材 1 の部分が、複数のキャビティ 88 のいずれかに収容されるようにする。その後、複数のキャビティ 88 の各々に流動化した樹脂を流し込む。流動化した樹脂は、各キャビティ 88 において、x 方向のたとえば x1 側の切欠部 831 の流入ゲートから流入され、図 15 の破線矢印に沿ってキャビティ 88 内部を流れ、x 方向のたとえば x2 側の切欠部 831 の流出ゲートから流出する。

[0077] 複数のキャビティ 88 の中において流動化した封止樹脂 70 を固化させた後、複数のキャビティ 88 の各々に対して外方に位置する樹脂バリを高圧水などで除去する。この際、流入ゲートに位置する樹脂バリを除去すると、封止樹脂 70 に第 1 ゲート痕 75 が形成される。同様に、流出ゲートに位置する樹脂バリを除去すると、封止樹脂 70 に第 2 ゲート痕 76 が形成される。以上により封止樹脂 70 の形成が完了する。なお、流入ゲートと流出ゲートは反対であってもよい。

[0078] その後、ダイシングを行い、個片化することで、フレーム 81、複数の第 1 タイバー 821、複数の第 2 タイバー 822、および一对のダムバー 83 によって互いにつながっていた第 1 リード 10、第 2 リード 20、第 3 リード 31、第 4 リード 32、複数の第 5 リード 33、および複数の第 6 リード 34 が、適宜分離される。以上に示した工程を経ることで、半導体装置 A10 が製造される。

[0079] 次に、半導体装置 A10 の作用効果について説明する。

[0080] 本実施形態によると、第 1 リード 10 の第 1 接続部 13 は、主面側凹部 131a が形成されており、厚肉部 13b より z 方向寸法が小さい薄肉部を含んでいる。薄肉部は、厚肉部 13b と比較して剛性が低いので、変形しやすい。したがって、製造工程のワイヤの形成工程においてリードフレーム 80 を加熱した場合、熱膨張による変形が薄肉部で吸収されて、第 1 ダイパッド部 11 の変位が緩和される。これにより、制御素子 41 の電極 411 に接合

された第1ワイヤ61、絶縁素子50の低電圧電極53に接合された第3ワイヤ63、および、絶縁素子50の高電圧電極54に接合された第4ワイヤ64のボールボンドの形状安定性を向上できる。また、第2リード20の第2接続部23は、主面側凹部231aが形成されており、厚肉部23bよりz方向寸法が小さい薄肉部を含んでいる。したがって、製造工程のワイヤの形成工程においてリードフレーム80を加熱した場合、熱膨張による変形が薄肉部で吸収されて、第2ダイパッド部21の変位が緩和される。これにより、駆動素子42の電極421に接合された第2ワイヤ62のボールボンドの形状安定性を向上できる。また、主面側凹部131aおよび主面側凹部231aは、第1接続部13および第2接続部23と封止樹脂70との密着性を向上させる機能を有し、また、接合層49が広がりすぎることを防止する機能も有する。

[0081] また、本実施形態によると、第1接続部13は、2個の主面側凹部131aを備えており、2個の主面側凹部131aの間、および、x方向の両端部に厚肉部13bを有する。したがって、薄肉部がx方向の全体にわたって配置されている場合より、第1ダイパッド部11の安定性が高い。また、第2接続部23は、2個の主面側凹部231aを備えており、2個の主面側凹部231aの間、および、x方向の両端部に厚肉部23bを有する。したがって、薄肉部がx方向の全体にわたって配置されている場合より、第2ダイパッド部21の安定性が高い。

[0082] また、本実施形態によると、第1接続部13の第1ダイパッド部11につながる部分のx方向の寸法w1は、第1ダイパッド部11のx方向の寸法w2の1/2以上である。したがって、第1ダイパッド部11の安定性が高い。また、第2接続部23の第2ダイパッド部21につながる部分のx方向の寸法w1'は、第2ダイパッド部21のx方向の寸法w2'の1/2以上である。したがって、第2ダイパッド部21の安定性が高い。

[0083] また、本実施形態によると、主面側凹部131aの深さは、第1接続部13の厚さの40%以上60%以下である。これにより、薄肉部の剛性を低下

させ、かつ、第1ダイパッド部11の安定性を確保できる。また、主面側凹部231aの深さは、第2接続部23の厚さの40%以上60%以下である。これにより、薄肉部の剛性を低下させ、かつ、第2ダイパッド部21の安定性を確保できる。

[0084] また、本実施形態によると、主面側凹部131aの幅の寸法 w_3 は、第1接続部13のy方向の寸法 w_4 の1/5以下である。これにより、第1ワイヤ61を接合するための肉厚部を確保できる。また、主面側凹部231aの幅の寸法 w_3' は、第2接続部23のy方向の寸法 w_4' の1/5以下である。これにより、第2ワイヤ62を接合するための肉厚部を確保できる。

[0085] 図16～図20は、本開示の他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。

[0086] <第2実施形態>

図16および図17は、本開示の第2実施形態に係る半導体装置A20を説明するための図である。図16は、半導体装置A20を示す平面図であり、図2に対応する図である。図16においては、理解の便宜上、封止樹脂70を透過して、封止樹脂70の外形を想像線（二点鎖線）で示している。図17は、図16のXVⅠⅠ-XVⅠⅠ線に沿う断面図であり、図7に対応する図である。本実施形態の半導体装置A20は、主面側凹部131a、231aに代えて裏面側凹部132a、232aを備えている点で、第1実施形態と異なっている。

[0087] 本実施形態では、第1接続部13は、複数の主面側凹部131aを備えておらず、代わりに、複数の裏面側凹部132aを備えている。複数の裏面側凹部132aは、図17に示すように、裏面132からz方向に凹んでいる。また、図16に示すように、複数の裏面側凹部132aのz方向視における配置位置、形状、個数、および形成方法は、第1実施形態の半導体装置A10における複数の主面側凹部131aと同様である。本実施形態では、裏面側凹部132aが本開示の薄肉部の一例である。また、第2接続部23は

、複数の主面側凹部231aを備えておらず、代わりに、複数の裏面側凹部232aを備えている。複数の裏面側凹部232aは、裏面232からz方向に凹んでいる。また、図16に示すように、複数の裏面側凹部232aのz方向視における配置位置、形状、個数、および形成方法は、第1実施形態の半導体装置A10における複数の主面側凹部231aと同様である。本実施形態では、裏面側凹部232aが本開示の薄肉部の一例である。

[0088] 本実施形態によると、第1リード10の第1接続部13は、裏面側凹部132aが形成されており、厚肉部13bよりz方向寸法が小さい薄肉部を含んでいる。したがって、制御素子41の電極411に接合された第1ワイヤ61、絶縁素子50の低電圧電極53に接合された第3ワイヤ63、および、絶縁素子50の高電圧電極54に接合された第4ワイヤ64のボールボンドの形状安定性を向上できる。また、第2リード20の第2接続部23は、裏面側凹部232aが形成されており、厚肉部23bよりz方向寸法が小さい薄肉部を含んでいる。したがって、駆動素子42の電極421に接合された第2ワイヤ62のボールボンドの形状安定性を向上できる。また、裏面側凹部132aおよび裏面側凹部232aは、第1接続部13および第2接続部23と封止樹脂70との密着性を向上させる機能を有する。

[0089] <第3実施形態>

図18は、本開示の第3実施形態に係る半導体装置A30を説明するための図である。図18は、半導体装置A30を示す断面図であり、図7に対応する図である。本実施形態の半導体装置A30は、さらに裏面側凹部132a、232aを備えている点で、第1実施形態と異なっている。

[0090] 本実施形態では、第1接続部13は、複数の主面側凹部131aに加えて、複数の裏面側凹部132aを備えている。複数の裏面側凹部132aは、第2実施形態に係る複数の裏面側凹部132aと同様であり、図18に示すように、裏面132からz方向に凹んでいる。また、複数の裏面側凹部132aのz方向視における配置位置、形状、個数、および形成方法は、複数の主面側凹部131aと同様である。本実施形態では、主面側凹部131aお

よび裏面側凹部 1 3 2 a の深さ（z 方向の寸法）は、それぞれ、第 1 接続部 1 3 の厚さ（z 方向の寸法）の 1/4 程度である。本実施形態では、主面側凹部 1 3 1 a と裏面側凹部 1 3 2 a とに挟まれた部分が本開示の薄肉部の一例である。したがって、薄肉部の z 方向の寸法は、厚肉部 1 3 b の z 方向の寸法の半分程度である。なお、主面側凹部 1 3 1 a および裏面側凹部 1 3 2 a の深さは限定されない。また、第 2 接続部 2 3 は、複数の主面側凹部 2 3 1 a に加えて、複数の裏面側凹部 2 3 2 a を備えている。複数の裏面側凹部 2 3 2 a は、第 2 実施形態に係る複数の裏面側凹部 2 3 2 a と同様であり、裏面 2 3 2 から z 方向に凹んでいる。また、複数の裏面側凹部 2 3 2 a の z 方向視における配置位置、形状、個数、および形成方法は、複数の主面側凹部 2 3 1 a と同様である。本実施形態では、主面側凹部 2 3 1 a および裏面側凹部 2 3 2 a の深さ（z 方向の寸法）は、それぞれ、第 2 接続部 2 3 の厚さ（z 方向の寸法）の 1/4 程度である。本実施形態では、主面側凹部 2 3 1 a と裏面側凹部 2 3 2 a とに挟まれた部分が本開示の薄肉部の一例である。したがって、薄肉部の z 方向の寸法は、厚肉部 2 3 b の z 方向の寸法の半分程度である。なお、主面側凹部 2 3 1 a および裏面側凹部 2 3 2 a の深さは限定されない。

[0091] 本実施形態によると、第 1 リード 1 0 の第 1 接続部 1 3 は、主面側凹部 1 3 1 a および裏面側凹部 1 3 2 a が形成されており、厚肉部 1 3 b より z 方向寸法が小さい薄肉部を含んでいる。したがって、制御素子 4 1 の電極 4 1 1 に接合された第 1 ワイヤ 6 1、絶縁素子 5 0 の低電圧電極 5 3 に接合された第 3 ワイヤ 6 3、および、絶縁素子 5 0 の高電圧電極 5 4 に接合された第 4 ワイヤ 6 4 のボールボンドの形状安定性を向上できる。また、第 2 リード 2 0 の第 2 接続部 2 3 は、主面側凹部 2 3 1 a および裏面側凹部 2 3 2 a が形成されており、厚肉部 2 3 b より z 方向寸法が小さい薄肉部を含んでいる。したがって、駆動素子 4 2 の電極 4 2 1 に接合された第 2 ワイヤ 6 2 のボールボンドの形状安定性を向上できる。また、主面側凹部 1 3 1 a、2 3 1 a および裏面側凹部 1 3 2 a、2 3 2 a は、第 1 接続部 1 3 および第 2 接続

部 2 3 と封止樹脂 7 0 との密着性を向上させる機能を有する。また、主面側凹部 1 3 1 a, 2 3 1 a は、接合層 4 9 が広がりすぎることを防止する機能も有する。

[0092] なお、本実施形態では、主面側凹部 1 3 1 a と裏面側凹部 1 3 2 a、および、主面側凹部 2 3 1 a と裏面側凹部 2 3 2 a が、z 方向視における配置位置、形状、および個数が同様である場合について説明したが、これに限られず、異なってもよい。

[0093] <第 4 実施形態>

図 1 9 は、本開示の第 4 実施形態に係る半導体装置 A 4 0 を説明するための図である。図 1 9 は、半導体装置 A 4 0 を示す平面図であり、図 2 に対応する図である。図 1 9 においては、理解の便宜上、封止樹脂 7 0 を透過して、封止樹脂 7 0 の外形を想像線（二点鎖線）で示している。本実施形態の半導体装置 A 4 0 は、主面側凹部 1 3 1 a, 2 3 1 a の形状が、第 1 実施形態と異なっている。

[0094] 本実施形態では、主面側凹部 1 3 1 a は、1 個であり、第 1 接続部 1 3 の x 方向の全体にわたって延びている。主面側凹部 1 3 1 a の配置位置、深さ、幅、および形成方法は、第 1 実施形態に係る主面側凹部 1 3 1 a と同様である。また、主面側凹部 2 3 1 a は、1 個であり、第 2 接続部 2 3 の x 方向の全体にわたって延びている。主面側凹部 2 3 1 a の配置位置、深さ、幅、および形成方法は、第 1 実施形態に係る主面側凹部 2 3 1 a と同様である。

[0095] 本実施形態においても、第 1 リード 1 0 の第 1 接続部 1 3 は、主面側凹部 1 3 1 a が形成されており、厚肉部 1 3 b より z 方向寸法が小さい薄肉部を含んでいる。したがって、制御素子 4 1 の電極 4 1 1 に接合された第 1 ワイヤ 6 1、絶縁素子 5 0 の低電圧電極 5 3 に接合された第 3 ワイヤ 6 3、および、絶縁素子 5 0 の高電圧電極 5 4 に接合された第 4 ワイヤ 6 4 のボールボンドの形状安定性を向上できる。また、第 2 リード 2 0 の第 2 接続部 2 3 は、主面側凹部 2 3 1 a が形成されており、厚肉部 2 3 b より z 方向寸法が小さい薄肉部を含んでいる。したがって、駆動素子 4 2 の電極 4 2 1 に接合さ

れた第2ワイヤ62のボールボンドの形状安定性を向上できる。さらに、本実施形態によると、主面側凹部131aが第1接続部13のx方向の全体にわたって延びているので、薄肉部の剛性をより低下できる。したがって、第1ダイパッド部11の変位がより緩和され、ボールボンドの形状安定性をより向上できる。また、主面側凹部231aが第2接続部23のx方向の全体にわたって延びているので、薄肉部の剛性をより低下できる。したがって、第2ダイパッド部21の変位がより緩和され、ボールボンドの形状安定性をより向上できる。

[0096] <第5実施形態>

図20は、本開示の第5実施形態に係る半導体装置A50を説明するための図である。図20は、半導体装置A50を示す平面図であり、図2に対応する図である。図20においては、理解の便宜上、封止樹脂70を透過して、封止樹脂70の外形を想像線（二点鎖線）で示している。本実施形態の半導体装置A50は、主面側凹部131a、231aの形状が、第1実施形態と異なっている。

[0097] 本実施形態では、主面側凹部131aは、2個であり、それぞれが第1接続部13のx方向の全体にわたって延びている。2個の主面側凹部131aは、y方向に並んで配置されている。各主面側凹部131aの幅は、第1実施形態に係る主面側凹部131aの1/2程度である。主面側凹部131aの配置位置、深さ、および形成方法は、第1実施形態に係る主面側凹部131aと同様である。また、主面側凹部231aは、2個であり、それぞれが第1接続部13のx方向の全体にわたって延びている。2個の主面側凹部231aは、y方向に並んで配置されている。各主面側凹部231aの幅は、第1実施形態に係る主面側凹部231aの1/2程度である。主面側凹部231aの配置位置、深さ、および形成方法は、第1実施形態に係る主面側凹部231aと同様である。

[0098] 本実施形態においても、第1リード10の第1接続部13は、主面側凹部131aが形成されており、厚肉部13bよりz方向寸法が小さい薄肉部を

含んでいる。したがって、制御素子41の電極411に接合された第1ワイヤ61、絶縁素子50の低電圧電極53に接合された第3ワイヤ63、および、絶縁素子50の高電圧電極54に接合された第4ワイヤ64のボールボンドの形状安定性を向上できる。また、第2リード20の第2接続部23は、主面側凹部231aが形成されており、厚肉部23bよりz方向寸法が小さい薄肉部を含んでいる。したがって、駆動素子42の電極421に接合された第2ワイヤ62のボールボンドの形状安定性を向上できる。さらに、本実施形態によると、2個の主面側凹部131aが第1接続部13のx方向の全体にわたって延びているので、薄肉部の剛性をより低下できる。したがって、第1ダイパッド部11の変位がより緩和され、ボールボンドの形状安定性をより向上できる。また、2個の主面側凹部231aが第2接続部23のx方向の全体にわたって延びているので、薄肉部の剛性をより低下できる。したがって、第2ダイパッド部21の変位がより緩和され、ボールボンドの形状安定性をより向上できる。なお、主面側凹部131aおよび主面側凹部231aの個数は、3個以上であってもよい。

[0099] 本開示に係る半導体装置は、先述した実施形態に限定されるものではない。本開示に係る半導体装置の各部の具体的な構成は、種々に設計変更自在である。

[0100] 付記1.

第1リードを含む導電支持部材と、

前記第1リードに搭載された第1半導体素子と、

前記導電支持部材の少なくとも一部、および、前記第1半導体素子を覆う封止樹脂と、

を備え、

前記第1リードは、第1ダイパッド部と、この第1ダイパッド部につながる第1接続部と、この第1接続部につながる第1端子部とを備えており、

前記第1半導体素子は前記第1ダイパッド部の主面に搭載されており

前記第1接続部は、前記第1ダイパッド部の厚さ方向、および、この厚さ

方向に直交する第1方向の双方に直交する第2方向において、前記第1ダイパッド部と前記第1端子部との間に配置されており、かつ、前記封止樹脂に覆われており、

前記第1接続部は、その全体が前記封止樹脂から露出しており、

前記第1接続部は、厚肉部と、前記厚さ方向の寸法が前記厚肉部より小さい少なくとも1つの薄肉部とを含んでいる、半導体装置。

付記2.

前記少なくとも1つの薄肉部は、前記第1方向に沿って長状に延びている、付記1に記載の半導体装置。

付記3.

前記第1接続部は、前記第1方向に互いに離間する第1縁および第2縁を有しており、前記少なくとも1つの薄肉部は、前記第1縁から前記第2縁まで延びている、付記2に記載の半導体装置。

付記4.

前記少なくとも1つの薄肉部は、第1薄肉部および第2薄肉部を含んでおり、前記第1薄肉部と前記第2薄肉部とは、前記第1方向に沿って配置されている、付記2に記載の半導体装置。

付記5.

前記少なくとも1つの薄肉部は、前記第1ダイパッド部に接している、付記2ないし4のいずれかに記載の半導体装置。

付記6.

前記少なくとも1つの薄肉部の前記第2方向の寸法は、前記第1接続部の前記第2方向の寸法の1/5以下である、付記1ないし5のいずれかに記載の半導体装置。

付記7.

前記少なくとも1つの薄肉部の前記厚さ方向の寸法は、前記厚肉部の前記厚さ方向の寸法の40%以上60%以下である、付記1ないし6のいずれかに記載の半導体装置。

付記 8.

前記第 1 接続部の前記第 1 ダイパッド部との接続部分の前記第 1 方向の寸法は、前記第 1 ダイパッド部の前記第 1 方向の寸法の $1/2$ 以上である、付記 1 ないし 7 のいずれかに記載の半導体装置。

付記 9.

前記第 1 接続部は、前記第 1 ダイパッド部の前記主面と同じ側を向く接続部主面と、前記接続部主面とは反対側の接続部裏面とを備えている、付記 1 ないし 8 のいずれかに記載の半導体装置。

付記 10.

前記第 1 接続部は、前記接続部主面から前記厚さ方向に凹む主面側凹部を備え、

前記少なくとも 1 つの薄肉部は、前記接続部裏面と前記主面側凹部とに挟まれた部分により形成される、付記 9 に記載の半導体装置。

付記 11.

前記第 1 接続部は、前記接続部裏面から前記厚さ方向に凹む裏面側凹部を備え、

前記少なくとも 1 つの薄肉部は、前記接続部主面と前記裏面側凹部とに挟まれた部分により形成される、付記 9 に記載の半導体装置。

付記 12.

前記第 1 接続部は、前記接続部主面から前記厚さ方向に凹む主面側凹部と、前記接続部裏面から前記厚さ方向に凹む裏面側凹部と、を備え、

前記少なくとも 1 つの薄肉部は、前記主面側凹部と前記裏面側凹部とに挟まれた部分により形成される、付記 9 に記載の半導体装置。

付記 13.

前記第 1 半導体素子に接続された第 1 端および前記第 1 接続部に接続された第 2 端を有するワイヤをさらに備え、

前記ワイヤは、前記少なくとも 1 つの薄肉部から離間した位置で前記第 1 接続部に接続されている、付記 1 ないし 12 のいずれかに記載の半導体装置

。

付記 1 4.

第 2 半導体素子をさらに備え、

前記導電支持部材は、前記第 2 半導体素子が搭載され、かつ、前記第 1 ダイパッド部とは電位が異なる第 2 ダイパッド部を備える第 2 リードをさらに含む、付記 1 ないし 1 3 のいずれかに記載の半導体装置。

付記 1 5.

前記第 1 ダイパッド部に搭載された第 3 半導体素子をさらに備え、

前記第 1 半導体素子は、制御素子であり、

前記第 3 半導体素子は、前記制御素子に導通する絶縁素子であり、

前記第 2 半導体素子は、前記絶縁素子に導通する駆動素子である、付記 1 4 に記載の半導体装置。

付記 1 6.

前記第 1 ダイパッド部および前記第 2 ダイパッド部は、前記第 1 方向に互いに離間配置され、

前記第 2 リードは、前記第 2 ダイパッド部につながる第 2 接続部と、この第 2 接続部につながる第 2 端子部とを備えており、

前記第 2 接続部は、前記第 2 方向において、前記第 2 ダイパッド部と前記第 2 端子部との間に配置されており、かつ、前記封止樹脂に覆われており、

前記第 2 方向において、前記第 2 端子部は、前記第 1 ダイパッド部および前記第 2 ダイパッド部を基準として、前記第 1 端子部とは反対側に配置されており、

前記第 2 接続部は、その全体が前記封止樹脂から露出しており、

前記導電支持部材は、前記第 1 方向に沿って配列され、かつ、前記第 1 半導体素子に導通する複数の入力側リードと、前記第 1 方向に沿って配列され、かつ、前記第 2 半導体素子に導通する複数の出力側リードと、をさらに含み、

前記封止樹脂は、前記第 2 方向において互いに離間した第 1 側面および第

2側面を有し、

前記複数の入力側リードおよび前記第1端子部は、前記第1側面から前記封止樹脂の外部に突出しており、

前記複数の出力側リードおよび前記第2端子部は、前記第2側面から前記封止樹脂の外部に突出している、付記14または15に記載の半導体装置。
付記17.

前記導電支持部材は、Cuを含む合金からなる、付記1ないし16のいずれかに記載の半導体装置。

付記18.

前記封止樹脂は、電気絶縁性を有するエポキシ樹脂からなる、付記1ないし17のいずれかに記載の半導体装置。

符号の説明

[0101] A10, A20, A30, A40, A50 : 半導体装置

1 : 導電支持部材

10 : 第1リード

11 : 第1ダイパッド部

111 : 主面

112 : 裏面

113 : 凹部

12 : 第1端子部

13 : 第1接続部

131 : 主面

131a : 主面側凹部

132 : 裏面

132a : 裏面側凹部

135 : 貫通孔

13b : 厚肉部

20 : 第2リード

21 : 第2ダイパッド部

211 : 主面

212 : 裏面

22 : 第2端子部

23 : 第2接続部

231 : 主面

231a : 主面側凹部

232 : 裏面

232a : 裏面側凹部

235 : 貫通孔

23b : 厚肉部

31 : 第3リード

311 : 第3パッド部

311a : 貫通孔

312 : 第3端子部

3 2 : 第4 リード	3 2 1 : 第4 パッド部
3 2 1 a : 貫通孔	3 2 2 : 第4 端子部
3 3 : 第5 リード	3 3 1 : 第5 パッド部
3 3 1 a : 貫通孔	3 3 2 : 第5 端子部
3 4 : 第6 リード	3 4 1 : 第6 パッド部
3 4 1 a : 貫通孔	3 4 2 : 第6 端子部
4 1 : 制御素子	4 1 1 : 電極
4 2 : 駆動素子	4 2 1 : 電極
4 9 : 接合層	5 0 : 絶縁素子
5 3 : 低電圧電極	5 4 : 高電圧電極
6 1, 6 1 a : 第1 ワイヤ	6 2, 6 2 a : 第2 ワイヤ
6 3 : 第3 ワイヤ	6 4 : 第4 ワイヤ
7 0 : 封止樹脂	7 1 : 第1 側面
7 2 : 第2 側面	7 3 : 第3 側面
7 3 1 : 上部領域	7 3 2 : 下部領域
7 3 3 : 中間領域	7 4 : 第4 側面
7 4 1 : 上部領域	7 4 2 : 下部領域
7 4 3 : 中間領域	7 5 : 第1 ゲート痕
7 6 : 第2 ゲート痕	8 0 : リードフレーム
8 0 A : 主面	8 0 B : 裏面
8 1 : フレーム	8 2 1 : 第1 タイバー
8 2 2 : 第2 タイバー	8 3 : ダムバー
8 3 1 : 切欠部	8 8 : キャビティ

請求の範囲

- [請求項1] 第1リードを含む導電支持部材と、
 前記第1リードに搭載された第1半導体素子と、
 前記導電支持部材の少なくとも一部、および、前記第1半導体素子を覆う封止樹脂と、
 を備え、
 前記第1リードは、第1ダイパッド部と、この第1ダイパッド部につながる第1接続部と、この第1接続部につながる第1端子部とを備えており、
 前記第1半導体素子は前記第1ダイパッド部の主面に搭載されており、
 前記第1接続部は、前記第1ダイパッド部の厚さ方向、および、この厚さ方向に直交する第1方向の双方に直交する第2方向において、前記第1ダイパッド部と前記第1端子部との間に配置されており、かつ、前記封止樹脂に覆われており、
 前記第1端子部は、その全体が前記封止樹脂から露出しており、
 前記第1接続部は、厚肉部と、前記厚さ方向の寸法が前記厚肉部より小さい少なくとも1つの薄肉部とを含んでいる、半導体装置。
- [請求項2] 前記少なくとも1つの薄肉部は、前記第1方向に沿って長状に伸びている、請求項1に記載の半導体装置。
- [請求項3] 前記第1接続部は、前記第1方向に互いに離間する第1縁および第2縁を有しており、前記少なくとも1つの薄肉部は、前記第1縁から前記第2縁まで伸びている、請求項2に記載の半導体装置。
- [請求項4] 前記少なくとも1つの薄肉部は、第1薄肉部および第2薄肉部を含んでおり、前記第1薄肉部と前記第2薄肉部とは、前記第1方向に沿って配置されている、請求項2に記載の半導体装置。
- [請求項5] 前記少なくとも1つの薄肉部は、前記第1ダイパッド部に接している、請求項2ないし4のいずれかに記載の半導体装置。

- [請求項6] 前記少なくとも1つの薄肉部の前記第2方向の寸法は、前記第1接続部の前記第2方向の寸法の $1/5$ 以下である、請求項1ないし5のいずれかに記載の半導体装置。
- [請求項7] 前記少なくとも1つの薄肉部の前記厚さ方向の寸法は、前記厚肉部の前記厚さ方向の寸法の 40% 以上 60% 以下である、請求項1ないし6のいずれかに記載の半導体装置。
- [請求項8] 前記第1接続部と前記第1ダイパッド部との接続部分の前記第1方向の寸法は、前記第1ダイパッド部の前記第1方向の寸法の $1/2$ 以上である、請求項1ないし7のいずれかに記載の半導体装置。
- [請求項9] 前記第1接続部は、前記第1ダイパッド部の前記主面と同じ側を向く接続部主面と、前記接続部主面とは反対側の接続部裏面とを備えている、請求項1ないし8のいずれかに記載の半導体装置。
- [請求項10] 前記第1接続部は、前記接続部主面から前記厚さ方向に凹む主面側凹部を備え、
前記少なくとも1つの薄肉部は、前記接続部裏面と前記主面側凹部とに挟まれた部分により形成される、請求項9に記載の半導体装置。
- [請求項11] 前記第1接続部は、前記接続部裏面から前記厚さ方向に凹む裏面側凹部を備え、
前記少なくとも1つの薄肉部は、前記接続部主面と前記裏面側凹部とに挟まれた部分により形成される、請求項9に記載の半導体装置。
- [請求項12] 前記第1接続部は、前記接続部主面から前記厚さ方向に凹む主面側凹部と、前記接続部裏面から前記厚さ方向に凹む裏面側凹部と、を備え、
前記少なくとも1つの薄肉部は、前記主面側凹部と前記裏面側凹部とに挟まれた部分により形成される、請求項9に記載の半導体装置。
- [請求項13] 前記第1半導体素子に接続された第1端および前記第1接続部に接続された第2端を有するワイヤをさらに備え、
前記ワイヤの前記第2端は、前記少なくとも1つの薄肉部から離間

した位置で前記第1接続部に接続されている、請求項1ないし12のいずれかに記載の半導体装置。

[請求項14] 第2半導体素子をさらに備え、
前記導電支持部材は、前記第2半導体素子が搭載され、かつ、前記第1ダイパッド部とは電位が異なる第2ダイパッド部を備える第2リードをさらに含む、請求項1ないし13のいずれかに記載の半導体装置。

[請求項15] 前記第1ダイパッド部に搭載された第3半導体素子をさらに備え、
前記第1半導体素子は、制御素子であり、
前記第3半導体素子は、前記制御素子に導通する絶縁素子であり、
前記第2半導体素子は、前記絶縁素子に導通する駆動素子である、
請求項14に記載の半導体装置。

[請求項16] 前記第1ダイパッド部および前記第2ダイパッド部は、前記第1方向に互いに離間配置され、
前記第2リードは、前記第2ダイパッド部につながる第2接続部と、この第2接続部につながる第2端子部とを備えており、
前記第2接続部は、前記第2方向において、前記第2ダイパッド部と前記第2端子部との間に配置されており、かつ、前記封止樹脂に覆われており、
前記第2方向において、前記第2端子部は、前記第1ダイパッド部および前記第2ダイパッド部を基準として、前記第1端子部とは反対側に配置されており、
前記第2端子部は、その全体が前記封止樹脂から露出しており、
前記導電支持部材は、前記第1方向に沿って配列され、かつ、前記第1半導体素子に導通する複数の入力側リードと、前記第1方向に沿って配列され、かつ、前記第2半導体素子に導通する複数の出力側リードと、をさらに含み、
前記封止樹脂は、前記第2方向に互いに離間した第1側面および第

2 側面を有し、

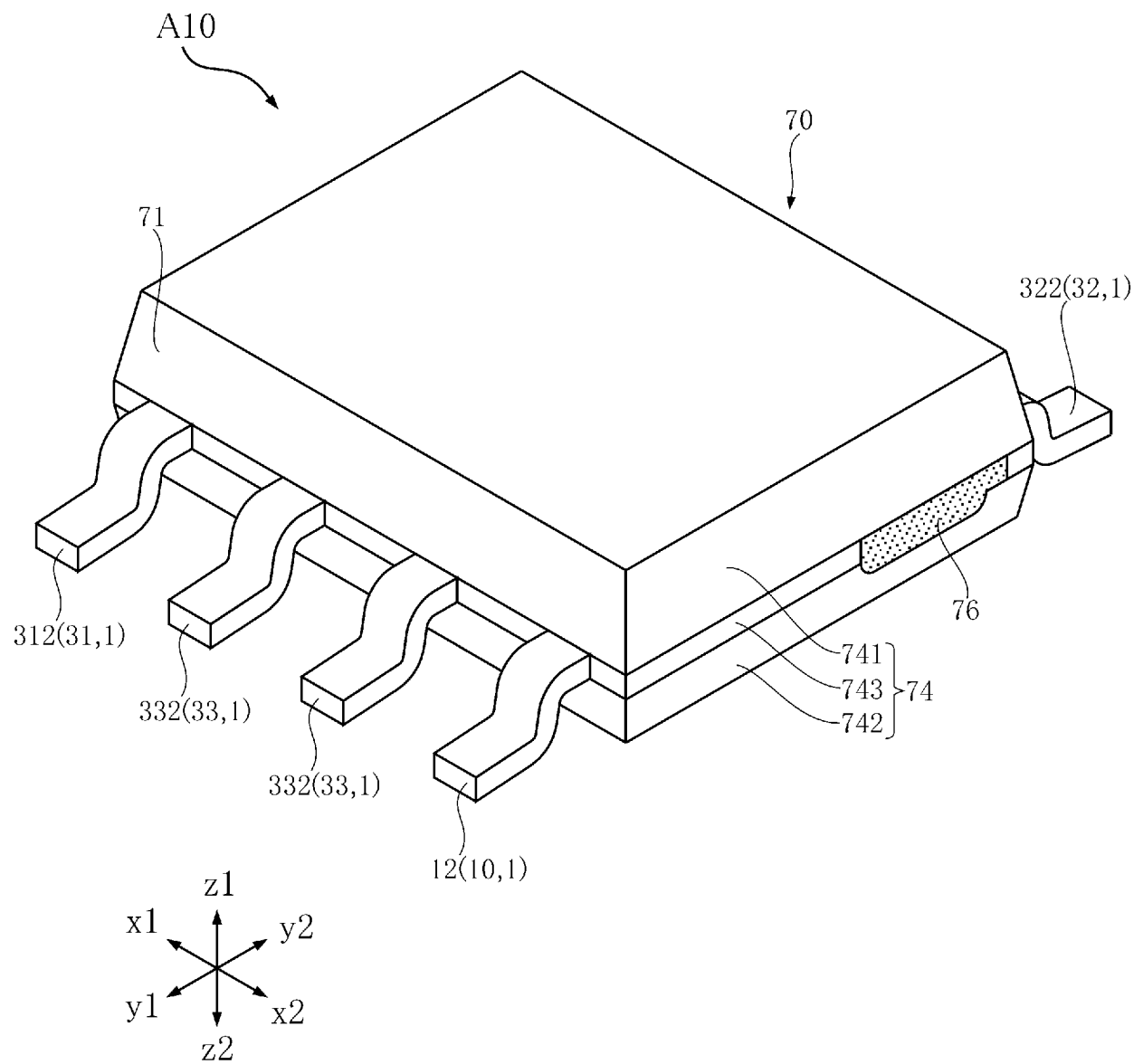
前記複数の入力側リードおよび前記第 1 端子部は、前記第 1 側面から前記封止樹脂の外部に突出しており、

前記複数の出力側リードおよび前記第 2 端子部は、前記第 2 側面から前記封止樹脂の外部に突出している、請求項 1 4 または 1 5 に記載の半導体装置。

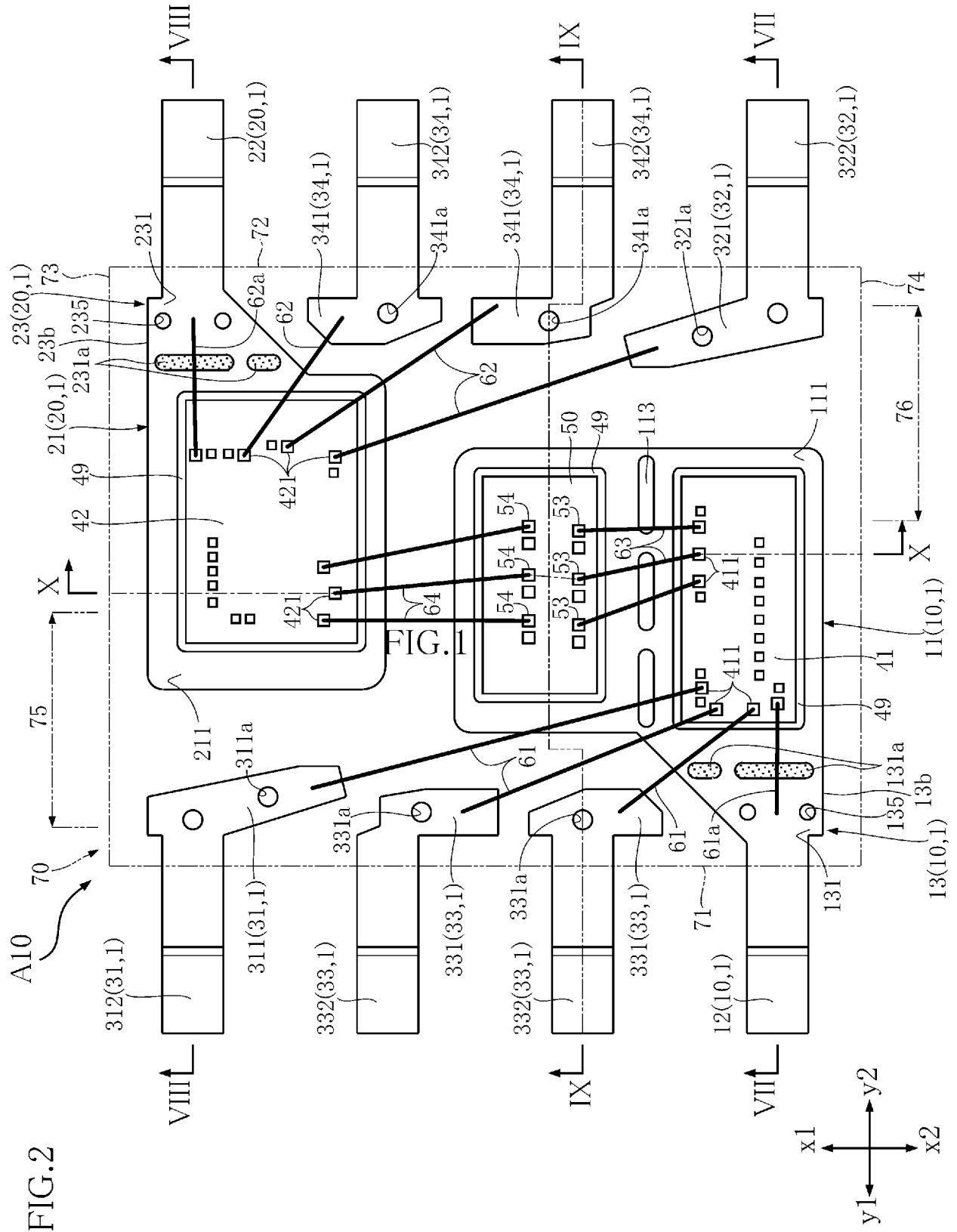
[請求項17] 前記導電支持部材は、Cuを含む合金からなる、請求項 1 ないし 1 6 のいずれかに記載の半導体装置。

[請求項18] 前記封止樹脂は、電気絶縁性を有するエポキシ樹脂からなる、請求項 1 ないし 1 7 のいずれかに記載の半導体装置。

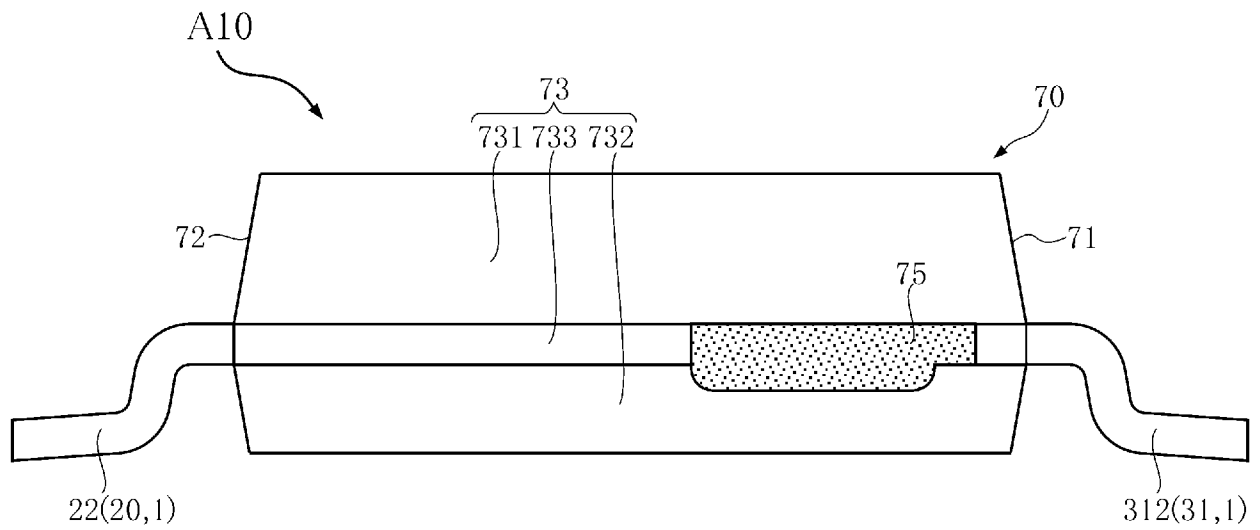
[図1]
FIG.1



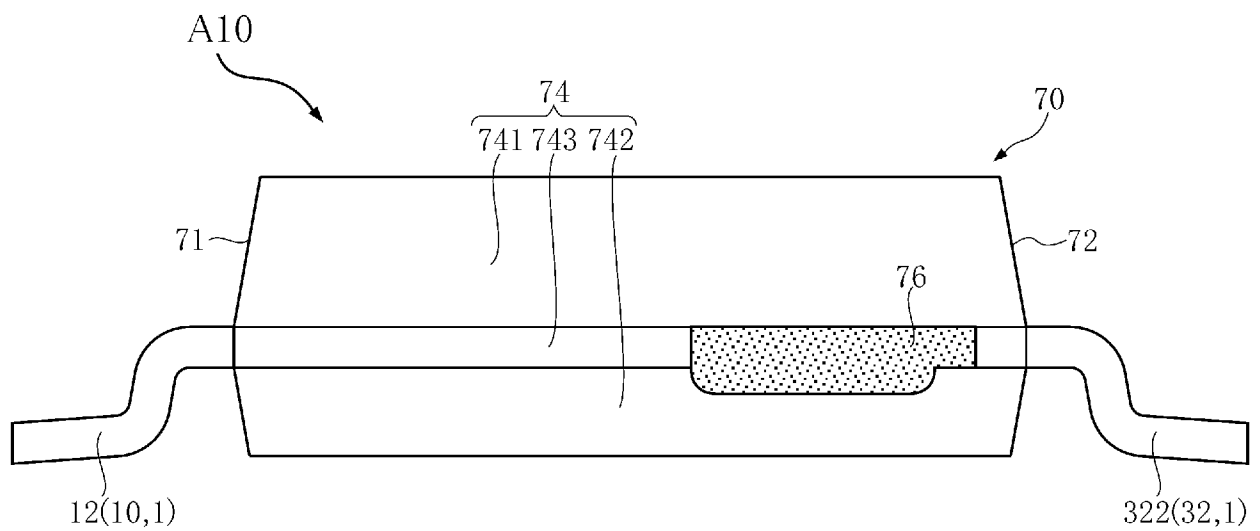
[図2]



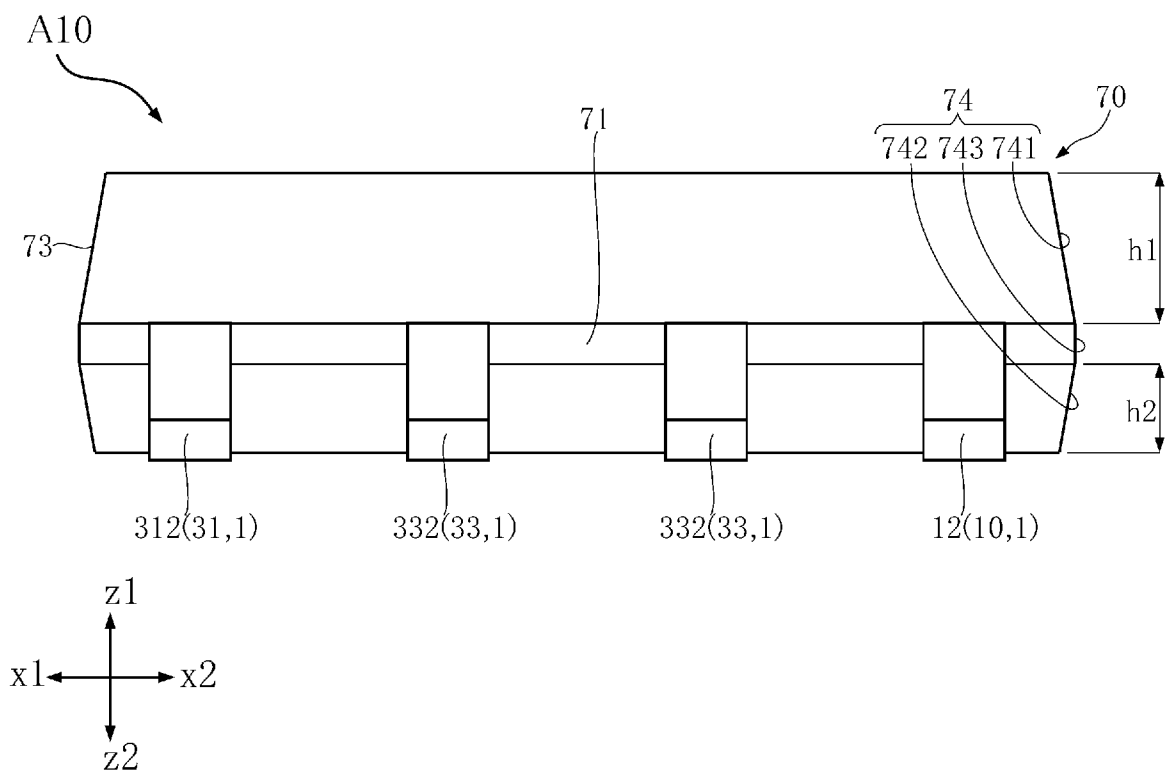
[図3]
FIG.3



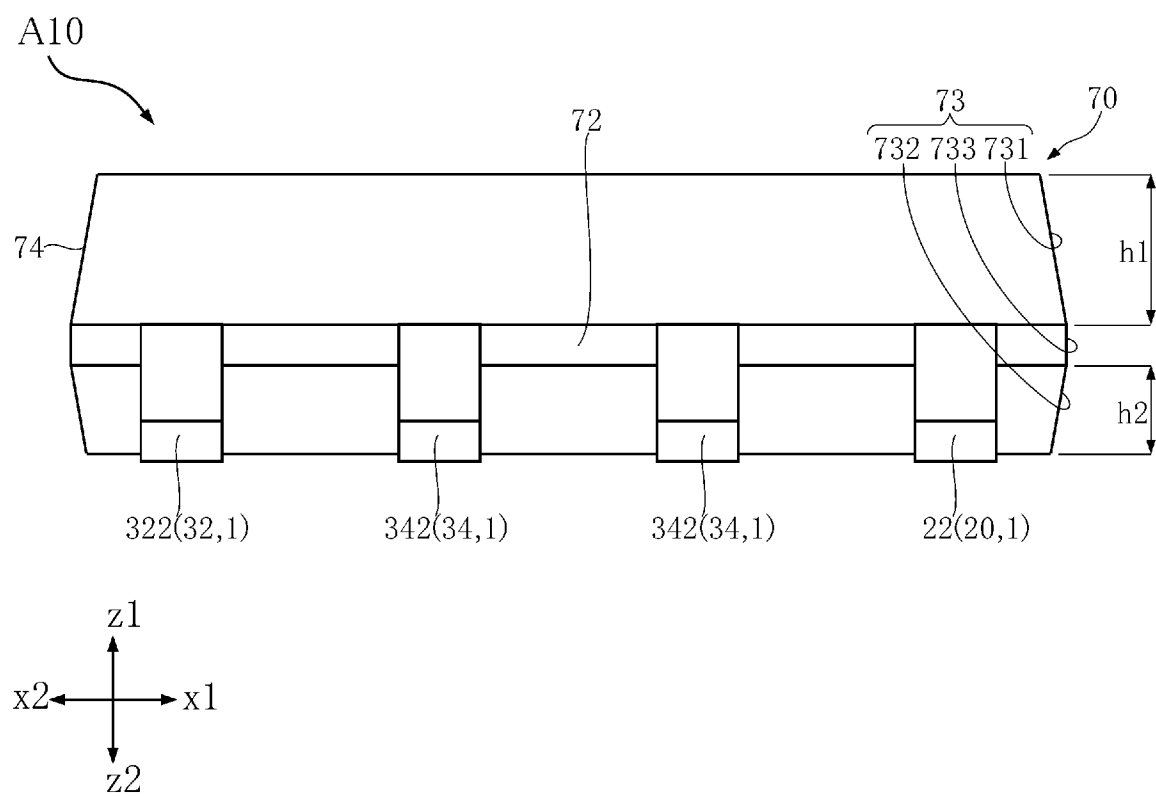
[図4]
FIG.4



[図5]
FIG.5

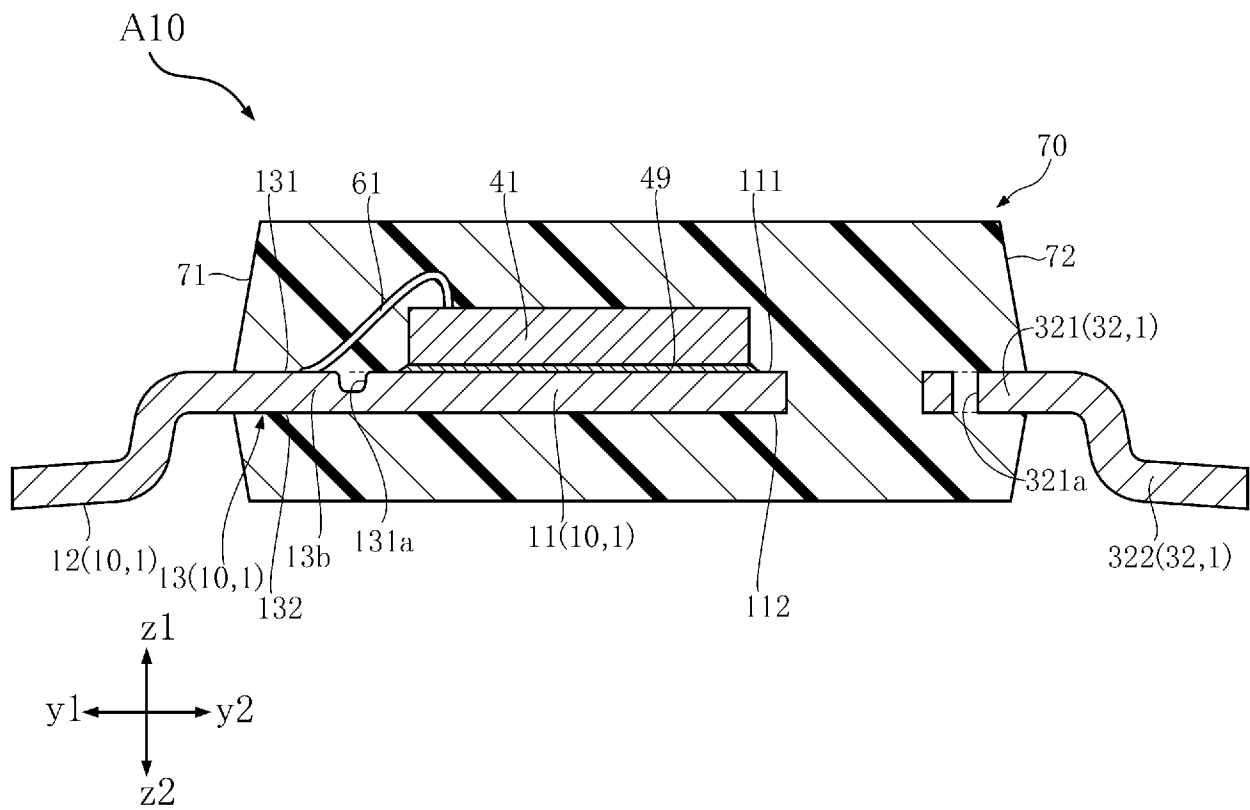


[図6]
FIG.6



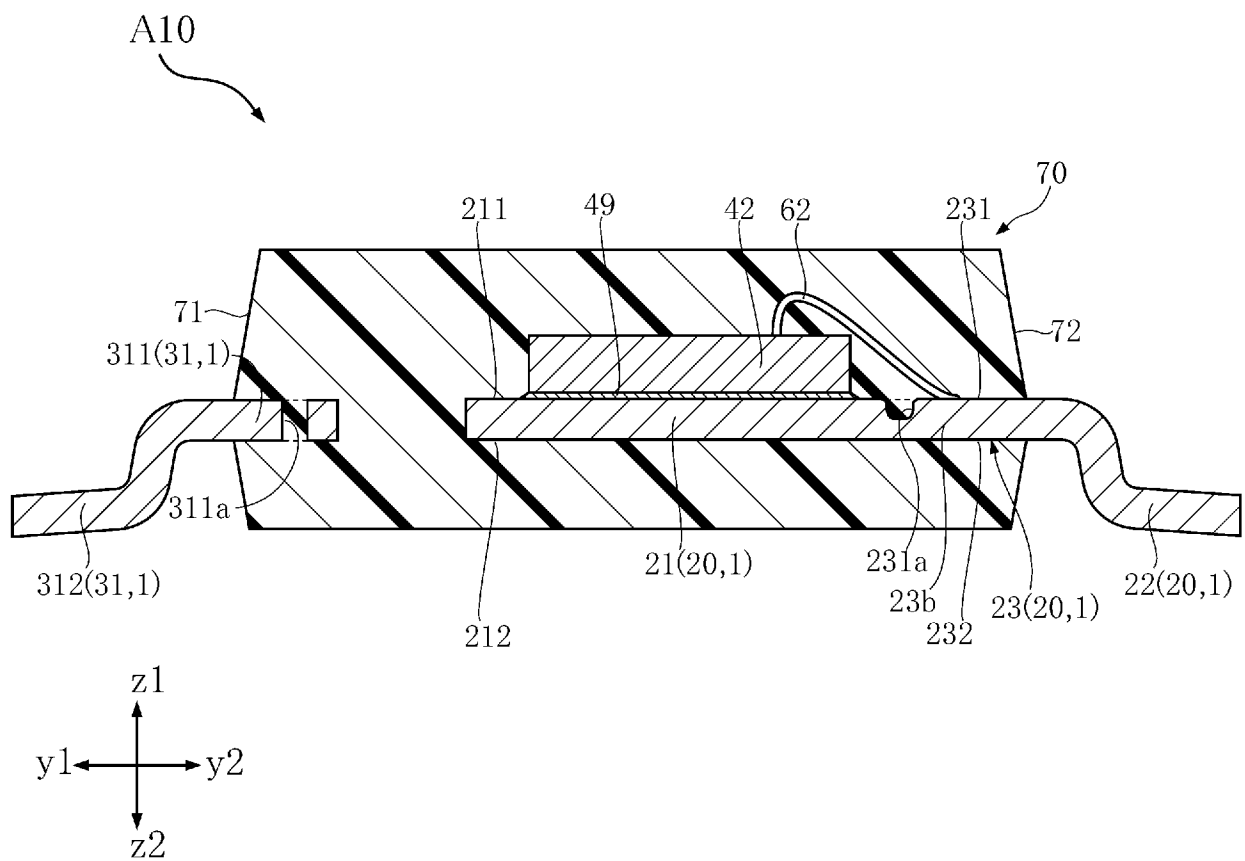
[図7]

FIG.7

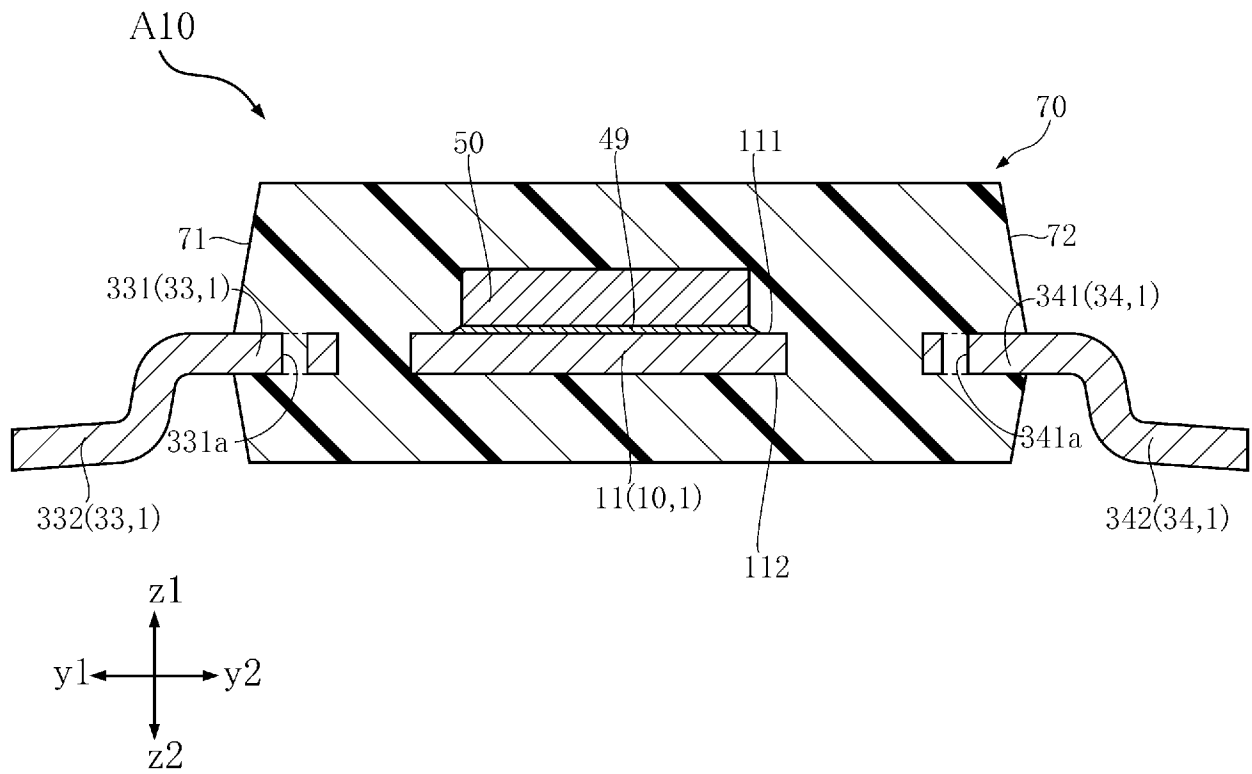


[図8]

FIG.8



[図9]
FIG.9



[図10]
FIG.10

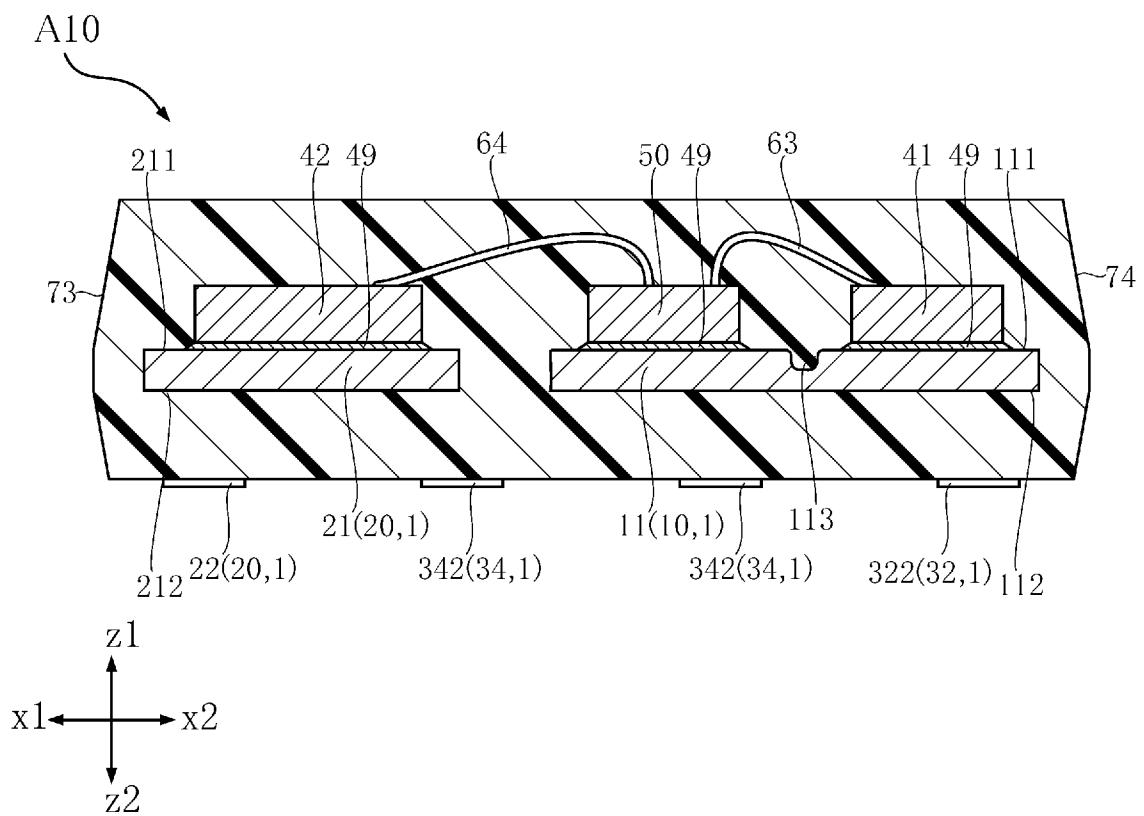
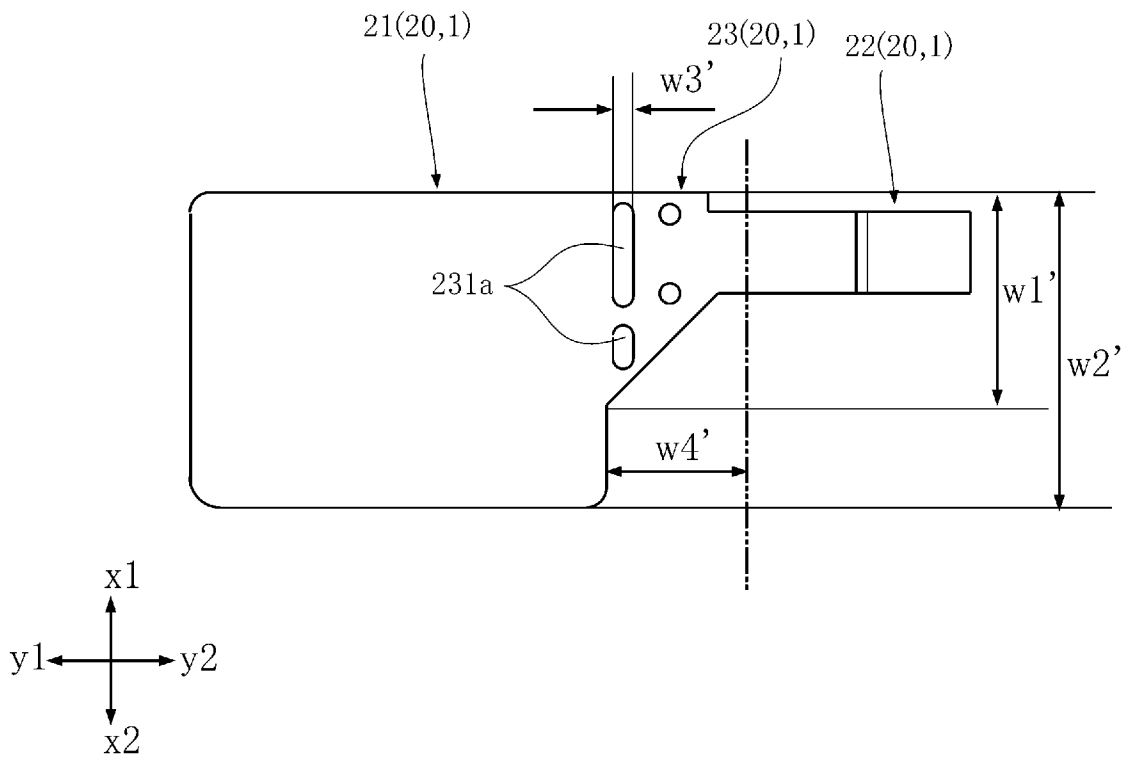
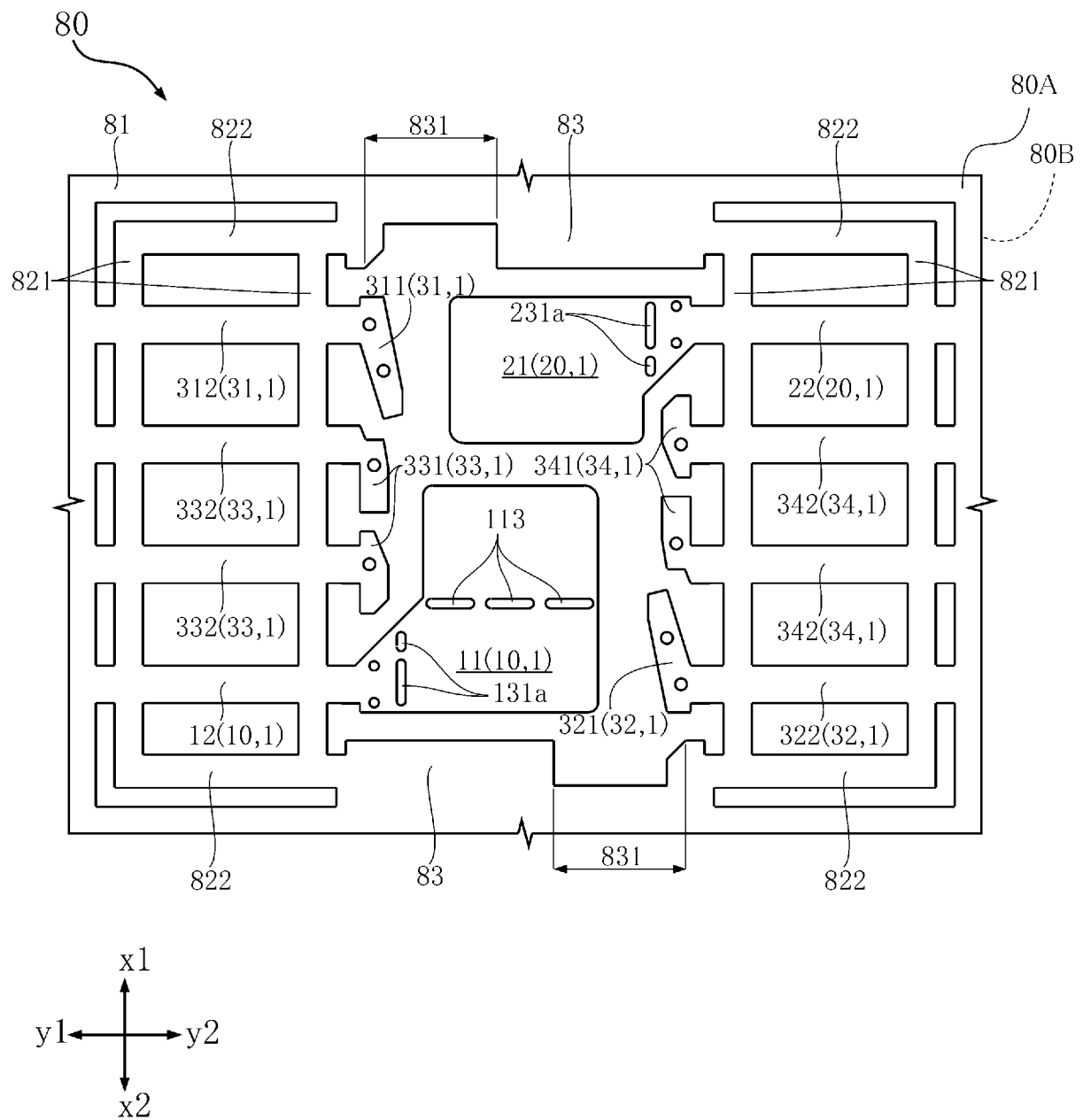


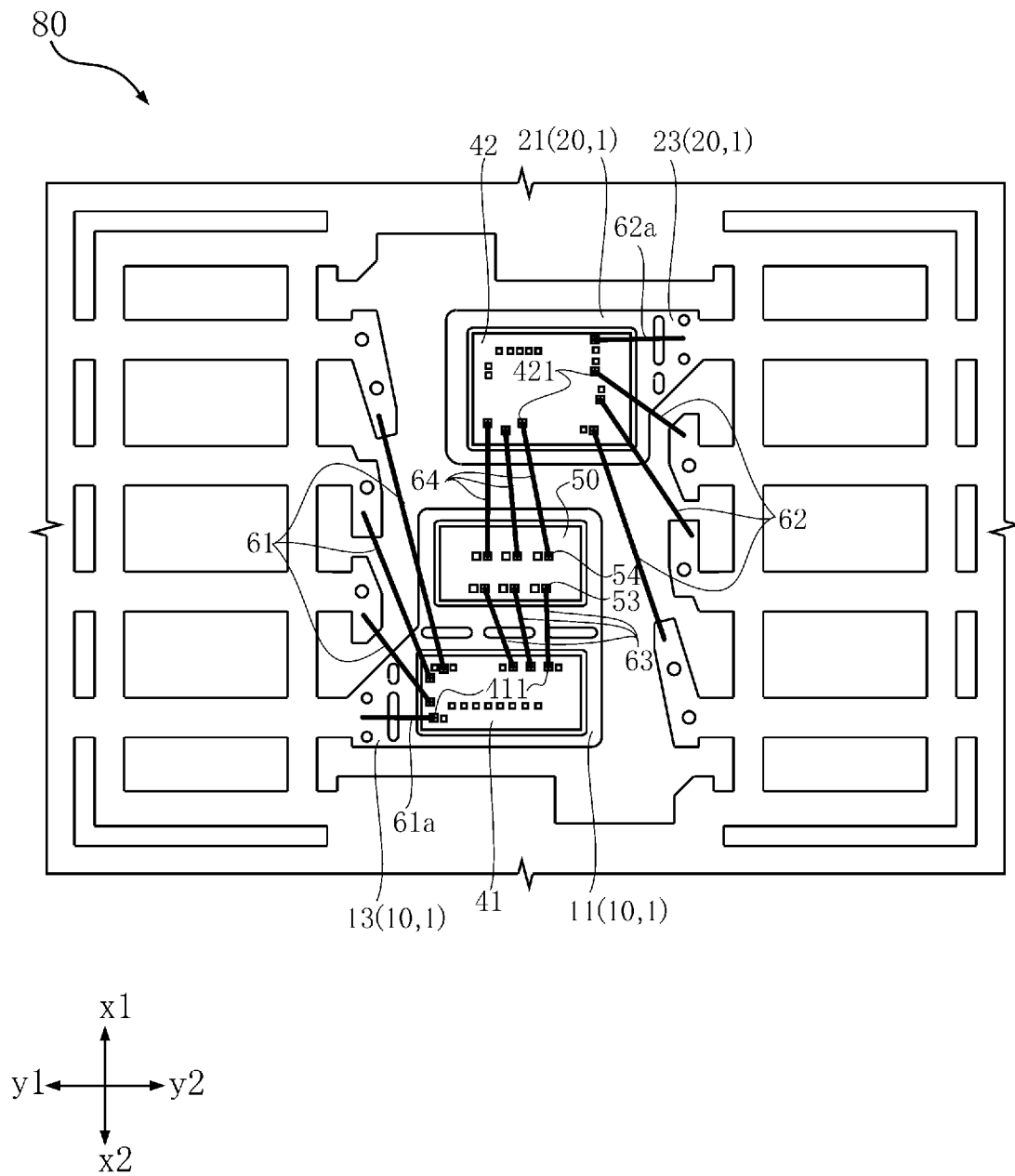
FIG.12



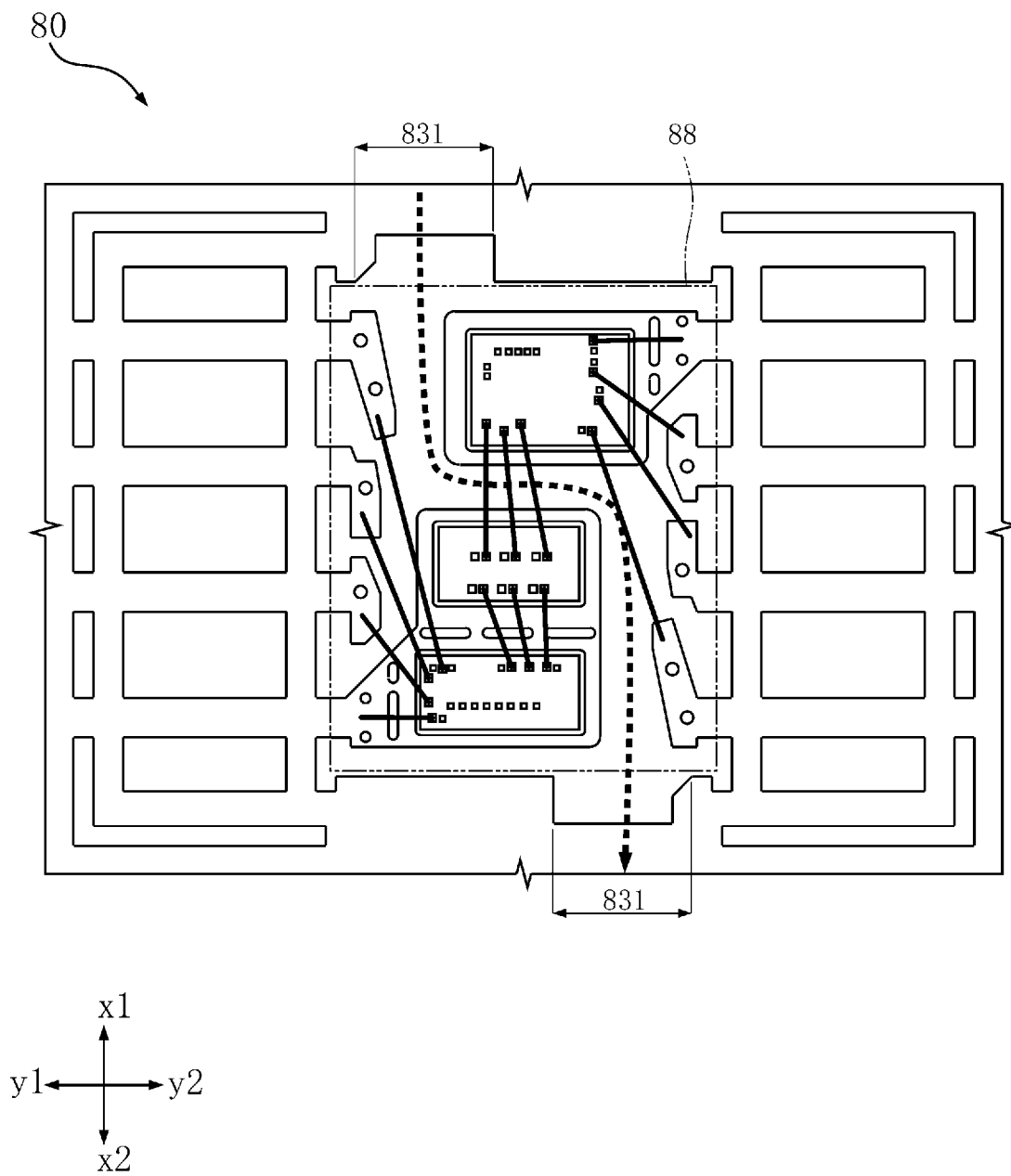
[図13]
FIG.13



[図14]
FIG.14



[図15]
FIG.15



[illegible]

A cross-sectional view of a semiconductor device 70. The device is mounted on a substrate 11(10,1) which has a top layer 111 and a bottom layer 112. A central region 41 is covered by a layer 49. A wire 61 is connected to a contact 131. The device is surrounded by a material 71, with a top surface 72 and a bottom surface 70. Various other components are labeled with reference numerals.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/030742

A. CLASSIFICATION OF SUBJECT MATTER H01L 23/50 (2006.01)i FI: H01L23/50 K According to International Patent Classification (IPC) or to both national classification and IPC																	
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L23/50 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2021 Registered utility model specifications of Japan 1996-2021 Published registered utility model applications of Japan 1994-2021 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)																	
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>WO 2020/012957 A1 (ROHM CO., LTD.) 16 January 2020 (2020-01-16) paragraphs [0011]-[0065], fig. 1, 2, 12</td> <td>1, 2, 4-10, 13-18</td> </tr> <tr> <td>Y</td> <td></td> <td>3, 11, 12</td> </tr> <tr> <td>Y</td> <td>JP 59-177952 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 08 October 1984 (1984-10-08) page 2, upper left column, line 8 to upper right column, line 10, fig. 6-9</td> <td>3, 11, 12</td> </tr> <tr> <td>Y</td> <td>JP 6-053379 A (MATSUSHITA ELECTRONICS CORP.) 25 February 1994 (1994-02-25) paragraph [0019], fig. 5</td> <td>3, 11, 12</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	WO 2020/012957 A1 (ROHM CO., LTD.) 16 January 2020 (2020-01-16) paragraphs [0011]-[0065], fig. 1, 2, 12	1, 2, 4-10, 13-18	Y		3, 11, 12	Y	JP 59-177952 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 08 October 1984 (1984-10-08) page 2, upper left column, line 8 to upper right column, line 10, fig. 6-9	3, 11, 12	Y	JP 6-053379 A (MATSUSHITA ELECTRONICS CORP.) 25 February 1994 (1994-02-25) paragraph [0019], fig. 5	3, 11, 12
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.															
X	WO 2020/012957 A1 (ROHM CO., LTD.) 16 January 2020 (2020-01-16) paragraphs [0011]-[0065], fig. 1, 2, 12	1, 2, 4-10, 13-18															
Y		3, 11, 12															
Y	JP 59-177952 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 08 October 1984 (1984-10-08) page 2, upper left column, line 8 to upper right column, line 10, fig. 6-9	3, 11, 12															
Y	JP 6-053379 A (MATSUSHITA ELECTRONICS CORP.) 25 February 1994 (1994-02-25) paragraph [0019], fig. 5	3, 11, 12															
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.																	
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																	
Date of the actual completion of the international search 26 October 2021		Date of mailing of the international search report 02 November 2021															
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.															

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/030742

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2020/012957	A1	16 January 2020	(Family: none)	
JP	59-177952	A	08 October 1984	(Family: none)	
JP	6-053379	A	25 February 1994	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/50(2006.01)i FI: H01L23/50 K										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/50 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2021年									
日本国実用新案登録公報	1996 - 2021年									
日本国登録実用新案公報	1994 - 2021年									
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	WO 2020/012957 A1（ローム株式会社）16.01.2020（2020 - 01 - 16） 段落0011-0065、図1,2,12	1,2,4-10,13-18								
Y		3,11,12								
Y	JP 59-177952 A（松下電器産業株式会社）08.10.1984（1984 - 10 - 08） 第2頁左上欄第8行～右上欄第10行、図6-9	3,11,12								
Y	JP 6-053379 A（松下電子工業株式会社）25.02.1994（1994 - 02 - 25） 段落0019、図5	3,11,12								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 26.10.2021	国際調査報告の発送日 02.11.2021									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 井上 和俊 5F 3455 電話番号 03-3581-1101 内線 3516									

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/030742

引用文献			公表日	パテントファミリー文献	公表日
WO	2020/012957	A1	16.01.2020	(ファミリーなし)	
JP	59-177952	A	08.10.1984	(ファミリーなし)	
JP	6-053379	A	25.02.1994	(ファミリーなし)	