



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

243229
(11) (B1)

[51] Int. Cl.⁴
G 11 C 29/00

[22] Přihlášeno 30 11 84

[21] (PV 9245-84)

[40] Zveřejněno 22 08 85

[45] Vydáno 15 11 87

[75]

Autor vynálezu

PĚCHOUČEK MIROSLAV ing. CSc., PRAHA; EXNER KAREL ing.,
HAVLÍČKŮV BROD

[54] Zapojení adresového přepínače

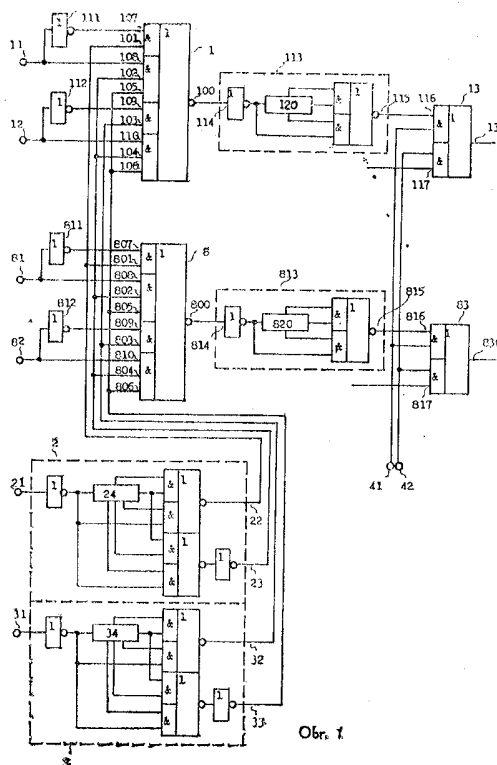
1

Adresový přepínač řeší problém zadávání řádkové a sloupcové adresy při testování dynamických paměťových obvodů. Adresové bity jsou zadávány jako kladné nebo záporné impulsy s logickými úrovněmi, které se mění u všech bitů v předepsaných čtyřech časových okamžicích.

Zapojení je řízeno dvěma programovatelnými generátory časovacích impulsů a umožňuje úplné dynamické protestování paměťového obvodu.

Zapojení adresového přepínače je určeno zejména pro použití v adaptérech pro testování dynamických paměťových obvodů, tvořících součást systému pro testování paměťových obvodů.

2



Obr. 1

Zapojení adresového přepínače řeší problém zadávání řádkové a sloupcové adresy při testování dynamických paměťových obvodů. Pro testování dynamických parametrů vnitřního registru řádkové adresy a registru sloupcové adresy paměťového obvodu je totiž potřeba, aby jednotlivé zadané adresové bity měly předepsaný minimální předstih a přesah vzhledem k aktivním hranám výběrových signálů RAS a CAS, jimiž se adresa do těchto registrů nahrává. To znamená, že adresové bity je nutno zadávat jako kladné nebo záporné impulsy s logickými úrovněmi, které se mění u všech bitů v předepsaných čtyřech časových okamžicích.

Až dosud bylo možno tento problém obejít jednoduchým adresovým přepínačem ovládaným tak, že v první části testovacího taktu trvala na jeho výstupech například 8-bitová řádková adresa a v druhé části taktu pak například 8-bitová sloupcová adresa. Následkem toho však nebyly dodrženy uvedené čtyři dynamické parametry a paměťový obvod nebyl po stránce dynamické protestován úplně. Další možností až dosud bylo vybavit testovací systém samostatným programovatelným generátorem impulsů pro každý bit zadávané adresy a tyto generátory programovat a řídit tak, aby se v první části testovacího taktu měnilo například 8 nižších adresových bitů ve dvou časových okamžicích, určujících předstih a přesah řádkové adresy, a v druhé části testovacího taktu pak například 8 vyšších adresových bitů v dalších dvou časových okamžicích, určujících předstih a přesah sloupcové adresy. Nevýhodou tohoto způsobu by však byl příliš velký počet programovatelných generátorů a jejich složité řízení.

Nevýhody dosud známých řešení uvedeného problému odstraňuje zapojení adresového přepínače podle vynálezu, jehož podstata spočívá v tom, že k výstupní svorce prvního až n -tého součinnově-součtového obvodu je svou vstupní svorkou připojen první až n -tý výstupní vyrovnávací obvod, první vstupní svorky prvních součtových sekcí všech součinnově-součtových obvodů jsou připojeny k přímé výstupní svorce prvního výstupního vyrovnávacího obvodu, k jehož negační výstupní svorce jsou připojeny první vstupní svorky druhé a čtvrté součtové sekce všech součinnově-součtových obvodů, první vstupní svorky třetích součtových sekcí všech součinnově-součtových obvodů jsou připojeny k přímé výstupní svorce druhého vstupního vyrovnávacího obvodu, k jehož negační výstupní svorce jsou připojeny druhé vstupní svorky druhých a čtvrtých součtových sekcí všech součinnově-součtových obvodů, přičemž druhá vstupní svorka první součtové sekce prvního až n -tého součinnově-součtového obvodu je přes první invertor připojena k první až n -té adresové svorce, s níž je spojena i třetí vstupní svorka druhé součtové sekce prvního až n -tého součinnově-součtového obvodu, přičemž druhá

vstupní svorka třetí součtové sekce prvního až n -tého součinnově-součtového obvodu je přes druhý invertor připojena ke druhé až $2n$ -té adresové svorce, s níž je spojena i třetí vstupní svorka čtvrté součtové sekce prvního až n -tého součinnově-součtového obvodu, přičemž vstupní svorka prvního a druhého vstupního vyrovnávacího obvodu tvoří první a druhou časovací svorku adresového přepínače.

Podstata vynálezu také spočívá v tom, že výstupní svorka prvního až n -tého výstupního vyrovnávacího obvodu je spojena s první vstupní svorkou prvního až n -tého výstupního multiplexoru, jehož druhá vstupní svorka tvoří až n -tou pomocnou adresovou svorku, přičemž výběrové svorky všech výstupních multiplexorů jsou spojeny a připojeny ke společným svorkám.

Podstatou vynálezu je i to, že první až n -tý výstupní multiplexor je tvořen výstupním hradlem prvního až n -tého výstupního vyrovnávacího obvodu a jeho pomocnou adresovou svorku tvoří první vstupní svorka třetí součtové sekce tohoto výstupního hradla.

Zapojení podle vynálezu má tyto výhody: je materiálově úsporné, je řízeno pouze dvěma programovatelnými generátory časovacích impulsů a dovoluje úplné dynamické protestování paměťového obvodu.

Příklady zapojení podle vynálezu jsou znázorněny na připojených vyobrazeních, kde na obr. 1 je znázorněno možné provedení celého adresového přepínače podle vynálezu, na obr. 2 je jeho časový diagram a na obr. 3 je jedno možné provedení výstupního multiplexoru v adresovém přepínači podle vynálezu.

Zapojení na obr. 1 obsahuje první a druhý výstupní vyrovnávací obvod 2 a 3, jejichž vstupní svorky tvoří první a druhou časovací svorku 21 a 31 adresového přepínače. Vnitřní zapojení obou vyrovnávacích obvodů je stejné a známé, shodné například se zapojením vyrovnávacího obvodu podle PV 1. Vhodnou volbou obou odboček na zpožďovacím prvku, například 24 je zajištěno, že zpoždění vzestupné hrany impulsů na přímé výstupní svorce 22 je zpoždění sestupné hrany impulsů na negační výstupní svorce 23 proti vzestupné hraně časovacího impulsu na časovací svorce 21 je stejné. Rovněž tak stejné zpoždění sestupné hrany impulsu na přímé výstupní svorce 22 a zpoždění vzestupné hrany impulsu na negační výstupní svorce 23 proti sestupné hraně časovacího impulsu na časovací svorce 21.

Přímá výstupní svorka 22 vyrovnávacího obvodu 2 je spojena se vstupní svorkou 101 prvního součinnově-součtového obvodu 1 a se vstupní svorkou 801 n -tého součinnově-součtového obvodu 1 a se vstupní svorkou 801- n -tého součinnově-součtového obvodu 8. Negační výstupní svorka 23 vyrovnávacího obvodu 2 je spojena se vstupní svorkou 102 a 103 prvního součinnově-součtového obvodu

1 a se vstupní svorkou **802** a **803** n-tého součinnově-součtového obvodu **8**. Přímá výstupní svorka **32** vyrovnávacího obvodu **3** je spojena se vstupní svorkou **104** prvního součinnově-součtového obvodu **1** a se vstupní svorkou **804** n-tého součinnově-součtového obvodu **8**. Negační výstupní svorka **33** vyrovnávacího obvodu **3** je spojena se vstupními svorkami **105**, **106** prvního součinnově-součtového obvodu **1** a se vstupními svorkami **805**, **806** n-tého součinnově-součtového obvodu **8**. První adresová svorka **11** je spojena se vstupní svorkou **108** a přes invertor **111** i se vstupní svorkou **107** prvního součinnově-součtového obvodu **1**, n-tá adresová svorka **81** je spojena se vstupní svorkou **808** a přes invertor **811** se vstupní svorkou **807** n-tého součinnově-součtového obvodu **8**, $(n+1)$ -tá adresová svorka **-2** je spojena se vstupní svorkou **110** a přes invertor **112** se vstupní svorkou **109** součinnově-součtového obvodu **1**, $2n$ -tá adresová svorka **82** je spojena se vstupní svorkou **810** a přes invertor **812** se vstupní svorkou **809** n-tého součinnově-součtového obvodu **1** je spojena se vstupní svorkou **114** prvního výstupního vyrovnávacího obvodu **113**, výstupní svorka **800** n-tého součinnově-součtového obvodu **8** je spojena se vstupní svorkou **814** n-tého výstupního vyrovnávacího obvodu **813**. Vnitřní zapojení obou vyrovnávacích obvodů **113**, **813** je stejné. Výstupní svorka **115** výstupního vyrovnávacího obvodu **113** je spojena se vstupní svorkou **116** výstupního multiplexeru **13**. Výstupní svorka **815** výstupního vyrovnávacího obvodu **813** je spojena se vstupní svorkou **816** výstupního multiplexeru **83**. Výstupní svorky těchto multiplexorů tvoří výstupní svorky adresového přepínače, které jsou případně přes neznázorněné budiče s programovatelnými úrovněmi připojeny k rovněž neznázorněným adresovým svorkám testovaného paměťového obvodu. Zbývající vstupní svorky výstupních multiplexerů **13** a **83** jsou známým způsobem spojeny a společně připojeny k výběrovým svorkám **41**, **42**. Adresové svorky **11**, **12**, **81**, **82** jsou připojeny k adresovým výstupům neznázorněné základní jednotky testovacího systému. Pomocné adresové vstupní svorky **117**, **817** jsou připojeny k neznázorněnému generátoru obnovovacích adres, který tvoří součást rovněž neznázorněného adaptéru pro testování dynamických paměťových obvodů, jehož řadič ovládá výběrové svorky **41**, **42** adresového přepínače.

Vhodnou volbou odboček, například na zpožďovacím prvku **120** výstupního vyrovnávacího obvodu **113**, je celkové zpoždění vzniklé průchodem vzestupné hrany impulsu z přímé výstupní svorky **22** vstupního vyrovnávacího obvodu **2** na výstupní svorku **130** výstupního multiplexoru **13**, případně až na příslušnou adresovou svorku testovaného paměťového obvodu, nastaveno na stejnou maximální hodnotu $t_{\max}$ jako celkové zpoždění vzniklé průchodem sestupné hrany tohoto impulsu na tutéž výstupní svorku **130**.

Je-li součinnově-součtový obvod **1** v integrovaném provedení, například typu 74S64, vykazují všechny jeho součtové sekce stejné zpoždění, a tím je zajištěno, že i celkové zpoždění vzniklé průchodem vzestupné a sestupné hrany impulsu z negační výstupní svorky **23** na výstupní svorku **130** je nastaveno na touž hodnotu $t_{\max}$, a i celkové zpoždění vzniklé průchodem vzestupné a sestupné hrany impulsu z přímé i z negační výstupní svorky **32**, **33** vstupního vyrovnávacího obvodu **3** je nastaveno na touž hodnotu $t_{\max}$. Podobně jsou vyrovnávána vyrovnávacím obvodem **813** i obdobná celková zpoždění z výstupních svorek obou vstupních vyrovnávacích obvodů na výstupní svorku **830** výstupního multiplexeru **83**. Jsou-li mezi výstupní svorky **130** a **830** a mezi jim odpovídající adresové svorky neznázorněného paměťového obvodu vřazeny rovněž neznázorněné budiče s programovatelnými výstupními úrovněmi, jsou všechna uvedená zpoždění vyrovnána na stejnou maximální hodnotu zahrnující i zpoždění těchto budičů.

Činnost adresového přepínače z obrázku **1** je zřejmá z časového diagramu na obrázku **2**, kde jsou znázorněny průběhy napětí pro výstupní svorku **130** a adresové svorky **11**, **12**. Průběhy **021**, **031**, **022**, **023**, **032**, **033**, **011**, **012** a **0130**, znázorňující napětí na svorkách **21**, **31**, **22**, **23**, **32**, **33**, **11**, **12** a **130** adresového přepínače, a to ve čtyřech testovacích taktách daných čtyřmi možnými kombinacemi adresového bitu, například A_0 na adresové svorce **11** a adresového bitu, například A_7 na adresové svorce **12**.

V prvním testovacím taktu je z neznázorněné základní jednotky testovacího systému přivedena kombinace $A_0=H, A_7=L$. Tím je uzavřena první a čtvrtá součtová sekce obvodu **1**, takže na výstupní svorce **130** výstupního multiplexoru **13** vznikne kladný impuls stejné šířky jako je šířka časovacího impulsu **021** na první časovací svorce **21** adresového přepínače. V druhém testovacím taktu je přivedena adresová kombinace $A_0=L, A_7=L$. Tím je uzavřena druhá a čtvrtá součtová sekce obvodu **1**, takže na výstupní svorce **130** vznikne první záporný impuls o šířce stejné jako je šířka časovacího impulsu **021** a druhý záporný impuls o šířce stejné jako je šířka časovacího impulsu **031**. Ve třetím testovacím taktu je přivedena adresová kombinace $A_0=H, A_7=H$. Tím je uzavřena první a třetí součtová sekce obvodu **1**, takže na výstupní svorce **130** vznikne první kladný impuls o šířce stejné jako je šířka časovacího impulsu **031**. Ve čtvrtém testovacím taktu je přivedena adresová kombinace $A_0=L, A_7=H$. Tím je uzavřena druhá a třetí součtová sekce obvodu **1** a na výstupní svorce **130** vznikne kladný impuls o šířce stejné jako je šířka časovacího impulsu **031**. Je tedy zřejmé, že adresový bit, například A_0 přivedený na adresovou svorku **11** jako statická úroveň je součinnově-součtovým ob-

vodem 1 převeden do tvaru kladného nebo záporného impulsu. Šířkou a polohou časovacího impulsu přivedeného na časovací svorku 21 a zvoleného s ohledem, například sestupnou hranu výběrového signálu RAS, přiváděného k odpovídající výběrové svorce testovaného paměťového obvodu, lze tedy nastavit potřebnou minimální dobu předstihu t_{RS} a dobu přesahu t_{HR} řádkové adresy. Stejným způsobem jsou tyto doby nastaveny i pro ostatní bity řádkové adresy přiváděné na první až n -tou adresovou svorku 11 až 81. Podobně je i adresový bit, například A7 přivedený na adresovou svorku 12 jako statická úroveň, přiveden součinnově-součtovým obvodem 1 do tvaru kladného nebo záporného impulsu. Šířkou a polohou časovacího impulsu na časovací svorce 31, zvoleného s ohledem například na sestupnou hranu výběrového signálu CAS, přivedeného k odpovídající výběrové svorce testovaného paměťového obvodu, lze podobně nastavit potřebnou minimální dobu t_{SC} a dobu přesahu t_{MC} sloupcové adresy. Stejně tak jsou tyto doby nastaveny i pro ostatní bity sloupcové adresy přiváděné na druhou až $2n$ -tou adresovou svorku 12 až 82.

Je-li na výběrové svorky 41, 42 přivedeno z neznázorněného řadiče adaptéru pro testování dynamických paměťových obvodů takové napětí, že všechny výstupní multiplexory 13 až 83 jsou přepnuty na své pomocné adresové svorky 117 až 817, procházejí na výstupní svorky 130 až 830 těchto multiplexorů adresové kombinace z neznázorněného generátoru obnovovacích adres, který je součástí uvedeného adaptéru. Adresový přepínač tedy umožňuje zadávat na adresové

svorky testovaného paměťového obvodu buď časově přesně nastavené řádkové a sloupcové adresy zadávané ze základní jednotky testovacího systému, nebo obnovovací adresy z adaptéru, jimiž se provádí periodické obnovování obsahu testovaného paměťového obvodu.

Zapojení na obrázku 3 znázorňuje jiné možné provedení výstupního multiplexeru a výstupního vyrovnávacího obvodu. Výstupní multiplexor 13 je tvořen výstupním hradlem 118 se třemi součtovými sekcemi. První a druhé vstupní svorky první a druhé součtové sekce jsou připojeny známým způsobem ke zpožďovacímu prvku 120. Jejich třetí vstupní svorky jsou však spojeny a tvoří první výběrovou svorku 116 výstupního multiplexeru, zatímco jeho druhou výběrovou svorku 116 tvoří druhá vstupní svorka třetí součtové sekce. Její první vstupní svorka 117 je pak pomocnou adresovou svorkou výstupního multiplexoru.

Činnost takto kombinovaného výstupního multiplexoru s vyrovnávacím obvodem je stejná jako u provedení na obrázku 1. Výhodu má v tom, že celkové zpoždění mezi výstupními svorkami vstupních vyrovnávacích obvodů 2 a 3 a mezi adresovými svorkami neznázorněného testovaného paměťového obvodu je kratší, takže i zpožďovací prvek 120 ve výstupním vyrovnávacím obvodu 113 může mít menší celkové zpoždění.

Adresový přepínač podle vynálezu je určen zejména pro použití v adaptérech pro testování dynamických paměťových obvodů, tvořících součást systému pro testování paměťových obvodů.

PŘEDMĚT VYNÁLEZU

1. Zapojení adresového přepínače, vyznačené tím, že k výstupní svorce (100 až 800) prvního až n -tého součinnově-součtového obvodu (1 až 8) je svou vstupní svorkou (114 až 814) připojen první až n -tý výstupní vyrovnávací obvod (113 až 813), první vstupní svorky (101 až 801) prvních součtových sekcí všech součinnově-součtových obvodů (1 až 8) jsou připojeny k přímé výstupní svorce (22) prvního výstupního vyrovnávacího obvodu (2), k jehož negační výstupní svorce (23) jsou připojeny první vstupní svorky (102, 104 až 802, 804) druhé a čtvrté součtové sekce všech součinnově-součtových obvodů (1 až 8), první vstupní svorky (103 až 803) třetích součtových sekcí všech součinnově-součtových obvodů (1 až 8) jsou připojeny k přímé výstupní svorce (32) druhého výstupního vyrovnávacího obvodu (3), k jehož negační výstupní svorce (33) jsou připojeny druhé vstupní svorky (105, 106 až 805, 806) druhých a čtvrtých součtových sekcí všech součinnově-součtových obvodů (1 až 8), přičemž druhá vstupní svorka (107,

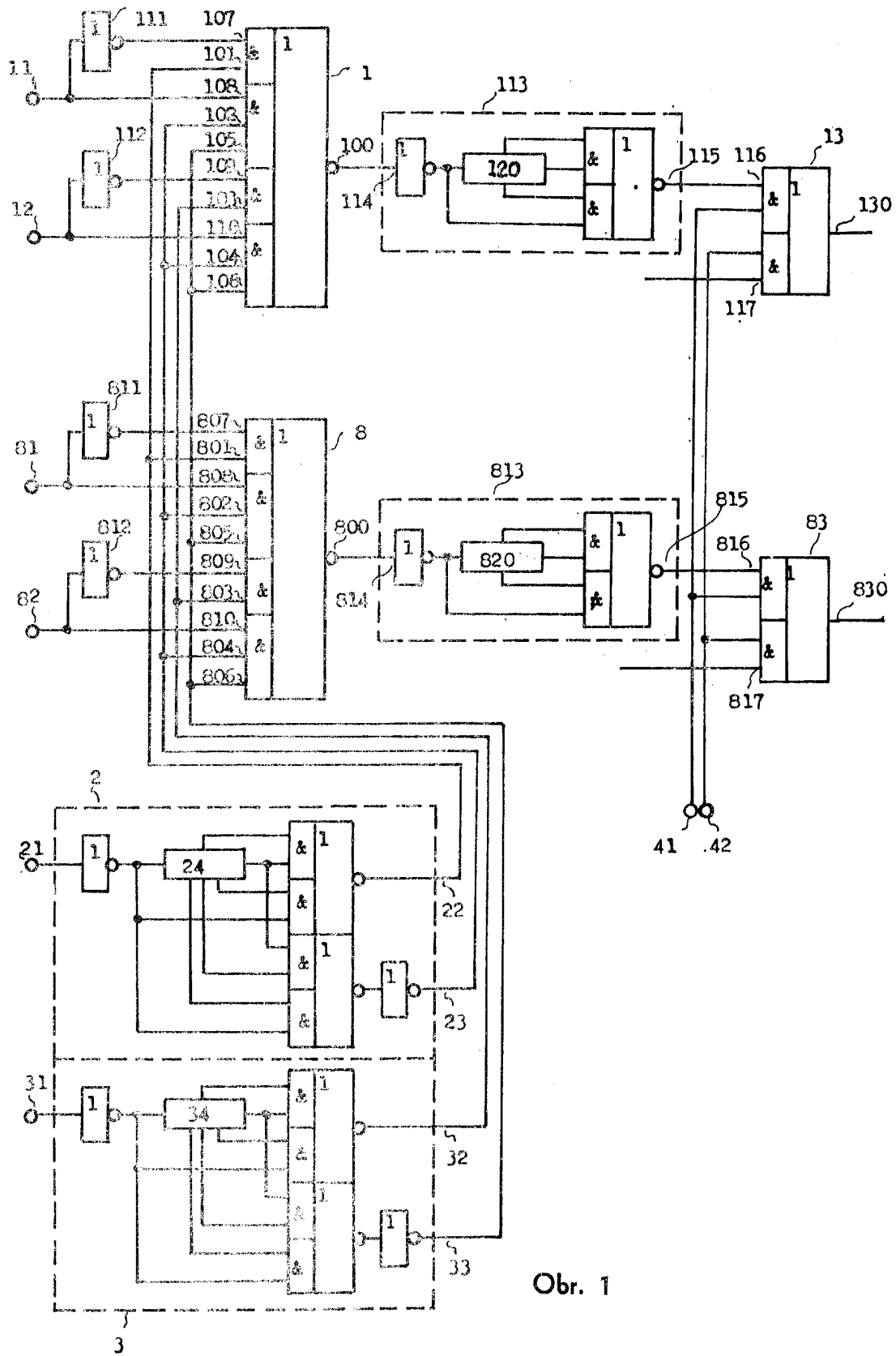
807) první součtové sekce prvního až n -tého součinnově-součtového obvodu (1 až 8) je přes první invertor (111 až 811) připojena k první až n -té adresové svorce (11 až 81), s níž je spojena i třetí vstupní svorka (108 až 808) druhé součtové sekce prvního až n -tého součinnově-součtového obvodu (1 až 8), přičemž druhá vstupní svorka (109 až 809) třetí součtové sekce prvního až n -tého součinnově-součtového obvodu (1 až 8) je přes druhý invertor (112 až 812) připojena ke druhé až $2n$ -té adresové svorce (12 až 82), s níž je spojena i třetí vstupní svorka (110 až 810) čtvrté součtové sekce prvního až n -tého součinnově-součtového obvodu (1 až 8), přičemž vstupní svorka prvního a druhého výstupního vyrovnávacího obvodu (2, 3) tvoří první a druhou časovací svorku (21, 31) adresového přepínače.

2. Zapojení adresového přepínače podle bodu 1, vyznačené tím, že výstupní svorka (115 až 815) prvního až n -tého výstupního vyrovnávacího obvodu (113 až 813) je spo-

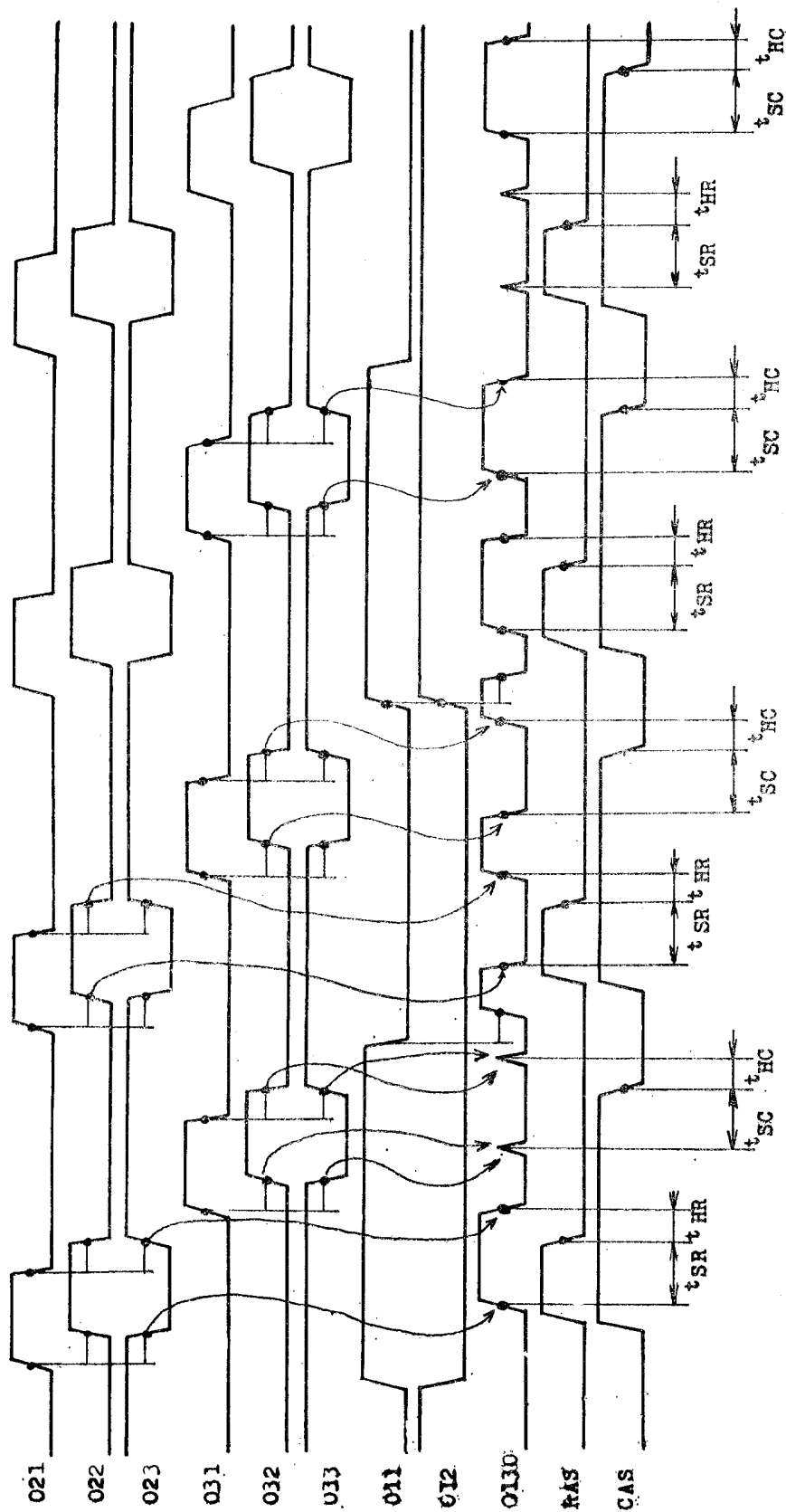
jena s první vstupní svorkou (116 až 816) prvního až n-tého výstupního multiplexoru (13 až 83), jehož druhá vstupní svorka (117 až 817) tvoří první až n-tou pomocnou adresovou svorku, přičemž výběrové svorky všech výstupních multiplexorů (13 až 83) jsou spojeny a připojeny ke společným výběrovým svorkám (41, 42).

3. Zapojení adresového přepínače podle bodu 1, vyznačené tím, že první až n-tý multiplexor (13 až 83) je utvořen výstupním hradlem (118) prvního až n-tého výstupního vyrovnávacího obvodu (113 až 813) a jeho pomocnou adresovou svorku tvoří první vstupní svorka (117) třetí součtové sekce tohoto výstupního hradla (118).

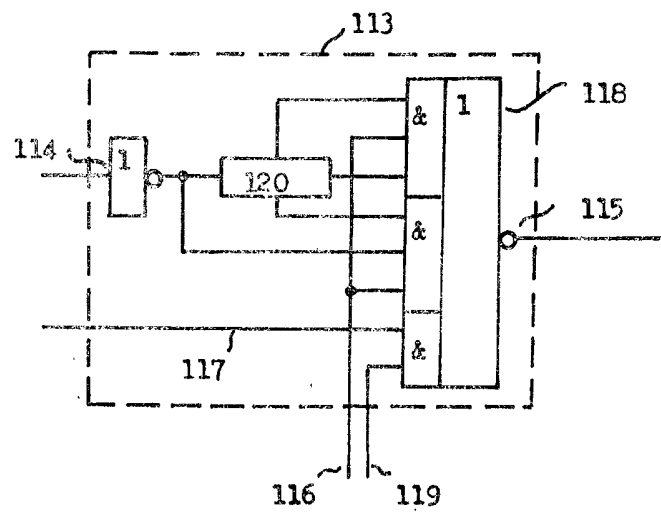
3 listy výkresů



Obr. 1



Obr. 2



Obr. 3