



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 97109372.5

[45] 授权公告日 2003 年 10 月 1 日

[11] 授权公告号 CN 1123122C

[22] 申请日 1997.11.21 [21] 申请号 97109372.5

[30] 优先权

[32] 1996.11.21 [33] JP [31] 310244/1996

[71] 专利权人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 楠本馨一 松泽昭

审查员 王艳坤

[74] 专利代理机构 北京市柳沈律师事务所

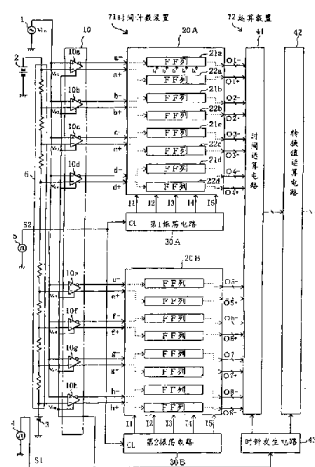
代理人 马 莹

权利要求书 2 页 说明书 20 页 附图 13 页

[54] 发明名称 A/D 转换器和 A/D 转换方法

[57] 摘要

一种不受差动放大电路的偏置电压影响并且高速高精度进行 A/D 转换的 A/D 转换器。差动放大电路(10a ~ 10h)放大模拟信号与参考电压($V_{r1} \sim V_{r8}$)的电压差,分别输出正相输出电压($a+ \sim h+$)、反相输出电压($a- \sim h-$)。配有第 1 和第 2 触发器群(20A、20B)的各触发器列在对应的差动放大电路的输出电压超过预定值时保持第 1 和第 2 振荡电路(30A、30B)的输出信号(I1 ~ I5)。利用时间运算电路(41)和转换运算电路(42)运算表示模拟信号(V_{in})的数字值。



1. 一种 A/D 转换器, 把模拟信号转换为数字值, 其特征在于包括:
5 多个放大电路, 放大转换对象的模拟信号电压与预定参考电压的电压差;
和
转换部, 用于求出表示所述模拟信号的数字值, 所述转换部包括:
时间计数装置, 分别计数所述多个放大电路的放大时间, 输出表示各放大电路放大时间的计数值; 和
10 运算装置, 根据从所述时间计数装置输出的多个计数值, 运算表示所述模拟信号的数字值,
其中, 所述时间计数装置包括:
振荡电路, 它输出随时间变化的信号, 所述振荡电路配有:
延迟电路环, 由环状连接的多个延迟电路构成, 配有把由振荡产生的信号
15 号转移进行循环的延迟电路环;
把构成所述延迟电路环的延迟电路的输出信号作为该振荡电路的输出信号; 以及
多个保持电路列, 与所述多个放大电路分别对应设置, 当对应的放大电路的输出电压达到预定电压时, 保持所述振荡电路的输出信号;
20 根据所述多个保持电路列所保持的信号, 所述时间计数装置求出表示各放大电路放大时间的计数值,
所述运算装置根据从所述时间计数装置输出的多个值, 从所述多个放大电路中, 特定参考电压高于所述模拟信号电压的第 1 放大电路和参考电压低于所述模拟信号电压的第 2 放大电路, 在所述第 1 放大电路的参考电压与所述第 2 放大电路的参考电压之间, 把按所述第 2 放大电路的放大时间与第 1
25 放大电路的放大时间比作为内插点的电压判定为所述模拟信号电压。
2. 如权利要求 1 所述的 A/D 转换器, 其特征在于, 所述放大电路根据第 1 时钟信号, 进行输出一定电压的复位工作和放大工作的切换;
所述振荡电路根据频率固定的第 2 时钟信号, 固定控制所述延迟电路环
30 的振荡频率, 构成锁相环路;
以使所述放大电路的放大工作的开始与所述时间计数装置的计数工作的

开始一致的方式, 设定所述第 1 和第 2 时钟信号的频率和相位。

3. 如权利要求 1 所述的 A/D 转换器, 其特征在于, 所述多个放大电路分为多个群, 所述时间计测装置按对应所述多个放大电路的各群分为各个模块。

4. 如权利要求 1 所述的 A/D 转换器, 其特征在于, 所述时间计数装置,
5 分别根据参考电压低于所述模拟信号电压的放大电路中正相输出电压和反相输出电压中的任意一个输出电压, 以及根据参考电压高于所述模拟信号电压的放大电路的正相输出电压和反相输出电压中的另一个输出电压, 计数所述多个放大电路的放大时间

5. 一种 A/D 转换方法, 把模拟信号转换为数字值, 其特征在于, 包括:
10 使用放大转换对象的模拟信号电压与预定参考电压的电压差的多个放大电路的放大处理, 以及根据所述各放大电路的放大时间, 求出表示所述模拟信号的数字值的转换处理,

所述转换处理包括:

第 1 过程, 求出参考电压高于所述模拟信号的第 1 放大电路放大所需要的
15 的第 1 时间, 并求出参考电压低于所述模拟信号的第 2 放大电路放大所需要的第 2 时间;

第 2 过程, 在所述第 1 放大电路的参考电压与所述第 2 放大电路的参考电压之间, 把按所述第 2 放大电路的放大时间与第 1 放大电路的放大时间比作为内插点的电压判定为所述模拟信号电压,

20 其中, 所述第 1 过程根据所述第 1 放大电路的正相输出电压和反相输出电压中的其中任意一个电压求出所述第 1 时间, 根据所述第 2 放大电路的正相输出电压和反相输出电压中的另一个电压求出所述第 2 时间。

A/D 转换器和 A/D 转换方法

5

技术领域

本发明涉及把模拟信号转换为数字值的 A/D 转换器和 A/D 转换方法。

背景技术

10 图 14 是表示现有的 A/D 转换器结构的电路图。图 14 中, 51 是产生变换对象的模拟信号 V_{in} 的模拟信号源, 52、53 是恒压源, 54 是等分恒压源 52、53 的输出电压间隔、生成参考电压 $V_{r1} \sim V_{r7}$ 的电阻列, 55 是分别放大来自模拟信号源 51 的模拟信号 V_{in} 与来自电阻列 54 的参考电压 $V_{r1} \sim V_{r7}$ 的电压差的放大电路列, 56 是在数值上放大并保持放大电路列 55 的输出电压的锁存
15 电路列, 57 是把锁存电路列 56 的输出信号按 A/D 转换值编码的运算电路, 58 是使锁存电路列 56 和运算电路 57 工作的时钟发生电路。59 是以时钟发生电路 58 的输出时钟为基准的时钟输入端子, 60 是由运算电路 57 运算的 A/D 转换值的输出端子。

例如, 在参考电压 V_{r3} 和 V_{r4} 之间加有模拟信号 V_{in} 。此时, 由于正相输出
20 电压(模拟电压 V_{in})低于反相输入电压(参考电压 $V_{r1} \sim V_{r3}$), 放大电路列 55 的第 1~3 放大电路就输出负电压。另一方面, 由于正相输入电压(模拟电压 V_{in})高于反相输入电压(参考电压 $V_{r4} \sim V_{r7}$), 放大电路列 55 的第 4~7 放大电路就输出正电压。这样, 由于根据模拟信号 V_{in} 切换电压的正负变化, 放大电路列 55 的输出电压就能够根据该切换对模拟信号 V_{in} 进行 A/D 转换。

25 锁存电路列 56 按逻辑电压(VDD:1,VSS:0)放大并保持放大电路列 55 的输出电压。运算电路 57 把锁存电路 56 的保持值如图 14 所示那样转换为 3 比特的 A/D 转换值。也就是说, 把比参考电压还低的电压 V_{r7} 转换为“000”, 把比参考电压 V_{r1} 高的电压转换为“111”, 把在电压 V_{r1} 与 V_{r7} 之间的电压转换为“001~110”。此例中, 锁存电路列 56 的保持值变为“0001111”(放大电路
30 的输出电压为负时锁存电路的保持值为“0”, 放大电路的输出电压为正时锁存电路的保持值为“1”), 利用运算电路 57 把模拟信号 V_{in} 转换为“100”,

从输出端子 60 输出该数据“100”。

可是, 现有的 A/D 转换器存在以下问题。

在图 14 所示的现有 A/D 转换器中, 以放大模拟信号 V_{in} 与参考电压 $V_{r1} \sim V_{r7}$ 的电压差的各差动放大电路的输出电压的正负作为 A/D 转换的信息。换句话说, 根据模拟信号与各参考电压的大小关系进行 A/D 转换。

在这样的 A/D 转换器的情况下, 转换精度根据各参考电压的差即分割恒压源 52、53 的输出电压差时的分割幅度决定。例如, 为构成 8 比特的 A/D 转换器, 就必须把恒压源 52、53 的输出电压差按 $256 (= 2^8)$ 等级进行分割。如果恒压源 52、53 的输出电压差为 2V, 那么每一等级的电压约为 8mV。

因此, 为提高转换精度, 就必须使每一等级的电压更小。

另一方面, 在上述现有技术的说明中, 差动放大电路采用了理想的电路, 但实际上差动放大电路具有偏置电压。因此, 如果使每一等级的电压更小, 那么相对地就使偏置电压的影响变大, 其结果, 存在不能提高转换精度的问题。

如果差动放大电路的偏置电压设为 V_{os} , 实质上的参考电压就是参考电压 V_{r3} 与偏置电压 V_{os} 的和。此时, 尽管本来模拟信号 V_{in} 以与参考电压 V_{r3} 相等时为界, 对输出电压的正负进行切换, 但实际上, 模拟信号 V_{in} 变为以与电压 $(V_{r3} + V_{os})$ 相等时为界, 使输出电压的正负切换。

在 8 比特的 A/D 转换器的情况下, 由于一个等级的误差为 $\pm 4mV$, 所以每一等级的电压就应该为 $4 \sim 12(8 \pm 4)mV$, 为防止上述问题, 偏置电压 V_{os} 就应该在 $\pm 4mV$ 以内。

可是, 实际的放大电路的偏置电压 V_{os} 在 $\pm 10mV$ 以上(MOS 晶体管的情况下)。因此, 在使用 MOS 晶体管的情况下, 现有技术不能实现 8 比特以上的 A/D 转换器。

发明内容

鉴于上述问题, 本发明的目的是: 使 A/D 转换器和 A/D 转换方法不受放大电路的偏置电压的影响, 能够实现高速且高精度的 A/D 转换。

为实现上述目的, 本发明的第 1 技术方案是提供一种把模拟信号转换为数字值的 A/D 转换器, 该 A/D 转换器包括有: 多个放大电路, 放大转换对象的模拟信号电压与预定参考电压的电压差; 和转换部分, 求出表示所述模拟

信号的数字值,所述转换部包括:时间计数装置,分别计数所述多个放大电路的放大时间,输出表示各放大电路放大时间的值;和运算装置,根据从所述时间计数装置输出的多个值,运算表示所述模拟信号的数字值。由于模拟信号与参考电压的电压差越大放大电路的放大速度就变得越快(放大时间变短),模拟信号与参考电压的电压差越小放大速度就变得越慢(放大时间变长),所以各放大电路的放大速度的不同就表示所述模拟信号电压与各放大电路参考电压的电压差的不同。因此,利用根据各放大电路的放大速度进行A/D转换,作为A/D转换信息,不用求出现有技术中的模拟信号与各参考电压的大小关系,就能够求出各参考电压之间模拟信号的位置。因此,超过了因放大电路本质上受偏置电压偏差限制的现有技术的A/D转换精度的界限,能够实现更高精度的A/D转换。

而且,根据本发明的第1方案,从时间计数装置输出的多个值表示放大转换对象的模拟信号电压与预定参考电压的电压差的各放大电路的放大时间。放大电路的放大时间最好是比如使放大电路的输出电压从起点电压达到预定电压的时间。如上所述,由于各放大电路的放大速度的不同表示模拟信号电压与各放大电路参考电压的电压差的不同,所以各放大电路的放大时间也与模拟信号电压和各放大电路参考电压的电压差对应。因此,由于利用运算装置,根据从所述时间计数装置输出的多个值,能够求出各参考电压间的模拟信号位置,所以能够以高于现有技术的精度运算表示所述模拟信号的数字值。因此,超过了因放大电路本质上受偏置电压偏差限制的现有技术的A/D为精度的界限,能够实现更高精度的A/D转换。

而且,在本发明的第1方案中,A/D转换器中的时间计数装置包括:振荡电路,输出随时间变化的信号;所述振荡电路包括有:延迟电路,由环状连接的多个延迟电路构成,配有把由振荡产生的信号循环移位的延迟电路环;并且把构成所述延迟电路环的延迟电路的输出信号作为该振荡电路的输出信号,以及多个保持电路列,与所述多个放大电路分别对应设置,当对应的放大电路的输出电压达到预定电压时,保持所述振荡电路的输出信号;所述时间计数装置根据多个保持电路列所保持的信号,求出表示各放大电路放大时间的计数值。所述运算装置根据从所述时间计数装置输出的多个值,在所述多个放大电路中,特定参考电压高于所述模拟信号电压的第1放大电路和参考电压低于所述模拟信号电压的第2放大电路,在所述第1放大电路的参考

电压与所述第2放大电路的参考电压之间，把按所述第2放大电路的放大时间与第1放大电路的放大时间比的内插点电压判定为所述模拟信号电压。

根据本发明的第1方案，在放大电路的输出电压达到预定电压时，利用与
5 所述放大电路对应的保持电路列保持随振荡电路输出时间一起变化的信号。因此，在保持电路列保持的信号变为对应于放大电路的放大时间的信号。因而，根据在保持电路列中保持的信号，时间计数装置确实能够求出各放大电路的放大时间的表示值。

此外，在本发明的第2方案中，所述第1方案中的放大电路根据第1时钟信号，进行输出一定电压的复位操作和放大操作的切换；所述振荡电路根
10 据频率固定的第2时钟信号，固定控制所述延迟电路环的振荡频率，构成锁相环路(PLL)；以使所述放大电路的放大操作的开始与所述时间计数装置的计数装置的计数操作的开始一致的方式，设定所述第1和第2时钟信号的频率和相位。

根据本发明的第1方案，由于利用运算装置，能够用所述第1放大电路
15 的放大时间和所述第2放大电路的放大时间以良好的精度求出所述第1放大电路的参考电压与第2放大电路参考电压之间的模拟信号位置，所以能够以比现有技术更高的精度运算表示所述模拟信号的数字值。此外，由于利用相对比较计测的放大时间进行A/D转换，所以能够抑制由电源电压、温度引起的误差，提高A/D转换精度。

20 再有，在本发明第3方案中，所述第1方案的A/D转换器中把所述多个放大电路分为多个群，并把所述时间计测装置按对应所述多个放大电路的各群分为组。

根据本发明第3方案，使在LSI中配置A/D转换器配置时的设计自由度变大。

25 而且，在本发明第4方案中，所述第4方案的A/D转换器中的时间计数装置，分别根据参考电压低于所述模拟信号电压的放大电路中正相输出电压和反相输出电压中的任意一个输出电压，对所述多个放大电路的放大时间计数，根据参考电压高于所述模拟信号电压的放大电路的正相输出电压和反相输出电压中的另一个输出电压，对所述多个放大电路的放大时间计数。根据本
30 发明第4方案，由于各放大电路的放大时间与模拟信号电压和各放大电路参考电压的电压差对应，根据计数的各放大电路的放大时间，能够求出各参考

电压之间的模拟信号位置，所以能够用比现有技术高的精度对表示所述模拟信号的数字值进行运算。

此外，本发明第5方案所述的技术方案，是把模拟信号转换为数字值的A/D转换方法，包括：使用放大转换对象的模拟信号电压与预定参考电压的电压差的多个放大电路的放大处理，以及根据所述各放大电路的放大时间，求出表示所述模拟信号的数字值的转换处理，所述转换处理包括：第1过程，求出参考电压高于所述模拟信号的第1放大电路放大所需要的第1时间，并求出参考电压低于所述模拟信号的第2放大电路放大所需要的第2时间；第2过程，在所述第1放大电路的参考电压与所述第2放大电路的参考电压之间，把按所述第2放大电路的放大时间与第1放大电路的放大时间比的内插点电压判定为所述模拟信号电压。

根据本发明的第5方案，由于模拟信号与参考电压的电压差越大放大电路的放大速度就越快(放大时间变短)，模拟信号与参考电压的电压差越小放大速度就越慢(放大时间变长)，所以各放大电路的放大速度的不同就可用所述模拟信号电压与各放大电路参考电压的电压差的不同来表示。因此，根据各放大电路的放大速度进行A/D转换，不可能求出现有技术中作为A/D转换信息的模拟信号与各参考电压的大小关系，能够求出各参考电压中模拟信号的位置，因此，超过了利用放大电路在本质上有偏置电压的偏差，受到限制的现有技术的A/D转换精度的界限，能够实现更高精度的A/D转换。

根据本发明的第5方案，又由于使用第1放大电路的放大时间与第2放大电路的放大时间，能够以良好的精度求出第1放大电路的参考电压与第2放大电路的参考电压之间的模拟信号位置，所以能够用比现有技术高的精度运算表示所述模拟信号的数字值。此外，由于利用与计测放大时间相对比较进行A/D转换，所以能够抑制因电源电压，温度造成的误差，提高A/D转换精度。

而且，在本发明第5方案中，第5方案的A/D转换方法中的所述第1过程根据所述第1放大电路的正相输出电压和反相输出电压中的其中任意一个电压求出所述第1时间，根据所述第2放大电路的正相输出电压和反相输出电压中的另一个电压求出所述第2时间。

根据本发明第5方案，所述模拟信号的A/D转换中使用的第1和第2放大电路的输出电压集中在比作为放大基准电压高或低的其中任意一侧。因此，

由于第1和第2放大电路的偏置电压的影响相互抵消,所以使A/D转换精度提高。

附图说明

5 图1是表示本发明一实施例的A/D转换器结构的电路图。

图2是表示构成本发明一实施例的A/D转换器的差动放大电路一例的图,其中2A表示差动放大电路结构一例的电路图,2B表示2A所示的差动放大电路工作的时序图。

10 图3是表示本发明一实施例的A/D转换器中第1触发器群20A结构的电路图。

图4是表示本发明一实施例的A/D转换器中第1振荡电路30A结构的电路图。

图5是表示第1和第2振荡电路30A、30B的输出信号I1~I5的时间变化曲线图。

15 图6是表示图1所示的本发明一实施例的A/D转换器工作的时序图。

图7是表示说明差动放大电路输出电压的放大时间的计测操作的图。

图8是表示说明本发明一实施例中求出A/D转换值方法的图。

图9是说明动态偏置的图。

图10是说明本发明一实施例中能够缓和动态偏置影响理由的图。

20 图11是说明本发明一实施例中求出A/D转换值方法的图。

图12是表示本发明一实施例的A/D转换器中使模块化变为可能的配置变化图。

图13是表示带有A/D转换器的DVD系统的概略结构图。

图14是表示现有技术的A/D转换器结构的电路图。

25

具体实施方式

下面,参照附图详细说明本发明一实施例的A/D转换器。

30 图1表示本发明一实施例的A/D转换器结构的电路图。图1中,1是产生转换对象的模拟信号Vin的模拟信号源,2是输出作为参考电压上限电压的第1恒压源,3是输出作为参考电压下限电压的第2恒压源,4是输出基本时钟S1的第1时钟发生源,该基本时钟S1是驱动构成后述放大电路列10的各

差动放大电路 10a~10h 的第 1 时钟信号,5 是输出用于 PLL 的时钟 S2 的第 2 时钟发生源,该时钟 S2 是驱动构成后述第 1 和第 2 振荡电路 30A、30B 的第 2 时钟信号,6 是由串联连接的多个电阻构成、利用分割第 1 恒压源 2 和第 2 恒压源 3 的输出电压差生成参考电压 $V_{r1} \sim V_{r8}$ 的电阻列,7 是输出为模拟信号 VinA/D 转换结果的数值的输出端子。

10 是放大模拟信号 Vin 和从电阻列 6 输出的参考电压 $V_{r1} \sim V_{r8}$ 的电压差、由第 1~第 8 差动放大电路 10a~10h 构成的放大电路列。比如,第 1 差动放大电路 10a 放大模拟信号 Vin 与参考电压 V_{r1} 的电压差,输出正相电压 a+ 和反相电压 a-。同样地,第 2~第 8 差动放大电路 10b~10h 分别放大模拟信号 Vin 与参考电压 $V_{r2} \sim V_{r8}$ 的电压差,输出正相电压 b+~h+ 和反相电压 b-~h-。

20A、20B 是配有多个作为各自的保持电路列的触发器列(FF 列)的第 1 和第 2 触发器群,30A、30B 是用锁相环路(PLL)构成的第 1 和第 2 振荡电路,这些电路用于测定构成放大电路列 10 的差动放大电路 10a~10h 的放大速度(放大时间)。构成第 1 触发器群 20A 的各 FF 列使用第 1 振荡电路 30A 的输出信号 I1~I5,输出显示以第 1~第 4 差动放大电路 10a~10d 的输出电压 a-、a+~d-、d+ 为起点电压至变为基准电压时间的数值 O1+、O1-~O4+、O4-。同样地,构成第 2 触发器群 20B 的各 FF 列使用第 2 振荡电路 30B 的输出信号 I1~I5,输出显示以第 5~第 8 差动放大电路 10e~10h 的输出电压 e-、e+~h-、h+ 为起点电压至变为基准电压时间的数值 O5+、O5-~O8+、O8-。利用第 1 和第 2 触发器群 20A、20B 及第 1 和第 2 振荡电路 30A、30B 构成时间计数装置 71。

41 是时间运算电路,它根据从第 1 和第 2 触发器群 20A、20B 输出的、显示放大电路列 10 的各差动放大电路 10a~10h 的放大速度或放大时间的数值 O1+、O1-~O8+、O8-,进行低位 A/D 转换的运算。42 是转换值运算电路,它根据时间运算电路 41 的输出数据,运算 A/D 转换值。43 是时钟发生电路,它根据从第 1 时钟发生源 4 输出的基本时钟 S1,使时间运算电路 41 和转换值运算电路 42 工作,产生时钟信号。利用时间运算电路 41 和转换值运算电路 42,构成运算装置 72。利用时间计数装置 71 和运算装置 72,根据各差动放大电路 10a~10h 的放大速度,构成获取显示转换对象模拟信号 Vin 的数字值的转换部分。

下面, 参照图 2~图 5, 详细说明图 1 所示的本实施例的 A/D 转换器的主要部分。

首先, 说明构成放大电路列 10 的差动放大电路 10a~10h。图 2 是表示本实施例的 A/D 转换器中构成放大电路列 10 的差动放大电路 10a~10h 一例的图, 同一图中, 2A 表示差动放大电路结构一例的电路图, 2B 表示 2A 所示的差动放大电路工作的时序图。图 2A 中, 11、12a、12b、15、16a、16b 是 P 型 MOS 晶体管(下面称为 ‘PMOS’), 13a、13b、14a、14b 是 N 型 MOS 晶体管(下面称为 ‘NMOS’)。

PMOS11 在门电路端子上加上固定电压 VB1 时变为恒流源。PMOS12a、12b 为差动配对结构, 在 PMOS12a 的门电路(差动放大电路的正相输入端子)上输入模拟信号 V_{in} , 在 PMOS12b 的门电路端子(差动放大电路的反相输入端子)上输入参考电压 V_{rN} ($N=1\sim 8$)。NMOS13a、13b 在门电路端子上加上固定电压 VB2 时变为恒流源。

其中, 从作为恒流源的 PMOS11 流入连接 PMOS12a、12b 的源极的端子的电流为 I_1 , 从 NMOS13a、13b 的端子 A、B 引入的电流为 I_2 , 从 NMOS 晶体管 14a、14b 的端子 A、B 输入的电流为 I_3 。输入电压 V_{in} 与参考电压 V_{rN} 相等时, 在 PMOS12a、12b 中流动的电流变为相等($I_1/2$)。此时, 在端子 A、B 上, 下面的关系式成立。

$$I_1/2 - I_2 + I_3 = 0 \dots (1)$$

差动放大电路为平衡状态时, 上式(1)成立。此时, 由于 PMOS15 无论是闭合状态(ON 状态)还是开路状态(OFF)漏-源间都没有电流流动, 所以差动放大电路的输出端子上的电压不变化。也就是说, 差动放大电路平衡状态时的正相输出电压 $V_{out}(+)$ 、反相输出电压 $V_{out}(-)$ 相等。

如图 2B 所示, 电压 V_{ϕ} 为 “L” 电平时, PMOS15 变为闭合状态(ON 状态), 不论正相输入电压 V_{in} 与反相输入电压 V_{rN} 的值差动放大电路的输出电压对正相、反相都变为 V_s 。例如, 正相输入电压 V_{in} 高于反相输入电压 V_{rN} 时, PMOS12b 中有比($I_1/2$)仅大 ΔI 的电流流过, 但由于电流 I_2 因 NMOS13b 的门电路电压为固定电压 VB2 没有变化, 所以在端子 B 流入的电流 I_3 在端子 B 中按基尔霍夫电流规则仅减少 ΔI 。同样地, 在 PMOS12a 中有比($I_1/2$)仅小 ΔI 的电流流过, 但由于电流 I_2 因 NMOS13a 的门电路电压为固定电压 VB2 没有变化, 所以在端子 A 流入的电流 I_3 在端子 A 中按基尔霍夫电流规则仅增

加 ΔI 。其结果, PMOS16a、16b 的电流不变化, 从正相输出端子和反相输出端子一起输出差动放大电路平衡状态的电压 V_s 。把此时的差动放大电路的动作称为复位。

另一方面, 电压 V_ϕ 为“H”电平时, PMOS15 变为开路状态(OFF 状态), 输出电压放大。例如, 当正相输入电压 V_{in} 高于反相输入电压 V_{in} 时, 就变为在正相输出端子中有电流 ΔI 流出, 在反相输出端子有电流 ΔI 流入。因此, 正相输出端子的电压 $V_{out}(+)$ 上升, 而反相输出端子的电压 $V_{out}(-)$ 下降。把此时的差动放大电路工作称为放大。PMOS16a、16b 进行交叉耦合的原因是使正相输出端子和反相输出端子的电压变化速度增大。

下面, 说明第 1 和第 2 触发器群 20A、20B。由于第 1 触发器群 20A 与第 2 触发器群 20B 由相同的结构构成, 所以这里仅说明第 1 触发器群 20A。

图 3 是表示本实施例的 A/D 转换器中第 1 触发器群 20A 结构的电路图。图 3 中 21a、22a、21b、22b、21c、22c、21d、22d 是作为保持电路列的触发器列, 它用时钟端子 C1 中输入信号的移位定时保持输入端子 D1 ~ D5 中输入的信号, 从数据输出端子 Q5 中按数字值输出保持的信号。

触发器列 21a 由 5 个触发器 201 ~ 205 构成, 各触发器 201 ~ 205 在时钟端子 C 中的触发器列 21a 的时钟端子 C1 上同时输入输入信号, 在数据输入端子 D 中触发器列 21a 的输入端子 D1 ~ D5 上分别输入输入信号。其中, 各触发器 201 ~ 205 在时钟端子 C 上的输入信号增大时保持端子 D 上输入信号, 向端子 Q 输出。来自各触发器 201 ~ 205 端子 Q 的输出信号从触发器列 21a 的数据输出端子 Q5 以 5 比特的数据输出。再有, 用与触发器列 21a 的同样结构构成其它触发器列 21b ~ 21d、22a ~ 22d(图中省略)。

此外, 如图 3 所示, 第 1 触发器群 20A 配有比较电路 23a、24a、23b、24b、23c、24c、23d、24d 和输出门电路 25a、26a、25b、26b、25c、26c、25d、26d。

比较电路 23a ~ 23d 使构成放大电路列 10 的第 1 ~ 第 4 差动放大电路 10a ~ 10d 的反相输出电压 $a^- \sim d^-$ 分别输入至其正相输入端子, 比较电路 24a ~ 24d 使构成放大电路列 10 的第 1 ~ 第 4 差动放大电路 10a ~ 10d 的正相输出电压 $a^+ \sim d^+$ 分别输入至其正相输入端子。此外, 在比较电路 23a ~ 23d 和 24a ~ 24d 的各个反相输入端子上, 输入作为各差动放大电路 10a ~ 10d 的放大速度测定基准的基准电压 V_1 。把比较电路 23a ~ 23d 的输出信号提供给

触发器列 21a~21d 的各个时钟端子 C1, 此外, 把比较电路 24a~24d 的输出信号提供给触发器列 22a~22d 的各个时钟端子 C1。

如果正相输入端子上的输入电压超过反相输入端子上的输入基准电压 V1, 那么各比较电路的输出信号就从“L”电平变为“H”电平。此时, 从时钟端子 C1 输入所述比较电路的输出信号的触发器列保持输入端子 D1~D5 上的输入信号。例如, 比较电路 23a 在正相输入端子上输入第 1 差动放大电路 10a 的反相输出电压 a-, 如果该电压 a- 超过基准电压 V1, 那么比较电路 23a 的输出信号就从“L”电平变为“H”电平。触发器列 21a 用在时钟端子 C1 上输入的比较电路 23a 的输出信号的移位定时保持输入端子 D1~D5 上的输入信号。

输出门电路 25a~25d 把触发器列 21a~21d 的输出数据输入到各个端子 D 上, 把比较电路 23a~23d 的输出信号输入到各个控制端子 E 上, 分别输出数字值 O1-~O4-。此外, 输出门电路 26a~26d 把触发器列 22a~21d 的输出数据输入到各个端子 D 上, 把比较电路 24a~24d 的输出信号输入到各个控制端子 E 上, 分别输出数字值 O1+~O4+。

各输出门电路 25a~25d、26a~26d 保持下面的性质。控制端子 E 的输入电压为“H”电平时, 就在端子 D 上输入的数据中附加比特“1”(“H”电平)从端子 Q 输出。另一方面, 控制端子 E 的输入电压为“L”电平时, 就在端子 D 上输入的数据中(或预定数据)附加比特“0”(“L”电平)从端子 Q 输出。附加比特为“1”时, 剩余 5 比特的数据表示作为显示差动放大电路的放大速度有效, 附加比特为“0”时, 剩余 5 比特的数据为可忽略的数据。例如, 当控制端子 E 上输入的比较电路 23a 的输出信号为“H”电平时, 输出门电路 25a 对输入端子 D 上输入的触发器列 21a 的输出数据附加比特“1”, 从端子 Q 输出。

下面, 说明第 1 和第 2 振荡电路 30A、30B。由于第 1 振荡电路 30A 与第 2 振荡电路 30B 由相同的结构构成, 所以这里仅说明第 1 振荡电路 30A。

图 4 是表示本实施例的 A/D 转换器中第 1 振荡电路 30A 结构的电路图。图 4 中, 31 是由作为环状连接的多个(图 4 中为 5 个)延迟电路的反相放大器 311~315 构成的延迟电路环。各反相放大器 311~315 有作为输入端子的端子 a, 作为输出端子的端子 b, 利用在控制端子 c 上施加的电压控制信号传送时间。通过控制在控制端子 c 上施加的电压, 能够使延迟电路环 31 的频率变化。

在反相放大器 311 ~ 315 的输出端子 b 上的电压分别作为第 1 振荡电路 30A 的输出信号 I1 ~ I5。

32 是相位比较器, 比较从第 2 时钟发生源 5 向端子 CL 输入的 PLL 时钟 S2 与延迟电路环 31 的输出信号(信号 I1)的相位差; 33 是低通滤波器(LPF), 它平均并输出从相位比较器 32 输出的脉冲信号; 34 是控制电路, 它根据低通滤波器 33(LPF)的输出电压控制延迟电路环 31 的振荡频率。利用延迟电路环 31、相位比较器 32、低通滤波器 33 和控制电路 34 构成锁相环(PLL), 即使电源电压、温度变化, 延迟电路环 31 的振荡频率仍与时钟发生源 5 产生的 PLL 使用的时钟 S2 的频率一致。本实施例中采用的锁相环路(PLL)是一般的锁相环路, 由于其工作原理在许多文献中有所记述, 所以这里不再说明。

在本实施例中, 利用锁相环路(PLL)的目的在于即使电源电压、温度变化也能固定维持延迟电路环 31 的振荡频率。如果构成延迟电路环 31 的反相放大器 311 ~ 315 有相同的结构, 由于其延迟时间分别相等, 所以若能够固定维持延迟电路环 31 的振荡频率, 那么由于反相放大器每级的延迟时间是延迟电路环 31 周期的 1/10(5 级的反放大器的 2 周信号的时间与延迟电路环 31 周期相当), 所以能够固定。

图 5 表示第 1 和第 2 振荡电路 30A、30B 的输出信号 I1 ~ I5 的时间变化曲线。如图 5 所示, 从输出信号 I1 的前沿边 a 开始经过反相放大器每级的延迟时间后, 输出信号 I2 下降(边缘 b), 从输出信号 I2 的后缘边 b 开始经过反相放大器每级的延迟时间后, 输出信号 I3 升高(边缘 c), 各输出信号 I1 ~ I5 按时刻顺序变化反相放大器每级的延迟时间。如果信号的 "H" 电平为比特 "1", "L" 电平为比特 "0", 输出信号 I1 ~ I5 如图 5 的下栏中所示那样, 把反相放大器每级的延迟时间变为保持时刻变化的 10 种值的 5 比特数据。输出信号 I1 ~ I5 的转移顺序在不变化时是固定的。但是, 通过使用输出信号 I1 ~ I5, 能够进行微小时间的测定。

例如, 利用触发器列保持时刻 t1 的输出信号 I1 ~ I5, 并利用触发器列保持时刻 t2 的输出信号 I1 ~ I5, 如果比较保持的两个信号, 那么显然要经过与从时刻 t1 至 t2 之间时刻的 3 级反相放大器的延迟时间相当的时间。这种情况下, 如果反相放大器每级的延迟时间为 1ns, 那么从时刻 t1 至 t2 之间就变为 3ns。

下面, 说明图 1 所示的本实施例的 A/D 转换器的工作。

图6是表示图1所示本实施例的A/D转换器工作概要的时序图。如图6所示,为把构成放大电路列10的各差动放大电路10a~10h的放大工作的开始时刻与使用第1和第2振荡电路30a、30B的输出信号I1~I5的放大时间计测工作开始的时刻一致,要使基本时钟S1的上升沿与在PLL使用的时钟S2的上升沿在时序上一致。但是,由于把第1和第2振荡电路30A、30B的延迟电路环31的振荡频率保持固定变为基准信号,PLL使用的时钟S2不一定有与基本时钟S1相同的信号。因此,在本实施例中,生成基本时钟S1的第1时钟发生源4与生成PLL使用的时钟S2的第2时钟发生源5有独立的结构,PLL使用的时钟S2为保持基本时钟S1的2倍频率。

如图6所示,构成放大电路列10的各差动放大电路10a~10h在基本时钟S1为“L”电平期间进行复位,在基本时钟S1为“H”电平期间进行放大。如果各差动放大电路10a~10h开始放大工作,根据第1和第2振荡电路30A、30B的输出信号I1~I5,开始进行各差动放大电路10a~10h的放大速度即输出电压放大时间的计测。

图7是说明各差动放大电路10a~10h的输出电压放大时间的计测图。如图7的上栏所示,如果各差动放大电路10a~10h处于复位期间结束而进入放大期间,由于输入电压 V_{in} 与参考电压 $V_{rn}(N=1\sim 8)$ 的电压差被放大,所以输出电压变化。再有,差动放大电路有差动输出(正相输出和反相输出),但图7中仅图示了用于说明正相输出电压和反相输出电压中一方的输出电压。

如图7的下栏所示,PLL使用的时钟S2的频率是基本时钟S1的2倍,PLL使用的时钟S2的上升沿时刻与基本时钟S1的转移时刻一致。另一方面,利用图4所示的第1和第2振荡电路30A、30B中的锁相环路(PLL)的控制工作,使PLL使用的时钟S2与反相放大器311的输出信号(即第1和第2振荡电路30A、30B的输出信号)的频率和相位一致。因此,如图7的中栏所示,构成放大电路列10的各差动放大电路10a~10b使来自复位工作的放大工作中变化的时序与第1和第2振荡电路30A、30B的输出信号I1的上升沿时刻一致。

差动放大电路的输出电压从作为起点的电压 V_s (复位中的输出电压)变到基准电压 V_1 (图3所示的各比较电路的反相输入端子上施加的预定电压)时,利用与所述差动放大电路对应的放大电路列保持第1和第2振荡电路30A、30B的输出信号I1~I5。

例如, 如果差动放大电路 10a 的反相输出信号 a- 按图 7 上栏的曲线变化, 由于比较电路 23a 的输出信号在信号 a- 超过电压 V1 时从“L”电平转移为“H”电平, 所以在时钟端子 C1 上的输入信号上升时即差动放大电路 10a 的反相输出信号 a- 达到电压 V1 时, 触发器列 21a 保持在输入端子 D1~D5 上输入的第 1 振荡电路 30A 的输出信号 I1~I5。由于输出信号 I1~I5 的转移顺序是固定的, 所以如图 7 的中栏所示, 根据触发器列 21a 中保持的输出信号 I1~I5, 差动放大电路 10a 的反相输出信号 a- 达到电压 V1 的时刻显然与延迟电路环 31 中第 5 信号的转移相当。如果延迟电路环 31 中反相放大器每级的信号转移时间为 1ns, 那么差动放大电路 10a 就需要 5ns 的放大时间(但是包括 1ns 的量化误差)。

这样, 就能够计测构成放大电路列 10 的各差动放大电路 10a~10h 的放大时间。

下面, 参照图 8, 利用构成放大电路列 10 的各差动放大电路 10a~10h 的放大时间, 说明本实施例的 A/D 转换原理。

图 8A 是表示差动放大电路 10a~10f 的反相输出电压 a-~f- 的曲线。图 8A 中, 表示在第 3 差动放大电路 10c 的参考电压 V_{r3} 与第 4 差动放大电路 10d 的参考电压 V_{r4} 之间有电压的情况下的模拟信号 V_{in} 。

如果各差动放大电路 10a~10h 的反相输出电压为 V_{ON-} , 正相输出电压为 V_{ON+} ($N=1\sim 8$), 那么电压 V_{ON-} 、 V_{ON+} 可分别用下式表示。

$$V_{ON-} = -G \cdot (V_{in} - V_{rN}) + V_s \quad \dots(2)$$

$$V_{ON+} = G \cdot (V_{in} - V_{rN}) + V_s \quad \dots(3)$$

其中, $G(>0)$ 是各差动放大电路 10a~10h 的电压增益。信号 V_{in} 在参考电压 V_{r3} 与 V_{r4} 之间有电压时, 由式(2)得出

$$V_{01-} > V_{02-} > V_{03-} > V_s > V_{04-} > V_{05-} > V_{06-} > V_{07-} > V_{08-}, \text{ 因此有} \\ \therefore a- > b- > c- > V_s > d- > e- > f- > g- > h- \quad \dots(4)$$

由式(4)可看出, 第 1~第 3 差动放大电路 10a~10c 的反相输出电压 a-、b-、c- 因电压 V_s 上升超过电压 V1, 而第 4~第 8 差动放大电路 10d~10h 的反相输出电压 d-、e-、f-、g-、h- 因电压 V_s 下降未超过电压 V1。以此作为交换, 第 4~第 8 差动放大电路 10d~10h 使其正相输出电压 d+、e+、f+、g+、h+ 超过电压 V1。

可是, 由于第 3 差动放大电路 10c 的反相输出信号 c- 超过电压 V1, 并

且第4差动放大电路10d的正相输出信号d+超过电压V1,所以显然模拟信号Vin有在参考电压 V_{r3} 与 V_{r4} 之间的电压。因此,能够求出模拟信号Vin的高位A/D转换值。

本实施例A/D转换器中,利用各差动放大电路10a~10h的放大时间对模拟信号Vin进行更精密地A/D转换。因此还有低位的A/D转换。低位的A/D转换如下进行。

图8B是表示第1~第3差动放大电路10a~10c的反相输出电压a-~c-的曲线。在这条曲线下,表示各输出电压达到电压V1前的时间。t1~t3分别表示第1~第3差动放大电路10a~10c的反相输出电压a-~c-达到电压V1前的时间,t4~t6分别表示第4~第6差动放大电路10d~10f的正相输出电压d+~f+达到电压V1前的时间。

其中,时间tN(N=1~8)与模拟信号Vin及参考电压 V_{rN} (N=1~8)的关系,可用下式近似地表示:

$$\begin{aligned} & \text{Vin} < V_{rN} \text{ 时} \\ 15 \quad & tN = -H(Vin - V_{rN}) \quad \dots(5) \end{aligned}$$

$$\begin{aligned} & \text{Vin} > V_{rN} \text{ 时} \\ & tN = H/(Vin - V_{rN}) \quad \dots(6) \end{aligned}$$

式(5)、(6)中,H(>0)是利用差动放大电路的设计所决定的比例常数。此时,Vin< V_{rN} 成立时为N=1~3,Vin> V_{rN} 成立时为N=4~8。

20 由于第3差动放大电路10c中模拟信号Vin与参考电压 V_{r3} 电压差的绝对值小于第1和第2差动放大电路10a、10b中模拟信号Vin与参考电压电压差绝对值,所以时间t3比时间t1、t2长。另一方面,由于第4差动放大电路10d中模拟信号Vin与参考电压 V_{r4} 电压差的绝对值小于第5和第8差动放大电路10e~10h中模拟信号Vin与参考电压电压差的绝对值,所以时间t4比时间t5~
25 t8长。由式(5)、(6)及

$$t3 = -H/(Vin - V_{r3}) \quad \dots(7)$$

$$t4 = H/(Vin - V_{r4}) \quad \dots(8)$$

其中,如果使时间t3除时间t4,那么有

$$t3/t4 = -(Vin - V_{r4})/(Vin - V_{r3}) \quad \dots(9)$$

30 利用式(9),可求出Vin

$$Vin = (t3 \cdot V_{r3} + t4 \cdot V_{r4})/(t3 + t4) \quad \dots(10)$$

式(10)表示由时间 t_3 、 t_4 能够求出参考电压 V_{r3} 与 V_{r4} 之间模拟信号 V_{in} 的位置。也就是说, 利用式(10)与所谓的内分公式的类似关系, 可以得出模拟信号 V_{in} 在 t_4 对 t_3 的内分位置有参考电压 V_{r3} 和 V_{r4} (参照图 8C)。因此, 利用式(10), 能够求出模拟信号 V_{in} 低位的 A/D 转换值。通过细分化构成第 1 和第 2 振荡电路 30A、30B 中量化时间(构成延迟电路环 31 的反相放大器每级的信号延迟时间), 能够更细地计测时间 t_3 、 t_4 , 因而能够更精密地求出模拟信号 V_{in} 低位的 A/D 转换值。

利用时间运算电路 41, 进行根据表示各差动放大电路 10a~10h 的放大时间数字值的低位 A/D 转换的运算(式(10)的运算), 转换值运算电路 42 根据时间运算电路 41 得到的数据求出高位 A/D 转换值和低位 A/D 转换值, 进行合并, 运算表示转换对象的模拟信号 V_{in} 的数字值。

再有, 式(10)是以式(5)、(6)的关系成立为前提求出的。也就是说, 差动放大电路中放大时间与输入电压差近似呈反比, 按放大时间的比把内分点的电压作为模拟信号电压求出两个参考电压。因此, 可以用简单的运算实现低位的 A/D 转换。为用更高精度进行低位的 A/D 转换, 在实际的差动放大电路中最好还考虑放大速度与输入电压差的指数关系进行运算。

在本实施例中, 如图 8B 所示, 对于参考电压比模拟信号 V_{in} 还小的差动放大电路, 用正相输出电压进行低位的 A/D 转换, 对于参考电压比模拟信号 V_{in} 大的差动放大电路, 用反相输出电压进行低位的 A/D 转换。这是因为要减少各差动放大电路的动态偏置对 A/D 转换精度影响的缘故。

下面, 用图 9 说明动态偏置。此时, 如图 9A 所示, 假设有把输入电压差 ΔV 放大而输出电压 V_{out} 的放大电路。如图 9B 所示, 当输入电压差 ΔV 在 $V1(>0)$ 时和 $-V2(<0)$ 时的输出电压 V_{out} 与基准电压 V_s 的差相等的情况下, 把 $V1$ 与 $V2$ 的差称为动态偏置。在理想的差动放大电路中, 动态偏置为 0, 但实际上, 由于制造工艺等原因使动态偏置不为 0。动态偏置不为 0, 即使在输入电压差 ΔV 的绝对值相等的情况下, 仍意味根据其值的正负输出电压 V_{out} 与基准电压 V_s 的差也不同。

图 10 是说明能够减少本实施例中动态偏置影响理由的图。如图 10A 所示, 考虑模拟信号 V_{in} 比参考电压 V_{r4} 高比参考电压 V_{r3} 低的情况。这种情况下, 第 4 差动放大电路 10d 由于正相输入电压(模拟信号 V_{in})高于反相输入电压(参考电压 V_{r4}), 所以输入电压差 ΔV 为正。另一方面, 第 3 差动放大电路

10c 由于正相输入电压(模拟信号 V_{in})低于反相输入电压(参考电压 V_{r3})，所以输入电压差 ΔV 为负。由于输入电压差 ΔV 的正负不同，所以如果把第3和第4差动放大电路10c、10d同时进行正相输出电压的A/D转换，那么会因动态偏置的存在产生A/D转换值上的误差。在把第3和第4差动放大电路10c、
5 10d同时进行反相输出电压的A/D转换的情况下，会出现同样的情况。

另一方面，如图10B所示，根据差动放大电路特性，正向输入电压为A且反向输入电压为B的差动放大电路的正向输出电压与反相输入电压为A且正要输入电压为B的差动放大电路的反相输出电压，从动态偏置方面看显然是等价的。

10 因此，如图10A所示，在把第3差动放大电路10c的反相输出电压和第4差动放大电路10d的正相输出电压进行A/D转换的情况，与图10C所示的情况等价。也就是说，如果只从动态偏置来看，第3差动放大电路10c是相对高的参考电压 V_{r3} 变为正相输出电压，相对低的模拟信号 V_{in} 变为反相输入电压，同时正相输出电压变为用于进行低位的A/D转换。结果，由于第3和
15 第4差动放大电路10c、10d使输入电压差 ΔV 的正负相等且把其正向输出电压用于进行A/D转换，所以抵消了动态偏置。在图10A、C中，A/D转换中使用的输出电压附以O，不用的输出电压附以×。

因此，为进行低位的A/D转换，对于参考电压小于模拟信号 V_{in} 的差动放大电路使用正相输出电压，对于参考电压大于模拟信号 V_{in} 的差动放大电
20 路使用反相输出电压，就能够减少各差动放大电路的动态偏置对A/D转换精度产生的影响。当然，对于参考电压小于模拟信号 V_{in} 的差动放大电路使用反相输出电压，对于参考电压大于模拟信号 V_{in} 的差动放大电路使用正相输出电压，也能够减少各差动放大电路的动态偏置对A/D转换精度产生的影响。

此外，实际的A/D转换器中，由于模拟信号 V_{in} 与参考电压大致相等，
25 所以存在使正相输出电压反相输出电压几乎都不变化，不到电压V1的差动放大电路的情况。在这种情况下，进行下面的A/D转换。

图11A表示差动放大电路10a~10e的反相输出电压a-~e-的曲线。图11A中，表示模拟信号 V_{in} 与第3差动放大电路10c的参考电压 V_{r3} 有大致相等的电压，还表示第3差动放大电路10c的正相输出电压c+。此外，图
30 11B表示第1~第3差动放大电路10a~10c的反相输出电压a-~c-和第3~第5差动放大电路10c~10e的正相输出电压c+~e+的曲线。此外，在图

11B 的曲线下,表示各输出电压达到电压 V_1 的时间, t_1 、 t_2 分别表示第 1 和第 2 差动放大电路 10a、10b 的反相输出电压 a^- 、 b^- 达到电压 V_1 的时间, $t_4 \sim t_5$ 分别表示第 4 和第 5 差动放大电路 10a、10b 的正相输出电压 d^+ 、 e^+ 达到电压 V_1 的时间。

- 5 如图 11A 所示,这种情况下,由于第 3 差动放大电路 10c 不能检测模拟信号 V_{in} 与参考电压 V_{r3} 的电压差,所以反相输出电压 c^- 、正相输出电压 c^+ 不根据电压 V_s 变化,或即使变化,但在放大期间内也不会达到基准电压 V_1 。因此,如图 11B 所示,由于不能得到时间 t_3 的数据,所以就用时间 t_2 和 t_4 进行 A/D 转换。根据下式利用求出模拟信号 V_{in} 的内分点,进行低位的 A/D 转换。

$$V_{in} = (t_2 \cdot V_{r2} + t_4 \cdot V_{r4}) / (t_2 + t_4) \quad \dots(11)$$

- 求出构成放大电路列 10 的差动放大电路 10a ~ 10h 中最长的放大时间和第 2 长的放大时间,进行高位的 A/D 转换。例如,在图 8 所示的情况下,由于第 4 差动放大电路 10d 的放大时间最长,第 3 差动放大电路 10c 的放大时间第 2 长,所以可判断为输入的模拟信号 V_{in} 在参考电压 V_{r3} 与 V_{r4} 之间。对于图 11 所示的情况下,由于第 4 差动放大电路 10d 的放大时间最长,第 2 差动放大电路 10b 的放大时间次之,由于不存在表示第 3 差动放大电路 10c 的放大时间数据所以可判定模拟信号 V_{in} 与参考电压 V_{r3} 大致相等。据此,能够求出 A/D 转换值的高位比特。

- 20 此外,本实施例的 A/D 转换器能够进行模块分割(单元化)。图 1 所示的 A/D 转换器中,触发器群和振荡器电路各自有 2 个结构,用第 1 触发器群 20A、第 1 振荡电路 30A 和第 1 ~ 第 4 差动放大电路 10a ~ 10d 构成一个模块结构,用第 2 触发器群 20B、第 2 振荡电路 30B 和第 5 ~ 第 8 差动放大电路 10e ~ 10h 构成另一个模块结构。

- 25 下面,说明本实施例的 A/D 转换器中可进行模块化的理由。

- 为使 A/D 转换器高精度化,一般来说,利用多个放大器的输出信号的相对值提高转换精度。对此,本实施例的 A/D 转换器也是同样的。本实施例的 A/D 转换器与一般的高精度 A/D 转换器的不同在于:没有按模拟信号的原样使用多个放大器的输出信号,而是把多个放大器的放大时间进行数字值转换,用于 A/D 转换的高精度化。

由于一般的高精度 A/D 转换器把多个放大器的输出信号用原有的模拟信

号进行比较,所以各放大器的输出信号线的长度偏差对 A/D 转换精度产生影响,配置上受到制约。为不产生转换误差,如果使各放大器的输出信号线相等,在转换比特数增加的情况下,就会变为图 12A 所示的纵列配置。

因此,本实施例的 A/D 转换器把各放大器的放大时间转换为数字值,在
5 多个放大时间中进行其数字值的相对比较。因此,由于各放大器的输出信号线长度的偏差对 A/D 转换精度没有影响,所以在配置上比一般高精度 A/D 转换器的自由度更高,能够象图 12B 所示那样的成模块分割配置。

再有,在第 1 和第 2 触发器群 20A、20B 中,也可以省略比较电路,把各差动放大电路的输出电压直接输入给各触发器列的端子 C1。这种情况下,
10 作为放大时间测定基准的电压 V1,最好用比如构成第 1 和第 2 触发器群 20A、20B 的各触发时钟信号的阈值电压设定。

再有,在第 1 和第 2 触发器群 20A、20B 中,利用把各差动放大电路的正相输出电压和反相输出电压共同输入给触发器列的结构,能够把触发器列减少一半。在这种情况下,表示各差动放大电路的放大时间的数字值对各差
15 动放大电路变为一个,其个数减半。但是,为了以良好的精度数字校正低位的 A/D 转换值,对于本实施例的各差动放大电路的正相输出电压和反相输出电压,最好采用分别设置触发器列的方法。

再有,构成触发器列的触发器个数并不限于 5 个,也可以用振荡电路输出的输出信号数进行设定。

再有,在本实施例中,各差动放大电路以输出固定的电压切换复位工作和放大工作,但本发明并不限于此,但并不介意各差动放大电路不进行复位也可以。也就是说,在本实施例中,虽使用了根据作为计测放大时间起点的电压的复位操作的设定电压 V_s ,但作为替换,也可以按各差动放大电路的最大或最小输出电压作为计测放大时间的起点电压。

25 本发明的 A/D 转换与以往的插值技术即一旦同步用于提高精度的电压就进行放大插值的 A/D 转换相比,处理速度特别快,以往的插值技术中,把模拟信号所属的电压范围放大,在放大的电压范围中进行低位的 A/D 转换来提高精度。可是,这种方法中,必须用高放大率放大电压,该电压放大需要较长时间,结果 A/D 转换的高速化很困难。例如,如果在电压范围 8mV 之间
30 插值 4 比特(= 16 等级),那么就必须用 16 倍的高放大率放大电压,为此需要较长的电压放大时间。

因此,本发明中,由于计测高位 A/D 转换时的各放大电路的放大时间,根据该放大时间进行低位的 A/D 转换,所以不需要以往插值技术那样长的电压放大时间,而且能够用比现有技术快得多(例如 50MHZ 以上)速度进行高精度的 A/D 转换。因此,利用本发明,能够实现具备高速性和高精度的 A/D 转换。

利用本发明实现的高速和高精度的 A/D 转换有各种各样的用途。作为其一例,比如从磁存储媒体(DVD、HDD、PD、MO 等)中读出信号。图 13 表示 DVD 系统的信号读出部分的概略结构图。图 13 中,81 是 DVD,82 是激光振荡器,83 是激光受光部,84 是滤波器的附加放大器(AMP),85 是 A/D 转换器,86 是数字信号处理器(DSP),此外,87 是读出数字信号的输出端子,与后级电路(比如用于把数字信号转换为图象的电路)连接。

从激光振荡器 82 输出的激光波用 DVD81 调制(例如频率调制),该调制波用激光受光部 83 转换为电信号。该电信号用滤波器的附加放大器 84 在放大的同时整形波形,用 A/D 转换器 85 转换为数字信号。

此时,由于电气信号的调制频率高,而且数字数据的精度也需要高水准,所以作为 A/D 转换器 85,就必须是高速且高精度的转换器。将来,磁存储媒体的存储密度会变得更高,伴随着读出精度的提高,对 A/D 转换器 85 的高速化和高精度化的要求必然更强,所以本发明的重要性会日益提高。

根据如上所述的本发明,由于各放大电路的放大速度的不同反映了转换对象的模拟信号与各放大电路参考电压的电压差的不同,所以根据各放大电路的放大速度进行 A/D 转换,作为 A/D 转换信息不用求出现有技术中的模拟信号与各参考电压的大小关系,但能够求出各参考电压中模拟信号的位置,因此,利用放大电路在本质上有偏置电压的偏差,超过受到限制的现有技术的 A/D 转换精度的界限,能够实现更高精度的 A/D 转换。

此外,根据本发明,在计测各放大电路的放大时间中,在第 1 放大电路的参考电压与第 2 放大电路的参考电压之间,根据内插所述第 1 放大电路的放大时间与所述第 2 放大电路的放大时间的比,能够以良好的精度求出第 1 放大电路的参考电压与第 2 放大电路的参考电压之间转换对象的模拟信号位置;此外,由于利用与计测放大时间相对比较进行 A/D 转换,所以能够抑制因电源电压、温度造成的误差、提高 A/D 转换精度。

根据本发明,在各放大电路内,分别通过对于参考电压低于转换对象的

模拟信号电压的放大电路根据正相输出电压和反相输出电压的其中任意一个进行 A/D 转换，对于参考电压高于转换对象的模拟信号电压的放大电路根据其正相输出电压和反相输出电压的另一个进行 A/D 转换，所述模拟信号的 A/D 转换中使用的放大电路的输出电压就集中在比作为放大基准电压高或低
5 的其中任意一侧。因此，由于各放大电路的偏置电压的影响相互抵消，所以使 A/D 转换精度提高。

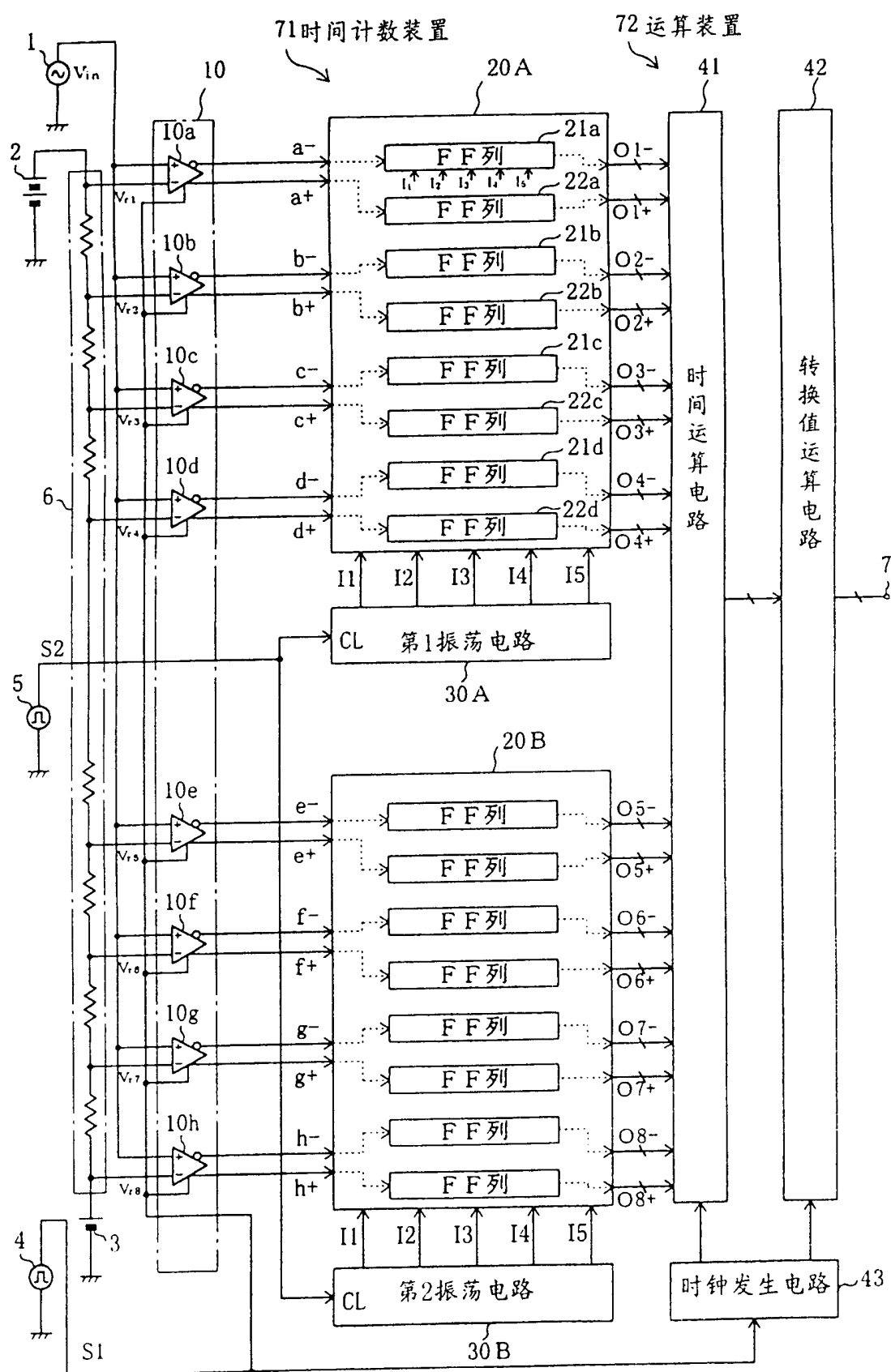


图 1

图 3

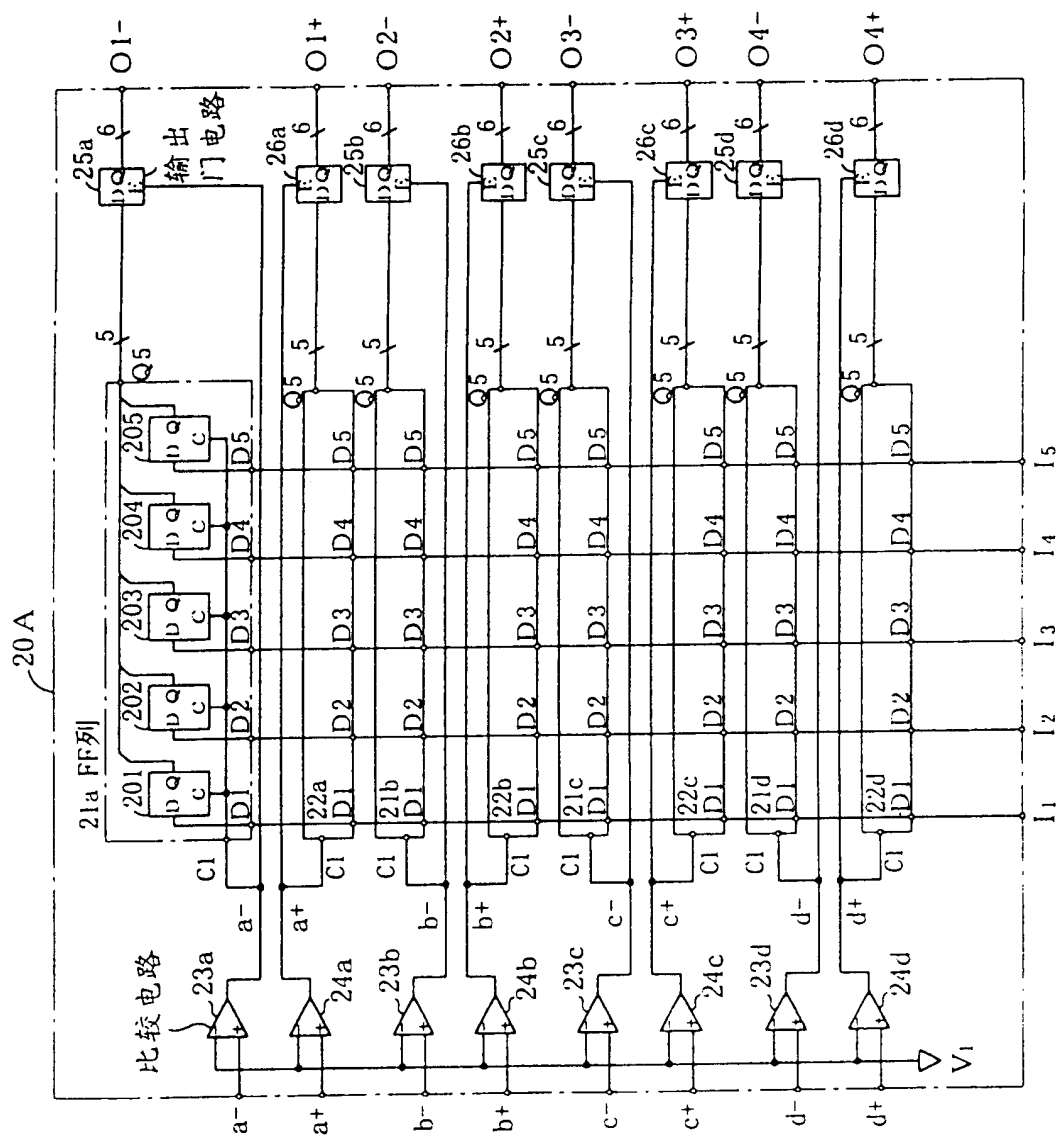


图 4

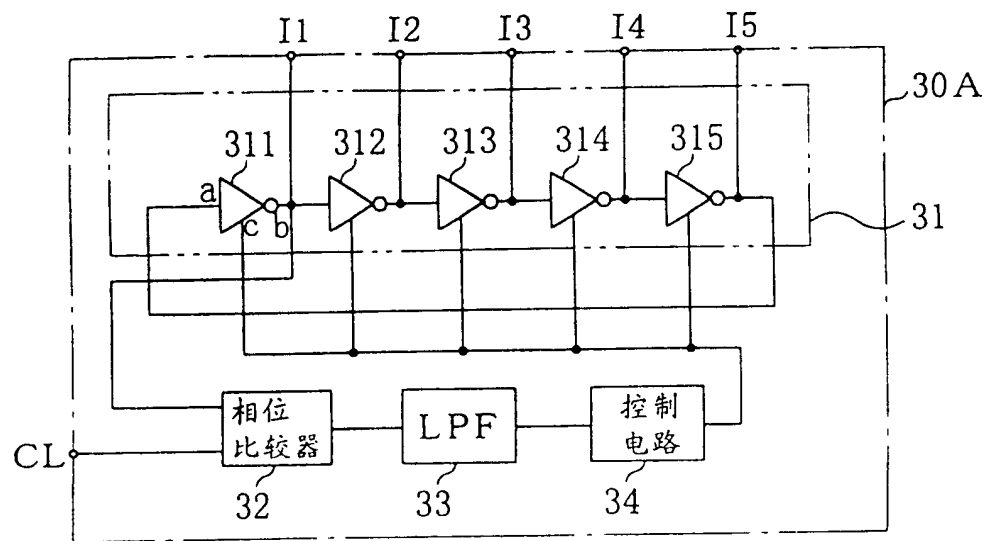
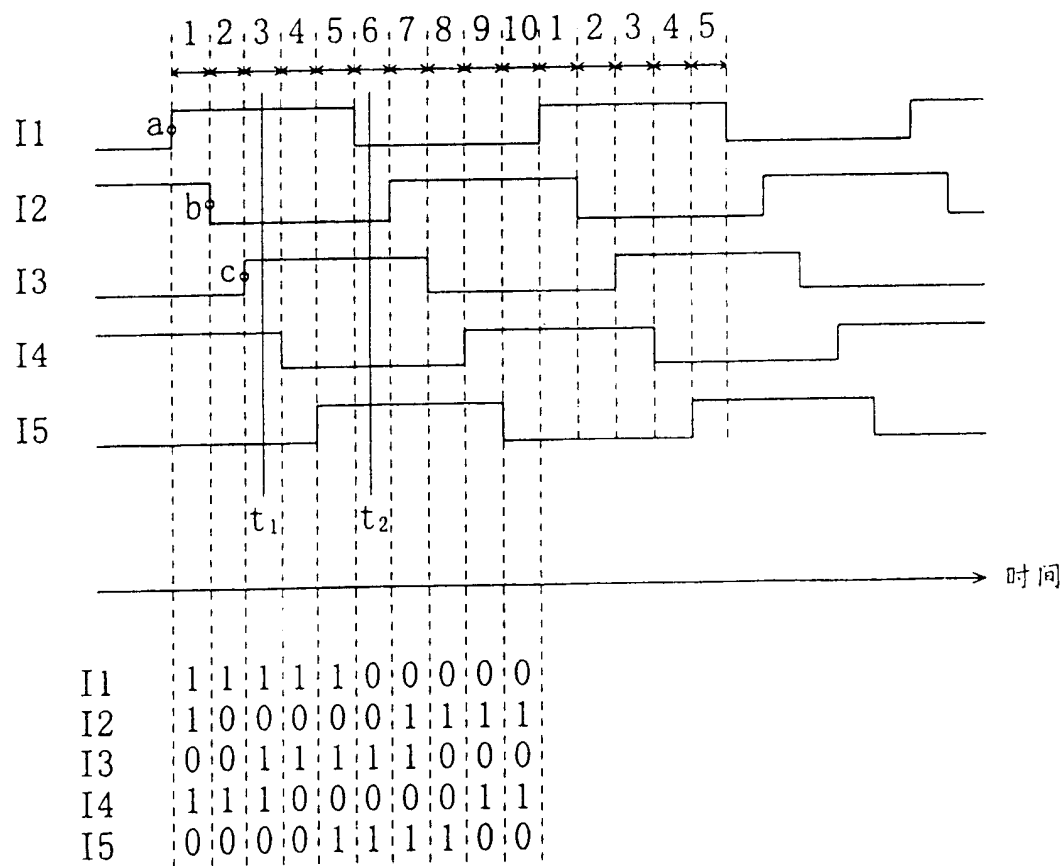


图 5



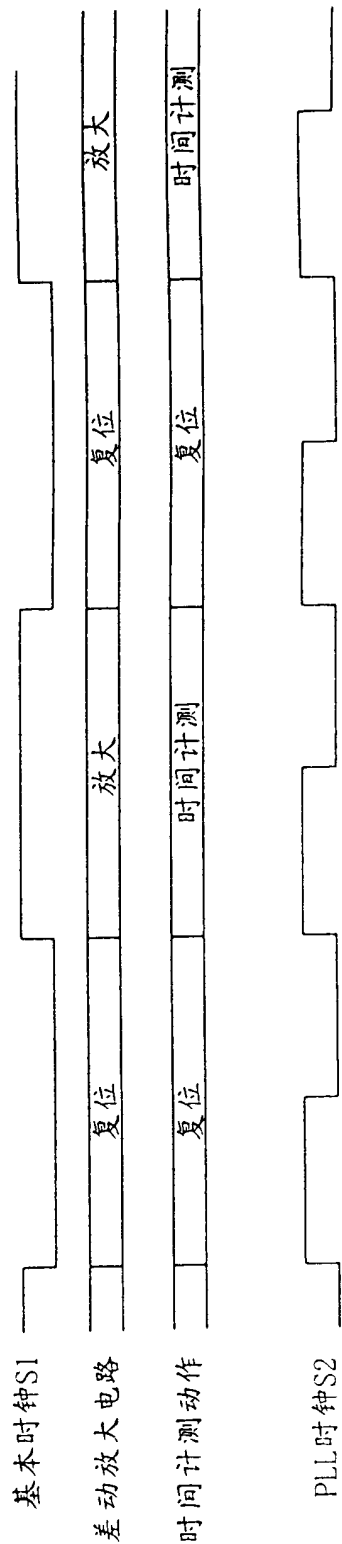


图 6

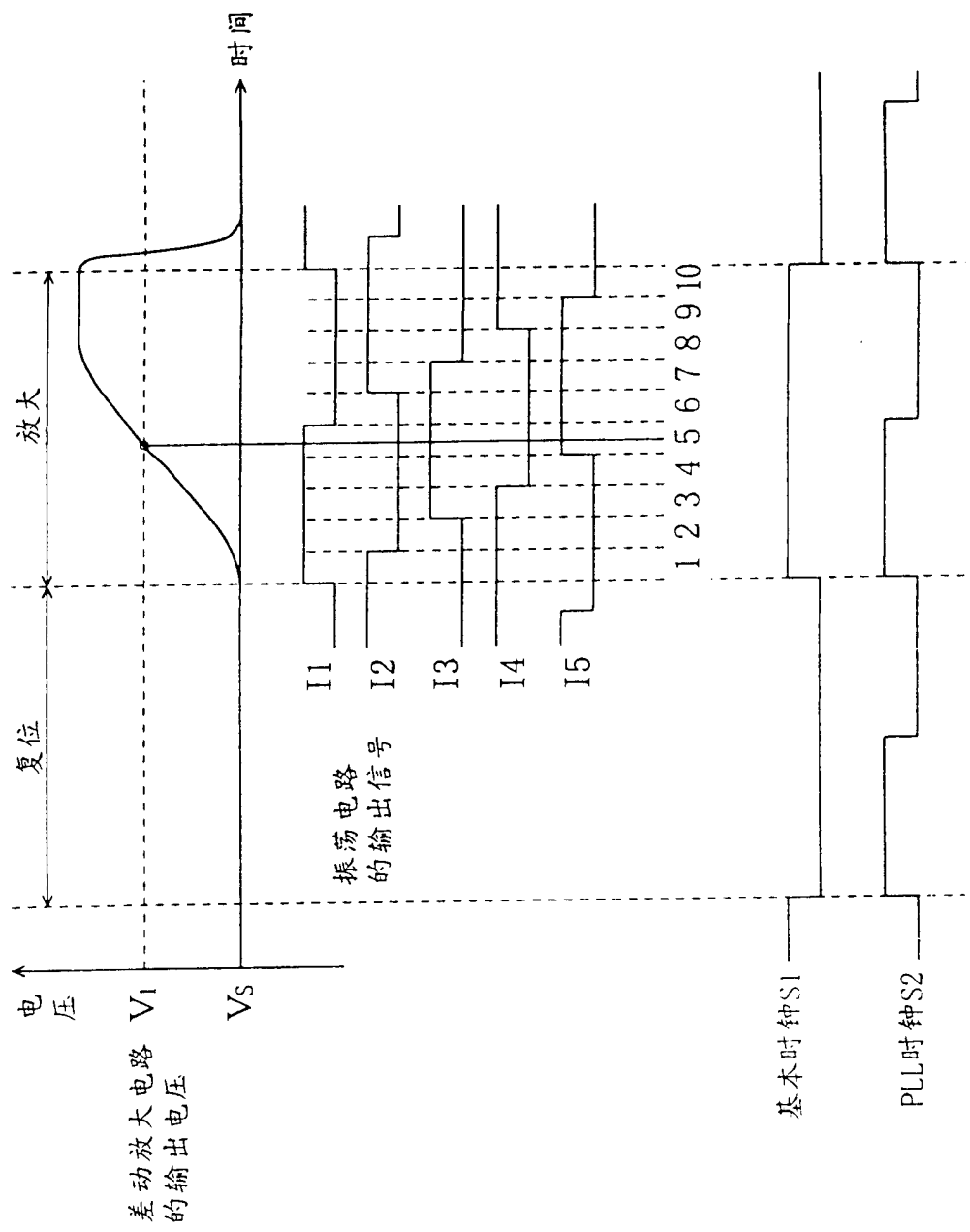
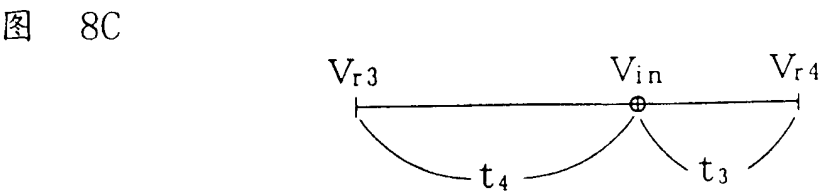
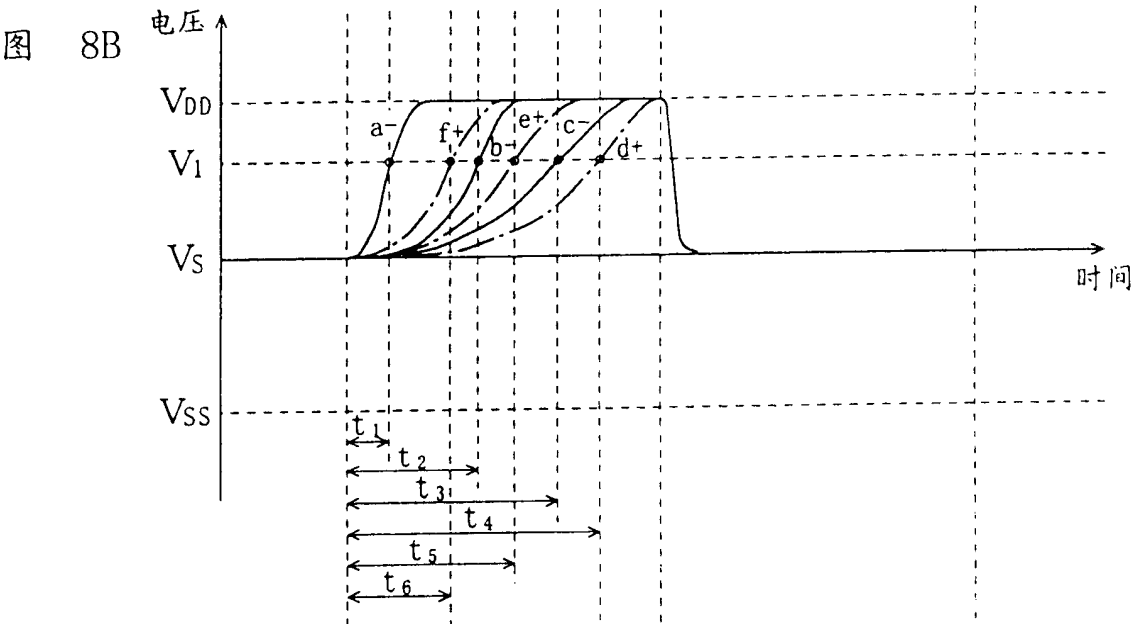
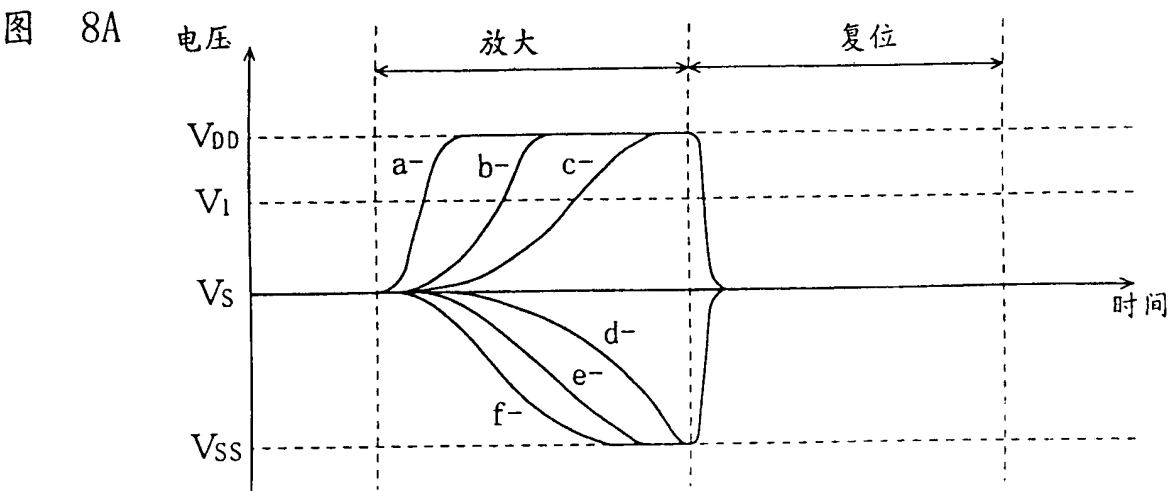
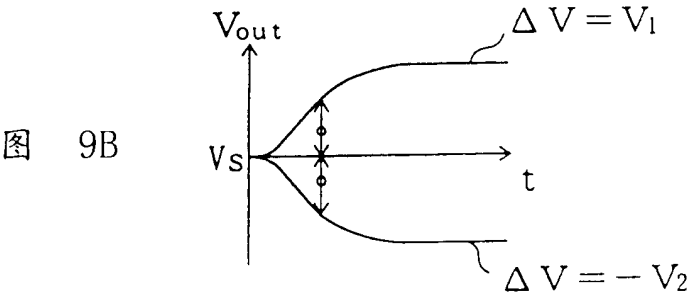
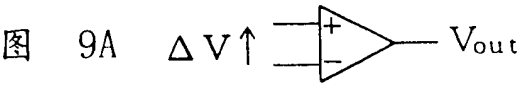


图 7





动态复位电压 = $V_1 - V_2$

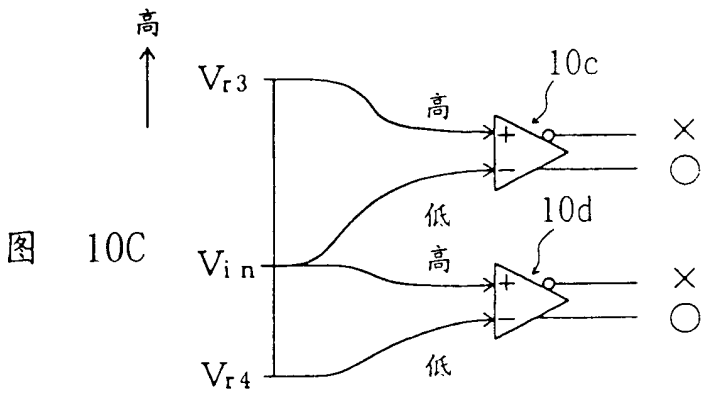
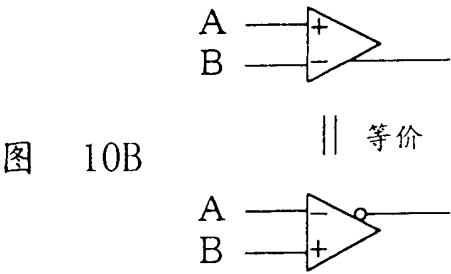
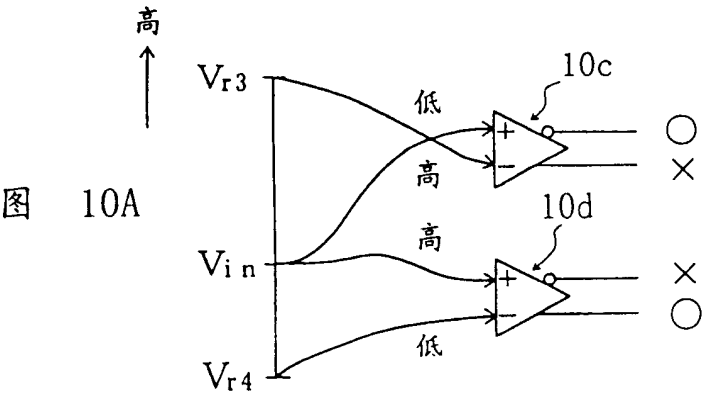


图 11A

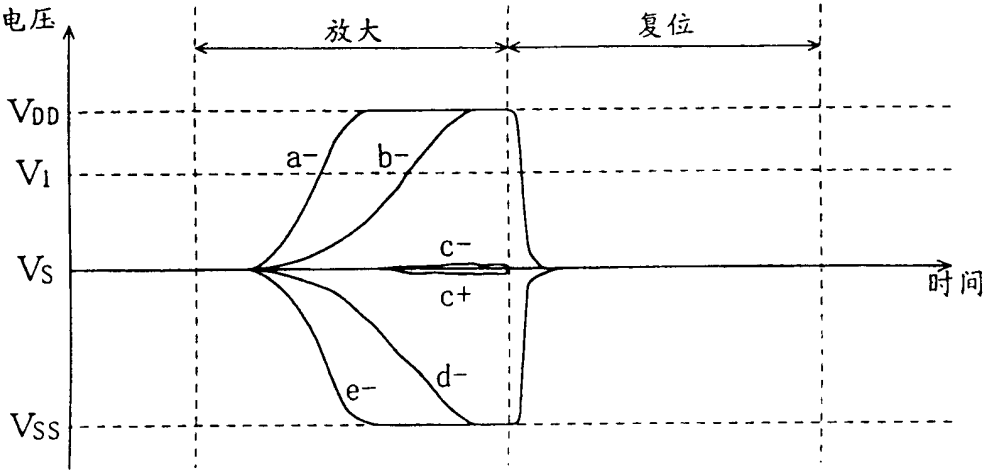
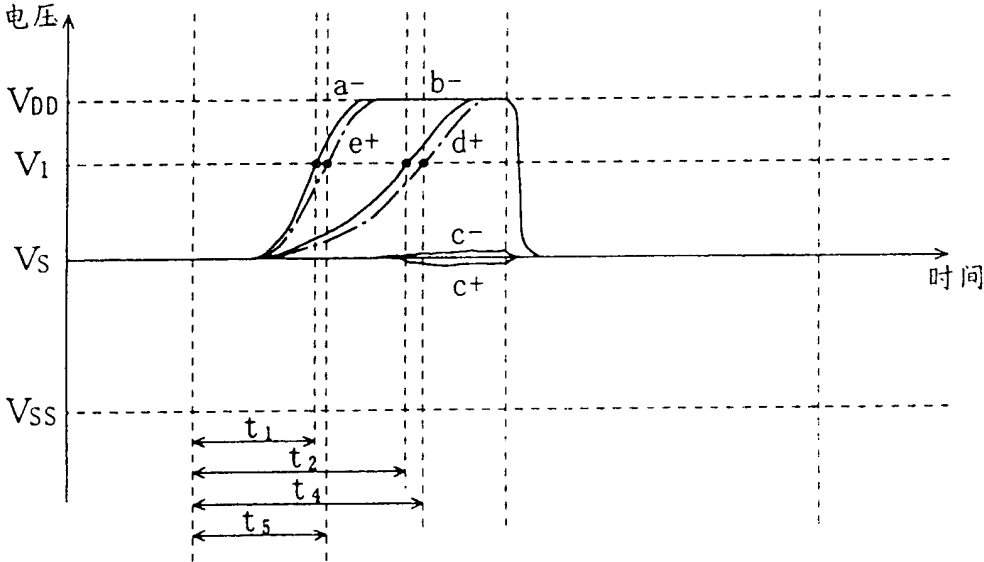


图 11B



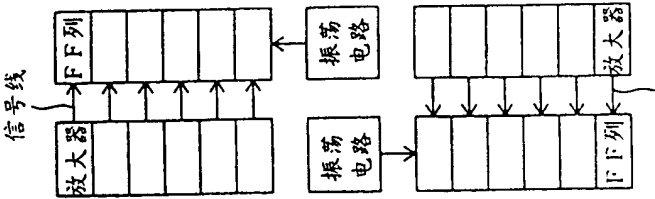
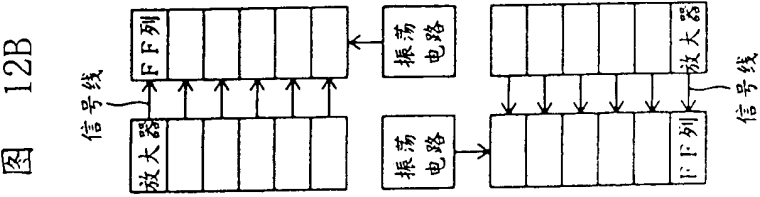
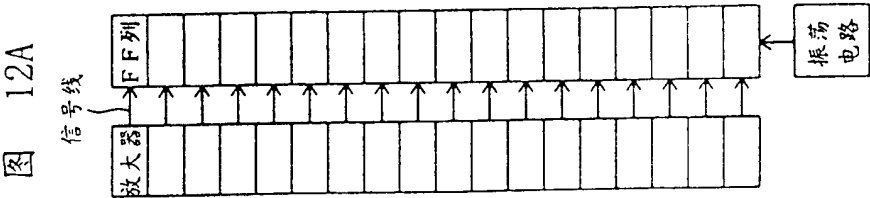


图 13

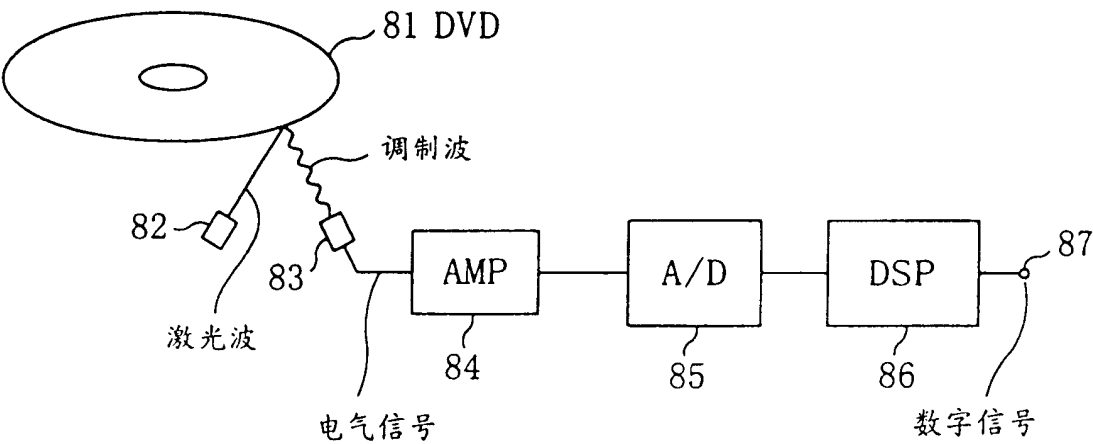


图 14

