



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0073099
(43) 공개일자 2020년06월23일

(51) 국제특허분류(Int. Cl.)
G06F 30/00 (2020.01) G06F 1/32 (2019.01)
(52) CPC특허분류
G06F 30/30 (2020.01)
G06F 1/32 (2013.01)
(21) 출원번호 10-2019-0024054
(22) 출원일자 2019년02월28일
심사청구일자 없음
(30) 우선권주장
1020180161016 2018년12월13일 대한민국(KR)

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이영오
경기도 수원시 영통구 덕영대로1556번길 16, F동 1007호(영통동, 디지털엠펜파이어빌딩)
윤두석
경기도 수원시 영통구 도청로 10, B동 1415호(이의동, 광고센트럴푸르지오시티)
김민수
경기도 화성시 동탄문화센터로 38, 417동 303호(반송동, 솔빛마을서해그랑블아파트)
(74) 대리인
특허법인가산

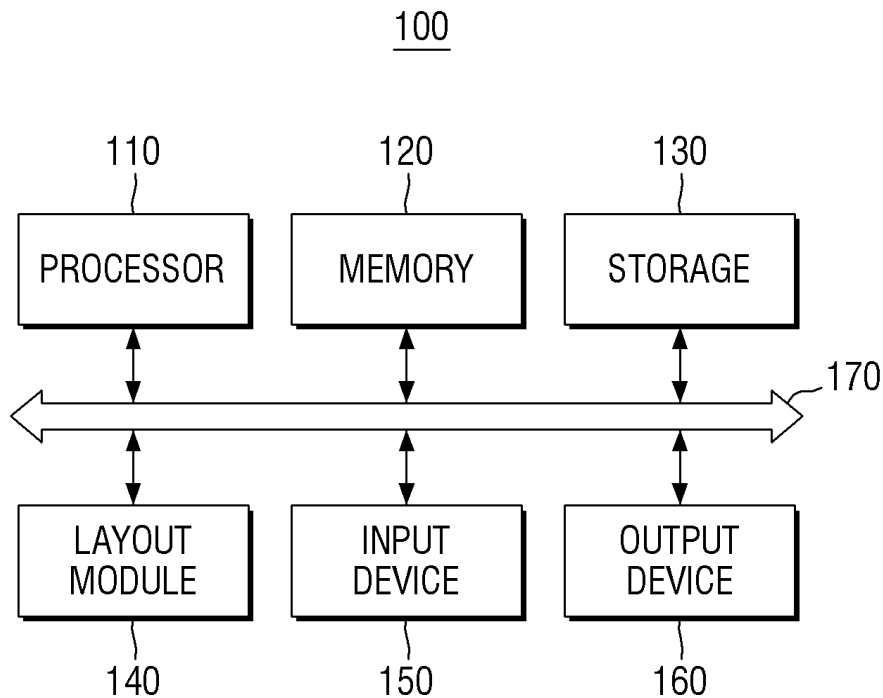
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 회로 및 반도체 회로의 레이아웃 시스템

(57) 요약

반도체 회로 및 반도체 회로의 레이아웃 시스템이 제공된다. 반도체 회로는, 클럭 신호를 반전시켜 반전 클럭 신호를 출력하는 클럭 인버터(clock inverter), 클럭 신호 및 반전 클럭 신호에 기초하여, 제1 노드 및 제4 노드의 신호를 각각 래치(latch)하여 제2 노드 및 제5 노드에 각각 전달하는 제1 마스터 래치 주 회로 및 제2 마스터 래치 주 회로(뒷면에 계속)

대표도 - 도1



치 주 회로, 제2 노드 및 제5 노드의 신호를 제1 마스터 래치 주 회로 및 제2 마스터 래치 주 회로에 각각 피드백(feedback)하는 제1 마스터 래치 보조 회로 및 제2 마스터 래치 보조 회로, 클럭 신호 및 반전 클럭 신호에 기초하여, 제2 노드 및 제5 노드의 신호를 각각 래치하여 제3 노드 및 제6 노드에 각각 전달하는 제1 슬레이브 래치 주 회로 및 제2 슬레이브 래치 주 회로, 및 제3 노드 및 제6 노드의 신호를 제1 슬레이브 래치 주 회로 및 제2 슬레이브 래치 주 회로에 각각 피드백하는 제1 슬레이브 래치 보조 회로 및 제2 슬레이브 래치 보조 회로를 포함하고, 클럭 인버터는 제2 마스터 래치 주 회로와 제2 슬레이브 래치 주 회로 사이에 배치되도록 레이아웃(layout)된다.

명세서

청구범위

청구항 1

클럭 신호를 반전시켜 반전 클럭 신호를 출력하는 클럭 인버터;

상기 클럭 신호 및 상기 반전 클럭 신호에 기초하여, 제1 노드 및 제4 노드의 신호를 각각 래치하여 제2 노드 및 제5 노드에 각각 전달하는 제1 마스터 래치 주 회로 및 제2 마스터 래치 주 회로;

상기 제2 노드 및 상기 제5 노드의 신호를 상기 제1 마스터 래치 주 회로 및 상기 제2 마스터 래치 주 회로에 각각 피드백하는 제1 마스터 래치 보조 회로 및 제2 마스터 래치 보조 회로;

상기 클럭 신호 및 상기 반전 클럭 신호에 기초하여, 상기 제2 노드 및 상기 제5 노드의 신호를 각각 래치하여 제3 노드 및 제6 노드에 각각 전달하는 제1 슬레이브 래치 주 회로 및 제2 슬레이브 래치 주 회로; 및

상기 제3 노드 및 상기 제6 노드의 신호를 상기 제1 슬레이브 래치 주 회로 및 상기 제2 슬레이브 래치 주 회로에 각각 피드백하는 제1 슬레이브 래치 보조 회로 및 제2 슬레이브 래치 보조 회로를 포함하고,

상기 클럭 인버터는 상기 제2 마스터 래치 주 회로와 상기 제2 슬레이브 래치 주 회로 사이에 배치되도록 레이아웃되는 반도체 회로.

청구항 2

제1항에 있어서,

상기 제2 마스터 래치 주 회로는 상기 제2 마스터 래치 보조 회로와 상기 클럭 인버터 사이에 배치되도록 레이아웃되는 반도체 회로.

청구항 3

제2항에 있어서,

상기 반도체 회로에 대한 스캔 동작을 위한 스캔 인에이블 신호를 반전시켜 반전 스캔 인에이블 신호를 출력하는 스캔 인에이블 인버터, 및

상기 스캔 인에이블 신호에 기초하여, 제1 비트 데이터 또는 제1 스캔 입력 신호를 선택하는 제1 멀티플렉서와 제2 비트 데이터 또는 제2 스캔 입력 신호를 선택하는 제2 멀티플렉서를 더 포함하고,

상기 클럭 인버터는 상기 스캔 인에이블 인버터와 다른 행에 배치되도록 레이아웃되는 반도체 회로.

청구항 4

제3항에 있어서,

상기 클럭 인버터는 상기 스캔 인에이블 인버터와 다른 열에 배치되도록 레이아웃되는 반도체 회로.

청구항 5

제3항에 있어서,

상기 제1 마스터 래치 주 회로는 상기 스캔 인에이블 인버터와 상기 제1 마스터 래치 보조 회로 사이에 배치되도록 레이아웃되는 반도체 회로.

청구항 6

제3항에 있어서,

상기 제2 마스터 래치 보조 회로는 상기 스캔 인에이블 인버터와 동일한 열에 배치되도록 레이아웃되는 반도체 회로.

청구항 7

스캔 동작을 위한 스캔 인에이블 신호를 반전시켜 반전 스캔 인에이블 신호를 출력하는 스캔 인에이블 인버터;

상기 스캔 인에이블 신호에 기초하여, 제1 비트 데이터 또는 제1 스캔 입력 신호를 선택하여 제1 노드에 출력하는 제1 멀티플렉서;

상기 스캔 인에이블 신호에 기초하여, 제2 비트 데이터 또는 제2 스캔 입력 신호를 선택하여 제4 노드에 출력하는 제2 멀티플렉서;

클럭 신호를 반전시켜 반전 클럭 신호를 출력하는 클럭 인버터;

상기 클럭 신호 및 상기 반전 클럭 신호에 기초하여, 상기 제1 노드 및 상기 제4 노드의 신호를 각각 래치하여 제2 노드 및 제5 노드에 각각 전달하는 제1 마스터 래치 회로 및 제2 마스터 래치 회로; 및

상기 클럭 신호 및 상기 반전 클럭 신호에 기초하여, 상기 제2 노드 및 상기 제5 노드의 신호를 각각 래치하여 제3 노드 및 제6 노드에 각각 전달하는 제1 슬레이브 래치 회로 및 제2 슬레이브 래치 회로를 포함하고,

상기 클럭 인버터는 상기 제2 멀티플렉서와 상기 제2 마스터 래치 회로 사이에 배치되도록 레이아웃되는 반도체 회로.

청구항 8

제7항에 있어서,

상기 스캔 인에이블 인버터는 상기 제1 멀티플렉서와 상기 제1 마스터 래치 회로 사이에 배치되도록 레이아웃되는 반도체 회로.

청구항 9

제7항에 있어서,

상기 클럭 인버터는 상기 스캔 인에이블 인버터와 다른 행에 배치되도록 레이아웃되는 반도체 회로.

청구항 10

제9항에 있어서,

상기 클럭 인버터는 상기 스캔 인에이블 인버터와 동일한 열에 배치되도록 레이아웃되는 반도체 회로.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 회로 및 반도체 회로의 레이아웃 시스템에 관한 것이다.

배경 기술

[0002] 모바일 장치에 흔히 사용되는 SoC(System-on-Chip)과 같은 IC(Integrated Circuit)의 면적을 감소시키는 것은 모바일 장치의 생산성 측면에서 중요하다. 이와 더불어 IC의 소모 전력을 줄이는 것 역시 중요하다.

[0003] IC의 소모 전력을 줄이기 위해 플립 플롭(flip-flop)의 소모 전력을 줄이는 방안을 고려할 수 있는데, 이를 위해 특히 클럭(clock)에서의 소모 전력을 최소화하는 반도체 회로(예컨대 스탠다드 셀(standard cell))의 레이아웃(layout)의 설계가 요구된다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 기술적 과제는, 플립 플롭의 클럭에서 소모되는 전력을 최소화하기 위한 반도체 회로 및 반도체 회로의 레이아웃 시스템을 제공하는 것이다.

[0005] 본 발명의 기술적 과제는 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제

는 아래의 기재로부터 해당 기술 분야의 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0006] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 회로는, 클럭 신호를 반전시켜 반전 클럭 신호를 출력하는 클럭 인버터(clock inverter), 클럭 신호 및 반전 클럭 신호에 기초하여, 제1 노드 및 제4 노드의 신호를 각각 래치(latch)하여 제2 노드 및 제5 노드에 각각 전달하는 제1 마스터 래치 주 회로 및 제2 마스터 래치 주 회로, 제2 노드 및 제5 노드의 신호를 제1 마스터 래치 주 회로 및 제2 마스터 래치 주 회로에 각각 피드백(feedback)하는 제1 마스터 래치 보조 회로 및 제2 마스터 래치 보조 회로, 클럭 신호 및 반전 클럭 신호에 기초하여, 제2 노드 및 제5 노드의 신호를 각각 래치하여 제3 노드 및 제6 노드에 각각 전달하는 제1 슬레이브 래치 주 회로 및 제2 슬레이브 래치 주 회로, 및 제3 노드 및 제6 노드의 신호를 제1 슬레이브 래치 주 회로 및 제2 슬레이브 래치 주 회로에 각각 피드백하는 제1 슬레이브 래치 보조 회로 및 제2 슬레이브 래치 보조 회로를 포함하고, 클럭 인버터는 제2 마스터 래치 주 회로와 제2 슬레이브 래치 주 회로 사이에 배치되도록 레이아웃(layout)된다.
- [0007] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 회로는, 스캔 동작(scan operation)을 위한 스캔 인에이블 신호를 반전시켜 반전 스캔 인에이블 신호를 출력하는 스캔 인에이블 인버터(scan enable inverter), 스캔 인에이블 신호에 기초하여, 제1 비트 데이터 또는 제1 스캔 입력 신호를 선택하여 제1 노드에 출력하는 제1 멀티플렉서(multiplexer), 스캔 인에이블 신호에 기초하여, 제2 비트 데이터 또는 제2 스캔 입력 신호를 선택하여 제4 노드에 출력하는 제2 멀티플렉서, 클럭 신호를 반전시켜 반전 클럭 신호를 출력하는 클럭 인버터, 클럭 신호 및 반전 클럭 신호에 기초하여, 제1 노드 및 제4 노드의 신호를 각각 래치하여 제2 노드 및 제5 노드에 각각 전달하는 제1 마스터 래치 회로 및 제2 마스터 래치 회로, 및 클럭 신호 및 반전 클럭 신호에 기초하여, 제2 노드 및 제5 노드의 신호를 각각 래치하여 제3 노드 및 제6 노드에 각각 전달하는 제1 슬레이브 래치 회로 및 제2 슬레이브 래치 회로를 포함하고, 클럭 인버터는 제2 멀티플렉서와 제2 마스터 래치 회로 사이에 배치되도록 레이아웃된다.
- [0008] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 회로의 레이아웃 시스템은, 프로세서, 스탠다드 셀(standard cell) 디자인이 저장된 스토리지, 및 프로세서를 이용하여, 정의된 요구 조건(requirement)에 따라 스탠다드 셀 디자인을 레이아웃하는 레이아웃 모듈을 포함하되, 스탠다드 셀 디자인은, 클럭 신호를 반전시켜 반전 클럭 신호를 출력하는 클럭 인버터, 클럭 신호 및 반전 클럭 신호에 기초하여, 제1 노드 및 제4 노드의 신호를 각각 래치하여 제2 노드 및 제5 노드에 각각 전달하는 제1 마스터 래치 주 회로 및 제2 마스터 래치 주 회로, 제2 노드 및 제5 노드의 신호를 제1 마스터 래치 주 회로 및 제2 마스터 래치 주 회로에 각각 피드백하는 제1 마스터 래치 보조 회로 및 제2 마스터 래치 보조 회로, 클럭 신호 및 반전 클럭 신호에 기초하여, 제2 노드 및 제5 노드의 신호를 각각 래치하여 제3 노드 및 제6 노드에 각각 전달하는 제1 슬레이브 래치 주 회로 및 제2 슬레이브 래치 주 회로, 및 제3 노드 및 제6 노드의 신호를 제1 슬레이브 래치 주 회로 및 제2 슬레이브 래치 주 회로에 각각 피드백하는 제1 슬레이브 래치 보조 회로 및 제2 슬레이브 래치 보조 회로를 포함하고, 레이아웃 모듈은, 클럭 인버터가 제2 마스터 래치 주 회로와 제2 슬레이브 래치 주 회로 사이에 배치되도록 레이아웃한다.
- [0009] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 회로의 레이아웃 시스템은, 프로세서, 스탠다드 셀 디자인이 저장된 스토리지, 및 프로세서를 이용하여, 정의된 요구 조건에 따라 스탠다드 셀 디자인을 레이아웃하는 레이아웃 모듈을 포함하되, 스탠다드 셀 디자인은, 스캔 동작을 위한 스캔 인에이블 신호를 반전시켜 반전 스캔 인에이블 신호를 출력하는 스캔 인에이블 인버터, 스캔 인에이블 신호에 기초하여, 제1 비트 데이터 또는 제1 스캔 입력 신호를 선택하여 제1 노드에 출력하는 제1 멀티플렉서, 스캔 인에이블 신호에 기초하여, 제2 비트 데이터 또는 제2 스캔 입력 신호를 선택하여 제4 노드에 출력하는 제2 멀티플렉서, 클럭 신호를 반전시켜 반전 클럭 신호를 출력하는 클럭 인버터, 클럭 신호 및 반전 클럭 신호에 기초하여, 제1 노드 및 제4 노드의 신호를 각각 래치하여 제2 노드 및 제5 노드에 각각 전달하는 제1 마스터 래치 회로 및 제2 마스터 래치 회로, 및 클럭 신호 및 반전 클럭 신호에 기초하여, 제2 노드 및 제5 노드의 신호를 각각 래치하여 제3 노드 및 제6 노드에 각각 전달하는 제1 슬레이브 래치 회로 및 제2 슬레이브 래치 회로를 포함하고, 레이아웃 모듈은, 클럭 인버터가 제2 멀티플렉서와 제2 마스터 래치 회로 사이에 배치되도록 레이아웃한다.
- [0010] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

- [0011] 도 1은 본 발명의 일 실시예에 따른 반도체 회로의 레이아웃 시스템을 설명하기 위한 블록도이다.
- 도 2 내지 도 5는 본 발명의 일 실시예에 따른 반도체 회로를 설명하기 위한 회로도이다.
- 도 6 내지 도 9는 본 발명의 다양한 실시예에 따른 반도체 회로를 설명하기 위한 레이아웃도들이다.
- 도 10 내지 도 12는 본 발명의 다양한 실시예에 따른 반도체 회로를 설명하기 위한 레이아웃도들이다.
- 도 13 내지 도 16은 본 발명의 다양한 실시예에 따른 반도체 회로를 설명하기 위한 레이아웃도들이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 설명하도록 한다.
- [0013] 도 1은 본 발명의 일 실시예에 따른 반도체 회로의 레이아웃 시스템을 설명하기 위한 블록도이다.
- [0014] 도 1을 참조하면, 본 발명의 일 실시예에 따른 반도체 회로의 레이아웃 시스템(100)은 반도체 회로에 대한 레이아웃을 수행할 수 있다.
- [0015] 레이아웃 시스템(100)은 프로세서(110), 메모리(120), 스토리지(130), 레이아웃 모듈(140), 입력 장치(150) 및 출력 장치(160)를 포함한다. 그리고 프로세서(110), 메모리(120), 스토리지(130), 레이아웃 모듈(140), 입력 장치(150) 및 출력 장치(160)는 버스(170)를 통해 전기적으로 연결되어 데이터를 상호 교환할 수 있다. 그러나 본 발명의 범위가 이에 제한되는 것은 아니고, 구체적인 구현 목적에 따라, 레이아웃 시스템(100)은, 프로세서(110), 메모리(120), 스토리지(130), 레이아웃 모듈(140), 입력 장치(150) 및 출력 장치(160) 중 일부를 생략하도록 구현되거나, 도 1에 도시되지 않은 장치(예컨대 디스플레이 장치)를 더 포함하도록 구현될 수도 있다.
- [0016] 먼저 레이아웃 모듈(140)은 본 명세서에서 설명되는 반도체 회로에 대한 레이아웃을 수행할 수 있다. 레이아웃 모듈(140)은 소프트웨어로 구현되거나, 하드웨어로 구현되거나, 또는 소프트웨어 및 하드웨어의 조합으로 구현될 수 있다. 소프트웨어로 구현되는 경우, 레이아웃 모듈(140)은 본 명세서에서 설명되는 반도체 회로에 대한 레이아웃을 수행하기 위한 하나 이상의 인스트럭션(instruction)을 포함할 수 있다. 한편, 하드웨어로 구현되는 경우, 레이아웃 모듈(140)은 본 명세서에서 설명되는 반도체 회로에 대한 레이아웃을 수행하기 위한, 예컨대 프로그램 가능한, 하나 이상의 전자 회로를 포함할 수 있다. 한편, 레이아웃 모듈(140)은, 그 일부가 소프트웨어로 구현되는 동시에 다른 일부가 하드웨어로 구현될 수도 있다.
- [0017] 레이아웃 모듈(140)은 프로세서(110)를 이용하여, 정의된 요구 조건(requirement), 예컨대 디자인 룰(design rule)에 따라 하나 이상의 스탠다드 셀 디자인(standard cell design)을 레이아웃할 수 있다. 이러한 스탠다드 셀 디자인은 스토리지(130)에 저장될 수 있다. 레이아웃 모듈(140)이 수행하는 반도체 회로에 대한 레이아웃에 관하여는 도 6 내지 도 16과 관련하여 후술하도록 한다.
- [0018] 프로세서(110)는 레이아웃 시스템(100)의 전반적인 동작을 제어한다. 특히 프로세서(110)는 레이아웃 모듈(140)을 제어 또는 실행하여, 본 명세서에서 설명되는 반도체 회로에 대한 레이아웃을 수행할 수 있다. 본 발명의 몇몇의 실시예에서, 프로세서(110)는 CPU(Central Processing Unit), GPU(Graphic Processing Unit) 등으로 구현될 수 있으나 본 발명의 범위가 이에 제한되는 것은 아니다.
- [0019] 메모리(120)는 레이아웃 모듈(140)이 본 명세서에서 설명되는 반도체 회로에 대한 레이아웃을 수행하기 위해 필요한 인스트럭션, 프로그램 코드, 데이터 등을 저장할 수 있는 공간을 제공한다. 본 발명의 몇몇의 실시예에서, 메모리(120)는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등의 휘발성 메모리로 구현될 수 있으나, 본 발명의 범위는 이에 제한되지 않고, 플래시 메모리와 같은 비휘발성 메모리로 구현될 수도 있다.
- [0020] 스토리지(130)는 레이아웃 모듈(140)의 전부 또는 일부가 소프트웨어로 구현된 경우, 해당 인스트럭션 또는 프로그램 코드를 저장하거나, 레이아웃 모듈(140)이 본 명세서에서 설명되는 반도체 회로에 대한 레이아웃을 수행하기 위해 필요한 데이터를 저장하거나, 예컨대, 디자인 룰(design rule)과 같은 제약 조건, 반도체 회로의 레이아웃에 사용되는 다양한 소자에 대한 데이터, 스탠다드 셀 데이터 등의 레이아웃 관련 데이터를 저장할 수 있다. 본 발명의 몇몇의 실시예에서, 스토리지(130)는 SSD(Solid State Drive), HDD(Hard Disk Drive) 등으로 구현될 수 있으나, 본 발명의 범위는 이에 제한되지 않고, 임의의 컴퓨터로 판독 가능한 비 일시적 매체(non-transitory computer readable medium)로 구현될 수 있다.
- [0021] 레이아웃 시스템(100)은 입력 장치(150)를 이용하여 사용자 또는 레이아웃 시스템(100) 내부/외부에 구현된 다

른 장치로부터 레이아웃 관련 데이터를 수신할 수 있고, 출력 장치(60)를 이용하여 사용자 또는 레이아웃 시스템(100) 내부/외부에 구현된 다른 장치에 레이아웃 관련 데이터, 저장 데이터, 결과 데이터 등을 전달할 수 있다.

- [0022] 도 2 내지 도 5는 본 발명의 일 실시예에 따른 반도체 회로를 설명하기 위한 회로도이다.
- [0023] 도 2a를 참조하면, 본 발명의 일 실시예에 따른 반도체 회로(1)는 입력 선택 회로(input selecting circuit)(5, 10a, 10b), 마스터 래치 주 회로(20a, 20b), 마스터 래치 보조 회로(30a, 30b), 슬레이브 래치 주 회로(40a, 40b), 슬레이브 래치 보조 회로(50a, 50b), 출력 드라이버(60a, 60b) 및 클럭 인버터(clock inverter)(70)를 포함할 수 있다.
- [0024] 유의할 점은, 도 2a가 입력 선택 회로(5, 10a, 10b), 마스터 래치(20a, 20b, 30a, 30b), 슬레이브 래치(40a, 40b, 50a, 50b), 출력 드라이버(60a, 60b) 및 클럭 인버터(70)를 모두 포함하는 멀티비트(multibit) 스캔 플립 플롭을 도시하고는 있지만, 본 발명의 범위는 이에 제한되지 않는다는 것이다. 특히, 본 발명의 반도체 회로는, 도 6a에서 입력 선택 회로(5, 10a, 10b)가 생략된 단순 멀티비트 플립 플롭 또는 도 6a에서 입력 선택 회로(5, 10a, 10b) 및 마스터 래치(20a, 20b, 30a, 30b)가 생략된 단순 멀티비트 래치를 포함할 수 있다.
- [0025] 입력 선택 회로(5, 10a, 10b)는 데이터(D0, D1) 또는 반도체 회로에 대한 스캔 동작을 위한 스캔 입력 신호(SI0, SI1)를 입력받고, 그 중 어느 하나를 노드(N0, N1)에 제공한다. 구체적으로, 입력 선택 회로(5, 10a, 10b)는 스캔 인에이블 인버터(5) 및 멀티플렉서(10a, 10b)를 포함한다.
- [0026] 멀티플렉서(10a)는 스캔 인에이블 인버터(5)로부터 제공받은 반전 스캔 인에이블 신호(SEN)의 값에 따라, 제1 비트 데이터(D0) 및 제1 스캔 입력 신호(SI0) 중 어느 하나를 선택하여 노드(N0)에 제공한다. 이를 위해, 멀티플렉서(10a)는 트라이 스테이트 인버터(11a, 13a)를 포함할 수 있다. 여기서, 트라이 스테이트 인버터(11a)는 스캔 인에이블 신호(SE)가 로직 하이(logic high)이고 반전 스캔 인에이블 신호(SEN)가 로직 로우(logic low)인 경우, 제1 스캔 입력 신호(SI0)를 반전시켜 이를 노드(N0)에 출력한다. 한편, 트라이 스테이트 인버터(13a)는 스캔 인에이블 신호(SE)가 로직 로우이고 반전 스캔 인에이블 신호(SEN)가 로직 하이인 경우, 제1 비트 데이터(D0)를 반전시켜 이를 노드(N0)에 출력한다.
- [0027] 그리고 멀티플렉서(10b)는 스캔 인에이블 인버터(5)로부터 제공받은 반전 스캔 인에이블 신호(SEN)의 값에 따라, 제2 비트 데이터(D1) 및 제2 스캔 입력 신호(SI1) 중 어느 하나를 선택하여 노드(N1)에 제공한다. 이를 위해, 멀티플렉서(10b)는 트라이 스테이트 인버터(11b, 13b)를 포함할 수 있다. 여기서, 트라이 스테이트 인버터(11b)는 스캔 인에이블 신호(SE)가 로직 하이이고 반전 스캔 인에이블 신호(SEN)가 로직 로우인 경우, 제2 스캔 입력 신호(SI1)를 반전시켜 이를 노드(N1)에 출력한다. 한편, 트라이 스테이트 인버터(13b)는 스캔 인에이블 신호(SE)가 로직 로우이고 반전 스캔 인에이블 신호(SEN)가 로직 하이인 경우, 제2 비트 데이터(D1)를 반전시켜 이를 노드(N1)에 출력한다.
- [0028] 한편, 클럭 인버터(70)는 클럭 신호(CK)를 입력받고, 클럭 신호(CK)를 반전시킨 반전 클럭 신호(CKN)를 출력한다. 클럭 신호(CK) 및 반전 클럭 신호(CKN)는 마스터 래치 주 회로(20a, 20b) 및 슬레이브 래치 주 회로(40a, 40b)에 제공된다.
- [0029] 마스터 래치 주 회로(20a)는 클럭 신호(CK) 및 반전 클럭 신호(CKN)에 기초하여 노드(N0)의 신호를 래치하여 노드(SA0)에 전달한다. 이를 위해, 마스터 래치 주 회로(20a)는 트라이 스테이트 인버터(21a, 23a)를 포함할 수 있다. 여기서, 트라이 스테이트 인버터(21a)는 클럭 신호(CK)가 로직 로우이고 반전 클럭 신호(CKN)가 로직 하이인 경우, 노드(N0)의 신호를 반전시켜 노드(SA0)에 출력한다. 이와 달리, 트라이 스테이트 인버터(21a)는 클럭 신호(CK)가 로직 하이이고 반전 클럭 신호(CKN)가 로직 로우인 경우, 노드(SA0)를 노드(N0)로부터 차단시킬 수 있다.
- [0030] 한편, 마스터 래치 보조 회로(30a)는 노드(SA0)를 통해 마스터 래치 주 회로(20a)의 출력 신호를 입력받고, 그 출력 신호를 마스터 래치 주 회로(20a)에 피드백 입력한다. 구체적으로 마스터 래치 보조 회로(30a)는, 노드(SA0)에 인가된 트라이 스테이트 인버터(21a)의 출력 신호를 다시 반전시킴으로써 노드(SD0)에 출력되는 신호를 마스터 래치 주 회로(20a)에 피드백한다. 그리고 트라이 스테이트 인버터(23a)는 클럭 신호(CK)가 로직 하이이고 반전 클럭 신호(CKN)가 로직 로우인 경우, 즉, 노드(SA0)가 노드(N0)로부터 차단된 경우, 마스터 래치 보조 회로(30a)로부터 제공받은 신호를 반전시켜 노드(SA0)에 출력한다. 이에 따라, 트라이 스테이트 인버터(21a)가 노드(N0)로부터 래치한 신호는 클럭 신호(CK)가 로직 하이인 구간에서 동일한 값으로 유지된다.
- [0031] 그리고 마스터 래치 주 회로(20b)는 클럭 신호(CK) 및 반전 클럭 신호(CKN)에 기초하여 노드(N1)의 신호를 래치

하여 노드(SA1)에 전달한다. 이를 위해, 마스터 래치 주 회로(20b)는 트라이 스테이트 인버터(21b, 23b)를 포함할 수 있다. 여기서, 트라이 스테이트 인버터(21b)는 클럭 신호(CK)가 로직 로우이고 반전 클럭 신호(CKN)가 로직 하이인 경우, 노드(N1)의 신호를 반전시켜 노드(SA1)에 출력한다. 이와 달리, 트라이 스테이트 인버터(21b)는 클럭 신호(CK)가 로직 하이이고 반전 클럭 신호(CKN)가 로직 로우인 경우, 노드(SA1)를 노드(N1)로부터 차단시킬 수 있다.

[0032] 한편, 마스터 래치 보조 회로(30b)는 노드(SA1)를 통해 마스터 래치 주 회로(20b)의 출력 신호를 입력받고, 그 출력 신호를 마스터 래치 주 회로(20b)에 피드백 입력한다. 구체적으로 마스터 래치 보조 회로(30b)는, 노드(SA1)에 인가된 트라이 스테이트 인버터(21b)의 출력 신호를 다시 반전시킴으로써 노드(SD1)에 출력되는 신호를 마스터 래치 주 회로(20b)에 피드백한다. 그리고 트라이 스테이트 인버터(23b)는 클럭 신호(CK)가 로직 하이이고 반전 클럭 신호(CKN)가 로직 로우인 경우, 즉, 노드(SA1)가 노드(N1)로부터 차단된 경우, 마스터 래치 보조 회로(30b)로부터 제공받은 신호를 반전시켜 노드(SA1)에 출력한다. 이에 따라, 트라이 스테이트 인버터(21b)가 노드(N1)로부터 래치한 신호는 클럭 신호(CK)가 로직 하이인 구간에서 동일한 값으로 유지된다.

[0033] 다음으로, 슬레이브 래치 주 회로(40a)는 클럭 신호(CK) 및 반전 클럭 신호(CKN)에 기초하여 노드(SA0)의 신호를 래치하여 노드(SC0)에 전달한다. 이를 위해, 슬레이브 래치 주 회로(40a)는 트라이 스테이트 인버터(41a, 43a)를 포함할 수 있다. 여기서, 트라이 스테이트 인버터(41a)는 클럭 신호(CK)가 로직 하이이고 반전 클럭 신호(CKN)가 로직 로우인 경우, 노드(SA0)의 신호를 반전시켜 노드(SC0)에 출력한다. 이와 달리, 트라이 스테이트 인버터(41a)는 클럭 신호(CK)가 로직 로우이고 반전 클럭 신호(CKN)가 로직 하이인 경우, 노드(SC0)를 노드(SA0)로부터 차단시킬 수 있다.

[0034] 한편, 슬레이브 래치 보조 회로(50a)는 노드(SC0)를 통해 슬레이브 래치 주 회로(40a)의 출력 신호를 입력받고, 그 출력 신호를 슬레이브 래치 주 회로(40a)에 피드백 입력한다. 구체적으로 슬레이브 래치 보조 회로(50a)는, 노드(SC0)에 제공된 트라이 스테이트 인버터(41a)의 출력 신호를 다시 반전시킴으로써 노드(SB0)에 출력되는 신호를 슬레이브 래치 주 회로(40a)에 피드백한다. 그리고 트라이 스테이트 인버터(43a)는 클럭 신호(CK)가 로직 로우이고 반전 클럭 신호(CKN)가 로직 하이인 경우, 즉, 노드(SC0)가 노드(SA0)로부터 차단된 경우, 슬레이브 래치 보조 회로(50a)로부터 제공받은 신호를 반전시켜 노드(SC0)에 출력한다. 이에 따라, 트라이 스테이트 인버터(41a)가 노드(SA0)로부터 래치한 신호는 클럭 신호(CK)가 로직 로우인 구간에서 동일한 값으로 유지된다.

[0035] 그리고 슬레이브 래치 주 회로(40b)는 클럭 신호(CK) 및 반전 클럭 신호(CKN)에 기초하여 노드(SA1)의 신호를 래치하여 노드(SC1)에 전달한다. 이를 위해, 슬레이브 래치 주 회로(40b)는 트라이 스테이트 인버터(41b, 43b)를 포함할 수 있다. 여기서, 트라이 스테이트 인버터(41b)는 클럭 신호(CK)가 로직 하이이고 반전 클럭 신호(CKN)가 로직 로우인 경우, 노드(SA1)의 신호를 반전시켜 노드(SC1)에 출력한다. 이와 달리, 트라이 스테이트 인버터(41b)는 클럭 신호(CK)가 로직 로우이고 반전 클럭 신호(CKN)가 로직 하이인 경우, 노드(SC1)를 노드(SA1)로부터 차단시킬 수 있다.

[0036] 한편, 슬레이브 래치 보조 회로(50b)는 노드(SC1)를 통해 슬레이브 래치 주 회로(40b)의 출력 신호를 입력받고, 그 출력 신호를 슬레이브 래치 주 회로(40b)에 피드백 입력한다. 구체적으로 슬레이브 래치 보조 회로(50b)는, 노드(SC1)에 제공된 트라이 스테이트 인버터(41b)의 출력 신호를 다시 반전시킴으로써 노드(SB1)에 출력되는 신호를 슬레이브 래치 주 회로(40b)에 피드백한다. 그리고 트라이 스테이트 인버터(43b)는 클럭 신호(CK)가 로직 로우이고 반전 클럭 신호(CKN)가 로직 하이인 경우, 즉, 노드(SC1)가 노드(SA1)로부터 차단된 경우, 슬레이브 래치 보조 회로(50b)로부터 제공받은 신호를 반전시켜 노드(SC1)에 출력한다. 이에 따라, 트라이 스테이트 인버터(41b)가 노드(SA1)로부터 래치한 신호는 클럭 신호(CK)가 로직 로우인 구간에서 동일한 값으로 유지된다.

[0037] 출력 드라이버(60a)는 노드(SC0)를 통해 슬레이브 래치 주 회로(40a)의 출력 신호를 입력받고 그 출력 신호를 데이터(Q0)로서 외부에 출력한다. 그리고 출력 드라이버(60b)는 노드(SC1)를 통해 슬레이브 래치 주 회로(40b)의 출력 신호를 입력받고 그 출력 신호를 데이터(Q1)로서 외부에 출력한다.

[0038] 이어서 도 3을 참조하면, 본 발명의 일 실시예에 따른 반도체 회로(2)는 리셋(reset) 기능을 가질 수 있다.

[0039] 이를 위해, 마스터 래치 주 회로(20a, 20b)는, 리셋 신호(R)에 게이팅되어 전원 전압(VDD)을 트라이 스테이트 인버터(23a, 23b)에 각각 제공하는 트랜지스터(25a, 25b)를 각각 포함할 수 있다. 그리고 마스터 래치 보조 회로(30a, 30b)는, 리셋 신호(R)에 게이팅되어 노드(SA0, SA1)에 접지 전압(VSS)을 각각 제공하는 트랜지스터(33a, 33b)를 각각 포함할 수 있다. 그리고 슬레이브 래치 보조 회로(50a, 50b)는 리셋 신호(R)와 노드(SC0, SC1)의 신호를 입력으로 하는 논리 게이트를 각각 포함할 수 있다.

- [0040] 이어서 도 4를 참조하면, 본 발명의 일 실시예에 따른 반도체 회로(3)의 클럭 인버터(70)는 서로 직렬 연결된 클럭 인버터(71a, 73a)를 포함할 수 있다.
- [0041] 이어서 도 5를 참조하면, 본 발명의 일 실시예에 따른 반도체 회로(4)의 클럭 인버터(70)는 서로 병렬 연결된 클럭 인버터(71a, 73a)를 포함할 수 있다.
- [0042] 반도체 회로(1, 2, 3, 4)에서, 마스터 래치 주 회로(20a, 20b) 및 슬레이브 래치 주 회로(40a, 40b)는 클럭 신호(CK) 및 반전 클럭 신호(CKN)를 필수 입력으로 한다. 그리고 입력 선택 회로(5, 10a, 10b), 마스터 래치 보조 회로(30a, 30b), 슬레이브 래치 보조 회로(50a, 50b) 및 출력 드라이버(60a, 60b)는 클럭 신호(CK) 및 반전 클럭 신호(CKN)를 입력받지 않는다.
- [0043] 이로부터, 반도체 회로(1, 2, 3, 4)의 레이아웃에서, 클럭 신호(CK) 또는 반전 클럭 신호(CKN)를 제공하는 클럭 인버터(70)의 위치가 마스터 래치 주 회로(20a, 20b) 및 슬레이브 래치 주 회로(40a, 40b)로부터 얼마나 멀리 떨어져 있는지의 여부가, 클럭에서 소모되는 전력량에 영향을 미치게 됨을 알 수 있다.
- [0044] 도 6 내지 도 9는 본 발명의 다양한 실시예에 따른 반도체 회로를 설명하기 위한 레이아웃도들이다.
- [0045] 도 6을 참조하면, 본 발명의 일 실시예에 따른 레이아웃(L01)은, 스캔 인에이블 인버터(5), 멀티플렉서(10a, 10b), 마스터 래치 주 회로(20a, 20b), 마스터 래치 보조 회로(30a, 30b), 슬레이브 래치 주 회로(40a, 40b), 슬레이브 래치 보조 회로(50a, 50b), 출력 드라이버(60a, 60b) 및 클럭 인버터(70)를 포함한다.
- [0046] 구체적으로, 레이아웃(L01)에서 파워 레일(VDD1, VSS, VDD2)를 제외한 제1행에는 스캔 인에이블 인버터(5), 멀티플렉서(10a), 마스터 래치 주 회로(20a), 마스터 래치 보조 회로(30a), 슬레이브 래치 주 회로(40a), 슬레이브 래치 보조 회로(50a) 및 출력 드라이버(60a)가 배치되고, 제2행에는 마스터 래치 보조 회로(30b), 멀티플렉서(10b), 마스터 래치 주 회로(20b), 클럭 인버터(70), 슬레이브 래치 주 회로(40b), 슬레이브 래치 보조 회로(50b) 및 출력 드라이버(60b)가 배치된다.
- [0047] 즉, 본 실시예에서, 클럭 인버터(70)는 스캔 인에이블 인버터(5)와 다른 행(row)에 배치되도록 레이아웃될 수 있다.
- [0048] 또한, 본 실시예에서, 클럭 인버터(70)는 스캔 인에이블 인버터(5)와 다른 열(column)에 배치되도록 레이아웃될 수 있다.
- [0049] 또한, 클럭 인버터(70)는 마스터 래치 주 회로(20b)와 슬레이브 래치 주 회로(40b) 사이에 배치되도록 레이아웃될 수 있다. 이 경우, 마스터 래치 보조 회로(30b)는 제2행의 제1열에 배치되도록, 즉, 마스터 래치 주 회로(20b)는 마스터 래치 보조 회로(30b)와 클럭 인버터(70) 사이에 배치되도록 레이아웃될 수 있다.
- [0050] 이 경우, 마스터 래치 주 회로(20a)는 스캔 인에이블 인버터(5)와 제1 마스터 래치 보조 회로(30a) 사이에 배치되도록 레이아웃될 수 있다. 한편, 마스터 래치 보조 회로(30b)는 스캔 인에이블 인버터(5)와 동일한 열에 배치되도록 레이아웃될 수 있다.
- [0051] 한편, 멀티플렉서(10b)는 마스터 래치 보조 회로(30b)와 제2 마스터 래치 주 회로(20b) 사이에 배치되도록 레이아웃될 수 있고, 멀티플렉서(10a)는 스캔 인에이블 인버터(5)와 마스터 래치 주 회로(20a) 사이에 배치되도록 레이아웃될 수 있다.
- [0052] 이와 같이 클럭 신호(CK) 또는 반전 클럭 신호(CKN)를 제공하는 클럭 인버터(70)와, 클럭 신호(CK) 및 반전 클럭 신호(CKN)를 입력받는 마스터 래치 주 회로(20a, 20b) 및 슬레이브 래치 주 회로(40a, 40b) 사이의 경로의 길이를 짧게 레이아웃함으로써, 클럭에서 소모되는 전력을 감소시킬 수 있다.
- [0053] 한편, 도 6에 도시된 것과 달리, 클럭 인버터(70)는 영역(A)의 다른 위치에 배치되도록 레이아웃될 수도 있다. 즉, 클럭 인버터(70)는 제1행의 마스터 래치 주 회로(20a)와 슬레이브 래치 주 회로(40a) 사이에 배치되도록 레이아웃될 수 있다. 이 경우, 마스터 래치 보조 회로(30a)는 제1행의 제1열에 배치되도록, 그리고 스캔 인에이블 인버터(5)는 제2행의 제1열에 배치되도록 레이아웃될 수 있다.
- [0054] 도 7을 참조하면, 본 발명의 일 실시예에 따른 레이아웃(L02)은, 스캔 인에이블 인버터(5), 멀티플렉서(10a 내지 10d), 마스터 래치 주 회로(20a 내지 20d), 마스터 래치 보조 회로(30a 내지 30d), 슬레이브 래치 주 회로(40a 내지 40d), 슬레이브 래치 보조 회로(50a 내지 50d), 출력 드라이버(60a 내지 60d) 및 클럭 인버터(70)를 포함한다.

- [0055] 구체적으로, 레이아웃(L02)에서 파워 레일(VDD1 내지 VDD3, VSS1 및 VSS2)를 제외한 제1행에는 스캔 인에이블 인버터(5), 멀티플렉서(10a), 마스터 래치 주 회로(20a), 마스터 래치 보조 회로(30a), 슬레이브 래치 주 회로(40a), 슬레이브 래치 보조 회로(50a) 및 출력 드라이버(60a)가 배치되고, 제2행에는 다목적 회로(80), 멀티플렉서(10b), 마스터 래치 주 회로(20b), 마스터 래치 보조 회로(30b), 슬레이브 래치 주 회로(40b), 슬레이브 래치 보조 회로(50b) 및 출력 드라이버(60b)가 배치된다. 그리고 제3행에는 마스터 래치 보조 회로(30c), 멀티플렉서(10c), 마스터 래치 주 회로(20c), 클럭 인버터(70), 슬레이브 래치 주 회로(40c), 슬레이브 래치 보조 회로(50c) 및 출력 드라이버(60c)가 배치되고, 제4행에는 다목적 회로(82), 멀티플렉서(10d), 마스터 래치 주 회로(20d), 마스터 래치 보조 회로(30d), 슬레이브 래치 주 회로(40d), 슬레이브 래치 보조 회로(50d) 및 출력 드라이버(60d)가 배치된다.
- [0056] 이와 같이 클럭 신호(CK) 또는 반전 클럭 신호(CKN)를 제공하는 클럭 인버터(70)와, 클럭 신호(CK) 및 반전 클럭 신호(CKN)를 입력받는 마스터 래치 주 회로(20a 내지 20d)와 슬레이브 래치 주 회로(40a 내지 40d) 사이의 경로의 길이를 짧게 레이아웃함으로써, 클럭에서 소모되는 전력을 감소시킬 수 있다.
- [0057] 한편, 도 7에 도시된 것과 달리, 클럭 인버터(70)는 영역(B)의 다른 위치에 배치되도록 레이아웃될 수도 있다. 즉, 클럭 인버터(70)는 제1행, 제2행 또는 제4행의 마스터 래치 주 회로(20a, 20b, 20d)와 슬레이브 래치 주 회로(40a, 40b, 40d) 사이 중 어느 한 위치에 배치되도록 레이아웃될 수 있다.
- [0058] 도 8을 참조하면, 본 발명의 일 실시예에 따른 레이아웃(L03)은, 도 7의 레이아웃(L02)과 달리 클럭 인버터(71, 73)가 두 행에 걸쳐 위치하도록 배치될 수 있다. 즉, 클럭 인버터(71)는 마스터 래치 주 회로(20b)와 슬레이브 래치 주 회로(40b) 사이에 배치되고, 클럭 인버터(73)는 마스터 래치 주 회로(20c)와 슬레이브 래치 주 회로(40c) 사이에 배치되도록 레이아웃될 수 있다.
- [0059] 이 경우, 마스터 래치 주 회로(20b)는 마스터 래치 보조 회로(30b)와 클럭 인버터(71) 사이에 배치되고, 마스터 래치 보조 회로(20b)는 제2행 제1열에 위치하도록 배치될 수 있다.
- [0060] 그리고 마스터 래치 주 회로(20c)는 마스터 래치 보조 회로(30c)와 클럭 인버터(73) 사이에 배치되고, 마스터 래치 보조 회로(20c)는 제3행 제1열에 위치하도록 배치될 수 있다.
- [0061] 이와 같이 클럭 신호(CK) 또는 반전 클럭 신호(CKN)를 제공하는 클럭 인버터(71, 73)와, 클럭 신호(CK) 및 반전 클럭 신호(CKN)를 입력받는 마스터 래치 주 회로(20a 내지 20d)와 슬레이브 래치 주 회로(40a 내지 40d) 사이의 경로의 길이를 짧게 레이아웃함으로써, 클럭에서 소모되는 전력을 감소시킬 수 있다.
- [0062] 한편, 도 8에 도시된 것과 달리, 클럭 인버터(71, 73)는 영역(C)의 다른 위치에 배치되도록 레이아웃될 수도 있다.
- [0063] 도 9를 참조하면, 본 발명의 일 실시예에 따른 레이아웃(L04)은, 도 7의 레이아웃(L02)과 달리 멀티플렉서(10a 내지 10d)를 각 행의 제1열에 위치하도록 배치할 수 있다.
- [0064] 그리고 마스터 래치 보조 회로(30c)는 마스터 래치 주 회로(20c)의 일측에 바로 인접하도록 배치되고, 클럭 인버터(70)는 마스터 래치 주 회로(20c)의 타측에 바로 인접하도록 배치되도록 레이아웃될 수 있다.
- [0065] 이 경우, 예를 들어 스캔 기능을 제공하지 않는 논 스캔(non-scan) 플립 플롭을 구현하기 위해, 각 행의 제1열에 해당하는 멀티플렉서(10a 내지 10d)와 제1행 제2열에 해당하는 스캔 인에이블 인버터(5)를 생략하는 것이 가능하다.
- [0066] 이와 같이 클럭 신호(CK) 또는 반전 클럭 신호(CKN)를 제공하는 클럭 인버터(70)와, 클럭 신호(CK) 및 반전 클럭 신호(CKN)를 입력받는 마스터 래치 주 회로(20a 내지 20d)와 슬레이브 래치 주 회로(40a 내지 40d) 사이의 경로의 길이를 짧게 레이아웃함으로써, 클럭에서 소모되는 전력을 감소시킬 수 있다.
- [0067] 한편, 도 9에 도시된 것과 달리, 클럭 인버터(70)는 영역(D)의 다른 위치에 배치되도록 레이아웃될 수도 있다. 즉, 클럭 인버터(70)는 제1행, 제2행 또는 제4행의 마스터 래치 주 회로(20a, 20b, 20c)와 슬레이브 래치 주 회로(40a, 40b, 40c) 사이 중 어느 한 위치에 배치되도록 레이아웃될 수 있다.
- [0068] 도 10 내지 도 12는 본 발명의 다양한 실시예에 따른 반도체 회로를 설명하기 위한 레이아웃도들이다.
- [0069] 도 10을 참조하면, 본 발명의 일 실시예에 따른 레이아웃(L05)은, 스캔 인에이블 인버터(5), 멀티플렉서(10a, 10b), 마스터 래치 회로(20a, 30a, 20b, 30b), 슬레이브 래치 회로(40a, 50a, 40b, 50b), 출력 드라이버(60a,

60b) 및 클럭 인버터(70)를 포함한다.

- [0070] 구체적으로, 레이아웃(L01)에서 파워 레일(VDD1, VSS, VDD2)를 제외한 제1행에는 멀티플렉서(10a), 스캔 인에이블 인버터(5), 마스터 래치 회로(20a, 30a), 슬레이브 래치 회로(40a, 50a) 및 출력 드라이버(60a)가 배치되고, 제2행에는 멀티플렉서(10b), 스캔 인버터(70), 마스터 래치 회로(20b, 30b), 슬레이브 래치 회로(40b, 50b) 및 출력 드라이버(60b)가 배치된다.
- [0071] 즉, 본 실시예에서, 클럭 인버터(70)는 스캔 인에이블 인버터(5)와 다른 행에 배치되도록 레이아웃될 수 있다.
- [0072] 또한, 본 실시예에서, 클럭 인버터(70)는 스캔 인에이블 인버터(5)와 동일한 열에 배치되도록 레이아웃될 수 있다.
- [0073] 또한, 클럭 인버터(70)는 멀티플렉서(10b)와 마스터 래치 회로(20b, 30b) 사이에 배치되도록 레이아웃될 수 있다.
- [0074] 이 경우, 스캔 인에이블 인버터(5)는 멀티플렉서(10a)와 마스터 래치 회로(20a, 30a) 사이에 배치되도록 레이아웃될 수 있다.
- [0075] 이와 같이 클럭 신호(CK) 또는 반전 클럭 신호(CKN)를 제공하는 클럭 인버터(70)와, 클럭 신호(CK) 및 반전 클럭 신호(CKN)를 입력받는 마스터 래치 주 회로(20a, 20b) 및 슬레이브 래치 주 회로(40a, 40b) 사이의 경로의 길이를 짧게 레이아웃함으로써, 클럭에서 소모되는 전력을 감소시킬 수 있다.
- [0076] 한편, 도10에 도시된 것과 달리, 클럭 인버터(70)는 영역(E)의 다른 위치에 배치되도록 레이아웃될 수도 있다. 즉, 클럭 인버터(70)는 제1행의 멀티플렉서(10a)와 마스터 래치 회로(20a, 20b) 사이에 배치되도록 레이아웃될 수 있다.
- [0077] 도 11을 참조하면, 본 발명의 일 실시예에 따른 레이아웃(L06)은, 스캔 인에이블 인버터(5), 멀티플렉서(10a 내지 10d), 마스터 래치 회로(20a 내지 20d, 30a 내지 30d), 슬레이브 래치 회로(40a 내지 40d, 50a 내지 50d), 출력 드라이버(60a 내지 60d) 및 클럭 인버터(70)를 포함한다.
- [0078] 구체적으로, 레이아웃(L02)에서 파워 레일(VDD1 내지 VDD3, VSS1 및 VSS2)를 제외한 제1행에는 멀티플렉서(10a), 스캔 인에이블 인버터(5), 마스터 래치 회로(20a, 30a), 슬레이브 래치 회로(40a, 50a) 및 출력 드라이버(60a)가 배치되고, 제2행에는 멀티플렉서(10b), 다목적 회로(80), 마스터 래치 회로(20b, 30b), 슬레이브 래치 회로(40b, 50b) 및 출력 드라이버(60b)가 배치된다. 그리고 제3행에는 멀티플렉서(10c), 클럭 인버터(70), 마스터 래치 회로(20c, 30c), 슬레이브 래치 회로(40c, 50c) 및 출력 드라이버(60c)가 배치되고, 제4행에는 멀티플렉서(10d), 다목적 회로(82), 마스터 래치 회로(20d, 30d), 슬레이브 래치 회로(40d, 50d) 및 출력 드라이버(60d)가 배치된다.
- [0079] 이와 같이 클럭 신호(CK) 또는 반전 클럭 신호(CKN)를 제공하는 클럭 인버터(70)와, 클럭 신호(CK) 및 반전 클럭 신호(CKN)를 입력받는 마스터 래치 주 회로(20a 내지 20d)와 슬레이브 래치 주 회로(40a 내지 40d) 사이의 경로의 길이를 짧게 레이아웃함으로써, 클럭에서 소모되는 전력을 감소시킬 수 있다.
- [0080] 한편, 도 11에 도시된 것과 달리, 클럭 인버터(70)는 영역(F)의 다른 위치에 배치되도록 레이아웃될 수도 있다. 즉, 클럭 인버터(70)는 제1행, 제2행 또는 제4행의 멀티플렉서(10a, 10b, 10d)와 마스터 래치 회로(20a, 20b, 20d) 사이 중 어느 한 위치에 배치되도록 레이아웃될 수 있다.
- [0081] 도 12를 참조하면, 본 발명의 일 실시예에 따른 레이아웃(L07)은, 도 11의 레이아웃(L06)과 달리 클럭 인버터(71, 73)가 두 행에 걸쳐 위치하도록 배치될 수 있다. 즉, 클럭 인버터(71)는 멀티플렉서(10c)와 마스터 래치 회로(20c, 30c) 사이에 배치되고, 클럭 인버터(73)는 멀티플렉서(10d)와 마스터 래치 회로(20d, 30d) 사이에 배치되도록 레이아웃될 수 있다.
- [0082] 이와 같이 클럭 신호(CK) 또는 반전 클럭 신호(CKN)를 제공하는 클럭 인버터(71, 73)와, 클럭 신호(CK) 및 반전 클럭 신호(CKN)를 입력받는 마스터 래치 주 회로(20a 내지 20d)와 슬레이브 래치 주 회로(40a 내지 40d) 사이의 경로의 길이를 짧게 레이아웃함으로써, 클럭에서 소모되는 전력을 감소시킬 수 있다.
- [0083] 한편, 도 8에 도시된 것과 달리, 클럭 인버터(71, 73)는 영역(G)의 다른 위치에 배치되도록 레이아웃될 수도 있다.
- [0084] 또한, 클럭 인버터(71, 73)와 같이, 2 개의 스캔 인에이블 인버터(5, 7)가 두 행에 걸쳐 위치하도록 배치될 수

도 있다.

- [0085] 도 13 내지 도 16은 본 발명의 다양한 실시예에 따른 반도체 회로를 설명하기 위한 레이아웃도들이다.
- [0086] 도 13을 참조하면, 레이아웃(L08)에서, 마스터 래치 보조 회로(30a), 멀티플렉서(10a), 마스터 래치 주 회로(20a), 클럭 인버터(70), 슬레이브 래치 회로(40a, 50a) 및 출력 드라이버(70)가 일렬로 배치되어 있다.
- [0087] 도 14는 도 13의 출력 드라이버(70)를 더욱 상세히 도시한 레이아웃(L09)이다. 레이아웃(L09)에서 출력 드라이버(70)는 주변의 마스터 래치 주 회로(20a) 및 슬레이브 래치 회로(40a, 50a) 사이에 SDB1(single diffusion break) 및 SDB2를 포함한다.
- [0088] SDB1 및 SDB2가 필요한 이유는, 반도체 회로가 핀셋(finfet) 트랜지스터를 사용하여 구현되는 경우, 마스터 래치 주 회로(20a) 및 슬레이브 래치 회로(40a, 50a)는 1 개의 핀(fin)만 사용하나, 출력 드라이버(70)는 2 개의 핀을 사용하기 때문에 트랜지스터 간 격리(isolation)가 필요하기 때문이다. 즉, 도 13 및 도 14의 출력 드라이버(70)는 주변의 마스터 래치 주 회로(20a) 및 슬레이브 래치 회로(40a, 50a)와 전기적으로 단절되고, 세로 폭이 더 큰 별도의 액티브 영역 상에 구현된다.
- [0089] 출력 드라이버(70)는 마스터 래치 주 회로(20a) 및 슬레이브 래치 회로(40a, 50a)보다 구동 능력이 더 높도록 설계되는 것이 일반적이고, 핀셋 공정에서 액티브 핀의 개수로 트랜지스터의 전류 구동 능력을 조절할 수 있는데, 출력 드라이버(70)의 구동 능력을 높이기 위해 주변의 마스터 래치 주 회로(20a) 및 슬레이브 래치 회로(40a, 50a)보다 더 많은 개수의 핀을 사용하는 경우, SDB 삽입으로 인한 면적 증가로 생산 수율이 떨어질 수 있다.
- [0090] 이와 같은 문제를 해결하기 위해, 출력 드라이버(70)를 구현함에 있어서 1 개의 핀만 사용하되, 클럭 인버터의 병렬 연결 개수를 늘리는 방안을 고려할 수 있다.
- [0091] 즉, 도 15를 참조하면, 본 발명의 일 실시예에 따른 레이아웃(L10)에서, 마스터 래치 보조 회로(30a), 멀티플렉서(10a), 마스터 래치 주 회로(20a), 클럭 인버터(70), 슬레이브 래치 회로(40a, 50a) 및 출력 드라이버(70)가 일렬로 배치되어 있으며, 모두 1 개의 핀만을 사용한다.
- [0092] 도 16은 도 15의 출력 드라이버(70)를 더욱 상세히 도시한 레이아웃(L11)이다. 레이아웃(L11)에서 출력 드라이버(70)는 주변의 마스터 래치 주 회로(20a) 및 슬레이브 래치 회로(40a, 50a) 사이에 SDB1 및 SDB2를 포함하지 않는다. 대신 병렬 연결 개수를 늘리기 위해 게이트 라인(GL2)을 추가로 사용하도록 레이아웃되어 있다.
- [0093] 이에 따라, 클럭 인버터(70)는 마스터 래치 주 회로(20a) 및 슬레이브 래치 주 회로(40a)와, 연속적으로 형성된 (formed integrally) 단일 액티브 영역(active region)(ACT1, ACT2)을 공유하도록 레이아웃될 수 있다.
- [0094] 그리고 앞서 설명한 바와 같이, 클럭 인버터(70)는, 핀 개수가 마스터 래치 주 회로(20a)의 핀 개수 및 슬레이브 래치 주 회로(40a)의 핀 개수와 동일하도록 레이아웃될 수 있다.
- [0095] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

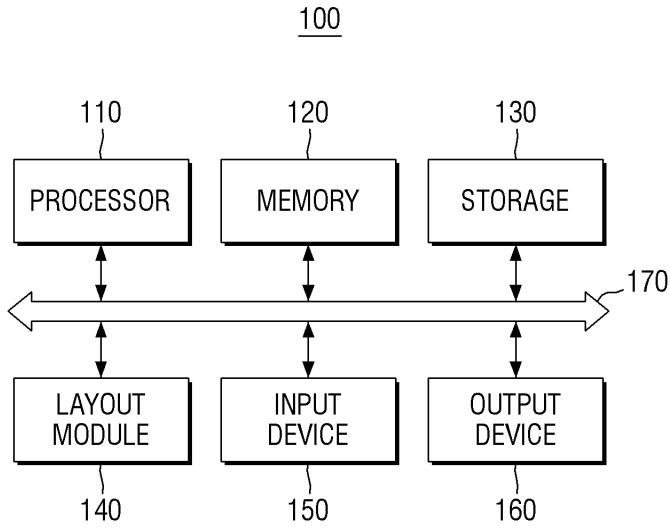
부호의 설명

- [0096] 1, 2, 3, 4: 반도체 회로 5: 스캔 인에이블 인버터
- 10a, 10b: 멀티플렉서 20a, 20b: 마스터 래치 주 회로
- 30a, 30b: 마스터 래치 보조 회로
- 40a, 40b: 슬레이브 래치 주 회로
- 50a, 50b: 슬레이브 래치 보조 회로
- 60a, 60b: 출력 드라이버 70: 클럭 인버터
- 100: 레이아웃 시스템 110: 프로세서

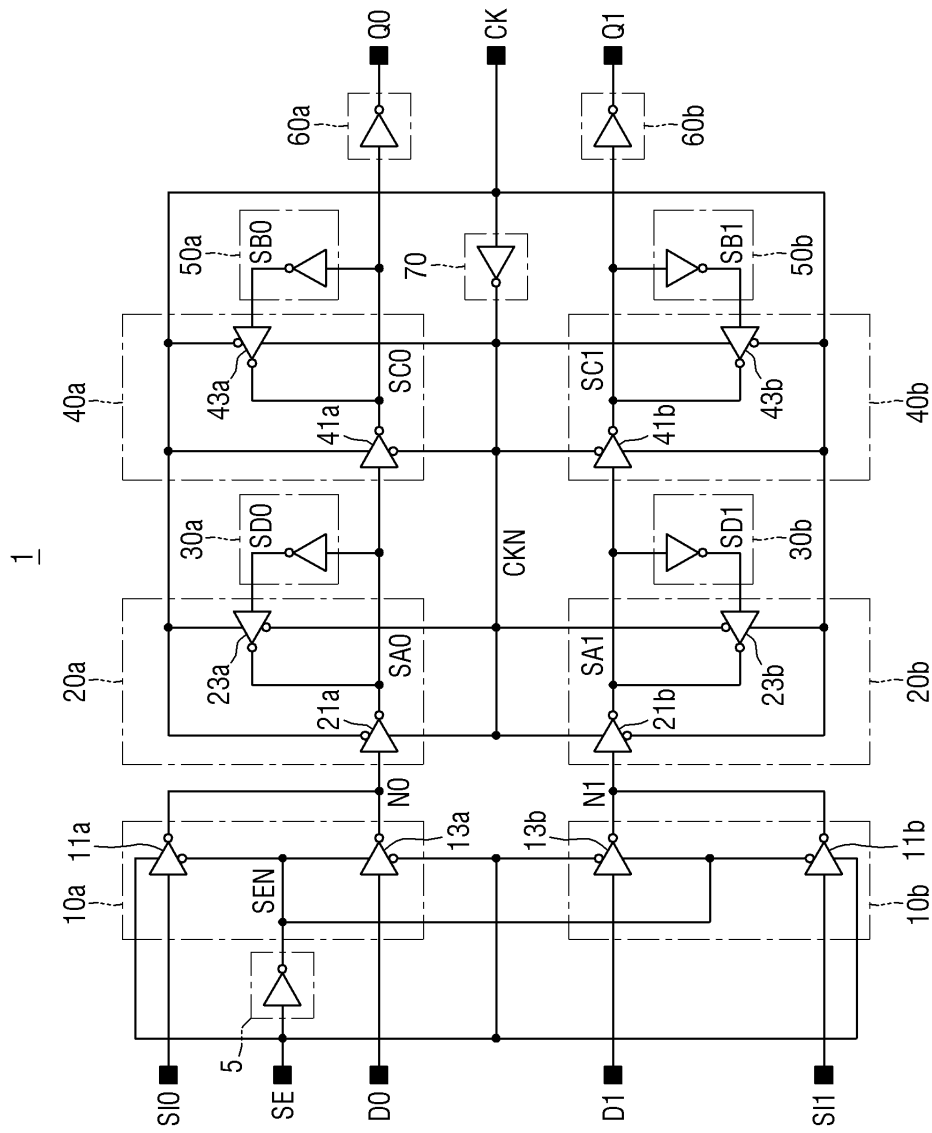
120: 메모리 130: 스토리지
140: 레이아웃 모듈 150: 입력 장치
160: 출력 장치

도면

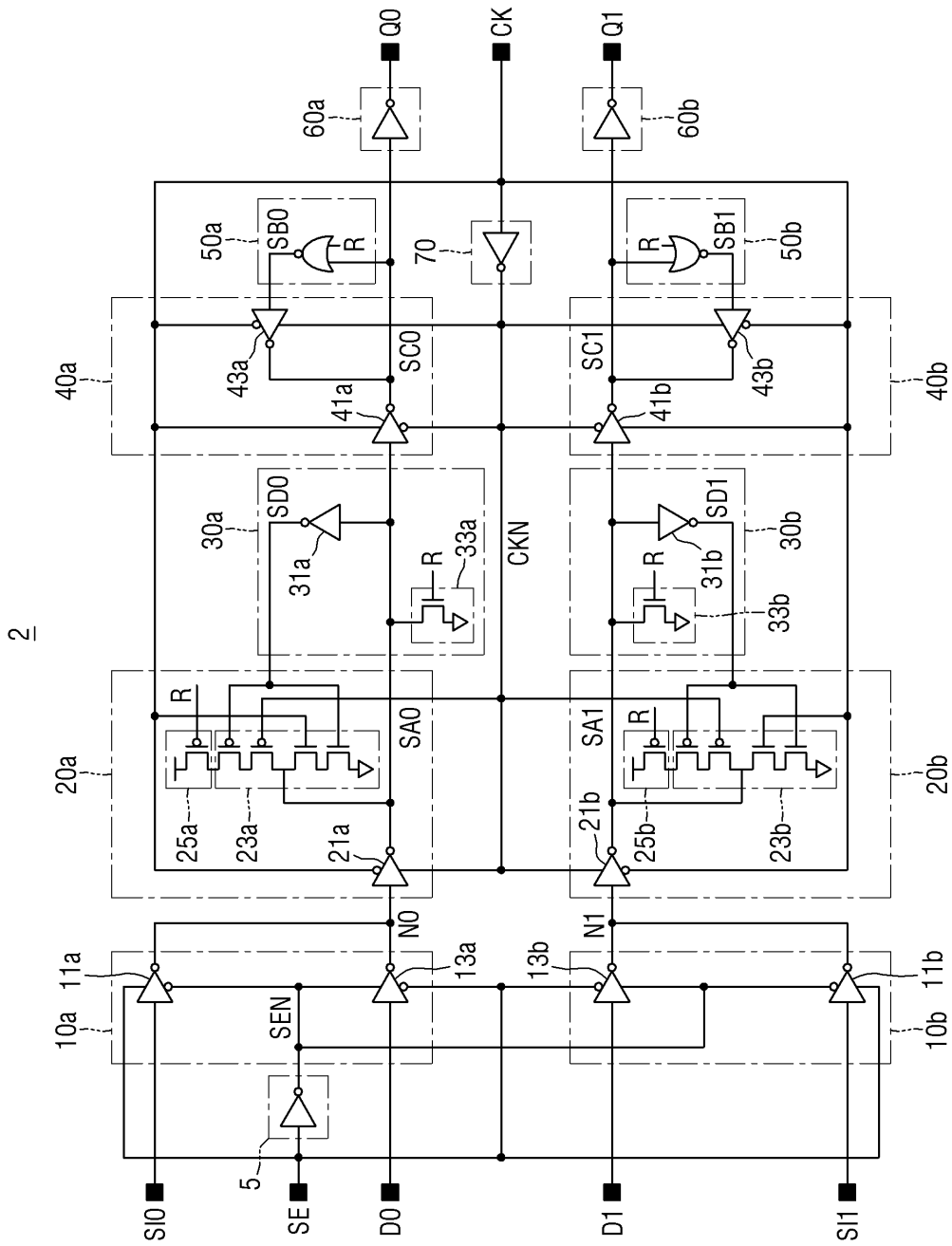
도면1



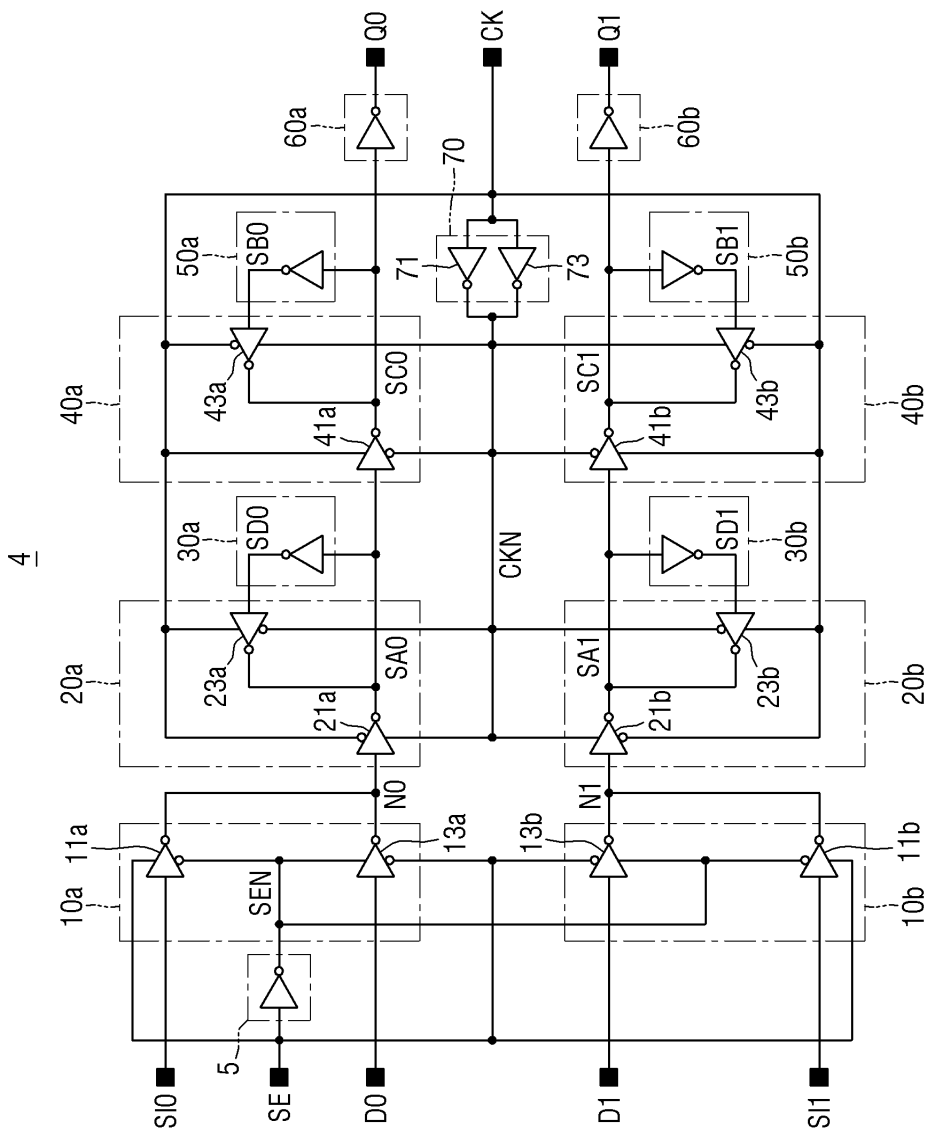
도면2



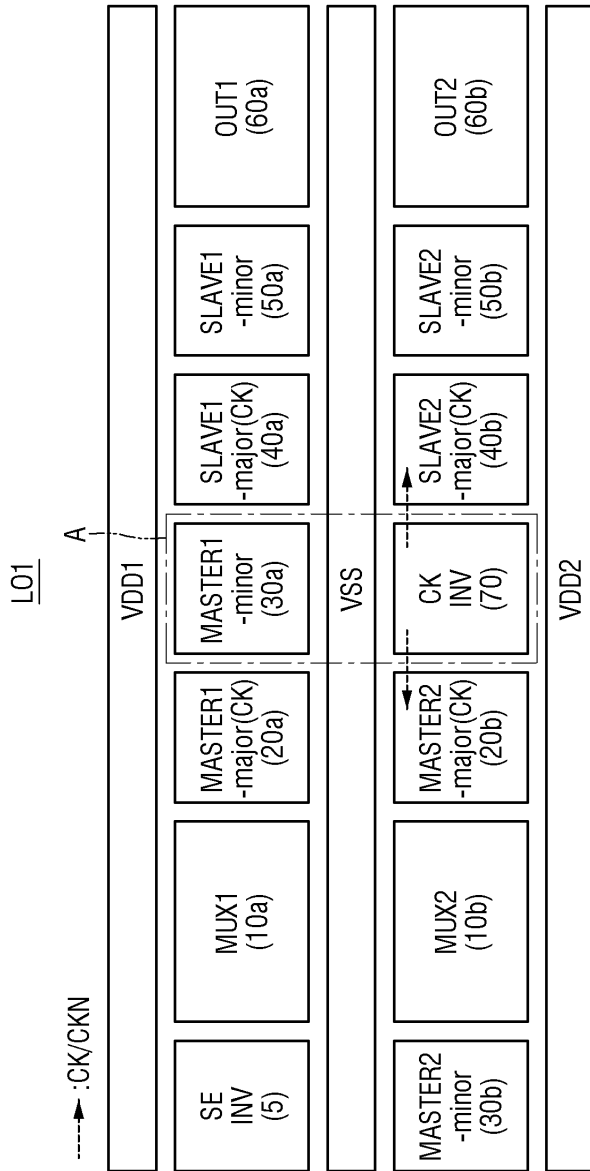
도면3



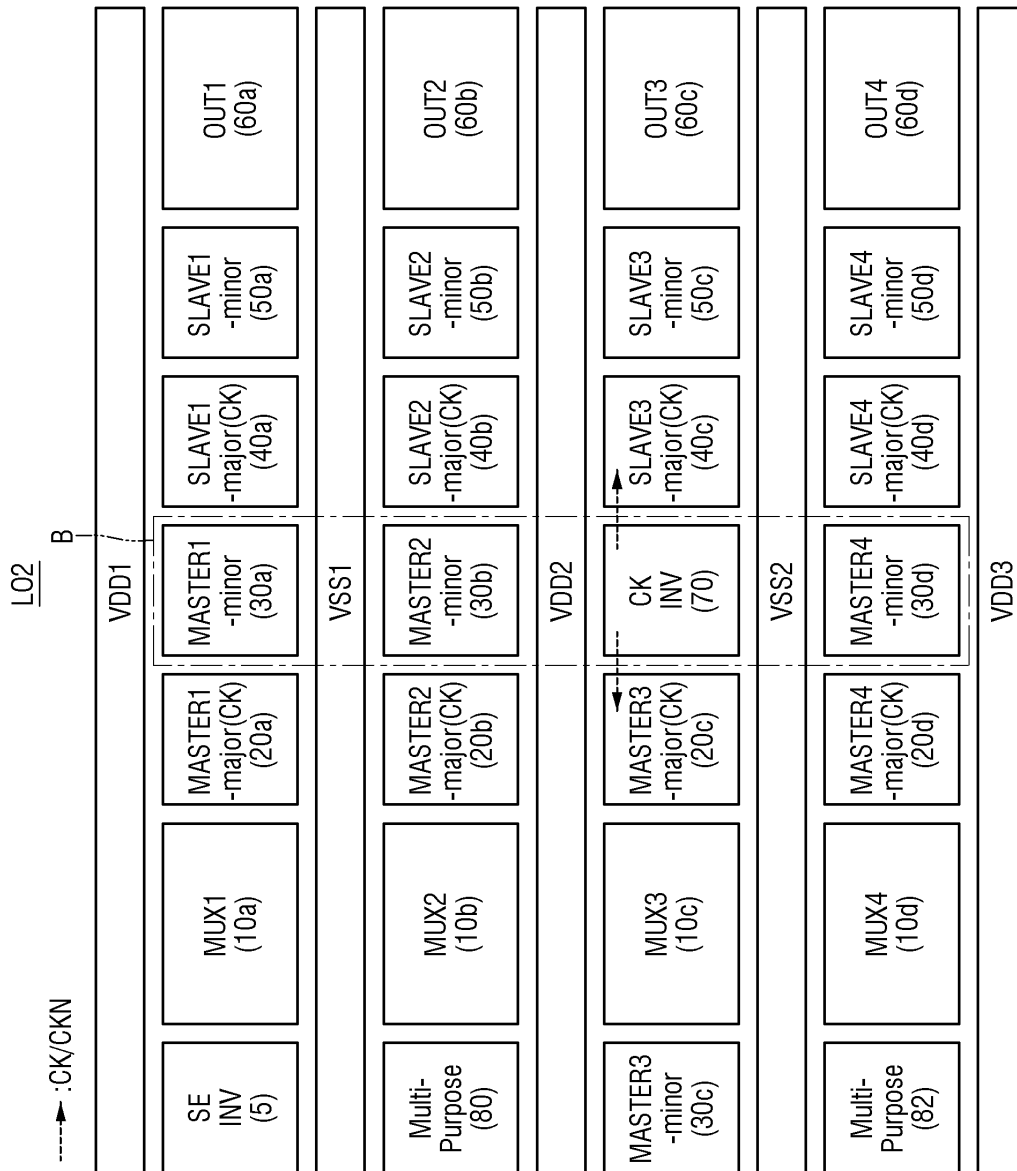
도면5



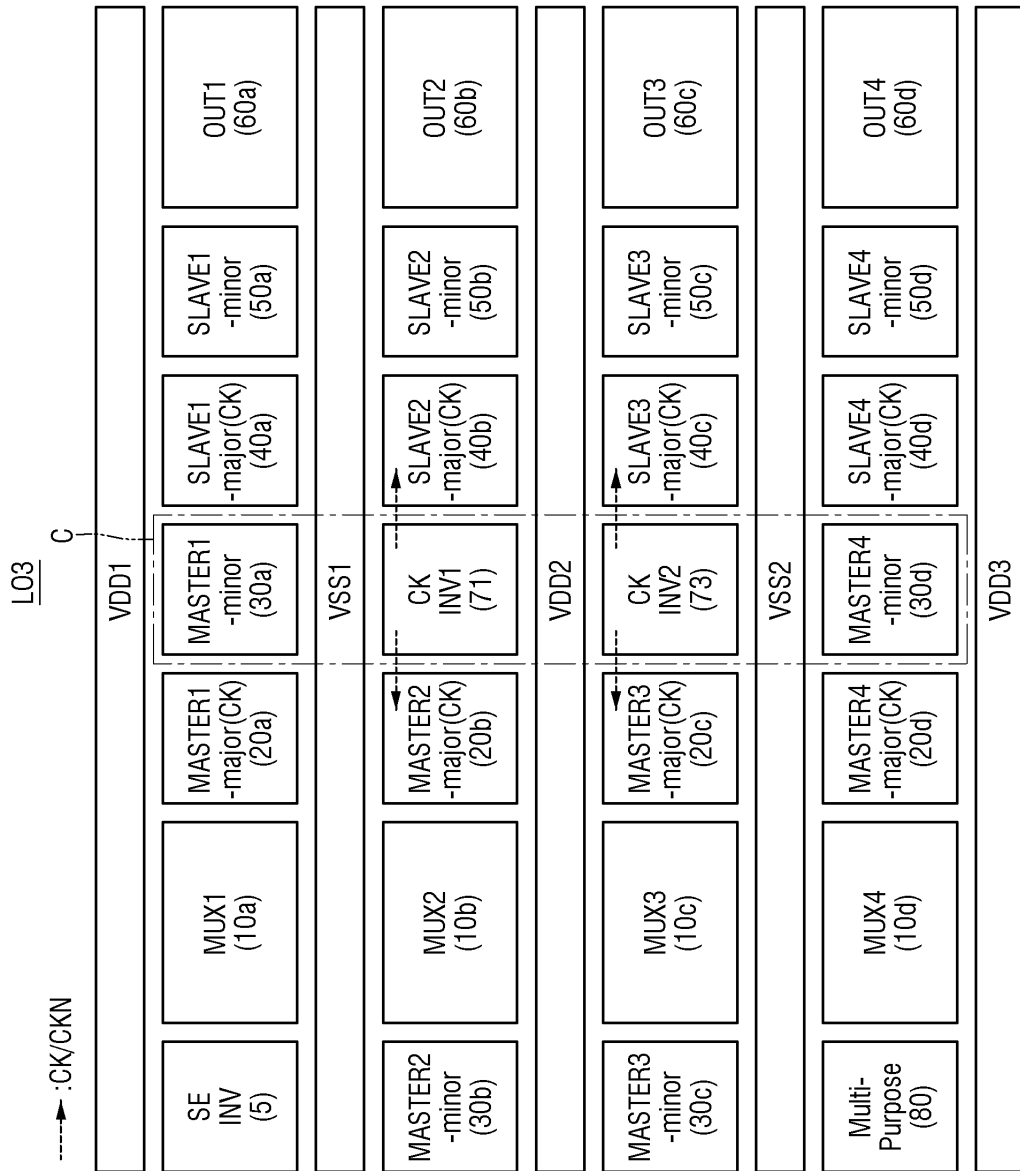
도면6



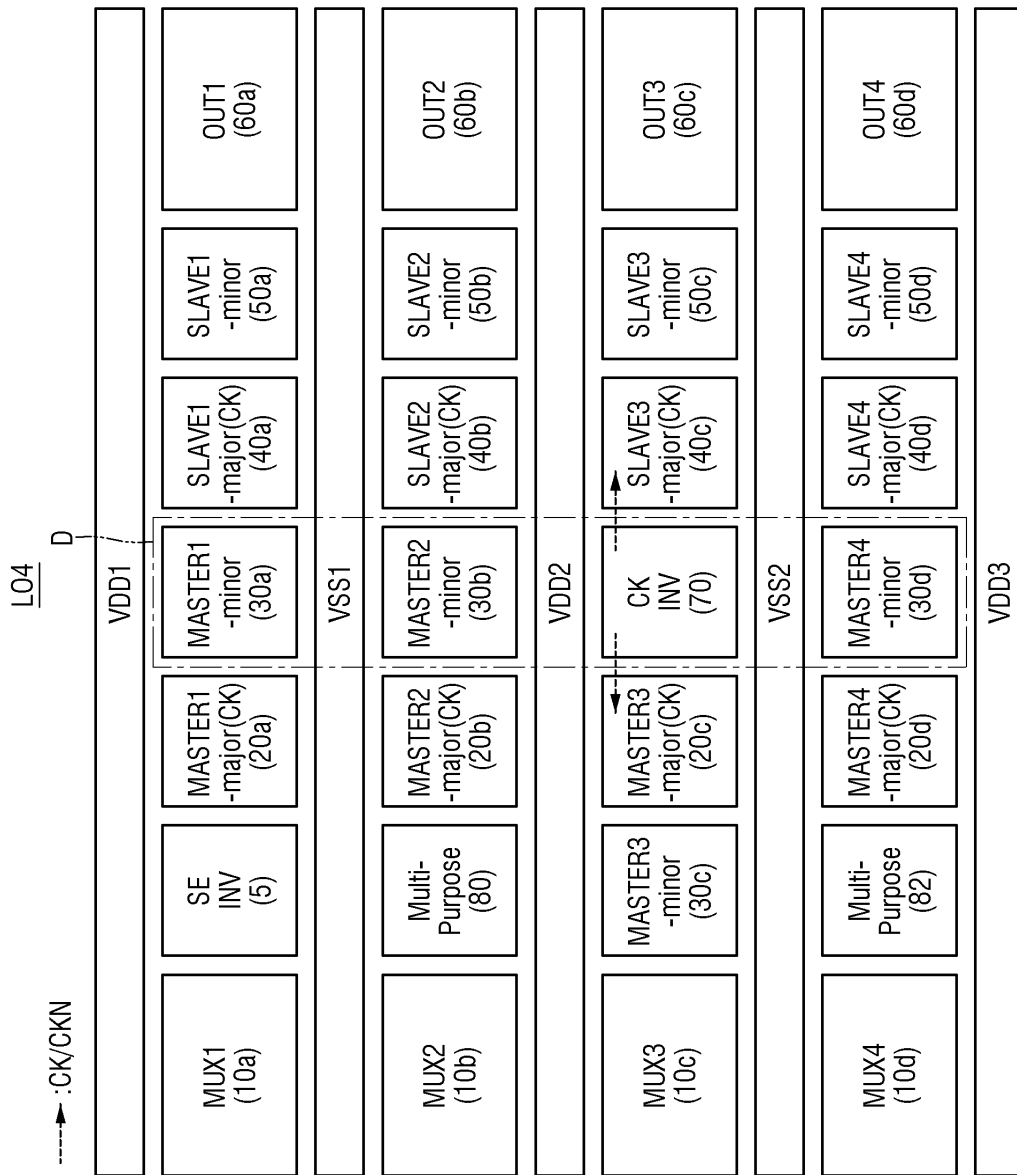
도면7



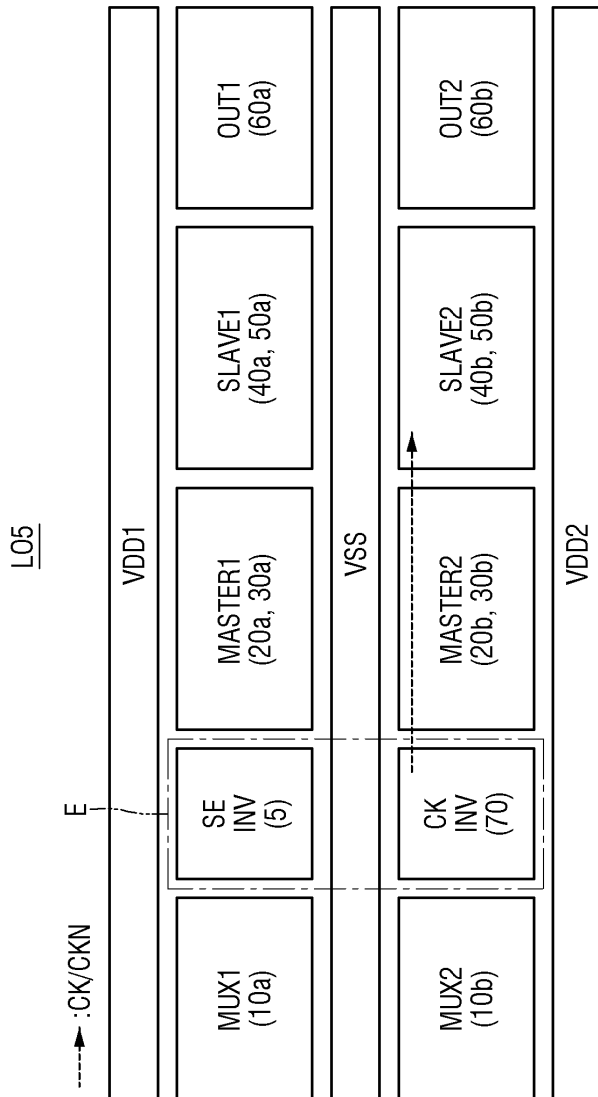
도면8



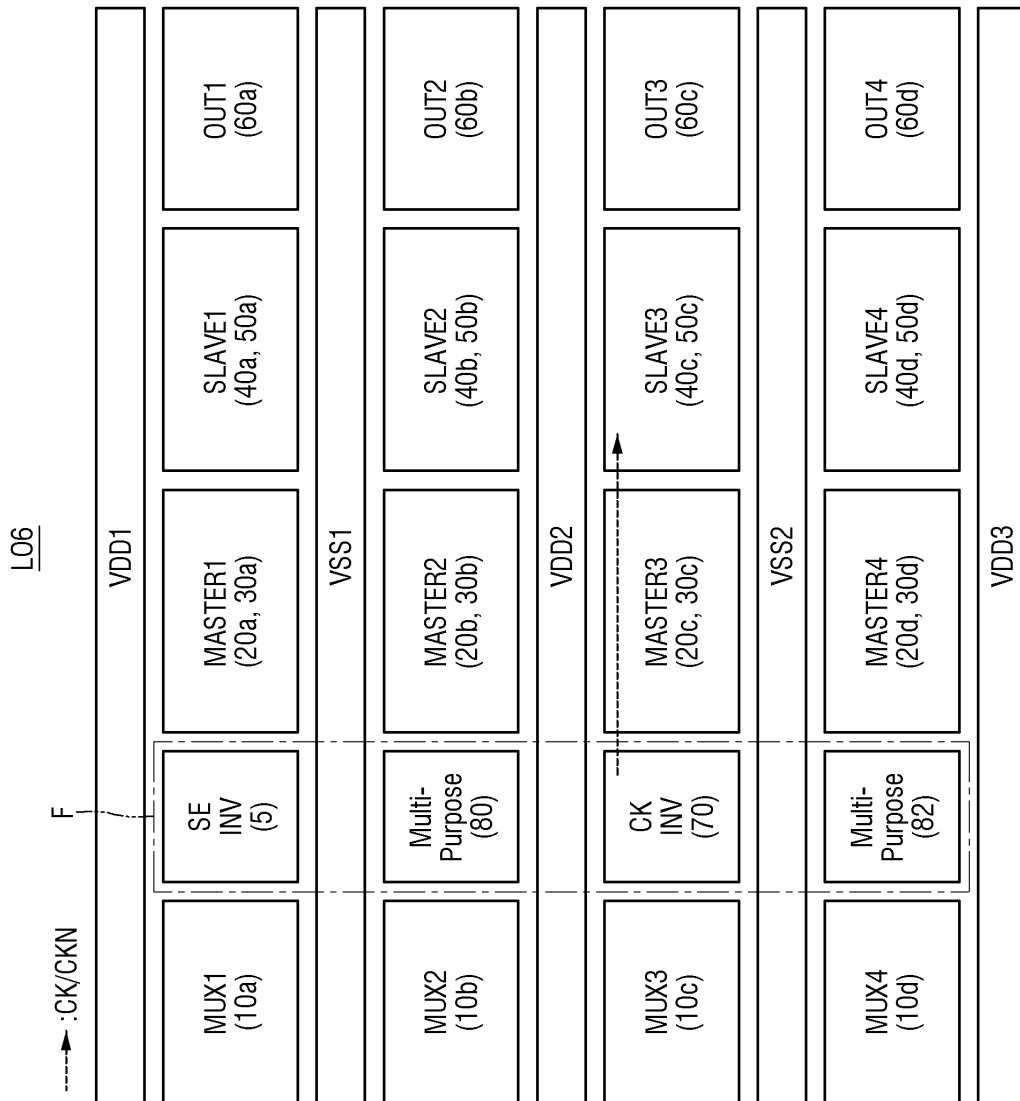
도면9



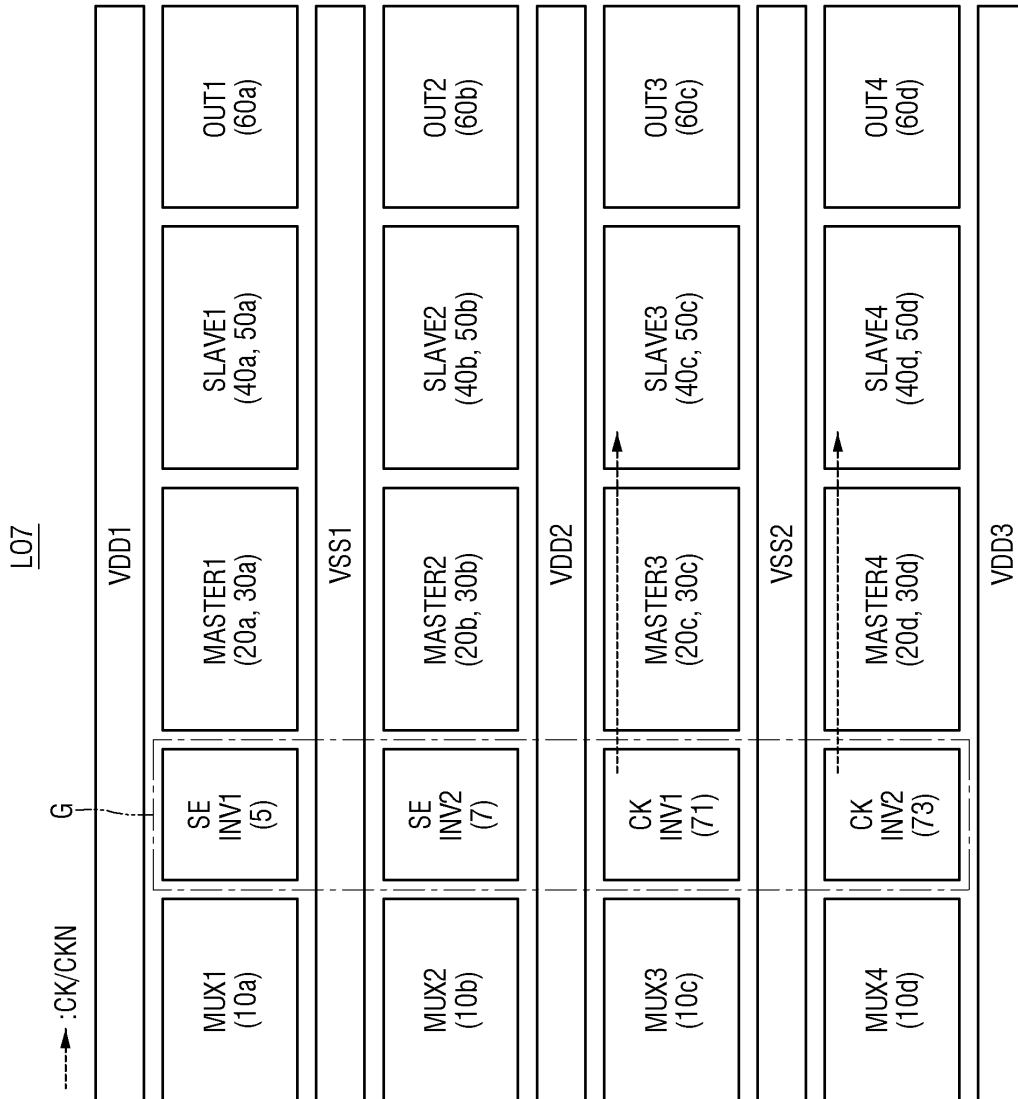
도면10



도면11

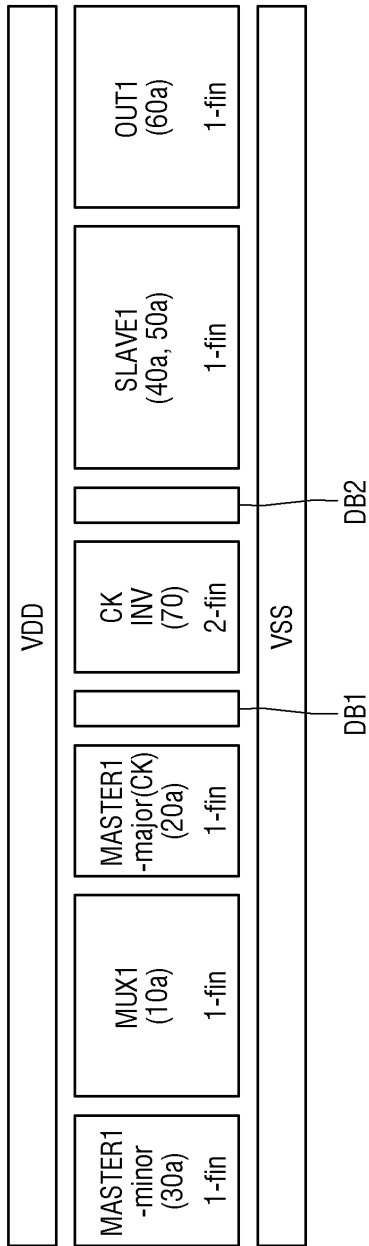


도면12

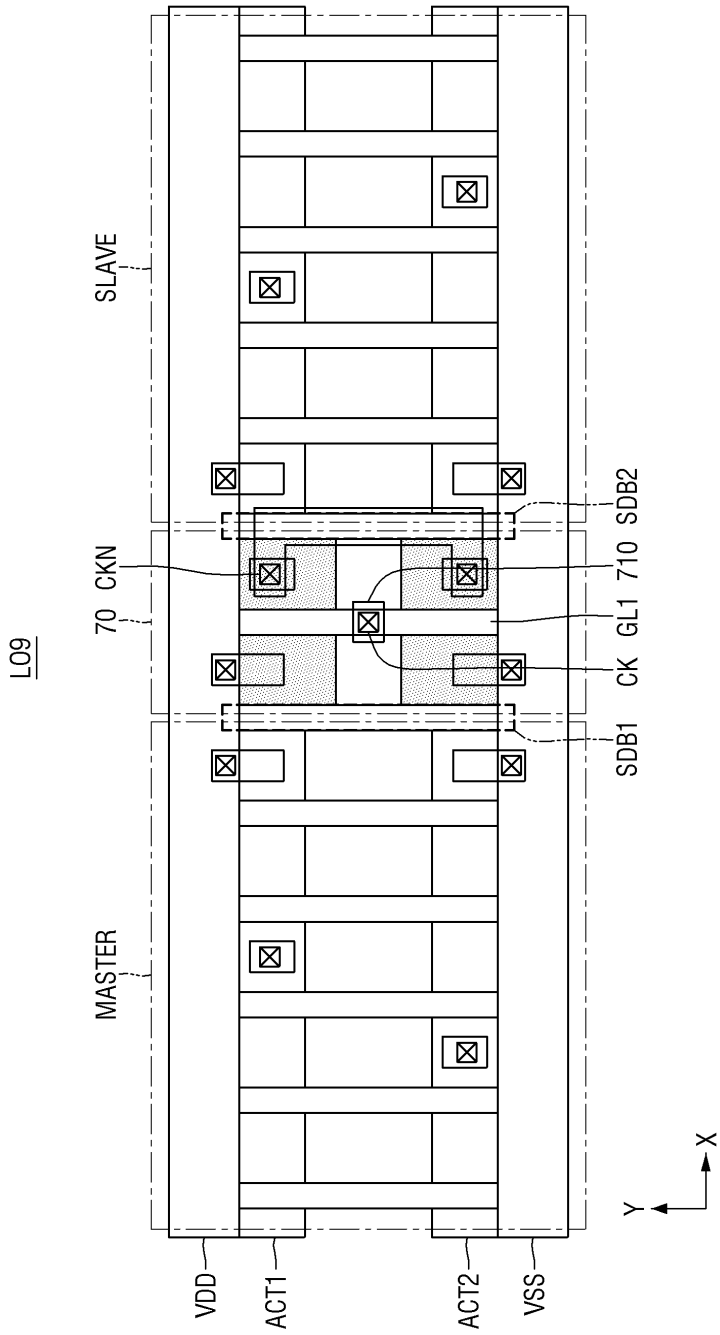


도면13

L08

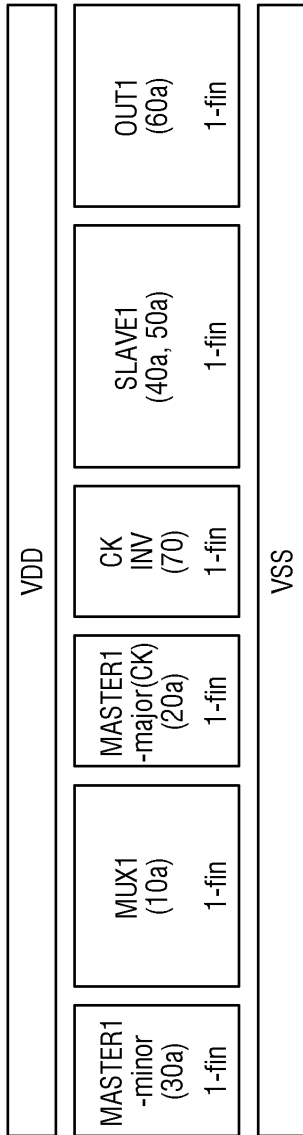


도면14



도면15

L010



도면16

