

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-188992
(P2007-188992A)

(43) 公開日 平成19年7月26日(2007.7.26)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 6 C	4 M 1 0 4
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 A	5 F 1 1 0
HO 1 L 29/423 (2006.01)	HO 1 L 29/78 6 1 7 J	
HO 1 L 29/49 (2006.01)	HO 1 L 29/58 G	

審査請求 未請求 請求項の数 18 O L (全 26 頁)

(21) 出願番号	特願2006-4485 (P2006-4485)	(71) 出願人	000000295 沖電気工業株式会社
(22) 出願日	平成18年1月12日 (2006.1.12)	(74) 代理人	100079049 弁理士 中島 淳
		(74) 代理人	100084995 弁理士 加藤 和詳
		(74) 代理人	100085279 弁理士 西元 勝一
		(74) 代理人	100099025 弁理士 福田 浩志
		(72) 発明者	クマール アニール 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

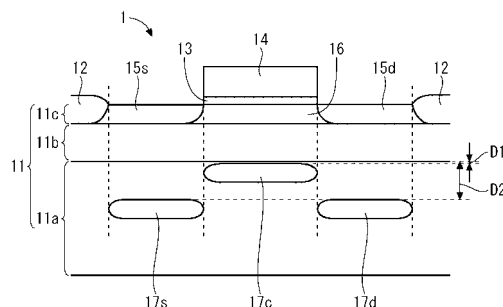
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】ドレイン・チャネル間の寄生容量の増加及びD I B L効果によるサブスレッシュホールドリーク電流の増加を抑えつつ、高い駆動電流及び伝達コンダクタンス、サブスレッシュホールド特性の改善及び浮遊ボディ電位効果の抑制を実現することが可能な半導体装置及びその製造方法を提供する。

【解決手段】SOI-MOSFET 1は、支持基板11aに形成された高濃度拡散領域17cと、高濃度拡散領域17cよりも深い支持基板11a中に形成された高濃度拡散領域17dと、高濃度拡散領域17c上に形成されたゲート電極14と、高濃度拡散領域17d上のSOI層11cに形成されたドレイン領域15dと、ゲート電極14下を挟んでドレイン領域15dと反対側のSOI層11c中に形成されたソース領域15sとを有する。



【選択図】 図1

【特許請求の範囲】

【請求項 1】

支持基板と、前記支持基板上に形成された絶縁層と、前記絶縁層上に形成された半導体層とを有するSOI基板と、

前記支持基板に形成された第1拡散領域と、

前記支持基板の前記第1拡散領域よりも深い領域に形成された第2拡散領域と、

前記半導体層上であって前記第1拡散領域上に形成されたゲート電極と、

前記半導体層における前記第2拡散領域上の領域に形成されたドレイン領域と、

前記半導体層における前記ゲート電極下を挟んで前記ドレイン領域と反対側の領域に形成されたソース領域と

を有することを特徴とする半導体装置。

10

【請求項 2】

前記支持基板の第1拡散領域よりも深く且つ前記第1拡散領域下を挟んで前記第2拡散領域と反対側の領域に形成された第3拡散領域をさらに有し、

前記ソース領域は、前記半導体層における前記第3拡散領域上の領域に形成されていることを特徴とする請求項1記載の半導体装置。

【請求項 3】

前記半導体層における前記ゲート電極下を挟む一对の領域に形成された、前記ドレイン領域及び前記ソース領域よりも不純物濃度が低い低拡散領域と、

前記ゲート電極の側面に形成されたサイドウォールとをさらに有し、

前記ドレイン領域は、前記第2拡散領域上の領域であって前記サイドウォール下以外の領域に形成されていることを特徴とする請求項1または2記載の半導体装置。

20

【請求項 4】

前記半導体層における前記ゲート電極下を挟む一对の領域に形成された、前記ドレイン領域及び前記ソース領域よりも不純物濃度が低い低拡散領域と、

前記ゲート電極の側面に形成されたサイドウォールとをさらに有し、

前記ドレイン領域は、前記第2拡散領域上であって前記サイドウォール下以外の領域に形成され、

前記ソース領域は、前記第3拡散領域上であって前記サイドウォール下以外の領域に形成されていることを特徴とする請求項2記載の半導体装置。

30

【請求項 5】

前記第1及び第2拡散領域は、前記ドレイン領域が含む不純物と反対の導電型を持つ不純物を含むことを特徴とする請求項1から4の何れか1項に記載の半導体装置。

【請求項 6】

前記第1から第3拡散領域は、前記ドレイン領域又は前記ソース領域が含む不純物と反対の導電型を持つ不純物を含むことを特徴とする請求項2又は4記載の半導体装置。

【請求項 7】

前記第1拡散領域は前記支持基板上部又は表面に形成されていることを特徴とする請求項1から6の何れか1項に記載の半導体装置。

【請求項 8】

前記ゲート電極は、前記第1拡散領域上の一部に形成された第1導体膜と、前記第1拡散領域上であって前記第1導体膜の側面に形成され且つ前記第1導体膜よりも導電率が低い第2導体膜とを有することを特徴とする請求項1から7の何れか1項に記載の半導体装置。

40

【請求項 9】

前記第1導体膜は金属膜であり、

前記第2導体膜は所定の不純物を含むことで導電性を有するポリシリコン膜であることを特徴とする請求項8記載の半導体装置。

【請求項 10】

支持基板と、前記支持基板上に形成された絶縁層と、前記絶縁層上に形成された半導体

50

層とを有するSOI基板を準備する工程と、

前記支持基板に第1拡散領域を形成する工程と、

前記支持基板の前記第1拡散領域よりも深い領域に第2拡散領域を形成する工程と、

前記半導体層上であって前記第1拡散領域上にゲート電極を形成する工程と、

前記半導体層における前記第2拡散領域上の領域にドレイン領域を形成する工程と、

前記半導体層における前記ゲート電極下を挟んで前記ドレイン領域と反対側の領域にソース領域を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項11】

前記支持基板の第1拡散領域よりも深く且つ前記第1拡散領域下を挟んで前記第2拡散領域と反対側の領域に第3拡散領域を形成する工程をさらに有し、

前記ソース領域は、前記半導体層における前記第3拡散領域上の領域に形成されることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】

前記半導体層における前記ゲート電極下を挟む一对の領域に前記ドレイン領域及び前記ソース領域よりも不純物濃度が低い低拡散領域を形成する工程と、

前記ゲート電極の側面にサイドウォールを形成する工程とをさらに有し、

前記ドレイン領域は、前記第2拡散領域上の領域であって前記サイドウォール下以外の領域に形成されることを特徴とする請求項10または11記載の半導体装置の製造方法。

【請求項13】

前記半導体層における前記ゲート電極下を挟む一对の領域に前記ドレイン領域及び前記ソース領域よりも不純物濃度が低い低拡散領域を形成する工程と、

前記ゲート電極の側面にサイドウォールを形成する工程とをさらに有し、

前記ドレイン領域は、前記第2拡散領域上であって前記サイドウォール下以外の領域に形成され、

前記ソース領域は、前記第3拡散領域上であって前記サイドウォール下以外の領域に形成されることを特徴とする請求項11記載の半導体装置の製造方法。

【請求項14】

前記第1及び第2拡散領域は、前記ドレイン領域に拡散された不純物と反対の導電型を持つ不純物を拡散することで形成されることを特徴とする請求項10から13の何れか1項に記載の半導体装置の製造方法。

【請求項15】

前記第1から第3拡散領域は、前記ドレイン領域又は前記ソース領域に拡散された不純物と反対の導電型を持つ不純物を拡散することで形成されることを特徴とする請求項11又は13記載の半導体装置の製造方法。

【請求項16】

前記第1拡散領域は前記支持基板上部又は表面に形成されることを特徴とする請求項10から15の何れか1項に記載の半導体装置の製造方法。

【請求項17】

前記ゲート電極は、前記第1拡散領域上の一部に形成された第1導体膜と、前記第1拡散領域上であって前記第1導体膜の側面に形成され且つ前記第1導体膜よりも導電率が低い第2導体膜とを有してなることを特徴とする請求項10から16の何れか1項に記載の半導体装置の製造方法。

【請求項18】

前記第1導体膜は金属膜であり、

前記第2導体膜は所定の不純物を含むことで導電性を有するポリシリコン膜であることを特徴とする請求項17記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に半導体基板にSOI (Silicon On Insulator) 基板を用いた半導体装置およびその製造方法に関する。

【背景技術】

【0002】

近年、低消費電力化、高集積化、多機能化及び高速化などを目的として、SOI (Silicon On Insulator) 基板を用いた半導体装置が開発された。SOI 基板は、例えばシリコン基板などの支持基板と、支持基板上に形成された絶縁膜と、絶縁膜上に形成されたシリコン膜とを有する半導体基板である。なお、以下では、支持基板上の絶縁膜を埋込み酸化膜又はBOX (Buried Oxide) 層と言い、BOX層上のシリコン膜をシリコン薄膜又はSOI層と言う。

10

【0003】

SOI 基板を用いて作成した半導体装置としては、例えばMOSFET (Metal-Oxide Semiconductor Field Effect Transistor) が存在する。以下、これをSOI-MOSFETという。また、SOI-MOSFETと区別するために、バルクの半導体基板を用いて作成したMOSFETを、以下、bulk-MOSFETという。

【0004】

SOI-MOSFETには、導通時にチャネル下のボディ領域が全て空乏化する完全空乏 (Fully Depletion: FD) 型と、ボディ領域底部に空乏化されていない領域が存在する部分空乏 (Partially Depletion: PD) 型との2種類が存在する。なお、ボディ領域とは、シリコン薄膜におけるソース・ドレインで挟まれたSOI層、すなわち動作時にチャネルが形成される領域を指す。

20

【0005】

このようなSOI-MOSFETは、SOI層に形成された半導体素子がBOX層及び素子分離絶縁膜 (フィールド酸化膜とも言う) によって支持基板から電気的に完全に分離されるという特徴 (第1の特徴) を有する。

【0006】

また、2種類のSOI-MOSFETのうち、完全空乏型のSOI-MOSFETは、他のMOSFET、すなわちbulk-MOSFETや部分空乏型のSOI-MOSFETと比較して、サブスレッシュホールド特性を示すS値 (Subthreshold Slopeとも言う) が低いという特徴 (第2の特徴) を有する。なお、S値とは、サブスレッシュホールド領域において、ドレイン電圧一定の下、ドレイン電流を一桁変化させるためのゲート電圧値を指す。

30

【0007】

さらに、完全空乏型のSOI-MOSFETは、他のMOSFETと異なり、ソース/ドレインと基板/ウェルとの間にPN接合、すなわち順方向寄生ダイオードが形成されないため、接合容量を非常に小さくすることができるという特徴 (第3の特徴) も有する。

【0008】

以上の第1から第3の特徴から、特に完全空乏型のSOI-MOSFETは、(1) オフリーク電流 (subthreshold leakage current) を増加させずに閾値電圧 (V_t) を低くすることができ、低電圧動作が可能となる、(2) 負荷容量CLを低減でき、動作の高速化及び低消費電力化が可能となる、(3) 高周波動作における信号伝達損失の低減できる、(4) 高抵抗シリコンウェハ等を支持基板として使用でき、受動素子を含む半導体素子の高周波性能を向上できる、(5) 基板を介したクロストーク等による誤作動を低減できる、(6) ラッチアップ現象を含む誤作動を防止できる、などのような様々な効果を実現することができる。

40

【0009】

また、完全空乏型のSOI-MOSFETでは、BOX層の膜厚を厚くすることで、ゲートと支持基板との間に形成される接合容量をさらに低減できる。この結果、(1) 高い駆動電流及び相互コンダクタンスや、(2) 略理想的なサブスレッシュホールド特性や、(2) 浮遊ボディ電位効果 (Floating body effect: FBE) の抑制などの効果を得るこ

50

とができる。なお、相互コンダクタンスとは、ドレイン電圧一定下での、ゲート電圧の変化に対するドレイン電流の変化率を指す。

【0010】

ただし、BOX層を厚くした場合、ドレインから広がる電界がBOX層を通過してチャンネルまで突き抜けてしまう（例えば以下に示す非特許文献1参照）。このような現象が生じると、ドレイン・チャンネル間の寄生容量が増加してしまうと共に、DIBL（Drain-Induced Barrier Lowering）効果によりサブスレッシュホールドリーク電流が増加するという問題が発生する。

【0011】

なお、参考として、例えば以下に示す特許文献1には、支持基板における領域であって、ドレインとゲートとの間に形成された低濃度オフセット領域下の領域に、拡散領域を形成した構成が開示されている。

【非特許文献1】T.Ernst, et al., "Fringing fields in sub-0.1 μm fully depleted SOI MOSFETs: optimization of the device architecture", Solid-State Electronics 46 (2002), pp. 373-378

【特許文献1】特開2003-273363号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

ドレイン・チャンネル間の寄生容量の増加や、DIBL（Drain-Induced Barrier Lowering）効果によるサブスレッシュホールドリーク電流の増加を回避する方法としては、例えばBOX層の膜厚を薄くする方法や、支持基板の不純物濃度を高くする方法などを考えることができる。しかしながら、これらの方法では、ゲートと支持基板との間に形成される接合容量が増加するため、以上で説明した効果が低減されてしまう。

【0013】

このように従来の技術では、高い駆動電流及び相互コンダクタンスやサブスレッシュホールド特性の改善や浮遊ボディ電位効果の抑制などを得ようとする、ドレイン・チャンネル間の寄生容量が増加したり、DIBL効果によりサブスレッシュホールドリーク電流が増加したりしてしまうという問題が存在する。

【0014】

なお、上記した特許文献1に開示された技術では、支持基板における領域であって、ドレインとゲートとの間に形成された低濃度オフセット領域下の領域に、拡散領域を形成しているが、この構成では、ドレインからBOX層を通過してチャンネルまで広がる電界を効率的に抑制することができないという問題が存在する。さらに、この特許文献1による技術では、チャンネル下以外のBOX層の膜厚を局部的に厚くする必要があるが、このようなBOX層を形成することは事実上困難であるという問題も存在する。

【0015】

そこで本発明は、上記の問題に鑑みてなされたものであり、ドレイン・チャンネル間の寄生容量の増加及びDIBL効果によるサブスレッシュホールドリーク電流の増加を抑えつつ、高い駆動電流及び相互コンダクタンス、サブスレッシュホールド特性の改善及び浮遊ボディ電位効果の抑制を実現することが可能な半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0016】

かかる目的を達成するために、本発明による半導体装置は、支持基板と、支持基板上に形成された絶縁層と、絶縁層上に形成された半導体層とを有するSOI基板と、支持基板に形成された第1拡散領域と、支持基板の第1拡散領域よりも深い領域に形成された第2拡散領域と、半導体層上であって第1拡散領域上に形成されたゲート電極と、半導体層における第2拡散領域上の領域に形成されたドレイン領域と、半導体層におけるゲート電極下を挟んでドレイン領域と反対側の領域に形成されたソース領域とを有して構成される。

10

20

30

40

50

【0017】

このように、支持基板におけるドレイン領域下とゲート電極下との領域それぞれに第1又は第2拡散領域を形成することで、これら第1又は第2拡散領域がドレイン領域から広がる電界に作用するため、ドレイン領域から延びる電界の向きの線が半導体層下の絶縁層を通過してゲート電極下の半導体層、すなわち動作時にチャンネルが形成される領域（ボディ領域）へ貫通することを抑制することが可能となる。すなわち、ドレイン領域とボディ領域との間に形成される寄生容量を低減することが可能となる。これにより、例えばSOI基板における絶縁層を厚くした場合でも、ドレイン領域とボディ領域との間で形成される寄生容量が増加したり、DIBL効果によりサブスレッシュホールドリーク電流が増加したりしてしまうという問題を回避することができる。

10

【0018】

さらにまた、本発明では、ドレイン領域下に形成する第2拡散領域を、ゲート電極下に形成する第1拡散領域よりも深い領域、言い換えれば、支持基板上面からある程度深い領域に形成している。これにより、ドレイン領域と第2拡散領域との間で形成される接合容量が増大することを抑制することが可能となる。結果、負荷容量CLを低減できるため、動作の高速化及び低消費電力化が可能となると共に、高周波動作における信号伝達損失を低減することが可能となる。

【0019】

また、本発明による半導体装置の製造方法は、支持基板と、支持基板上に形成された絶縁層と、絶縁層上に形成された半導体層とを有するSOI基板を準備する工程と、支持基板に第1拡散領域を形成する工程と、支持基板の第1拡散領域よりも深い領域に第2拡散領域を形成する工程と、半導体層上であって第1拡散領域上にゲート電極を形成する工程と、半導体層における第2拡散領域上の領域にドレイン領域を形成する工程と、半導体層におけるゲート電極下を挟んでドレイン領域と反対側の領域にソース領域を形成する工程とを有して構成される。

20

【0020】

このように、支持基板におけるドレイン領域とゲート電極との領域それぞれに形成された第1又は第2拡散領域は、ドレイン領域から広がる電界に作用するため、ドレイン領域から延びる電界の向きの線が半導体層下の絶縁層を通過してゲート電極下の半導体層、すなわち動作時にチャンネルが形成される領域（ボディ領域）へ貫通することを抑制できる半導体装置を製造することが可能となる。すなわち、ドレイン領域とボディ領域との間に形成される寄生容量が低減された半導体装置を製造することが可能となる。これにより、例えばSOI基板における絶縁層を厚くした場合でも、ドレイン領域とボディ領域との間で形成される寄生容量が増加したり、DIBL効果によりサブスレッシュホールドリーク電流が増加したりしてしまうという問題を回避することができる。

30

【0021】

さらにまた、本発明では、ドレイン領域下に形成する第2拡散領域を、ゲート電極下に形成する第1拡散領域よりも深い領域、言い換えれば、支持基板上面からある程度深い領域に形成している。これにより、ドレイン領域と第2拡散領域との間で形成される接合容量が増大することを抑制することが可能となる。結果、負荷容量CLを低減できるため、動作の高速化及び低消費電力化が可能出あると共に、高周波動作における信号伝達損失が低減された半導体装置を製造することが可能となる。

40

【発明の効果】

【0022】

本発明によれば、ドレイン・チャンネル間の寄生容量の増加及びDIBL効果によるサブスレッシュホールドリーク電流の増加を抑えつつ、高い駆動電流及び相互コンダクタンス、サブスレッシュホールド特性の改善及び浮遊ボディ電位効果の抑制を実現することができる半導体装置およびその製造方法を実現することができる。

【発明を実施するための最良の形態】

【0023】

50

以下、本発明を実施するための最良の形態を図面と共に詳細に説明する。なお、以下の説明において、各図は本発明の内容を理解でき得る程度に形状、大きさ、および位置関係を概略的に示してあるに過ぎず、従って、本発明は各図で例示された形状、大きさ、および位置関係のみに限定されるものではない。また、各図では、構成の明瞭化のため、断面におけるハッチングの一部が省略されている。さらに、後述において例示する数値は、本発明の好適な例に過ぎず、従って、本発明は例示された数値に限定されるものではない。

【実施例 1】

【0024】

まず、本発明による実施例 1 について図面を用いて詳細に説明する。

【0025】

・構成

図 1 は、本実施例による半導体装置である S O I - M O S F E T 1 の概略構成を示す断面図である。なお、図 1 では、S O I - M O S F E T 1 をゲート幅方向と垂直な面で切断した際の断面構造を示す。

【0026】

図 1 に示すように、S O I - M O S F E T 1 は、支持基板 1 1 a と支持基板 1 1 a 上に形成された B O X 層（絶縁層）1 1 b と B O X 層 1 1 b 上に形成された S O I 層（半導体層）1 1 c とからなる S O I 基板 1 1 と、支持基板 1 1 a に形成された 3 つの高濃度拡散領域 1 7 c（第 1 拡散領域）、1 7 d（第 2 拡散領域）及び 1 7 s（第 3 拡散領域）と、S O I 層 1 1 c を複数の素子形成領域（アクティブ領域とも言う）に区画する素子分離絶縁膜（フィールド酸化膜ともいう）1 2 と、S O I 層 1 1 c の素子形成領域に形成されたドレイン領域 1 5 d 及びソース領域 1 5 s と、ドレイン領域 1 5 d 及びソース領域 1 5 s で挟まれたボディ領域 1 6 と、ボディ領域 1 6 上に形成されたゲート絶縁膜 1 3 と、ゲート絶縁膜 1 3 上に形成されたゲート電極 1 4 とを有する。

【0027】

S O I 基板 1 1 における支持基板 1 1 a は、例えば p 型の不純物を例えば $1 \times 10^{15} / \text{cm}^3$ 程度の濃度となるように含むバルクのシリコン基板である。その基板抵抗は、例えば $8 \sim 22$ （オーム）程度である。ただし、これに限定されず、種々の半導体基板を適用することができる。

【0028】

S O I 基板 1 1 における B O X 層 1 1 b は、膜厚が例えば $1000 \sim 2000$ （オングストローム）程度のシリコン酸化膜である。ただし、これに限定されず、種々の絶縁膜を適用することができる。

【0029】

S O I 基板 1 1 における S O I 層 1 1 c は、例えば p 型の不純物（例えばボロンイオン）が例えば $1 \sim 3 \times 10^{15} / \text{cm}^3$ 程度の比較的薄い濃度となるように拡散されたシリコン薄膜である。ただし、これに限定されず、所望する閾値電圧 V_t が得られる不純物濃度であれば如何様にも変更することが可能である。また、その膜厚は、例えば $200 \sim 1000$ 程度とすることができる。なお、S O I 層 1 1 c には、ノンドープのシリコン薄膜を適用することもできる。この場合の不純物濃度は、支持基板 1 1 a と同じ濃度、例えば $1 \times 10^{15} / \text{cm}^3$ 程度となる。

【0030】

S O I 基板 1 1 における S O I 層 1 1 c は、上述したように、素子分離絶縁膜 1 2 が形成されることで、アクティブ領域とフィールド領域とに区画されている。この素子分離絶縁膜 1 2 は、例えば L O C O S（Local Oxidation of Silicon）法を用いて形成することができる。ただし、本発明ではこれに限定されず、例えば S T I（Shallow Trench Isolation）法を用いることでも形成することができる。

【0031】

S O I 層 1 1 c におけるアクティブ領域には、上述したように、ドレイン領域 1 5 d とソース領域 1 5 s とが形成される。これらドレイン領域 1 5 d とソース領域 1 5 s とは、

10

20

30

40

50

それぞれ例えばn型の不純物(例えばヒ素イオン又はリンイオン)が例えば $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 程度の濃度となるように注入、拡散することで形成することができる。なお、SOI層11cのアクティブ領域におけるドレイン領域15d及びソース領域15sが形成されていない領域は、動作時にチャンネルが形成される領域、すなわちボディ領域16となる。したがって、本実施例によるボディ領域16は、ノンドープの領域又は比較的薄い不純物濃度の領域となる。

【0032】

このように、本実施例では、ボディ領域16の不純物濃度を支持基板11aの不純物濃度と同程度に低くしているため、導通時にボディ領域16に形成されたチャンネルを通過するキャリアが、ボディ領域16中に存在する不純物によって散乱されることを低減できる。この結果、導通時にSOI-MOSFET1に流れる電流(以下、駆動電流という)を増加することが可能となる。

10

【0033】

また、SOI層11cのアクティブ領域におけるドレイン領域15d及びソース領域15sで挟まれた領域上、言い換えればボディ領域16上には、ゲート絶縁膜13が形成される。このゲート絶縁膜13は、例えばSOI層11c表面を熱酸化することで形成されたシリコン酸化膜とすることができる。ただし、これに限定されず、例えばCVD(Chemical Vapor Deposition)法で形成したシリコン酸化膜やその他の方法で形成した絶縁膜を適用することもできる。ゲート絶縁膜13の膜厚は、例えば20~50程度とすることができる。

20

【0034】

ゲート絶縁膜13上には、上述したように、ゲート電極14が形成される。このゲート電極14は、例えば所定の不純物(好ましくはn型の不純物)を含むことで導電性を有するポリシリコン膜で形成することも、例えばチタニウムやアルミニウムやその他の金属若しくはそれらの何れかを含む合金などで形成された金属膜とで形成することもできる。本説明では、ゲート電極14をアルミニウムで形成した場合を例に挙げて説明する。ゲート電極14のゲート長方向の長さは、例えば100nm(ナノメートル)程度とすることができる。また、その膜厚は、例えば1500~2000程度とすることができる。

【0035】

また、支持基板11aにおける高濃度拡散領域17cは、ゲート電極14下の領域に、例えばp型の不純物を例えば $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 程度の濃度となるように注入することで形成される。この高濃度拡散領域17cは、支持基板11a上面付近、例えば高濃度拡散領域17cの上端が支持基板11a上面と一致する領域若しくは支持基板11a上面からの上端の深さD1(図1参照)が数十程度となる領域に形成される。

30

【0036】

支持基板11aにおける高濃度拡散領域17d及び17sは、ドレイン領域15d及びソース領域15s下それぞれの領域に、例えばp型の不純物を例えば $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 程度の濃度となるように注入することで形成される。また、高濃度拡散領域17d及び17sは、支持基板11a上面からの上端の深さD2(図1参照)が500~1000程度となる領域に形成される。

40

【0037】

これら高濃度拡散領域17c、17d及び17sのうち、高濃度拡散領域17cと17dとは、ドレイン領域15dから広がる電界に作用することで、ドレイン領域15dから延びる電界の向きの線(electric field lines)がBOX層11bを通過してボディ領域16へ貫通することを抑制するための構成である。すなわち、ドレイン領域15dとボディ領域16との間に形成される寄生容量を低減するための構成である。

【0038】

また、高濃度拡散領域17cと17sとは、ソース領域15sから広がる電界に作用することで、ソース領域15sから延びる電界の向きの線(electric field lines)がBOX層11bを通過してボディ領域16へ貫通することを防止するための構成である。すなわ

50

ち、ソース領域 15 s とボディ領域 16 との間に形成される寄生容量を低減するための構成である。

【0039】

本実施例では、これら高濃度拡散領域 17 c、17 d 及び 17 s をボディ領域 16 とドレイン領域 15 d とソース領域 15 s との下にそれぞれ形成することで、SOI 基板 11 における BOX 層 11 b を厚くした場合でも、ドレイン領域 15 d 又はソース領域 15 s とボディ領域 16 との間で形成される寄生容量が増加したり、DIBL 効果によりサブスレッシュホールドリーク電流が増加したりしてしまうという問題を回避することができる。なお、ソース領域 15 s とボディ領域 16 との間に形成される寄生容量は、ドレイン領域 15 d とボディ領域 16 との間に形成される寄生容量と比較して小さい容量であるため、本実施例では、ソース領域 15 s 下の高濃度拡散領域 17 s を省略することもできる。

10

【0040】

さらに、本実施例では、ゲート電極 14 下に形成される高濃度拡散領域 17 c を支持基板 11 a 上面付近に形成している。これにより、ドレイン領域 15 d から広がる電界に効率よく作用することができる。すなわち、ドレイン領域 15 d とボディ領域 16 との間で形成される寄生容量を効率よく低減したり、DIBL 効果によるサブスレッシュホールドリーク電流を効率よく低減したりすることが可能となる。

【0041】

さらにまた、本実施例では、ドレイン領域 15 d 及びソース領域 15 s 下にそれぞれ形成する高濃度拡散領域 17 d 及び 17 s を、支持基板 11 a 上面からある程度深い領域に形成している。本例では、上述したように、高濃度拡散領域 17 d 及び 17 s それぞれの上端の支持基板 11 a 上面からの深さ D2 が 500 ~ 1000 程度となる領域に形成している。このように、ドレイン領域 15 d 下の高濃度拡散領域 17 d と、ソース領域 15 s 下の高濃度拡散領域 17 s とを、支持基板 11 a におけるある程度深い領域に形成することで、これらの間で形成される接合容量が増大することを抑制することが可能となる。これにより、負荷容量 CL を低減できるため、動作の高速化及び低消費電力化が可能となると共に、高周波動作における信号伝達損失の低減することが可能となる。

20

【0042】

・製造方法

次に、本実施例による SOI-MOSFET 1 の製造方法を図面と共に詳細に説明する。図 2 から図 5 は、本実施例による SOI-MOSFET 1 の製造方法を示すプロセス図である。

30

【0043】

本製造方法では、図 2 (a) に示すように、支持基板 11 a 上に BOX 層 11 b と SOI 層 11 c とが順次積層された SOI 基板 11 を準備する。なお、BOX 層 11 b は、上述したように、膜厚が例えば 1000 ~ 2000 程度のシリコン酸化膜である。また、SOI 層 11 c は、上述したように、膜厚が例えば 200 ~ 1000 程度のシリコン薄膜である。

【0044】

次に、例えば熱酸化にて、膜厚が例えば 100 程度のシリコン酸化膜 101 を SOI 層 11 c 上に形成する。続いて、例えば CVD 法にて、膜厚が例えば 200 程度のシリコン窒化膜 102 をシリコン酸化膜 101 上に形成する。尚、シリコン窒化膜 102 は、後述する素子分離絶縁膜 12 を形成する際に、SOI 層 11 c におけるアクティブ領域が熱酸化されることを防止するための酸化防止膜である。また、シリコン酸化膜 101 は、酸化防止膜であるシリコン窒化膜 102 を SOI 層 11 c に密着させるためのバッファ膜である。続いて、例えば既存のフォトリソグラフィ工程及びエッチング工程を経ることで、シリコン窒化膜 102 とシリコン酸化膜 101 とが SOI 層 11 c におけるアクティブ領域とする領域上に残存するように、これらをパターニングする。続いて、シリコン窒化膜 102 をマスクとして SOI 層 11 c を熱酸化することで、図 2 (b) に示すように、SOI 層 11 c をアクティブ領域とフィールド領域とに区画するための素子分離絶縁膜 1

40

50

2を形成する。この結果、SOI層11cにおけるアクティブ領域には、シリコン薄膜16Aが残存する。

【0045】

次に、素子分離絶縁膜12が形成されたSOI層11c表面を熱酸化することで、膜厚が例えば100程度のシリコン酸化膜103をSOI層11c上に形成する。続いて、図2(c)に示すように、SOI層11cにおけるシリコン薄膜16Aに、例えばp型の導電性を有する不純物であるボロンイオンを例えば10KeV(キロエレクトロンボルト)程度に加速して注入する。この際のドーズ量は例えば $1 \times 10^{12} / \text{cm}^2$ 程度とする。この工程を経ることで、SOI層11cにおけるシリコン薄膜16Aが、例えば $1 \sim 3 \times 10^{15} / \text{cm}^3$ 程度の不純物濃度を有するシリコン薄膜16Bとなる。なお、SOI層11c上に形成したシリコン酸化膜103は、不純物注入時にSOI層11cが受けるダメージを軽減するためのマスクとして機能する。また、SOI層11cには上述したように素子分離絶縁膜12が形成されているため、この工程では不純物が自己整合的にSOI層11cにおけるシリコン薄膜16Aに注入される。さらに、注入された不純物は例えば熱拡散される。

10

【0046】

次に、シリコン酸化膜103上に所定のレジスト液をスピン塗布し、既存のフォトリソグラフィ工程を経ることで、シリコン薄膜16Bにおけるボディ領域16となる領域上に開口を有するレジストパターンR11を形成する。続いて、図3(a)に示すように、レジストパターンR11における開口から、例えばp型の不純物であるボロンイオンを例えば30KeV程度に加速して注入することで、支持基板11a表面付近に、不純物濃度が例えば $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 程度の高濃度拡散領域17cを形成する。なお、高濃度拡散領域17cが形成される領域は、上述したようにゲート電極14が形成される領域下のみである。また、注入された不純物は例えば熱拡散される。さらに、本説明では、図2(c)に示す工程で使用したシリコン酸化膜103をそのまま図3(a)に示す工程でも使用したが、本発明はこれに限定されず、シリコン酸化膜103を除去した後、改めて別のシリコン酸化膜を形成しても良い。

20

【0047】

次に、レジストパターンR11を除去した後、SOI層11c上面を熱酸化することで、図3(b)に示すように、膜厚が例えば20~50程度のシリコン酸化膜13Aを形成する。このシリコン酸化膜13Aは、後工程においてゲート絶縁膜13へパターンニングされる。

30

【0048】

次に、例えばCVD法にて、膜厚がゲート電極14の膜厚以上、例えば1500~2000程度以上のシリコン窒化膜104をSOI層11c上全面に形成する。続いて、例えば既存のフォトリソグラフィ工程及びエッチング工程を経ることで、シリコン窒化膜104におけるゲート電極14を形成する領域に開口を形成する。続いて、例えばCVD法にてアルミニウムなどの金属を堆積させることで、図4(a)に示すように、少なくともシリコン窒化膜104に形成した開口を埋める程度の膜厚、すなわち1500~2000程度以上の膜厚を有する導体膜14Aを形成する。

40

【0049】

次に、例えばCMP(Chemical and Mechanical Polishing)法にてシリコン窒化膜104が露出する程度に導体膜14Aを研磨することで、導体膜14Aをゲート電極14へパターンニングする。この際、ゲート電極14の膜厚が例えば1500~2000程度となるように導体膜14A(シリコン窒化膜104を含んでも良い)を研磨する。続いて、既存のエッチングにて、シリコン窒化膜104を除去した後、露出したシリコン酸化膜13Aをエッチングする。なお、シリコン窒化膜104のエッチングでは、ゲート電極14及びシリコン酸化膜(シリコン酸化膜13A及び素子分離絶縁膜12)との選択比が充分に取れる条件が適用される。また、シリコン酸化膜13Aのエッチングでは、ゲート電極14との選択比が充分に取れる条件が適用される。これにより、図4(b)に示すように

50

、ゲート電極 14 と、ゲート電極 14 下のゲート絶縁膜 13 とが形成される。

【0050】

次に、例えば CVD 法にて、膜厚が例えば 100 程度のシリコン酸化膜 105 を露出した SOI 層 11c 上及びゲート電極 14 上に形成する。続いて、図 5 (a) に示すように、シリコン酸化膜 105 上から、例えば p 型の不純物であるボロンイオンを例えば 30 KeV 程度以上 (例えば 40 KeV 程度) に加速して注入することで、支持基板 11a における上面から所定距離 (D2) 深い領域に、不純物濃度が例えば $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 程度の高濃度拡散領域 17d 及び 17s を形成する。この際、ゲート電極 14 は不純物注入時のマスクとして機能する。このため、高濃度拡散領域 17d 及び 17s は、自己整合的にドレイン領域 15d 下及びソース領域 15s 下にそれぞれ形成される。なお、SOI 層 11c 上に形成したシリコン酸化膜 105 は、不純物注入時に SOI 層 11c が受けるダメージを軽減するためのマスクとして機能する。また、注入された不純物は例えば熱拡散される。

10

【0051】

次に、図 5 (b) に示すように、シリコン酸化膜 105 上から、例えば n 型の不純物であるヒ素イオン又はリンイオンを例えば 10 KeV 程度に加速して注入することで、SOI 層 11c におけるゲート電極 14 下以外の領域に、不純物濃度が例えば $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 程度のドレイン領域 15d 及びソース領域 15s を形成する。この際、ゲート電極 14 は不純物注入時のマスクとして機能する。このため、ドレイン領域 15d 及びソース領域 15s は、自己整合的にゲート電極 14 下を挟む一対の領域に形成される。なお、SOI 層 11c 上に形成したシリコン酸化膜 105 は、図 5 (a) で示した工程と同様に、不純物注入時に SOI 層 11c が受けるダメージを軽減するためのマスクとして機能する。また、注入された不純物は熱拡散される。さらに、ドレイン領域 15d 及びソース領域 15s を形成後、シリコン酸化膜 105 は除去される。さらにまた、本説明では、図 5 (a) に示す工程で使用したシリコン酸化膜 105 をそのまま図 5 (b) に示す工程でも使用したが、本発明はこれに限定されず、シリコン酸化膜 105 を除去した後、改めて別のシリコン酸化膜を形成しても良い。

20

【0052】

以上のような工程を経ることで、図 1 に示すような本実施例による SOI-MOSFET 1 を製造することができる。

30

【0053】

・作用効果

以上説明したように、本実施例による SOI-MOSFET 1 は、支持基板 11 と、支持基板 11a 上に形成された BOX 層 11b と、BOX 層 11b 上に形成された SOI 層 11c とを有する SOI 基板 11 と、支持基板 11a に形成された高濃度拡散領域 17c と、支持基板 11 の高濃度拡散領域 17c よりも深い領域に形成された高濃度拡散領域 17d と、SOI 層 11c 上であって高濃度拡散領域 17c 上に形成されたゲート電極 14 と、SOI 層 11c における高濃度拡散領域 17d 上の領域に形成されたドレイン領域 15d と、SOI 層 11c におけるゲート電極 14 下を挟んでドレイン領域 15d と反対側の領域に形成されたソース領域 15s とを有して構成される。

40

【0054】

また、本実施例による SOI-MOSFET 1 の製造方法は、支持基板 11a と、支持基板 11a 上に形成された BOX 層 11b と、BOX 層 11b 上に形成された SOI 層 11c とを有する SOI 基板 11 を準備し、支持基板 11a に高濃度拡散領域 17c を形成し、支持基板 11a の高濃度拡散領域 17c よりも深い領域に高濃度拡散領域 17d を形成し、SOI 層 11c 上であって高濃度拡散領域 17c 上にゲート電極 14 を形成し、SOI 層 11c における高濃度拡散領域 17d 上の領域にドレイン領域 15d を形成し、SOI 層 11c におけるゲート電極 14 下を挟んでドレイン領域 15d と反対側の領域にソース領域 15s を形成する。

【0055】

50

このように、支持基板 11 a におけるドレイン領域 15 d 下とゲート電極 14 下との領域それぞれに高濃度拡散領域 17 d 及び 17 c を形成することで、これら高濃度拡散領域 17 d 及び 17 c がドレイン領域 15 d から広がる電界に作用するため、ドレイン領域 15 d から延びる電界の向きの線が SOI 層 11 c 下の BOX 層 11 b を通ってゲート電極 14 下の SOI 層 11 c、すなわち動作時にチャンネルが形成される領域（ボディ領域 16）へ貫通することを抑制することが可能となる。すなわち、ドレイン領域 15 d とボディ領域 16 との間に形成される寄生容量を低減することが可能となる。これにより、例えば SOI 基板 11 における BOX 層 11 b を厚くした場合でも、ドレイン領域 15 d とボディ領域 16 との間で形成される寄生容量が増加したり、DIBL 効果によりサブスレッシユホールドリーク電流が増加したりしてしまうという問題を回避することができる。

10

【0056】

また、本実施例では、ドレイン領域 15 d 下に形成する高濃度拡散領域 17 d を、ゲート電極 14 下に形成する高濃度拡散領域 17 c よりも深い領域、言い換えれば、支持基板 11 a 上面からある程度深い領域に形成している。これにより、ドレイン領域 15 d と高濃度拡散領域 17 d との間で形成される接合容量が増大することを抑制することが可能となる。結果、負荷容量 CL を低減できるため、動作の高速化及び低消費電力化が可能となると共に、高周波動作における信号伝達損失の低減することが可能となる。

【0057】

また、本実施例では、支持基板 11 a の高濃度拡散領域 17 c よりも深く且つ高濃度拡散領域 17 c 下を挟んで高濃度拡散領域 17 d と反対側の領域に形成された高濃度拡散領域 17 s をさらに有し、ソース領域 15 s が、SOI 層 11 c における高濃度拡散領域 17 s 上の領域に形成されている。

20

【0058】

このように、支持基板 11 a におけるソース領域 15 s 下とゲート電極 14 下との領域それぞれに高濃度拡散領域 17 s 及び 17 c を形成することで、これら高濃度拡散領域 17 s 及び 17 c がソース領域 15 s から広がる電界に作用するため、ソース領域 15 s から延びる電界の向きの線が SOI 層 11 c 下の BOX 層 11 b を通ってボディ領域 16 へ貫通することを防止することが可能となる。すなわち、ソース領域 15 s とボディ領域 16 との間に形成される寄生容量を低減することが可能となる。これにより、例えば SOI 基板 11 における BOX 層 11 b を厚くした場合でも、ソース領域 15 d とボディ領域 16 との間で形成される寄生容量が増加したり、DIBL 効果によりサブスレッシユホールドリーク電流が増加したりしてしまうという問題を回避することができる。

30

【0059】

また、本実施例では、ソース領域 15 s 下に形成する高濃度拡散領域 17 s を、ゲート電極 14 下に形成する高濃度拡散領域 17 c よりも深い領域、言い換えれば、支持基板 11 a 上面からある程度深い領域に形成している。これにより、ソース領域 15 s と高濃度拡散領域 17 s との間で形成される接合容量が増大することを抑制することが可能となる。結果、負荷容量 CL を低減できるため、動作の高速化及び低消費電力化が可能となると共に、高周波動作における信号伝達損失の低減することが可能となる。

【0060】

また、本実施例では、高濃度拡散領域 17 c が支持基板 11 a 上部又は表面に形成されている。このように、ゲート電極 14 下の高濃度拡散領域 17 c を支持基板 11 a 上面付近に形成することで、高濃度拡散領域 17 c がドレイン領域 15 d から広がる電界に効率良く作用することが可能となる。この結果、ドレイン領域 15 d とボディ領域 16 との間に形成される寄生容量をより効果的に低減することが可能となる。

40

【0061】

また、本実施例では、SOI 層 11 c、すなわちボディ領域 16 の不純物濃度を、支持基板 11 a の不純物濃度と同じ又は支持基板 11 a の不純物濃度と略変わらない濃度としている。このようにボディ領域 16 の不純物濃度を低くすることで、本実施例では、導通時にボディ領域 16 に形成されたチャンネルを通過するキャリアが、ボディ領域 16 中に存

50

在する不純物によって散乱されることを低減できる。この結果、SOI-MOSFET 1の駆動電流を増加することが可能となる。

【実施例 2】

【0062】

次に、本発明の実施例 2 について図面を用いて詳細に説明する。尚、以下の説明において、実施例 1 と同様の構成については、同一の符号を付し、その詳細な説明を省略する。また、特記しない構成に関しては実施例 1 と同様である。

【0063】

・構成

図 6 は、本実施例による半導体装置である SOI-MOSFET 2 の概略構成を示す断面図である。なお、図 6 では、図 1 と同様に、SOI-MOSFET 2 をゲート幅方向と垂直な面で切断した際の断面構造を示す。 10

【0064】

図 6 に示すように、SOI-MOSFET 2 は、支持基板 11a と支持基板 11a 上に形成された BOX 層 11b と BOX 層 11b 上に形成された SOI 層 11c とからなる SOI 基板 11 と、支持基板 11a に形成された 3 つの高濃度拡散領域 17c、17d 及び 17s と、SOI 層 11c を複数の素子形成領域（アクティブ領域とも言う）に区画する素子分離絶縁膜 12 と、SOI 層 11c の素子形成領域に形成されたドレイン領域 15d 及びソース領域 15s と、ドレイン領域 15d 及びソース領域 15s で挟まれたボディ領域 16 と、ボディ領域 16 上に形成されたゲート絶縁膜 13 と、ゲート絶縁膜 13 上に形成されたゲート電極 24 とを有する。すなわち、本実施例では、実施例 1 におけるゲート電極 14 がゲート電極 24 に置き換えられている。 20

【0065】

ゲート電極 24 は、図 6 に示すように、金属製のゲート（以下、メタルゲートという）24a が、例えば n 型の導電性を有する不純物を含むことで導電性を有するポリシリコン製の 2 つのゲート（以下、ポリシリコンゲートという）24b にサンドウィッチされた構造を有する。

【0066】

この構成において、メタルゲート 24a は、実施例 1 におけるゲート電極 14 と同様に、例えばチタニウムやアルミニウムやその他の金属若しくはそれらの何れかを含む合金などで形成される。本説明では、メタルゲート 24a をアルミニウムで形成した場合を例に挙げて説明する。また、その膜厚は例えば 1500 ~ 2000 程度とすることができる。 30

【0067】

一方、ポリシリコンゲート 24b は、上述したように、例えば n 型の導電性を有する不純物、例えばボロンイオンを含むポリシリコンで形成される。また、その膜厚は、メタルゲート 24a と同様に、例えば 1500 ~ 2000 程度とすることができる。

【0068】

また、本実施例では、ゲート電極 24 におけるメタルゲート 24a が占める割合、すなわちメタルゲート 24a のゲート長方向の長さを制御することで、SOI-MOSFET 2 の閾値電圧 V_t を制御する。ここで、図 7 (a) 及び図 7 (b) を用いて、メタルゲート 24a の長さ（以下、メタルゲート長 L_a という）と SOI-MOSFET 2 の閾値電圧 V_t との関係を説明する。 40

【0069】

図 7 (a) は、本実施例によるゲート電極 24 を抜粋して示す拡大図である。また、図 7 (b) は、SOI-MOSFET 2 が有する閾値電圧 V_t のメタルゲート長 L_a 依存性を示すグラフである。なお、本説明では、図 7 (a) 及び図 7 (b) に示すように、ゲート電極 24 全体のゲート長方向の長さを L とし、メタルゲート 24a の両サイドにそれぞれ形成されたポリシリコンゲート 24b のゲート長方向の長さを、双方ともに同じ長さ $L_b / 2$ とする。また、ゲート電極 24 全体のゲート長方向の長さ L を 100 nm に固定す 50

る。したがって、 $L = L_a + 2 \times L_b / 2 = L_a + L_b = 100$ [nm] の関係が成り立つ。

【0070】

図7(b)に示すように、メタルゲート長 L_a の長さを長くする、すなわちゲート電極24におけるメタルゲート24aがゲート長方向に占める割合を大きくすると、SOI-MOSFET2の閾値電圧 V_t が大きくなる。言い換えれば、メタルゲート長 L_a の長さを短くする、すなわちゲート電極24におけるメタルゲート24aがゲート長方向に占める割合を小さくすると、SOI-MOSFET2の閾値電圧 V_t が小さくなる。このように、ゲート電極24におけるメタルゲート24aが占める割合を制御することで、本実施例では、SOI-MOSFET2の閾値電圧 V_t を制御することが可能である。

10

【0071】

このような構成は、特に、ボディ領域16における不純物濃度が薄い場合に有効である。すなわち、ボディ領域16の不純物濃度が低いと、SOI-MOSFET2の閾値電圧 V_t が低下して非導通時におけるドレイン・ソース間の電流遮断能力が低下し、これによりサブスレッシュホールドリク電流が増加する場合がある。そこで、本実施例のようにゲート電極24の構成を用いてSOI-MOSFET2の閾値電圧 V_t を増加することで、ボディ領域16の不純物濃度を高くすることなく、すなわちSOI-MOSFET2の駆動電流を低減させることなく、サブスレッシュホールドリク電流を低減させることが可能となる。

【0072】

なお、本実施例では、メタルゲート24aを挟む2つのポリシリコンゲート24bのゲート長方向の長さを同じとしたが、本発明はこれに限定されず、例えばドレイン側のポリシリコンゲート24bのゲート長方向の長さを、ソース側のポリシリコンゲート24bのゲート長方向の長さよりも長くするなど、種々変形することが可能である。その他の構成は、実施例1と同様であるため、ここでは詳細な説明を省略する。

20

【0073】

・製造方法

次に、本実施例によるSOI-MOSFET2の製造方法を図面と共に詳細に説明する。図8から図11は、本実施例によるSOI-MOSFET2の製造方法を示すプロセス図である。なお、本実施例による製造方法において、支持基板11a中に高濃度拡散領域17cを形成するまでの工程は、実施例1における図2(a)から図3(a)を用いて説明した工程と同様であるため、ここでは詳細な説明を省略する。

30

【0074】

本製造方法では、まず、実施例1において図2(a)から図3(a)を用いて説明したように支持基板11a中に高濃度拡散領域17cを形成する。続いて、レジストパターンR11(図3(a)参照)を除去した後、再度、シリコン酸化膜103上に所定のレジスト液をスピン塗布し、既存のフォトリソグラフィ工程を経ることで、シリコン薄膜16Bにおけるドレイン領域15d及びソース領域15sとなる領域上にそれぞれ開口を有するレジストパターンR21を形成する。続いて、図8(a)に示すように、レジストパターンR21における開口から、例えばp型の不純物であるボロンイオンを例えば30KeV程度以上(例えば40KeV程度)に加速して注入することで、支持基板11aにおける上面から所定距離(D2)深い領域に、不純物濃度が例えば $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 程度の高濃度拡散領域17d及び17sを形成する。なお、高濃度拡散領域17d及び17sが形成される領域は、実施例1と同様に、ドレイン領域17d及びソース領域17sが形成される領域下のみである。また、注入された不純物は例えば熱拡散される。さらに、本説明では、図2(c)に示した工程で使用したシリコン酸化膜103をそのまま図8(a)に示す工程で使用したが、本発明はこれに限定されず、シリコン酸化膜103を除去した後、改めて別のシリコン酸化膜を形成しても良い。

40

【0075】

次に、レジストパターンR21を除去した後、SOI層11c上面を熱酸化することで

50

、図8(b)に示すように、膜厚が例えば20~50程度のシリコン酸化膜13Aを形成する。このシリコン酸化膜13Aは、後工程においてゲート絶縁膜13へパターニングされる。

【0076】

次に、例えばCVD法にて、膜厚がメタルゲート24aの膜厚以上、例えば1500~2000程度以上のシリコン窒化膜204をSOI層11c上全面に形成する。続いて、例えば既存のフォトリソグラフィ工程及びエッチング工程を経ることで、シリコン窒化膜204におけるメタルゲート24aを形成する領域開口を形成する。続いて、例えばCVD法にてアルミニウムなどの金属を堆積させることで、図8(c)に示すように、少なくともシリコン窒化膜204に形成した開口を埋める程度の膜厚、すなわち1500~2000程度以上の膜厚を有する導体膜24Aを形成する。

10

【0077】

次に、例えばCMP法にてシリコン窒化膜204が露出する程度に導体膜24Aを研磨することで、導体膜24Aをメタルゲート24aへパターニングする。この際、メタルゲート24aの膜厚が例えば1500~2000程度となるように導体膜24A(シリコン窒化膜204を含んでも良い)を研磨する。続いて、既存のエッチングにて、シリコン窒化膜204を除去する。シリコン窒化膜204のエッチングでは、メタルゲート24a及びシリコン酸化膜(シリコン酸化膜13A及び素子分離絶縁膜12)との選択比が充分に取れる条件が適用される。これにより、図9(a)に示すように、シリコン酸化膜13A上にメタルゲート24aが形成される。

20

【0078】

次に、図9(b)に示すように、例えば既CVD法にて、膜厚がポリシリコンゲート24bの膜厚以上、例えば1500~2000程度以上のポリシリコン膜24BをSOI層11c上及びメタルゲート24a上に形成する。なお、このポリシリコン膜24Bは、後工程においてポリシリコンゲート24bへパターニングされる。したがって、ポリシリコン膜24Bは、例えばn型の導電性を有する不純物を含むことで導電性を有している。

【0079】

次に、例えばCMP法にてメタルゲート24a上面が露出する程度にポリシリコン膜24Bを研磨する。これにより、図10(a)に示すように、ポリシリコン膜24Bがポリシリコンゲート24bと同じ膜厚を有するポリシリコン膜24Cへ薄膜化される。

30

【0080】

次に、ポリシリコン膜24C上及びメタルゲート24a上に所定のレジスト液をスピン塗布し、既存のフォトリソグラフィ工程を経ることで、ポリシリコン膜24C上及びメタルゲート24aにおけるゲート電極24を形成する領域上にレジストパターンR22を形成する。続いて、レジストパターンR22をマスクとして、露出しているポリシリコン膜24C及びシリコン酸化膜13Aをエッチングすることで、図10(b)に示すように、ポリシリコン膜24Cをポリシリコンゲート24bへパターニングすると共に、メタルゲート24aとポリシリコンゲート24bとからなるゲート電極24下にゲート絶縁膜13を形成する。

【0081】

次に、例えばCVD法にて、膜厚が例えば100程度のシリコン酸化膜205を露出したSOI層11c上及びゲート電極24上に形成する。続いて、図11に示すように、シリコン酸化膜205上から例えばn型の不純物であるヒ素イオン又はリンイオンを例えば10KeV程度に加速して注入することで、SOI層11cにおけるゲート電極24下以外の領域に不純物濃度が例えば $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 程度のドレイン領域15d及びソース領域15sを形成する。この際、ゲート電極24は不純物注入時のマスクとして機能する。このため、ドレイン領域15d及び15sは、自己整合的にゲート電極24下を挟む一対の領域に形成される。なお、SOI層11c上に形成したシリコン酸化膜205は、不純物注入時にSOI層11cが受けるダメージを軽減するためのマスクとして機能する。また、注入された不純物は拡散される。さらに、ドレイン領域15d及び

40

50

ソース領域 15 s を形成後、シリコン酸化膜 205 は除去される。

【0082】

以上のような工程を経ることで、図6に示すような本実施例によるSOI-MOSFET2を製造することができる。

【0083】

・作用効果

以上説明したように、本実施例によるSOI-MOSFET2は、支持基板11と、支持基板11a上に形成されたBOX層11bと、BOX層11b上に形成されたSOI層11cとを有するSOI基板11と、支持基板11aに形成された高濃度拡散領域17cと、支持基板11の高濃度拡散領域17cよりも深い領域に形成された高濃度拡散領域17dと、SOI層11c上であって高濃度拡散領域17c上に形成されたゲート電極24と、SOI層11cにおける高濃度拡散領域17d上の領域に形成されたドレイン領域15dと、SOI層11cにおけるゲート電極24下を挟んでドレイン領域15dと反対側の領域に形成されたソース領域15sとを有して構成される。

【0084】

また、本実施例によるSOI-MOSFET2の製造方法は、支持基板11aと、支持基板11a上に形成されたBOX層11bと、BOX層11b上に形成されたSOI層11cとを有するSOI基板11を準備し、支持基板11aに高濃度拡散領域17cを形成し、支持基板11aの高濃度拡散領域17cよりも深い領域に高濃度拡散領域17dを形成し、SOI層11c上であって高濃度拡散領域17c上にゲート電極24を形成し、SOI層11cにおける高濃度拡散領域17d上の領域にドレイン領域15dを形成し、SOI層11cにおけるゲート電極24下を挟んでドレイン領域15dと反対側の領域にソース領域15sを形成する。

【0085】

このように、支持基板11aにおけるドレイン領域15d下とゲート電極24下との領域それぞれに高濃度拡散領域17d及び17cを形成することで、実施例1と同様に、これら高濃度拡散領域17d及び17cがドレイン領域15dから広がる電界に作用するため、ドレイン領域15dから延びる電界の向きの線がSOI層11c下のBOX層11bを通過してゲート電極24下のSOI層11c、すなわち動作時にチャンネルが形成される領域(ボディ領域16)へ貫通することを抑制することが可能となる。すなわち、ドレイン領域15dとボディ領域16との間に形成される寄生容量を低減することが可能となる。これにより、例えばSOI基板11におけるBOX層11bを厚くした場合でも、ドレイン領域15dとボディ領域16との間で形成される寄生容量が増加したり、DIBL効果によりサブスレッシュホールドリーク電流が増加したりしてしまうという問題を回避することができる。

【0086】

また、本実施例では、ドレイン領域15d下に形成する高濃度拡散領域17dを、ゲート電極24下に形成する高濃度拡散領域17cよりも深い領域、言い換えれば、支持基板11a上面からある程度深い領域に形成している。これにより、実施例1と同様に、ドレイン領域15dと高濃度拡散領域17dとの間で形成される接合容量が増大することを抑制することが可能となる。結果、負荷容量CLを低減できるため、動作の高速化及び低消費電力化が可能となると共に、高周波動作における信号伝達損失の低減することが可能となる。

【0087】

また、本実施例では、実施例1と同様に、支持基板11aの高濃度拡散領域17cよりも深く且つ高濃度拡散領域17c下を挟んで高濃度拡散領域17dと反対側の領域に形成された高濃度拡散領域17sをさらに有し、ソース領域15sが、SOI層11cにおける高濃度拡散領域17s上の領域に形成されている。これにより、実施例1と同様の効果を奏することが可能となる。

【0088】

10

20

30

40

50

また、本実施例では、実施例 1 と同様に、高濃度拡散領域 17c が支持基板 11a 上部又は表面に形成されている。これにより、実施例 1 と同様の効果を奏することが可能となる。

【0089】

また、本実施例では、SOI 層 11c、すなわちボディ領域 16 の不純物濃度を、支持基板 11a の不純物濃度と同じ又は支持基板 11a の不純物濃度と略変わらない濃度としている。これにより、実施例 1 と同様の効果を奏することが可能となる。

【0090】

また、本実施例では、ゲート電極 24 が、高濃度拡散領域 17c 上の一部に形成されたメタルゲート 24a と、高濃度拡散領域 17c 上であってメタルゲート 24a の側面に形成され且つメタルゲート 24a よりも導電率が低いポリシリコンゲート 24b とを有する。

10

【0091】

このように、ゲート電極 24 を誘電率の異なる 2 種類のゲート (メタルゲート 24a とポリシリコンゲート 24b) で構成することで、誘電率の高いゲート (本例ではメタルゲート 24a) のゲート電極 24 における長さを制御することで、SOI-MOSFET 2 の閾値電圧 V_t を制御することが可能となる。これにより、例えばボディ領域 16 の不純物濃度を低くした場合でも、SOI-MOSFET 2 の閾値電圧 V_t が低下することでサブスレッシュホールドリーク電流が増加するという不具合を防止することが可能となる。

【実施例 3】

20

【0092】

次に、本発明の実施例 3 について図面を用いて詳細に説明する。尚、以下の説明において、実施例 1 または実施例 2 と同様の構成については、同一の符号を付し、その詳細な説明を省略する。また、特記しない構成に関しては実施例 1 または実施例 2 と同様である。さらに、本実施例では、半導体装置の基本構成として、実施例 2 で例示した SOI-MOSFET 2 の構成を引用するが、本発明ではこれに限定されず、実施例 1 で例示した SOI-MOSFET 1 の構成を用いることも可能である。この場合、ゲート電極 24 がゲート電極 14 に置き換えられる。

【0093】

・構成

30

図 12 は、本実施例による半導体装置である SOI-MOSFET 3 の概略構成を示す断面図である。なお、図 12 では、図 1 及び図 6 と同様に、SOI-MOSFET 3 をゲート幅方向と垂直な面で切断した際の断面構造を示す。

【0094】

図 12 に示すように、SOI-MOSFET 3 は、支持基板 11a と支持基板 11a 上に形成された BOX 層 11b と BOX 層 11b 上に形成された SOI 層 11c とからなる SOI 基板 11 と、支持基板 11a に形成された 3 つの高濃度拡散領域 17c、17d 及び 17s と、SOI 層 11c を複数の素子形成領域 (アクティブ領域とも言う) に区画する素子分離絶縁膜 12 と、SOI 層 11c の素子形成領域に形成されたドレイン領域 15d 及びソース領域 15s と、ドレイン領域 15d 及びソース領域 15s それぞれからゲート電極 14 下の一部まで延在する低濃度拡散領域 35d 及び 35s と、低濃度拡散領域 35d 及び 35s (ドレイン領域 15d 及びソース領域 15s を含む) で挟まれたボディ領域 36 と、ボディ領域 36 上に形成されたゲート絶縁膜 13 と、ゲート絶縁膜 13 上に形成されたゲート電極 24 と、ゲート絶縁膜 13 上であってゲート電極 24 の両サイドに形成されたサイドウォール 37 とを有する。すなわち、本実施例では、実施例 2 におけるゲート電極 24 の両サイドにサイドウォール 37 が形成されると共に、ドレイン領域 15d からサイドウォール 37 下を介してゲート電極 24 下まで延在する低濃度拡散領域 (LDD ともいう) 35d と、ソース領域 15s からサイドウォール 37 下を介してゲート電極 24 下まで延在する低濃度拡散領域 (LDD ともいう) 35s とをさらに有する。また、これに伴い、実施例 1 又は 2 におけるボディ領域 16 が、ボディ領域 36 に置き換えられ

40

50

ている。

【0095】

サイドウォール37は、例えばシリコン酸化膜を異方性エッチングすることで形成された絶縁膜である。そのゲート長方向に沿った膜厚は、例えば800程度とすることができる。このようなサイドウォール37を設けることで、ゲート電極24からドレイン領域15dまでの距離、並びにゲート電極24からソース領域15sまでの距離が規定される。

【0096】

ドレイン領域15dからサイドウォール37下を介してゲート電極下の一部の領域まで延在する低濃度拡散領域35dは、例えばn型の不純物（例えばヒ素イオン又はリンイオン）が例えば $1 \times 10^{19} / \text{cm}^3$ 程度の濃度となるように注入、拡散することで形成することができる。なお、SOI層11cのアクティブ領域におけるドレイン領域15d及びソース領域15sと低濃度拡散領域35d及び35sとが形成されていない領域は、動作時にチャンネルが形成される領域、すなわちボディ領域36となる。したがって、本実施例によるボディ領域36は、ノンドープの領域又は比較的薄い不純物濃度の領域となる。

【0097】

以上のような構成を有することで、本実施例によるSOI-MOSFET3は、実施例1又は2によるSOI-MOSFET1又は2と比較して、高い耐圧特性を有することができる。その他の構成は、実施例1と同様であるため、ここでは詳細な説明を省略する。

【0098】

・製造方法

次に、本実施例によるSOI-MOSFET3の製造方法を図面と共に詳細に説明する。図13及び図14は、本実施例によるSOI-MOSFET3の製造方法を示すプロセス図である。なお、本実施例による製造方法において、SOI層11c上にゲート絶縁膜13及びゲート電極24を形成するまでの工程は、実施例1における図2(a)から図3(a)及び実施例2における図8(a)から図10(b)を用いて説明した工程と同様であるため、ここでは詳細な説明を省略する。

【0099】

本製造方法では、まず、実施例1において図2(a)から図3(a)を用いて説明したように支持基板11a中に高濃度拡散領域17cを形成した後、実施例2において図8(a)から図10(b)を用いて説明したようにSOI層11c上にゲート絶縁膜13及びゲート電極24を形成する。続いて、例えばCVD法にて膜厚が例えば100程度のシリコン酸化膜305を露出したSOI層11c上及びゲート電極24上に形成する。続いて、図13(a)に示すように、シリコン酸化膜305上から例えばn型の不純物であるヒ素イオン又はリンイオンを例えば5KeV程度に加速して注入することで、SOI層11cにおけるゲート電極24下以外の領域に不純物濃度が例えば $1 \times 10^{19} / \text{cm}^3$ 程度の低濃度拡散領域35d及び35sを形成する。この際、ゲート電極24は不純物注入時のマスクとして機能する。このため、低濃度拡散領域35d及び35sは、自己整合的にゲート電極24下を挟む対の領域に形成される。なお、SOI層11c上に形成したシリコン酸化膜305は、不純物注入時にSOI層11cが受けるダメージを軽減するためのマスクとして機能する。また、注入された不純物は拡散される。

【0100】

次に、シリコン酸化膜205を除去した後、図13(b)に示すように、例えばCVD法にて、膜厚が例えば1000程度以上のシリコン酸化膜37Aを露出したSOI層11c上及びゲート電極24上に形成する。

【0101】

次に、既存の異方性エッチングを行うことで、SOI層11c上及びゲート電極24上に形成したシリコン酸化膜37Aをパターニングする。これにより、図14(a)に示すように、ゲート電極24の両サイドに、ゲート長方向の膜厚が例えば800程度のサイドウォール37が形成される。

10

20

30

40

50

【0102】

次に、例えばCVD法にて、膜厚が例えば100程度のシリコン酸化膜306を露出したSOI層11c上とサイドウォール37上とゲート電極24上にそれぞれ形成する。続いて、図14(b)に示すように、シリコン酸化膜306上から例えばn型の不純物であるヒ素イオン又はリンイオンを例えば10KeV程度に加速して注入することで、SOI層11cにおけるゲート電極24及びサイドウォール37下以外の領域に不純物濃度が例えば $1 \times 10^{20} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ 程度のドレイン領域15d及びソース領域15sを形成する。この際、ゲート電極24及びサイドウォール37は、不純物注入時のマスクとして機能する。このため、ドレイン領域15d及びソース領域15sは、自己整合的にゲート電極24及びサイドウォール37下を挟む一对の領域に形成される。なお、SOI層11c上に形成したシリコン酸化膜306は、不純物注入時にSOI層11cが受けるダメージを軽減するためのマスクとして機能する。また、注入された不純物は拡散される。さらに、ドレイン領域15d及びソース領域15sを形成後、シリコン酸化膜306は除去される。

10

【0103】

以上のような工程を経ることで、図12に示すような本実施例によるSOI-MOSFET3を製造することができる。

【0104】

・作用効果

以上説明したように、本実施例によるSOI-MOSFET3は、支持基板11と、支持基板11a上に形成されたBOX層11bと、BOX層11b上に形成されたSOI層11cとを有するSOI基板11と、支持基板11aに形成された高濃度拡散領域17cと、支持基板11の高濃度拡散領域17cよりも深い領域に形成された高濃度拡散領域17dと、SOI層11c上であって高濃度拡散領域17c上に形成されたゲート電極24と、SOI層11cにおける高濃度拡散領域17d上の領域に形成されたドレイン領域15dと、SOI層11cにおけるゲート電極24下を挟んでドレイン領域15dと反対側の領域に形成されたソース領域15sとを有して構成される。

20

【0105】

また、本実施例によるSOI-MOSFET3の製造方法は、支持基板11aと、支持基板11a上に形成されたBOX層11bと、BOX層11b上に形成されたSOI層11cとを有するSOI基板11を準備し、支持基板11aに高濃度拡散領域17cを形成し、支持基板11aの高濃度拡散領域17cよりも深い領域に高濃度拡散領域17dを形成し、SOI層11c上であって高濃度拡散領域17c上にゲート電極24を形成し、SOI層11cにおける高濃度拡散領域17d上の領域にドレイン領域15dを形成し、SOI層11cにおけるゲート電極24下を挟んでドレイン領域15dと反対側の領域にソース領域15sを形成する。

30

【0106】

このように、支持基板11aにおけるドレイン領域15d下とゲート電極24下との領域それぞれに高濃度拡散領域17d及び17cを形成することで、実施例1及び2と同様に、これら高濃度拡散領域17d及び17cがドレイン領域15dから広がる電界に作用するため、ドレイン領域15dから延びる電界の向きの線がSOI層11c下のBOX層11bを通してゲート電極24下のSOI層11c、すなわち動作時にチャンネルが形成される領域(ボディ領域36)へ貫通することを抑制することが可能となる。すなわち、ドレイン領域15dとボディ領域36との間に形成される寄生容量を低減することが可能となる。これにより、例えばSOI基板11におけるBOX層11bを厚くした場合でも、ドレイン領域15dとボディ領域36との間で形成される寄生容量が増加したり、DIBL効果によりサブスレッシュホールドリーク電流が増加したりしてしまうという問題を回避することができる。

40

【0107】

また、本実施例では、ドレイン領域15d下に形成する高濃度拡散領域17dを、ゲ

50

ト電極 2 4 下に形成する高濃度拡散領域 1 7 c よりも深い領域、言い換えれば、支持基板 1 1 a 上面からある程度深い領域に形成している。これにより、実施例 1 及び 2 と同様に、ドレイン領域 1 5 d と高濃度拡散領域 1 7 d との間で形成される接合容量が増大することを抑制することが可能となる。結果、負荷容量 C L を低減できるため、動作の高速化及び低消費電力化が可能となると共に、高周波動作における信号伝達損失の低減することが可能となる。

【 0 1 0 8 】

また、本実施例では、実施例 1 及び 2 と同様に、支持基板 1 1 a の高濃度拡散領域 1 7 c よりも深く且つ高濃度拡散領域 1 7 c 下を挟んで高濃度拡散領域 1 7 d と反対側の領域に形成された高濃度拡散領域 1 7 s をさらに有し、ソース領域 1 5 s が、S O I 層 1 1 c における高濃度拡散領域 1 7 s 上の領域に形成されている。これにより、実施例 1 及び 2 と同様の効果を奏することが可能となる。

10

【 0 1 0 9 】

また、本実施例では、実施例 1 及び 2 と同様に、高濃度拡散領域 1 7 c が支持基板 1 1 a 上部又は表面に形成されている。これにより、実施例 1 及び 2 と同様の効果を奏することが可能となる。

【 0 1 1 0 】

また、本実施例では、実施例 1 及び 2 と同様に、S O I 層 1 1 c 、すなわちボディ領域 3 6 の不純物濃度を、支持基板 1 1 a の不純物濃度と同じ又は支持基板 1 1 a の不純物濃度と略変わらない濃度としている。これにより、実施例 1 及び 2 と同様の効果を奏することが可能となる。

20

【 0 1 1 1 】

また、本実施例では、実施例 2 と同様に、ゲート電極 2 4 が、高濃度拡散領域 1 7 c 上の一部に形成されたメタルゲート 2 4 a と、高濃度拡散領域 1 7 c 上であってメタルゲート 2 4 a の側面に形成され且つメタルゲート 2 4 a よりも導電率が低いポリシリコンゲート 2 4 b とを有する。これにより、実施例 2 と同様の効果を奏することが可能となる。

【 0 1 1 2 】

また、本実施例による S O I - M O S F E T 3 は、S O I 層 1 1 c におけるゲート電極 2 4 下を挟む一対の領域に形成された、ドレイン領域 1 5 d 及びソース領域 1 5 s よりも不純物濃度が低い低濃度拡散領域 3 5 d 及び 3 5 s と、ゲート電極 2 4 の側面に形成されたサイドウォール 3 7 とをさらに有し、ドレイン領域 1 5 d が高濃度拡散領域 1 7 d 上であってサイドウォール 3 7 下以外の領域に形成され、ソース領域 1 5 s が高濃度拡散領域 1 7 s 上であってサイドウォール 3 7 下以外の領域に形成されている。

30

【 0 1 1 3 】

このように、ゲート電極 2 4 の両サイドにサイドウォール 3 7 を形成し、このサイドウォール 3 7 下、すなわちゲート電極 2 4 とドレイン領域 1 5 d 又はソース領域 1 5 s との間に低濃度拡散領域 3 5 d 又は 3 5 s をそれぞれ形成することで、S O I - M O S F E T 3 の耐圧特性を、例えば実施例 1 又は 2 による S O I - M O S F E T 1 又は 2 よりも高くすることが可能となる。

【 0 1 1 4 】

また、本実施例では、低濃度拡散領域 3 5 d 及び 3 5 s 下だけでなく、ゲート電極 2 4 下及びドレイン領域 1 5 d (ソース領域 1 5 s を含んでも良い)下にも高濃度拡散領域 1 7 c 及び 1 7 d (1 7 s を含んでも良い)が形成されているため、ドレイン領域 1 5 d から延びる電界の向きの線が S O I 層 1 1 c 下の B O X 層 1 1 b を通ってボディ領域 3 6 へ貫通することを、より効果的に抑制することが可能となる。

40

【 0 1 1 5 】

なお、本実施例では、上述したように実施例 2 による S O I - M O S F E T 2 を引用した場合を例示したが、本発明はこれに限定されず、例えば実施例 1 による S O I - M O S F E T 1 を引用することも可能である。

【 0 1 1 6 】

50

また、上記実施例 1 から実施例 3 は本発明を実施するための例にすぎず、本発明はこれらに限定されるものではなく、これらの実施例を種々変形することは本発明の範囲内であり、更に本発明の範囲内において、他の様々な実施例が可能であることは上記記載から自明である。

【図面の簡単な説明】

【0117】

【図 1】本発明の実施例 1 による半導体装置である SOI-MOSFET の概略構成を示す図であり、SOI-MOSFET をゲート幅方向と垂直な面で切断した際の断面構造を示す図である。

【図 2】本発明の実施例 1、2 または 3 による SOI-MOSFET の製造方法を示すプロセス図である (1)。

【図 3】本発明の実施例 1、2 または 3 による SOI-MOSFET の製造方法を示すプロセス図である (2)。

【図 4】本発明の実施例 1 による SOI-MOSFET の製造方法を示すプロセス図である (3)。

【図 5】本発明の実施例 1 による SOI-MOSFET の製造方法を示すプロセス図である (4)。

【図 6】本発明の実施例 2 による半導体装置である SOI-MOSFET の概略構成を示す図であり、SOI-MOSFET をゲート幅方向と垂直な面で切断した際の断面構造を示す図である。

【図 7】本発明の実施例 2 または 3 による SOI-MOSFET の製造方法を示すプロセス図である (1)。

【図 8】本発明の実施例 2 または 3 による SOI-MOSFET の製造方法を示すプロセス図である (2)。

【図 9】本発明の実施例 2 または 3 による SOI-MOSFET の製造方法を示すプロセス図である (3)。

【図 10】本発明の実施例 2 または 3 による SOI-MOSFET の製造方法を示すプロセス図である (4)。

【図 11】本発明の実施例 2 による SOI-MOSFET の製造方法を示すプロセス図である (5)。

【図 12】本発明の実施例 3 による半導体装置である SOI-MOSFET の概略構成を示す図であり、SOI-MOSFET をゲート幅方向と垂直な面で切断した際の断面構造を示す図である。

【図 13】本発明の実施例 3 による SOI-MOSFET の製造方法を示すプロセス図である (1)。

【図 14】本発明の実施例 3 による SOI-MOSFET の製造方法を示すプロセス図である (2)。

【符号の説明】

【0118】

1、2、3 SOI-MOSFET

11 SOI 基板

11a 支持基板

11b BOX 層

11c SOI 層

12 素子分離絶縁膜

13 ゲート絶縁膜

13A シリコン酸化膜

14、24 ゲート電極

14A、24A 導体膜

15d ドレイン領域

10

20

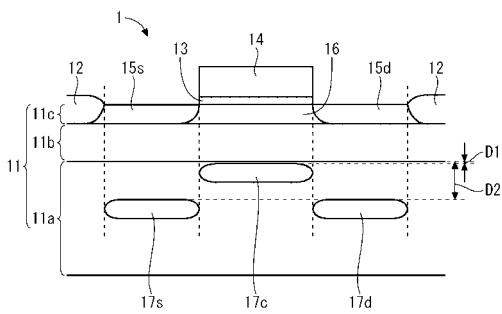
30

40

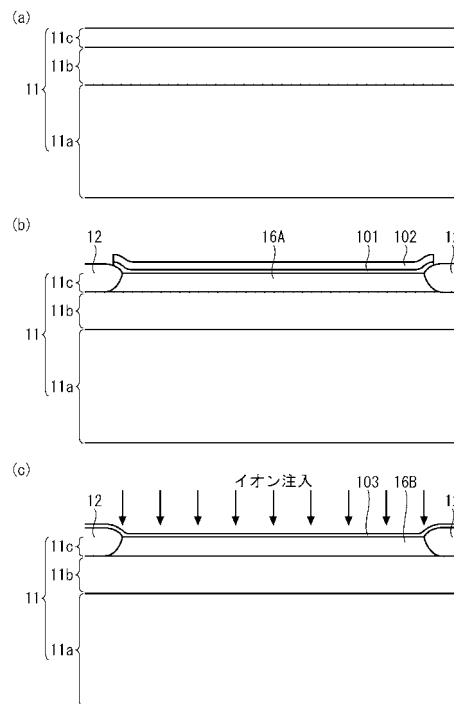
50

- 15s ソース領域
- 16、36 ボディ領域
- 16A、16B シリコン薄膜
- 17c、17d、17s 高濃度拡散領域
- 24a メタルゲート
- 24b ポリシリコンゲート
- 24B、24C ポリシリコン膜
- 35d、35s 低濃度拡散領域
- 37 サイドウォール
- 37A シリコン酸化膜
- 101、103、105、205、305、306 シリコン酸化膜
- 102、104、204 シリコン窒化膜
- R11、R21、R22 レジストパターン

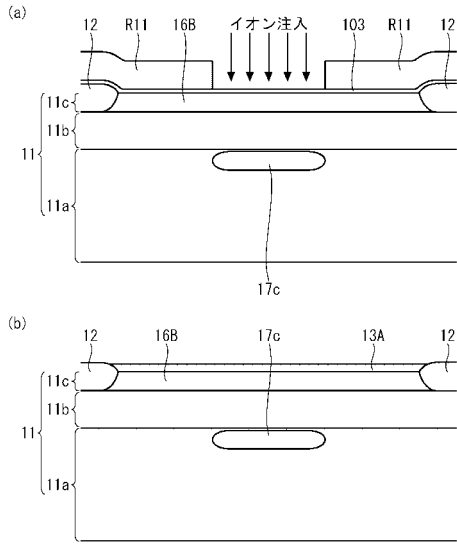
【図1】



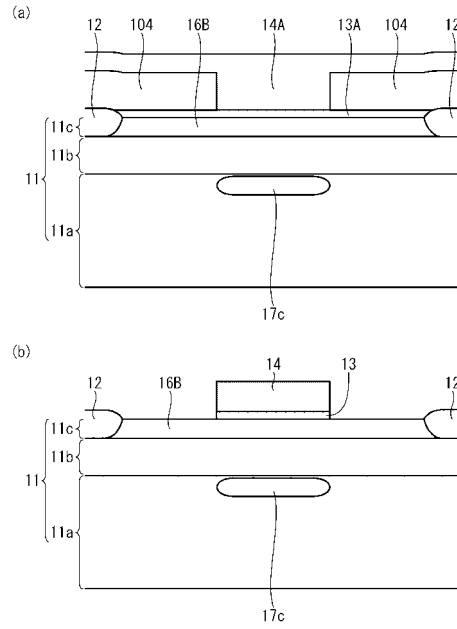
【図2】



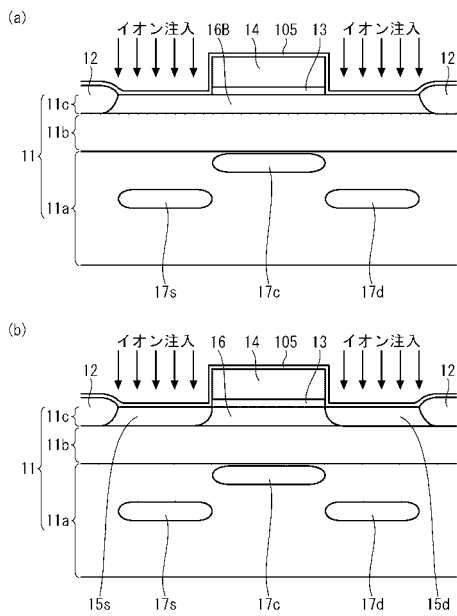
【 図 3 】



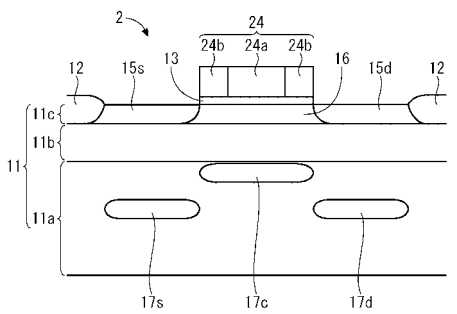
【 図 4 】



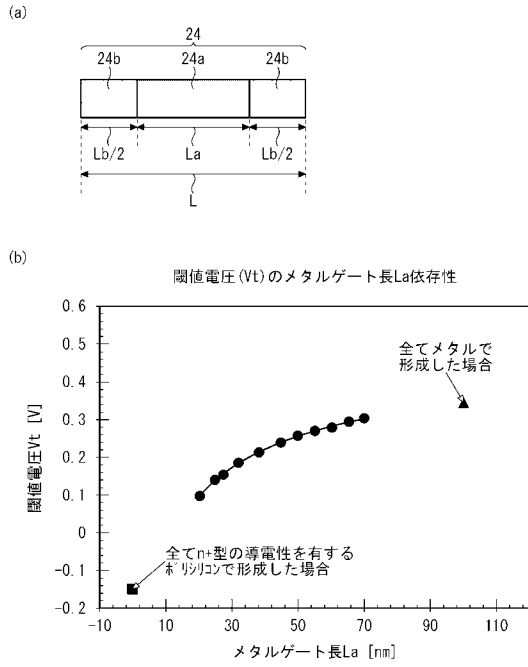
【 図 5 】



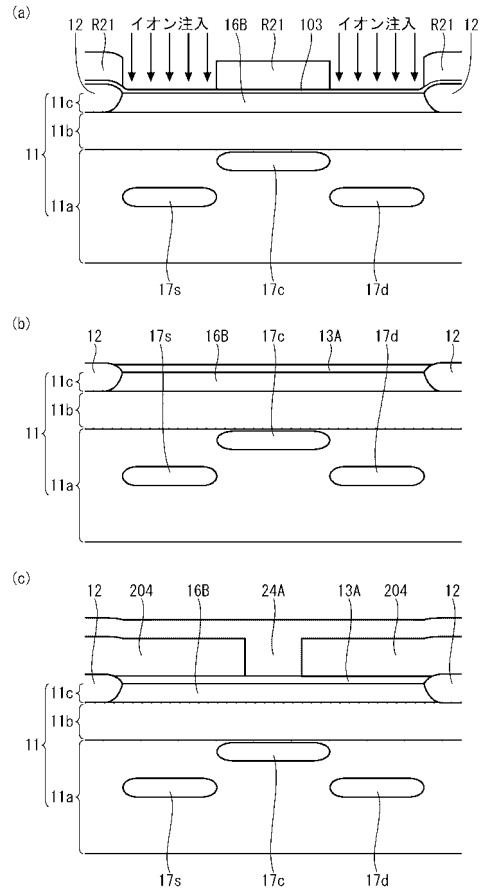
【 図 6 】



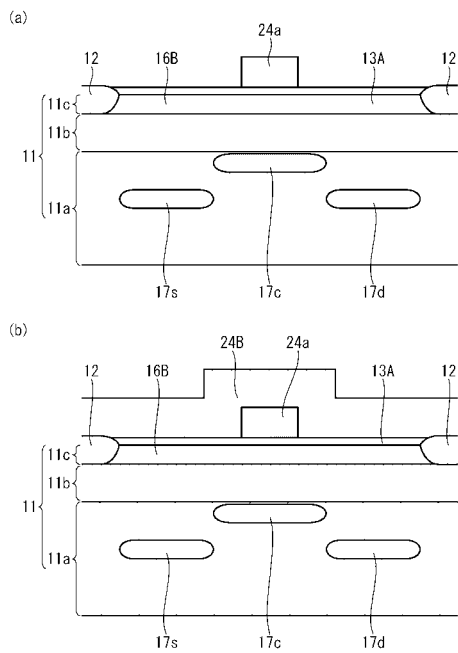
【 図 7 】



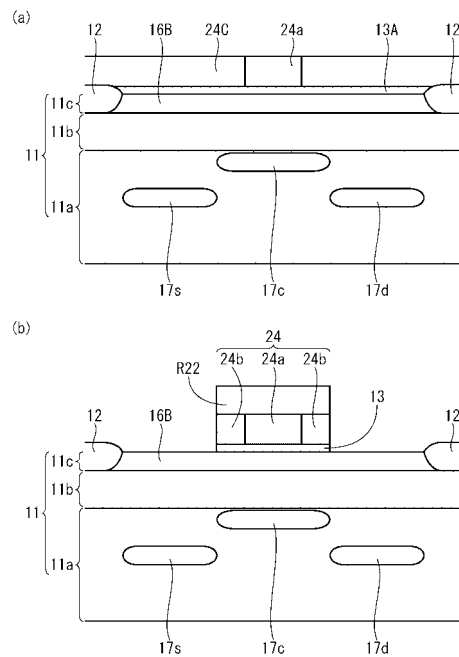
【 図 8 】



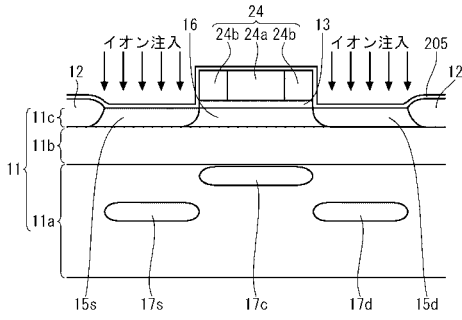
【 図 9 】



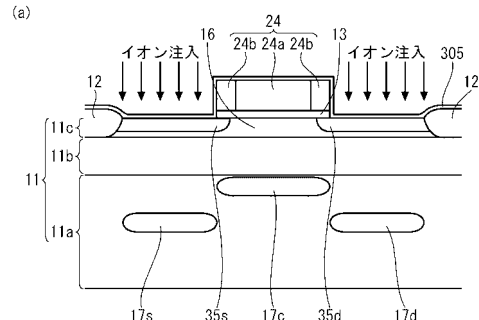
【 図 10 】



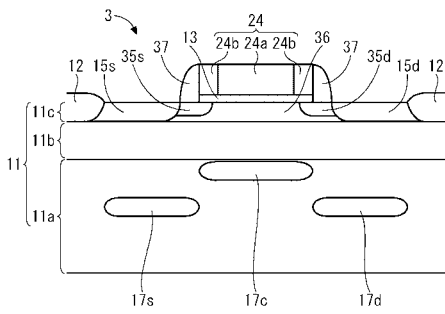
【図 1 1】



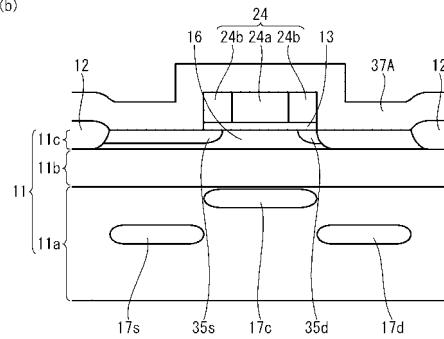
【図 1 3】



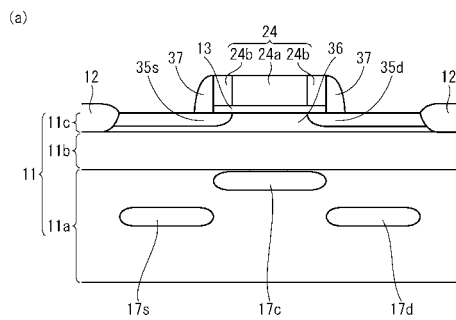
【図 1 2】



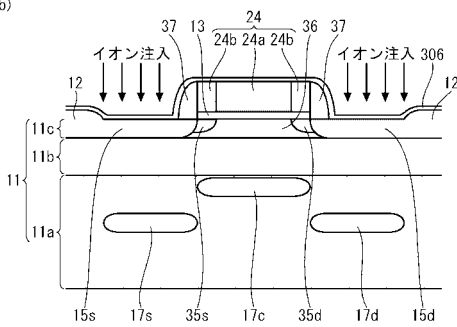
(b)



【図 1 4】



(b)



フロントページの続き

F ターム(参考) 4M104 AA01 AA09 BB01 BB02 BB14 BB40 CC05 DD04 DD43 DD63
DD75 FF06 GG09 GG10 GG14 HH20
5F110 AA02 AA06 AA07 AA08 AA15 CC02 DD05 DD06 DD13 DD24
EE03 EE04 EE06 EE09 EE12 EE28 EE32 EE45 EE48 FF02
FF23 FF29 GG02 GG25 GG32 GG34 GG52 GG53 HJ01 HJ04
HJ13 HJ15 HJ23 HM15 NN65 NN66 QQ11