



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0111163
(43) 공개일자 2007년11월21일

(51) Int. Cl.

H03M 1/12 (2006.01) H03K 3/02 (2006.01)

(21) 출원번호 10-2006-0044183

(22) 출원일자 2006년05월17일

심사청구일자 2006년05월17일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

최원호

서울 양천구 신정6동 목동아파트 1421동 1506호

김수원

서울 성북구 돈암동 636번지 브라운스톤 돈암아파트 104동 401호

(74) 대리인

현중철

전체 청구항 수 : 총 12 항

(54) 프로그래머블 클럭 발생기 및 프로그래머블 클럭 발생기를이용하는 파이프라인 변환기

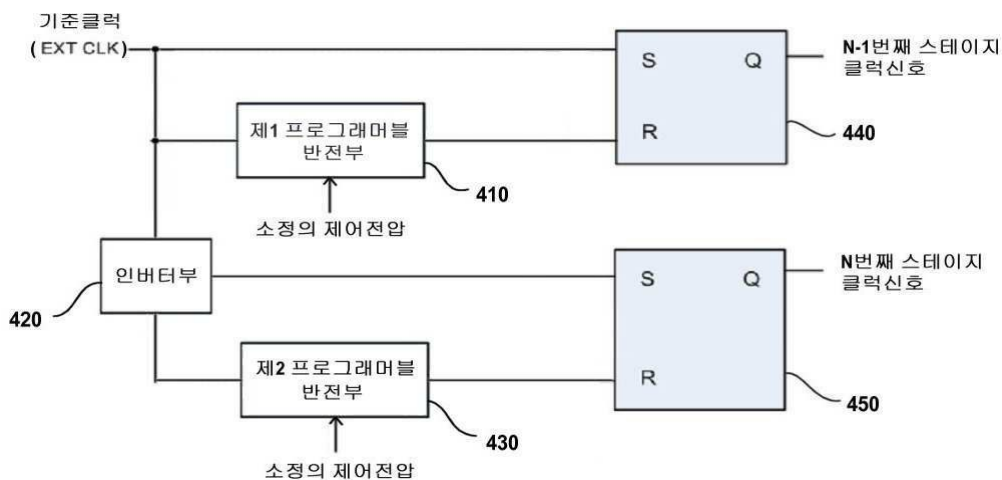
(57) 요약

프로그래머블 클럭 발생기 및 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기가 개시된다.

본 발명은 입력단이 기준 클럭에 연결되고, 소정의 제어 전압에 따라 상기 기준 클럭을 반전시키는 구간을 가변시키는 제1 프로그래머블 반전부, 상기 기준 클럭에 연결되어 상기 기준 클럭을 반전시키는 인버터부, 상기 인버터부에 입력단이 연결되고, 소정의 제어 전압에 따라 상기 입력단 신호를 반전시키는 구간을 가변시키는 제2 프로그래머블 반전부, 셋 입력이 상기 기준 클럭에 연결되고, 리셋 입력이 상기 제1 프로그래머블 반전부의 출력에 연결된 제1 래치 회로 및 셋 입력이 상기 인버터부에 연결되고, 리셋 입력이 상기 제2 프로그래머블 반전부의 출력에 연결된 제2 래치 회로를 포함한다.

본 발명에 의하면, 파이프 라인 ADC 회로의 선형성을 유지하면서, 고 해상도 ADC를 구현할 수 있게 하면서도 전력 소모를 낮출 수 있고, 전력 소모에 따라 제어 전압을 변경시켜 최적의 듀티비를 갖는 클럭 신호를 사용함으로써, 전력 소모를 최소화할 수 있는 효과가 있다.

대표도 - 도4



특허청구의 범위

청구항 1

입력단이 기준 클럭에 연결되고, 소정의 제어 전압에 따라 상기 기준 클럭을 반전시키는 구간을 가변시키는 제1 프로그래머블 반전부;

상기 기준 클럭에 연결되어 상기 기준 클럭을 반전시키는 인버터부;

상기 인버터부에 입력단이 연결되고, 소정의 제어 전압에 따라 상기 입력단 신호를 반전시키는 구간을 가변시키는 제2 프로그래머블 반전부;

셋 입력이 상기 기준 클럭에 연결되고, 리셋 입력이 상기 제1 프로그래머블 반전부의 출력에 연결된 제1 래치 회로; 및

셋 입력이 상기 인버터부에 연결되고, 리셋 입력이 상기 제2 프로그래머블 반전부의 출력에 연결된 제2 래치 회로를 포함하는 프로그래머블 클럭 발생기.

청구항 2

제 1 항에 있어서,

상기 제1 프로그래머블 반전부 및 상기 제2 프로그래머블 반전부는

입력되는 신호를 반전시킨 전류가 그라운드로 흐르는 양을 소정의 제어 전압에 따라 가변시키는 가변 인버터 회로 및 입력되는 신호를 반전시키는 인버터 회로가 교대로 배치되는 것을 특징으로 하는 프로그래머블 클럭 발생기.

청구항 3

입력단이 기준 클럭에 연결되고, 소정의 제어 전압에 따라 상기 기준 클럭을 딜레이시키는 구간을 가변시키는 제1 프로그래머블 딜레이부;

상기 기준 클럭에 연결되어 상기 기준 클럭을 반전시키는 인버터부;

상기 인버터부에 입력단이 연결되고, 소정의 제어 전압에 따라 상기 기준 클럭을 딜레이시키는 구간을 가변시키는 제2 프로그래머블 딜레이부;

셋 입력이 상기 기준 클럭에 연결되고, 리셋 입력이 상기 제1 프로그래머블 딜레이부의 출력에 연결된 제3 래치 회로; 및

셋 입력이 상기 인버터부에 연결되고, 리셋 입력이 상기 제2 프로그래머블 딜레이부의 출력에 연결된 제4 래치 회로를 포함하는 프로그래머블 클럭 발생기.

청구항 4

제 3 항에 있어서,

상기 제1 프로그래머블 딜레이부 및 상기 제2 프로그래머블 딜레이부는

입력되는 신호를 반전시키는 인버터 회로가 복수로 배치되고, 입력되는 신호를 반전시킨 전류가 그라운드로 흐르는 양을 소정의 제어 전압에 따라 가변시키는 가변 인버터 회로가 연속하여 배치되는 것을 특징으로 하는 프로그래머블 클럭 발생기.

청구항 5

소정의 정수 M 이하의 임의의 정수 N 에 대하여,

아날로그 신호를 대응하는 M 비트의 비트값으로 변환시키는 M 스테이지의 파이프 라인 아날로그 디지털 변환부;

입력단이 기준 클럭에 연결되고, 소정의 제어 전압에 따라 상기 기준 클럭을 반전시키는 구간을 가변시키는 제1 프로그래머블 반전부;

상기 기준 클럭에 연결되어 상기 기준 클럭을 반전시키는 인버터부;

상기 인버터부에 입력단이 연결되고, 소정의 제어 전압에 따라 상기 입력단 신호를 반전시키는 구간을 가변시키는 제2 프로그래머블 반전부;

셋 입력이 상기 기준 클럭에 연결되고 리셋 입력이 상기 제1 프로그래머블 반전부의 출력에 연결되어, 출력신호를 상기 파이프 라인 아날로그 디지털 변환부의 N-1 번째 스테이지 클럭 입력에 인가하는 제1 래치 회로;

셋 입력이 상기 인버터부에 연결되고 리셋 입력이 상기 제2 프로그래머블 반전부의 출력에 연결되어, 출력신호를 상기 파이프 라인 아날로그 디지털 변환부의 N 번째 스테이지 클럭 입력에 인가하는 제2 래치 회로를 포함하는 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기.

청구항 6

제 5 항에 있어서,

상기 제1 프로그래머블 반전부 및 상기 제2 프로그래머블 반전부는

입력되는 신호를 반전시킨 전류가 그라운드로 흐르는 양을 소정의 제어 전압에 따라 가변시키는 가변 인버터 회로 및 입력되는 신호를 반전시키는 인버터 회로가 교대로 배치되는 것을 특징으로 하는 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기.

청구항 7

제 5 항에 있어서,

상기 파이프 라인 아날로그 디지털 변환부의 샘플 커패시터에 상기 아날로그 신호가 충전되는 샘플링 구간보다 증폭 구간을 길게 하는 소정의 제어 전압을 상기 제1 프로그래머블 반전부 및 상기 제2 프로그래머블 반전부에 인가하는 제어전압 인가부를 더 포함하는 것을 특징으로 하는 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기.

청구항 8

제 5 항에 있어서,

상기 파이프 라인 아날로그 디지털 변환부의 소모 전력을 측정하는 전력 측정부; 및

상기 측정된 소모 전력의 크기에 따라 상기 소정의 제어 전압의 크기를 조절하는 피드백부를 더 포함하는 것을 특징으로 하는 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기.

청구항 9

소정의 정수 M 이하의 임의의 정수 N 에 대하여,

아날로그 신호를 대응하는 M 비트의 비트값으로 변환시키는 M 스테이지의 파이프 라인 아날로그 디지털 변환부;

입력단이 기준 클럭에 연결되고, 소정의 제어 전압에 따라 상기 기준 클럭을 딜레이시키는 구간을 가변시키는 제1 프로그래머블 딜레이부;

상기 기준 클럭에 연결되어 상기 기준 클럭을 반전시키는 인버터부;

상기 인버터부에 입력단이 연결되고, 소정의 제어 전압에 따라 상기 기준 클럭을 딜레이시키는 구간을 가변시키는 제2 프로그래머블 딜레이부;

셋 입력이 상기 기준 클럭에 연결되고 리셋 입력이 상기 제1 프로그래머블 딜레이부의 출력에 연결되어, 출력신호를 상기 파이프 라인 아날로그 디지털 변환부의 N-1 번째 스테이지 클럭 입력에 인가하는 제3 래치 회로; 및

셋 입력이 상기 인버터부에 연결되고 리셋 입력이 상기 제2 프로그래머블 딜레이부의 출력에 연결되어, 출력신호를 상기 파이프 라인 아날로그 디지털 변환부의 N 번째 스테이지 클럭 입력에 인가하는 제4 래치 회로를 포함하는 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기.

청구항 10

제 9 항에 있어서,

상기 제1 프로그래머블 딜레이부 및 상기 제2 프로그래머블 딜레이부는

입력되는 신호를 반전시키는 인버터 회로가 복수로 배치되고, 입력되는 신호를 반전시킨 전류가 그라운드로 흐르는 양을 소정의 제어 전압에 따라 가변시키는 가변 인버터 회로가 연속하여 배치되는 것을 특징으로 하는 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기.

청구항 11

제 9 항에 있어서,

상기 파이프 라인 아날로그 디지털 변환부의 샘플 커패시터에 상기 아날로그 신호가 충전되는 샘플링 구간보다 증폭 구간을 길게 하는 소정의 제어 전압을 상기 제1 프로그래머블 딜레이부 및 상기 제2 프로그래머블 딜레이부에 인가하는 제어전압 인가부를 더 포함하는 것을 특징으로 하는 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기.

청구항 12

제 9 항에 있어서,

상기 파이프 라인 아날로그 디지털 변환부의 소모 전력을 측정하는 전력 측정부; 및

상기 측정된 소모 전력의 크기에 따라 상기 소정의 제어 전압의 크기를 조절하는 피드백부를 더 포함하는 것을 특징으로 하는 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 클럭 발생기에 관한 것으로, 특히, 프로그래머블 클럭 발생기 및 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기에 관한 것이다.
- <16> 현재 저전력 파이프라인 ADC(Analog to Digital Convertor)를 구현하고자 하는 많은 연구들이 전력소모를 많이 차지하는 앰프(Amp) 분야에 집중적으로 이루어지고 있으며 다음과 같은 여러 가지 방법들이 제시되고 있다.
- <17> 첫 번째 방법은 앰프(Amp)를 공유해 사용하는 것인데, 엠디에이씨(MDAC)의 Op앰프(Amp)가 Holding 즉 증폭(Amplification) 주기 동안만 사용 되고, 이때, 인접한 엠디에이씨(MDAC)의 스테이지(Stage)는 동일한 시간에서 서로 반대의 클럭 신호를 가지고 그 기능을 수행하게 된다. 따라서 인접한 두 스테이지(Stage)의 엠디에이씨(MDAC)에서 각각의 증폭(Amplification) 주기 동안 하나의 Op앰프(Amp)를 나누어 사용하게 된다.
- <18> 이러한 방법은 전체 스테이지(Stage)에서 사용하는 Op앰프(Amp)의 개수를 절반으로 줄일 수 있어서 전력 소모를 크게 줄일 수 있지만, 여러 다른 단점이 존재하게 된다.
- <19> 먼저, 추가적인 스위치가 필요하게 되며, 이러한 스위치는 직렬 저항성분을 가지게 되고, 입력 단의 샘플링 커패시터와 함께 매 스테이지(Stage)의 Settling 특성을 저하 시키는 요인이 된다. 또한 고속의 동작을 요구할 경우 온 저항의 영향을 더욱 증가 시키게 됨으로써 회로의 선형성을 감소시키는 원인이 되기도 한다. 물론 스위치의 크기를 조절함으로써 이러한 영향을 줄일 수는 있으나 이러한 크기를 증가시키는 방법 역시 차지 인젝션(Charge injection)과 클럭 피드쓰루(Clock feed through) 등의 특성을 증가시키는 트레이드 오프(Trade off) 관계를 갖게 된다. 따라서 이러한 스위치에 증가는 많은 여러 요인을 줄이기 위한 추가적인 정교한 설계를 요구하게 된다.
- <20> 앰프(Amp)에서 소모하는 전력을 줄이기 위한 두 번째 방법으로 뺄셈기(Subtractor)를 이용한 개방 루프(Open loop) 구조로 이득을 구현하는 방법이 있다.
- <21> 도 1은 종래 파이프 라인 변환기에서 하나의 스테이지를 도시한 회로도이다.

- <22> 샘플링 페이즈(sampling phase, $\Phi 1$) 또는 홀딩 페이즈(holding phase, $\Phi 2$)에 따라 개폐되는 복수의 스위치와 각 스테이지는 ADC(110), DAC(120), 증폭부(130)를 포함한다.
- <23> 샘플링 페이즈(sampling phase, $\Phi 1$) 동안, 아날로그 입력 신호는 샘플링 커패시터(Cs)에 의해 샘플링된다. 이때, MSB(Most Significant Bit)는 아날로그 입력 신호와 기준값을 비교하여 결정된다.
- <24> 홀딩 페이즈(holding phase, $\Phi 2$) 동안, 커패시터는 DAC(120) 출력 쪽으로 스위치되고, 잔류 성분은 증폭되어 기준값과 비교된다.
- <25> 다음 스테이지는 이전 스테이지와 반대의 페이즈에서 동일한 동작을 수행한다.
- <26> 도 2a는 도 1에 사용되는 클럭 신호($\Phi 1$, $\Phi 2$) 및 출력 신호(Vres(1))의 타이밍도이다.
- <27> 도 2a는 일반적인 50%/50%의 듀티(duty)를 갖는 클럭 신호를 인가하였을 경우, 엠디에이씨(MDAC)의 출력 결과를 나타낸다. 엠디에이씨(MDAC)의 증폭(Amplification) 주기 동안에 세틀링(Settling)이 진행되고 있으나 높은 해상도를 만족하기 위해서는 더욱 빠른 세틀링(Settling) 시간이 요구됨을 알 수 있다. 따라서, 이러한 결과는 더욱 넓은 단위 이득 주파수를 갖는 오프앰프(Amp)를 필요로 하게 된다.
- <28> 도 2b는 도 2a에 대한 시뮬레이션 결과를 나타내는 그래프이다.
- <29> 따라서, 종래의 파이프 라인 변환기는 트랜지스터가 갖는 채널 길이 모듈레이션(Channel length modulation)과 미스 매치(Mismatch)등의 특성에 따라 이득이 민감하게 변화하여, 전체 회로의 선형성을 유지하기가 매우 어렵고, 고 해상도를 요구하는 ADC의 구현에는 그 응용이 제한되며, 전력 소모가 크게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <30> 따라서, 본 발명이 이루고자 하는 첫번째 기술적 과제는 파이프 라인 ADC 회로의 선형성을 유지하고, 고 해상도 ADC를 구현할 수 있게 하면서도 전력 소모를 낮출 수 있는 프로그래머블 클럭 발생기를 제공하는데 있다.
- <31> 본 발명이 이루고자 하는 두번째 기술적 과제는 상기의 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기를 제공하는데 있다.

발명의 구성 및 작용

- <32> 상기의 첫번째 기술적 과제를 해결하기 위하여, 본 발명은 입력단이 기준 클럭에 연결되고, 소정의 제어 전압에 따라 상기 기준 클럭을 반전시키는 구간을 가변시키는 제1 프로그래머블 반전부, 상기 기준 클럭에 연결되어 상기 기준 클럭을 반전시키는 인버터부, 상기 인버터부에 입력단이 연결되고, 소정의 제어 전압에 따라 상기 입력단 신호를 반전시키는 구간을 가변시키는 제2 프로그래머블 반전부, 셋 입력이 상기 기준 클럭에 연결되고, 리셋 입력이 상기 제1 프로그래머블 반전부의 출력에 연결된 제1 래치 회로 및 셋 입력이 상기 인버터부에 연결되고, 리셋 입력이 상기 제2 프로그래머블 반전부의 출력에 연결된 제2 래치 회로를 포함하는 프로그래머블 클럭 발생기를 제공한다.
- <33> 또한, 상기의 첫번째 기술적 과제를 해결하기 위하여, 본 발명은 입력단이 기준 클럭에 연결되고, 소정의 제어 전압에 따라 상기 기준 클럭을 딜레이시키는 구간을 가변시키는 제1 프로그래머블 딜레이부, 상기 기준 클럭에 연결되어 상기 기준 클럭을 반전시키는 인버터부, 상기 인버터부에 입력단이 연결되고, 소정의 제어 전압에 따라 상기 기준 클럭을 딜레이시키는 구간을 가변시키는 제2 프로그래머블 딜레이부, 셋 입력이 상기 기준 클럭에 연결되고, 리셋 입력이 상기 제1 프로그래머블 딜레이부의 출력에 연결된 제3 래치 회로 및 셋 입력이 상기 인버터부에 연결되고, 리셋 입력이 상기 제2 프로그래머블 딜레이부의 출력에 연결된 제4 래치 회로를 포함하는 프로그래머블 클럭 발생기를 제공한다.
- <34> 한편, 상기의 두번째 기술적 과제를 해결하기 위하여, 본 발명은 소정의 정수 M 이하의 임의의 정수 N 에 대하여, 아날로그 신호를 대응하는 M 비트의 비트값으로 변환시키는 M 스테이지의 파이프 라인 아날로그 디지털 변환부, 입력단이 기준 클럭에 연결되고, 소정의 제어 전압에 따라 상기 기준 클럭을 반전시키는 구간을 가변시키는 제1 프로그래머블 반전부, 상기 기준 클럭에 연결되어 상기 기준 클럭을 반전시키는 인버터부, 상기 인버터부에 입력단이 연결되고, 소정의 제어 전압에 따라 상기 입력단 신호를 반전시키는 구간을 가변시키는 제2 프로그래머블 반전부, 셋 입력이 상기 기준 클럭에 연결되고 리셋 입력이 상기 제1 프로그래머블 반전부의 출력에 연결되어, 출력신호를 상기 파이프 라인 아날로그 디지털 변환부의 N-1 번째 스테이지 클럭 입력에 인가하는 제 1 래치 회로 및 셋 입력이 상기 인버터부에 연결되고 리셋 입력이 상기 제2 프로그래머블 반전부의 출력에 연결

되어, 출력신호를 상기 파이프 라인 아날로그 디지털 변환부의 N 번째 스테이지 클럭 입력에 인가하는 제2 래치 회로를 포함하는 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기를 제공한다.

- <35> 또한, 상기의 두번째 기술적 과제를 해결하기 위하여, 본 발명은 소정의 정수 M 이하의 임의의 정수 N 에 대하여, 아날로그 신호를 대응하는 M 비트의 비트값으로 변환시키는 M 스테이지의 파이프 라인 아날로그 디지털 변환부, 입력단이 기준 클럭에 연결되고, 소정의 제어 전압에 따라 상기 기준 클럭을 딜레이시키는 구간을 가변시키는 제1 프로그래머블 딜레이부, 상기 기준 클럭에 연결되어 상기 기준 클럭을 반전시키는 인버터부, 상기 인버터부에 입력단이 연결되고, 소정의 제어 전압에 따라 상기 기준 클럭을 딜레이시키는 구간을 가변시키는 제2 프로그래머블 딜레이부, 셋 입력이 상기 기준 클럭에 연결되고 리셋 입력이 상기 제1 프로그래머블 딜레이부의 출력에 연결되어, 출력신호를 상기 파이프 라인 아날로그 디지털 변환부의 N-1 번째 스테이지 클럭 입력에 인가하는 제3 래치 회로 및 셋 입력이 상기 인버터부에 연결되고 리셋 입력이 상기 제2 프로그래머블 딜레이부의 출력에 연결되어, 출력신호를 상기 파이프 라인 아날로그 디지털 변환부의 N 번째 스테이지 클럭 입력에 인가하는 제4 래치 회로를 포함하는 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기를 제공한다.
- <36> 본 발명은 종래의 파이프 라인 변환기의 문제점을 해결하게 위하여, 저전력 소모를 구현하고, 별도의 회로를 필요로 하지 않으면서, 전체 회로의 선형성을 유지할 수 있는 새로운 방식의 샘플/홀드 방식의 시간기법을 제공한다.
- <37> 본 발명에 따른 샘플/홀드 시간 기법 즉, 프로그래머블 클럭 발생기는 파이프라인 ADC의 가장 큰 전력을 소모하는 부분인 엠디에이씨(MDAC)의 전력소모를 줄여 별도의 회로 설계를 필요로 하지 않으면서, 저전력 파이프라인 ADC를 설계할 수 있어 유무선 통신시스템, 디지털 영상 기기 등의 모바일 분야에 응용이 가능하다.
- <38> 이하에서는 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다.
- <39> 도 3은 본 발명이 적용되는 파이프 라인 변환기의 블록도이다.
- <40> 파이프라인 변환기 즉, 파이프라인 ADC는 처음 입력단에 아날로그 입력을 대응하는 DC값으로 바꾸어 주는 샘플 & 홀드를 포함하고, 비교기, 서브 A/D 변환기, 서브 D/A 변환기, 뺄셈기 및 게인(Gain) 앰프(Amp)를 포함한다. 특히, D/A 변환기와 뺄셈기 그리고 게인(Gain) 앰프(Amp)를 합쳐서 엠디에이씨(MDAC) 라고 한다.
- <41> 딜레이 셀과 같은 D 플립 플롭(D-flip flops)은 각 스테이지에서의 디지털 출력을 지연시키고 서로 동기화시키기 위해 사용된다.
- <42> 각 스테이지는 본 발명에 따른 프로그래머블 클럭 발생기에 의한 클럭 신호에 동기된다.
- <43> 엠디에이씨(MDAC)의 Op앰프(Amp)가 동작하는 것은 단지 홀드 모드 즉, 증폭(Amplification) 주기에 국한되므로 샘플링 주기의 일부를 증폭(Amplification) 주기에 사용하는 클럭 신호를 제공한다. 이때, 듀티 사이클(duty cycle)은 50%/50%이 아니다.
- <44> 본 발명에 따른 클럭신호를 25/75%의 듀티 사이클을 갖는 경우를 예로 설명하면 다음과 같다.
- <45> 1주기가 20ns이라면, 50%/50%의 듀티 사이클(duty cycle)을 갖는 일반적인 클럭에 비해, 25/75%의 듀티 사이클을 갖는 클럭 신호는 입력 신호가 샘플 커패시터에 완전히 충전되는 5ns의 샘플링 시간을 가지고, 15ns의 증폭(Amplification)의 주기를 가진다. 따라서, 25/75%의 듀티 사이클을 갖는 경우, 5ns 만큼의 세틀링(Settling) 시간에 대한 마진(Margin)이 증가함을 알 수 있다.
- <46> 폐 루프(Closed loop) 구조에 사용되는 Op앰프(Amp)의 특성과 세틀링(Settling) 시간 사이에는 다음의 수학적 식 1, 수학적 식 2 및 수학적 식 3과 같은 관계가 성립함을 알 수 있다.

수학적 식 1

$$V_{out}(t) = V_{step} (1 - e^{-t/\tau}) \quad \tau = \frac{1}{W_{-3dB}} = \frac{1}{\beta W_{ta}}$$

<47>

수학식 2

$$|A(jW_{ta})| = 1 = \frac{A_o}{W_{ta} / W_{pl}}, \quad (W_{ta} \gg W_{pl})$$

<48>

수학식 3

$$W_{ta} \simeq A_o W_{pl}$$

<49>

<50>

따라서 제한된 증폭(Amplification)의 시간 동안에 출력 값을 각 비트에서 요구되는 해상도 이내의 값으로 세틀링(Settling) 하기 위해서는 매우 넓은 단위 이득 주파수가 요구된다. 그러나 이러한 높은 성능을 가진 Op앰프(Amp)의 경우 전류의 소모가 커져 전력 소모 또한 늘어날 뿐 만 아니라, 설계하는 것 역시 매우 어려운 단점을 갖게 된다. 그러나, 25%/75%의 듀티 사이클(duty cycle)을 갖는 클럭 신호는 저전력 Op앰프(Amp)의 사용을 가능하게 하여, 파이프라인 ADC의 전력 소모를 줄일 수 있다.

<51>

25%/75%의 듀티(duty) 비를 갖는 클럭 방식은 기존의 증폭(Amplification) 시간의 150%의 시간을 갖게 되므로 이러한 세틀링(Settling) 시간의 마진으로 인해서 보다 적은 단위 이득 주파수를 갖는 저전력의 Op앰프(Amp)를 통해서도 충분히 안정적인 출력 값을 갖게 된다.

<52>

또한, 각 비트에서 처리되는 디지털 값 역시 엠디에이씨(MDAC)의 증폭(Amplification)과 동일한 시간에 동작이 이루어지게 되므로 증가한 시간의 마진은 디지털 기능 블록의 지연 시간 역시 보다 넓은 마진(Margin)을 제공한다. 따라서, 디지털 블록들의 설계 역시 보다 쉽게 진행할 수 있는 장점을 갖게 된다. 또한, 25%/75%의 듀티(duty) 비를 갖는 클럭 방식을 구현하기 위한 추가적인 전력 소모는 거의 무시할 수 있다.

<53>

도 4는 본 발명의 일 실시예에 따른 프로그래머블 클럭 발생기의 블록도이다.

<54>

제1 프로그래머블 반전부(410)는 입력단이 기준 클럭(EXT CLK)에 연결되고, 소정의 제어 전압에 따라 기준 클럭(EXT CLK)을 반전시키는 구간을 가변시킨다.

<55>

인버터부(420)는 기준 클럭(EXT CLK)에 연결되어 기준 클럭(EXT CLK)을 반전시켜 출력한다.

<56>

제2 프로그래머블 반전부(430)는 인버터부(420)에 입력단이 연결되고, 소정의 제어 전압에 따라 입력단 신호를 반전시키는 구간의 길이를 가변시킨다.

<57>

제1 래치 회로(440)는 셋 입력이 기준 클럭(EXT CLK)에 연결되고, 리셋 입력이 제1 프로그래머블 반전부(410)의 출력에 연결된다.

<58>

제2 래치 회로(450)는 셋 입력이 인버터부(420)에 연결되고, 리셋 입력이 제2 프로그래머블 반전부(430)의 출력에 연결된다.

<59>

제1 래치 회로(440) 및 제2 래치 회로(450)의 입력과 출력은 표 1과 같다.

표 1

<60>

S	R	Q	$\overline{Q}$
L	L	Q(n-1)	$\overline{Q}_{(n-1)}$
L	H	L	H
H	L	H	L
H	H	not allowed	

- <61> 표 1에서, S는 셋 입력, R은 리셋 입력, Q는 출력, $\overline{Q}$ 는 반전 출력을 나타낸다. 또한, L은 로우 레벨, H는 하이 레벨을 나타낸다. $Q(n-1)$, $\overline{Q}(n-1)$ 는 이전 레벨을 그대로 유지한다는 것을 나타낸다.
- <62> 도 5a는 도 4의 상세 회로도이다.
- <63> 도 5a는 펄스 쉬링크(pulse shrink) 회로를 이용한 프로그래머블 클럭 발생기(programmable clock generator)를 도시한 것이다.
- <64> 제어 전압(Vcont)을 외부에서 인가해 인버터(inverter)에 흐르는 전류를 조정하여 인버터의 그라운드(ground)로 빠지는 시간을 조절할 수 있다.
- <65> 제1 프로그래머블 반전부(510)는 입력단이 기준 클럭(EXT CLK)에 연결되고, 소정의 제어 전압에 따라 기준 클럭(EXT CLK)을 반전시키는 구간을 가변시킨다.
- <66> 인버터부(520)는 기준 클럭(EXT CLK)에 연결되어 기준 클럭(EXT CLK)을 반전시켜 출력한다.
- <67> 제2 프로그래머블 반전부(530)는 인버터부(520)에 입력단이 연결되고, 소정의 제어 전압에 따라 입력단 신호를 반전시키는 구간의 길이를 가변시킨다.
- <68> 이때, 제1 프로그래머블 반전부(510) 및 제2 프로그래머블 반전부(530)는 입력되는 신호를 반전시킨 전류가 그라운드로 흐르는 양을 소정의 제어 전압에 따라 가변시키는 가변 인버터 회로(511) 및 입력되는 신호를 반전시키는 인버터 회로(512)가 교대로 배치되는 것을 특징으로 한다.
- <69> 제1 래치 회로(540)는 셋 입력이 기준 클럭(EXT CLK)에 연결되고, 리셋 입력이 제1 프로그래머블 반전부(510)의 출력에 연결된다.
- <70> 제2 래치 회로(550)는 셋 입력이 인버터부(520)에 연결되고, 리셋 입력이 제2 프로그래머블 반전부(530)의 출력에 연결된다.
- <71> 도 5b는 도 5a의 노드별 신호의 타이밍도이다.
- <72> 도 5b에서와 같이, B 노드(node)에서의 signal은 기준 클럭(EXT CLK)과 같은 주기를 가지지만 ΔT 만큼의 1을 가지는 구간이 0으로 반전됨을 알 수 있다.
- <73> 제어 전압(Vcont)을 변화시킴으로써 출력 신호(output signal)의 듀티(duty) 비를 자유자재로 구현할 수 있고, 이를 바탕으로 파이프 라인 변환기(pipelined-ADC)의 앤디에이씨(MDAC)에 사용되는 Op-앰프(Amp)의 동작구간인 증폭(Amplification)을 조절할 수 있어, 사용자 입장에서 같은 성능을 가지면서 전력 소모(power)를 최소화하는 ADC 구현이 가능하다.
- <74> 도 6은 본 발명의 다른 실시예에 따른 프로그래머블 클럭 발생기의 블록도이다.
- <75> 제1 프로그래머블 딜레이부(610)는 입력단이 기준 클럭(EXT CLK)에 연결되고, 소정의 제어 전압에 따라 기준 클럭(EXT CLK)을 딜레이시켜 출력시키고, 소정의 제어 전압에 따라 기준 클럭(EXT CLK)을 딜레이시키는 구간의 길이를 가변시킨다.
- <76> 인버터부(620)는 기준 클럭(EXT CLK)에 연결되어 기준 클럭(EXT CLK)을 반전시켜 출력한다.
- <77> 제2 프로그래머블 딜레이부(630)는 인버터부(620)에 입력단이 연결되고, 소정의 제어 전압에 따라 기준 클럭(EXT CLK)을 딜레이시키고, 소정의 제어 전압에 따라 기준 클럭(EXT CLK)을 딜레이시키는 구간의 길이를 가변시킨다.
- <78> 제3 래치 회로(640)는 셋 입력이 기준 클럭(EXT CLK)에 연결되고, 리셋 입력이 제1 프로그래머블 딜레이부(610)의 출력에 연결된다.
- <79> 제4 래치 회로(650)는 셋 입력이 인버터부(620)에 연결되고, 리셋 입력이 제2 프로그래머블 딜레이부(630)의 출력에 연결된다.
- <80> 이때, 제3 래치 회로(640) 및 제4 래치 회로(650)의 입력과 출력은 표 1과 같다.
- <81> 도 7a는 도 6의 상세 회로도이다.

- <82> 도 7a는 딜레이 셀(delay cell)을 이용한 프로그래머블 클럭 발생기(programmable clock generator)를 도시한 것이다.
- <83> 제1 프로그래머블 딜레이부(710)는 입력단이 기준 클럭(EXT CLK)에 연결되고, 소정의 제어 전압에 따라 기준 클럭(EXT CLK)을 딜레이시켜 출력시키고, 소정의 제어 전압에 따라 기준 클럭(EXT CLK)을 딜레이시키는 구간의 길이를 가변시킨다.
- <84> 인버터부(720)는 기준 클럭(EXT CLK)에 연결되어 기준 클럭(EXT CLK)을 반전시켜 출력한다.
- <85> 제2 프로그래머블 딜레이부(730)는 인버터부(720)에 입력단이 연결되고, 소정의 제어 전압에 따라 기준 클럭(EXT CLK)을 딜레이시키고, 소정의 제어 전압에 따라 기준 클럭(EXT CLK)을 딜레이시키는 구간의 길이를 가변시킨다.
- <86> 이때, 제1 프로그래머블 딜레이부(710) 및 제2 프로그래머블 딜레이부(730)는 입력되는 신호를 반전시키는 복수의 인버터 회로(711)를 포함한다. 또한, 제1 프로그래머블 딜레이부(710) 및 제2 프로그래머블 딜레이부(730)는 입력되는 신호를 반전시킨 전류가 그라운드로 흐르는 양을 소정의 제어 전압에 따라 가변시키는 가변 인버터 회로(712)가 연속으로 배치된 형태를 갖는다.
- <87> 제3 래치 회로(740)는 셋 입력이 기준 클럭(EXT CLK)에 연결되고, 리셋 입력이 제1 프로그래머블 딜레이부(710)의 출력에 연결된다.
- <88> 제4 래치 회로(750)는 셋 입력이 인버터부(720)에 연결되고, 리셋 입력이 제2 프로그래머블 딜레이부(730)의 출력에 연결된다.
- <89> 도 7b는 도 7a의 노드별 신호의 타이밍도이다.
- <90> 도 7a의 회로는 도 5a의 회로와 비슷하지만, 펄스 쉬링크(pulse shrink) 회로의 순서를 변경시킨 형태로서, B 노드(node)에서의 신호(signal)는 기준 클럭(EXT CLK)과 같은 주기를 가지고 ΔT 만큼의 딜레이(delay)된 신호가 나올 수 있다. 이에따라, 프로그래머블 듀티 비(programmable duty ratio)를 가지는 회로를 구현할 수 있다.
- <91> 도 8은 본 발명의 또다른 실시예에 따른 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기의 블록도이다.
- <92> 파이프 라인 아날로그 디지털 변환부(860)는 소정의 정수 M 이하의 임의의 정수 N 에 대하여, 아날로그 신호를 대응하는 M 비트의 비트값으로 변환시키는 M 스테이지로 구성된다.
- <93> 제1 프로그래머블 반전부(810)는 입력단이 기준 클럭(EXT CLK)에 연결되고, 소정의 제어 전압에 따라 기준 클럭(EXT CLK)을 반전시키는 구간을 가변시킨다. 인버터부(820)는 기준 클럭(EXT CLK)에 연결되어 기준 클럭(EXT CLK)을 반전시켜 출력한다. 제2 프로그래머블 반전부(830)는 인버터부(820)에 입력단이 연결되고, 소정의 제어 전압에 따라 입력단 신호를 반전시키는 구간의 길이를 가변시킨다.
- <94> 바람직하게는, 제1 프로그래머블 반전부(810) 및 제2 프로그래머블 반전부(830)는 입력되는 신호를 반전시킨 전류가 그라운드로 흐르는 양을 소정의 제어 전압에 따라 가변시키는 가변 인버터 회로(511) 및 입력되는 신호를 반전시키는 인버터 회로(512)가 교대로 배치되게 구성할 수 있다.
- <95> 제1 래치 회로(840)는 셋 입력이 기준 클럭(EXT CLK)에 연결되고, 리셋 입력이 제1 프로그래머블 반전부(810)의 출력에 연결된다. 제1 래치 회로(840)는 출력신호를 파이프 라인 아날로그 디지털 변환부(860)의 N-1 번째 스테이지 클럭 입력에 인가한다. 제2 래치 회로(850)는 셋 입력이 인버터부(820)에 연결되고, 리셋 입력이 제2 프로그래머블 반전부(830)의 출력에 연결된다. 제2 래치 회로(850)는 출력신호를 파이프 라인 아날로그 디지털 변환부(860)의 N 번째 스테이지 클럭 입력에 인가한다.
- <96> 바람직하게는, 제1 래치 회로(840) 및 제2 래치 회로(850)의 출력을 서로 바꾸어 각각 파이프 라인 아날로그 디지털 변환부(860)의 N 번째 스테이지 클럭 입력 및 N-1 번째 클럭 입력에 인가할 수 있다.
- <97> 바람직하게는, 파이프 라인 아날로그 디지털 변환부(860)의 샘플 커패시터(미도시)에 아날로그 신호가 충전되는 샘플링 구간보다 증폭 구간을 길게 하는 소정의 제어 전압을 제1 프로그래머블 반전부(810) 및 제2 프로그래머블 반전부(830)에 인가하는 제어전압 인가부(865)를 더 포함할 수 있다.
- <98> 바람직하게는, 파이프 라인 아날로그 디지털 변환부(860)는 각 스테이지마다 비트값 출력을 지연시키는 서로 다

른 수의 딜레이 셀을 포함할 수 있다.

- <99> 바람직하게는, 파이프 라인 아날로그 디지털 변환부(870)의 소모 전력을 측정하는 전력 측정부(870) 및 측정된 소모 전력의 크기에 따라 제어전압 인가부(865)에 의한 제어 전압의 크기를 조절하는 피드백부(880)를 더 포함할 수 있다.
- <100> 도 9는 본 발명의 또다른 실시예에 따른 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기의 블록도이다.
- <101> 파이프 라인 아날로그 디지털 변환부(960)는 소정의 정수 M 이하의 임의의 정수 N 에 대하여, 아날로그 신호를 대응하는 M 비트의 비트값으로 변환시키는 M 스테이지로 구성된다.
- <102> 제1 프로그래머블 딜레이부(910)는 입력단이 기준 클럭(EXT CLK)에 연결되고, 소정의 제어 전압에 따라 기준 클럭(EXT CLK)을 딜레이시켜 출력시키고, 소정의 제어 전압에 따라 기준 클럭(EXT CLK)을 딜레이시키는 구간의 길이를 가변시킨다. 인버터부(920)는 기준 클럭(EXT CLK)에 연결되어 기준 클럭(EXT CLK)을 반전시켜 출력한다. 제2 프로그래머블 딜레이부(930)는 인버터부(920)에 입력단이 연결되고, 소정의 제어 전압에 따라 기준 클럭(EXT CLK)을 딜레이시키고, 소정의 제어 전압에 따라 기준 클럭(EXT CLK)을 딜레이시키는 구간의 길이를 가변시킨다.
- <103> 바람직하게는, 제1 프로그래머블 딜레이부(910) 및 제2 프로그래머블 딜레이부(930)는 입력되는 신호를 반전시킨 전류가 그라운드로 흐르는 양을 소정의 제어 전압에 따라 가변시키는 가변 인버터 회로(711) 및 입력되는 신호를 반전시키는 인버터 회로(712)가 교대로 배치되게 구성할 수 있다.
- <104> 제3 래치 회로(940)는 셋 입력이 기준 클럭(EXT CLK)에 연결되고, 리셋 입력이 제1 프로그래머블 딜레이부(910)의 출력에 연결된다. 제3 래치 회로(940)는 출력신호를 파이프 라인 아날로그 디지털 변환부(960)의 N-1 번째 스테이지 클럭 입력에 인가한다. 제4 래치 회로(950)는 셋 입력이 인버터부(920)에 연결되고, 리셋 입력이 제2 프로그래머블 딜레이부(930)의 출력에 연결된다. 제4 래치 회로(950)는 출력신호를 파이프 라인 아날로그 디지털 변환부(960)의 N 번째 스테이지 클럭 입력에 인가한다.
- <105> 바람직하게는, 제3 래치 회로(940) 및 제4 래치 회로(950)의 출력을 서로 바꾸어 각각 파이프 라인 아날로그 디지털 변환부(960)의 N 번째 스테이지 클럭 입력 및 N-1 번째 클럭 입력에 인가할 수 있다.
- <106> 바람직하게는, 파이프 라인 아날로그 디지털 변환부(960)의 샘플 커패시터(미도시)에 아날로그 신호가 충전되는 샘플링 구간보다 증폭 구간을 길게 하는 소정의 제어 전압을 제1 프로그래머블 딜레이부(910) 및 제2 프로그래머블 딜레이부(930)에 인가하는 제어전압 인가부(965)를 더 포함할 수 있다.
- <107> 바람직하게는, 파이프 라인 아날로그 디지털 변환부(960)는 각 스테이지마다 비트값 출력을 지연시키는 서로 다른 수의 딜레이 셀을 포함할 수 있다.
- <108> 바람직하게는, 파이프 라인 아날로그 디지털 변환부(970)의 소모 전력을 측정하는 전력 측정부(970) 및 측정된 소모 전력의 크기에 따라 제어전압 인가부(965)에 의한 제어 전압의 크기를 조절하는 피드백부(980)를 더 포함할 수 있다.
- <109> 도 10a는 도 4 및 도 6에 따른 클럭 신호($\Phi 1$, $\Phi 2$) 및 출력 신호($V_{res}(1)$)의 타이밍도이다.
- <110> 도 10a는 본 발명에 따라 듀티비를 가변시킨 클럭 신호(예를 들어, 25%/75%의 듀티)를 인가하였을 경우, 엠디에이씨(MDAC)의 출력 결과이다.
- <111> 출력 결과를 통해 알 수 있듯이 동일한 세틀링(Settling) 시간을 가지고 동작하지만 상대적으로 넓어진 증폭(Amplification)의 주기를 통해 엠디에이씨(MDAC)의 출력은 보다 안정적인 값을 갖게 됨을 확인할 수 있다.
- <112> 이러한 성능 개선을 위해서 앰프(Amp)의 특성을 그대로 유지한 채, 전체 엠디에이씨(MDAC)의 샘플과 홀드 시간을 조절하는 것이 요구된다.
- <113> 따라서, 본 발명에 따르면, 동일한 성능을 갖는 ADC를 상대적으로 적은 전력을 소모하는 Op앰프(Amp)를 이용하여 구현할 수 있고, 저전력 소모의 파이프라인 ADC를 설계할 수 있다.
- <114> 도 10b는 도 10a에 대한 시뮬레이션 결과를 나타내는 그래프이다.
- <115> 시뮬레이션 결과가 도 10a의 결과와 유사하게 나타남을 알 수 있다.

<116> 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 그러나, 이와 같은 변형은 본 발명의 기술적 보호범위내에 있다고 보아야 한다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해서 정해져야 할 것이다.

발명의 효과

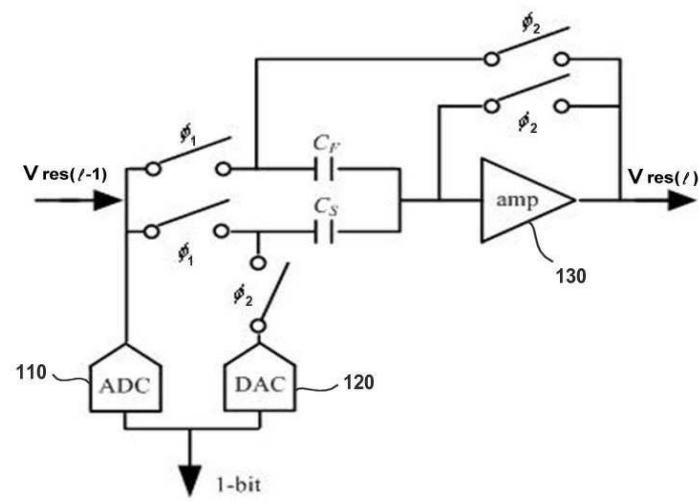
<117> 상술한 바와 같이, 본 발명에 의하면, 파이프 라인 ADC 회로의 선형성을 유지하면서, 고 해상도 ADC를 구현할 수 있게 하면서도 전력 소모를 낮출 수 있고, 전력 소모에 따라 제어 전압을 변경시켜 최적의 듀티비를 갖는 클럭 신호를 사용함으로써, 전력 소모를 최소화할 수 있는 효과가 있다.

도면의 간단한 설명

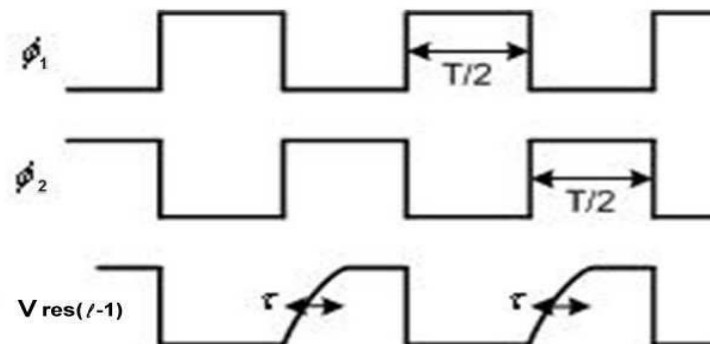
- <1> 도 1은 종래 파이프 라인 변환기에서 하나의 스테이지를 도시한 회로도이다.
- <2> 도 2a는 도 1에 사용되는 클럭 신호 및 출력 신호의 타이밍도이다.
- <3> 도 2b는 도 2a에 대한 시뮬레이션 결과를 나타내는 그래프이다.
- <4> 도 3은 본 발명이 적용되는 파이프 라인 변환기의 블록도이다.
- <5> 도 4는 본 발명의 일 실시예에 따른 프로그래머블 클럭 발생기의 블록도이다.
- <6> 도 5a는 도 4의 상세 회로도이다.
- <7> 도 5b는 도 5a의 노드별 신호의 타이밍도이다.
- <8> 도 6은 본 발명의 다른 실시예에 따른 프로그래머블 클럭 발생기의 블록도이다.
- <9> 도 7a는 도 6의 상세 회로도이다.
- <10> 도 7b는 도 7a의 노드별 신호의 타이밍도이다.
- <11> 도 8은 본 발명의 또다른 실시예에 따른 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기의 블록도이다.
- <12> 도 9는 본 발명의 또다른 실시예에 따른 프로그래머블 클럭 발생기를 이용하는 파이프라인 변환기의 블록도이다.
- <13> 도 10a는 도 4 및 도 6에 따른 클럭 신호 및 출력 신호의 타이밍도이다.
- <14> 도 10b는 도 10a에 대한 시뮬레이션 결과를 나타내는 그래프이다.

도면

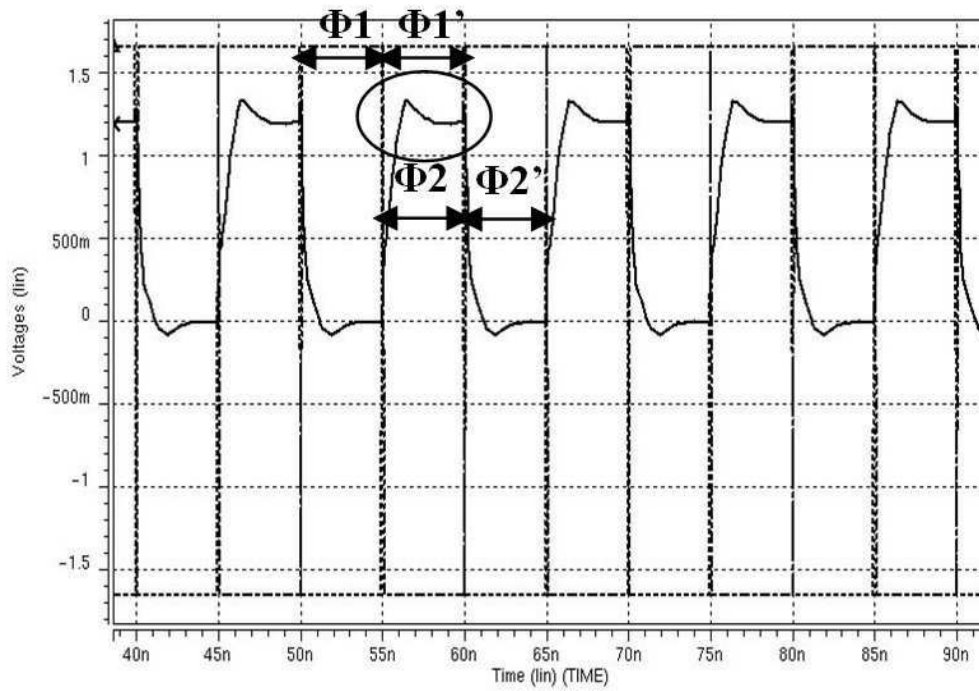
도면1



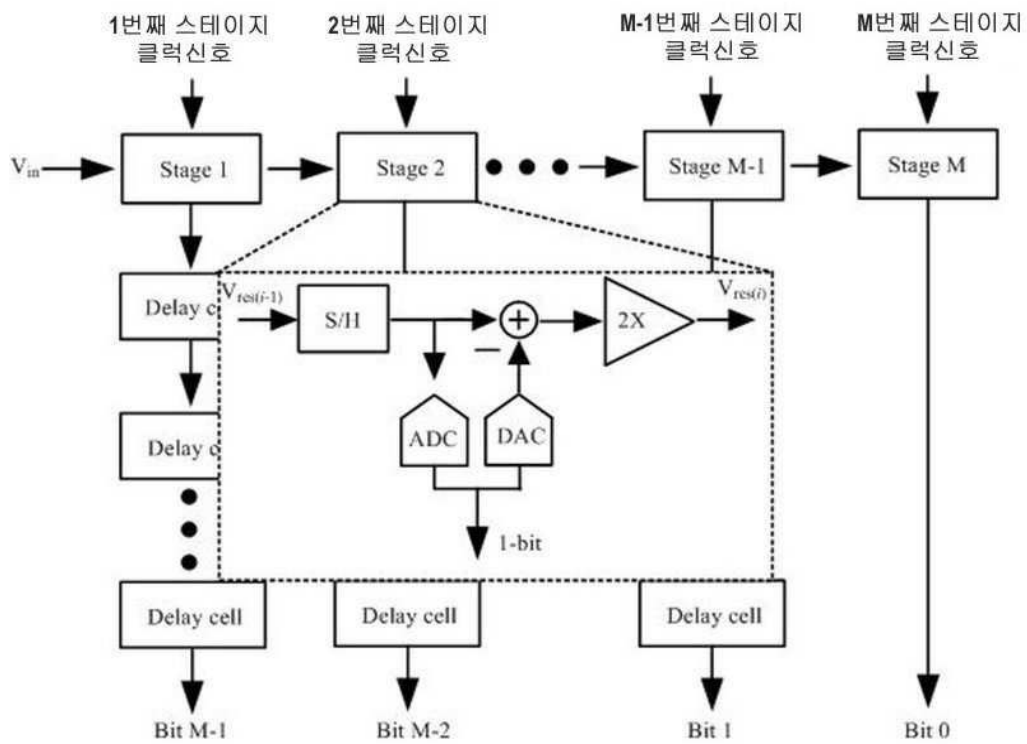
도면2a



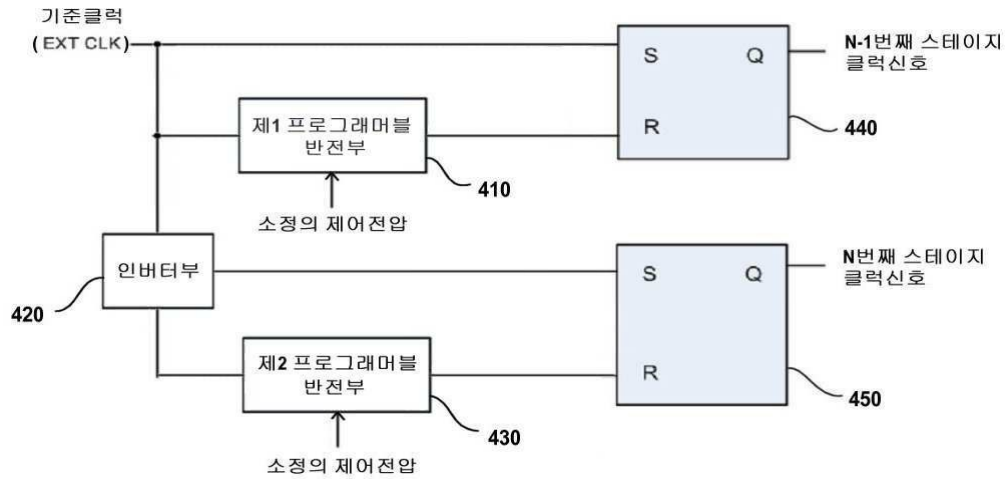
도면2b



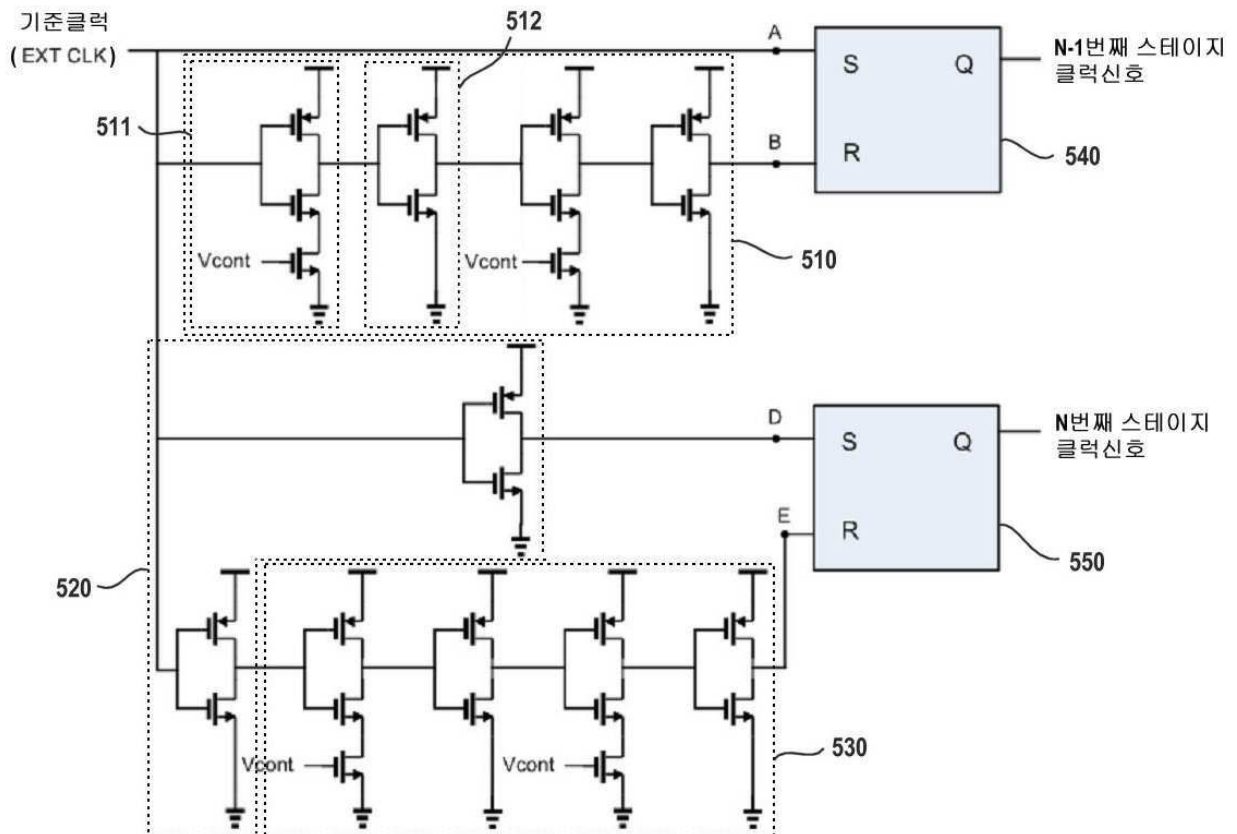
도면3



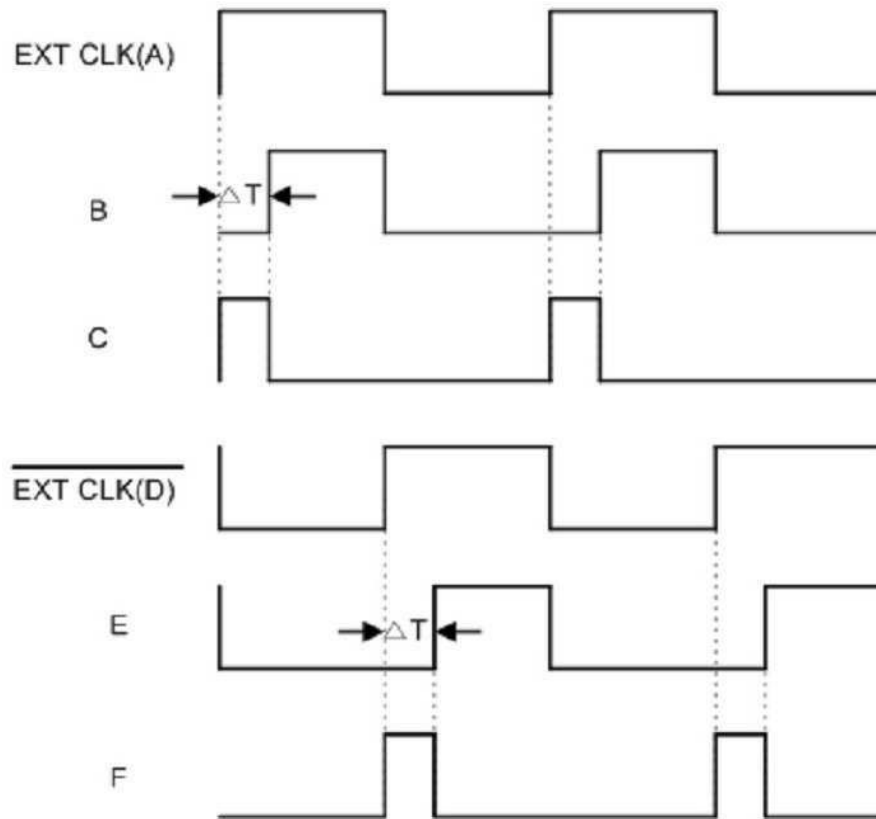
도면4



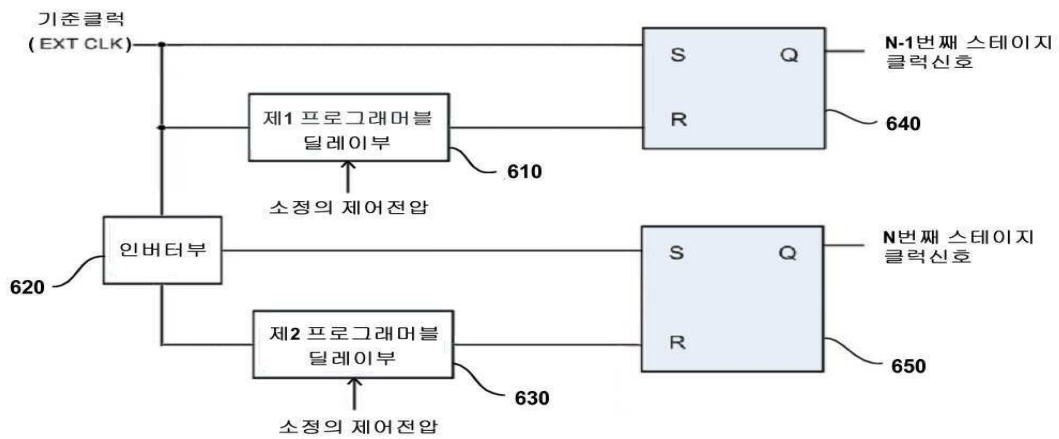
도면5a



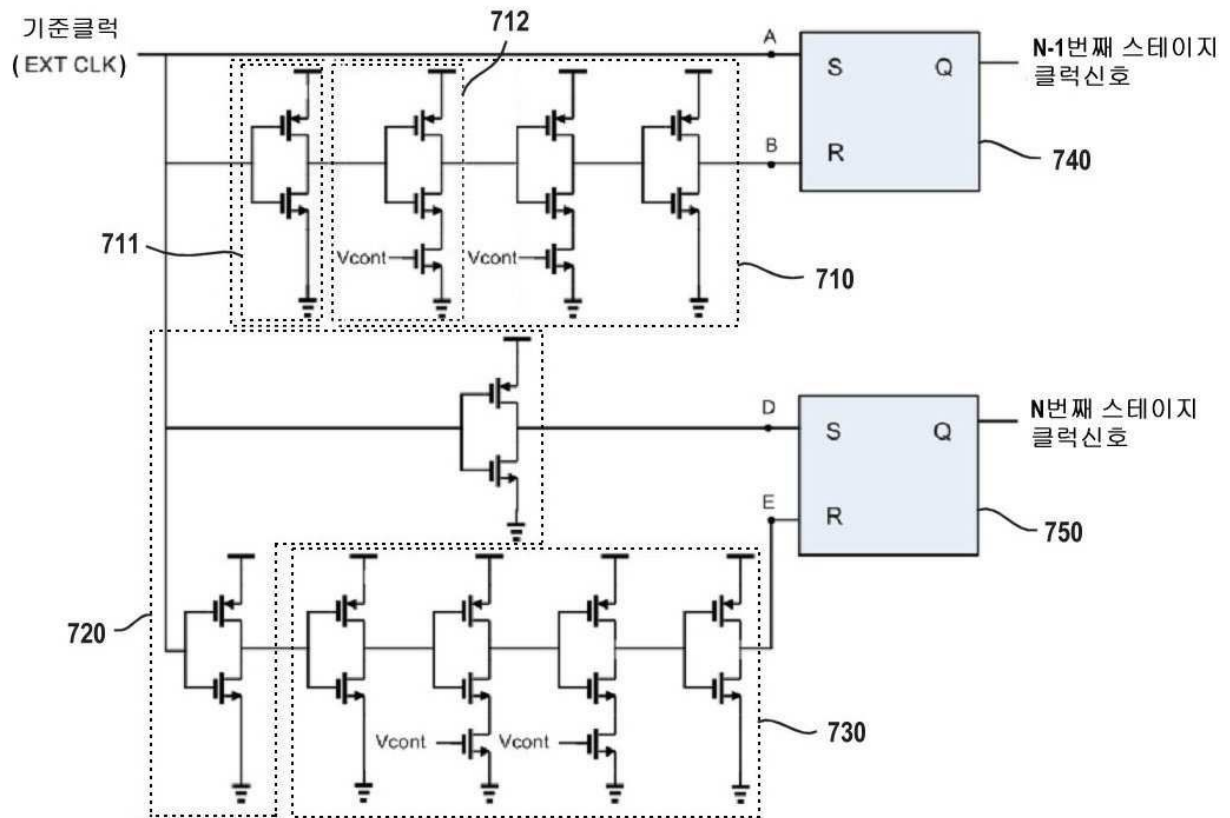
도면5b



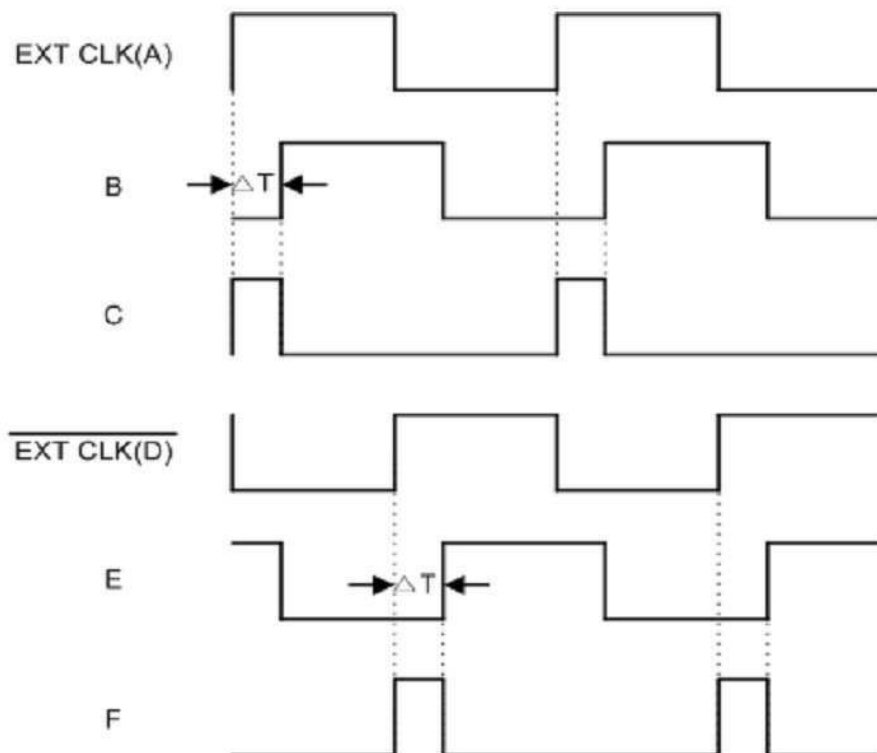
도면6



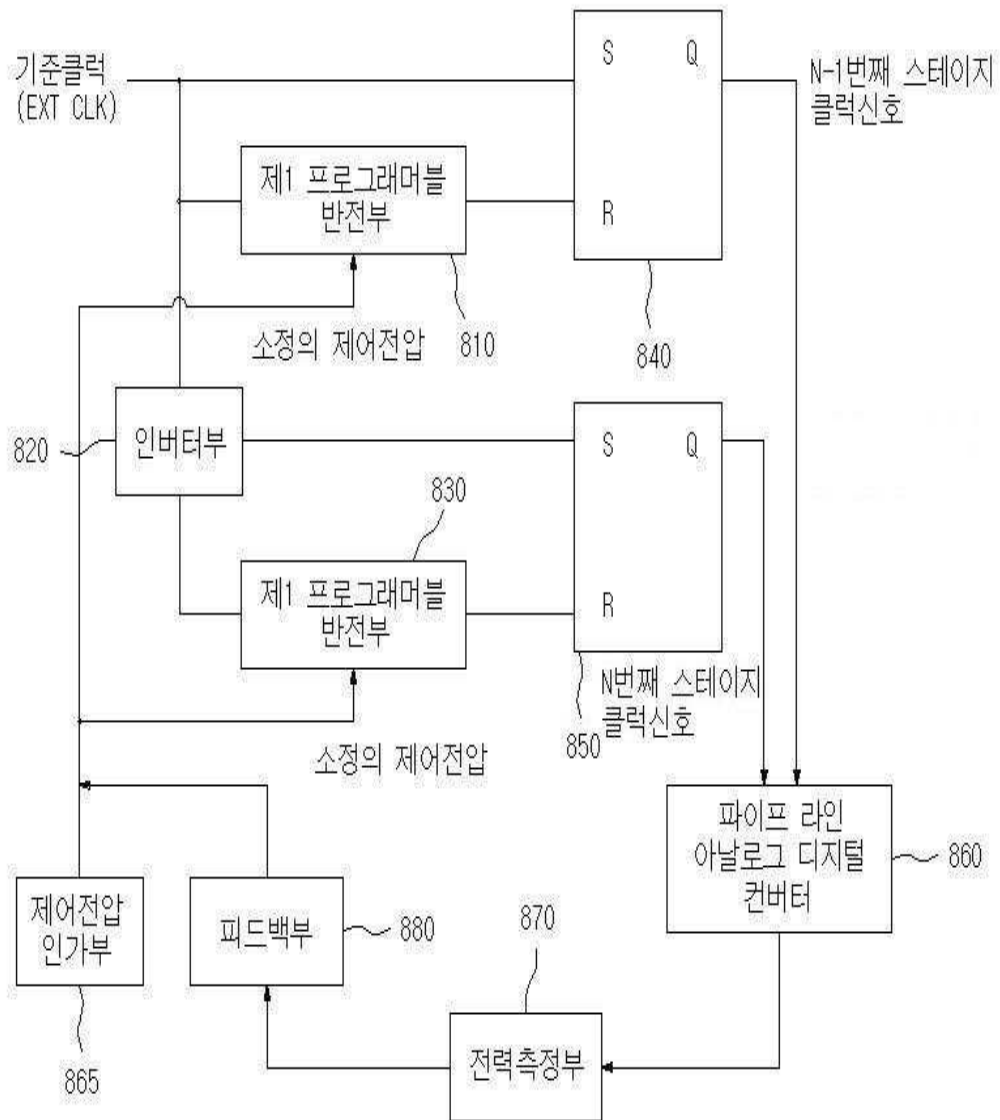
도면7a



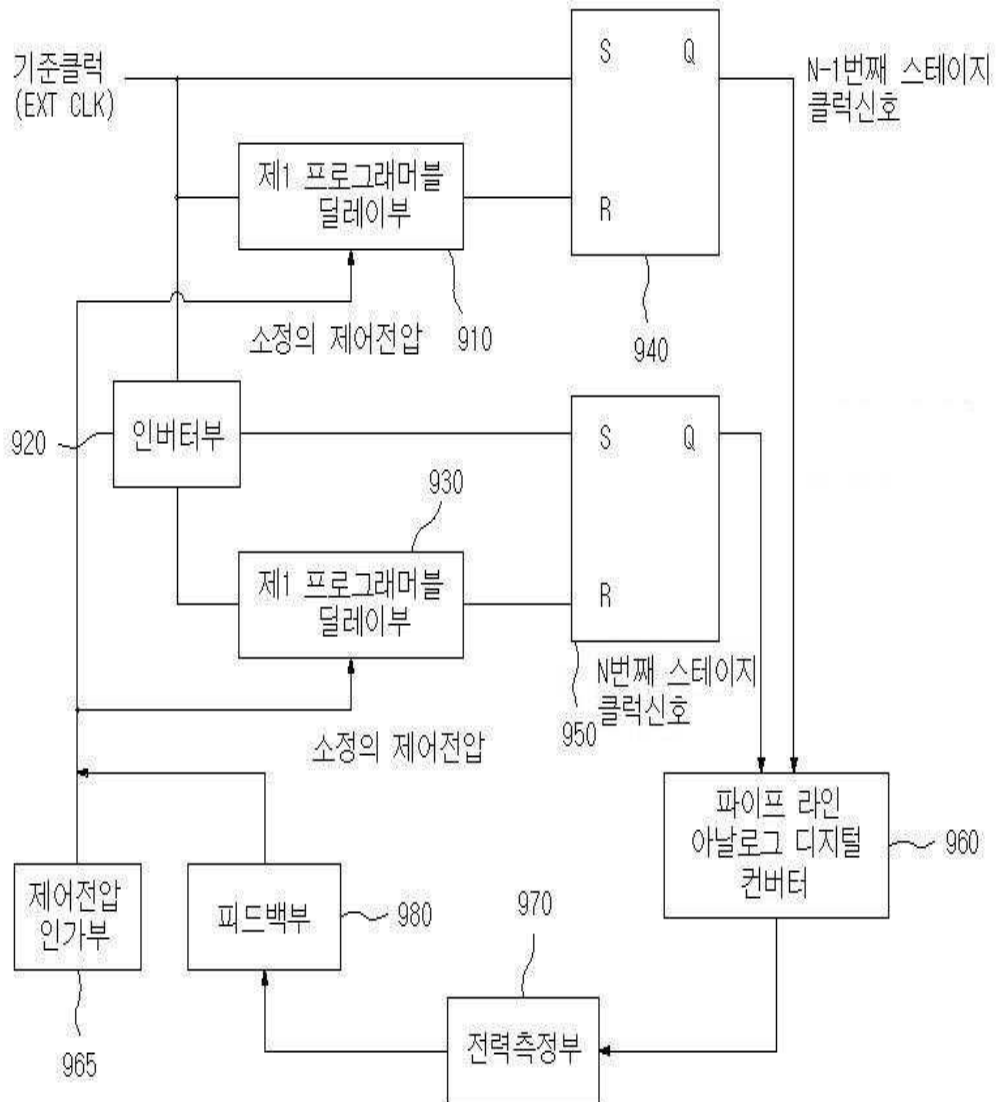
도면7b



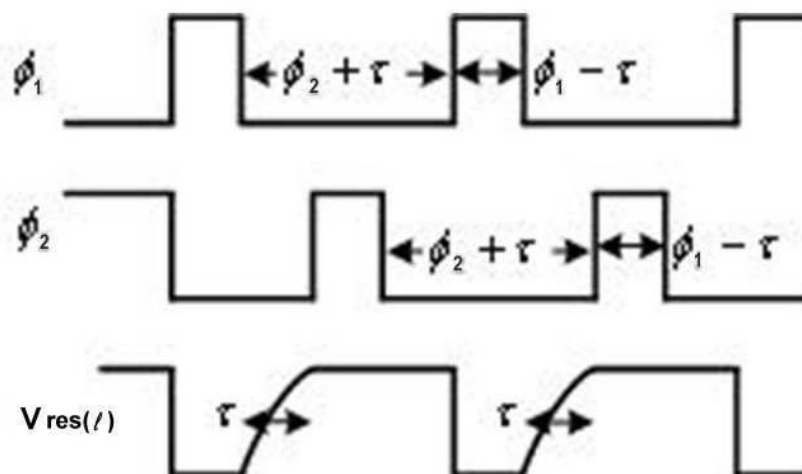
도면8



도면9



도면10a



도면10b

