

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 11 月 14 日(14.11.2013)



(10) 国際公開番号
WO 2013/168665 A1

- (51) 国際特許分類:
H04B 1/44 (2006.01)
- (21) 国際出願番号: PCT/JP2013/062746
- (22) 国際出願日: 2013 年 5 月 2 日(02.05.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-109643 2012 年 5 月 11 日(11.05.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 浅野 宏之(ASANO, Hiroyuki). 大石 慎吾(OISHI, Shingo).
- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

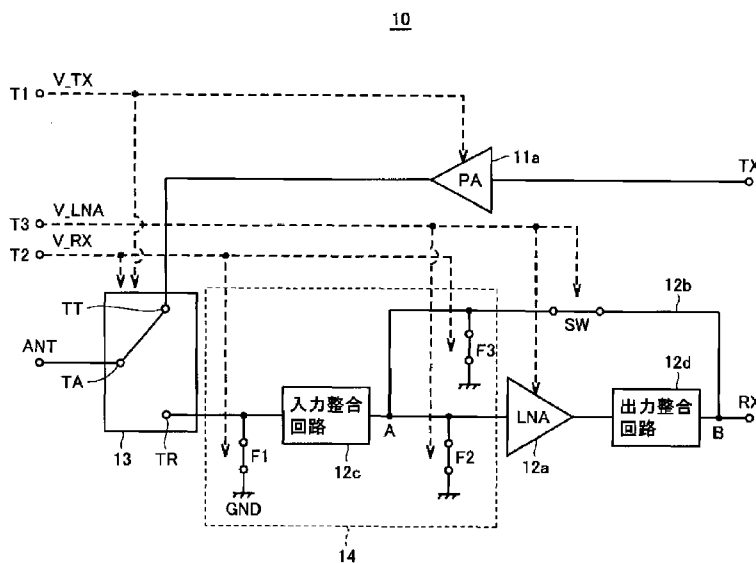
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: HIGH FREQUENCY CIRCUIT AND HIGH FREQUENCY MODULE COMPRISING SAME

(54) 発明の名称: 高周波回路およびそれを備えた高周波モジュール



12c Input matching circuit
12d Output matching circuit

(57) Abstract: A front end circuit (10) comprises a power amplifier circuit (11a), a low noise amplifier circuit (12a), a connection switch circuit (13), a bypass circuit (12b) and an attenuator unit (14). The connection switch circuit (13) switches connections in response to a control signal (V_RX). The bypass circuit (12b) forms a bypass in response to a control signal (V_LNA). The attenuator unit (14) includes a plurality of attenuator circuits, which include attenuator circuits (F1, F2, F3). While an antenna terminal (ANT) is electrically connected to the power amplifier circuit (11a), the attenuator circuits (F1, F3) attenuate, in response to the control signal (V_RX), branching signals that are part of the signals to be transmitted and that have leaked into a transfer path of the received signals. While the antenna terminal (ANT) is electrically connected to the low noise amplifier circuit (12a), the attenuator circuit (F2) attenuates received signals in response to the control signal (V_LNA).

(57) 要約:

[続葉有]

WO 2013/168665 A1



フロントエンド回路（１０）は、電力増幅回路（１１ａ）と、低雑音増幅回路（１２ａ）と、接続切替回路（１３）と、バイパス回路（１２ｂ）と、減衰部（１４）とを備える。接続切替回路（１３）は、制御信号（ V_{RX} ）に応答して接続を切替える。バイパス回路（１２ｂ）は、制御信号（ V_{LNA} ）に応答してバイパスを形成する。減衰部（１４）は、複数の減衰回路を含む。複数の減衰回路は、減衰回路（ $F1$ 、 $F2$ 、 $F3$ ）を含む。減衰回路（ $F1$ 、 $F3$ ）は、アンテナ端子（ ANT ）が電力増幅回路（１１ａ）と電氣的に接続される場合に、制御信号（ V_{RX} ）に応答して送信信号のうちの受信信号の伝送線路に漏洩した分岐信号を減衰させる。減衰回路（ $F2$ ）は、アンテナ端子（ ANT ）が低雑音増幅回路（１２ａ）と電氣的に接続される場合に、制御信号（ V_{LNA} ）に応答して受信信号を減衰させる。

明 細 書

発明の名称：高周波回路およびそれを備えた高周波モジュール 技術分野

[0001] 本発明は、高周波回路およびそれを備えた高周波モジュールに関し、特に、無線通信に用いる高周波回路およびそれを備えた高周波モジュールに関する。

背景技術

[0002] 現在、無線LAN (Local Area Network) によるデータ通信が普及しており、電子機器間の通信に広く利用されている。無線LANの通信規格であるIEEE (The Institute of Electrical and Electronics Engineers) 802.11規格には、IEEE 802.11a/11b/11g/11n/11acなどがある。この中でIEEE 802.11acは、次世代の無線LANの通信規格として注目されている。

[0003] IEEE 802.11acなどの規格に従う無線LANでデータ通信を行う電気機器は、フロントエンド回路を備える。フロントエンド回路は、アンテナと接続するように設けられ、送信信号および受信信号を増幅する（特許文献1：WO 2007/129716号公報）。

[0004] 図18は、従来のフロントエンド回路の構成を示す回路ブロック図である。図18を参照して、フロントエンド回路100は、PA (Power Amplifier) 101aと、LNA (Low Noise Amplifier) 102aと、バイパス回路102bと、アンテナスイッチ103と、送信端子TXと、受信端子RXと、アンテナ端子ANTとを備える。

[0005] PA 101aおよびLNA 102aは、入力された微弱な信号を増幅して出力する増幅回路である。PA 101aは、送信端子TXが受けた信号を増幅する。PA 101aにより増幅された信号は、送信信号として出力される。LNA 102aは、アンテナ端子ANTが受けた受信信号を増幅する。

- [0006] バイパス回路102bは、アンテナスイッチ103とLNA102aの入力端との間に設けられた始点Aから、LNA102aの出力端と受信端子RXとの間に設けられた終点Bまでの間にバイパスを形成する。バイパス回路102bは、SPST (Single Pole Single Throw) 型スイッチであるスイッチSWを含む。フロントエンド回路100では、スイッチSWがオンオフ制御されることで、始点Aに達した信号をLNA102aにより増幅させるか、バイパス回路102bによりLNA102aを迂回させるかを切替える。
- [0007] アンテナスイッチ103は、SPDT (Single Pole Dual Throw) 型スイッチである。アンテナスイッチ103は、端子TAと、端子TTと、端子TRとを含む。端子TAには、アンテナ端子ANTが接続される。端子TTには、送信端子TXが電氣的に接続される。端子TRには、受信端子RXが電氣的に接続される。フロントエンド回路100の送信動作時には端子TAが端子TTに接続し、受信動作時には端子TAが端子TRと接続するように、アンテナスイッチ103は切替えられる。
- [0008] まず、フロントエンド回路100の送信動作について説明する。アンテナスイッチ103は、端子TAが端子TTと接続するように切替えられる。RFIC (Radio Frequency Integrated Circuit) 200は、送信端子TXに信号を出力する。送信端子TXが受けた信号は、PA101aにより増幅され、送信信号としてアンテナスイッチ103において端子TTから端子TAに伝送される。送信信号は、アンテナ端子ANTに達し、アンテナ300から送信される。
- [0009] 特許文献2 (特開2009-33598号公報) の高周波回路では、アンテナスイッチに端子を追加して、アンテナスイッチのアイソレーションを用いて、LNAに入力される受信信号の信号強度を増減している。この構成によれば、バイパス回路は不要である。
- [0010] IEEE802.11acでは、従来のIEEE802.11a/11b/11g/11nなどと比べて、PA101aの線形性が高いことが要求さ

れる。PA101aの線形性が高いと、増幅される際に生じる送信信号の歪みが低減される。その結果、送信信号の変調精度が向上する。通常、PA101aのバイアス電圧を高くすると、PA101aの線形性は向上する。しかし、単にPA101aのバイパス電圧を高くすることによりPA101aの線形性を向上させようとする、PA101aでの消費電力が増加する。そのため、フロントエンド回路100を備えた電子機器のバッテリー持続時間が短くなってしまふ。そこで、一般的にIEEE802.11acでは、デジタルプリディストーション（以下、DPD（Digital Pre-Distortion）とも言う）と呼ばれる技術を用いる。

[0011] 図19は、DPDの概念を示すブロック図である。図19を参照して、DPDでは、PA101aに加えて、歪補償回路104およびカプラー105が用いられる。入力信号Sinは、PA101aにより増幅される前の送信信号である。出力信号Soutは、入力信号SinがPA101aにより増幅された後の送信信号である。

[0012] 入力信号Sinの信号強度が高い場合、入力信号SinがPA101aにより増幅されると送信信号の歪みが大きくなってしまふ。このような場合に備えて、歪補償回路104がPA101aの前段に設けられる。出力信号Soutのうち、一部の信号がカプラー105で分岐される。歪補償回路104は、カプラー105により分岐された信号を受ける。この信号をループバック信号Sloopと呼ぶ。歪補償回路104は、ループバック信号Sloopに生じた歪みと逆方向に歪ませた信号を生成し、その信号を入力信号Sinと合成して、歪補償信号Spを出力する。このように、DPDを用いることで、消費電力の増加を抑えつつ、歪みが低減された送信信号を得ることができる。

[0013] しかしながら、カプラーは通常、 $\lambda/4$ （ λ ：波長）の線路長の伝送線路を必要とする。このため、カプラー105を実装基板上に伝送線路で形成すると、大きな基板面積が必要になってしまふ。現在ではカプラー105のチップ部品も存在し、基板面積を低減することも可能である。しかし、その場

合にもチップ部品を新たに追加することで部材コストが増加してしまう。

[0014] 図20は、従来のフロントエンド回路における、ループバック信号を分岐させるためにアンテナスイッチのアイソレーションを用いる場合の構成および信号の伝送線路を示す回路ブロック図である。なお、図20に示したフロントエンド回路110は、アンテナスイッチ103に代えてアンテナスイッチ113を備える点において、図18に示したフロントエンド回路100と異なる。フロントエンド回路110の他の部分の構成は、フロントエンド回路100の対応する部分の構成と同様であるため、同一の符号を付してその説明を繰返さない。

[0015] 歪補償回路204は、RFIC200に設けられている。歪補償回路204が出力した信号（破線で表す）は、PA101aにより増幅され、アンテナスイッチ113に達する。アンテナスイッチ113において、端子TTと端子TRとは電氣的に絶縁されている。このため、端子TTから端子TAに送信信号が伝送されるとき、送信信号のほとんどは端子TAに達する。しかし、端子TTから端子TAまでの送信信号の伝送線路と端子TAから端子TRまでの受信信号の伝送線路とのアイソレーションには限界がある。したがって、送信信号の一部がループバック信号（点線で表す）として受信信号の伝送線路に漏洩する。漏洩したループバック信号は、バイパス回路102bによりLNA102aを迂回し、受信端子RXから歪補償回路204に出力される。

[0016] このように、アンテナスイッチ113のアイソレーションを用いることで、カプラー105を新たに追加することなくループバック信号を分岐させて、ループバック信号を歪補償回路204に出力することができる。

[0017] 次に、図18に戻り、フロントエンド回路100の受信動作について説明する。アンテナスイッチ103は、端子TAが端子TRと接続するように切替えられる。アンテナ300は、受信した受信信号をアンテナ端子ANTに出力する。アンテナ端子ANTが受けた受信信号は、アンテナスイッチ103において端子TAから端子TRに伝送される。後段のRFIC200で受

信信号の信号処理を行うために、受信信号には適切な信号強度の範囲が規定されている。そのため、始点Aに達した受信信号は、信号強度に応じて伝送線路が切替えられる。

[0018] 受信信号の信号強度が低い場合（電波状況が良好でない場合）、LNA102aはターンオンされ、かつ、スイッチSWはターンオフされる。そのため、受信信号はLNA102aにより増幅される。LNA102aにより増幅された受信信号は、受信端子RXからRFIC200に出力される。

[0019] 逆に、受信信号の信号強度が高い場合（電波状況が良好である場合）、LNA102aはターンオフされ、かつ、スイッチSWはターンオンされる。そのため、受信信号はバイパス回路102bによりLNA102aを迂回する。したがって、受信信号はLNA102aによって増幅されない。このようにするのは、信号強度が高い受信信号がLNA102aにより増幅されると、LNA102aおよびRFIC200により受信信号に歪みが生じてしまうためである。バイパス回路102bによりLNA102aを迂回した受信信号は、受信端子RXからRFIC200に出力される。

[0020] しかしながら、受信信号の信号強度が高い場合、LNA102aによって増幅されないように受信信号を単に迂回させるだけでは、受信信号は適切な信号強度の範囲内に収まらない。多くの場合、 -15 dB ～ -5 dB 程度、受信信号を減衰させる必要がある。これは、IEEE802.11acで規定された要求特性を満たすためである。

先行技術文献

特許文献

[0021] 特許文献1：WO2007/129716号公報

特許文献2：特開2009-33598号公報

発明の概要

発明が解決しようとする課題

[0022] 従来のフロントエンド回路を備えたフロントエンドモジュールは、DPD

を適用することを前提に設計されていない。したがって、従来のフロントエンド回路の構成に単にDPDを適用すると、漏洩したループバック信号の信号強度が高くなる。これは、アンテナスイッチ113のアイソレーションが不十分であるためである。ループバック信号の信号強度が高くなると、LNA102aによりループバック信号に生じる歪みも大きくなってしまう。ループバック信号の歪みが大きいことは、送信信号の変調精度の低下をもたらすため、望ましいことではない。したがって、ループバック信号の信号強度が高くなったり歪みが大きくなったりしないように、適切な信号強度の範囲内に収まるまでループバック信号を減衰させる必要がある。また、受信信号も適切な信号強度の範囲内に収まるように、電波状況に応じて受信信号を増幅あるいは減衰させて、その信号強度を調整する必要がある。

[0023] しかしながら、アンテナスイッチ113のアイソレーションを用いてループバック信号を分岐させる場合、ループバック信号および受信信号は共通の伝送線路を伝送される。このため、双方の信号強度が各々の適切な範囲内に収まるように双方の信号強度を調整することは困難である。

[0024] それゆえに、本発明は、上述の課題を解決するためになされたものであり、その目的は、ループバックおよび受信信号の双方が、各々の適切な信号強度の範囲内に収まることを可能にするフロントエンド回路を提供することである。

課題を解決するための手段

[0025] 本発明のある局面に従うと、高周波回路は、送信端子が受けた信号を増幅して送信信号を出力する電力増幅回路と、アンテナ端子により受信された受信信号を増幅して、増幅された受信信号を受信端子に出力する低雑音増幅回路と、第1の制御信号に応答して、アンテナ端子と電力増幅回路との間の接続と、アンテナ端子と低雑音増幅回路との間の接続とを切替える接続切替回路と、第2の制御信号に応答して、低雑音増幅回路を迂回するバイパスを、接続切替回路と受信端子との間に形成するバイパス回路と、受信信号の伝送線路に設けられた減衰部とを備える。減衰部は、複数の減衰回路を含む。複

数の減衰回路は、接続切替回路によりアンテナ端子が電力増幅回路と電氣的に接続される場合に、第1の制御信号に応答して、送信信号のうちの受信信号の伝送線路に漏洩した分岐信号を減衰させる、第1の減衰回路と、接続切替回路によりアンテナ端子が低雑音増幅回路と電氣的に接続される場合に、第2の制御信号に応答して、伝送線路の受信信号を減衰させる、第2の減衰回路とを含む。

[0026] 好ましくは、バイパス回路は、第2の制御信号に応答するスイッチを含み、接続切替回路と低雑音増幅回路との間に設けられた始点からバイパスを形成する。複数の減衰回路の各々は、接続切替回路と始点との間、始点とスイッチとの間、または始点と低雑音増幅回路との間に設けられている。

[0027] 好ましくは、第1および第2の減衰回路の各々は、伝送線路と接地ノードとの間に設けられたスイッチング素子を有する。スイッチング素子は、第1および第2の制御信号のうちの対応する信号に応答して、伝送線路を接地ノードに電氣的に接続する。

[0028] 好ましくは、スイッチング素子は、FETであり、第1および第2の減衰回路の各々は、FETのゲートと接地ノードとの間に設けられた抵抗と、FETのドレインと伝送線路との間に設けられた第1のコンデンサと、FETのソースと接地ノードとの間に設けられた第2のコンデンサとをさらに有する。FETのドレインは、第1および第2の制御信号のうちの対応する信号を受ける。

[0029] 好ましくは、複数の減衰回路の各々は、第2のコンデンサと接地ノードとの間に設けられたインダクタをさらに有する。

[0030] 好ましくは、複数の減衰回路のうち、少なくとも2つの減衰回路の各々が有する第2のコンデンサは、接地ノード側で互いに接続されている。減衰部は、互いに接続された第2のコンデンサの接地ノード側と、接地ノードとの間に設けられたインダクタをさらに含む。

[0031] 好ましくは、インダクタは、高周波回路をパッケージに実装するためのボンディングワイヤである。

[0032] 好ましくは、複数の減衰回路は、第１の制御信号に応答して、第１の減衰回路とともに分岐信号を減衰させる第３の減衰回路をさらに有する。第１の減衰回路は、接続切替回路と始点との間に設けられている。第２の減衰回路は、始点と低雑音増幅回路との間に設けられている。第３の減衰回路は、始点とスイッチとの間に設けられている。

[0033] 好ましくは、第１の減衰回路は、接続切替回路と始点との間に設けられている。第２の減衰回路は、始点と低雑音増幅回路との間に設けられている。

[0034] 好ましくは、第１の減衰回路は、接続切替回路と始点との間に設けられている。第２の減衰回路は、始点とスイッチとの間に設けられている。

[0035] 好ましくは、第１および第２の減衰回路は、接続切替回路と始点との間に設けられている。

[0036] 好ましくは、第１および第２の減衰回路は、始点とスイッチとの間に設けられている。

好ましくは、第１および第２の減衰回路は、始点と低雑音増幅回路との間に設けられている。

[0037] 本発明の別の局面に従うと、上記の高周波回路を備えた高周波モジュールである。

好ましくは、高周波モジュールは、第１の減衰回路により減衰された分岐信号を受信端子から受ける歪補償回路を備える。歪補償回路は、減衰された分岐信号に基づいて、送信端子に出力する前に送信信号の歪みを低減し、歪みが低減された送信信号を送信端子に出力する。

[0038] 好ましくは、高周波モジュールは、電力増幅回路が形成されたＨＢＴ基板と、低雑音増幅回路および接続切替回路が形成されたＨＥＭＴ基板と、高周波回路が実装されたＱＦＮパッケージとをさらに備える。

発明の効果

[0039] 本発明によれば、分岐信号および受信信号の双方が、各々の適切な信号強度の範囲内に収まる高周波回路を実現できる。

図面の簡単な説明

[0040] [図1]本発明の実施の形態1による高周波回路の構成を示す回路ブロック図である。

[図2]図1に示した高周波回路と外部回路との接続を示す回路ブロック図である。

[図3]図1に示した高周波回路が備える減衰回路の構成を示す回路図である。

[図4] I E E E 8 0 2 . 1 1 a c で規定されている要求特性を示す図である。

[図5]図1に示した高周波回路の各動作モードにおける制御を示す図である。

[図6]図1に示した高周波回路の各動作モードにおける、信号の伝送線路を示す回路ブロック図である。

[図7]図1に示した高周波回路における、TXモードにおけるアイソレーションの周波数依存性についてのシミュレーション結果を示す図である。

[図8]図1に示した高周波回路における、TXモードにおけるEVMの電力依存性についてのシミュレーション結果を示す図である。

[図9]図1に示した高周波回路における、LNAモードおよびバイパスモードにおけるゲインについてのシミュレーション結果を示す図である。

[図10]本発明の実施の形態2による高周波回路の構成を示す回路ブロック図である。

[図11]本発明の実施の形態3による高周波回路の構成を示す回路ブロック図である。

[図12]本発明の実施の形態4による高周波回路の構成を示す回路ブロック図である。

[図13]本発明の実施の形態5による高周波回路の構成を示す回路ブロック図である。

[図14]本発明の実施の形態6による高周波回路の構成を示す回路ブロック図である。

[図15]本発明の実施の形態の変形例1による減衰回路の構成を示す回路図である。

[図16]本発明の実施の形態の変形例2による減衰部の構成を示す回路図であ

る。

[図17]図16に示した減衰部を備えた高周波回路を組み込んだ高周波モジュールにおける、パッケージ内のボンディングワイヤによる配線を模式的に示す図である。

[図18]従来の高周波回路の構成を示す回路ブロック図である。

[図19]デジタルプリディストーションの概念を示すブロック図である。

[図20]従来の高周波回路における、分岐信号を分岐させるために接続切替回路のアイソレーションを用いる場合の構成および信号の伝送線路を示す回路ブロック図である。

発明を実施するための形態

[0041] 以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付して、その説明を繰返さない。

[0042] IEEE 802.11規格には、2.4GHz帯（IEEE 802.11b／11g／11n／11acなど）および5GHz帯（IEEE 802.11a／11n／11acなど）での無線LANの通信規格が規定されている。ここでは、5GHz帯に対応するフロントエンド回路（高周波回路）を例に用いて、実施の形態を説明する。

[0043] [実施の形態1]

図1は、本発明の実施の形態1によるフロントエンド回路の構成を示す回路ブロック図である。

[0044] 図2は、図1に示したフロントエンド回路と外部回路との接続を示す回路ブロック図である。

[0045] 図1および図2を参照して、フロントエンド回路10は、PA（電力増幅回路）11aと、LNA（低雑音増幅回路）12aと、バイパス回路12bと、入力整合回路12cと、出力整合回路12dと、アンテナスイッチ（接続切替回路）13と、減衰部14（入力整合回路12cを含まない）と、送信端子TXと、受信端子RXと、アンテナ端子ANTと、制御端子T1～T

3とを備える。

[0046] PA11aおよびLNA12aは、入力された微弱な信号を増幅して出力する増幅回路である。PA11aは、送信端子TXが受けた信号を増幅する。PA11aにより増幅された信号は、送信信号として出力される。LNA12aは、アンテナ端子ANTにより受信された受信信号を増幅する。LNA12aにより増幅された受信信号は、受信端子RXに出力される。

[0047] バイパス回路12bは、アンテナスイッチ13とLNA12aの入力端との間に設けられた始点Aから、LNA12aの出力端と受信端子RXとの間に設けられた終点Bまでの間にバイパスを形成する。バイパス回路12bは、スイッチSWを含む。スイッチSWは、SPST型スイッチである。フロントエンド回路10では、制御回路400によりスイッチSWが制御されることで、始点Aに到達した信号をLNA12aにより増幅させるか、バイパス回路102bによりLNA12aを迂回させるかを切替える。

[0048] 入力整合回路12cは、アンテナスイッチ13と始点Aとの間に設けられている。入力整合回路12cは、アンテナ300とフロントエンド回路10との間の入力インピーダンスを整合する。出力整合回路12dは、LNA12aの出力端と終点Bとの間に設けられている。出力整合回路12dは、RFIC200とフロントエンド回路10との間の出力インピーダンスを整合する。

[0049] アンテナスイッチ13は、SPDT型スイッチである。アンテナスイッチ13は、端子TAと、端子TTと、端子TRとを含む。端子TAには、アンテナ端子ANTが接続される。端子TTには、送信端子TXが電氣的に接続される。端子TRには、受信端子RXが電氣的に接続される。フロントエンド回路10の送信動作時には端子TAが端子TTと接続し、受信動作時には端子TAが端子TRと接続するように、後述する制御信号によりアンテナスイッチ13は切替えられる。

[0050] 減衰部14は、減衰回路F1（第1の減衰回路）と、減衰回路F2（第2の減衰回路）と、減衰回路F3（第3の減衰回路）とを含む。減衰回路F1

は、始点Aとアンテナスイッチ13との間に設けられる。減衰回路F2は、始点AとLNA12aとの間に設けられる。減衰回路F3は、始点AとスイッチSWとの間に設けられる。

[0051] 送信端子TXおよび受信端子RXには、RFIC200が接続されている。RFIC200は、歪補償回路204を備える。アンテナ端子ANTには、アンテナ300が接続されている。制御端子T1～T3には、制御回路400が接続されている。

[0052] 制御端子T1～T3の各々は、対応する制御信号を制御回路400から受ける。制御端子T1は、制御信号V_{TX}を受ける。制御端子T2は、制御信号V_{RX}（第1の制御信号）を受ける。制御端子T3は、制御信号V_{LNA}（第2の制御信号）を受ける。制御信号V_{TX}は、PA11aのオンオフ制御および端子TAが端子TRと接続するようにアンテナスイッチ13を切替える制御に用いられる。制御信号V_{RX}は、端子TAが端子TTと接続するようにアンテナスイッチ13を切替える制御に用いられる。制御信号V_{LNA}は、LNA12aおよびスイッチSWのオンオフ制御に用いられる。

[0053] さらに、減衰回路F1、F3は制御信号V_{RX}を受け、減衰回路F2は制御信号V_{LNA}を受けるように配線されている。そのため、上記制御信号により、PA11a、LNA12a、およびスイッチSWをオンオフ制御するだけでなく、減衰回路F1～F3もオンオフ制御することができる。

[0054] 図3は、図1に示したフロントエンド回路が備える減衰回路F1の構成を示す回路図である。なお、減衰回路F2、F3の構成は、減衰回路F1の構成と同等であるため、その説明を繰返さない。

[0055] 減衰回路F1は、スイッチング素子Q1と、コンデンサC1、C2と、抵抗R1、R2とを含む。スイッチング素子Q1は、ノーマリーオン型（D-mode）のFET（Field Effect Transistor）である。スイッチング素子Q1は、高周波信号（ループバック信号または受信信号）の伝送線路と接地ノードGNDとの間に設け

られている。FETのゲートと接地ノードGNDとの間には、抵抗R2が設けられている。FETのドレインと高周波信号の伝送線路との間には、コンデンサC1（第1のコンデンサ）が設けられている。FETのソースと接地ノードGNDとの間には、コンデンサC2（第2のコンデンサ）が設けられている。FETのドレインは、制御端子T2から制御信号V_{RX}を受ける。

[0056] コンデンサC1, C2は、それぞれ高周波信号の伝送線路および接地ノードGNDに制御信号V_{RX}が漏洩することを防止するためのDCカット容量である。抵抗R1は、制御信号V_{RX}を安定化するためのダンピング抵抗である。

[0057] 制御信号V_{RX}としてL（ローレベル）信号をFETのドレインが受けたときには、減衰回路F1がオン状態になる。この場合、伝送線路を伝送される高周波信号は接地ノードGNDに逃がされる。このため、減衰回路F1により高周波信号を減衰させることができる。逆に、制御信号V_{RX}としてH（ハイレベル）信号をFETのドレインが受けたときには、減衰回路F1がオフ状態になる。この場合、減衰回路F1によって減衰されることなく高周波信号は伝送線路を伝送される。

[0058] 以上のような構成を有するフロントエンド回路10は、TXモード、LNAモード、およびバイパスモードと呼ばれる3つの動作モードに従って動作する。TXモードとは、DPDを用いて送信信号を送信するための動作モードである。LNAモードとは、電波状況が良好でなく受信信号の信号強度が低い場合に、受信信号をLNA12aにより増幅させるための動作モードである。バイパスモードとは、電波状況が良好で受信信号の信号強度が高い場合に、受信信号をLNA12aによって増幅させないよう、バイパス回路12bによりLNA12aを迂回させる受信信号のバイパスを形成するための動作モードである。以下で具体的に示すように、IEEE802.11acでは動作モードごとに異なる要求特性が規定されている。

[0059] 図4は、IEEE802.11acで規定されている要求特性を示す図で

ある。TXモードは、4.9 GHz～5.9 GHzの周波数帯域について規定されている。LNAモードおよびバイパスモードは、5.15 GHz～5.9 GHzの周波数帯域について規定されている。

[0060] 図4を参照して、TXモードにおいて、ゲインに関する要求特性を満たすためには、送信端子TXとアンテナ端子ANTとの間のゲインが27 dB以上になるように、PA11aのゲインを設定しなければならない。さらに、ループバック信号の信号強度に関する要求特性を満たすためには、PA11aの出力端と受信端子RXとの間のアイソレーションが-40 dBより強化されていなければならない。また、ループバック信号の歪みに関する要求特性を満たすためには、EVM (Error Vector Magnitude) が1.8%以下でなければならない。

[0061] 図1に戻り、EVMは、歪みの無い変調信号をPA11aの出力端に入力した場合に、受信端子RXから出力される信号を測定することで求められる。しかし、EVMは、フロントエンド回路10のすべての構成要素がパッケージに実装された状態では、直接測定することができない。そのため、EVMは、以下のような直接的手法あるいは間接的手法を用いて測定される。

[0062] 直接的手法においては、LNA12aおよびスイッチSWが形成されたチップのみをパッケージに実装し、アンテナスイッチ13の端子TTと受信端子RXとの間のEVMを測定する。一方、間接的手法としては、フロントエンド回路10のすべての構成要素をパッケージに実装し、まず、送信端子TXとアンテナ端子ANTとの間のEVMを測定する。このとき、受信端子RXは50 Ω (オーム) で終端されている。次に、送信端子TXと受信端子RXとの間のEVMを測定する。このとき、アンテナ端子ANTは50 Ωで終端されている。このようにして測定された2つのEVMを比較することにより、ループバック信号がアンテナスイッチ13の端子TTと受信端子RXとの間を伝送されるときに重畳される歪みの大きさを推定することができる。

[0063] なお、送信信号の歪みに関しても、EVMが1.8%以下でなければならない。このEVMは、歪みの無い変調信号を送信端子TXに入力した場合に

、アンテナ端子A N Tから出力される信号を測定することで求められる。

[0064] T Xモードにおいては、L N A 1 2 aはオフ状態であるが、L N A 1 2 aはループバック信号を受ける。L N A 1 2 aがオフ状態のときであっても、L N A 1 2 aが受けるループバック信号の信号強度が高いと、L N A 1 2 aが含む増幅トランジスタのゲートソース間にL N A 1 2 aをターンオンする以上の電圧が印加される。このため、ループバック信号に歪みが生じてしまう。したがって、ループバック信号は、L N A 1 2 aに達する前に十分に減衰させる必要がある。

[0065] 一方、L N Aモードにおいては、アンテナ端子A N Tと受信端子R Xとの間のゲインが、1 0 d B以上でなければならない。バイパスモードにおいては、上記ゲインが−1 2 d B〜−8 d Bでなければならない。

[0066] なお、バイパスモードにおけるゲインに関する要求特性を満たすように受信信号を減衰させることは、たとえば、バイパス回路1 2 bの伝送線路に直列に接続した抵抗を設けることによっても実現できる。この場合、新たに追加する部品が抵抗だけでよい。そのため、基板面積の低減または部材コストの低減という観点からは有利である。しかし、このようにすることは、高周波信号の歪みが増大してしまうため好ましくない。新たに追加された抵抗の分、バイパス回路1 2 bに対するL N A 1 2 aのインピーダンスが相対的に減少する。このため、L N A 1 2 aが受ける高周波信号の電力が増加してしまう。したがって、高周波信号の歪みが増大する。

[0067] このように、I E E E 8 0 2. 1 1 a cで規定されている要求特性は動作モードごとに異なる。そのため、ループバック信号または受信信号の信号強度の減衰量を動作モードごとに調整する必要がある。以下、各動作モードにおけるフロントエンド回路1 0の動作について、図5および図6を参照しながら説明する。

[0068] 図5は、図1に示したフロントエンド回路の各動作モードにおける構成要素の制御を示す図である。

[0069] 図6は、図1に示すフロントエンド回路の各動作モードにおける、信号の

伝送線路を示す回路ブロック図である。図6（A）は、TXモードにおける信号の伝送線路を示す。図6（B）は、LNAモードにおける信号の伝送線路を示す。図6（C）は、バイパスモードにおける信号の伝送線路を示す。図6を参照して、送信信号および受信信号の伝送線路を破線で表す。ループバック信号の伝送線路を点線で表す。

[0070] まず、TXモードにおける送信信号およびループバック信号の伝送線路について、図5および図6（A）を参照しながら説明する。TXモードにおいて、制御回路400（図2参照）から、制御信号V_{TX}としてH信号が出力される。制御信号V_{RX}としてL信号が出力される。制御信号V_{LNA}としてL信号が出力される。

[0071] 制御端子T1～T3の各々が対応する制御信号を受けることにより、アンテナスイッチ13は、端子TAが端子TTと接続するように切替わる。PA11aは、ターンオンする。LNA12aは、ターンオフする。バイパス回路12bは、ターンオンする。減衰回路F1～F3は、すべてターンオンする。

[0072] したがって、フロントエンド回路10が歪補償回路（図2参照）から受けた信号は、送信端子TX—PA11a（オン状態）—端子TT—端子TA—アンテナ端子ANTの順に伝送される。このとき、PA11aで増幅された送信信号の一部が、ループバック信号として受信信号の伝送線路に漏洩する。ループバック信号は、端子TR—減衰回路F1（オン状態）—入力整合回路12c—始点A—減衰回路F2（オン状態）—スイッチSW—終点B—受信端子RXの順に伝送される。ループバック信号は、受信端子RXから歪補償回路（図2参照）に出力される。

[0073] 次に、LNAモードにおける受信信号の伝送線路について、図5および図6（B）を参照しながら説明する。LNAモードにおいては、制御回路400（図2参照）から、制御信号V_{TX}としてL信号が出力される。制御信号V_{RX}としてH信号が出力される。制御信号V_{LNA}としてH信号が出力される。

- [0074] 制御端子T1～T3の各々が対応する制御信号を受けることにより、アンテナスイッチ13は、端子TAが端子TRと接続するように切替わる。PA11aは、ターンオフする。LNA12aは、ターンオンする。バイパス回路12bは、ターンオフする。減衰回路F1～F3は、すべてターンオフする。
- [0075] したがって、アンテナ端子ANTが受けた受信信号は、アンテナ端子ANT—端子TA—端子TR—減衰回路F1（オフ状態）—入力整合回路12c—始点A—減衰回路F3（オフ状態）—LNA12a（オン状態）—出力整合回路12d—終点B—受信端子RXの順に伝送される。受信信号は、受信端子RXから歪補償回路（図2参照）に出力される。
- [0076] 最後に、バイパスモードにおける受信信号の伝送線路について、図5および図6（C）を参照しながら説明する。バイパスモードにおいては、制御回路400（図2参照）から、制御信号V_{TX}としてL信号が出力される。制御信号V_{RX}としてH信号が出力される。制御信号V_{LNA}としてL信号が出力される。
- [0077] 制御端子T1～T3の各々が対応する制御信号を受けることにより、アンテナスイッチ13は、端子TAが端子TRと接続するように切替わる。PA11aおよびLNA12aは、いずれもターンオフする。バイパス回路12bは、ターンオンする。減衰回路F1および減衰回路F3は、いずれもターンオフする。減衰回路F2はターンオンする。
- [0078] したがって、アンテナ端子ANTが受けた受信信号は、アンテナ端子ANT—端子TA—端子TR—減衰回路F1（オフ状態）—入力整合回路12c—始点A—減衰回路F2（オフ状態）—スイッチSW（オン状態）—終点B—受信端子RXの順に伝送される。受信信号は、受信端子RXから歪補償回路（図2参照）に出力される。
- [0079] 以上のように、減衰回路F1～F3の各々がスイッチング素子を有するため、動作モードごとに異なる個数の減衰回路をターンオンさせることができる。高周波信号の減衰量は、減衰回路F1～F3のうち、ターンオンさせる

減衰回路 F 1 ～ F 3 の個数に応じて定まる。ターンオンさせる減衰回路の個数は、動作モードの各々について図 4 に示した要求特性を満たすように定められる。

[0080] 具体的に、3つの動作モードに対し、高周波信号の減衰量を動作モードごとに調整するためには、少なくとも2つの減衰回路が設けられていなければならない。2つの減衰回路が設けられていれば、(1) いずれもオン状態、(2) 一方がオン状態で他方がオフ状態、(3) いずれもオフ状態、となるようにスイッチング素子をオンオフ制御することで、高周波信号の減衰量を3通りに調整できるからである。

[0081] 本実施の形態によるフロントエンド回路 10 では、3つの減衰回路が設けられている。TXモードにおいては、減衰回路 F 1 ～ F 3 はすべてオン状態である。このため、ループバック信号の減衰量は、3つの減衰回路に相当する減衰量になる。したがって、TXモードにおけるループバック信号の減衰量が、すべての信号の減衰量の中で最も大きくなる。このようにすることで、送信信号の伝送線路と受信信号の伝送線路との間のアイソレーションは最も強化される。また、ループバック信号が減衰される結果、ループバック信号の歪みも低減される。

[0082] LNAモードにおいては、減衰回路 F 1 ～ F 3 はすべてオフ状態である。このため、受信信号は減衰されない。すなわち、受信信号の信号強度が低いために LNA 12 a により受信信号を増幅させることが必要である場合に、減衰部 14 によって受信信号が減衰されてしまうことはない。

[0083] バイパスモードにおいては、減衰回路 F 2 のみがオン状態である。このため、受信信号の減衰量は、1つの減衰回路に相当する減衰量になる。したがって、受信信号の減衰量は、ループバック信号の減衰量と比べると小さくなる。このようにすることで、受信信号が適切な信号強度の範囲内に収まるように調整される。

[0084] 以上のように、ループバック信号および受信信号は共通の伝送線路を伝送されるにも関わらず、ループバック信号および受信信号の減衰量を互いに独

立に調整することができる。

[0085] フロントエンド回路 10 が図 4 に示した要求特性を実際に満たすことを、以下、図 7 ～図 9 を参照しながら説明する。図 7 ～図 9 にその結果を示すシミュレーションでは、I E E E 8 0 2 . 1 1 a c の規定に沿ったシミュレーション条件が設定されている。

[0086] 図 7 は、図 1 に示したフロントエンド回路 10 における、TX モードでのアイソレーションの周波数依存性についてのシミュレーション結果を示す図である。図 7 を参照して、グラフの横軸は、送信端子 TX が受けた信号の周波数を示す。グラフの縦軸は、アイソレーションを示す。アイソレーションとは、PA 1 1 a の出力端における送信信号と受信端子 RX におけるループバック信号との信号強度の比である。波形 7 a は、本実施の形態によるフロントエンド回路 10 におけるアイソレーションの周波数依存性を表す。波形 7 b は、従来のフロントエンド回路におけるアイソレーションの周波数依存性を表す。

[0087] 図 4 に要求特性を示したように、4 . 9 G H z ～ 5 . 9 G H z において、アイソレーションは - 4 0 d B より強化されていなければならない。従来のフロントエンド回路では、アイソレーションが - 2 0 d B に満たない。一方、本実施の形態によるフロントエンド回路 10 では、上記周波数帯域すべてにおいて、アイソレーションが - 4 0 d B より強化されている。したがって、フロントエンド回路 10 のアイソレーションは、図 4 に示した要求特性を満たしている。よって、減衰部 1 4 が減衰回路 F 1 ～F 3 を含むことで、ループバック信号が十分に減衰されていることが分かる。

[0088] 図 8 は、図 1 に示したフロントエンド回路 10 における、TX モードでの E V M の電力依存性についてのシミュレーション結果を示す図である。図 8 を参照して、グラフの横軸は、変調信号の PA 1 1 a の出力端での電力を示す。グラフの縦軸は、PA 1 1 a の出力端から歪みの無い変調信号を入力した場合に、受信端子 RX から出力される変調信号から算出した E V M を示す。入力した変調信号の周波数は 5 . 4 G H z である。

波形 8 a は、フロントエンド回路 10 の EVM を表す。波形 8 b は、従来のフロントエンド回路の EVM を表す。

[0089] 図 4 に要求特性を示したように、22 dBm 以下の電力の歪みの無い変調信号を PA 11 a の出力端に入力した場合に、受信端子 RX において測定される EVM は 1.8% 以下でなければならない。従来のフロントエンド回路では、0 dBm 程度の電力の変調信号を入力した場合であっても、EVM が 1.8% を超えている。一方、本実施の形態によるフロントエンド回路 10 では、22 dBm の電力の変調信号を入力した場合に、EVM は 1.0% 未満である。したがって、フロントエンド回路 10 の EVM は、図 4 に示した要求特性を満たしている。よって、減衰部 14 が減衰回路 F1 ~ F3 を含むことで、ループバック信号の歪みが十分に低減されていることが分かる。

[0090] ただし、22 dBm という値は、あくまで送信信号の電力の一例に過ぎない。送信信号の電力の範囲は、アイソレーションにより定まるループバック信号の電力に応じて適宜設定される。

[0091] なお、図 8 に示したシミュレーション結果から、以下のようなことが分かる。たとえば、送信端子 TX とアンテナ端子 ANT との間の線形出力が 20 dBm (20 dBm 出力まで 1.8% 以下の EVM を保つ) の PA があり、22 dBm 出力のとき、EVM が 5% 程度になっていたとする。ループバック信号の歪み特性は、22 dBm 入力まで良好な線形性をもつと分かっている。このため、アンテナ端子 ANT で 22 dBm 出力のとき、受信端子 RX で測定される $5\% + \alpha$ の変調信号の歪み方 (ゲイン歪みは正か負か、位相歪みは正か負か) がほぼ PA によるものと言えるので、どちらに逆歪みをかければ良いか分かる。つまり、線形出力 20 dBm の実力をもつ PA が DPD により 22 dBm まで線形性良く使用できることになる。どこまで線形性良く PA を使用できるかは、ループバック信号の線形入力が何 dBm かに強く依存する。

[0092] 図 9 は、図 1 に示したフロントエンド回路 10 における、LNA モードおよびバイパスモードでのゲインについてのシミュレーション結果を示す図で

ある。図9を参照して、グラフの横軸は、アンテナ端子ANTが受けた受信信号の周波数である。グラフの縦軸は、アンテナ端子ANTと受信端子RXとの間のゲインである。波形9aは、LNAモードでのゲインを表す。波形9bは、バイパスモードでのゲインを表す。

[0093] 図4に要求特性を示したように、5.15GHz～5.9GHzにおいて、LNAモードでのゲインは10dB以上でなければならない。バイパスモードでのゲインは-12dB～-8dBでなければならない。本実施の形態によるフロントエンド回路10では、上記周波数帯域すべてにおいて、LNAモードでのゲインが10dBを超えている。また、バイパスモードでのゲインも、上記周波数帯域すべてにおいて、-12dB～-8dBの間に収まっている。したがって、フロントエンド回路10のLNAモードおよびバイパスモードでのゲインはいずれも、図4に示した要求特性を満たしている。よって、減衰部14が減衰回路F1～F3を含むことで、受信信号は適切な信号強度の範囲内に収まるように調整されていることが分かる。

[0094] 以上のように、TXモードにおいては、減衰回路F1～F3をすべてターンオンしてループバック信号を減衰させる。このため、IEEE802.11acに規定された要求特性を満たすアイソレーションを得ることができる。その結果、ループバック信号の歪みを低減させることもできるので、上記要求特性を満たすEVMを得ることができる。また、LNAモードにおいては、減衰回路F1～F3をすべてターンオフしてループバック信号を減衰させない。このため、上記要求特性を満たすゲインを得ることができる。さらに、バイパスモードにおいては、減衰回路F2のみをターンオンして受信信号を適度に減衰させる。このため、上記要求特性を満たすゲインを得ることができる。したがって、本実施の形態によれば、TXモード、LNAモード、およびバイパスモードのすべての動作モードにおいて、図4に示した要求特性を満たすフロントエンド回路を実現できる。

[0095] なお、本実施の形態によるフロントエンド回路10では、制御信号V_{__}RXが第1の制御信号であるとした。しかし、第1の制御信号は、制御信号V

__TXであってもよい。制御信号V__TXと制御信号V__RXとは、H信号とL信号とが常に逆の関係にあるためである。ただし、この場合、制御信号V__TXに応答して適切に動作するように、PA11aおよび減衰回路F1, F3を変更することが必要である。また、上記と同じ理由により、制御信号V__TXと制御信号V__RXとは1つの制御信号にまとめることもできる。

[0096] フロントエンド回路10では、アンテナスイッチ13と始点Aとの間、始点AとスイッチSWとの間、および始点AとLNA12aとの間の伝送線路に、各々1つずつ減衰回路が設けられている。しかし、上記伝送線路であれば、減衰回路の位置を問わず、伝送線路を伝送される高周波信号を減衰させることができる。なぜなら、減衰回路がオン状態であるとき、減衰回路が設けられた伝送線路のインピーダンスが減少するため、高周波信号は減衰回路に向かって伝送されるからである。したがって、高周波信号の減衰量は、減衰回路の位置ではなく、主に減衰回路の個数によって定まる。

[0097] しかし、ループバック信号に生じる歪みを低減させる観点からは、減衰回路の位置はループバック信号に影響を与えうる。ループバック信号に生じる歪みの主な要因はトランジスタの線形性である。ここで、トランジスタとは、PA11aが含む増幅トランジスタ、LNA12aが含む増幅トランジスタ、およびスイッチSWが含むスイッチングトランジスタ（いずれも図示しない）を指す。ループバック信号に歪みを生じさせる主な要因となるトランジスタを特定し、そのトランジスタのすぐ前段に減衰回路を設けることがより好ましい。

[0098] また、LNA12aに伝送される受信信号の伝送線路（アンテナスイッチ13とLNA12aとの間）に多数の減衰回路が設けられていると、LNA12aの雑音指数（Noise Figure）が劣化する可能性がある。これは、減衰回路の各々が含むFETがターンオンあるいはターンオフされるとき、FETのドレインソース間の寄生容量により、LNA12aの雑音指数が劣化してしまうというものである。

[0099] 以上のように、減衰回路の配置およびその個数は、TXモードにおいてループバック信号に歪みを生じさせる要因となるトランジスタや、LNAモードにおけるLNA12aの雑音指数などに応じて適宜調整することが好ましい。たとえば、アンテナスイッチ13と始点Aとの間に1つの減衰回路が設けられ、始点AとスイッチSWとの間に2つの減衰回路が設けられ、始点AとLNA12aとの間に1つの減衰回路が設けられるように、減衰回路を配置することもできる。そして、TXモードでは4つすべての減衰回路がターンオンされ、LNAモードでは4つすべての減衰回路がターンオフされ、バイパスモードでは、始点AとスイッチSWとの間に設けられた2つの減衰回路のみがターンオンされるという制御もありえる。

[0100] 以下、実施の形態2～6において、減衰回路の配置およびその個数が異なるフロントエンド回路について説明する。なお、以下の実施の形態および実施の形態の変形例に関し、実施の形態1によるフロントエンド回路10と同一または同様の制御については、その説明を繰返さない。

[0101] [実施の形態2]

実施の形態2は、減衰部14が2つの減衰回路を含むという点で、実施の形態1と異なっている。実施の形態2では、減衰部14がいずれか2つの位置に各々1つずつ減衰回路を含む場合について説明する。

[0102] 図10は、本発明の実施の形態2によるフロントエンド回路の構成を示す回路ブロック図である。図10を参照して、フロントエンド回路20では、減衰回路F1（第1の減衰回路）は、アンテナスイッチ13と始点Aとの間に設けられる。減衰回路F2（第2の減衰回路）は、始点AとLNA12aとの間に設けられる。減衰回路F1は、制御信号V_{__RX}を受けるように配線される。減衰回路F2は、制御信号V_{__LNA}を受けるように配線される。

[0103] 実施の形態2では、LNA12aのすぐ前段に減衰回路が設けられる。したがって、実施の形態2によれば、ループバック信号に生じる歪みの主要因がLNA12aが含む増幅トランジスタである場合に、ループバック信号

の歪みが低減されるという点で特に効果がある。

[0104] [実施の形態 3]

実施の形態 3 は、2つの減衰回路の配置の点で実施の形態 2 と異なっている。実施の形態 3 では、減衰部 14 がいずれか 2つの位置に各々 1つずつ減衰回路を含むという点は、実施の形態 2 と共通である。

[0105] 図 1 1 は、本発明の実施の形態 3 によるフロントエンド回路の構成を示す回路ブロック図である。図 1 1 を参照して、フロントエンド回路 30 では、減衰回路 F 1（第 1 の減衰回路）は、アンテナスイッチ 13 と始点 A との間に設けられる。減衰回路 F 2（第 2 の減衰回路）は、始点 A とスイッチ SW との間に設けられる。

[0106] 実施の形態 3 では、スイッチ SW のすぐ前段に減衰回路が設けられる。実施の形態 3 によれば、ループバック信号に生じる歪みの主要因がスイッチ SW が含むスイッチングトランジスタである場合に、ループバック信号の歪みが低減されるという点で特に効果がある。

[0107] [実施の形態 4]

実施の形態 4 では、2つの減衰回路がほぼ同じ位置に設けられているという点で、実施の形態 2, 3 と異なっている。

[0108] 図 1 2 は、本発明の実施の形態 4 によるフロントエンド回路の構成を示す回路ブロック図である。図 1 2 を参照して、フロントエンド回路 40 では、減衰回路 F 1（第 1 の減衰回路）および減衰回路 F 2（第 2 の減衰回路）が、いずれもアンテナスイッチ 13 と始点 A との間に設けられている。

[0109] 実施の形態 4 では、アンテナスイッチ 13 と始点 A との間に 2つの減衰回路が設けられる。実施の形態 4 によれば、LNA 12a が含む増幅トランジスタおよびスイッチ SW が含むスイッチングトランジスタがループバック信号に生じる歪みに及ぼす影響が同程度である場合、あるいは、ループバック信号に生じる歪みの主要因がいずれのトランジスタであるのかが明らかでない場合に、ループバック信号の歪みが低減されるという点で特に効果がある。

[0110] [実施の形態 5]

実施の形態 5 は、ほぼ同じ位置に設けられた 2 つの減衰回路の配置の点で、実施の形態 4 と異なっている。

[0111] 図 1 3 は、本発明の実施の形態 5 によるフロントエンド回路の構成を示す回路ブロック図である。図 1 3 を参照して、フロントエンド回路 5 0 では、減衰回路 F 1（第 1 の減衰回路）および減衰回路 F 2（第 2 の減衰回路）が、いずれも始点 A とスイッチ SW との間に設けられている。

[0112] 実施の形態 3 のフロントエンド回路 3 0 と同様に、実施の形態 5 では、スイッチ SW のすぐ前段に減衰回路が設けられる。実施の形態 5 によれば、ループバック信号に生じる歪みの主な要因がスイッチ SW が含むスイッチングトランジスタである場合に、ループバック信号の歪みが低減されるという点で特に効果がある。また、フロントエンド回路 5 0 では、LNA 1 2 a に伝送される受信信号の伝送線路に減衰回路が設けられていない。したがって、LNA モードにおける LNA 1 2 a の雑音指数の劣化を抑制することができる。

[0113] [実施の形態 6]

実施の形態 6 は、ほぼ同じ位置に設けられた 2 つの減衰回路の配置の点で、実施の形態 4, 5 と異なっている。

[0114] 図 1 4 は、本発明の実施の形態 6 によるフロントエンド回路の構成を示す回路ブロック図である。図 1 4 を参照して、フロントエンド回路 6 0 では、減衰回路 F 1（第 1 の減衰回路）および減衰回路 F 2（第 2 の減衰回路）は、いずれも始点 A と LNA 1 2 a との間に設けられている。

[0115] 実施の形態 2 のフロントエンド回路 2 0 と同様に、実施の形態 6 では、LNA 1 2 a のすぐ前段に減衰回路が設けられる。実施の形態 6 によれば、ループバック信号に歪みを生じさせる主な要因が LNA 1 2 a が含む増幅トランジスタである場合に、ループバック信号の歪みが低減されるという点で特に効果がある。

[0116] なお、フロントエンド回路 1 0, 2 0, 4 0, 6 0 では、LNA 1 2 a に

伝送される受信信号の伝送線路に2つの減衰回路が設けられるのに対し、フロントエンド回路30では1つの減衰回路のみが設けられる。したがって、フロントエンド回路30は、フロントエンド回路10、20、40、60と比べて、LNAモードにおけるLNA12aの雑音指数の劣化をより一層抑制することができる。

[0117] [変形例1]

以上、実施の形態1～6では、減衰回路がいずれも図3に示した構成を有する場合について説明した。しかし、減衰回路の構成はこれに限定されるものではない。減衰回路は、高周波信号の伝送線路と接地ノードGNDとの間に並列に接続され、高周波信号を接地ノードGNDに逃がすものであれば、その構成を問わない。以下、減衰回路の構成を変更した、実施の形態の変形例による減衰回路について説明する。なお、実施の形態の変形例によるフロントエンド回路について、図3に示した減衰回路F1の構成要素と同等の構成要素には同一の符号を付して、その説明を繰返さない。また、その制御も、実施の形態1～6によるフロントエンド回路の制御と同様であるため、その説明を繰返さない。

[0118] 図15は、本発明の実施の形態の変形例1による減衰回路の構成を示す回路図である。図15を参照して、減衰回路F11では、コンデンサC2の接地ノードGND側と接地ノードGNDとの間にインダクタL1が設けられている。そのため、コンデンサC2の容量およびインダクタL1のインダクタンスにより、LC共振回路が形成される。

[0119] 以下、減衰部14が含む複数の減衰回路の各々が、変形例1の減衰回路F11と同等の構成である場合について説明する。減衰回路F11では、IEE802.11acで規定されている周波数帯域内にLC共振回路の共振点の周波数が位置するように、コンデンサC2の容量およびインダクタL1のインダクタンスを設定するとよい。そのようにすることで、上記周波数帯域外にLC共振回路の共振点が位置する場合と比べて、ループバック信号を一層減衰させることができる。

[0120] また、共振点近傍の周波数帯域では減衰量の変化が急峻であるというアイソレーションの特性を利用して、アイソレーションの周波数依存性を柔軟に調整することができる。たとえば、減衰回路F 1 1と同等の構成を各々有する2つの減衰回路を減衰部1 4が含む場合、一方の減衰回路の共振点は上記周波数帯域より高い周波数帯域に位置し、他方の減衰回路の共振点は上記周波数帯域より低い周波数帯域に位置するように、各々のコンデンサC 2の容量および／またはインダクタL 1のインダクタンスを設定するとよい。このようにすることで、上記周波数帯域におけるアイソレーションの周波数依存性を平坦にすることができる。すなわち、ループバック信号の信号強度が送信信号の周波数に依存しないフロントエンド回路を実現できる。

[0121] インダクタL 1には、フロントエンド回路をパッケージに実装するためのボンディングワイヤを用いることが好ましい。ボンディングワイヤのインダクタンスを用いることで、インダクタを新たに追加しなくてもよい。このため、部材コストを低減できるからである。ただし、インダクタL 1はボンディングワイヤに限定されるものではない。インダクタL 1は、たとえば、スパイラルインダクタ、チップインダクタ、または実装基板上に形成された伝送線路などであってもよい。

[0122] [変形例2]

変形例1では、減衰回路ごとに1つのインダクタが設けられる。しかし、インダクタは、複数の減衰回路に共通に設けるようにしてもよい。

[0123] 図1 6は、本発明の実施の形態の変形例2による減衰部の構成を示す回路図である。

図1 6を参照して、減衰回路F 1, F 2が有するコンデンサC 2は、接地ノードGND側で互いに接続されている。減衰部は、接地ノードGNDとの間に設けられたインダクタLをさらに含む。減衰回路の配置およびその個数は、実施の形態2のフロントエンド回路2 0が備えた減衰部1 4と同様である。

[0124] I E E E 8 0 2. 1 1 a cで規定されている周波数帯域内に減衰回路の共

振点が位置するように、コンデンサC 2の容量およびインダクタLのインダクタンスが設定される。これにより、変形例1の減衰回路F 1 1と同様に、アイソレーションの周波数依存性を柔軟に調整することができる。また、変形例2による減衰部を備えるフロントエンド回路は、2つの減衰回路F 1 1を有するフロントエンド回路と比べてインダクタが1つ少ない。このため、部材コストを低減することができる。

[0125] さらに、2つの減衰回路F 1 1を有するフロントエンド回路と比べた場合、変形例2による減衰部を備えるフロントエンド回路は、コンデンサC 2の容量が互いに等しいとき、インダクタのインダクタンスが減少する分、Q値が減少する。そのため、共振点近傍の周波数帯域での減衰量の変化が比較的緩やかになる。したがって、アイソレーションの周波数依存性を比較的平坦にすることができる。これは、IEEE 802.11acの規格に従うフロントエンド回路の場合、周波数帯域が広いと特に効果がある。別の観点から見ると、Q値を減少させるために、コンデンサC 2の個数を増やしたりコンデンサC 2のサイズを大きくしたりしなくてよい。このため、基板面積を低減することもできる。

[0126] フロントエンド回路は、フロントエンドモジュール（高周波モジュール）に組み込まれ、パッケージに実装される。フロントエンド回路が変形例2による減衰部を備える場合にについて説明する。

[0127] 図17は、図16に示した減衰部を備えたフロントエンド回路を組み込んだフロントエンドモジュールにおいて、パッケージ内のボンディングワイヤによる配線を模式的に示す図である。

[0128] 図17に示したフロントエンドモジュール1は、HBT（Heterojunction Bipolar Transistor）基板1aと、HEMT（High Electron Mobility Transistor）基板1bと、QFN（Quad Flat Non-leaded）パッケージ1cとを備える。HBT基板1aおよびHEMT基板1bは、い

ずれも QFN パッケージ 1 c に実装されている。簡略化のため図示していないが、HBT 基板 1 a には、PA 1 1 a が形成されている。HEMT 基板 1 b には、LNA 1 2 a およびアンテナスイッチ 1 3 が形成されている。フロントエンド回路のその他の構成要素も、QFN パッケージ 1 c に実装されている。

[0129] QFN パッケージ 1 c は、一辺が 2.5 mm の略正方形である。QFN パッケージ 1 c は、リードフレーム LF 1 ~ LF 16 を含む。リードフレーム LF 1 ~ LF 16 の各々は、以下のように、対応する端子またはノードにワイヤボンディングで接続されている。すなわち、リードフレーム LF 1 は、接地ノード GND に接続される。リードフレーム LF 2 は、受信端子 RX に接続される。リードフレーム LF 4 は、制御信号 V_{LN}A を受ける制御端子 T 3 に接続される。リードフレーム LF 6 は、制御信号 V_{TX} を受ける制御端子 T 1 に接続される。リードフレーム LF 8 は、送信端子 TX に接続される。リードフレーム LF 13 は、アンテナ端子 ANT に接続される。リードフレーム LF 15 は、制御端子 T 2 に接続される。

[0130] これらボンディングワイヤの中で、HEMT 基板 1 b 上の電極パッドとリードフレーム LF 1 とを接続するボンディングワイヤ W が、図 16 に示したインダクタ L に相当する。ワイヤボンディングにより配線するとき、ボンディングワイヤ W の長さをわずかに変化させることで、インダクタ L のインダクタンスを微調整することができる。そのため、共振点が所望の周波数に位置するようにインダクタ L のインダクタンスを設定することができる。したがって、アイソレーションの周波数依存性を柔軟に調整することができる。なお、インダクタ L は、ボンディングワイヤではなく、スパイラルインダクタ、チップインダクタ、または伝送線路などで別に設けてもよい。

[0131] なお、変形例 2 による減衰部を備えたフロントエンド回路を QFN パッケージ 1 c に実装する場合について説明したが、実施の形態 1 ~ 6 によるフロントエンド回路についても同様に、QFN パッケージに実装することができる。また、QFN パッケージ 1 c に実装される回路は実施の形態 1 ~ 6 のフ

ロントエンド回路およびその構成要素に限定されない。QFNパッケージ1cには、無線LANによるデータ通信に用いる他の回路を含めてもよい。

[0132] HBT基板、HEMT基板、およびQFNパッケージはあくまで例示であり、基板およびパッケージの種類をこれらに限定するものではない。

[0133] また、IEEE 802.11acを例に用いたが、これもあくまで無線通信の例示である。5GHz帯にかぎらず、2.4GHz帯に対応する無線LANのフロントエンド回路にも本発明は適用可能である。2.4GHzについても、同様の効果を得ることができる。さらに、無線通信の方式自体が、IEEE 802.11規格で規定された無線LANに限定されない。

[0134] 実施の形態1～6では、アンテナスイッチ13と始点Aとの間に入力整合回路12cが設けられている。しかし、入力整合回路12cは、アンテナスイッチ13とLNA12aとの間のいずれかの位置に設けられていればよい。すなわち、入力整合回路12cは、始点AとLNA12aとの間に設けられていてもよい。また、図1に示したフロントエンド回路10において、端子TRと入力整合回路12cとの間に減衰回路F1が設けられている。しかし、減衰回路の位置は、入力整合回路12cの前後を問わない。すなわち、減衰回路F1は、入力整合回路12cと始点Aとの間に設けられていてもよい。

[0135] 接続切替回路として、具体的にアンテナスイッチ13を示したが、アンテナスイッチ13を無線LANに対応したデュプレクサに置き換えてもよい。また、アンテナスイッチ13は、SPDT型スイッチに限定されない。アンテナスイッチ13は、SP3T (Single Pole Triple Throw) 型スイッチやSP4T (Single Pole Quadruple Throw) 型スイッチなどの高次のスイッチであってもよい。

[0136] RFIC200が歪補償回路204を備える場合について説明したが、これに限定されるものではない。歪補償回路は、RFIC200とは異なる外部回路が備えるものであってもよい。

[0137] さらに、送信信号の一部を分岐した分岐信号の用途は、DPDを適用する

場合に必ずしも限定されない。温度変化やアンテナインピーダンスの変化により生じる P A 1 1 a の諸特性の変動を、分岐信号の電圧（もしくは電力）に基づいて補償することは、D P D に限らず広く行われている。ゲインが変動したときに、P A 1 1 a に入力する電力を増減したり P A 1 1 a のバイパス回路の制御電圧を増減したりして、ゲインを一定に保つために分岐信号を用いてもよい。

[0138] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した説明ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0139] 1 0, 2 0, 3 0, 4 0, 5 0, 6 0, 1 0 0, 1 1 0 フロントエンド回路、1 1 a, 1 0 1 a P A、1 2 a, 1 0 2 a L N A 1 2、1 2 b, 1 0 2 b バイパス回路、S W スイッチ、1 2 c 入力整合回路、1 2 d 出力整合回路、1 3, 1 0 3, 1 1 3 アンテナスイッチ、T A, T T, T R 端子、1 0 4, 2 0 4 歪補償回路、2 0 0 R F I C、3 0 0 アンテナ、4 0 0 制御回路、1 4 減衰部、F 1, F 2, F 3, F 1 1 減衰回路、A 始点、B 終点、T X 送信端子、R X 受信端子、A N T アンテナ端子、T 1, T 2, T 3 制御端子、V__T X, V__R X, V__L N A 制御信号、S i n 入力信号、S o u t 出力信号、S p 歪補償信号、S__l o o p ループバック信号、S__R X 送信信号、S__R X 受信信号、Q 1 スイッチング素子、C 1, C 2 コンデンサ、R 1, R 2 抵抗、1 フロントエンドモジュール、1 a H B T 基板、1 b H E M T 基板、1 c Q F N パッケージ、L F 1, L F 2, L F 3, L F 4, L F 5, L F 6, L F 7, L F 8, L F 9, L F 1 0, L F 1 1, L F 1 2, L F 1 3, L F 1 4, L F 1 5, L F 1 6 リードフレーム、W ボンディングワイヤ、7 a, 7 b, 8 a, 8 b, 9 a, 9 b 波形。

請求の範囲

[請求項1] 送信端子が受けた信号を増幅して送信信号を出力する電力増幅回路と、

アンテナ端子により受信された受信信号を増幅して、増幅された前記受信信号を受信端子に出力する低雑音増幅回路と、

第1の制御信号に応答して、前記アンテナ端子と前記電力増幅回路との間の接続と、前記アンテナ端子と前記低雑音増幅回路との間の接続とを切替える接続切替回路と、

第2の制御信号に応答して、前記低雑音増幅回路を迂回するバイパスを、前記接続切替回路と前記受信端子との間に形成するバイパス回路と、

前記受信信号の伝送線路に設けられた減衰部と
を備え、

前記減衰部は、複数の減衰回路を含み、
前記複数の減衰回路は、

前記接続切替回路により前記アンテナ端子が前記電力増幅回路と電氣的に接続される場合に、前記第1の制御信号に応答して、前記送信信号のうちの前記受信信号の伝送線路に漏洩した分岐信号を減衰させる、第1の減衰回路と、

前記接続切替回路により前記アンテナ端子が前記低雑音増幅回路と電氣的に接続される場合に、前記第2の制御信号に応答して、前記伝送線路の前記受信信号を減衰させる、第2の減衰回路と
を含む、高周波回路。

[請求項2] 前記バイパス回路は、前記第2の制御信号に応答するスイッチを含み、前記接続切替回路と前記低雑音増幅回路との間に設けられた始点から前記バイパスを形成し、

前記複数の減衰回路の各々は、前記接続切替回路と前記始点との間、前記始点と前記スイッチとの間、または前記始点と前記低雑音増幅

回路との間に設けられた、請求項 1 に記載の高周波回路。

[請求項3] 前記複数の減衰回路の各々は、前記伝送線路と接地ノードとの間に設けられたスイッチング素子を有し、

前記スイッチング素子は、前記第 1 および前記第 2 の制御信号のうちの対応する信号に応答して、前記伝送線路を前記接地ノードに電氣的に接続する、請求項 1 または 2 に記載の高周波回路。

[請求項4] 前記スイッチング素子は、FET (Field Effect Transistor) であり、

前記複数の減衰回路の各々は、

前記 FET のゲートと前記接地ノードとの間に設けられた抵抗と、

前記 FET のドレインと前記伝送線路との間に設けられた第 1 のコンデンサと、

前記 FET のソースと前記接地ノードとの間に設けられた第 2 のコンデンサと

をさらに有し、

前記 FET のドレインは、前記第 1 および前記第 2 の制御信号のうちの対応する信号を受ける、請求項 3 に記載の高周波回路。

[請求項5] 前記複数の減衰回路の各々は、前記第 2 のコンデンサと前記接地ノードとの間に設けられたインダクタをさらに有する、請求項 4 に記載の高周波回路。

[請求項6] 前記複数の減衰回路のうち、少なくとも 2 つの減衰回路の各々が有する前記第 2 のコンデンサは、前記接地ノード側で互いに接続されており、

前記減衰部は、互いに接続された前記第 2 のコンデンサの前記接地ノード側と、前記接地ノードとの間に設けられたインダクタをさらに含む、請求項 4 に記載の高周波回路。

[請求項7] 前記インダクタは、前記高周波回路をパッケージに実装するためのボンディングワイヤである、請求項 5 または 6 に記載の高周波回路。

- [請求項8] 前記複数の減衰回路は、前記第1の制御信号に応答して、前記第1の減衰回路とともに前記分岐信号を減衰させる第3の減衰回路をさらに有し、
- 前記第1の減衰回路は、前記接続切替回路と前記始点との間に設けられ、
- 前記第2の減衰回路は、前記始点と前記低雑音増幅回路との間に設けられ、
- 前記第3の減衰回路は、前記始点と前記スイッチとの間に設けられた、請求項2に記載の高周波回路。
- [請求項9] 前記第1の減衰回路は、前記接続切替回路と前記始点との間に設けられ、
- 前記第2の減衰回路は、前記始点と前記低雑音増幅回路との間に設けられた、請求項2に記載の高周波回路。
- [請求項10] 前記第1の減衰回路は、前記接続切替回路と前記始点との間に設けられ、
- 前記第2の減衰回路は、前記始点と前記スイッチとの間に設けられた、請求項2に記載の高周波回路。
- [請求項11] 前記第1および第2の減衰回路は、前記接続切替回路と前記始点との間に設けられた、請求項2に記載の高周波回路。
- [請求項12] 前記第1および第2の減衰回路は、前記始点と前記スイッチとの間に設けられた、請求項2に記載の高周波回路。
- [請求項13] 前記第1および第2の減衰回路は、前記始点と前記低雑音増幅回路との間に設けられた、請求項2に記載の高周波回路。
- [請求項14] 請求項1～13のいずれか一項に記載の高周波回路を備える高周波モジュール。
- [請求項15] 前記高周波モジュールは、前記第1の減衰回路により減衰された前記分岐信号を前記受信端子から受ける歪補償回路をさらに備え、
- 前記歪補償回路は、減衰された前記分岐信号に基づいて、前記送信

端子に出力する前に前記送信信号の歪みを低減し、歪みが低減された前記送信信号を前記送信端子に出力する、請求項 14 に記載の高周波モジュール。

[請求項16]

前記高周波モジュールは、

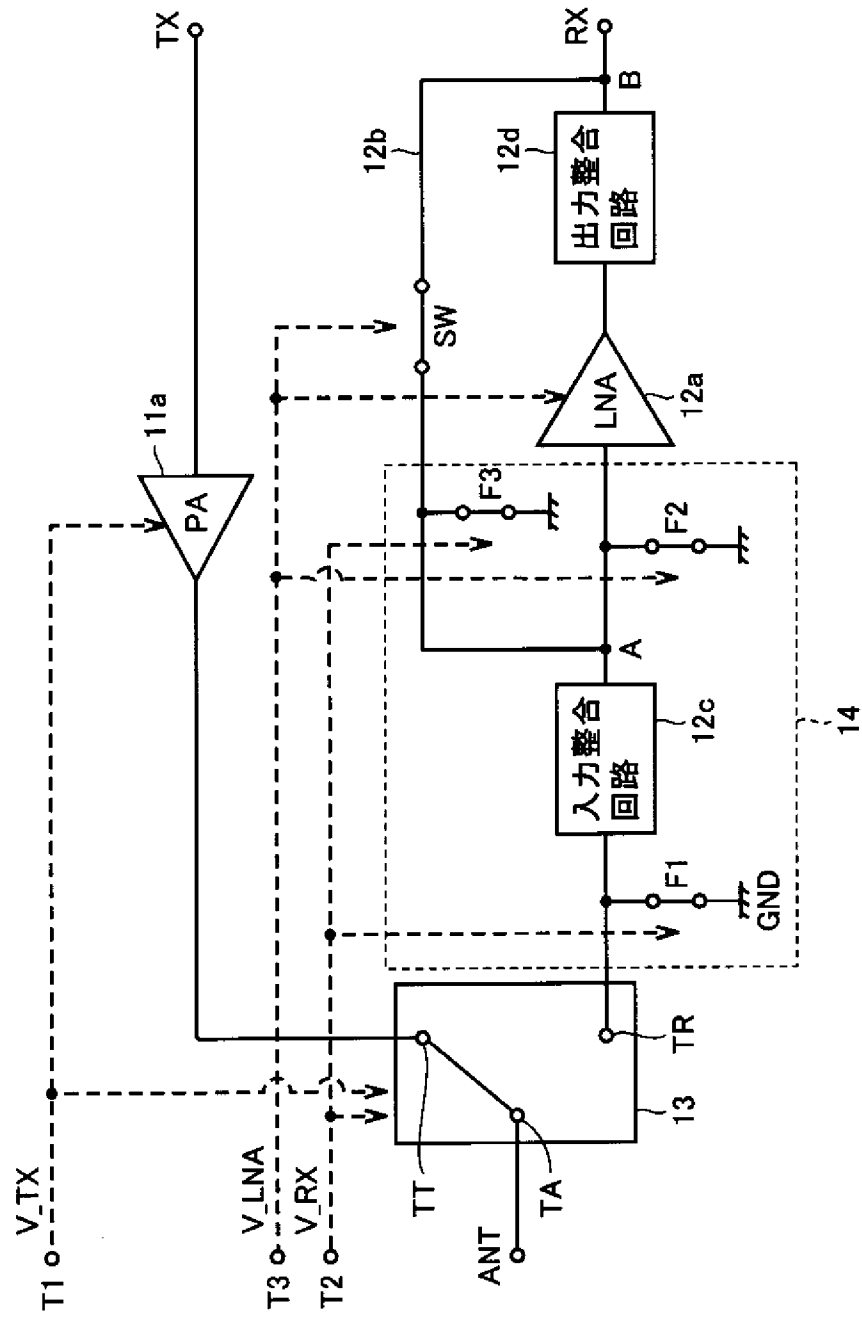
前記電力増幅回路が形成された HBT (Heterojunction Bipolar Transistor) 基板と、

前記低雑音増幅回路および前記接続切替回路が形成された HEMT (High Electron Mobility Transistor) 基板と、

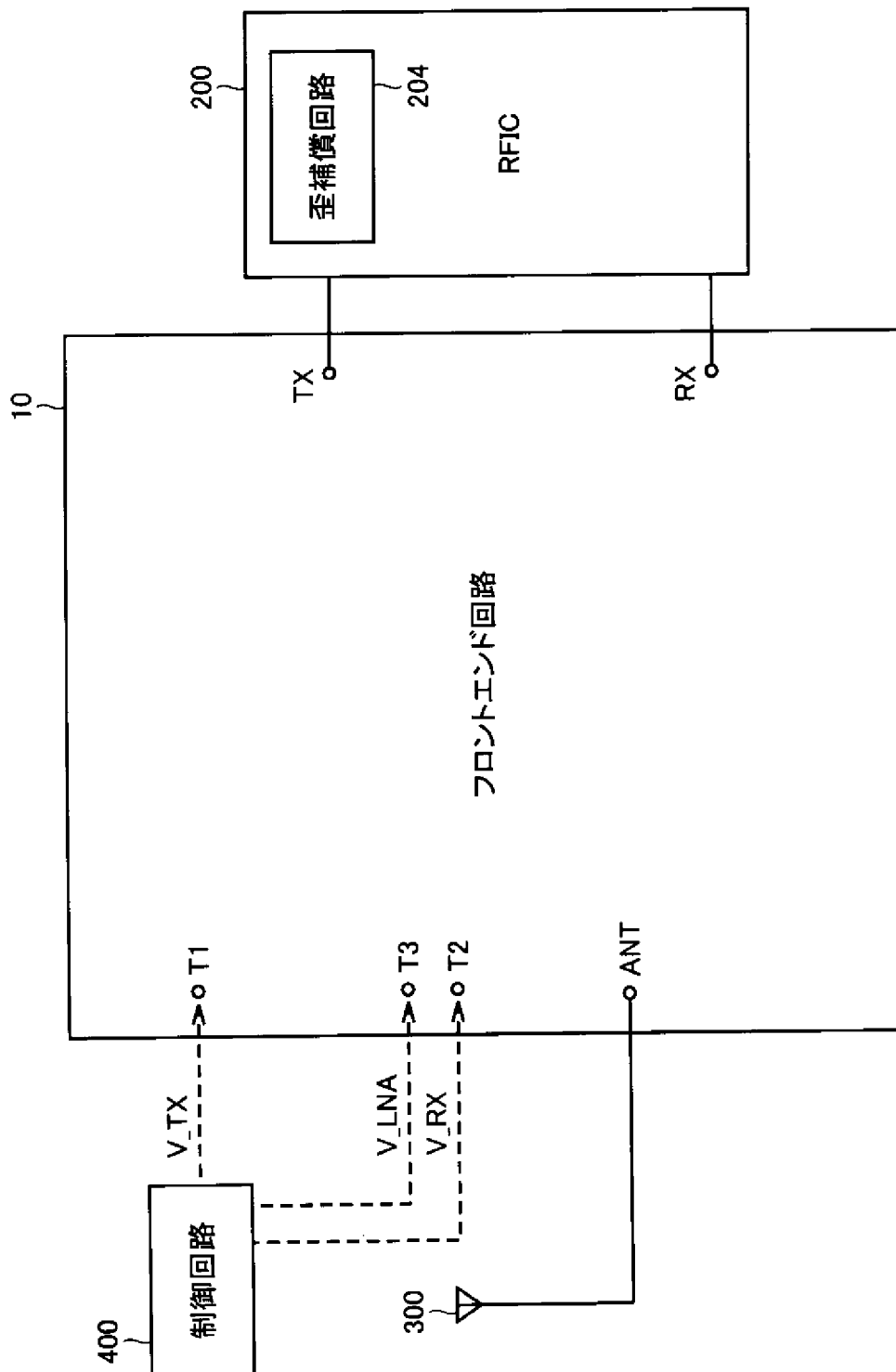
前記高周波回路が実装された QFN (Quad Flat Non-leaded) パッケージと

をさらに備える、請求項 14 または 15 に記載の高周波モジュール。

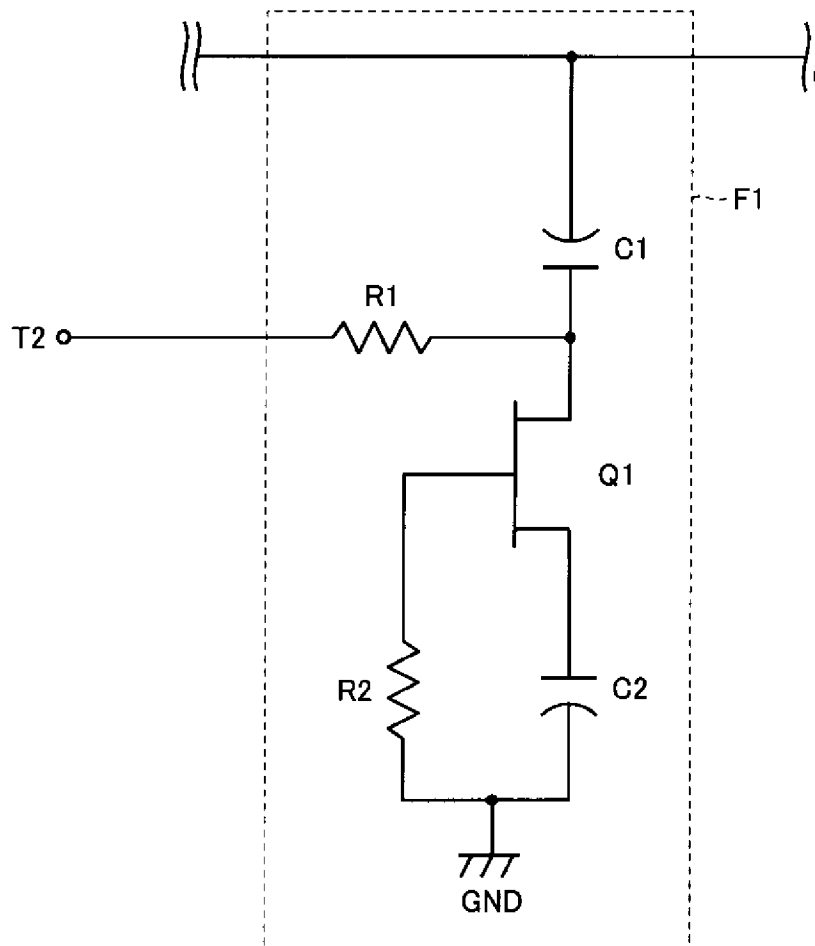
10



[図2]



[図3]



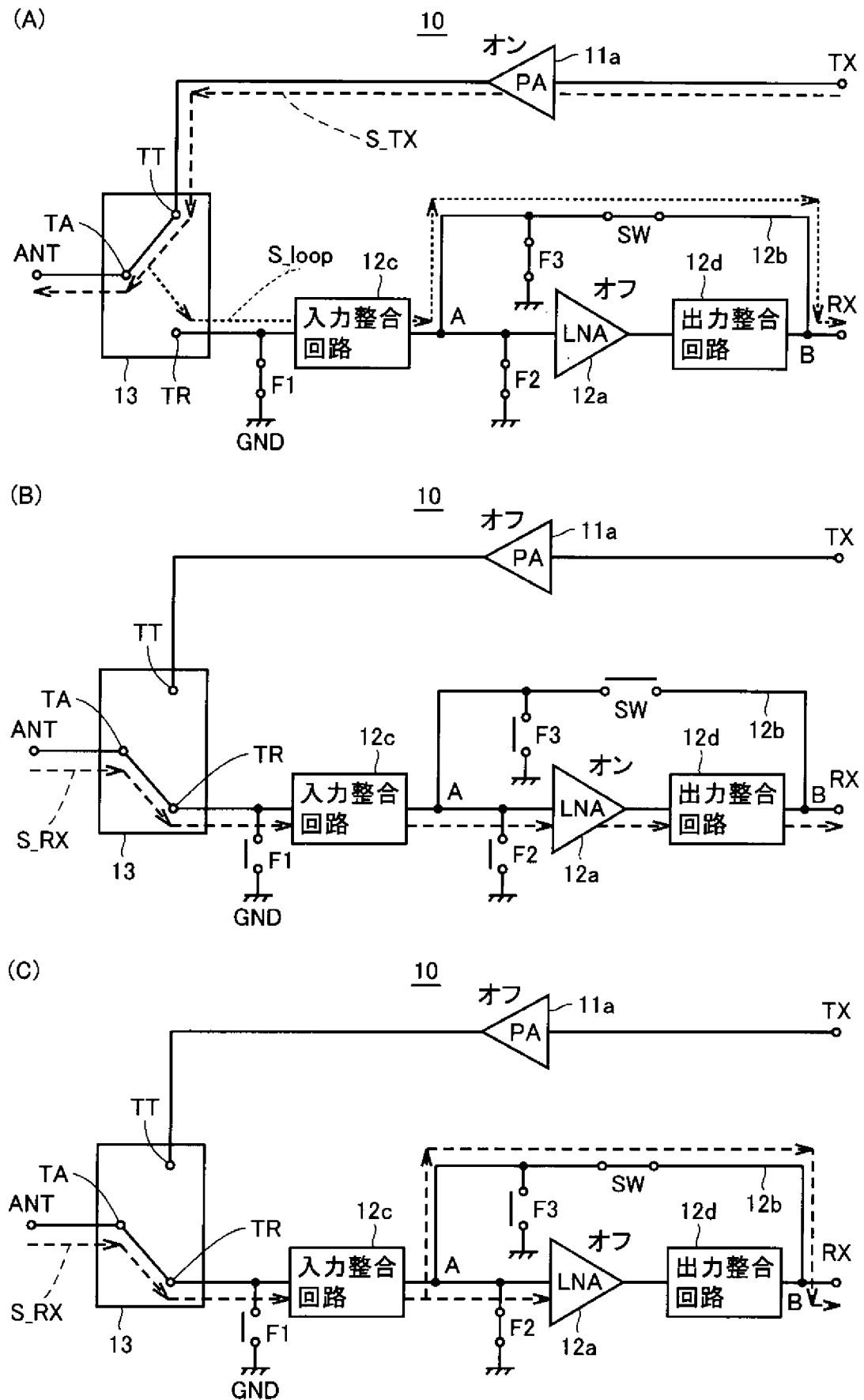
[図4]

	TXモード			LNAモード	バイパスモード
	ゲイン	アイソレーション	EVM	ゲイン	ゲイン
802.11ac	27dB	-40dB	1.8%	10dB	-12dB~-8dB

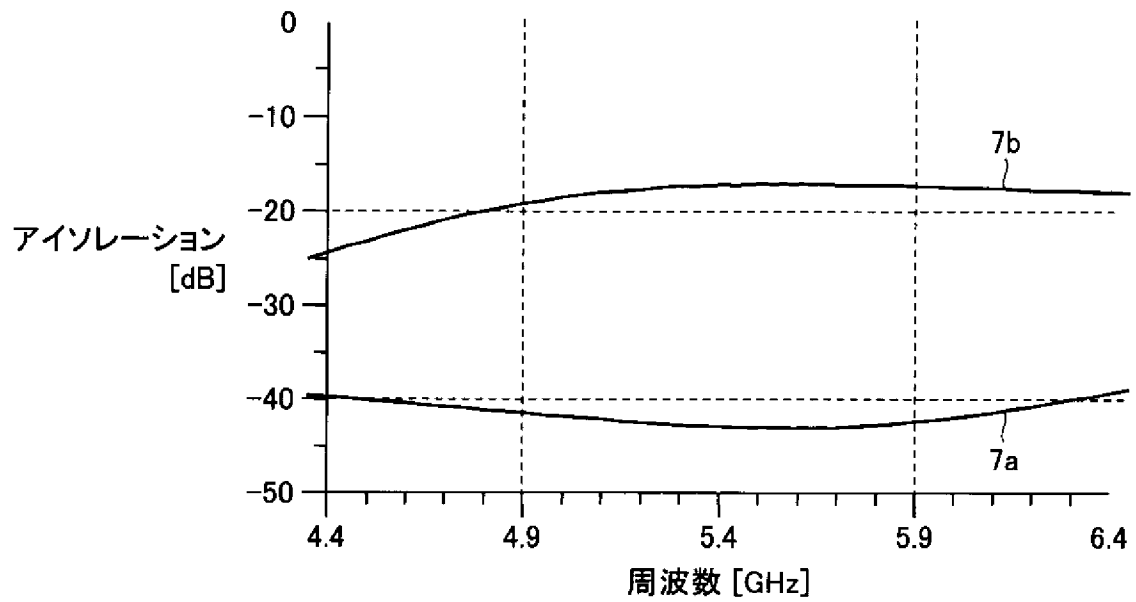
[図5]

	TXモード	LNAモード	バイパスモード
制御信号V_TX	H	L	L
制御信号V_RX	L	H	H
制御信号V_LNA	L	H	L
接続切替回路13	TX	RX	RX
パワーアンプ11a	ON	OFF	OFF
LNA12a	OFF	ON	OFF
バイパス回路12b	ON	OFF	ON
フィルタ回路F1	ON	OFF	OFF
フィルタ回路F2	ON	OFF	ON
フィルタ回路F3	ON	OFF	OFF

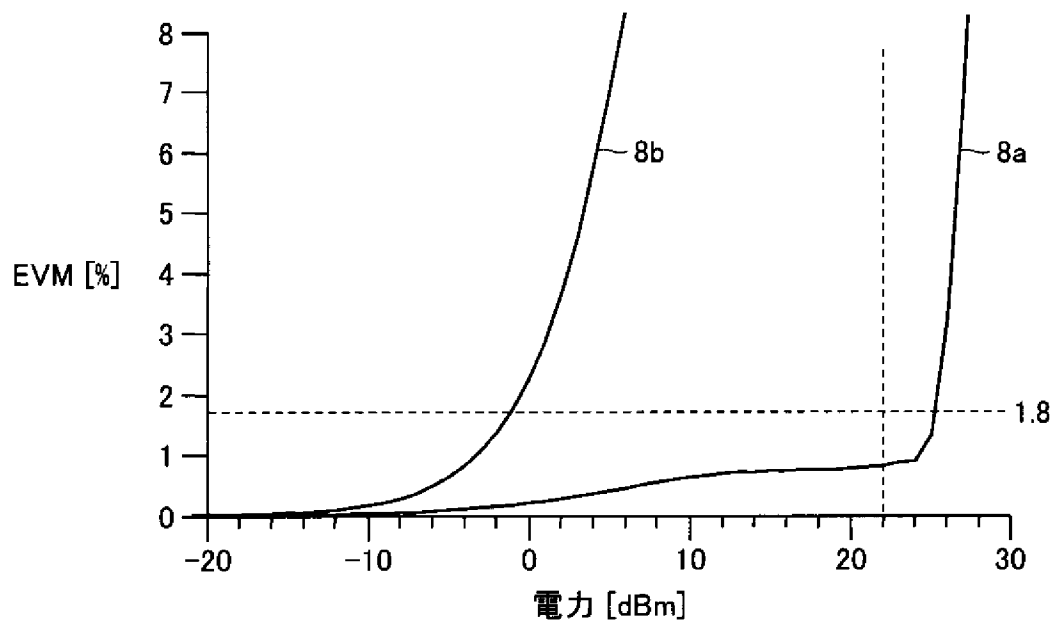
[図6]



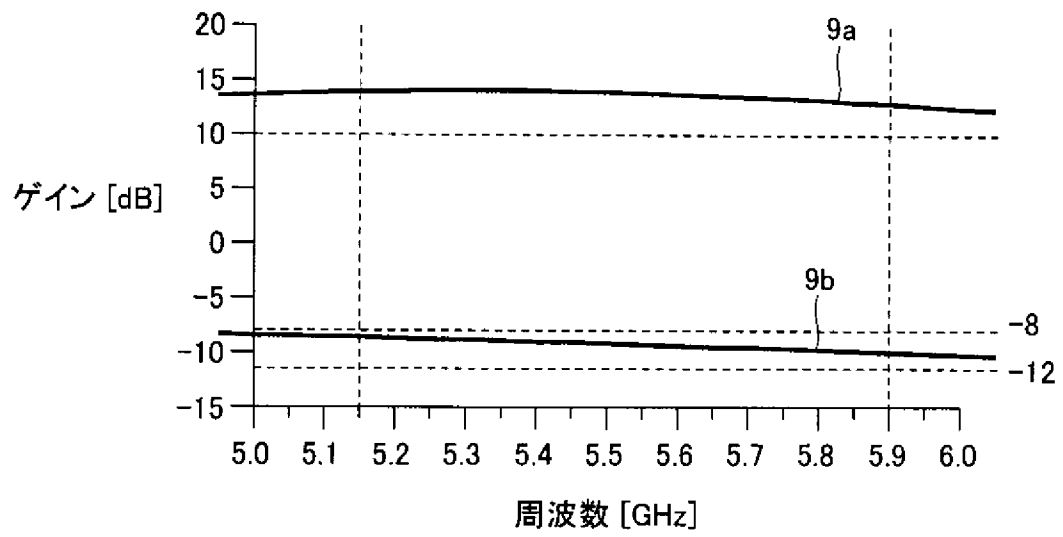
[図7]



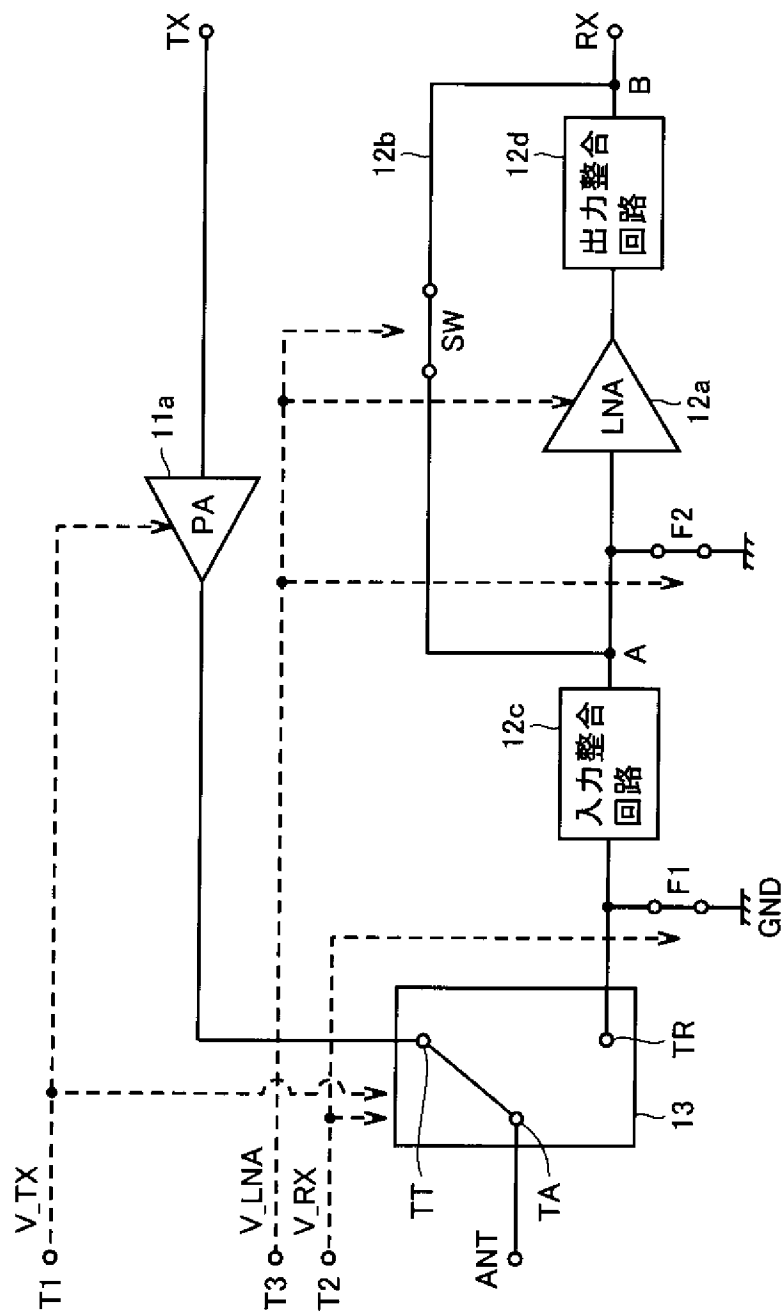
[図8]



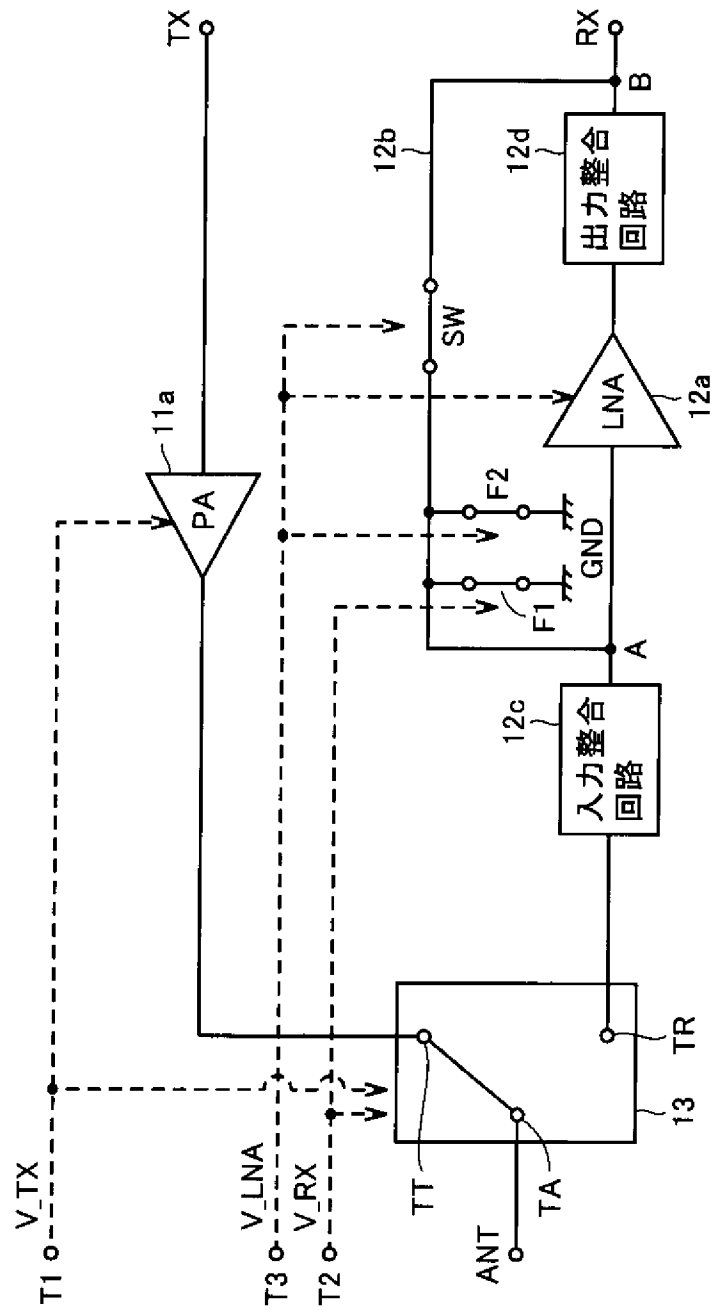
[図9]



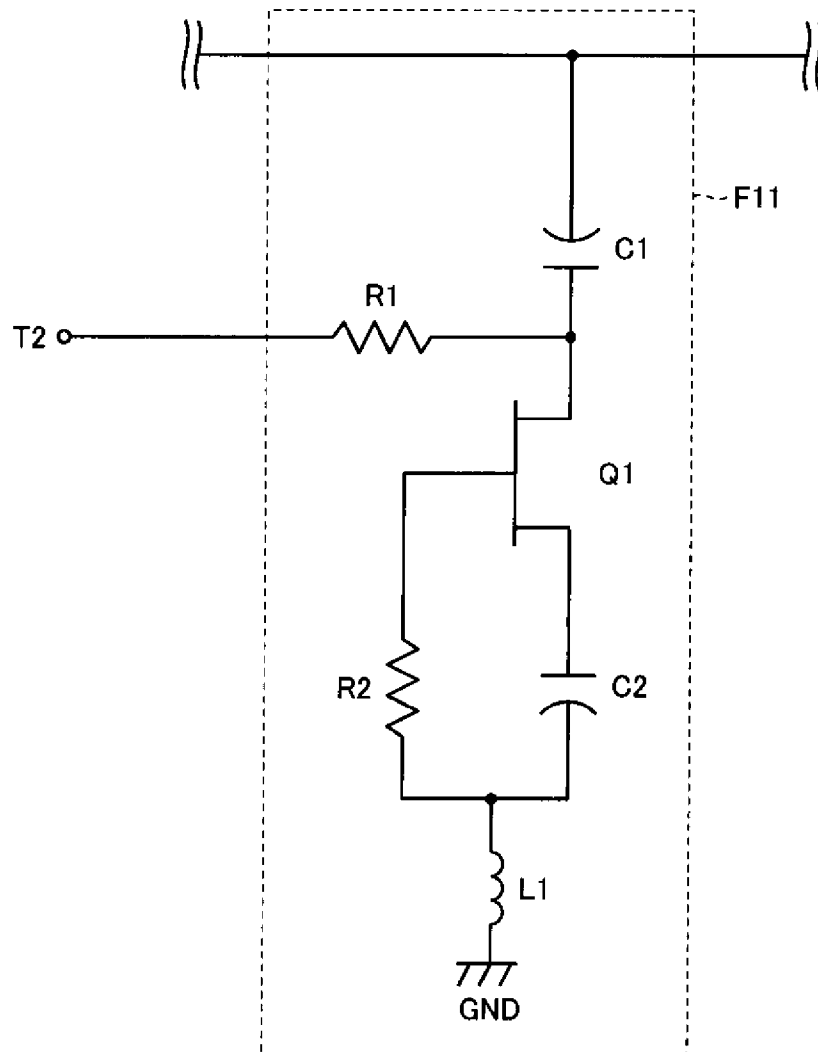
[図10]



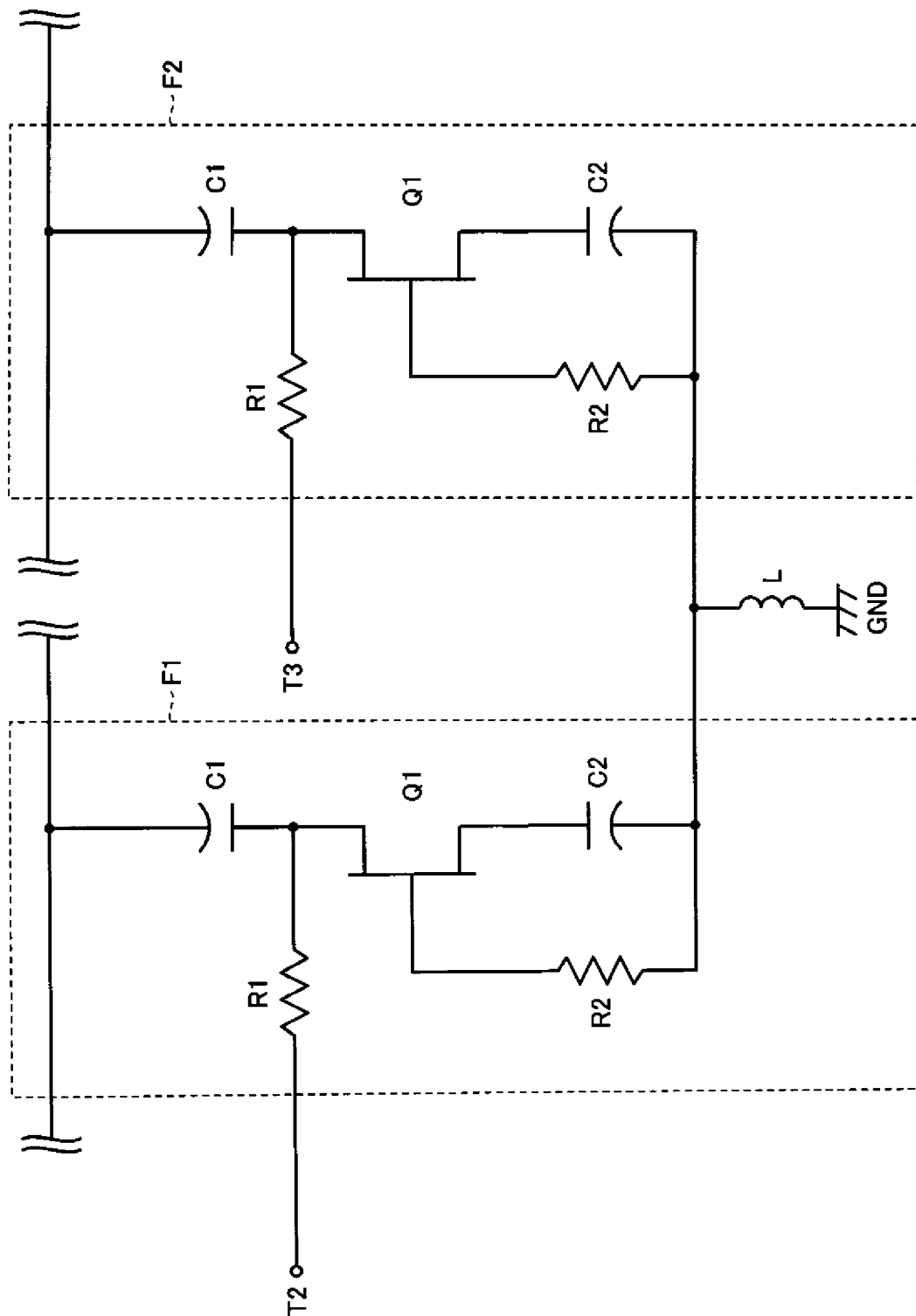
[図13]



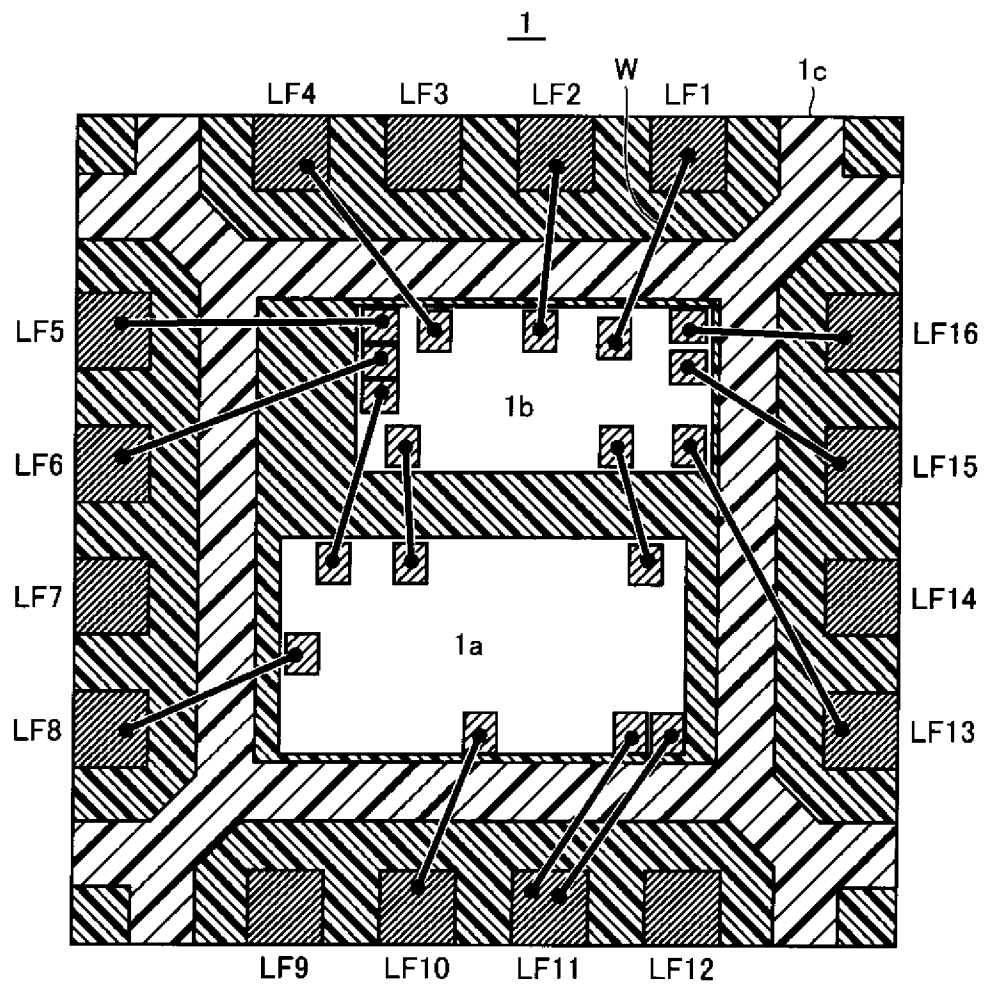
[図15]



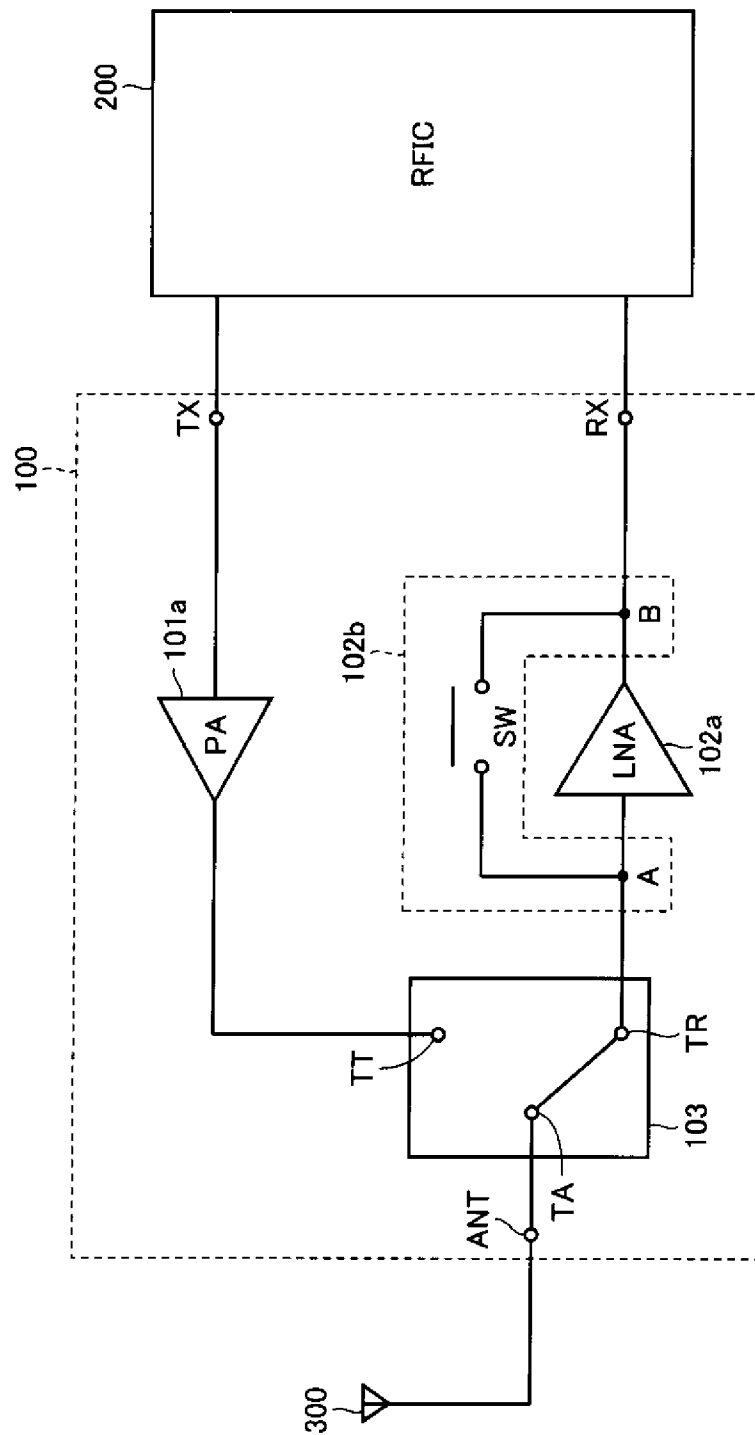
[図16]



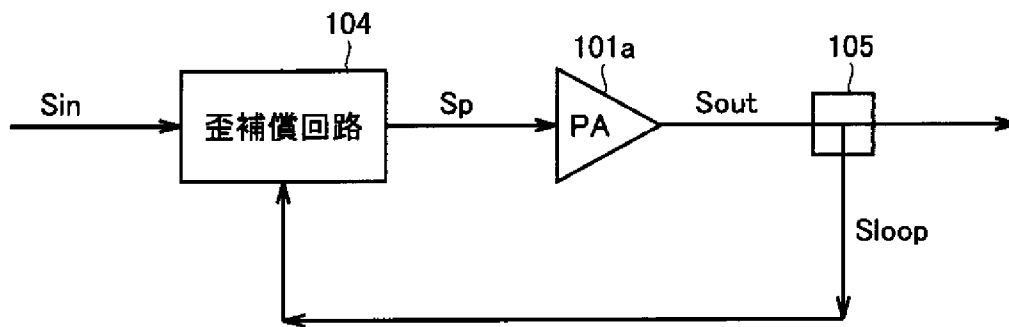
[図17]



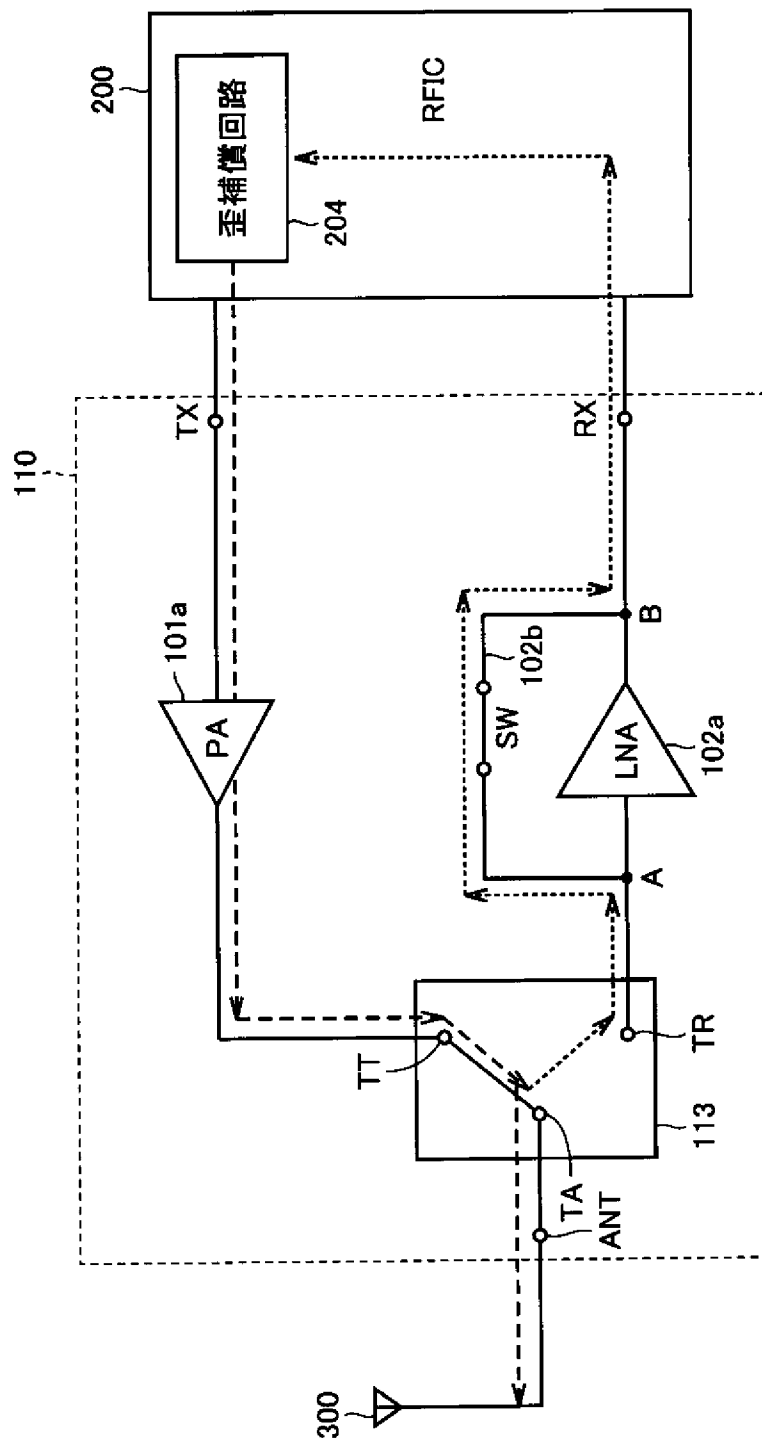
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/062746

A. CLASSIFICATION OF SUBJECT MATTER

H04B1/44 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B1/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-522747 A (Thomson Licensing), 09 August 2007 (09.08.2007), fig. 1; abstract; paragraphs [0010] to [0013] & JP 4918366 B & US 2007/0184790 A1 & EP 1564897 A1 & EP 1719251 A & WO 2005/081414 A1 & DE 602005016084 D & KR 10-2006-0127129 A & CN 1918797 A & KR 10-1158311 B	1-16
Y	JP 10-28066 A (Matsushita Electric Industrial Co., Ltd.), 27 January 1998 (27.01.1998), fig. 1 to 5 (Family: none)	1-16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
23 May, 2013 (23.05.13)

Date of mailing of the international search report
04 June, 2013 (04.06.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/062746

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-323999 A (Denso Corp.), 24 November 2000 (24.11.2000), fig. 4 (Family: none)	1-16
Y	JP 2006-87070 A (Matsushita Electric Industrial Co., Ltd.), 30 March 2006 (30.03.2006), fig. 25 & JP 2008-206208 A & US 2006/0040629 A1 & CN 1738195 A	4-7
Y	JP 2012-74940 A (Kyocera Corp.), 12 April 2012 (12.04.2012), fig. 2 (Family: none)	15

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04B1/44(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04B1/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-522747 A（トムソン ライセンシング）2007.08.09, 図1, 要約, [0010]-[0013] & JP 4918366 B & US 2007/0184790 A1 & EP 1564897 A1 & EP 1719251 A & WO 2005/081414 A1 & DE 602005016084 D & KR 10-2006-0127129 A & CN 1918797 A & KR 10-1158311 B	1-16

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 5 . 2 0 1 3

国際調査報告の発送日

0 4 . 0 6 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

野元 久道

5 W

9 1 8 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 10-28066 A (松下電器産業株式会社) 1998.01.27, 図 1-5 (ファミリーなし)	1-16
Y	JP 2000-323999 A (株式会社デンソー) 2000.11.24, 図 4 (ファミリーなし)	1-16
Y	JP 2006-87070 A (松下電器産業株式会社) 2006.03.30, 図 25 & JP 2008-206208 A & US 2006/0040629 A1 & CN 1738195 A	4-7
Y	JP 2012-74940 A (京セラ株式会社) 2012.04.12, 図 2 (ファミリーなし)	15