

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年4月11日(11.04.2024)



(10) 国際公開番号

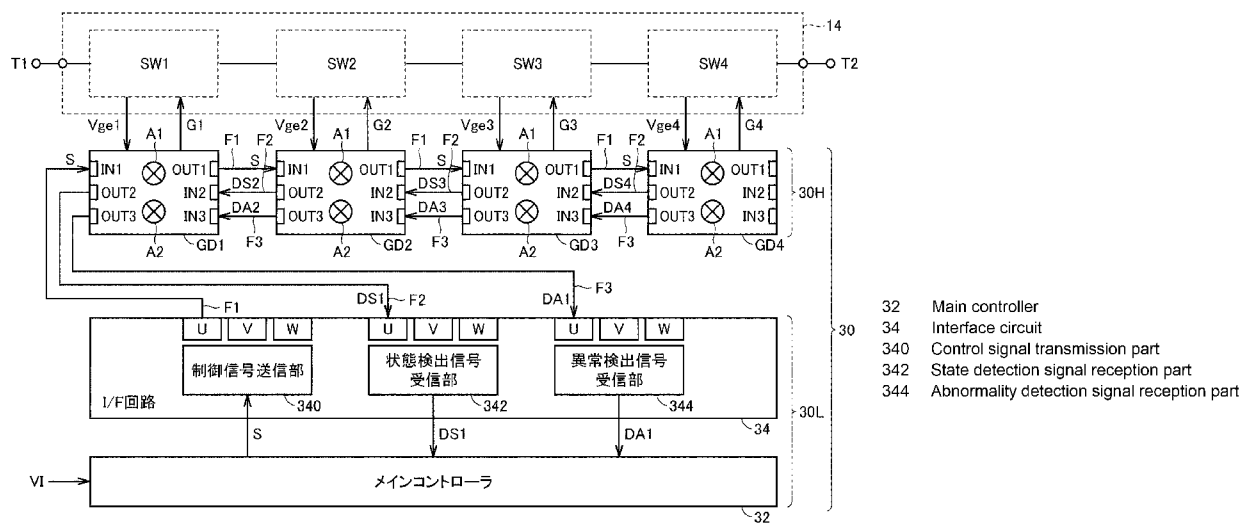
WO 2024/075236 A1

- (51) 国際特許分類:
H02H 7/00 (2006.01) H02J 9/06 (2006.01)
H02H 3/05 (2006.01)
- (21) 国際出願番号: PCT/JP2022/037404
- (22) 国際出願日: 2022年10月6日(06.10.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 東芝三菱電機産業システム株式会社(TOSHIBA MITSUBISHI-ELECTRIC INDUSTRIAL SYSTEMS CORPORATION) [JP/JP]; 〒1040031 東京都中央区京橋三丁目1番1号 Tokyo (JP).
- (72) 発明者: 張 曉 ▲ チ ン ▼ (ZHANG, Xiaochen); 〒1040031 東京都中央区京橋三丁目1番1号 東芝三菱電機産業システム株式会社内 Tokyo (JP).
- (74) 代理人: 弁理士法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島三丁目2番4号 中之島フェスティバルタワー・ウエスト Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE,

(54) Title: POWER SUPPLY DEVICE

(54) 発明の名称: 電源装置

FIG.3



(57) Abstract: In the present invention, a first communication line (F1) transmits a control signal (S) from an interface circuit (34) to an n-th drive circuit (GDn) in sequence via a first drive circuit (GD1). A second communication line (F2) transmits a semiconductor switch state detection signal (DS) from the n-th drive circuit (GDn) to the interface circuit (34) in sequence via the first drive circuit (GD1). An i-th drive circuit (GDi) includes a driver for driving an i-th semiconductor switch (SWi) in response to the control signal (S), an abnormality detection circuit for detecting an abnormality of the i-th semiconductor switch (SWi), and first and second notification members (A1, A2). The abnormality detection circuit detects an abnormality of the i-th semiconductor switch (SWi) on the basis of the control signal (S) and an operating state of the i-th semiconductor switch (SWi) and notifies of the detection result by using the first notification member (A1). The abnormality detection circuit generates state detection signals indicating operating states of the i-th to the n-th semiconductor switches (SWi to SWn), detects mismatch between the control signal (S) and the operating states of the

KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

i-th to the n-th semiconductor switches (SW_i to SW_n) on the basis of the control signal (S) and the state detection signals, and notifies of the detection result by using the second notification member (A2).

(57) 要約: 第1の通信線(F1)は、制御信号(S)を、I/F回路(34)から第1の駆動回路(GD1)を経由して第nの駆動回路(GDn)まで順次伝送する。第2の通信線(F2)は、半導体スイッチの状態検出信号(DS)を、第nの駆動回路(GDn)から第1の駆動回路(GD1)を経由してI/F回路(34)まで順次伝送する。第iの駆動回路(GDi)は、制御信号(S)に応答して第iの半導体スイッチ(SWi)を駆動するドライバと、第iの半導体スイッチ(SWi)の異常を検出するための異常検出回路と、第1および第2の報知部材(A1, A2)とを含む。異常検出回路は、制御信号(S)および第iの半導体スイッチ(SWi)の動作状態に基づいて、第iの半導体スイッチ(SWi)の異常を検出し、検出結果を第1の報知部材(A1)を用いて報知する。異常検出回路は、第iから第nの半導体スイッチ(SWi~SWn)の動作状態を示す状態検出信号を生成し、制御信号(S)および状態検出信号に基づいて、制御信号(S)と第iから第nの半導体スイッチ(SWi~SWn)の動作状態との不一致を検出し、検出結果を第2の報知部材(A2)を用いて報知する。

明 細 書

発明の名称：電源装置

技術分野

[0001] 本開示は、電源装置に関し、特に、直列接続された複数の半導体スイッチを備えた電源装置に関する。

背景技術

[0002] 例えば、特開 2 0 0 8 - 3 0 6 2 8 5 号公報（特許文献 1）には、電力変換装置に使用される半導体スイッチの異常を検出するように構成された、半導体スイッチの制御装置が開示されている。制御装置は、半導体スイッチ素子に駆動信号を与える制御回路と、駆動信号を光絶縁し、高圧回路に伝達する絶縁回路と、駆動信号に基づいて半導体スイッチ素子のゲート電圧を発生する駆動回路とを備えている。半導体スイッチ素子は、駆動信号に応答してオンまたはオフされる。

[0003] 制御装置は、さらに、駆動回路の出力ゲート電圧に基づいて、半導体スイッチ素子がオン状態かオフ状態かを判別するゲート電圧検出回路と、半導体スイッチ素子のゲート電圧状態信号を光絶縁し、低圧回路に伝達する信号絶縁回路と、伝達されたゲート電圧状態信号に基づいて半導体スイッチ素子の異常を検出する異常検出回路とを備えている。異常検出回路は、半導体スイッチ素子の異常を検出した場合には、異常信号を制御回路にフィードバックすることにより、半導体スイッチ素子を遮断するように構成されている。

先行技術文献

特許文献

[0004] 特許文献 1：特開 2 0 0 8 - 3 0 6 2 8 5 号公報

発明の概要

発明が解決しようとする課題

[0005] 直列接続された複数の半導体スイッチを備えた電源装置において、各半導体スイッチの異常を検出するために上記制御装置を適用した場合には、半導

体スイッチごとに、制御回路、絶縁回路および駆動回路を接続するための配線を設置することが必要となる。また、半導体スイッチごとに、ゲート電圧検出回路、信号絶縁回路および異常検出回路を接続するための配線を設置することが必要となる。そのため、電源装置の装置構成が複雑化することが懸念される。

[0006] また、上記制御装置において、異常検出回路は、駆動信号と、ゲート電圧検出回路から伝達されるゲート電圧状態信号とを比較することで半導体スイッチ素子が正常か異常かを判別するように構成されている。そのため、半導体スイッチ素子の異常が検出された場合に、駆動回路に異常が発生しているのか、駆動信号およびゲート状態信号を伝達する絶縁回路に異常が発生しているのかを判別することができない。そのため、複数の半導体スイッチを備えた電源装置に上記制御装置を適用した場合には、異常の内容および発生場所の特定が困難になることが懸念される。

[0007] 本開示は上述のような問題点を解決するためになされたものであり、本開示の目的は、直列接続された複数の半導体スイッチを備えた電源装置において、装置構成を複雑化することなく、異常の内容および発生場所の特定を可能とすることである。

課題を解決するための手段

[0008] 本開示の一態様に係る電源装置は、 n を2以上の整数とし、 i を1以上 $n-1$ 以下の整数としたとき、第1および第2の端子間に直列接続された第1から第 n の半導体スイッチと、第1から第 n の駆動回路と、インターフェイス回路と、第1および第2の通信線とを備える。第1から第 n の駆動回路は、第1から第 n の半導体スイッチにそれぞれ対応して設けられ、制御信号に応答して、対応する半導体スイッチを駆動する。インターフェイス回路は、第1から第 n の駆動回路と信号を授受する。第1および第2の通信線は、インターフェイス回路と第1から第 n の駆動回路とを直列に接続する。第1の通信線は、制御信号を、インターフェイス回路から第1の駆動回路を経由して第 n の駆動回路まで順次伝送するように構成される。第2の通信線は、半導

体スイッチの動作状態を示す状態検出信号を、第 n の駆動回路から第 1 の駆動回路を経由してインターフェイス回路まで順次伝送するように構成される。第 i の駆動回路は、第 $(i - 1)$ の駆動回路から受信した制御信号に応答して、第 i の半導体スイッチを駆動するドライバと、第 i の半導体スイッチの異常を検出するための異常検出回路と、第 1 および第 2 の報知部材とを含む。異常検出回路は、制御信号および第 i の半導体スイッチの動作状態に基づいて、第 i の半導体スイッチの異常を検出し、検出結果を第 1 の報知部材を用いて報知する。異常検出回路は、第 i の半導体スイッチの動作状態と、第 $(i + 1)$ の駆動回路から受信した、第 $(i + 1)$ から第 n の半導体スイッチの動作状態を示す状態検出信号とに基づいて、第 i から第 n の半導体スイッチの動作状態を示す状態検出信号を生成する。異常検出回路は、制御信号および生成した状態検出信号に基づいて、制御信号と第 i から第 n の半導体スイッチの動作状態との不一致を検出し、検出結果を第 2 の報知部材を用いて報知する。

発明の効果

[0009] 本開示によれば、装置構成を複雑化することなく、直列接続された複数の半導体スイッチを備えた電源装置に発生した異常の内容および発生場所を特定することができる。

図面の簡単な説明

[0010] [図1]実施の形態に係る電源装置の概略構成を示す図である。

[図2]図 1 に示した半導体スイッチの他の構成例を示す回路図である。

[図3]制御装置のうちスイッチ回路の制御に関連する部分の構成を示す回路ブロック図である。

[図4]ゲートドライバの構成例を示す回路ブロック図である。

[図5]図 4 に示した異常検出回路の構成例を示す回路図である。

[図6]ゲートドライバの異常検出動作の第 1 例を説明するための図である。

[図7]ゲートドライバの異常検出動作の第 2 例を説明するための図である。

[図8]ゲートドライバの異常検出動作の第 3 例を説明するための図である。

[図9]比較例に係る電源装置の概略構成を示す図である。

発明を実施するための形態

[0011] 以下に、本開示の実施の形態について図面を参照して詳細に説明する。なお、以下では図中の同一または相当部分には同一符号を付してその説明を原則的に繰り返さないものとする。

[0012] <電源装置の構成>

図1は、実施の形態に係る電源装置の概略構成を示す図である。

[0013] 図1に示すように、実施の形態に係る電源装置10は、交流電源1と負荷2との間に接続され、交流電源1から交流電力を受けて負荷2に交流電力を供給するように構成される。電源装置10は、例えば、交流電源1の停電または瞬時電圧低下が発生した場合に、安定した交流電力を無瞬断で負荷2に供給するための装置である瞬低補償装置(Multiple Power Compensator)に適用され得る。

[0014] 交流電源1は、代表的には商用交流電源であり、商用周波数の交流電力を電源装置10に供給する。負荷2は、電源装置10から供給される商用周波数の交流電力によって駆動される。なお、図1では、一相の交流電力に関連する部分のみが示されているが、電源装置10は三相交流電力を受けて三相交流電力を出力するようにしてもよい。

[0015] 電源装置10は、入力端子T1、出力端子T2、直流端子T3、スイッチ回路14、双方向コンバータ16、電圧検出器18、20、および制御装置30を備える。

[0016] 入力端子T1は、交流電源1に電氣的に接続されており、交流電源1から供給される商用周波数の交流電圧V1を受ける。入力端子T1は「第1の端子」の一実施例に対応する。出力端子T2は、負荷2に接続される。負荷2は、出力端子T2から供給される交流電圧V0によって駆動される。出力端子T2は「第2の端子」の一実施例に対応する。

[0017] 直流端子T3はバッテリー3に接続される。バッテリー3は、直流電力を蓄積する「電力貯蔵装置」の一実施例に対応する。電力貯蔵装置として、バッテ

リ 3 に代えて、電気二重層コンデンサを直流端子 T 3 に接続してもよい。直流端子 T 3 の直流電圧 V_B (バッテリー 3 の端子間電圧) の瞬時値は、制御装置 30 によって検出される。

[0018] スイッチ回路 14 は、入力ノード 14 a および出力ノード 14 b と、 n 個 (n は 2 以上の整数) の半導体スイッチ $SW_1 \sim SW_n$ とを有する。入力ノード 14 a は入力端子 T 1 に接続され、出力ノード 14 b は出力端子 T 2 に接続される。図 1 の例では、 $n = 4$ である。ただし、半導体スイッチの数 n は 4 に限定されない。

[0019] 半導体スイッチ $SW_1 \sim SW_n$ は、制御装置 30 からそれぞれ入力されるゲート信号 $G_1 \sim G_n$ によってオンオフが制御される。以下では、半導体スイッチ $SW_1 \sim SW_n$ を包括的に表記する場合には、単に「半導体スイッチ SW 」とも称する。ゲート信号 $G_1 \sim G_n$ を包括的に表記する場合には、単に「ゲート信号 G 」とも称する。

[0020] 半導体スイッチ SW_i (i は 1 以上 n 以下の整数) は、IGBT (Insulated Gate Bipolar Transistor) Q_i と、IGBT Q_i と逆並列に接続されるダイオード D_i と、スナバ回路 SN_i と、バリスタ Z_i とを有する。IGBT Q_i のコレクタは入力ノード 14 a に電氣的に接続され、エミッタは出力ノード 14 b に電氣的に接続される。IGBT Q_i は、H (論理ハイ) レベルのゲート信号 G_i によってオン (導通) され、L (論理ロー) レベルのゲート信号 G_i によってオフ (遮断) される。ダイオード D_i は、出力ノード 14 b から入力ノード 14 a に向かう向きを順方向として接続される。なお、半導体スイッチ SW_i には、IGBT に限らず、任意の自己消弧型の半導体スイッチング素子を用いることができる。

[0021] スナバ回路 SN_i は、IGBT Q_i に並列接続され、IGBT Q_i をサージ電圧から保護する。スナバ回路 SN_i は、例えば、IGBT Q_i のコレクターエミッタ間に直列接続された抵抗素子およびコンデンサを有する。IGBT Q_i に電流が流れている場合に IGBT Q_i を突然オフさせると、自己インダクタンスによって IGBT Q_i のコレクターエミッタ間にサージ電圧

が発生する。スナバ回路 $S N_i$ は、そのようなサージ電圧を抑制することによって、 $I G B T Q_i$ を保護する。

[0022] バリスタ Z_i は、 $I G B T Q_i$ に並列接続される。バリスタ Z_i は、抵抗値が電圧依存性を有する抵抗器である。バリスタ Z_i は、例えば、 $Z n R$ (Zinc oxide nonlinear resistor) である。バリスタ Z_i の抵抗値は、その端子間電圧に応じて変化し、端子間電圧が閾値電圧を超えると急に低下する。したがって、 $I G B T Q_i$ のコレクターエミッタ間電圧が閾値電圧を超えることが抑制され、結果的に $I G B T Q_i$ がサージ電圧によって破壊されることを防止することができる。

[0023] 以下では、 $I G B T Q_1 \sim Q_n$ を包括的に表記する場合には、単に「 $I G B T Q$ 」とも称する。スナバ回路 $S N_1 \sim S N_n$ を包括的に表記する場合には、単に「スナバ回路 $S N$ 」とも称する。バリスタ $Z_1 \sim Z_n$ を包括的に表記する場合には、単に「バリスタ Z 」とも称する。

[0024] なお、半導体スイッチ $S W$ は、図 1 の構成に限定されるものではなく、例えば図 2 に示す構成とすることもできる。図 2 の例では、半導体スイッチ $S W$ は、逆直列に接続された $I G B T Q A$ 、 $Q B$ と、 $I G B T Q A$ 、 $Q B$ にそれぞれ逆並列に接続されるダイオード $D A$ 、 $D B$ と、スナバ回路 $S N$ と、バリスタ Z とを有する。 $I G B T Q A$ のコレクタは入力ノード 14 a に電氣的に接続され、エミッタは $I G B T Q B$ のエミッタに接続される。 $I G B T Q B$ のコレクタは出力ノード 14 b に電氣的に接続される。ダイオード $D A$ は、出力ノード 14 b から入力ノード 14 a に向かう向きを順方向として接続される。ダイオード $D B$ は、入力ノード 14 a から出力ノード 14 b に向かう向きを順方向として接続される。スナバ回路 $S N$ およびバリスタ Z は、 $I G B T Q A$ 、 $Q B$ の直列回路と並列に接続される。

[0025] 図 1 に戻って、双方向コンバータ 16 は、スイッチ回路 14 の出力ノード 14 b と直流端子 $T 3$ との間に接続される。双方向コンバータ 16 は、出力ノード 14 b に出力される交流電力とバッテリー 3 の蓄えられる直流電力との間で双方向に電力変換を行うように構成される。

[0026] 双方向コンバータ 16 は、交流電源 1 から交流電力が供給されている正常時は、交流電源 1 からスイッチ回路 14 を介して供給される交流電力を直流電力に変換し、その直流電力をバッテリー 3 に蓄える。一方、交流電源 1 からの交流電力の供給が停止する停電時、もしくは、交流電源 1 の瞬時電圧低下の発生時には、双方向コンバータ 16 は、バッテリー 3 の直流電力を商用周波数の交流電力に変換し、その交流電力を負荷 2 に供給する。

[0027] 双方向コンバータ 16 は、図示は省略するが、複数の半導体スイッチング素子を有する。複数の半導体スイッチング素子は、制御装置 30 により生成される制御信号によってオンオフが制御される。双方向コンバータ 16 は、制御信号に応答して複数の半導体スイッチング素子をオンまたはオフさせることにより、出力ノード 14 b に出力する交流電力と直流端子 T 3 に入出力される直流電力との間で双方向の電力変換を実行することができる。

[0028] 電圧検出器 18 は、交流電源 1 から入力端子 T 1 に供給される交流電圧 V_1 の瞬時値を検出し、その検出値を示す信号を制御装置 30 に与える。制御装置 30 は、交流電圧 V_1 の瞬時値に基づいて、交流電源 1 が正常であるか否かを判定する。例えば、交流電圧 V_1 が予め定められた下限電圧よりも高い場合には、制御装置 30 は、交流電源 1 が正常であると判定する。交流電圧 V_1 が下限電圧よりも低下した場合には、制御装置 30 は、交流電源 1 が異常であると判定する。

[0029] 電圧検出器 20 は、出力端子 T 20 に現れる交流電圧 V_O の瞬時値を検出し、その検出値を示す信号を制御装置 30 に与える。

[0030] 半導体スイッチ SW_i は、 $IGBTQ_i$ のゲートーエミッタ間電圧 V_{ge} の大きさを表す信号 V_{ge_i} を制御装置 30 に与える。以下の説明では、ゲートーエミッタ間電圧 V_{ge} を「ゲート電圧 V_{ge} 」とも称する。後述するように、ゲート電圧 V_{ge} は、 $IGBTQ$ がオン状態のときには $IGBTQ$ の閾値電圧 V_{th} よりも高い電圧となり、 $IGBTQ$ がオフ状態のときには閾値電圧 V_{th} よりも低い電圧となる。したがって、ゲート電圧 V_{ge} の大きさから、 $IGBTQ$ がオン状態であるか、オフ状態であるかを判定するこ

とができる。

[0031] 制御装置30は、図示しない上位コントローラからの指令、電圧検出器18, 20から入力される信号、およびスイッチ回路14から入力される信号などを用いて、スイッチ回路14および双方向コンバータ16の動作を制御する。制御装置30は、例えば、マイクロコンピュータなどで構成することができる。一例として、制御装置30は、図示しないCPU (Central Processing Unit) およびメモリを有しており、メモリに格納されたプログラムをCPUが実行することによるソフトウェア処理によって、以下で説明する制御動作を実行することができる。あるいは、当該制御動作の一部または全部について、ソフトウェア処理に代えて、内蔵された専用の電子回路などを用いたハードウェア処理によって実現することも可能である。

[0032] <電源装置10の動作>

次に、実施の形態に係る電源装置10の動作について説明する。

[0033] 交流電源1の正常時には、制御装置30は、スイッチ回路14の半導体スイッチSW1～SWnに対して、Hレベルのゲート信号G1～Gnをそれぞれ与える。半導体スイッチSW1～SWnがオンされることにより、交流電源1からスイッチ回路14を介して負荷2に交流電力が供給され、負荷2が駆動される。また、交流電源1からスイッチ回路14を介して双方向コンバータ16に交流電力が供給され、その交流電力が直流電力に変換されてバッテリー3に蓄えられる。このとき、制御装置30は、バッテリー3の端子間電圧VBが参照電圧VB_rになるように双方向コンバータ16を制御する。

[0034] 交流電源1の異常時（交流電源1の停電時または瞬時電圧低下時）には、制御装置30は、半導体スイッチSW1～SWnに対して、Lレベルのゲート信号G1～Gnをそれぞれ与える。半導体スイッチSW1～SWnが瞬時にオフされるとともに、バッテリー3の直流電力が双方向コンバータ16によって交流電力に変換されて負荷2に供給される。したがって、交流電源1の異常が発生した場合でも、バッテリー3に直流電力が蓄えられている期間は、負荷2の運転を継続することができる。このとき、制御装置30は、電圧検

出器 20 により検出される交流電圧 V_O に基づき、交流電圧 V_O が参照電圧 V_{Or} になるように双方向コンバータ 16 を制御する。制御装置 30 は、バッテリー 3 の端子間電圧 V_B が低下して所定の下限電圧に到達した場合には、双方向コンバータ 16 の運転を停止させる。

[0035] 上述した動作の実行中、スイッチ回路 14 を構成する半導体スイッチ $SW_1 \sim SW_n$ の何れかにおいて異常が発生した場合には、スイッチ回路 14 を正常に動作させることができなくなる。そのため、電源装置 10 は、負荷 2 に安定的に電力を供給することが困難となる。

[0036] 例えば、何れかの半導体スイッチ SW において IGBTQ が正常にオンしない故障が発生した場合には、交流電源 1 からスイッチ回路 14 を介して負荷 2 に交流電力を供給することができなくなる。この場合、交流電源 1 の異常時の動作に倣って、残りの半導体スイッチ SW を全てオフし、バッテリー 3 の直流電力を双方向コンバータ 16 を経由して負荷 2 に供給することができる。ただし、バッテリー 3 から供給できる電力には限界がある。

[0037] あるいは、何れかの半導体スイッチ SW において IGBTQ が正常にオフしない故障が発生した場合には、交流電源 1 の異常時に、当該半導体スイッチ SW がオン状態に維持されるため、入力ノード 14a と出力ノード 14b との間の電圧差が、オフ状態となっている残りの半導体スイッチ SW の端子間に集中的に印加されてしまい、残りの半導体スイッチ SW が過電圧状態に陥ることが懸念される。

[0038] このような不具合を回避するために、制御装置 30 は、電源装置 10 の運転中、スイッチ回路 14 の異常を検出するように構成される。制御装置 30 は、スイッチ回路 14 の異常が検出された場合には、制御装置 30 に搭載された警告灯を点灯させることによって、電源装置 10 のユーザに対し、スイッチ回路 14 の異常を報知する。

[0039] <制御装置 30 の構成>

図 3 は、制御装置 30 のうちスイッチ回路 14 の制御に関連する部分の構成を示す回路ブロック図である。なお、図 3 では、一相（U 相）の交流電力

に関連する部分のみが示されている。

[0040] 図3に示すように、制御装置30は、メインコントローラ32と、インターフェイス(I/F)回路34と、n個のゲートドライバGD1~GDnと、光ファイバF1~F3とを含む。

[0041] (メインコントローラ32)

メインコントローラ32は、電圧検出器18により検出される交流電圧V_iの瞬時値に基づいて、交流電源1が正常であるか否かを判定する。メインコントローラ32は、判定結果に基づいて、半導体スイッチSW1~SWnのオンオフを制御するための制御信号をSを生成する。具体的には、交流電圧V_iが下限電圧よりも高い場合には、メインコントローラ32は、交流電源1が正常であると判定する。この場合、メインコントローラ32は、Hレベルの制御信号Sを生成してI/F回路34に出力する。後述するように、ゲートドライバGD1~GDnは、Hレベルの制御信号Sに応答して、Hレベルのゲート信号G1~GDnをそれぞれ生成する。すなわち、Hレベルの制御信号Sは、半導体スイッチSWをオンするためのオン指令(導通指令)に相当する。

[0042] 一方、交流電圧V_iが下限電圧よりも低い場合には、メインコントローラ32は、交流電源1が異常であると判定する。この場合、メインコントローラ32は、Lレベルの制御信号Sを生成してI/F回路34に出力する。後述するように、ゲートドライバGD1~GDnは、Lレベルの制御信号Sに応答して、Lレベルのゲート信号G1~GDnをそれぞれ生成する。すなわち、Lレベルの制御信号Sは、半導体スイッチSWをオフするためのオフ指令(遮断指令)に相当する。

[0043] (I/F回路34)

I/F回路34は、メインコントローラ32およびゲートドライバGD1~GDnとの間で信号を遣り取りするための入出力装置である。I/F回路34は、メインコントローラ32から制御信号Sを受信する。I/F回路34は、制御信号送信部340を含む。制御信号送信部340は、電気信号で

ある制御信号Sを光信号に変換し、光ファイバF 1に出力する。制御信号Sは、光ファイバF 1を経由してゲートドライバGD 1に与えられる。

[0044] I / F回路3 4は、状態検出信号受信部3 4 2と、異常検出信号受信部3 4 4とをさらに含む。状態検出信号受信部3 4 2は、光ファイバF 2を経由して、状態検出信号DS 1をゲートドライバGD 1から受信する。

[0045] 状態検出信号DS i (iは1以上n以下の整数)は、半導体スイッチSW i ~ SW nにそれぞれ含まれるIGBTQ i ~ Q nの動作状態(オン状態であるかオフ状態であるか)を示す信号である。IGBTQ i ~ Q nの全てがオン状態である場合には、状態検出信号DS iは、Hレベルにされる。IGBTQ i ~ Q nの少なくとも1つがオフ状態である場合には、状態検出信号DS iは、Lレベルにされる。なお、状態検出信号DS nは、IGBTQ nがオン状態である場合にHレベルにされ、IGBTQ nがオフ状態である場合にLレベルにされる。状態検出信号受信部3 4 2は、光信号である状態検出信号DS 1を電気信号に変換し、メインコントローラ3 2に出力する。

[0046] 異常検出信号受信部3 4 4は、光ファイバF 3を経由して、異常検出信号DA 1をゲートドライバGD 1から受信する。異常検出信号DA i (iは1以上n以下の整数)は、半導体スイッチSW i ~ SW nの異常の有無を示す信号である。半導体スイッチSW i ~ SW nに異常が発生した場合には、異常検出信号DA iはLレベルにされる。半導体スイッチSW i ~ SW nに異常が発生していない場合には、異常検出信号DA iはHレベルにされる。なお、異常検出信号DA nは、半導体スイッチSW nに異常が発生した場合にLレベルにされ、半導体スイッチSW nに異常が発生していない場合にHレベルにされる。異常検出信号受信部3 4 4は、光信号である異常検出信号DA 1を電気信号に変換し、メインコントローラ3 2に出力する。

[0047] (ゲートドライバGD 1 ~ GD n)

ゲートドライバGD 1 ~ GD nは、半導体スイッチSW 1 ~ SW nにそれぞれ対応して設けられている。以下では、ゲートドライバGD 1 ~ GD nを包括的に表記する場合には、単に「ゲートドライバGD」とも称する。ゲー

トドライバGDは、入力端子IN1～IN3と、出力端子OUT1～OUT3と、警告灯A1，A2とを有している。ゲートドライバGDは「駆動回路」の一実施例に対応する。

[0048] 入力端子IN1は、制御信号Sを受け取るための端子である。出力端子OUT1は、制御信号Sを他のゲートドライバGDに転送するための端子である。

[0049] 入力端子IN2は、他のゲートドライバGDから状態検出信号DSを受け取るための端子である。出力端子OUT2は、状態検出信号DSを他のゲートドライバGDに転送するための端子である。

[0050] 入力端子IN3は、他のゲートドライバGDから異常検出信号DAを受け取るための端子である。出力端子OUT3は、異常検出信号DAを他のゲートドライバGDに転送するための端子である。

[0051] ゲートドライバGD_j（_jは2以上_n－1以下の整数）において、入力端子IN1は、光ファイバF1により、ゲートドライバGD_j－1の出力端子OUT1に接続されている。入力端子IN2は、光ファイバF2により、ゲートドライバGD_j＋1の出力端子OUT2に接続されている。入力端子IN3は、光ファイバF3により、ゲートドライバGD_j＋1の出力端子OUT3に接続されている。

[0052] ゲートドライバGD1において、入力端子IN1は、光ファイバF1により、I/F回路34の制御信号送信部340に接続されている。入力端子IN2は、光ファイバF2により、ゲートドライバGD2の出力端子OUT2に接続されている。入力端子IN3は、光ファイバF3により、ゲートドライバGD2の出力端子OUT3に接続されている。出力端子OUT2は、光ファイバF2により、I/F回路34の状態検出信号受信部342に接続されている。出力端子OUT3は、光ファイバF3により、異常検出信号受信部344に接続されている。

[0053] ゲートドライバGD_n（図3ではGD4）において、入力端子IN1は、光ファイバF1により、ゲートドライバGD_n－1（図3ではGD3）の出

力端子OUT 1に接続されている。出力端子OUT 1および入力端子IN 1, IN 2は無接続とされる。

[0054] ゲートドライバGDには、警告灯A 1, A 2が設けられている。警告灯A 1, A 2は、電源装置10のユーザに、半導体スイッチSWに発生した異常を報知するための報知部材である。警告灯A 1は、後述するように、IGBTQの故障またはIGBTQを駆動するドライバの故障などに起因して、制御信号Sに応答して半導体スイッチSWをオンまたはオフさせることができない場合に点灯される。

[0055] 警告灯A 2は、後述するように、光ファイバF 1, F 2の損傷などに起因して、制御信号Sまたは状態検出信号DSの通信不良が生じた場合に点灯される。

[0056] (光ファイバF 1～F 3)

図3に示すように、I/F回路34およびゲートドライバGD 1～GD nは、光ファイバF 1～F 3によって直列に接続されている。光ファイバF 1は、I/F回路34からゲートドライバGD 1～GD nに制御信号Sを送送するための信号線である。I/F回路34から出力された制御信号Sは、光ファイバF 1を経由して、ゲートドライバGD 1, GD 2・・・の順に、ゲートドライバGD nまで伝送される。光ファイバF 1は「第1の通信線」の一実施例に対応する。

[0057] 光ファイバF 2は、ゲートドライバGD 1～GD nからI/F回路34に状態検出信号DSを送送するための信号線である。ゲートドライバGD nから出力された状態検出信号DSは、光ファイバF 2を経由して、ゲートドライバGD n-1, GD n-2・・・の順にゲートドライバGD 1まで伝送され、ゲートドライバGD 1から光ファイバF 2を経由してI/F回路34に送られる。なお、ゲートドライバGD jは、入力端子IN 2に入力される状態検出信号DS j+1と、対応する半導体スイッチSWのIGBTQの動作状態とに基づいて、状態検出信号DS jを生成し、生成した状態検出信号DS jを出力端子OUT 2からゲートドライバGD j-1へ出力するように構

成される。光ファイバF 2は「第2の通信線」の一実施例に対応する。

[0058] 光ファイバF 3は、ゲートドライバGD 1～GD nからI/F回路3 4に異常検出信号GAを伝送するための信号線である。ゲートドライバGD nから出力された異常検出信号DAは、光ファイバF 3を経由して、ゲートドライバGD n-1, GD n-2・・・の順にゲートドライバGD 1まで伝送され、ゲートドライバGD 1から光ファイバF 3を経由してI/F回路3 4に送られる。なお、ゲートドライバGD jは、入力端子IN 3に入力される異常検出信号DA j+1と、対応する半導体スイッチSWの異常検出結果とに基づいて、異常検出信号DA jを生成し、生成した異常検出信号DA jを出力端子OUT 2からゲートドライバGD j-1へ出力するように構成される。光ファイバF 3は「第3の通信線」の一実施例に対応する。

[0059] 図3に示した構成において、メインコントローラ3 2およびI/F回路3 4は、数V程度の電源電圧を受けて動作する低圧部品3 0Lである。ゲートドライバGD 1～GD nは、数kV程度の電源電圧を受けて動作する高圧部品3 0Hである。I/F回路3 4とゲートドライバGD 1との間で信号を遣り取りするための通信線に光ファイバF 1～F 3を適用することにより、高圧部品3 0Hと低圧部品3 0Lとの電氣的絶縁を確保することができる。なお、電源装置1 0の構成によっては、I/F回路3 4とゲートドライバGD 1とを繋ぐ光ファイバF 1～F 3の配線長が数mに及ぶ場合がある。

[0060] ここで、図3とは対照的に、I/F回路3 4に対してゲートドライバGD 1～GD nを互いに並列に接続する構成を考える。このような構成では、ゲートドライバGD 1～GD nの各々とI/F回路3 4との間に、光ファイバF 1～F 3が配設されることになる。これによると、各ゲートドライバGD はI/F回路3 4と直接的に信号を遣り取りできるため、信号の遅延が抑えられる。その一方で、全てのゲートドライバGD 1～GD nに対して数mに及ぶ光ファイバF 1～F 3が接続されるため、半導体スイッチSWの数nが増えるに従って、配線が複雑化することが懸念される。

[0061] 本実施の形態では、I/F回路3 4に対してゲートドライバGD 1～GD

nを直列に接続したことにより、ゲートドライバGD 2～GD nに接続される光ファイバF 1～F 3の配線長を数十cm程度まで短くすることができる。よって、半導体スイッチSWの数nの増加によって配線が複雑化することが抑えられる。

[0062] <ゲートドライバGDの構成例>

次に、図3に示したゲートドライバGDの構成例について説明する。

[0063] 図4は、ゲートドライバGDの構成例を示す回路ブロック図である。ゲートドライバGD 1～GD nは同一の構成を有しているため、図4では、これらを代表してゲートドライバGD 2の構成について説明する。

[0064] 図4に示すように、ゲートドライバGD 2は、半導体スイッチSW 2に対応して設けられている。ゲートドライバGD 2は、ドライバ40と、判定器42と、異常検出回路44と、警告灯A 1、A 2とを有している。

[0065] 入力端子IN 1は、ゲートドライバGD 1から制御信号Sを受ける。制御信号Sは、ドライバ40、異常検出回路44、および出力端子OUT 1に転送される。制御信号Sは、出力端子OUT 1から光ファイバF 1を経由して、ゲートドライバGD 3の入力端子IN 1に与えられる。

[0066] ドライバ40は、制御信号Sに基づいてゲート信号G 2を生成し、生成したゲート信号G 2をIGBTQ 2のゲートに入力する。ドライバ40は、Hレベルの制御信号S（オン指令）に応答してHレベルのゲート信号G 2を生成し、Lレベルの制御信号S（オフ指令）に応答してLレベルのゲート信号G 2を生成する。

[0067] Hレベルのゲート信号G 2がIGBTQ 2のゲートに入力されると、ゲートーエミッタ間容量が充電されるため、ゲート電圧V_{ge}が徐々に上昇する。ゲート電圧V_{ge}が閾値電圧V_{th}を超えると、IGBTQがオンされ始める。IGBTQ 2がオンされ始めると、ゲート電圧V_{ge}は、ゲート駆動電圧まで上昇する。IGBTQ 2がオン状態のときに、ゲート電圧V_{ge}は一定の電圧値に維持される。

[0068] Lレベルのゲート信号G 2がIGBTQ 2のゲートに入力されると、ゲー

トーエミッタ間容量が放電されるため、ゲート電圧 V_{ge} は、ゲート駆動電圧から徐々に低下する。ゲート電圧 V_{ge} が閾値電圧 V_{th} を下回ると、 I_{GBTQ2} がオフされる。

[0069] このようにゲート電圧 V_{ge} は、 I_{GBTQ2} がオン状態のときには、閾値電圧 V_{th} よりも高い電圧（ゲート駆動電圧）となる一方で、 I_{GBTQ2} がオフ状態のときには、閾値電圧 V_{th} よりも低い電圧となる。

[0070] 判定器 42 は、半導体スイッチ $SW2$ から、 I_{GBTQ2} のゲート電圧 V_{ge} の大きさを表す信号 V_{ge2} を受ける。判定器 42 は、信号 V_{ge2} に基づいて、 I_{GBTQ2} がオン状態であるか、オフ状態であるかを判定し、判定結果を示す信号 DET を異常検出回路 44 に出力する。具体的には、ゲート電圧 V_{ge} が閾値電圧 V_{th} よりも高い場合には、 I_{GBTQ2} がオフ状態であると判定され、信号 DET は H レベルにされる。一方、ゲート電圧 V_{ge} が閾値電圧 V_{th} よりも低い場合には、 I_{GBTQ2} がオフ状態であると判定され、信号 DET は L レベルにされる。

[0071] 入力端子 $IN2$ は、ゲートドライバ $GD3$ から状態検出信号 $DS3$ を受ける。状態検出信号 $DS3$ は、ゲートドライバ $GD3$ にて生成された状態検出信号 DS であり、半導体スイッチ $SW3 \sim SWn$ にそれぞれ含まれる $I_{GBTQ3} \sim Qn$ がオン状態であるかオフ状態であるかを示す信号である。 $GBTQ3 \sim Qn$ の全てがオン状態である場合には、状態検出信号 $DS3$ は、H レベルにされる。 $I_{GBTQ3} \sim Qn$ の少なくとも 1 つがオフ状態である場合には、状態検出信号 $DS3$ は、L レベルにされる。

[0072] 入力端子 $IN3$ は、ゲートドライバ $GD3$ から異常検出信号 $DA3$ を受ける。異常検出信号 $DA3$ は、ゲートドライバ $GD3$ にて生成された異常検出信号 DA であり、半導体スイッチ $SW3 \sim SWn$ の異常の有無を示す信号である。半導体スイッチ $SW3 \sim SWn$ に異常が発生した場合には、異常検出信号 $DA3$ は L レベルにされる。半導体スイッチ $SW3 \sim SWn$ に異常が発生していない場合には、異常検出信号 $DA3$ は H レベルにされる。状態検出信号 $DS3$ および異常検出信号 $DA3$ は、異常検出回路 44 に転送される。

[0073] 異常検出回路44は、制御信号S、信号DET、状態検出信号DS3および異常検出信号DA3に基づいて、状態検出信号DS2および異常検出信号DA2を生成する。状態検出信号DS2は、出力端子OUT2から光ファイバF2を経由して、ゲートドライバGD1の入力端子IN2に与えられる。異常検出信号DA2は、出力端子OUT3から光ファイバF3を経由して、ゲートドライバGD1の入力端子IN3に与えられる。

[0074] (異常検出回路44)

図5は、図4に示した異常検出回路44の構成例を示す回路図である。

[0075] 図5に示すように、異常検出回路44は、XOR（排他的論理和）回路50、52と、時限回路54、56と、フリップフロップ58、60と、論理和（OR）回路62、70と、否定（NOT）回路64、66、68、72と、論理積（AND）回路74とを含んで構成される。

[0076] XOR回路50は、第1入力端子に制御信号Sを受け、第2入力端子に判定器42の出力信号DETを受ける。XOR回路50は、2つの入力信号の排他的論理和を算出し、算出結果を示す信号を出力する。具体的には、制御信号Sの値と信号DETの値とが一致するとき、XOR回路50はLレベルの信号を出力する。制御信号Sの値と信号DETの値とが一致しないとき、XOR回路50はHレベルの信号を出力する。

[0077] これによると、制御信号Sおよび信号DETがともにHレベルである場合、すなわち、オン指令に応答して半導体スイッチSW2のIGBTQ2が正常にオンされている場合には、XOR回路50の出力信号はLレベルにされる。または、制御信号Sおよび信号DETがともにLレベルである場合、すなわち、オフ指令に応答してIGBTQ2が正常にオフされている場合には、XOR回路50の出力信号はLレベルにされる。

[0078] 一方、制御信号SがHレベルであり、信号DETがLレベルである場合、すなわち、オン指令に反してIGBTQ2がオフ状態である場合、または、制御信号SがLレベルであり、信号DETがHレベルである場合、すなわち、オフ指令に反してIGBTQ2がオン状態である場合には、XOR回路50

Oの出力信号はHレベルにされる。このようにHレベルの出力信号は、制御信号Sに対する半導体スイッチSW2の動作が異常であることを示している。

[0079] 時限回路54は、例えばカウンタにより実現され、XOR回路50がHレベルの信号を出力する時間をカウントする。XOR回路50がHレベルの信号を出力する時間が所定時間を超えた場合に、時限回路54は、値「1」の信号を出力する。これによると、半導体スイッチSW2の動作が異常である状態が所定時間を超えて継続した場合に、時限回路54は値「1」の信号を出力する。

[0080] 一方、XOR回路50がLレベルの信号を出力する場合、または、Hレベルの信号を出力する時間が所定時間に満たない場合に、時限回路54は、値「0」の信号を出力する。これによると、半導体スイッチSW2の動作が正常である場合、または、半導体スイッチSW2の動作が異常である状態が所定時間継続しない場合には、時限回路54は値「0」の信号を出力する。

[0081] なお、所定時間は、ゲートドライバGD1～GDn間で制御信号Sを受信するタイミングにずれが生じることを考慮して設定される。例えば、所定時間は、I/F回路34から送信された制御信号SをゲートドライバGD4が受信するのに要する時間以上となるように設定される。

[0082] フリップフロップ58は、セット（S）に時限回路54の出力信号を受け、リセット（R）に値「0」を受ける。S=1，R=0のとき、出力（Q）は「1」になる。S=0，R=0のとき、出力（Q）はその状態を維持する。すなわち、時限回路54の出力信号がLレベルからHレベルに立ち上がると、フリップフロップ58は、出力状態を「1」の状態に保持する。フリップフロップ58の出力信号は、NOT回路64およびOR回路62に入力される。

[0083] NOT回路64は、フリップフロップ58の出力信号を反転して出力する。例えば、NOT回路64は、値「1」の信号が入力されると、値「0」の信号を出力し、値「0」の信号が入力されると、値「1」の信号を出力する。

。

[0084] 警告灯 A 1 は、NOT 回路 6 4 から値「0」の信号を受けたときに点灯される。警告灯 A 1 は、NOT 回路 6 4 から値「1」の信号を受けたときに消灯される。すなわち、半導体スイッチ SW 2 の動作が異常である状態が所定時間を超えて継続した場合に、警告灯 A 1 が点灯される。警告灯 A 1 は、ゲートドライバ GD 2 に与えられた制御信号 S に対して半導体スイッチ SW 2 の動作が異常であることをユーザに報知するための「第 1 の報知部材」の一実施例に対応する。

[0085] AND 回路 7 4 は、第 1 入力端子に判定器 4 2 の出力信号 DET を受け、第 2 入力端子にゲートドライバ GD 3 から状態検出信号 DS 3 を受ける。状態検出信号 DS 3 は、上述したように、ゲートドライバ GD 3 にて生成された状態検出信号 DS であり、半導体スイッチ SW 3 ~ SW n にそれぞれ含まれる IGBT Q 3 ~ Q n がオン状態であるかオフ状態であるかを示す信号である。IGBT Q 3 ~ Q n の全てがオン状態である場合に、状態検出信号 DS 3 は H レベルにされる。IGBT Q 3 ~ Q n の少なくとも 1 つがオフ状態である場合に、状態検出信号 DS 3 は L レベルにされる。

[0086] AND 回路 7 4 は、2 つの入力信号の論理積を算出し、算出結果を示す状態検出信号 DS 2 を出力する。信号 DET および状態検出信号 DS 3 がともに H レベルである場合に、AND 回路 7 4 は H レベルの状態検出信号 DS 2 を出力する。信号 DET および状態検出信号 DS 3 の少なくとも一方が L レベルである場合に、AND 回路 7 4 は L レベルの状態検出信号 DS 2 を出力する。したがって、IGBT Q 2 ~ Q n が全てオン状態である場合には、状態検出信号 DS 2 は H レベルにされる。一方、IGBT Q 2 ~ Q n の少なくとも 1 つがオフ状態である場合には、状態検出信号 DS 2 は L レベルにされる。

[0087] XOR 回路 5 2 は、第 1 入力端子に制御信号 S を受け、第 2 入力端子に状態検出信号 DS 2 を受ける。XOR 回路 5 2 は、2 つの入力信号の排他的論理和を算出し、算出結果を示す信号を出力する。制御信号 S の値と状態検出

信号DS2の値とが一致するとき、XOR回路52はLレベルの信号を出力する。制御信号Sの値と状態検出信号DS2の値とが一致しないときには、XOR回路52はHレベルの信号を出力する。

[0088] これによると、制御信号Sおよび状態検出信号DS2がともにHレベルである場合、すなわち、オン指令に応答してIGBTQ2～Qnが正常にオンされている場合には、XOR回路52の出力信号はLレベルにされる。または、制御信号Sおよび状態検出信号DS2がともにLレベルである場合、すなわち、オフ指令に応答してIGBTQ2～Qnの少なくとも1つがオフされている場合には、XOR回路52の出力信号がLレベルにされる。

[0089] 一方、制御信号SがHレベルであり、状態検出信号DS2がLレベルである場合、すなわち、オン指令に反してIGBTQ2～Qnの少なくとも1つがオフされている場合には、XOR回路52の出力信号はHレベルにされる。または、制御信号SがLレベルであり、状態検出信号DS2がHレベルである場合、すなわち、オフ指令に反してIGBTQ2～Qnが全てオンされている場合には、XOR回路52の出力信号がHレベルにされる。このようにHレベルの出力信号は、制御信号Sと半導体スイッチSW2～SWnの動作とが一致していないことを示している。

[0090] 時限回路56は、XOR回路52がHレベルの信号を出力する時間をカウントする。XOR回路52がHレベルの信号を出力する時間が所定時間を超えた場合に、時限回路56は、値「1」の信号を出力する。これによると、制御信号Sと半導体スイッチSW2～SWnの動作とが一致しない状態が所定時間を超えて継続した場合に、時限回路56は値「1」の信号を出力する。

[0091] 一方、XOR回路52がLレベルの信号を出力する場合、または、Hレベルの信号を出力する時間が所定時間に満たない場合に、時限回路56は、値「0」の信号を出力する。これによると、制御信号Sと半導体スイッチSW2～SWnの動作とが一致している場合、または、制御信号Sと半導体スイッチSW2～SWnの動作とが一致しない状態が所定時間継続しない場合に

は、時限回路56は値「0」の信号を出力する。所定時間は、ゲートドライバGD1～GDn間で制御信号Sを受信するタイミングにずれが生じることを考慮して設定される。

[0092] フリップフロップ60は、セット（S）に時限回路56の出力信号を受け、リセット（R）に値「0」を受ける。S=1, R=0のとき、出力（Q）は「1」になる。S=0, R=0のとき、出力（Q）はその状態を維持する。すなわち、時限回路56の出力信号がLレベルからHレベルに立ち上がると、フリップフロップ58は、出力状態を「1」の状態に保持する。フリップフロップ60の出力信号は、NOT回路66およびOR回路62に入力される。

[0093] NOT回路66は、フリップフロップ60の出力信号を反転して出力する。警告灯A2は、NOT回路64から回路66から値「0」の信号を受けたときに点灯される。警告灯A2は、NOT回路64から値「1」の信号を受けたときに消灯される。すなわち、制御信号Sと半導体スイッチSW2～SWnの動作とが一致しない状態が所定時間を超えて継続した場合に、警告灯A2が点灯される。警告灯A2は、ゲートドライバGD2に与えられた制御信号Sと半導体スイッチSW2～SWnの動作とが一致しない異常をユーザに報知するための「第2の報知部材」の一実施例に対応する。

[0094] OR回路62は、第1入力端子にフリップフロップ58の出力信号を受け、第2入力端子にフリップフロップ60の出力信号を受ける。OR回路62は、2つの入力信号の論理和を算出し、算出結果を示す信号を出力する。フリップフロップ58の出力信号およびフリップフロップ60の出力信号の少なくとも一方がHレベルのとき（すなわち、値「1」のとき）、OR回路62はHレベルの信号を出力する。

[0095] 上述したように、制御信号Sに対する半導体スイッチSW2の動作が異常である状態が所定時間を超えて継続した場合に、時限回路54の出力信号に応答して、フリップフロップ58の出力信号はHレベルに保持される。また、制御信号Sと半導体スイッチSW2～SWnの動作とが一致しない状態が

所定時間を超えて継続した場合に、時限回路56の出力信号に応答して、フリップフロップ60の出力信号はHレベルに保持される。したがって、制御信号Sに対する半導体スイッチSW2の動作が異常である場合、または、制御信号Sと半導体スイッチSW2～SWnの動作とが一致しない場合には、半導体スイッチSW2に異常が発生しているとして、OR回路62の出力信号がHレベルにされる。

[0096] NOT回路68は、ゲートドライバGD3から入力される異常検出信号DA3を反転して出力する。上述したように、異常検出信号DA3は、半導体スイッチSW3～SWnにおける異常の有無を示す信号である。半導体スイッチSW3～SWnの少なくとも1つに異常が発生した場合には、異常検出信号DA3はLレベルにされる。半導体スイッチSW3～SWnの何れにも異常が発生していない場合には、異常検出信号DA3はHレベルにされる。NOT回路68は、Hレベルの異常検出信号DA3が入力されると、Lレベルの信号を出力し、Lレベルの異常検出信号DA3が入力されると、Hレベルの信号を出力する。

[0097] OR回路70は、第1入力端子にNOT回路68の出力信号を受け、第2入力端子にOR回路62の出力信号を受ける。OR回路70は、2つの入力信号の論理和を算出し、算出結果を示す信号を出力する。OR回路62の出力信号およびNOT回路68の出力信号の少なくとも一方がHレベルのとき、OR回路70はHレベルの信号を出力する。

[0098] これによると、(i)異常検出信号DA3がLレベルの場合、すなわち、半導体スイッチSW3～SWnに異常が発生した場合、(ii)半導体スイッチSW2に異常が発生した場合、の少なくとも一方を満たす場合に、OR回路70の出力信号はHレベルにされる。一方、(iii)異常検出信号DA3がHレベルの場合、すなわち、半導体スイッチSW3～SWnが正常である場合、(iv)半導体スイッチSW2が正常である場合、の全てを満たす場合において、OR回路70の出力信号はLレベルにされる。

[0099] NOT回路72は、OR回路70の出力信号を反転して、異常検出信号D

A 2 を生成する。NOT 回路 70 は、OR 回路 70 から H レベルの信号が入力されると、L レベルの異常検出信号 D A 2 を出力し、OR 回路 70 から L レベルの信号が入力されると、H レベルの異常検出信号 D A 2 を出力する。L レベルの異常検出信号 D A 2 は、上記 (i) , (i i i) の少なくとも一方を満たしており、半導体スイッチ S W 2 ~ S W n の少なくとも 1 つに異常が発生したことを示している。H レベルの異常検出信号 D A 2 は、上記 (i i i) , (i v) を全て満たしており、半導体スイッチ S W 2 ~ S W n の何れも正常であることを示している。

[0100] 以上説明したように、ゲートドライバ G D 2 内の異常検出回路 44 は、ゲートドライバ G D 2 に与えられた制御信号 S に対する半導体スイッチ S W 2 の動作の異常を検出した場合に、警告灯 A 1 を点灯するように構成される。また、異常検出回路 44 は、ゲートドライバ G D 2 に与えられた制御信号 S と半導体スイッチ S W 2 ~ S W n の動作との不一致を検出した場合には、警告灯 A 2 を点灯するように構成される。

[0101] 異常検出回路 44 はさらに、警告灯 A 1 , A 2 を点灯するとともに、半導体スイッチ S W 2 に異常が発生していると判断して L レベルの異常検出信号 D A 2 を生成するように構成される。

[0102] また、異常検出回路 44 は、I G B T Q 2 ~ Q n の全てがオン状態である場合には、H レベルの状態検出信号 D S 2 を出力し、I G B T Q 2 ~ Q n の少なくとも 1 つがオフ状態である場合には、L レベルの状態検出信号 D S 2 を生成するように構成される。

[0103] 図 4 に示されるように、状態検出信号 D S 2 は、出力端子 O U T 2 から光ファイバ F 2 を経由して、ゲートドライバ G D 1 の入力端子 I N 2 に与えられる。異常検出信号 D A 2 は、出力端子 O U T 3 から光ファイバ F 3 を経由して、ゲートドライバ G D 1 の入力端子 I N 3 に与えられる。図示は省略するが、ゲートドライバ G D 1 においても同様の手順に従って、制御信号 S、信号 D E T、状態検出信号 D S 2、および異常検出信号 D A 2 に基づいて、異常灯 A 1 , A 2 が制御されるとともに、状態検出信号 D S 1 および異常検

出信号DA1が生成される。状態検出信号DS1は、出力端子OUT2から光ファイバF2を経由して、I/F回路34の状態検出信号受信部342に与えられる。異常検出信号DA1は、出力端子OUT3から光ファイバF3を経由して、I/F回路34の異常検出信号受信部344に与えられる。

[0104] <スイッチ回路14の異常検出動作>

次に、図3および図4に示したゲートドライバGD1～GDnによるスイッチ回路14の異常検出動作について説明する。ゲートドライバGD1～GDnは、以下に例示する3種類の異常を検出することが可能に構成されている。

[0105] (1) ドライバ40またはIGBTQの故障

最初に、ゲートドライバGD1～GDnのうちの何れか1つにおいて、ドライバ40またはIGBTQの故障が生じた場合の異常検出動作を説明する。図6は、ゲートドライバGD1～GDnの異常検出動作を説明するための図である。図6では、ゲートドライバGD2のドライバ40が故障した場合を想定している。

[0106] ゲートドライバGD2は、図4に示したように、光ファイバF1を経由して、ゲートドライバGD1から制御信号Sを受ける。また、ゲートドライバGD2は、光ファイバF2、F3を経由して、ゲートドライバGD3から状態検出信号DS3および異常検出信号DA3を受ける。

[0107] ゲートドライバGD3～GDnでは、ドライバ40が正常であり、制御信号Sに応答して、半導体スイッチSW3～SWnにそれぞれ含まれるIGBTQ3～Qnをオンまたはオフさせる。そのため、制御信号SがHレベルのとき、ゲートドライバGD2の異常検出回路44は、Hレベルの状態検出信号DS3を受ける。異常検出回路44はさらに、Hレベルの異常検出信号DA3を受ける。

[0108] ゲートドライバGD2の内部では、ドライバ40は、制御信号Sに基づいてゲート信号G2を生成し、IGBTQ2のゲートに入力する。ただし、ドライバ40が故障しており、ゲート信号G2を正常に生成できない場合には

、Hレベルの制御信号S（オン指令）に反してIGBTQ2がオンされない現象、または、Lレベルの制御信号S（オフ指令）に反してIGBTQ2がオフされない現象が起こり得る。

[0109] 例えば、Hレベルの制御信号Sに反してIGBTQ2がオンされない現象が生じた場合には、異常検出回路44は、図5に示したように、制御信号Sの値と信号DETの値とが一致しない状態が所定時間継続したことに応答して、制御信号Sに対する半導体スイッチSW2の動作異常が生じていると判断する。その結果、ゲートドライバGD2の警告灯A1が点灯される。

[0110] また、異常検出回路44は、Hレベルの制御信号Sに反してIGBTQ2～QnのうちIGBTQ2がオフ状態となるため、Lレベルの状態検出信号DS2を生成する。異常検出回路44は、制御信号Sの値と状態検出信号DS2の値とが一致しない状態が所定時間継続したことに応答して、制御信号Sと半導体スイッチSW2～SWnの動作との不一致が生じていると判断する。その結果、ゲートドライバGD2の警告灯A2が点灯される。

[0111] さらに異常検出回路44は、半導体スイッチSW2に異常が発生していると判断して、Lレベルの異常検出信号DA2を生成する。Lレベルの状態検出信号DS2およびLレベルの異常検出信号DA2は、光ファイバF2、F3をそれぞれ経由して、ゲートドライバGD1の異常検出回路44に与えられる。

[0112] ゲートドライバGD1の内部では、ドライバ40が正常であるため、Hレベルの制御信号Sに応答して半導体スイッチSW1のIGBTQ1がオンされる。制御信号Sの値と信号DETの値とが一致するため、異常検出回路44は、半導体スイッチSW2が正常であると判断する。その結果、警告灯A1は消灯状態とされる。

[0113] 一方、異常検出回路44は、Lレベルの状態検出信号DS2とHレベルの信号DETとに基づいて、Lレベルの状態検出信号DS1を生成する。Lレベルの状態検出信号DS1は、IGBTQ1～Qnの少なくとも1つがオフ状態であることを示している。そして、制御信号Sの値と状態検出信号DS

1 との値が一致しない状態が所定時間継続したことに応答して、異常検出回路 44 は、制御信号 S と半導体スイッチ SW1 ～ SWn の動作との不一致が生じていると判断する。その結果、ゲートドライバ GD1 の警告灯 A2 が点灯される。

[0114] さらに、半導体スイッチ SW1 に異常が発生していると判断されて、OR 回路 70 に H レベルの信号が与えられる。OR 回路 70 にはさらに、ゲートドライバ GD2 から NOT 回路 68 を介して H レベルの異常検出信号 DA2 が与えられる。異常検出回路 44 は、半導体スイッチ SW1 ～ SWn に異常が発生していると判断して、L レベルの異常検出信号 DA1 を生成する。L レベルの状態検出信号 DS1 および L レベルの異常検出信号 DA1 は、光ファイバ F2, F3 をそれぞれ経由して、I/F 回路 34 に与えられる。

[0115] 上述した動作により、ゲートドライバ GD2 のドライバ 40 が故障した場合には、ゲートドライバ GD2 に設けられた警告灯 A1, A2 が点灯するとともに、ゲートドライバ GD1 に設けられた警告灯 A2 が点灯する。

[0116] ゲートドライバ GD2 の警告灯 A1 が点灯したことにより、ユーザは、制御信号 S に対する半導体スイッチ SW2 の動作異常が生じていることを検出することができる。また、ゲートドライバ GD2 の警告灯 A2 が点灯したことにより、ユーザは、半導体スイッチ SW2 の動作異常に起因して、制御信号 S と半導体スイッチ SW2 ～ SWn の動作との不一致が生じていることを検出することができる。

[0117] また、ゲートドライバ GD1 では警告灯 A2 のみが点灯していることから、ユーザは、半導体スイッチ SW1 が正常であること、および、半導体スイッチ SW2 の動作異常に起因して、制御信号 S と半導体スイッチ SW1 ～ SWn の動作との不一致が生じていることを検出することができる。

[0118] (2) 光ファイバ F1 の損傷（制御信号 S の通信異常）

次に、光ファイバ F1 が損傷したことで、制御信号 S の通信異常が生じた場合の異常検出動作を説明する。図 7 は、ゲートドライバ GD1 ～ GDn の異常検出動作を説明するための図である。図 7 では、ゲートドライバ GD2

とゲートドライバGD3とを接続する光ファイバF1が切断された場合を想定している。

[0119] ゲートドライバGD2およびGD3間の光ファイバF1が切断された場合、ゲートドライバGD2からゲートドライバGD3へ制御信号Sを伝送できなくなるため、ゲートドライバGD3～GDnは制御信号Sを受け取ることが不可能となる。そのため、I/F回路34からHレベルの制御信号S（オン指令）が出力された場合、ゲートドライバGD1、GD2にはオン指令が与えられる一方で、ゲートドライバGD3～GDnにはオン指令が与えられない。

[0120] この場合、ゲートドライバGD1、GD2はそれぞれ、Hレベルの制御信号Sに応答して半導体スイッチSW1、SW2のIGBTQ1、Q2をオンする。一方、ゲートドライバGD3～GDnはそれぞれ、Lレベルの制御信号Sに応答して、半導体スイッチSW3～SWnのIGBTQ3～Qnをオフ状態に維持する。

[0121] このように与えられた制御信号Sに応答して半導体スイッチSW1～SWnのIGBTQ1～Qnが正常に動作している。したがって、ゲートドライバGD1～GDnの何れにおいても、警告灯A1が消灯状態となる。

[0122] ゲートドライバGD2の内部では、異常検出回路44は、ゲートドライバGD3からのLレベルの状態検出信号DS3に応じて、Lレベルの状態検出信号DS2を生成する。そして、異常検出回路44は、制御信号Sの値と状態検出信号DS2の値とが一致しない状態が所定時間継続したことに応答して、制御信号Sと半導体スイッチSW2～SWnの動作との不一致が生じていると判断する。その結果、ゲートドライバGD2の警告灯A2が点灯される。

[0123] さらに異常検出回路44は、警告灯A2の点灯とともに、半導体スイッチSW2に異常が発生していると判断して、Lレベルの異常検出信号DA2を生成する。Lレベルの状態検出信号DS2およびLレベルの異常検出信号DA2は、光ファイバF2、F3をそれぞれ経由して、ゲートドライバGD1

の異常検出回路44に与えられる。

[0124] ゲートドライバGD1の内部では、異常検出回路44は、Lレベルの状態検出信号DS2に応じて、Lレベルの状態検出信号DS1を生成する。Lレベルの状態検出信号DS1は、IGBTQ1～Qnの少なくとも1つがオフ状態であることを示している。そして、異常検出回路44は、制御信号Sの値と状態検出信号DS1との値が一致しない状態が所定時間継続したことに応答して、制御信号Sと半導体スイッチSW1～SWnの動作との不一致が生じていると判断する。その結果、ゲートドライバGD1の警告灯A2が点灯される。

[0125] さらに異常検出回路44は、警告灯A2の点灯とともに、半導体スイッチSW1に異常が発生していると判断して、Lレベルの異常検出信号DA1を生成する。Lレベルの状態検出信号DS1およびLレベルの異常検出信号DA1は、光ファイバF2、F3をそれぞれ経由して、I/F回路34に与えられる。

[0126] 上述した動作により、ゲートドライバGD2およびGD3間の光ファイバF1が損傷した場合には、ゲートドライバGD1～GDnの全ての警告灯A1が消灯状態とされる。これによると、ユーザは、半導体スイッチSW1～SWnの全てにおいて、制御信号Sに対してIGBTQが正常に動作していることを検出することができる。すなわち、各ゲートドライバGDのドライバ40および各半導体スイッチSWのIGBTQが故障していないと判断することができる。

[0127] また、ゲートドライバGD3、GD4の警告灯A2が消灯されている一方で、ゲートドライバGD1、GD2の警告灯A2が点灯されていることから、ユーザは、半導体スイッチSW1、SW2と半導体スイッチSW3、SW4との間に動作の不一致が生じていることを検出することができる。そして、ユーザは、この動作の不一致がゲートドライバGD2とゲートドライバGD3との間の通信異常が原因であることを推測することができる。

[0128] (3) 光ファイバF2の異常(状態検出信号DSの通信異常)

次に、光ファイバF 2が損傷したことによって、状態検出信号D Sの通信異常が生じた場合異常検出動作を説明する。図8は、ゲートドライバGD 1～GD nの異常検出動作を説明するための図である。図8では、ゲートドライバGD 2とゲートドライバGD 3とを接続する光ファイバF 2が切断された場合を想定している。

[0129] ゲートドライバGD 2およびGD 3間の光ファイバF 2が切断された場合、ゲートドライバGD 3からゲートドライバGD 2へ状態検出信号D S 3を伝送できなくなる。そのため、ゲートドライバGD 2は、状態検出信号D S 3を用いて状態検出信号D S 2を生成することが不可能となる。

[0130] I / F回路3 4からHレベルの制御信号S（オン指令）が出力された場合、ゲートドライバGD 1～GD nは、Hレベルの制御信号Sに応答して半導体スイッチSW 1～SW nにそれぞれ含まれるIGBTQ 1～Q nをオンする。このように与えられた制御信号Sに응答してIGBTQ 1～Q nが正常に動作しているため、ゲートドライバGD 1～GD nの何れにおいても、警告灯A 1が消灯状態となる。

[0131] しかしながら、ゲートドライバGD 2の内部では、光ファイバF 2を経由して、ゲートドライバGD 3からHレベルの状態検出信号D S 3を受信することができない。そのため、異常検出回路4 4は、Lレベルの状態検出信号D S 3に応じて、Lレベルの状態検出信号D S 2を生成する。そして、異常検出回路4 4は、制御信号Sの値と状態検出信号D S 2の値とが一致しない状態が所定時間継続したことに応じて、制御信号Sと半導体スイッチSW 2～SW nの動作との不一致が生じていると判断する。その結果、ゲートドライバGD 2の警告灯A 2が点灯される。

[0132] さらに異常検出回路4 4は、警告灯A 2の点灯とともに、半導体スイッチSW 2に異常が発生していると判断して、Lレベルの異常検出信号D A 2を生成する。Lレベルの状態検出信号D S 2およびLレベルの異常検出信号D A 2は、光ファイバF 2，F 3をそれぞれ経由して、ゲートドライバGD 1の異常検出回路4 4に与えられる。

[0133] ゲートドライバGD1の内部では、異常検出回路44は、Lレベルの状態検出信号DS2に応じて、Lレベルの状態検出信号DS1を生成する。Lレベルの状態検出信号DS1は、IGBTQ1～Qnの少なくとも1つがオフ状態であることを示している。そして、制御信号Sの値と状態検出信号DS1との値が一致しない状態が所定時間継続したことに応答して、制御信号Sと半導体スイッチSW1～SWnの動作との不一致が生じていると判断する。その結果、ゲートドライバGD1の警告灯A2が点灯される。

[0134] さらに異常検出回路44は、警告灯A2の点灯とともに、半導体スイッチSW1に異常が発生していると判断して、Lレベルの異常検出信号DA1を生成する。Lレベルの状態検出信号DS1およびLレベルの異常検出信号DA1は、光ファイバF2、F3をそれぞれ経由して、I/F回路34に与えられる。

[0135] 上述した動作により、ゲートドライバGD2およびGD3間の光ファイバF2が損傷した場合には、ゲートドライバGD1～GDnの全ての警告灯A1が消灯状態とされる。これによると、ユーザは、半導体スイッチSW1～SWnの全てにおいて、制御信号Sに対してIGBTQが正常に動作していることを検出することができる。すなわち、各ゲートドライバGDのドライバ40および各半導体スイッチSWのIGBTQが故障していないと判断することができる。

[0136] また、ゲートドライバGD3、GD4の警告灯A2が消灯されている一方で、ゲートドライバGD1、GD2の警告灯A2が点灯されていることから、ユーザは、半導体スイッチSW1、SW2と半導体スイッチSW3、SW4との間に動作の不一致が生じていることを検出することができる。そして、ユーザは、この動作の不一致がゲートドライバGD2とゲートドライバGD3との間の通信異常が原因であることを推測することができる。

[0137] <作用効果>

以下に、比較例に係る電源装置と対比しながら、本実施の形態に係る電源装置10の作用効果について説明する。

- [0138] 図9は、比較例に係る電源装置の概略構成を示す図である。図9には、比較例に係る電源装置に含まれる制御装置300のうちスイッチ回路14の制御に関連する部分の構成が示されている。なお、図9では、一相（U相）の交流電力に関連する部分のみが示されている。
- [0139] 図9に示すように、比較例に係る電源装置において、制御装置300は、メインコントローラ320と、I/F回路330と、n個のゲートドライバGD1～GDnと、光ファイバF1～F3を含む。制御装置300は、図3に示した制御装置30とは、ゲートドライバGDの構成および光ファイバF1～F3の配線が異なる。
- [0140] 制御装置300では、ゲートドライバGD1～GDnの各々とI/F回路330との間に光ファイバF1～F3が配設されている。すなわち、図3とは対照的に、I/F回路330に対してゲートドライバGD1～GDnが互いに並列に接続されている。
- [0141] 比較例では、ゲートドライバGD1～GDnの各々はI/F回路330と直接的に信号を遣り取りできるため、本実施の形態に比べて、信号の遅延が抑えられる。その一方で、全てのゲートドライバGD1～GDnに対して数mに及ぶ光ファイバF1～F3が接続されるため、半導体スイッチSWの数nが増えるに従って、配線が複雑化することが懸念される。
- [0142] また、比較例では、各ゲートドライバGDから、対応する半導体スイッチSWのオンオフ状態を示す状態検出信号DSがI/F回路330に入力されるため、I/F回路330は、ゲートドライバGDごとに、制御信号Sと状態検出信号DSとを比較することにより、制御信号Sに対する半導体スイッチSWの動作異常を検出することができる。そして、半導体スイッチSW1～SWnにそれぞれ対応して設けられた警告灯A1～Anのうち、動作異常である半導体スイッチSWに対応する警告灯Aを点灯させることによって、どの半導体スイッチSWに異常が発生しているのかを、ユーザに報知することができる。
- [0143] ただし、比較例では、半導体スイッチSWの動作異常が検出された場合に

、その動作異常が、ゲートドライバGDまたはIGBTQの故障によるものか、制御信号Sおよび状態検出信号DSを伝送する光ファイバの損傷によるものかを判別することができないという問題がある。

[0144] これに対して、本実施の形態では、図3に示したように、I/F回路34に対してゲートドライバGD1～GDnを直列に接続したことにより、ゲートドライバGD2～GDnに接続される光ファイバF1～F3の配線長を短くすることができる。したがって、半導体スイッチSWの数nの増加によって配線が複雑化することを抑制することができる。

[0145] また本実施の形態では、各ゲートドライバGDに、与えられた制御信号Sに対する半導体スイッチSWの動作を異常であることを報知するための警告灯A1（第1の報知部材）と、与えられた制御信号Sと当該半導体スイッチSWを含む複数の半導体スイッチSWの動作とが一致しない異常を報知するための警告灯A1（第2の報知部材）とが設けられている。これにより、各ゲートドライバGDの警告灯A1、A2の状態に基づいて、ユーザは、半導体スイッチSWの異常が、ゲートドライバGDまたはIGBTQの故障によるものか（図6参照）、光ファイバの損傷によるものか（図7、8参照）を判別することができる。また、各ゲートドライバGDにおける警告灯A1、A2の状態に基づいて、ユーザは、故障が発生している箇所を特定することができる。

[0146] この結果、本実施の形態に係る電源装置10によれば、装置構成を複雑化することなく、直列接続された複数の半導体スイッチを備えた電源装置に発生した異常の内容および発生場所を特定することが可能となる。

[0147] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本開示は上記した説明ではなくて請求の範囲に示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0148] 1 交流電源、2 負荷、3 バッテリ、14 スイッチ回路、14a

入力ノード、14b 出力ノード、16 双方向コンバータ、18, 20
電圧検出器、30, 300 制御装置、32, 320 メインコントローラ
、34, 330 I/F回路、30H 高圧部品、30L 低圧部品、40
ドライバ、42 判定器、44 異常検出回路、54, 56 時限回路、
58, 60 フリップフロップ、340 制御信号送信部、342 状態検
出信号受信部、344 異常検出信号受信部、T1, IN1~IN3 入力
端子、T2, OUT1~OUT3 出力端子、T3 直流端子、F1~F3
光ファイバ、A1, A2, An 警告灯、G1~Gn ゲート信号、GD
、GD1~GDn ゲートドライバ、Q1~Qn, QA, QB IGBT,
D1~Dn, DA, DB ダイオード、SN, SN1~SNn スナバ回路
、Z, Z1~Zn バリスタ、SW, SW1~SWn 半導体スイッチ、S
制御信号、DS, DS1~DSn 状態検出信号、DA, DA1~DAn
異常検出信号。

請求の範囲

[請求項1]

n を 2 以上の整数とし、 i を 1 以上 $n - 1$ 以下の整数としたとき、
第 1 および第 2 の端子間に直列接続された第 1 から第 n の半導体スイッチと、

前記第 1 から第 n の半導体スイッチにそれぞれ対応して設けられ、
制御信号に応答して、対応する半導体スイッチを駆動する、第 1 から
第 n の駆動回路と、

前記第 1 から第 n の駆動回路と信号を授受するインターフェイス回
路と、

前記インターフェイス回路と前記第 1 から第 n の駆動回路とを直列
に接続する第 1 および第 2 の通信線とを備え、

前記第 1 の通信線は、前記制御信号を、前記インターフェイス回路
から前記第 1 の駆動回路を経由して前記第 n の駆動回路まで順次伝送
するように構成され、

前記第 2 の通信線は、半導体スイッチの動作状態を示す状態検出信
号を、前記第 n の駆動回路から前記第 1 の駆動回路を経由して前記イ
ンターフェイス回路まで順次伝送するように構成され、

第 i の駆動回路は、

第 $(i - 1)$ の駆動回路から受信した前記制御信号に応答して、第
 i の半導体スイッチを駆動するドライバと、

第 i の半導体スイッチの異常を検出するための異常検出回路と、

第 1 および第 2 の報知部材とを含み、

前記異常検出回路は、

前記制御信号および前記第 i の半導体スイッチの動作状態に基づい
て、前記第 i の半導体スイッチの異常を検出し、検出結果を前記第 1
の報知部材を用いて報知し、

前記第 i の半導体スイッチの動作状態と、第 $(i + 1)$ の駆動回路
から受信した、第 $(i + 1)$ から第 n の半導体スイッチの動作状態を

示す前記状態検出信号とに基づいて、前記第 i から第 n の半導体スイッチの動作状態を示す前記状態検出信号を生成し、

前記制御信号および生成した前記状態検出信号に基づいて、前記制御信号と前記第 i から第 n の半導体スイッチの動作状態との不一致を検出し、検出結果を前記第 2 の報知部材を用いて報知する、電源装置。

[請求項2] 前記インターフェイス回路と前記第 1 から第 n の駆動回路とを直列に接続する第 3 の通信線をさらに備え、

前記第 3 の通信線は、半導体スイッチの異常の有無を示す異常検出信号を、前記第 n の駆動回路から前記第 1 の駆動回路を経由して前記インターフェイス回路まで順次伝送するように構成され、

前記第 i の駆動回路において、前記異常検出回路は、

前記第 i の半導体スイッチの異常、および、前記制御信号と前記第 i から第 n の半導体スイッチの動作状態との不一致の少なくとも一方が検出された場合、または、前記第 $(i + 1)$ の駆動回路から、前記第 $(i + 1)$ から第 n の半導体スイッチの異常を示す前記異常検出信号を受信した場合に、前記第 i から第 n の半導体スイッチの異常を示す前記状態検出信号を生成する、請求項 1 に記載の電源装置。

[請求項3] 前記異常検出回路は、

前記制御信号に応答して前記第 i の半導体スイッチが正常に動作しない状態が第 1 の所定時間継続したことに応じて、前記第 i の半導体スイッチの異常を検出し、

前記制御信号の値と前記状態検出信号の値とが一致しない状態が第 2 の所定時間継続したことに応じて、前記制御信号と前記第 i から第 n の半導体スイッチの動作状態との不一致を検出する、請求項 1 または 2 に記載の電源装置。

[請求項4] 前記第 1 から第 n の半導体スイッチの各々は、主電極と制御電極とを有する半導体スイッチング素子を含み、

前記第 i の駆動回路において、

前記ドライバは、前記制御信号に応じた駆動信号を前記半導体スイッチング素子の前記制御電極へ入力し、

前記異常検出回路は、前記制御電極および前記主電極間の電圧に基づいて、前記第 i の半導体スイッチの動作状態を検出する、請求項 1 に記載の電源装置。

[請求項5] 前記第 1 から第 3 の通信線の各々は、光ファイバである、請求項 2 に記載の電源装置。

[請求項6] 前記第 1 および第 2 の報知部材の各々は、警告灯である、請求項 1 に記載の電源装置。

[請求項7] 前記第 1 の端子は、交流電源から供給される交流電力を受け、
前記第 2 の端子は、交流電力によって駆動される負荷に接続され、
前記インターフェイス回路は、前記交流電源から交流電圧が正常に供給されている第 1 の場合には、前記第 1 から第 n の半導体スイッチをオンさせるための前記制御信号を生成して前記第 1 の通信線に出力し、前記交流電源から交流電圧が正常に供給されていない第 2 の場合には、前記第 1 から第 n の半導体スイッチをオフさせるための前記制御信号を生成して前記第 1 の通信線に出力する、請求項 1 に記載の電源装置。

[請求項8] 前記第 2 の端子に接続された双方向コンバータをさらに備え、
前記双方向コンバータは、前記第 1 の場合には、前記交流電源から前記第 1 から第 n の半導体スイッチを介して供給される交流電力を直流電力に変換して電力貯蔵装置に蓄え、前記第 2 の場合には、前記電力貯蔵装置の直流電力を交流電力に変換して前記負荷に供給する、請求項 7 に記載の電源装置。

[図1]

FIG.1

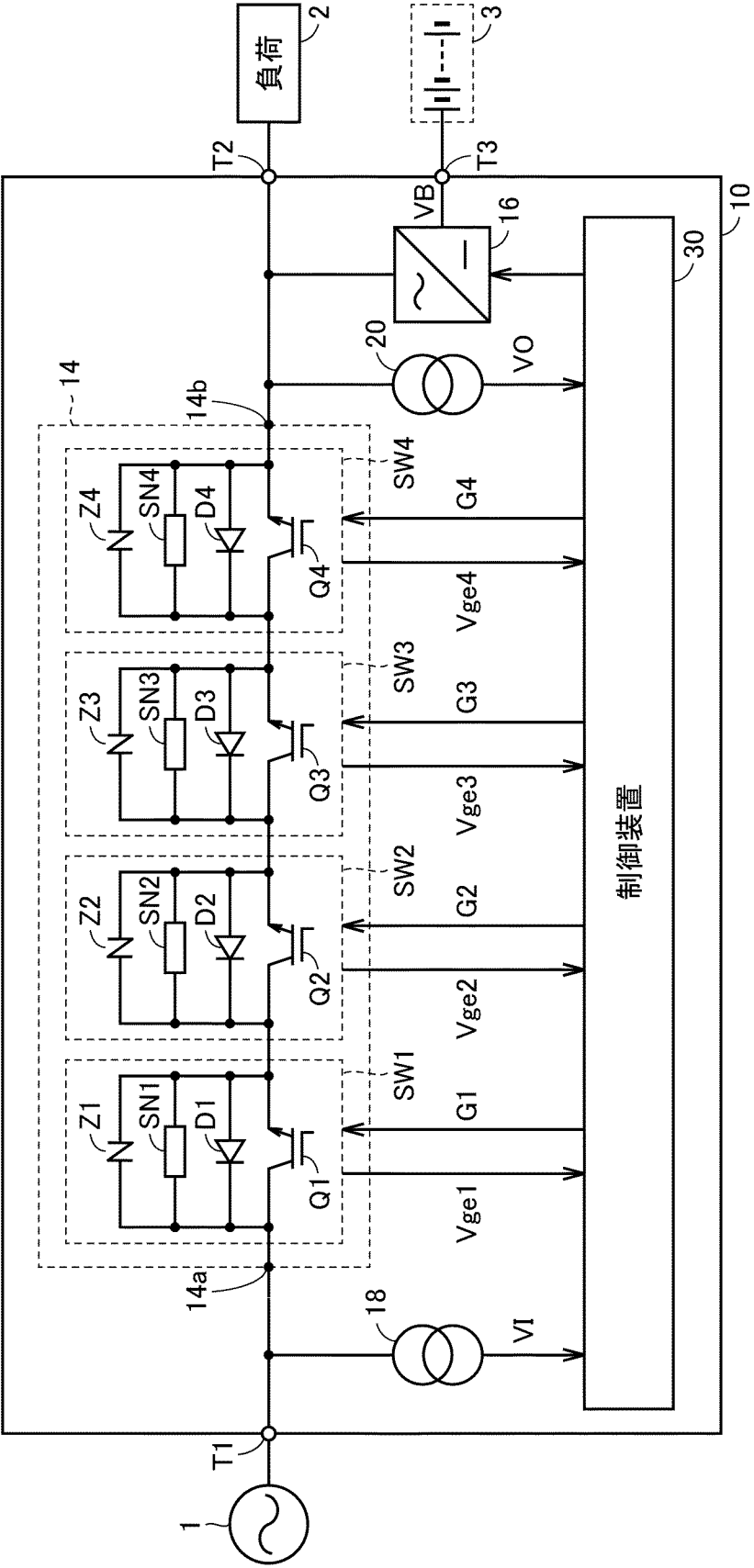
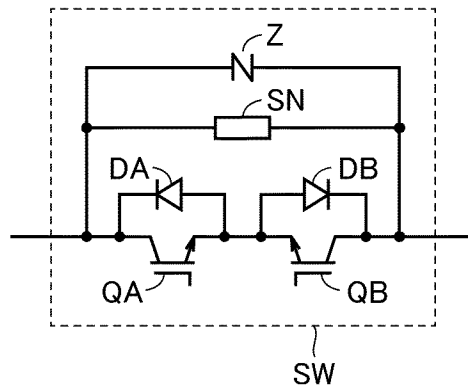
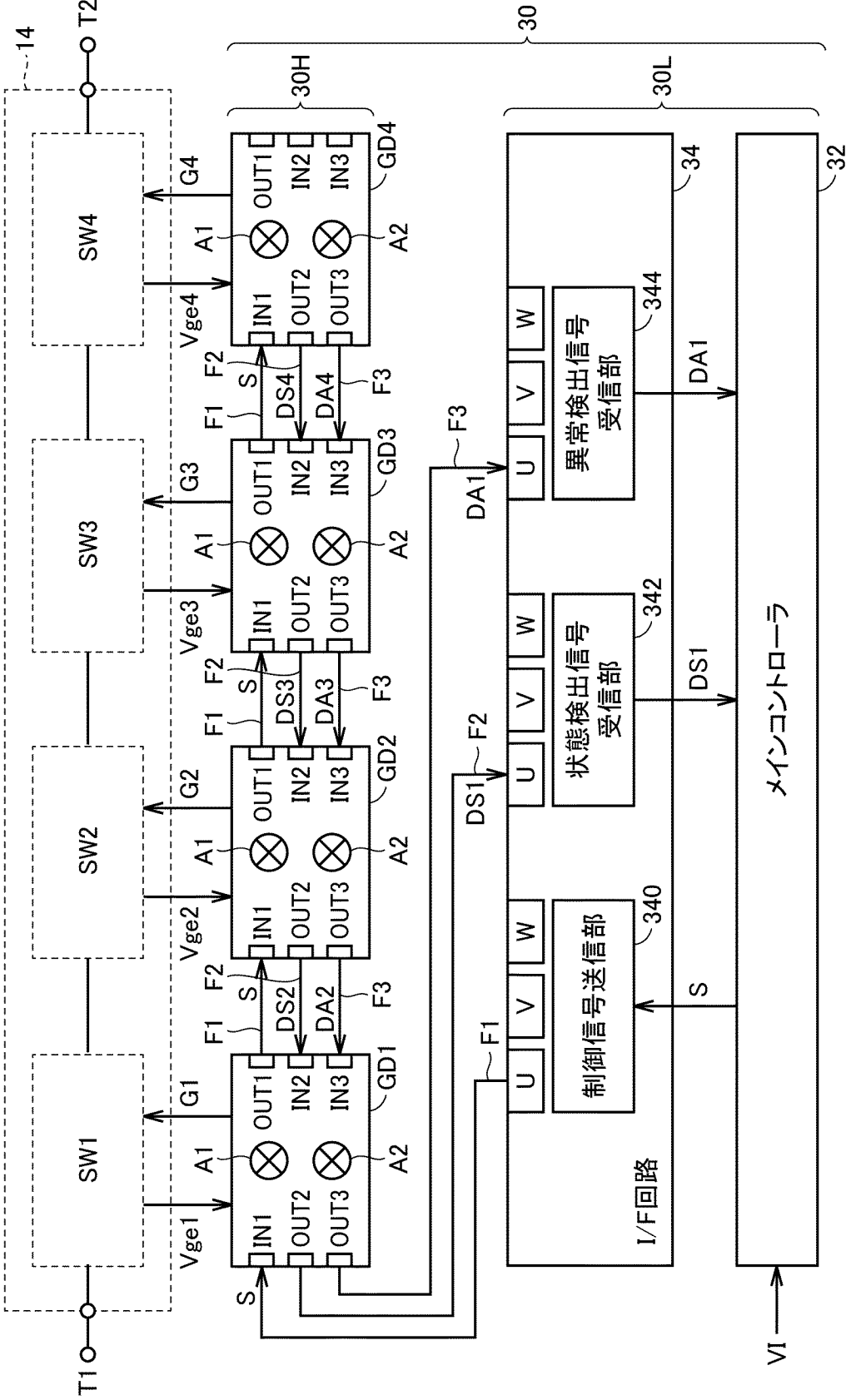


FIG.2



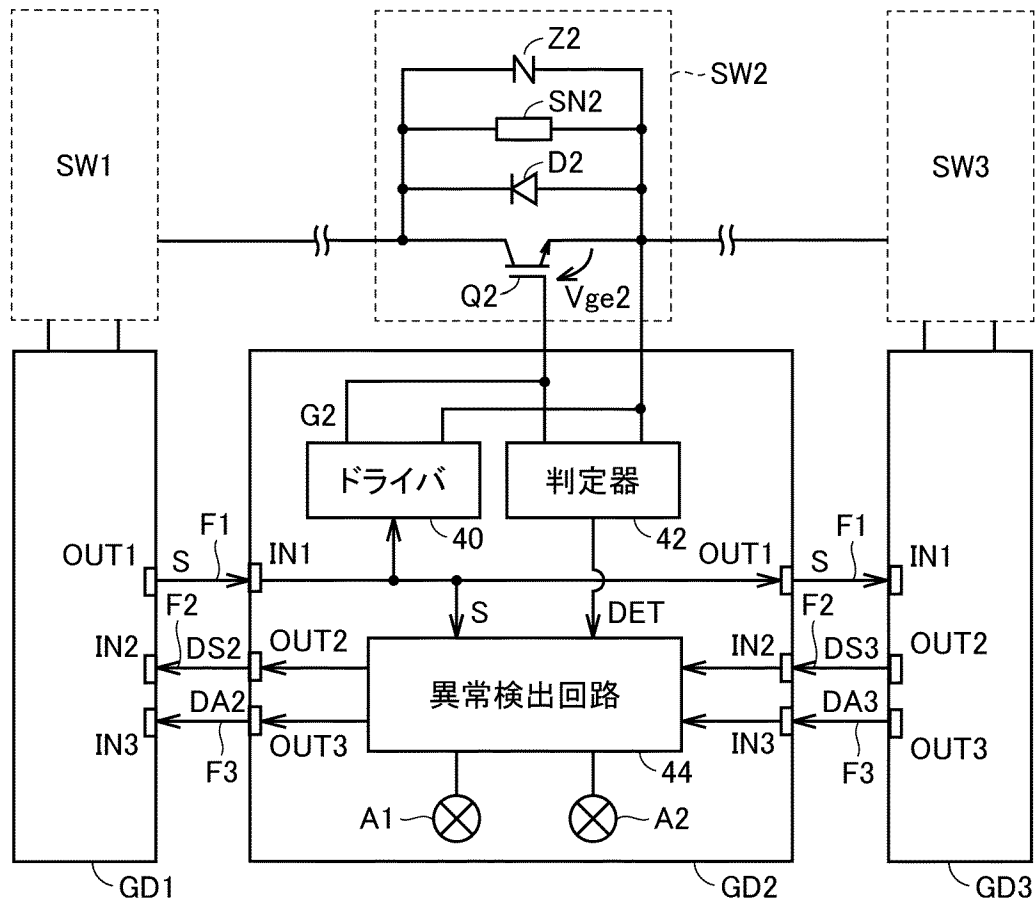
[図3]

FIG.3



[図4]

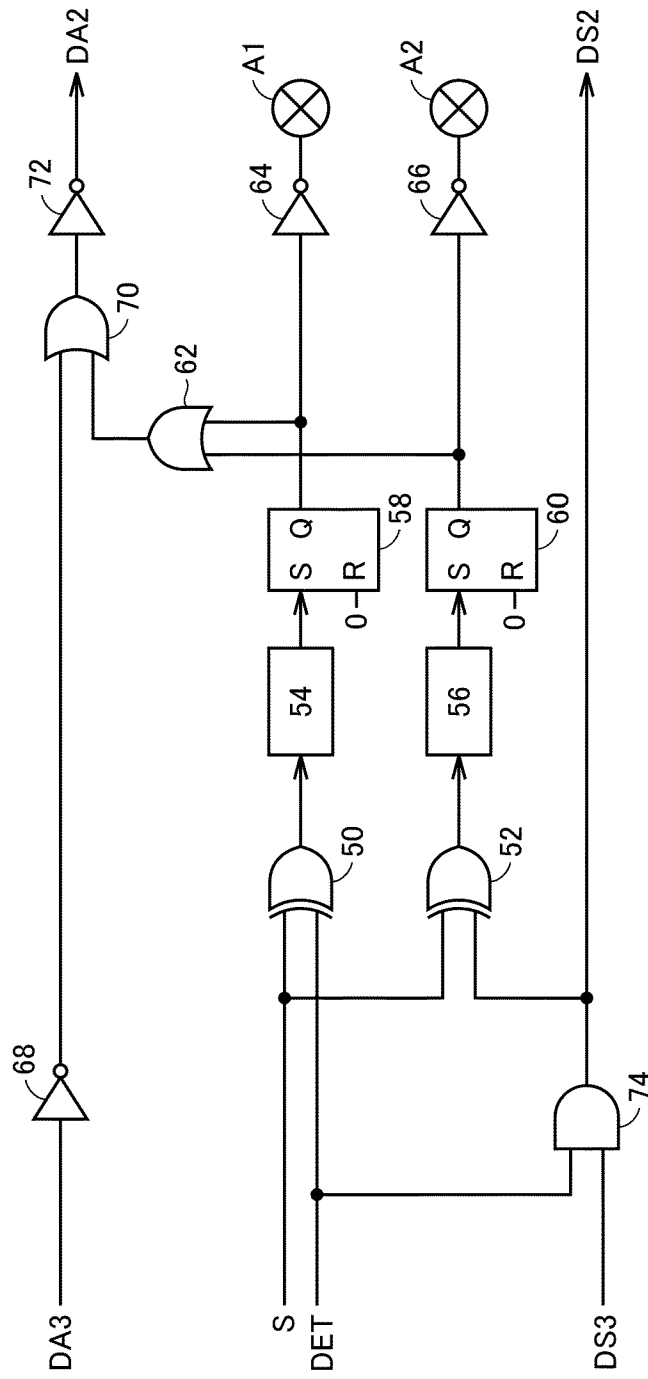
FIG.4



[図5]

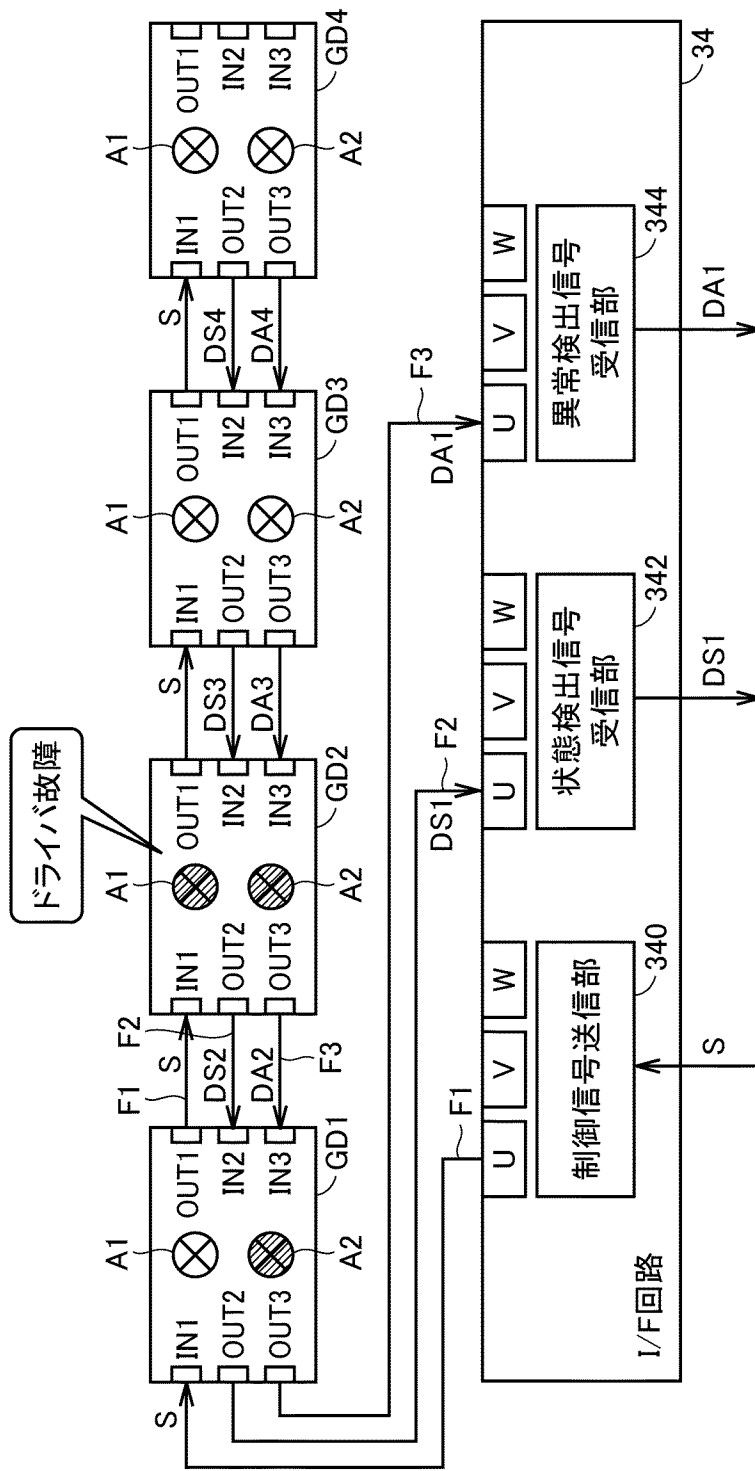
FIG.5

44



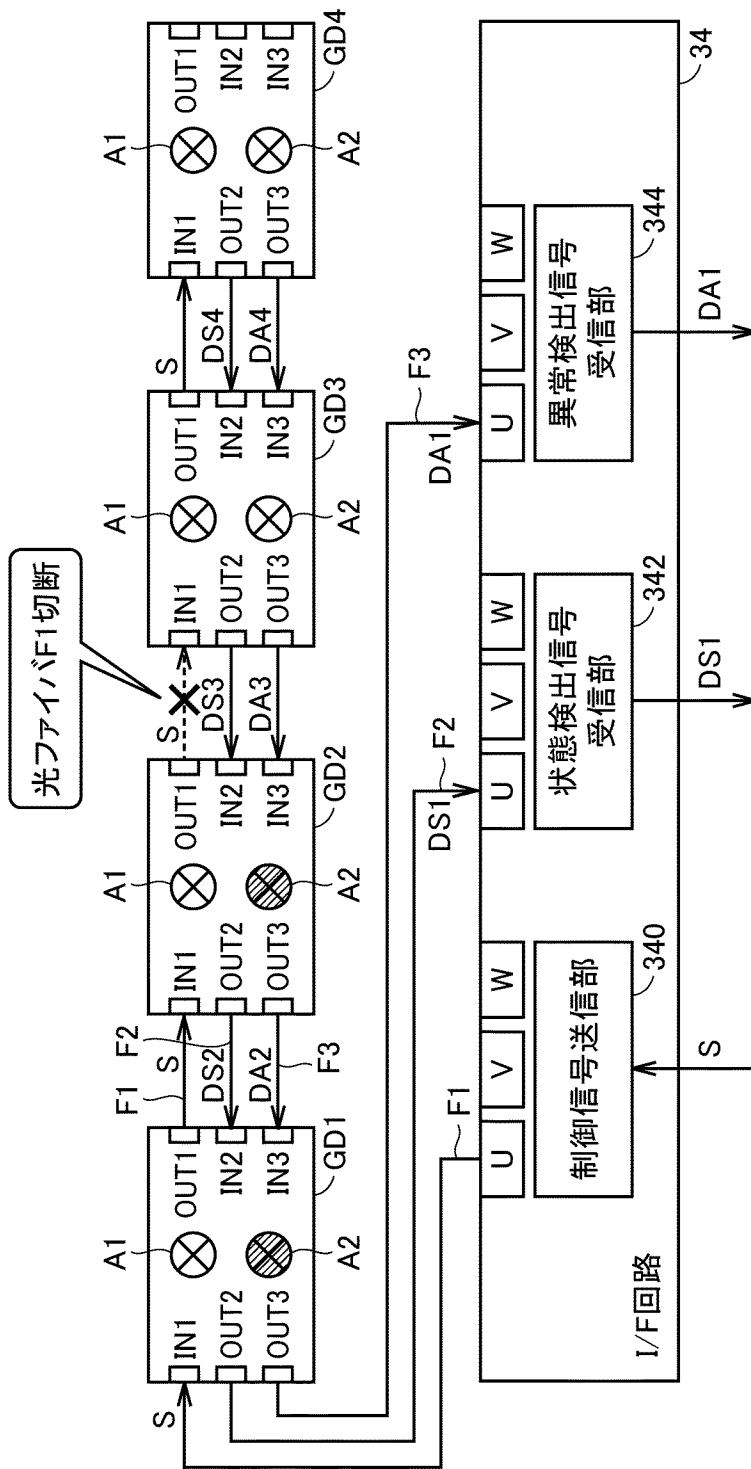
[図6]

FIG.6



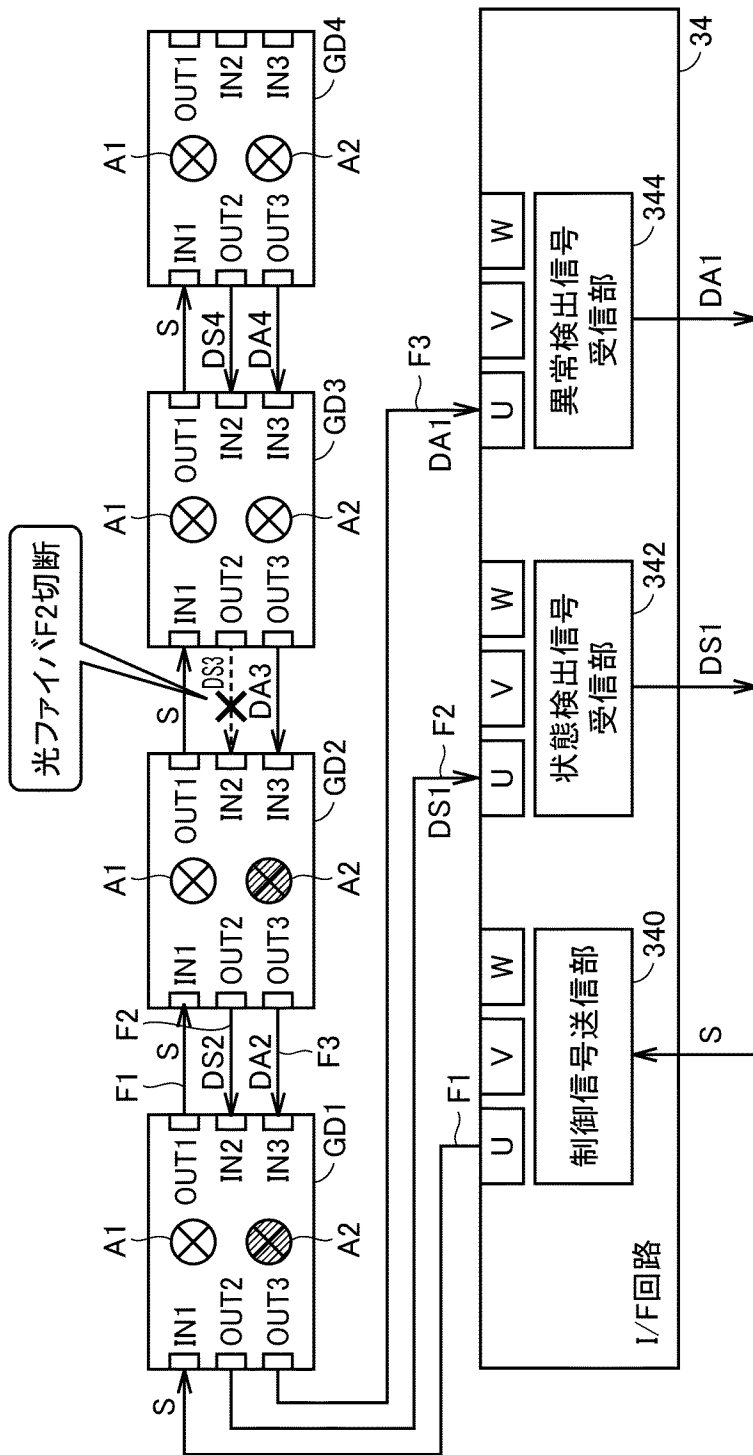
[図7]

FIG. 7



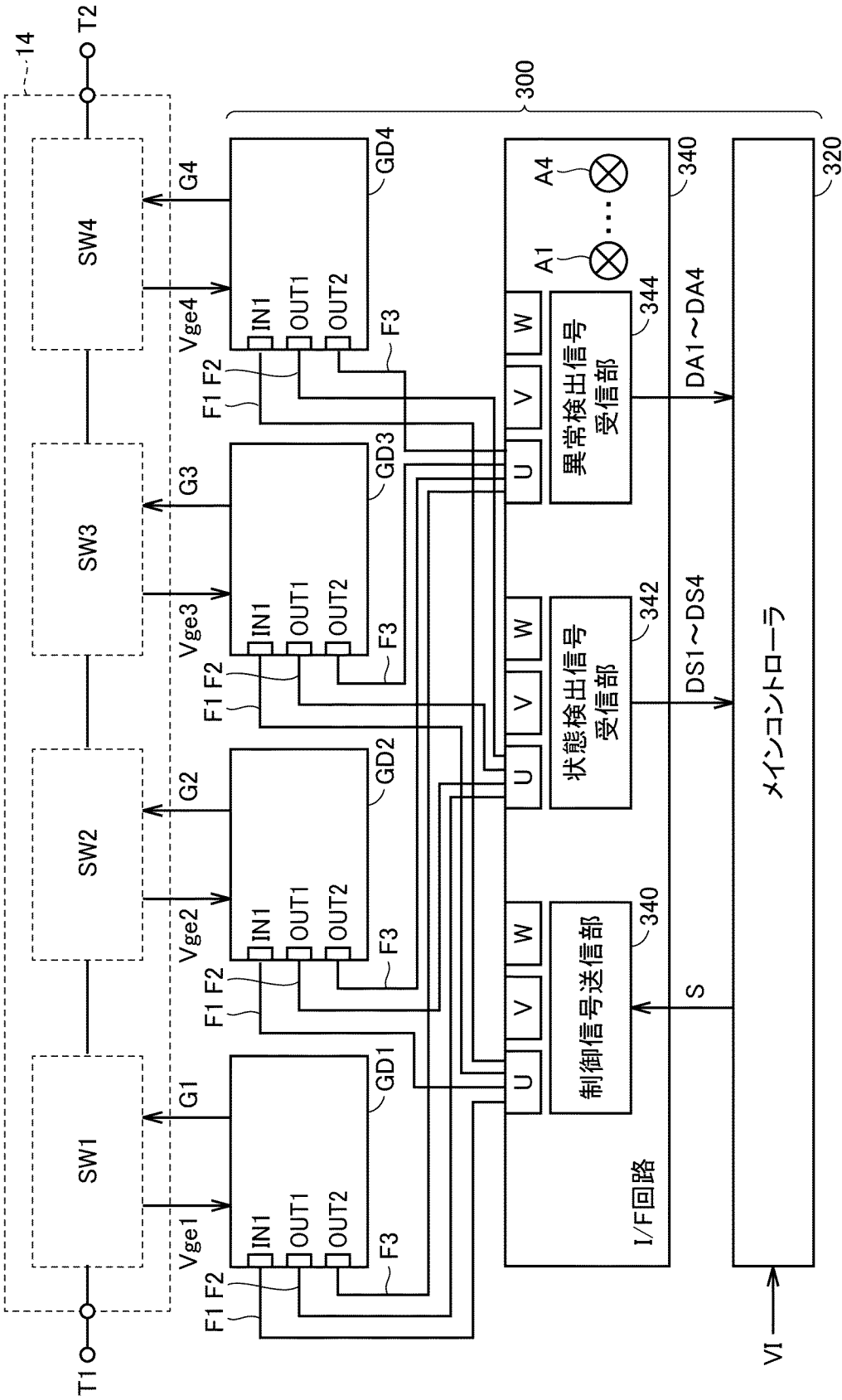
[図8]

FIG.8



[図9]

FIG.9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/037404

A. CLASSIFICATION OF SUBJECT MATTER**H02H 7/00**(2006.01)i; **H02H 3/05**(2006.01)i; **H02J 9/06**(2006.01)i

FI: H02H7/00 A; H02H3/05 F; H02J9/06 120

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02H7/00; H02H7/10-7/20; H02H1/00-3/07; H02J9/00-11/00; H02J13/00; H01M1/00-1/44; H03K17/00-17/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6666526 B1 (TOSHIBA MITSUBISHI ELEC IND) 13 March 2020 (2020-03-13) paragraphs [0013]-[0100], fig. 1-10	1-8
A	WO 2020/178969 A1 (TOSHIBA MITSUBISHI ELEC IND) 10 September 2020 (2020-09-10) paragraphs [0010]-[0094], fig. 1-10	1-8
A	JP 2009-259762 A (HITACHI LTD) 05 November 2009 (2009-11-05) paragraphs [0012]-[0073], fig. 1-5	1-8
A	JP 7-32439 A (FANUC LTD) 03 February 1995 (1995-02-03) paragraphs [0006]-[0044], fig. 1-11	1-8
A	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 103318/1991 (Laid-open No. 55295/1993) (TANAKA DENKI HIKARI ON DO KK) 23 July 1993 (1993-07-23), paragraphs [0006]-[0017], fig. 1-12	1-8
A	US 2003/0218839 A1 (PFISTER ANDREW D.) 27 November 2003 (2003-11-27) paragraphs [0016]-[0045], fig. 1-12	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 December 2022

Date of mailing of the international search report

20 December 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/037404

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	6666526	B1	13 March 2020	US 2021/0057997 A1 paragraphs [0022]-[0113], fig. 1-10 KR 10-2020-0106205 A CN 111771320 A	
WO	2020/178969	A1	10 September 2020	US 2021/0242770 A1 paragraphs [0020]-[0104], fig. 1-10 CN 112335162 A KR 10-2021-0018466 A	
JP	2009-259762	A	05 November 2009	(Family: none)	
JP	7-32439	A	03 February 1995	(Family: none)	
JP	5-55295	U1	23 July 1993	(Family: none)	
US	2003/0218839	A1	27 November 2003	CA 2385430 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02H 7/00(2006.01)i; H02H 3/05(2006.01)i; H02J 9/06(2006.01)i FI: H02H7/00 A; H02H3/05 F; H02J9/06 120										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H02H7/00; H02H7/10-7/20; H02H1/00-3/07; H02J9/00-11/00; H02J13/00; H01M1/00-1/44; H03K17/00-17/70										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2022年									
日本国実用新案登録公報	1996-2022年									
日本国登録実用新案公報	1994-2022年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	JP 6666526 B1（東芝三菱電機産業システム株式会社）13.03.2020（2020-03-13） 段落 [0013] - [0100]，図1-10	1-8								
A	WO 2020/178969 A1（東芝三菱電機産業システム株式会社）10.09.2020（2020-09-10） 段落 [0010] - [0094]，図1-10	1-8								
A	JP 2009-259762 A（株式会社日立製作所）05.11.2009（2009-11-05） 段落 [0012] - [0073]，図1-5	1-8								
A	JP 7-32439 A（ファナック株式会社）03.02.1995（1995-02-03） 段落 [0006] - [0044]，図1-11	1-8								
A	日本国実用新案登録出願3-103318号（日本国実用新案登録出願公開5-55295号）の願書に添付した明細書及び図面の内容を記録したCD-ROM（株式会社田中電機光音堂）23.07.1993（1993-07-23）段落 [0006] - [0017]，図1-12	1-8								
A	US 2003/0218839 A1（PFISTER ANDREW D.）27.11.2003（2003-11-27） 段落 [0016] - [0045]，図1-12	1-8								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 07.12.2022		国際調査報告の発送日 20.12.2022								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 早川 卓哉 5T 9295 電話番号 03-3581-1101 内線 3568								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/037404

引用文献			公表日	パテントファミリー文献	公表日
JP	6666526	B1	13.03.2020	US 2021/0057997 A1 段落 [0 0 2 2] - [0 1 1 3] , 図 1 - 1 0 KR 10-2020-0106205 A CN 111771320 A	
WO	2020/178969	A1	10.09.2020	US 2021/0242770 A1 段落 [0 0 2 0] - [0 1 0 4] , 図 1 - 1 0 CN 112335162 A KR 10-2021-0018466 A	
JP	2009-259762	A	05.11.2009	(ファミリーなし)	
JP	7-32439	A	03.02.1995	(ファミリーなし)	
JP	5-55295	U1	23.07.1993	(ファミリーなし)	
US	2003/0218839	A1	27.11.2003	CA 2385430 A1	