

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G09G 3/30

G09G 3/20 G09F 9/30

H01L 29/786 H05B 33/14



[12] 发明专利申请公开说明书

[21] 申请号 02818474.2

[43] 公开日 2004 年 12 月 22 日

[11] 公开号 CN 1556976A

[22] 申请日 2002.9.12 [21] 申请号 02818474.2

[30] 优先权

[32] 2001.9.21 [33] JP [31] 289983/2001

[86] 国际申请 PCT/JP2002/009354 2002.9.12

[87] 国际公布 WO2003/027997 日 2003.4.3

[85] 进入国家阶段日期 2004.3.22

[71] 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72] 发明人 木村肇

[74] 专利代理机构 中国专利代理(香港)有限公司

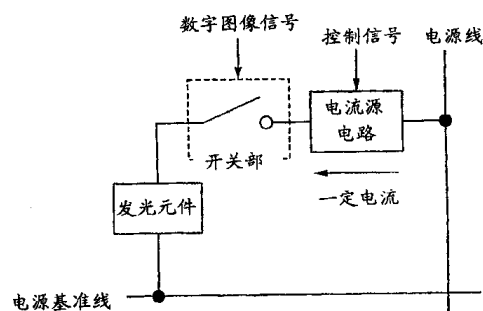
代理人 浦柏明 叶恺东

权利要求书 3 页 说明书 78 页 附图 79 页

[54] 发明名称 显示装置及其驱动方法

[57] 摘要

显示装置的各个像素分别具有电流源电路、开关部和发光元件。在电源基准线和电源线间串联连接发光元件、电流源电路和开关部。通过使用数字图像信号，而切换开关部的接通断开。另外，由从像素外部输入的控制信号确定在电流源电路中流过的一定电流的大小。在开关部为开状态的情况下，在发光元件中流过由电流源电路确定的一定电流而发光。结果，提供一种显示装置及其驱动方法，可以以一定亮度使发光元件发光，而与劣化等造成的电流特性的变化无关，且将信号写入到各像素的写入速度提高，也可表现正确的灰度等级，低成本、可以小型化。



1. 一种显示装置，其特征在于：包含像素，所述像素具有将第一电流变换为电压的单元，保持变换后的所述电压的单元，将所保持的所述电压变换
5 为第二电流的单元和通过数字图像信号，在发光元件中流过所述第二电流的单元。

2. 一种显示装置，其特征在于：包含像素，所述像素具有将第一电流变换为电压的单元，保持变换后的所述电压的单元，将所保持的所述电压变换为与
10 所述第一电流的电流值相等的第二电流的单元和通过数字图像信号，在发光元件中流过所述第二电流的单元。

3. 一种显示装置，其特征在于：包含像素，所述像素具有将第一电流变换为电压的单元，保持变换后的所述电压，将所保持的所述电压变换为电流值与
所述第一电流成正比的第二电流的单元和通过数字图像信号，在发光元件中流过所述第二电流的单元。

4. 根据权利要求1—3中任一项所述的显示装置，其特征在于：具有通过与所述数字图像信号不同的信号而使在所述发光元件中不流过所述第二电流的单元。
15

5. 一种显示装置，包含像素，所述像素具有流过一定电流的电流源电路（102），通过数字图像信号进行接通断开切换的开关部（101），并控制发光元件（106）
20 的发光，其特征在于：串联连接所述开关部（101）、所述电流源电路（102）和发光元件（106）。

6. 一种显示装置，其特征在于：含有像素，该像素具有电流源电路（102），包括第一端子（A）和第二端子（B），并将所述第一端子（A）和所述
25 第二端子（B）间流过的电流确定为一定；开关部（101），包括第三端子（C）和第四端子（D），并通过数字图像信号切换所述第三端子（C）和所述第四端子（D）间的导通和非导通状态；电源线；电源基准线；

在所述电源线和所述电源基准线之间连接所述电流源电路（102）、所述开关部（101）和所述发光元件（106），以便在选择了所述第三端子（C）和所述
30 第四端子（D）间的导通状态时，在所述第一端子（A）和所述第二端子（B）间流过的电流在发光元件（106）的阳极和阴极间流过。

7. 一种显示装置，其特征在于：包含像素，所述像素具有将第一电流设为第一晶体管的漏极电流的单元，保持所述第一晶体管的栅极电压的单元，将所述栅极电压设为与所述第一晶体管极性相等的第二晶体管（112）的栅极电压的单元，通过数字图像信号，在发光元件（106）中流过所述第二晶体管（112）的漏极电流的单元。

8. 根据权利要求7所述的显示装置，其特征在于：所述第一晶体管的栅极长宽比与所述第二晶体管（112）的栅极长宽比不同。

9. 根据权利要求7或8所述的显示装置，其特征在于：具有电连接所述第一晶体管的栅极和漏极端子的单元。

10. 根据权利要求7—9中任一项所述的显示装置，其特征在于：具有通过与所述数字图像信号不同的信号而使在所述发光元件（106）中不流过所述第二晶体管（112）的漏极电流的单元。

11. 一种显示装置，其特征在于：包含像素，所述像素具有将第一电流输入到晶体管（112）中而作为所述晶体管（112）的漏极电流的单元，保持所述晶体管（112）的栅极电压的单元，通过数字图像信号将电压施加到所述晶体管（112）的源和漏极端子间，并在发光元件（106）中流过由所保持的所述栅极电压所决定的所述晶体管（112）的漏极电流的单元。

12. 根据权利要求11所述的显示装置，其特征在于：具有电连接所述晶体管（112）的栅极和漏极端子的单元。

13. 根据权利要求11或12所述的显示装置，其特征在于：具有通过与所述数字图像信号不同的信号而使在所述发光元件（106）中不流过所述晶体管（112）的漏极电流的单元。

14. 根据权利要求1—4、7—13中任一项所述的显示装置，其特征在于：所述第一电流不根据所述数字图像信号变化。

15. 根据权利要求1—14中任一项所述的显示装置，其特征在于：所述像素具有保持所述数字图像信号的单元。

16. 根据权利要求1—14中任一项所述的显示装置，其特征在于：所述像素具有选择向所述像素的所述数字图像信号的输入的单元，和保持所述数字图像信号的单元。

17. 根据权利要求1—4、7—16中任一项所述的显示装置，其特征在于：

具有多个所述像素，在多个所述像素的至少一部分中所述第一电流的电流值相同。

18. 根据权利要求1—17中任一项所述的显示装置，其特征在于：具有将一定电流输入到所述像素的驱动电路。

5 19. 一种显示装置的驱动方法，其特征在于：在像素中进行将所输入的第一电流变换为电压，保持所变换的所述电压的第一步骤和通过所输入的数字图像信号，将所保持的所述电压变换为第二电流，并在发光元件中流过所述第二电流的第二步骤。

20. 根据权利要求19所述的显示装置的驱动方法，其特征在于：所述第二步骤包含选择向所述像素的所述数字图像信号的输入，并保持所输入的所述数字图像信号的动作。

21. 根据权利要求19或20所述的显示装置的驱动方法，其特征在于：独立进行所述第一步骤和所述第二步骤。

22. 根据权利要求19—21中任一项所述的显示装置的驱动方法，其特征
15 在于：通过改变在一帧期间的所述发光元件中流过所述第二电流的期间比列，来表现灰度等级。

23. 根据权利要求19—21中任一项所述的显示装置的驱动方法，其特征
在于：将一帧期间分割为多个子帧期间，并在各个所述多个子帧期间进行所述
第二步骤，来表现灰度等级。

20 24. 根据权利要求23所述的显示装置的驱动方法，其特征在于：在所述
多个子帧期间的至少一个中设置非显示期间，所述期间要通过与所述数字图像
信号不同的信号不在所述发光元件中流过所述第二电流。

25. 根据权利要求24所述的显示装置的驱动方法，其特征在于：在所述
非显示期间进行所述第一步骤。

25

显示装置及其驱动方法

5 技术领域

本发明涉及显示装置及其驱动方法。尤其有关对每个像素设置晶体管，来控制像素发光的有源矩阵型显示装置及其驱动方法。

背景技术

已经公开了对每个像素配置发光元件和控制发光元件发光的晶体管的有源
10 矩阵型显示装置。所谓发光元件，是指具有第一电极和第二电极，并通过在第一电极和第二电极间流过的电流量控制亮度的元件。瞩目于使用OLED (Organic Emitting Diode) 元件作为发光元件的显示装置（下面，记为OLED显示装置）。由于OLED显示装置具有响应性好，能在低电压下操作，并且视野角度宽等优点，所以作为下一代平板显示器备受关注。

15 在有源矩阵型OLED显示装置中，存在由电压信号向各像素写入亮度信息的方法和由电流信号写入的方法。将前一方法称为电压写入型，将后一方法称为电流写入型模拟方式。下面，举例说明这些驱动方法。

图30表示现有的电压写入型OLED显示装置的像素的构成例。在图30中，分别对各像素配置两个TFT（第一TFT和第二TFT）、电容元件和OLED。将第
20 一TFT（下面，记为选择TFT）3001的栅极与栅极信号线3002相连，将源极端子和漏极端子的一个端子与源极信号线3003相连。将选择TFT3001的源极端子与漏极端子的另一个与第二TFT（下面，记为驱动TFT）3004的栅极和电容元件（下面记为保持电容）3007的一个电极相连。将保持电容3007的另一电极与电源线3005相连。将驱动TFT3004的源极端子和漏极端子的一个与电源线3005
25 相连，另一个与OLED3006的第一电极3006a相连。将规定电位施加给OLED3006的电极3006b。这里，将OLED3006的与驱动TFT3004相连侧的电极，即第一电极3006a称为像素电极，将第二电极3006b称为对置电极。

在图30中，下面，说明选择TFT3001为n沟道型TFT，驱动TFT3004为p沟道型TFT，OLED的第一电极3006a为阳极，第二电极3006b为阴极，第二电极
30 3006b的电位为0（V）时的驱动方法。

在将信号输入到栅极信号线3002，为导通状态的选择TFT3001中，从源极信号线3003输入信号电压。通过输入到源极信号线3003的信号电压，而将电荷贮存到保持电容3007中。根据在保持电容3007中保持的电压，从电源线3005经驱动TFT3004的源和漏极间而在OLED3006中流过电流而发光。

- 5 在具有图30所示结构的像素的电压写入型显示装置中，存在模拟方式和数字方式两种驱动方法。下面，将这两种方式称为电压写入型模拟方式、电压写入型数字方式。

在电压写入型模式方式的驱动方法中，通过使各像素的驱动TFT3004的栅极电压（栅极和源极间电压）变换，而改变驱动TFT3004的漏极电流。这样，
10 为改变在OLED3006中流过的电流而改变亮度的方法。为了表现中间色调，对于栅极电压，使驱动TFT3004在漏极电流变化大的区域中动作。

在上述电压写入型模拟方式中，在从源极信号线3003对各像素输入具有相同电位的信号时，存在因驱动TFT3004的电流特性的偏差而因为漏极电流的改变，在OLED3006中流过的电流有很大偏差的问题。驱动TFT3004的电流特
15 性的偏差受阈值电压和载流子迁移率等参数影响。作为其中的一例，使用图31，说明因驱动TFT3004的阈值电压偏差引起的电流特性的偏差。

图31 (A) 是仅表示图30的驱动TFT3004和OLED3006的图。将驱动TFT3004的源极端子与电源线3005相连。图中由 V_{gs} 表示驱动TFT3004的栅极电压。另外，图中由箭头 I_d 表示驱动TFT3004的漏极电流。图31 (B) 表示驱动TFT3004
20 的栅极电压的绝对值 $|V_{gs}|$ 与漏极电流 I_d 的关系（电流特性）。3101a是表示驱动TFT3004的阈值电压的绝对值为 V_{th1} 的情况下，栅极电压与漏极电流的关系的曲线。另一方面，3101b是表示驱动TFT的阈值电压绝对值为 V_{th2} 的情况下，栅极电压与漏极电流的关系曲线。这里， $V_{th1} > V_{th2}$ 。图中所示的动作区域（1）
25 相当于电压写入型模拟方式情况下驱动TFT3004的动作区域。在动作区域（1）中，若驱动TFT3004的阈值有偏差，即使栅极电压相同为 V_{gs1} ，但漏极电流为 I_{d1} 和 I_{d2} ，而有很大不同。这里，由于OLED3006的亮度与在OLED3006中流过的电流量成正比，所以因阈值电压有偏差，OLED3006的亮度有偏差。

为了降低上述驱动TFT3004的电流特性的偏差影响，提出了电压写入型数字方式的驱动方法。在电压写入型数字方式的驱动方法中，各像素的OLED3006
30 选择在一定亮度下发光/非发光两种状态。这时，图30的驱动TFT3004工作为选

择各像素的电源线3005和OLED3006的像素电极3006a连接的开关。在电压写入型数字方式中，在OLED3006发光时，驱动TFT3004在栅和漏极间电压 V_{ds} 的绝对值比栅极电压 V_{gs} 减去阈值电压 V_{th} 的电压 $V_{gs}-V_{th}$ 的绝对值小的动作区域的线性区域，尤其是在栅极电压的绝对值大的区域中动作。

5 图31(B)中，由动作区域(2)表示在电压写入型数字方式下的驱动TFT3004的动作区域。动作区域(2)是线性区域，在该区域中动作的驱动TFT3004在施加了同一栅极电压 V_{gs2} 的情况下，因阈值电压等的偏差而造成的漏极电流的偏差减小，而流过大致一定的电流 I_{d3} 。因此，可以抑制在OLED3006中流过的电流偏差，抑制发光亮度的变化。

10 使用图32说明分别对在线性区域动作的驱动TFT3004和OLED3006所施加的电压的关系。为进行说明，图32(A)是仅示出图30的驱动TFT3004和OLED3006的图。这里，将驱动TFT3004的源极端子与电源线3005相连。由 V_{ds} 表示驱动TFT3004的源极和漏极间电压。由 V_{OLED} 表示OLED3006的阴极和阳极间的电压。由 I_{OLED} 表示在OLED3006中流过的电流。电流 I_{OLED} 等于驱动TFT3004的漏极电流
15 I_d 。由 V_{dd} 表示电源线3005的电位。将OLED3006的对置电极的电位设为0V。图32(B)中，3202a是表示OLED3006的 V_{OLED} 和 I_{OLED} 的关系(I-V特性)的曲线。另外，3201是图31(B)的栅极电压为 V_{gs2} 情况下驱动TFT3004的源和漏极间电压 V_{ds} 与漏极电流 I_d (I_{OLED})的关系曲线。由两个曲线的交点决定驱动TFT3004和OLED3006的动作条件(动作点)。另外，由于驱动TFT3004在线性区域动作，
20 所以图中所示的线性区域中的曲线3201和曲线3202a的交点3203a为动作点。即，将OLED3006的阳极和阴极间的电压设为 V_A1 ，将电流设为 I_{OLED1} 。

另一方面，在具有电流写入型模拟方式的像素的显示装置中，从信号线(源极信号线)对各个像素输入信号电流。这里，信号电流是线性的对应于视频信号的亮度信息的电流信号。将所输入的信号电流作为漏极电流的TFT的栅极
25 电压保持在电容部中。这样，在不再从源极信号线向像素输入信号电流后，还在OLED上持续流过由电容部存储的电流。这样，通过改变输入到源极信号线的信号电流而改变在OLED中流过的电流，控制OLED的发光亮度而表现灰度等级。

作为电流写入型模拟方式的像素例子，在图33中表示“IDW`00p235:Active
30 Matrix PolyLED Displays”所公开的像素结构，并说明其驱动方法。在图33中，

由OLED3306、选择TFT3301、驱动TFT3303、电容元件（保持电容）3305、保持TFT3302、发光TFT3304、源极信号线3307、第一栅极信号线3308、第二栅极信号线3309、第三栅极信号线3310、电源线3311构成像素。

将选择TFT3301的栅极电极与第一栅极信号线3308相连。将选择TFT3301的源极端子和漏极端子一个与源极信号线3307相连，另一个与驱动TFT3303的源极端子或漏极端子、保持TFT3302的源极端子或漏极端子和发光TFT3304的源极端子或漏极端子相连。通过保持TFT3302的源极端子和漏极端子将没有与选择TFT3301相连的一侧与保持电容3305的一个电极和驱动TFT3303的栅极相连。将保持电容3305的没有与保持TFT3302相连的一侧与电源线3311相连。将保持TFT3302的栅极与第二栅极信号线3309相连。通过驱动TFT3303的源极端子和漏极端子将没有与选择TFT3301相连的一侧与电源线3311相连。通过发光TFT3304的源极端子和漏极端子将没有与选择TFT3301相连一侧与OLED3306的一个电极3306a相连。将发光TFT3304的栅极与第三栅极信号线3310相连。将OLED3306的另一电极3306b保持在一定电位上。另外，将OLED3306的两个电极3306a和3306b中，没有与发光TFT3304相连一侧的电极3306a称为像素电极，将另一个电极3306b称为对置电极。

在图33所示结构的像素中，构成为由视频信号输入电流源3312控制输入到源极信号线的信号电流的电流值。另外，实际上，对应于多个像素列的多个视频信号输入电流源3312相当于源极信号线驱动电路的一部分。这里，以选择TFT3301、保持TFT3302和发光TFT3304为n沟道型TFT，驱动TFT3303为p沟道型TFT，像素电极3306a为阳极结构的像素为例来进行表示。

使用图34和图35说明图33结构的像素的驱动方法。另外，图34中，由开关来表示选择TFT3301、保持TFT3302和发光TFT3304，使其导通状态和非导通状态一目了然。另外，(TA1)~(TA4)的各个像素的状态对应于图35的定时图中期间TA1~TA4的状态。

图35中，G_1、G_2、G_3分别表示第一栅极信号线3308、第二栅极信号线3309、第三栅极信号线3310的电位。另外， $|V_{gs}|$ 为驱动TFT3303的栅极电压（栅和源极间电压）的绝对值。 I_{OLED} 为在OLED3306中流过的电流。 I_{video} 为由视频信号输入电流源3312确定的电流值。

在期间TA1中，若通过输入到第一栅极信号线3308中的信号，选择TFT3301

变为导通状态,另外,通过输入到第二栅极信号线3309中的信号,保持TFT3302变为导通状态,则电源线3311经驱动TFT3303和选择TFT3301与源极信号线3307相连。由于在源极信号线3307中流过由视频信号输入电流源3312确定的电流量 I_{video} ,所以若经过充分长时间而变为恒定状态,则驱动TFT3303的漏极电流变为 I_{video} ,并将对应于漏极电流 I_{video} 的栅极电压保持在保持电容3005中。这时,发光TFT3304为非导通状态。在将电压保持在保持电容3005中,并将驱动TFT3303的漏极电流确定为 I_{video} 后,在期间TA2中,第二栅极信号线3309的信号改变,保持TFT3302变为非导通状态。

接着,在期间TA3中,第一栅极信号线3308的信号变化,选择TFT3301变为非导通状态。另外,在期间TA4中,若通过输入到第三栅极信号线3310中的信号,发光TFT3304变为导通状态,则信号电流 I_{video} 从电源线3311经驱动TFT3303的源和漏极间而输入到OLED3306中。这样,OLED3306以根据信号电流 I_{video} 的亮度发光。

将期间TA1~TA4的一系列动作称为信号电流 I_{video} 的写入动作。这时,通过模拟改变信号电流 I_{video} ,改变OLED3306的亮度,而表现灰度等级。

另外,在图35的定时图中,表示在期间TA1中驱动用TFT3303的栅极电压的绝对值 $|V_{gs}|$ 随时间经过一起增加,并保持对应于漏极电流 I_{video} 的栅极电压的动作。其相当于从没有在保持电容3305中保持电荷的状态开始进行写入动作的情况和在前一写入动作中所保持的驱动TFT3303的栅极电压的绝对值 $|V_{gs}|$ 比下一写入动作中,流过由视频信号输入电流源3312确定的规定漏极电流时驱动TFT3303的栅极电压的绝对值 $|V_{gs}|$ 小的情况。

但是并不限于此,在前一写入动作中所保持的驱动TFT3303的栅极电压的绝对值 $|V_{gs}|$ 比下一写入动作中,流过由视频信号输入电流源3312确定的规定漏极电流时驱动TFT3303的栅极电压的绝对值 $|V_{gs}|$ 大的情况下,在期间TA1中驱动用TFT3303的栅极电压的绝对值 $|V_{gs}|$ 随时间经过减小,而为保持对应于漏极电流 I_{video} 的栅极电压的动作。

这样,在电流写入型模拟方式的显示装置中,驱动TFT3303在饱和区域中动作。由从源极信号线3307输入的信号电流确定驱动TFT3303的漏极电流。即,驱动TFT3303即使在阈值电压和迁移率等有偏差时,也自动改变栅极电压,像持续流过一定的漏极电流那样。

下面，作为电流写入型模拟方式的像素的其他例子，在图29中表示在特开2001-147659公报中所记载的像素结构，并详细说明其驱动方法。在图29中，由OLED2906、选择TFT2901、驱动TFT2903、电流（current）TFT2904、电容元件（保持电容）2905、保持TFT2902、源极信号线2907、第一栅极信号线2908、

5 第二栅极信号线2909、电源线2911构成像素。

将选择TFT2901的栅极与第一栅极信号线2908相连。将选择TFT2901的源极端子与漏极端子中的一个连接到源极信号线2907，另一个连接到电流TFT2904的源极端子或漏极端子和保持TFT2902的源极端子或漏极端子。通过电流TFT2904的源极端子和漏极端子将没有与选择TFT2901相连一侧连接到电源线2911。通过保持TFT2902的源极端子和漏极端子将没有与选择TFT2901相连的一侧连接到保持电容2905的一个电极和驱动TFT2903的栅极上。将保持电容2905的另一侧与电源线2911相连。将保持TFT2902的栅极与第二栅极信号线2909相连。将驱动TFT2903的源极端子和漏极端子的一个连接到电源线2911，另一个与OLED2906的一个电极2906a相连。将OLED2906的另一个电极2906b保持在一定电位上。另外，将OLED2906的连接到驱动TFT2903侧的电极2906a称为像素电极，将另一电极2906b称为对置电极。

在图29所示结构的像素中，构成为由视频信号输入电流源2912控制输入到源极信号线2907的信号电流的电流值。另外，实际上，对应于多个像素列的多个视频信号输入电流源2912相当于源极信号线驱动电路的一部分。

20 图29中，以通过选择TFT2901、保持TFT2902为n沟道型TFT，驱动TFT2903、电流TFT2904为p沟道型TFT构成的、像素电极2906a为阳极构成的像素为例进行表示。这里，为说明简单，认为驱动TFT2903的电流特性等于电流TFT2904的电流特性。使用图28和图27说明图29构成的像素的驱动方法。另外，由开关来标记图28中选择TFT2901和保持TFT2902，使其导通状态和非导通状态一目了然。另外，（TA1）～（TA3）各个像素的状态对应于图27的定时图中期间TA1～TA3的状态。

图27中，G₁、G₂分别表示第一栅极信号线2908、第二栅极信号线2909的电位。另外，|V_{gs}|为驱动TFT2903的栅极电压（栅和源极间电压）的绝对值。I_{OLED}为在OLED2906中流过的电流。I_{video}为由视频信号输入电流源2912确定的电流值。

在期间TA1中,若通过输入到第一栅极信号线2908中的信号,选择TFT2901变为导通状态,另外,通过输入到第二栅极信号线2909中的信号,保持TFT2902变为导通状态,则电源线2911经电流TFT2904、保持TFT2902和选择TFT2901与源极信号线2907相连。由于在源极信号线2907中流过由视频信号输入电流源5 2912确定的电流量Ivideo,所以若为稳定状态,则电流TFT2904的漏极电流变为Ivideo,并将对应于此的栅极电压保持在保持电容2905中。

在将电压保持在保持电容2905中,并将电流TFT2904的漏极电流确定为Ivideo后,在期间TA2中,第二栅极信号线2909的信号改变,保持TFT2902变为非导通状态。这时,在驱动TFT2903中流过Ivideo的漏极电流。这样,信号电流10 Ivideo从电源线2911经驱动TFT2903输入到OLED2906中。OLED2906以根据信号电流Ivideo的亮度发光。

接着,在期间TA3中,第一栅极信号线2908的信号变化,选择TFT2901变为非导通状态。在选择TFT2901变为非导通状态后,信号电流Ivideo从电源线2911经驱动TFT2903提供给OLED2906, OLED2906继续发光。

15 将期间TA1~TA3的一系列动作称为信号电流Ivideo的写入动作。这时,通过模拟改变信号电流Ivideo,改变OLED3306的亮度,而表现灰度等级。

如上这样,在电流写入型模拟方式的显示装置中,驱动TFT2903在饱和区域中动作。驱动TFT2903的漏极电流经从源极信号线2907输入的信号电流确定。即,若同一像素内的驱动TFT2903和电流TFT2904的电流特性一致,则驱动20 TFT2903即使阈值电压和迁移率等有偏差,栅极电压也自动变换,使其持续流过一定的漏极电流。

施加到OLED中的电压和流过的电流量的关系(I-V特性)根据周围的环境温度和OLED的劣化等影响而改变。因此,在线性区域中动作现有的电压写入型的数字方式所代表的驱动TFT的显示装置中,即使在OLED的两电极间施25 加一定电压,实际上所流过的电流改变也成为问题。

图36表示在现有的电压写入型的使用数字方式驱动方法的显示装置中,因OLED的I-V特性劣化等而改变时的动作点的改变。

图36(A)是仅表示了图30中驱动TFT3004和OLED3006的图。这里,将驱动TFT3004的源极端子连接到电源线3005上。由Vds表示驱动TFT3004的源和30 漏极间电压。由V_{OLED}表示OLED3006的阴极和阳极间的电压,由I_{OLED}表示电流。

电流 I_{OLED} 相当于驱动TFT3004的漏极电流 I_d 。由 V_{dd} 表示电源线3005的电位。另外，将OLED3006的对置电极的电位设为0V。

图36 (B) 中，曲线3202a表示劣化前的OLED3006的I-V特性，曲线3202b表示劣化后的I-V特性。由曲线3202a和曲线3201的交点3203a确定劣化前的驱动TFT3004和OLED3006的动作条件。由曲线3202b和曲线3201的交点3203b确定劣化后的驱动TFT3004和OLED3006的动作条件。

在选择发光状态的像素中，驱动TFT3004输入栅极电位，使其为导通状态。这时，OLED3006的两电极间的电压为 V_A1 。若OLED3006劣化，其I-V特性改变，则即使输入同一栅极电压，动作点也改变，即使OLED3006的两电极间的电压与 V_A1 大致相同，所流过的电流也从 $I_{\text{OLED}}1$ 变为 $I_{\text{OLED}}2$ 。这样，由各像素的OLED3006劣化程度改变，OLED3006的发光亮度。

另一方面，在具有图33和图29所示像素结构，使用现有的电流写入型模拟方式的驱动方法的显示装置中，通过在OLED中流过一定电流而表现灰度等级。这时，使用图37说明这时的OLED的I-V特性因劣化等变化时的影响。另外，与图33相同的部分使用同一附图标记表示，而省略说明。另外，在图33中，发光TFT3304可仅认为为开关，而不管其源和漏极间电压。

图37 (A) 是仅表示图33的驱动TFT3303和OLED3306的图。这里，驱动TFT3303的源极端子被连接到电源线3305。由 V_{ds} 表示驱动TFT3303的源和漏极间电压。由 V_{OLED} 表示OLED3306的阴极和阳极间的电压。由 I_{OLED} 表示在OLED3306中流过的电流。电流 I_{OLED} 等于驱动TFT3303的漏极电流 I_d 。由 V_{dd} 表示电源线3305的电位。将OLED3306的对置电极的电位设为0V。

图37 (B) 中，3701是表示驱动TFT3303的源和漏极间电压和漏极电流的关系的曲线。3702a是表示劣化前的OLED3306的I-V特性的曲线，3702b是表示劣化后的OLED3306的I-V特性的曲线。由曲线3702a和曲线3701的交点3203a确定劣化前的驱动TFT3303和OLED3306的动作条件。由曲线3702b和曲线3701的交点3203b确定劣化后的驱动TFT3303和OLED3306的动作条件。

在电流写入型模拟方式的像素中，驱动TFT3303在饱和区域动作。在OLED3306的劣化前后，虽然OLED3306的两电极间的电压从 V_B1 变为 V_B2 ，但是在OLED3306中流过的电流保持在大致一定的 $I_{\text{OLED}}1$ 。这里所示的对应于OLED的I-V特性的变化的驱动TFT和OLED的动作条件的变化与图29所示的像

素结构的驱动TFT2903和OLED2906相同。

但是，在电流写入型模拟方式的驱动方法中，需要每次在各像素中进行显示时，重新将根据信号电流的电荷保持在各像素的电容部（保持电容）。这时，在信号电流越小的情况下布线的交叉电容等成为问题，在将信号写入到像素时，

- 5 由于在保持电容中保持规定电荷用的时间需要变长，所以信号电流的快速写入变得困难。

另外，在信号电流小的情况下，因进行信号电流的写入的像素之外的，连接到同一源极信号线的多个像素造成的漏电流等的噪声影响变大，不能在正确的亮度下使像素发光的危险性变高。

- 10 另外，在图29所示的像素所代表的具有电流镜的像素结构中，在电流镜电路中连接栅极的一组TFT的电流特性必须一致。但是，实际上，成对的TFT的电流特性完全一致很困难，容易产生偏差。

- 这里，在图29中，将驱动TFT2903和电流TFT2904的阈值分别设为 V_{tha} 、 V_{thb} 。在这些阈值有偏差， V_{tha} 的绝对值 $|V_{tha}|$ 比 V_{thb} 的绝对值 $|V_{thb}|$ 小时，
15 考察进行黑色显示的情况。电流TFT2903中流过的漏极电流相当于由视频信号输入电流源2912确定的电流值 I_{video} ，设为零。但是，即使在电流TFT2903中没有流过漏极电流，还有可能在保持电容2905中保持比 $|V_{thb}|$ 稍小的电压。这里，由于 $|V_{thb}| > |V_{tha}|$ ，所示驱动TFT2903的漏极电流有可能不为0。这样，在进行黑色显示的情况下，在驱动TFT2903中流过漏极电流，OLED2906发光了。因此，
20 存在对比度降低的问题。

- 进一步，在现有的电流写入型模拟方式的显示装置中，虽然在每个像素列中设置将信号电流输入到各个像素的视频信号输入电流源，但是需要这些电流源的所有电流特性一致，且模拟改变电流值，来进行正确控制。因此，在使用多晶半导体薄膜的晶体管中，制作电流特性一致的视频信号输入电流源是困难的。
25 由此，由IC芯片制作视频信号输入电流源。另一方面，从成本的角度方面，通常形成像素的基板是在玻璃等的绝缘基板（具有绝缘表面的基板）上制作的。因此，IC芯片需要粘附在玻璃等的绝缘基板上。因此，存在在粘附时所需要的面积大，而不能使像素区域周围的框缘面积小的问题。

发明内容

- 30 本发明鉴于上述问题而作出，其目的是提供一种可以使发光元件以一定亮

度发光，而与由劣化等造成的电流特性的变化无关，且写到各个像素的信号写入速度迅速、可以表现正确的灰度等级，及低成本，可以小型化的显示装置及其驱动方法。

根据本发明的显示装置，包含像素，该像素构成为具有将第一电流变换为电压的单元，保持变换后的所述电压的单元，将所保持的所述电压变换为第二电流的单元和通过数字图像信号，在发光元件中流过所述第二电流的单元。

将所述所保持的所述电压变换为第二电流的单元是变换为与所述第一电流的电流值相等的第二电流，或电流值与所述第一电流成正比的第二电流的单元。

根据本发明的显示装置，具有通过与所述数字图像信号不同的信号而使在所述发光元件中不流过所述第二电流的单元。

另外，本发明的显示装置包含具有流过一定电流的电流源电路，通过数字图像信号进行接通断开切换的开关部的像素，并控制发光元件的发光，串联连接所述开关部、所述电流源电路和发光元件。

另外，本发明的显示装置，含有像素，该像素具有电流源电路，具有第一端子和第二端子，并将所述第一端子和所述第二端子间流过的电流确定为一定；开关部，具有第三端子和第四端子，并通过数字图像信号切换所述第三端子和所述第四端子间的导通和非导通状态；电源线；电源基准线，在所述电源线和所述电源基准线之间连接所述电流源电路、所述开关部和所述发光元件，以便在选择了所述第三端子和所述第四端子间的导通状态时，在所述第一端子和所述第二端子间流过的电流在发光元件的阳极和阴极间流过。

另外，根据本发明的显示装置，包含像素，构成为具有将第一电流设为第一晶体管的漏极电流的单元，保持所述第一晶体管的栅极电压的单元，将所述栅极电压设为与所述第一晶体管极性相等的第二晶体管的栅极电压的单元，通过数字图像信号，在发光元件中流过所述第二晶体管的漏极电流的单元。

在所述显示装置中，所述第一晶体管的栅极长宽比与所述第二晶体管的栅极长宽比不同，同时具有电连接所述第一晶体管的栅极和漏极端子的单元。

另外，所述的显示装置，具有通过与所述数字图像信号不同的信号而使在所述发光元件中不流过所述第二晶体管的漏极电流的单元。

根据本发明的显示装置，包含像素，构成为具有将第一电流输入到晶体管中而作为所述晶体管的漏极电流的单元，保持所述晶体管的栅极电压的单元，

通过数字图像信号将电压施加到所述晶体管的源和漏极端子间，并在发光元件中流过由所保持的所述栅极电压所决定的所述晶体管的漏极电流的单元。

- 所述显示装置在进一步具有电连接所述晶体管的栅极和漏极端子的单元的同时，具有通过与所述数字图像信号不同的信号而使在所述发光元件中不流过
- 5 所述晶体管的漏极电流的单元。

在所述显示装置中，所述第一电流不根据所述数字图像信号变化。

在所述显示装置中，所述像素具有选择向所述像素的所述数字图像信号的输入的单元和保持所述数字图像信号的单元。

- 另外，所述显示装置具有多个所述像素，在多个所述像素的至少一部分中
- 10 所述第一电流的电流值相同。

进一步，本发明的显示装置具有将一定电流输入到所述像素的驱动电路。

- 根据本发明的显示装置的驱动方法，在像素中进行将所输入的第一电流变换为电压，保持所变换的所述电压的第一步骤和通过所输入的数字图像信号，将所保持的所述电压变换为第二电流，并在发光元件中流过所述第二电流的第
- 15 二步骤。

在所述驱动方法，所述第二步骤包含选择向所述像素的所述数字图像信号的输入，并保持所输入的所述数字图像信号的动作，且独立进行所述第一步骤和所述第二步骤。

- 在所述驱动方法中，通过改变流过所述第二电流期间在一帧期间的所述发
- 20 光元件中的比例，来表现灰度等级。

另外，所述驱动方法包含，将一帧期间分割为多个子帧期间，并在各个所述多个子帧期间，进行所述第二步骤，来表现灰度等级，在所述多个子帧期间的至少一个中设置非显示期间，使得通过与所述数字图像信号不同的信号不在所述发光元件中流过所述第二电流，并在所述非显示期间，进行所述第一步骤。

- 25 接着，使用图1说明上述公开的根据本发明的显示装置及其驱动装置。

- 图1是表示本发明的显示装置的像素结构的模式图。本发明的显示装置的各个像素具有电流源电路和开关部和发光元件。在电源基准线和电源线间串联连接发光元件、电流源电路和开关部。另外，所谓电流源电路是指流过所规定的一定电流的电路。另外，若为通过电流或电压等控制状态的元件，发光元件
- 30 可以任意。作为例子，举出有EL元件（尤其是将使用有机材料的元件称为OLED

等)和FE(Field Emission)元件等。除此之外,若为通过电流或电压等控制状态的元件,也可以适用于本发明。

OLED构成为具有阳极和阴极、在其间夹着的有机化合物层等。阳极和阴极分别对应于第一电极和第二电极,并通过将电压施加到这些电极间,OLED
5 发光。有机化合物层通常为层积结构。代表性的,可举出为“空穴输送层/发光层/电子输送层”的层积结构。除此之外,也可以是在阳极上以空穴注入层/空穴输送层/发光层/电子输送层,或空穴注入层/空穴输送层/发光层/电子输送层/电子注入层的顺序层积的结构。对于发光层也可掺杂荧光性色素等。将在阳极和阴极间设置的所有层统称为有机化合物层。由此,上述的空穴注入层、空穴
10 输送层、发光层、电子输送层、电子注入层等所有包含在有机化合物层中。对于上述结构的有机化合物层,若从一对电极(阳极和阴极)施加规定的电压,则在发光层中引起载流子的重新结合而发光。另外,OLED使用一重项激励子的发光(荧光)和使用三重项的发光(磷光)的其中一种。

图1代表性地表示在电源基准线和电源线间以发光元件、开关、电流源电
15 路的顺序串联连接的结构。本发明并不限于此,例如也可以是在以发光元件、电流源电路、开关部的顺序在电源基准线和电源线间串联连接的结构。即,发光元件、电流源电路、开关部也可以以任何顺序在电源基准线和电源线间串联连接。另外,也可设置多个开关部。例如,也可以在电源基准线和电源线间串联连接发光元件、第一开关部和第二开关部、电流源电路的结构。另外,开关
20 部也可以是与电流源电路共有其一部分的结构。即,也可以为使用构成电流源电路的元件的一部分来作为开关部的结构。

通过使用数字图像信号,切换开关部的接通断开(导通和非导通)。另外,由从像素外部输入的控制信号决定在电流源电路中流过的一定电流的大小。在开关部为开状态的情况下,在发光元件上流过由电流源电路确定的一定电流而
25 发光。开关部为断开状态时,发光元件中不流过电流,不发光。这样,通过图像信号控制开关部的接通断开而表现灰度等级。

在设置了多个开关部的情况下,切换这些开关部的各个的接通断开的信号可以是图像信号、其他任何信号或图像信号和其他任意信号双方。但是,多个开关部中至少一个开关部需要通过图像信号切换接通断开。例如,在电源基准
30 线和电源线间构成为串联连接发光元件、第一开关部、第二开关部和电流源电

路的情况下，可以构成第一开关部通过图像信号切换接通断开，第二开关部通过与图像信号不同的信号切换接通断开。另外，也可以构成第一开关部、第二开关部同时由图像信号切换接通断开。

在本发明的显示装置中，除了驱动开关部的图像信号之外，输入决定在电
5 流源电路中流过的一定电流用的控制信号。作为控制信号，可以是电压信号和电流信号的其中之一。另外，也可任意决定向电流源电路输入控制信号的定时。也可以同步进行将控制信号输入到电流源电路与将图像信号输入到开关部，也可以不同步进行。

在本发明的显示装置中，在进行图像显示时，由于将在发光元件中流过的
10 电流保持为一定，可以以一定亮度使发光元件发光，而与因劣化等造成的电流特性的变化无关。

在本发明的显示装置中，由与图像信号不同的信号控制在配置在各像素的
电流源电路中流过的电流大小，通常为一定。另外，其特征在于使用数字图像
信号驱动开关部，选择在发光元件中流过一定电流或不流过一定电流，切换发
15 光和非发光状态，而以数字方式表现灰度等级。

在本发明的显示装置的像素结构中，在没有通过图像信号选择发光状态的
像素中，由于通过开关部完全隔断输入到发光元件中的电流，而可表现准确的
灰度等级。即，为显示黑色，可以避免少量发光。因此，可以抑制对比度降低。
另外，由于通过以数字图像信号选择开关部的接通断开状态，选择各像素的发
20 光状态或非发光状态，所以可以加速将图像信号写入到像素中。

在现有的电流写入型模拟方式的像素结构中，需要根据亮度减小输入到像
素中的电流，而存在噪声影响变大的问题。另一方面，在本发明的显示装置的
像素结构中，若将在电流源电路中流过的一定电流的电流值设定为增加某一程
度，则可以降低噪声的影响。

25 另外，在现有的电流写入型模拟方式的像素的情况下，图像信号为电流。
因此，为了重写图像信息，必定需要以根据该亮度的电流值重写像素所保持的
图像信息。这时，由于一帧期间为1/60秒，所以在该时间内需要在每一帧中重
写所有像素的图像信息。因此，若决定显示装置的标准（例如，像素数等），
则必须在每一像素所决定的时间内重写图像信息。由此，尤其是信号电流的值小
30 时，因布线的负载（交叉电容和布线电阻等）的影响在所决定的时间内准确重

写图像信息变得困难。

但是，在本发明中，输入与图像信号不同的控制信号，并决定在像素的电流源电路中流过的电流值。并且，输入控制信号的定时和所输入的期间、所输入的周期为任意。由此，可以避免进入现有情况下的状态。

- 5 进一步，在现有的电流写入型模拟方式的显示装置中，需要将对应于图像信号的模拟信号电流输入到配置在各像素中的电流源电路中用的驱动电路。由于该驱动电路最好对各个像素准确输出模拟信号电流，所以需要由IC芯片制作。因此，具有成本提高，小型化难的问题。另一方面，在本发明的显示装置中，不需要使在配置在各个像素中的电流源电路中流过的电流的值配合图像信号变化用的驱动电路。即，由于构成为不需要由IC制作的外置的驱动电路，所以可以实现低成本和小型化。
- 10

这样，可以提供以一定亮度使发光元件发光，而与因劣化等引起的电流特性的变化无关，并且，提高将信号写入到各像素的速度，可表现准确的灰度等级、低成本且可小型化的显示装置及其驱动方法。

15 附图说明

图1是表示本发明的显示装置的像素驱动方法的模式图；

图2是表示使用了本发明的显示装置的显示系统的图；

图3是表示本发明的显示装置的像素结构的框图；

图4是本发明的显示装置的电流源电路的电路图；

- 20 图5是本发明的显示装置的像素部的电流图；

图6是表示本发明的显示装置的像素设定动作的定时图；

图7是表示本发明的显示装置的像素显示动作的定时图；

图8是表示本发明的显示装置的基准电流输入电路的结构框图；

图9是表示本发明的显示装置的基准电流输入电路的结构框图；

- 25 图10是显示表示本发明的显示装置的基准电流输入电路的动作的定时图；

图11是表示本发明的显示装置的基准电流输入电路的动作方法的图；

图12是本发明的显示装置的电流源电路的电路图；

图13是本发明的显示装置的开关部的电路图；

图14是本发明的显示装置的像素部的电路图；

- 30 图15是表示本发明的显示装置的像素设定动作的定时图；

- 图16是表示本发明的显示装置的像素显示动作及其定时图；
图17是本发明的显示装置的电流源电路的电路图；
图18是本发明的显示装置的像素部的电路图；
图19是表示本发明的显示装置的像素设定动作的定时图；
5 图20是表示本发明的显示装置的参考电流源电路的切换电路的结构图；
图21是本发明的显示装置的电流源电路的电路图；
图22是本发明的显示装置的像素部的电路图；
图23是本发明的显示装置的电流源电路的电路图；
图24是本发明的显示装置的电流源电路的电路图；
10 图25是本发明的显示装置的电流源电路的电路图；
图26是本发明的显示装置的像素部的电路图；
图27是表示现有的显示装置的驱动方法的定时图；
图28是表示现有的显示装置的驱动方法的图；
图29是现有的显示装置的像素的电路图；
15 图30是现有的显示装置的像素的电路图；
图31是表示现有的显示装置的驱动晶体管的动作区域的图；
图32是表示现有的显示装置的驱动晶体管的动作点的图；
图33是现有的显示装置的像素的电路图；
图34是表示现有的显示装置的驱动方法的图；
20 图35是表示现有的显示装置的驱动方法的定时图；
图36是表示因现有的显示装置的发光元件劣化带来的驱动晶体管的动作点变化的图；
图37是表示因现有的显示装置的发光元件劣化带来的驱动晶体管的动作点变化的图；
25 图38是表示本发明的显示装置的电流源电路的结构的图；
图39是表示本发明的显示装置的像素部结构的图；
图40是表示本发明的显示装置的像素显示动作及其定时图；
图41是表示本发明的显示装置的电流源结构的图；
图42是表示本发明的显示装置的像素部结构的图；
30 图43是本发明的显示装置的像素开关部的电路图；

- 图44是表示本发明的显示装置的电流源电路的结构的图；
图45是表示本发明的显示装置的像素部结构的图；
图46是表示应用本发明的显示装置的电子设备的图；
图47是表示本发明的显示装置的电流源电路结构的图；
5 图48是表示本发明的显示装置的像素部结构的图；
图49是表示本发明的显示装置的驱动方法的定时图；
图50是表示本发明的显示装置的像素部结构的图；
图51是表示本发明的显示装置的像素部结构的图；
图52是表示本发明的显示装置的像素部结构的图；
10 图53是表示本发明的显示装置的像素部结构的图；
图54是表示本发明的显示装置的信号线驱动电路的结构框图；
图55是表示本发明的显示装置的信号线驱动电路的结构图；
图56是表示本发明的显示装置的扫描线驱动电路的结构图；
图57是表示本发明的显示装置的电流源电路的结构图；
15 图58是表示本发明的显示装置的电流源电路的结果图；
图59是显示表示本发明的显示装置的像素的设定动作的定时图；
图60是本发明的显示装置的扫描线驱动电路的结构图；
图61是表示本发明的显示装置的像素状态的模式图；
图62是表示本发明的显示装置的像素状态的模式图；
20 图63是表示本发明的显示装置的像素状态的模式图；
图64是表示本发明的显示装置的像素状态的模式图；
图65是表示本发明的显示装置的像素状态的模式图；
图66是表示本发明的显示装置的像素状态的模式图；
图67是本发明的显示装置的像素的电流源电路的电路图；
25 图68是本发明的显示装置的像素的电流源电路的电路图；
图69是本发明的显示装置的像素的电流源电路的电路图；
图70是本发明的显示装置的像素的电流源电路的电路图；
图71是本发明的显示装置的像素的电流源电路的电路图；
图72是本发明的显示装置的像素的电流源电路的电路图；
30 图73是表示本发明的显示装置的像素结构的电路图；

图74是表示本发明的显示装置的像素结构的电路图;

图75是表示本发明的显示装置的像素结构的电路图;

图76是表示本发明的显示装置的像素结构的电路图;

图77是表示本发明的显示装置的像素结构的电路图;

5 图78是表示本发明的显示装置的像素结构的俯视图(A)和电路图(B);

图79是表示本发明的显示装置的像素结构的俯视图(A)和电路图(B)。

具体实施例

图3(A)表示本发明的显示装置的像素结构的模式图。在图3(A)中,
各个像素100由扫描线G、图像信号输入线S、电源线W、开关部101、电流源电
10 路102和发光元件106构成。

在各个像素100中,开关部101具有端子C和端子D。将发光元件106的像素
电极106a与开关部的端子D相连。开关部的端子C与电流源电路102的端子B
相连。将电流源电路102的端子A与电源线W相连。电流源电路102由圆圈中配
置了箭头的符号来模式表示。电流源电路102为该符号的箭头方向,即为从端
15 子A向端子B的方向流过正的一定电流的电路。将端子A或端子B的一个称为电
流源电路102的输入端子,将另一个称为电流源电路102的输出端子。

在从图像信号输入线S输入选择发光状态的信号的像素100中,开关部101
的端子C和端子D之间为导通状态。由此,经开关部101的端子C和端子D间和
电流源电路102的端子A和端子B间,发光元件106的像素电极106a与电源线
20 W相连。

开关部101具有根据从扫描线G输入的信号切换将图像信号输入线S上的图
像信号对像素的输入的第一开关和根据输入到像素中的图像信号进行接通断开
切换的第二开关。通过切换第二开关的接通断开,而切换开关部的端子C和端
子D间的导通和非导通状态。将端子C或端子D的一个称为开关部101的输入端
25 子,将另一个称为开关部101的输出端子。

发光元件106表示从像素电极106a向对置电极106b或其反方向流过电流,
并根据该电流改变亮度的元件。

在图3(A)中,由于电流源电路102的端子A连接到电源线W,端子B经
开关部101的端子C和端子D间连接到发光元件106的像素电极106a,所以发光
30 元件106的像素电极106a变为阳极,对置电极106b变为阴极。这时,设定为提

供给像素元件106a的对置电极106b的电位 V_{com} 比电源线W的电位低。由电源基准线（图中未示）提供给电位 V_{com} 。

另一方面，也可构造为将电流源电路102的端子A连接到开关部101的端子C，将端子B连接到电源线W。这时，发光元件106的像素电极106a变为阴极，对置电极106b变为阳极。而设定为提供给像素元件106a的对置电极106b的电位 V_{com} 比电源线W的电位高。

另外，由于电流源电路102、开关部101和发光元件106的连接顺序可以任意，例如可以将电流源电路102配置在开关部101和发光元件106间。即，也可将电流源电路102的端子B与发光元件106的像素电极106a相连，电流源电路102的端子A与开关部101的端子D相连，开关部101的端子C连接到电源线W。进一步，也可将反转电流源电路102的端子A和端子B的结构。即，也可将电流源电路102的端子A与发光元件106的像素电极106a相连，电流源电路102的端子B与开关部101的端子D相连，开关部101的端子C连接到电源线W。该情况下，发光元件106的像素电极106a变为阴极，对置电极106b变为阳极。这时，设定为提供给像素元件106a的对置电极106b的电位 V_{com} 比电源线W的电位高。

在开关部101中，在端子C和端子D间为导通状态的像素100中，将由电流源电路102确定的一定电流输入到发光元件106，发光元件106发光。

图3（B）和图3（C）表示电流源电路102的基本结构例。举例为在各像素的电流源电路中流过的一定电流是由电流信号确定的电流源电路的例子。将这种结构的电流源电路称为电流控制型电流源电路。图3（B）和图（C）中的端子A和端子B对应于图3（A）中的端子A和端子B。

在图3（B）和图3（C）中，电流源电路102具有晶体管（电流源晶体管）112和电容元件（电流源电容）111。在饱和区域中动作的电流源晶体管112的漏极电流为对应于从像素外部输入的一定电流（下面，记为基准电流）的一定电流（下面，记为像素基准电流）。即，从像素外部输入一定电流（基准电流）。若由电流源电容111保持这时的栅极电压 V_{gs} （下面，记为像素对应基准电压），则在电流源晶体管112在饱和区域动作的情况下，将对应于基准电流的一定电流（像素基准电流）作为漏极电流流到电流源晶体管112和发光元件106中。这样，从外部电流源不再输入基准电流后，若电流源晶体管112还在源和漏极间施加电压，则根据保持在电流源电容111中的像素对应基准电压而流过像素

基准电流。另外，也可通过使用其他晶体管的栅极电容等而省略电流源电容111。

在配置在各个像素中的电流源电容111中，取得并保持将电流源晶体管112流过像素基准电流所需的栅极电压的动作称为像素设定动作。另外，作为本发明的晶体管，可以是薄膜晶体管（TFT）和单结晶晶体管等的晶体管的其中一种。

另外，也可以是使用有机物的晶体管。例如，作为单结晶晶体管也可使用SOI技术而形成的晶体管。作为薄膜晶体管，可将多晶半导体用作活性层，也可以是使用非晶质半导体作为活性层。例如，可以是使用聚合硅的TFT或使用非晶硅的TFT。

10 在电流源电路102中，在电流源晶体管112中流过漏极电流时，将电流源电容111的一个电极与电流源晶体管112的栅极相连，并对另一个（图中由端子A'表示）提供一定电位。通过保持在电流源电容111中的电荷，保存在电流源晶体管112的栅极的电位（栅极电位）。这里，虽然端子A'的电位与电流源晶体管112的源极端子的电位也可相同也可不同，但是在电流源晶体管中流过像素基
15 准电流时，各个端子间的电位差也总是相同。这样，在电流源晶体管112中保持流过像素基准电流时的栅极电压 V_{gs} （像素对应基准电压）。在饱和区域动作的晶体管中，根据栅极电压 V_{gs} 漏极电流也变化。因此，最好将端子A'连接到源极端子，使得即使源极端子的电位变化，栅极电压 V_{gs} 也一定。另外，在图3（B）和图3（C）中，电流源晶体管112的极性不同。在图3（B）中，电流源晶
20 体管112为p沟道型，在图3（C）中为n沟道型。

在如图3（A）所示相连的情况下，在电流源晶体管112为p沟道型的情况下，电流源晶体管112从源极端子向漏极端子流过电流。另外，在电流源晶体管112为n沟道型的情况下，从电流源晶体管112的漏极端子向源极端子流过电流。因此，在电流源晶体管112为p沟道型的情况下，将电流源晶体管112的
25 源极端子连接到端子A，将漏极端子连接到端子B。另一方面，在电流源晶体管112为n沟道型的情况下，将电流源晶体管112的漏极端子连接到端子A'，将源极端子连接到端子B。

作为通过从像素外部输入的电流信号（基准电流）控制像素基准电流的手段，大致分为两种方法。

30 一种是命名为电流镜方式的方式。电流镜电路具有电连接栅极的一对晶体

管，具有电连接一个晶体管的栅极和漏极端子的结构。在电流镜方式中，是在构成电流镜电路的一对晶体管中，将一个晶体管作为电流源晶体管112，将另一个晶体管作为电流晶体管。电连接电流晶体管的漏极端子和栅极，并将基准电流输入到其源和漏极间的方法。

- 5 另一种是命名为同一晶体管方式的方式。在同一晶体管方式是电连接漏极端子和栅极的电流源晶体管112的源和漏极间直接输入基准电流的方法。另外，作为同一晶体管方式的变形，称为多栅极方式。

将使用电流镜方式的电流源电路称为电流镜方式的电流源电路，将使用同一晶体管方式的电流源电路称为同一晶体管方式的电流源电路，将使用多栅极
10 方式的电流源电路称为多栅极方式的电流源电路。电流源电路102一旦输入基准电流，就在电流源电容111中保持像素对应基准电压，在进行了像素的设定动作后，只要不放电在电流源电容111中保持的电荷，就没有必要再次输入基准电流的动作。

保持在电流源电容111中的电荷实际上因泄漏电流的影响和各种噪声而随
15 时间经过改变。这里，需要定期反复进行像素的设定动作。但是，一旦在进行了像素设定动作之后，在定期进行像素的设定动作中，也可重新保持因泄漏电流而在电流源电容111中保持的电荷改变了的部分的电荷。因此，与初始的像素设定动作相比，其后定期进行像素的设定动作所需的时间变短了。

（实施形式1）

20 表示本发明的显示装置的像素结构的一例。图4表示配置在各个像素中的电流源电路的结构例。另外，在图4中，表示为与图3相同的部分使用同一附图标记。图4表示电流镜方式的电流源电路的例子。电流源电路102由电流源电容111、电流源晶体管112、电流晶体管1405、电流输入晶体管1403、电流保持晶体管1404、电流线CL、信号线GN和信号线GH构成。由于电流源晶体管112和
25 电流晶体管1405一对构成了电流镜电路，所以极性必须相等。另外，最好同一像素内的这两个晶体管的电流特性相同。这里，在本实施形式1中，为了简单起见，设电流源晶体管112和电流晶体管1405的电流特性相同。

在图4中表示电流源晶体管112和电流晶体管1405为p沟道型的例子。另外，即使在电流源晶体管112和电流晶体管1405为n沟道型的情况下，根据图3（C）
30 所示的结构，也可容易应用。图23表示该情况的例子。在图23中表示为与图4

- 5 相同的部分使用相同的附图标记。在图23中，为防止在像素设定动作时在电流源晶体管112中流过电流，而设置追加晶体管1801和1803。即，在像素的设定动作时，追加晶体管1801和1803为非导通状态。另一方面，在进行像素显示时为导通状态。另外，为防止在进行像素显示时在电流晶体管1405中流过电流，而设置追加晶体管1802。即，在像素的设定动作时，追加晶体管1802为导通状态。另一方面，在进行像素显示时，为非导通状态。

下面，以图4为例进行说明。虽然电流输入晶体管1403、电流保持晶体管1404为n沟道型，但由于仅作为开关动作，故也可为p沟道型。

- 10 将电流源晶体管112的栅极和电流晶体管1405的栅极及电流源电容111的一个电极相连。另外，将电流源电容111的另一电极与电流源晶体管112的源极端子及电流晶体管1405的源极端子相连，并连接到电流源电路102的端子A上。电流晶体管1405的栅极和漏极端子经电流保持晶体管1404的源和漏端子间相连。将电流保持晶体管1404的栅极连接到信号线GH上。将电流晶体管1405的漏极端子和电流线CL经电流输入晶体管1403的源和漏端子间相连。将电流输入晶体
15 管1403的栅极与信号线GN相连。另外，将电流源晶体管112的漏极端子连接到端子B上。

- 另外，在上述结构中，也可将电流输入晶体管1403配置在电流晶体管1405和端子A之间。即，也可以是将电流晶体管1405的源极端子经电流输入晶体管1403的源和漏极端子间与端子A相连，将电流晶体管1405的漏极端子连接到电
20 流线CL的结构。

- 另外，在上述结构中，也可将电流晶体管1405和电流源晶体管112的栅极连接到电源线CL，而不经电流输入晶体管1403的源和漏极端子间。即，也可以是电流保持晶体管1404的源极端子和漏极端子的没有与电流晶体管1405和电流源晶体管112的栅极相连侧连接到电流线CL的结构。在该情况下，通过调整电
25 流线CL的电位，也可减小电流保持晶体管1404的源和漏极间电压。结果，在电流保持晶体管1404为非导通状态时，也可减小电流保持晶体管1404的泄漏电流。

- 但并不限于此，电流保持晶体管1404也可进行连接，使得在导通状态时，电流晶体管1405的栅极电位与电流线CL的电位相等。即，也可在像素设定动作
30 时，变为如图61（a）那样，在发光时变为如图61（b）那样。即，这样，也可

连接布线和开关。因此，也可为图67那样。另外，在图67中，表示为与图4相同的部分使用同一附图标记，而省略说明。

接着，图13表示图3（A）的开关部的结构例。另外，在图13中，表示为与图3相同的部分使用同一附图标记。在图13中，开关部101由三个晶体管（选择晶体管301、驱动晶体管302和删除晶体管304）和一个电容元件（保持电容303）构成。也可通过使用晶体管的栅极电容等而省略保持电容303。

在图13中，虽然驱动晶体管302为p沟道型，选择晶体管301和删除晶体管304为n沟道型，但并不限定该结构。由于仅作为开关动作，所以选择晶体管301、驱动晶体管302和删除晶体管304分别可以是n沟道型，也可以是p沟道型。

另外，也可在饱和区域动作驱动晶体管302。通过在饱和区域使驱动晶体管302动作，也可补偿与驱动晶体管302串联连接的电流源电路的电流源晶体管112的饱和区域特性。所谓饱和区域特性，表示对源和漏极间电压漏极电流保持为一定的特性。另外，所谓补偿饱和区域特性，意味着在饱和区域动作的电流源晶体管112中，抑制随源和漏极间电压增加，漏极电流增加。另外，为得到上述效果，驱动晶体管302和电流源晶体管112必须为相同极性。

下面，说明上述的补偿饱和区域特性的效果。例如，着眼于电流源晶体管112的源和漏极间电压增加的情况。串联连接电流源晶体管112和驱动晶体管302。由此，随着电流源晶体管112的源和漏极间电压的变化，驱动晶体管302的源极端子的电位也变化。这样，若驱动晶体管302的源和栅极间电压的绝对值减小，驱动晶体管302的I-V曲线变化。该变化的方向是漏极电流减小的方向。这样，串联连接到驱动晶体管302的电流源晶体管112的漏极电流减小。同样，若电流源晶体管112的源和漏极间电压减小，则电流源晶体管112的漏极电流增加。这样，得到将在电流源晶体管112中流过的电流保持为一定的效果。

下面详细说明图13的开关部的结构。将选择晶体管301的栅极连接到扫描线G。选择晶体管301的源极端子和漏极端子一个连接到图像信号输入线S，另一个连接到驱动晶体管302的栅极。驱动晶体管302的源极端子和漏极端子一个连接到端子D，另一个连接到端子C。保持电容303的一个电极连接到驱动晶体管302的栅极，另一个电极连接到布线Wco。删除晶体管304的源极端子和漏极端子一个与驱动晶体管302的栅极相连，另一个连接到布线Wco。将删除晶体管304的栅极连接到删除用信号线RG。

另外，删除晶体管304的源极端子和漏极端子并不限于上述连接结构。也可以是根据删除晶体管304为导通状态，而放电保持在保持电容303中的电荷那样的各种连接结构。即，也可以是通过使删除晶体管304导通或非导通，而非导通驱动晶体管302的连接结构。

5 接着，说明图13所示的开关部、删除晶体管304的配置方法不同的结构。图43（A）表示开关部的一例。表示为与图13相同的部分使用同一附图标记而省略说明。在图43（A）中，通过在输入到发光元件的电流路径上串联配置删除晶体管304，使删除晶体管304为非导通状态，而强制地不在发光元件上流过电流。若满足该条件，也可将删除晶体管304配置在任何地方。通过使删除晶体管304为非导通状态，而可使像素一律为非发光的状态。

图43（B）表示开关部101的其他结构。图43（B）为经删除晶体管304的源和漏极端子间向驱动晶体管302的栅极施加规定的电压，而使驱动晶体管302为非导通状态的方法。表示为与图13相同的部分使用同一附图标记而省略说明。在该例中，将删除晶体管304的源极端子和漏极端子的一个连接到驱动晶体管302的栅极，将另一个连接到布线 W_r 。也可适当决定布线 W_r 的电位。这样，在布线 W_r 的电位经删除晶体管304输入到驱动晶体管302的栅极时，使得驱动晶体管302为非导通状态。

另外，在图43（B）所示的结构中，也可代替删除晶体管304而使用二极管。图43（C）表示该结构。改变布线 W_r 的电位，而改变二极管3040的两个电极中没有与驱动晶体管302的栅极相连侧的电极的电位。由此，可以改变驱动晶体管302的栅极电压，而使驱动晶体管302为非导通状态。另外，二极管3040也可使用二极管连接（电连接栅极与漏极端子）的晶体管。这时，作为晶体管可以为n沟道型也可为p沟道型。另外，也可代替布线 W_r 而使用扫描线G。图43（D）表示代替图43（B）中布线 W_r ，而使用扫描线G。需要考虑扫描线G的电位，注意选择晶体管301的极性。

下面说明具有上述结构的电流源电路和开关部的像素。图5表示具有图4所示结构的电流源电路102和具有图13所示结构的开关部101的像素100按x列y行的矩阵状配置的像素区域一部分的电路图。图5中，仅代表性地示出第i（i为自然数）行j（j为自然数）列、第（i+1）行j列、第i行（j+1）列、第（i+1）行（j+1）列四个像素。表示为与图4和图13相同的部分使用同一附图标记而省略

说明。

另外，将对应于第 i 行、第 $(i+1)$ 行的各个像素行的扫描线标记为 G_i 、 G_{i+1} ，删除用信号线标记为 RG_i 、 RG_{i+1} ，信号线GN标记为 GN_i 、 GN_{i+1} 、信号线GH标记为 GH_i 、 GH_{i+1} 。另外，将对应于第 j 列、第 $(j+1)$ 列各个像素列的图像信号输入线S标记为 S_j 、 S_{j+1} ，电源线W标记为 W_j 、 W_{j+1} ，电流线CL标记为 CL_j 、 CL_{j+1} ，布线 W_{∞} 标记为 $W_{\infty j}$ 、 $W_{\infty j+1}$ 。从像素区域外部将基准电流输入到电流线 CL_j 、 CL_{j+1} 中。

图5表示发光元件的像素电极为阳极，对置电极为阴极的结构。即，表示将电流源电路的端子A连接到电源线W，将端子B连接到开关部101的端子C的结构。但是，也可容易地将本实施形式1的结构应用于发光元件106的像素电极为阴极，对置电极为阳极结构的显示装置。下面，图26表示在图5所示结构的像素中，发光元件106的像素电极变为阴极，对置电极变为阳极的例子。这样，仅通过改变晶体管的极性而可容易对应。图26中，表示为与图5相同的部分使用同一附图标记，而省略说明。图5中，电流源晶体管112和电流晶体管1405为p沟道型。另一方面，在图26中，电流源晶体管112和电流晶体管1405为n沟道型。这样，流过的电流方向也可为反方向。这时，将图26的端子A与开关部的端子C相连，将端子B与电源线W相连。

另外，在图5和图26中，由于驱动晶体管302仅具有开关功能，所以可以是n沟道型和p沟道型的其中之一。但是，最好驱动晶体管302在其源极端子的电位为固定的状态下动作。因此，在图5所示的发光元件106的像素电极为阳极，对置电极为阴极的结构中，最好驱动晶体管302是p沟道型。另一方面，如图26所示的发光元件106的像素电极为阴极，对置电极为阳极的结构中，最好驱动晶体管302是n沟道型。

另外，在图5中，由于各个像素的布线 W_{co} 和电源线W可以保持为同一电位，所以可以共用。另外，也可以共用不同像素间的各个布线 W_{co} 、各个电源线W、布线 W_{co} 和电源线W。还可共用 GN_i 和 GH_i 。进一步，还可代替布线 W_{co} 和布线 W_j ，而使用其他像素行的扫描线。其可以使用在没有进行图像信号写入的期间，扫描线的电位保持为一定电位的情况。例如，代替电源线，也可使用前一像素行的扫描线 G_{i-1} 。但是这时，需要考虑扫描线G的电位，注意选择晶体管301的极性。

虽然图5中没有图示，但是将信号输入到扫描线G的驱动电路（下面，记为扫描线驱动电路）、将信号输入到删除用信号线RG的驱动电路（下面，记为删除用信号线驱动电路）和将信号输入到图像信号输入线S的驱动电路（下面，记为信号线驱动电路）可以自由使用公知结构的电压信号输出型的驱动电路。

- 5 另外，将信号输入到其他信号线的驱动电路也可自由使用公知结构的电压信号输出型的驱动电路。

404模式表示为决定在电流线 CL_j 、 CL_{j+1} 中流过的基准电流，在基准电流输出电路的外部设置的电流源电路（下面，记为参考电流源电路）。可以使用来自一个参考电流源电路404的输出电流，来决定在多条电流线CL上流过的基准电

10 流。这样，可以抑制在各电流线上流过的电流偏差，而正确将在所有电流线上流过的电流决定为基准电流。

另外，在本实施形式1中，表示共有决定在所有电流线 $CL_1 \sim CL_x$ 中流过的基准电流的参考电流源电路404的例子。使用由参考电流源电路404决定的电流，将基准电流输出到各电流线 $CL_1 \sim CL_x$ 用的电路称为基准电流输出电路，并由图

15 5中的405表示。

图8表示基准电流输出电路405的结构。基准电流输出电路405具有移位晶体管等的脉冲输出电路711。对应各电流线 $CL_1 \sim CL_x$ 设置输入来自脉冲输出电路711的采样脉冲的采样脉冲线710_1~710_x。代表性地说明对应于某一条电流线 CL_j 的结构。设置输入采样脉冲线710_j的信号的电流输入开关701_j和电流源电

20 路700_j与经反相器703_j输入采样脉冲线710_j的信号的电流输出开关702_j。电流源电路700_j经电流输入开关701_j与参考电流源电路404相连，经电流输出开关702_j与电流线 CL_j 相连。

在图8所示的基准电流输出电路405中，图9表示具体表示电流源电路700_1~700_x的结构例子。在图9中，表示为与图8相同的部分使用同一附图标记。

- 25 另外，基准电流输出电路405并不限于图8、图9所示的电路。电流源电路700_1~700_x分别具有电流源晶体管720_j、电流源电容721_j和电流保持开关722_j。电流源晶体管720_j经电流源电容721_j连接栅极和源极端子，经电流输入开关722_j连接栅极和漏极端子。将采样脉冲线710_j的信号输入到电流输入开关722_j中。将电流源晶体管720_j的源极端子保持在一定电位，并将漏极端子经电流输入开关701_j与参考电流源电路404相连，经电流输出开关702_j与电
- 30

流线 CL_j 相连。

另外，也可以是将电流源电容721_j的电极的一个保持在一定电位上，另一个经电流输入开关701_j与参考电流源电路404相连，且经电流输出开关702_j与电流线 CL_j 相连的结构。

- 5 另外，在图9中，电流源晶体管720_j也可以是n沟道型和p沟道型的任何一个。但是，最好电流源晶体管720_j在固定源极端子的电位的状态下动作。因此，在从电流源电路700_j向电流线 CL_j 流过电流的情况下，电流源晶体管720_j最好为p沟道型，在从电源线 CL_j 向电流源电路700_j流过电流的情况下，电流源晶体管720_j最好为n沟道。最好是在任何一种极性下，都在栅和源极间连接电流源
- 10 电容721_j。

使用图10和图11说明图9所示结构的基准电流输出电路405的驱动方法。图10是表示基准电流输出电路405的驱动方法的定时图。另外，图11是模式表示基准电流输出电路405的驱动方法的图。另外，在图10中模式表示各个期间TD1、TD2期间的基准电流输出电路405的各个开关（电流输入开关、电流输出开关、电

15 流保持开关）的开和关状态的图为图11（TD1）、图11（TD2）。

- 在期间TD1中，若从脉冲输出电路711向采样脉冲线710₁输出脉冲，则电流输入开关701₁和电流保持开关722₁为开状态。另一方面，电流输出开关702₁经反相器703₁输入输出到采样脉冲线710₁的信号，而为关状态。这时，由参考电流源电路404确定的基准电流经电流输入开关701₁和电流保持开关
- 20 722₁而输入到电流源电路700₁的电流源电容721₁中。另外，这时，不将脉冲输出到其他采样脉冲线710₂~710_x中。因此，电流输入开关701₂~701_x和电流保持开关722₂~722_x为关状态。另一方面，电流输出开关702₂~702_x为开状态。随时间经过，将电荷保持在电流源电路700₁的电流源电容721₁中，而在电流源晶体管720₁中流过基准电流。图10表示在电流源电容721₁的两电
- 25 极间保持的电荷量即电压的变化。

- 之后，开始期间TD2。在期间TD2中改变脉冲输出电路711的输出，且不将脉冲输出到采样脉冲线710₁中。由此，电流保持开关722₁和电流输入开关701₁为关状态，电流输出开关702₁为开状态。这样，为在电流线 CL_1 中流过电流源晶体管720₁的漏极电流的状态。这里，由在电流源电容721₁中保持的
- 30 电荷决定电流源晶体管720₁的漏极电流。由此，将在电流线 CL_1 中流过的电流

- 确定为基准电流。在图10中, $CL_1 \sim CL_x$ 表示在电流线 $CL_1 \sim CL_x$ 中流过的电流。同时, 将脉冲输出到采样脉冲线 710_2。这样, 开始将电流源电路 700_2 中流过的电流确定为基准电流的动作。对于对应于所有采样脉冲线 710_1 ~ 710_x 的电流源电路 700_1 ~ 700_x 进行相同的动作, 而终止期间 TD1 ~ TDx。这样, 将所有
- 5 电流线 $CL_1 \sim CL_x$ 中流过的电流确定为由参考电流源电路 404 决定的基准电流。

这里, 将电流输入到基准电流输出电路 405, 将在各电流线 $CL_1 \sim CL_x$ 中流过的电流决定为基准电流的动作称为基准电流输出电路 405 的设定动作。

- 在图9所示结构的基准电流输出电路 405 的结构中, 一旦通过参考电流源电路 404, 将在各电流源电路 700_1 ~ 700_x 中流过的电流决定为基准电流后, 只
- 10 要不放电在电流源电容 721_1 ~ 721_x 中保持的电荷, 则在各电流源电路 700_1 ~ 700_x 中流过的电流保持为基准电流。另外, 如图9所示, 在电流源电路 700 部分为同一晶体管方式的电流源电路的情况下, 从参考电流源电路 404 输入的电流与在各电流线 CL 中流过的基准电流大小相同。并且, 在电流源电路 700 部分为电流镜方式和多栅极方式的电流源电路的情况下, 从参考电流源电路 404
- 15 输入的电流与在 CL 中流过的基准电流大小可以不同。

另外, 图10表示从在电流源电容 721_1 ~ 721_x 中没有保持电荷的状态开始通过进行一次期间 TD1 ~ TDx 的动作, 使规定的电荷保持在各电流源电容 721_1 ~ 721_x 中, 使得电流源晶体管 720_1 ~ 720_x 流过基准电流的方法。将该方法称为统一写入方法。

- 20 另一方面, 可以使用从在电流源电容 721_1 ~ 721_x 中没有保持电荷的状态开始, 重复期间 TD1 ~ TDx 的动作, 一点一点在电流源电容 721_1 ~ 721_x 中保持电荷的方法。在该方法中, 在多次重复期间 TD1 ~ TDx 的动作之后, 最初在各电流源电容 721_1 ~ 721_x 中保持规定的电荷, 使得在电流源晶体管 720_1 ~ 720_x 中流过基准电流。将该方法称为分割写入方式。在分割写入方式中, 从
- 25 在各电流源电容 721_1 ~ 721_x 中没有保持电荷的状态开始, 直到保持了规定的电荷, 将重复期间 TD1 ~ TDx 的次数称为分割写入方式的分割数。

- 分割写入方式情况下的期间 TD1 ~ TDx 中各个开关 (电流输入开关 701_1 ~ 701_x, 电流输出开关 702_1 ~ 702_x, 电流保持开关 722_1 ~ 722_x) 的状态与统一写入方式相同。但是, 在分割写入方式中进行一次期间 TD1 ~ TDx 所需
- 30 要的时间比统一写入方式中进行期间 TD1 ~ TDx 所要的时间要短。

另外，基准电流输出电路405的设定动作可以在一帧期间进行几次，也可以在数帧期间进行一次。另外，也可以一水平期间进行几次，也可以在每次重复几次水平期间进行一次。重复基准电流输出电路405的设定动作的间隔可根据基准电流输出电路具有的电流源电容721持续保持电荷的能力来进行任意选择。

另外，如图5、8、9、11所示，输入到基准电流输出电路405中的基准电流也可以是从参考电流源电路404输入的结构，也可以不设置参考电流源电路404，输入从显示装置的外部输入的一定电流来作为电流。或者，相当于图8和图9的电流源电路700的电流源电路也可处于显示装置的外部。另外，在晶体管的偏差小的情况下，在基准电流输出电路405的各个电流源电路700中也不一定进行设定动作。但是，进行了设定动作可以输出更准确的电流值。

接着，说明具有图5所示结构的像素的显示装置的驱动方法。这里，在实施形式1的结构的像素中，像素显示动作（开关部的驱动动作）和电流源电路的设定动作（像素的设定动作）也可不同步进行。即，也可进行像素的设定动作，而与开关部的端子C和端子D的导通和非导通状态无关。

另外，基准电流输出电路405的设定动作也可与像素显示动作和像素的设定动作同步进行，也可非同步进行。但是，最好图9所示的基准电流输出电路405的设定动作在不进行像素的设定动作期间进行。其原因是在图9所示的基准电流输出电路405中，在进行该设定动作的正当中不能将电流输出到电流线CL_j。因此，若在各电流线CL_j上配置了两个电流源电路700，在一个电流源电路将电流输出到电流线CL_j期间可以对另一电流源电路进行基准电流输出电路405的设定动作。因此，可以同时进行基准电流输出电路405的设定动作和像素的设定动作。或者，作为电流源电路700_j的电路，使用电流镜电路，若构成电流镜电路的一对晶体管的一个晶体管将电流输出到电流线CL_j，另一个晶体管进行基准电流输出电路405的设定动作，则可以同时进行基准电流输出电路405的设定动作和像素的设定动作。

为了简单起见，首先分别说明像素的设定动作和像素显示动作。使用图7（A）、图7（B）的定时图和图5的电路图说明图像显示动作。将信号输入到扫描线G_i，第i行的像素的选择晶体管301变为导通状态。这时，将图像信号输入到图像信号输入线S1~S_x，而将图像信号输入到第i行的各像素中。并且，在根

据图像信号驱动晶体管302变为导通状态的像素中，端子D和端子C变为导通状态。通过保持电容303保持驱动晶体管302的栅极电压。即，保持驱动晶体管302的导通或非导通状态。另外这时，删除晶体管304变为非导通状态。这样，在开关部101的端子D和端子C为导通状态的像素中，从电流源电路102将像素基准电流输入到发光元件106而进行发光。

这样，选择各像素的发光状态和非发光状态，并通过数字方式表现灰度等级。作为多灰度等级的方法可以使用在每一个规定期间设定多个选择了各像素的发光或非发光状态的期间，控制选择了发光状态的时间累计的灰度等级方式（时间灰度等级方式）和将一个像素分割为多个子像素，控制选择了发光状态的子像素的面积累计的灰度等级方式（面积灰度等级方式）等。另外，也可使用公知的方法。这里作为多灰度等级的方法也可使用时间灰度等级方式。

这里，通过将删除晶体管304设为导通状态，也可使保持电容303的两个电极的电位相同，通过放电在保持电容303中保持的电荷，也可一齐将驱动晶体管302变为非导通状态。由此，在将图像信号输入到某一行的像素的正中间，也可将其他行的像素设为非发光状态。这样，可以任意设定各行像素的发光期间。

图13所示结构的开关部构成为具有选择晶体管301来作为第一开关，驱动晶体管302来作为第二开关，除此之外具有删除晶体管304。将删除晶体管304的栅极电极连接到与图像信号输入线S和扫描线G不同的布线、删除用信号线RG上。这样，删除晶体管304通过输入到删除用信号线RG上的信号，切换导通和非导通状态，而与输入到选择晶体管301和驱动晶体管302的信号无关。这样，可以将开关部的端子C和端子D间设为非导通状态，而与第一开关和第二开关的状态无关。上面是基本的图像显示动作。

接着，图7中，作为灰度等级显示方法的具体例表示使用时分割灰度等级方式情况下的驱动方法的一例。将显示一个屏幕部分的图像期间称为一帧期间F。将一帧期间F分割为多个子帧期间 $SF_1 \sim SF_n$ （n为自然数）。

在第一子帧期间 SF_1 中，选择第一行的扫描线 G_1 ，并且将栅极连接到扫描线 G_1 的选择晶体管301变为导通状态。这里，一齐将信号输入到图像信号输入线 $S_1 \sim S_x$ 。另外，这时删除晶体管304为非导通状态。根据输入到图像信号输入线 $S_1 \sim S_x$ 的信号，选择第一行的各像素的驱动晶体管302的导通和非导通状态，

而选择各像素的发光和非发光状态。另外，通过保持电容303保持驱动晶体管302的栅极电压。这里，为了选择各像素的驱动晶体管302的导通和非导通状态，而将输入图像信号表现为将图像信号写入到像素。

选择了导通状态的驱动晶体管302保持导通状态，直到从图像信号输入线S
5 向驱动晶体管302的栅极输入了新的信号，或通过删除晶体管304放电保持电容303的电荷。在选择了发光状态的像素中，开关部的端子C和端子D之间变为导通状态，从电流源电路102向发光元件106输入像素基准电流而发光。并且，若终止了第一行的像素的图像信号的写入操作，马上选择对应于第二行像素的扫描线 G_2 ，而开始将图像信号写入到对应于第二行的像素上的动作。将图像信号
10 写入到像素的动作与第一行的像素的动作相同。

对所有扫描线 $G_1 \sim G_y$ 重复上述动作，而将图像信号写入到所有像素中。并将把图像信号写入到所有像素的期间记为地址期间 T_a 。将对应于第 m (m 是小于 n 的自然数)的子帧期间 SF_m 的地址期间记为 T_{a_m} 。

写入了图像信号的像素行分别选择了发光或非发光状态。根据写入的图像
15 信号，将各像素行发光或非发光的各像素期间记为显示期间 T_s 。在同一子帧期间，各像素行的显示期间 T_s 虽然定时不同，但是其长度完全相同。将对应于第 m (m 是小于 n 的自然数)的子帧期间 SF_m 的显示期间记为 T_{s_m} 。

在第一子帧期间 SF_1 到第 $k-1$ (k 为比 n 小的自然数)的子帧期间 SF_{k-1} ，将显示期间 T_s 设定为比地址期间 T_a 长。在规定长度的显示期间 T_{s_1} 后，开始第二子
20 帧期间 SF_2 。之后，对于从第二子帧期间 SF_2 到第 $k-1$ 的子帧期间 SF_{k-1} 也与第一子帧期间 SF_1 相同，操作显示装置。这里，由于多个像素行不能同时进行图像信号的写入，所以设定各子帧期间的地址期间 T_a ，使其各不重复。

另一方面，从第 k 子帧期间 SF_k 到第 n 的子帧期间 SF_n 中，将显示期间 T_s 设定为比地址期间 T_a 短。下面，详细说明第 k 子帧期间 SF_k 到第 n 子帧期间 SF_n 的显示
25 装置的驱动方法。

在第 k 子帧期间 SF_k 中，选择第一行的扫描线 G_1 ，并且将栅极连接到扫描线 G_1 的选择晶体管301变为导通状态。这里，一齐将信号输入到图像信号输入线 $S1 \sim S_x$ 。另外，这时删除晶体管304为非导通状态。根据输入到图像信号输入线 $S1 \sim S_x$ 的信号，选择第一行的各像素的驱动晶体管302的导通和非导通状态，而
30 选择各像素的发光和非发光状态。另外，通过保持电容303保持驱动晶体管302

的栅极电压。在选择了发光状态的像素中，开关部的端子C和端子D之间变为导通状态，从电流源电路102向发光元件106输入像素基准电流，发光元件106发光。若终止了第一行的像素的图像信号的写入操作，接着选择对应于第二行像素的扫描线 G_2 ，而开始将图像信号写入到对应于第二行的像素上的动作。将图像信号写入到像素的动作与第一行的像素的动作相同。

对所有扫描线 $G_1 \sim G_y$ 重复上述动作，而将图像信号写入到所有像素中，而终止地址期间 Ta_k 。

上述的第 k 子帧期间 SF_k 的地址期间 Ta_k 的动作方法与第一子帧期间 SF_1 到第 $k-1$ 子帧期间 SF_{k-1} 相同。其不同点是在终止地址期间 Ta_k 前，开始删除用信号线 RG_1 等的选择。即，在选择了扫描线 G_1 后，在经过了规定的期间（该期间相当于显示期间 Ts_k ）后，选择删除用信号线 RG_1 。并且，顺序选择删除用信号线 $RG_1 \sim RG_y$ ，将各像素行的删除晶体管304顺序变为导通状态，而使各行的像素顺序一律变为非发光状态。将把所有像素的删除晶体管304变为导通状态的期间记为复位期间 Tr 。尤其将对应于第 p （ p 是大于 k 小于 n 的自然数）的子帧期间 SF_p 的复位期间记为 Tr_p 。

这样，可以在将图像信号输入到某一行的像素正当中，将其他行的像素一律设为非发光状态。这样，可以自由控制显示期间 Ts 的长度。这里，将地址期间 Ta_p 的长度和复位期间 Tr_p 的长度设为相同。即，在写入图像信号时顺序选择各行的速度和将各行像素顺序一律设为非发光状态时的速度设为相同。由此，在同一子帧期间，虽然开始各行像素的显示期间 Ts 的定时不同，但是其长度全部相同。

通过将各像素行的删除晶体管304设为非导通状态，而将各像素行的像素一律设为非发光状态的期间记为非显示期间 Tus 。在同一子帧期间，虽然各像素行的非显示期间 Tus 定时不同，但其长度完全相同。尤其是将对应于第 p 子帧期间 SF_p 的非显示期间记为 Tus_p 。

在规定长度的非显示期间 Tus_k 后，开始第 $k+1$ 的子帧期间 SF_{k+1} 。在第 $k+1$ 的子帧期间 SF_{k+1} 到第 n 子帧期间 SF_n ，重复与第 k 子帧 SF_k 相同的动作，而终止一帧期间 $F1$ 。这里，子帧期间 $SF_1 \sim SF_n$ 的地址期间 $Ta_1 \sim Ta_n$ 的长度完全相同。如上这样，使显示装置动作，并通过适当确定各子帧期间 $SF_1 \sim SF_n$ 的显示期间 $Ts_1 \sim Ts_n$ 的长度，而表现灰度等级。

接着,描述显示期间 $T_{s1} \sim T_{sn}$ 的长度设定方法。例如,若将 $T_{s1}:T_{s2}: \dots : T_{sn-1}:T_{sn}$ 设为 $2^0:2^{-1}: \dots : 2^{-(n-2)}:2^{-(n-1)}$,则可以表现 2^n 灰度等级。作为具体例,举例在 $n=3$ 的情况下,输入三比特的图像信号,来表现8灰度等级的例子。将一帧期间 F 分割为三个子帧期间 $SF_1 \sim SF_3$ 。并将各个帧期间的显示期间的长度比 $T_{s1}:T_{s2}:T_{s3}$ 设为4:2:1。在某一像素中,若将所有子帧期间 $SF_1 \sim SF_3$ 选择了发光状态时的亮度设为100%,则仅在第一子帧期间 SF_1 选择了发光状态的情况下,表现约57%的亮度。另一方面,在仅在第二子帧期间 SF_2 选择了发光状态的情况下,表现约29%的亮度。

另外,如上这样,不限于于一帧期间设置与图像信号的比特数相同的子帧期间表现灰度等级的方法。例如,在一帧期间,可以通过对应于图像信号的某一比特的信号,设置多个选择发光状态和非发光状态的子帧期间。即,由多个子帧期间的显示期间的累计来表现对应于一比特的显示期间。

尤其是,通过多个子帧期间各个具有的显示期间的累计来表现对应于图像信号的高位比特的显示期间,并通过使这些子帧期间不连续出现,也可抑制假轮廓的产生。另外,各子帧期间的显示期间 T_s 的长度设定可以使用公知的所有方法,而不限于上述方法。

图7中,构成为第一子帧期间 SF_1 到第 n 子帧期间 SF_n 顺序出现,但是并不限于此。各子帧期间出现的顺序也可任意确定。另外,可以通过面积灰度等级方式、时分割灰度等级方式和面积灰度等级方式的组合,而不仅仅为时分割灰度等级方式,来表现灰度等级。

在本实施形式1中,虽然仅在将显示期间 T_s 设定为比地址期间 T_a 短的子帧期间中表示了设置复位期间 T_r 和非显示期间 T_{us} 的驱动方法,但是并不限于此。也可以是在显示期间 T_s 设定为比地址期间 T_a 长的子帧期间中,设置复位期间 T_r 和非显示期间 T_{us} 的驱动方法。

另外,在图13中,虽然表示了通过将删除晶体管304设为导通状态而放电保持电容303的电荷的结构,但是并不限于此。也可以是通过将删除晶体管304设为导通状态,而提高或降低与保持电容303的驱动晶体管302的栅极相连侧的电位,将驱动晶体管302设为非导通状态的结构。即,经删除晶体管304,将驱动晶体管302的栅极与输入了使驱动晶体管302为非导通状态的电位的信号的布线相连的结构。

另外，也可以不是如上那样的通过将删除晶体管304设为导通状态，使保持电容303的与驱动晶体管302的栅极相连侧的电位改变类型的结构，而可以是将删除晶体管304与驱动晶体管302串联连接，通过将删除晶体管304设为非导通状态而使开关部101的端子C和端子D间为非导通状态，而非显示期间的结构。

除此之外，也可以自由使用关闭使用图43所说明的开关部的方法，而设置使像素一律为非发光状态的复位期间和非显示期间。

另外，也可使用设置使像素一律为非发光状态的复位期间和非显示期间，而不设置删除晶体管。

10 在该第一方法中，通过使保持电容的没有与驱动晶体管的栅极相连侧的电极的电位改变，而将驱动晶体管设为非导通状态的方法。图49表示其结构。将保持电容303的没有与驱动晶体管302的栅极相连侧的电极连接到布线Wco上。改变布线Wco的信号，而使保持电容303的一个电极的电位改变。这样，由于保存了在保持电容303中保持的电荷，所以保持电容303的另一个电极的电位也
15 改变。这样，也可通过改变驱动晶体管302的栅极电位，而使驱动晶体管302为非导通状态。

第二方法是将选择了一条扫描线的期间分割为前半部分和后半部分。其特征在于在前半部分（记为栅极选择期间前半部分）中输入图像信号，在后半部分（记为栅极选择期间后半部分）中输入删除信号。这里，所谓删除信号是指在输入驱动晶体管的栅极时，将驱动晶体管设为非导通状态的信号。这样，可以设定比写入期间短的显示期间。在该方法的详细说明中，参照图49（B）说明显示装置整体的结构。显示装置具有按矩阵状配置的具有多个像素的像素部901、将信号输入到像素部901的图像信号输入线驱动电路902、第一扫描线驱动电路903A、第二扫描线驱动电路903B、切换电路904A和切换电路904B。
20 第一扫描线驱动电路903A是在栅极选择期间的前半部分中将信号输出到各扫描线G的电路。另外，第二扫描线驱动电路903B是在栅极选择期间的后半部分中将信号输出到各扫描线G的电路。通过切换电路904A和切换电路904B，选择第一扫描线驱动电路903A与各像素的扫描线G相连，或第二扫描线驱动电路903B与各像素的扫描线G相连。图像信号输入线驱动电路902在栅极选择期间前半部
25 分输出图像信号。另一方面，在栅极选择期间后半部分输出删除信号。
30

接着, 参照图49 (C) 说明上述结构的显示装置的驱动方法。另外表示为与图7相同的部分使用同一附图标记而省略说明。在图49 (C) 中, 将栅极选择期间991分割为栅极选择期间前半部分991A和栅极选择期间后半部分991B。在903A中, 通过第一扫描线驱动电路选择各扫描线, 而输入数字图像信号。进行903A的操作期间相当于写入期间 T_a 。另一方面, 在903B中, 通过第二扫描线驱动电路选择各扫描线, 而输入删除信号。进行903B的操作期间相当于复位期间 T_r 。这样, 可以设定比地址期间 T_a 短的显示期间 T_s 。另外, 这里虽然在栅极选择期间后半部分输入删除信号, 但是代替此也可输入下一子帧期间的数字图像信号。

- 10 第三方法是通过改变发光元件的对置电极的电位, 设置非显示期间的方法。即, 显示期间中设定对置电极的电位, 使得其与电源线的电位之间具有规定的电位。另一方面, 在非显示期间, 将对置电极的电位设定为与电源线的电位大致相同。并且, 在非显示期间对所有像素输入数字图像信号。即, 这时, 设置地址期间。这样, 可以将像素设为非发光状态, 而与输入到像素中的数字图像
- 15 信号无关。

- 例如, 在对置电极在所有像素中电连接的情况下, 在所有像素中开始显示期间 T_s 的定时和终止定时相同。在规定长度的显示期间 T_s 后, 通过将发光元件106的对置电极的电位变为再次与电源线W的电位大致相同, 而将所有像素一齐设为非发光的状态。这样, 可以设置非显示期间 T_{us} 。在所有像素中, 非显示期间 T_{us} 的定时相同。另外, 在多灰度等级化没有这种程度的要求的情况下 (不需要显示期间 T_s 比地址期间 T_a 短的情况下), 也可以为在所有子帧期间不设置非显示期间 T_{us} 的驱动方法。在使用该驱动方法的情况下, 没有必要用删除晶体管。
- 20

- 另外, 还可积极使用驱动晶体管302的栅极寄生电容, 来代替保持电容303。
- 25 同样, 也可使用电流源晶体管112和电流晶体管1405的栅极寄生电容, 而不配置电流源电容111。

下面对于像素的设定动作, 说明下面的两种方法。

- 使用图6说明第一方法。图6是表示配置在图5所示的各像素中的电流源电路102的设定动作 (像素的设定动作) 的定时图。这里, 说明接通显示装置的
- 30 电源后的最初的像素设定动作。

另外，举出将像素的设定动作与图8等所示的基准电流输出电路405的设定动作同步进行的情况的例子。这里，举例为基准电流输出电路405使用图9所示的结构，以图10所示的定时图为参考，使用分割写入方式而动作的情况。另外，为简单起见，表示分割写入方式的分割数为2的情况的例子。为说明方便，表示为与图10所示的定时图动作相同的部分采用同一附图标记而省略说明。

在图6中，由SET_i表示进行第i行的像素设定动作的期间。在SET_i中，进行第i行的第1列到第x列的像素的设定动作。将第i行的第1列到第x列的像素设定动作分割为图6中的SET_i的(1)和(2)的期间而进行说明。

首先，在SET₁的期间(1)中，通过输入到信号线GN₁和信号线GH₁的信号，图5所示的第一行像素的电流输入晶体管1403和电流保持晶体管1404为导通状态。这时，基准电流输出电路405顺序进行图10中期间TD₁~TD_x所示的动作，顺序决定在各电流线CL₁~CL_x中流过的电流。这时，确定电流I₀'，使其在电流线CL₁~CL_x中流过。另外，这里，基准电流输出电路405也可使用分割写入方式进行设定动作。因此，仅通过进行一次期间TD₁~TD_x所示的动作，而不充分进行设定动作。因此，若将基准电流设为I₀，则电流值I₀'<I₀。

接着，说明在各电流线CL₁~CL_x中流过电流I₀'后的各像素的电源线电路102的动作。例如，在第一行第j列的像素的情况下，若终止期间TD_j，则进行设定，使得在电流线CL_j上流过电流I₀'。由此，在第j列的像素的电流晶体管1405中流过电流I₀'。这里，第一行像素的电流晶体管1405的栅极与漏极端子经为导通状态的电流保持晶体管1404而连接。因此，电流晶体管1405在栅和源极间电压（栅极电压）和源和漏极间电压相等的状态下，即饱和区域中动作，而流过漏极电流。第一行j列的像素的电流晶体管1405中流过的漏极电流决定为在电流线CL_j中流过的电流I₀'。这样，电流源电容111保持电流晶体管1405流过电流I₀'时的栅极电压。

若到期间TD₁~TD_x终止，并且电流源电容721_x结束保持对应于在电流线CL中流过的电流I₀'的电荷，则进入到期间(2)。在期间(2)中，改变信号线GH₁的信号，而将电流保持晶体管1404变为非导通状态。由此，在第一行的像素的电流源电容111中保持电荷。

另外，图中由TQ₁所示的期间相当于从电流线CL_x向第一行x列的像素的电流源电路102的电流晶体管1405输入电流I₀'，使电荷保持在电流源电容111中的

期间。图中由 TQ_1 所示的期间比在电流晶体管1405中流过的电流变为稳定状态所需要的时间短的情况下，在电流源电容11中不充分保持电荷。但是，这里为简单起见，将 TQ_1 设定为充分长。

这样，进行第一行的各像素的设定动作。这里，在各像素的电流源电路102
5 中，电流晶体管1405和电流源晶体管112的栅极电位相等。电流晶体管1405和电流源晶体管112的源极端子的电位相等。另外，最好电流晶体管1405和电流源晶体管112的电流特性相等。为了简单起见，这里，设电流晶体管1405和电流源晶体管112的电流特性相等。因此，若对电流源电路102的端子A和端子B间施加电压，则在电流源晶体管112中流过根据在电流晶体管1405中流过的电
10 流 I_0' 的一定电流。

在使用分割写入方式的基准电流输出电路405的显示装置中，接通显示装置的电源后的初始SET1的电流线 $CL_1 \sim CL_x$ 中流过的电流 I_0' 为未达到基准电流的值。因此，可以不充分进行该SET1期间的像素的设定动作。即，在接通显示装置的电源之后的第一行的像素设定动作中，不会在第一行的像素所分别
15 具有的电流源电路102的电流源电容111中保持对应于基准电流的电压（像素对应基准电压）。

接着在SET2的期间（1）中，通过输入信号线 GN_2 和信号线 GH_2 的信号，第二行的像素的电流输入晶体管1403和电流保持晶体管1404为导通状态。同时输入信号线 GN_1 的信号变化，第一行的像素的电流输入晶体管1403为非导通状
20 态。这样，第一行的像素的电流晶体管1405和电流源晶体管112的栅极电压仍保持，电流线 CL_1 和电流晶体管1405的连接被切断。

在SET2的期间（1）中，基准电流输出电路405顺序进行在图10中期间 $TD_1 \sim$ 期间 TD_x 所示的动作，顺序确定流向各电流线 $CL_1 \sim CL_x$ 的电流。此时，通过在前面的SET1期间的期间 $TD_1 \sim TD_x$ 中进行的动作，基准电流输出电路711的电流
25 源电容721_1 $\sim$ 721_x中保持现有程度的电荷。进行SET2的期间 $TD_1 \sim TD_x$ 的动作时，接入显示装置的电源后，反复2次期间 $TD_1 \sim TD_x$ 的动作。

这里，将分割写入方式的分割数设为2，因此SET2的期间 $TD_1 \sim TD_x$ 结束后，基准电流输出电路405的电流源电容721_1 $\sim$ 721_x中保持电流源晶体管720_1 $\sim$ 720_x流过基准电流 I_0 的电荷。这样，流过各电流线 $CL_1 \sim CL_x$ 的电流确定为基准
30 电流 I_0 。

如此, 接入显示装置的电源后的初始的SET2中, 将由基准电流输出电路405确定的流过电流线 $CL_1 \sim CL_x$ 的电流值确定为基准电流 I_0 。即, 接入显示装置的电源后的初始的SET2中, 充分进行基准电流输出电路405的设定动作。

接着, 说明向各电流线 $CL_1 \sim CL_x$ 流过基准电流 I_0 后的各像素的电流源电路5 的动作。例如, 第二行第j列的像素的情况下, 期间 TD_j 结束时, 设定为向电流线 CL_j 流过基准电流 I_0 。这样, 第j列的像素的电流晶体管1405中流过基准电流 I_0 。第二行的像素的电流晶体管1405的栅极与漏极端子经变为导通状态的电流保持晶体管1404连接。因此, 电流晶体管1405在栅极和源极间电压(栅极电压)与源极和漏极间电压相等的状态, 即饱和区域动作, 流过漏极电流。流过第二行10 第j列的像素的电流晶体管1405的漏极电流确定为流过电流线 CL_j 的基准电流 I_0 。这样, 电流源电容111保持电流晶体管1405流过基准电流 I_0 时的栅极电压。

直到期间 $TD_1 \sim TD_x$ 结束, 电流源电容721_x结束保持与流过电流线 CL 的基准电流 I_0 对应的电荷后, 进入期间(2)。期间(2)中, 信号线 GH_2 的信号变化, 电流保持晶体管1404为非导通状态。由此, 第二行的像素的电流源电容111中15 保持电荷。

图中 TQ_2 所示期间相当于从电流线 CL_x 向第二行x列的像素的电流源电路102的电流晶体管1405输入基准电流 I_0 、电流源电容111中保持电荷的期间。当图中 TQ_2 所示期间比流过电流晶体管1405的电流变为恒定状态所需要的时间短时, 电流源电容111中不充分保持电荷。即, 像素的设定动作不充分进行。这20 里为了简单, 将 TQ_2 设定得非常长。

这样, 进行第二行的各像素的设定动作。各像素的电流源电路102中, 电流晶体管1405和电流源晶体管112的栅极电位相等。电流晶体管1405和电流源晶体管112的源极端子的电位相等。希望电流晶体管1405和电流源晶体管112的电流特性相等。为了简单, 设电流晶体管1405和电流源晶体管112的电流特性25 相等。因此, 电流源电路102的端子A和端子B之间施加电压时, 电流源晶体管112的源极和漏极之间流过对应流过电流晶体管1405的基准电流 I_0 的恒定电流(像素基准电流)。

SET2结束后, 输入信号线 GN_2 的信号变化, 第二行的像素的电流输入晶体管1403为非导通状态。这样, 第二行的像素的电流晶体管1405和电流源晶体管30 112的栅极电位仍保持, 切断电流线 CL_2 和电流晶体管1405的连接。

对全部的行反复进行与SET2相同的动作。其中，基准电流输出电路405的设定动作在SET2中已经结束。因此，SET3以后的动作中，在SETi的期间（1）间继续向全部电流线CL₁~CL_x流过基本与基准电流相等的电流。一旦基准电流输出电路405的设定动作结束后，重新开始SETi的期间（1），在第i行的全部像素的电流源电容111中同时进行保持像素对应基准电压的动作。

这样，在SET2结束的时刻，基准电流输出电路405具有的各电流源电容721_1~721_x中保持向各电流线CL₁~CL_x流过基准电流I₀的电荷。这样，在SET3以后的期间TD₁~TD_x中，进行重新保持电流源电容721_1~721_x的电荷放电的大小的动作。SET2以后流向各电流线CL₁~CL_x的电流基本确定为基准电流，像素的设定动作充分进行（完成）。

进行SET1~SETy的动作后，结束像素设定的第一帧期间。一次一次地选择全部信号线GN₁~GN_x和信号线GH₁~GH_x，将进行一次全部像素的设定动作的期间叫做像素设定的1帧期间。

结束像素设定的第一帧期间后，开始像素设定的第二帧期间。在像素设定的第二帧期间也反复进行和像素设定的第一帧期间同样的动作。在像素设定的第一帧期间中，第一行的像素设定动作未充分进行。但是，在像素设定的第二帧期间完成基准电流输出电路405的设定动作。因此，通过在像素设定的第二帧期间进行SET1的动作，也可充分进行第一行的像素的设定动作。这样，全部的像素的设定动作充分进行（完成）。

在图6的定时图中，基准电流输出电路405的分割数设为2，但不限于此，可为任意数。假设分割数比显示装置具有的像素行数大的情况下，接入显示装置的电源后的第一次（像素设定的第一帧期间）的像素的设定动作对全部像素行不充分进行。但是通过多次反复像素的设定动作可充分进行像素的设定动作。可以是像素设定的第一帧期间哪个像素的设定动作都不充分进行，而在像素设定的第二帧期间以后完成全部像素的设定动作。

例如，可使用将各设定期间SETi的期间（1）的长度设定得短、通过多次进行SET1~SETy的动作，慢慢进行像素的设定动作的方法。表示出接入显示装置的电源后的基准电流输出电路405的设定动作和像素的设定动作同时开始的例子，但可以是在充分进行基准电流输出电路405的设定动作后进行像素的设定动作。

一旦像素的设定动作完成后，为了重新充电由于泄漏电流等保持在电流源电容111中的电荷减少的部分而进行像素的设定动作。其定时根据电流源电容111的放电速度等有各种形式。一旦像素的设定动作完成后再次进行像素的设定动作中，由于可仅充电保持在电流源电容111中的电荷放电的大小，相对开始的像素的设定动作，其以后的像素的设定动作可缩短在向各像素输入基准电流后到变为恒定状态之前的时间。因此，相对于第一次的像素的设定动作，其以后的像素的设定动作可将向信号线GN、信号线GH输入信号的驱动电路和基准电流输出电路405的驱动频率设定得更高。

接着，使用图15说明像素的设定动作的第二方法。图15是表示图5所示的各像素上配置的电流源电路102的设定动作(像素的设定动作)的定时图。图15(a)中举例说明在1帧期间的前半和后半期间进行像素的设定动作和图8等所示的基准电流输出电路405的设定动作的情况。这里，举例说明基准电流输出电路405使用图9所示的结构，以图10所示的定时图为参考动作的情况。进行与图10所示的定时图相同的动作的部分使用相同附图标记表示，而省略说明。

首先，1帧期间的前半期间中，基准电流输出电路405顺序进行图10中期间 $TD_1 \sim TD_x$ 所示的动作，顺序确定流向各电流线 $CL_1 \sim CL_x$ 的电流。接着，对于在1帧期间的后半期间的各像素的电流源电路102的动作，说明第一行像素的情况。通过基准电流输出电路405的设定动作，全部电流线CL设定为流过基准电流。这里，第一行的像素的电流晶体管1405的栅极和漏极端子经变为导通状态的电流保持晶体管1404连接。因此，电流晶体管1405在栅极和源极间电压(栅极电压)与源极和漏极间电压相等的状态(饱和区域)下动作，流过漏极电流。流过第一行第j列的像素的电流晶体管1405的漏极电流确定为流过电流线 CL_j 的基准电流。这样，电流源电容111保持电流晶体管1405流过基准电流时的栅极电压。接着信号线 GH_1 的信号变化，电流保持晶体管1404为非导通状态。由此，第一行的像素的电流源电容111保持电荷。

这样，进行第一行的各像素的设定动作。各像素的电流源电路102中，电流晶体管1405和电流源晶体管112的栅极电位相等、电流晶体管1405和电流源晶体管112的源极端子的电位相等。希望电流晶体管1405和电流源晶体管112的电流特性相等。为了简单，假定电流晶体管1405和电流源晶体管112的电流特性相等。因此，电流源电路102的端子A和端子B之间施加电压时，电流源晶体管

112流过对应流过电流晶体管1405的基准电流的恒定电流。

接着通过输入信号线 GN_2 和信号线 GH_2 的信号，第二行的像素的电流输入晶体管1403和电流保持晶体管1404为导通状态。同时输入信号线 GN_1 的信号变化，第一行的像素的电流输入晶体管1403为非导通状态。这样，第一行的像素的电流晶体管1405和电流源晶体管112的栅极电位仍保持，切断电流线 CL_1 和电流晶体管1405的连接。在第二行的像素中与第一行时同样进行像素的设定动作。接着对第三行的像素、第四行的像素顺序反复同样动作。对全部的行结束像素的设定动作后，结束1帧期间。进入下一帧期间后，同样前半期间进行基准电流输出电路405的设定动作，后半期间进行像素的设定动作。一旦像素的设定动作完成后，为重新充电由于泄漏电流等保持在电流源电容111中的电荷减少的部分而进行像素的设定动作。其定时根据电流源电容111的放电速度等有各种形式。

同样一旦基准电流输出电路405的设定动作进行后，为重新充电电容721中保持的电荷减少的大小而进行设定动作。定时为各种各样，像素和基准电流输出电路405的设定动作可与图像的显示动作毫无关系地动作。图7的地址期间 T_a 和显示期间 T_s 、非显示期间 T_{us} 可毫无关系地动作。其理由是像素和基准电流输出电路405的设定动作与图像的显示动作不对彼此的动作产生影响。因此，替代如图15(a)可按图15(b)进行设定动作。图15(b)中，信号线驱动电路不动作的期间进行基准电流输出电路405的设定动作，剩余期间进行像素的设定动作。这样，可完全按任意次数和定时进行设定动作。像素的设定动作不需要1行1行地顺序进行，基准电流输出电路405的设定动作也不需要1行1行地顺序进行。

在电流保持晶体管1404的源极端子和漏极端子的未与电流晶体管1405和电流源晶体管112的栅极连接的侧直接连接电流线CL的结构中，为向全部的像素的电流输入晶体管1403为非导通状态时的电流线CL提供一定电位的结构。该一定电位设定为在显示装置具有的多个像素中在这些电流源电容111中保持像素对应基准电压时的电流晶体管1405的栅极电位的平均程度。这样，电流保持晶体管1404的源极和漏极端子之间的电压减小，由电流保持晶体管1404的泄漏电流可抑制储存在电流源电容111中的电荷的放电。为向电流线CL中提供一定电位或流过基准电流的切换在基准电流输出电路405中进行的结构。

通过对电流晶体管1405的栅极长宽比改变电流源晶体管112的栅极长宽比

可对基准电流值改变像素基准电流的值。例如，将基准电流设定为大于像素基准电流，则像素的设定动作中，可缩短电流源电容111保持像素对应基准电压之前所需的时间，而可降低噪声的影响。

配合与电流线 $CL_1 \sim CL_x$ 对应的各像素的发光元件的特性，可确定多个不同的电流值的基准电流。例如，可改变并设定设置发红光、发绿光和发蓝光的不同发光色的发光元件的各像素的各自的电流线CL中流过的基准电流的电流值。由此，可对3色的发光元件的发光亮度进行平衡。3色的发光亮度的平衡处理方法可通过改变点亮期间的长度进行，还可与改变输入对应各色的像素的基准电流的电流值组合。或者可以由电流晶体管1405和电流源晶体管112按色改变栅极长宽比。

接着，说明图像显示动作和像素的设定动作的关联。开始图像显示动作和像素的设定动作的定时有各种各样。

1个是在一旦全部的像素的设定动作充分完成后进行接入显示装置的电源后的最初的图像显示动作的方法。该情况下，从最初的图像显示动作开始通过图像信号选择发光状态的像素的发光元件按规定亮度发光。

其他方法是边进行像素的设定动作边同时进行接入显示装置的电源后的最初的图像显示动作的方法。该情况下，到完成像素的设定动作之前的期间中进行的图像显示动作中，通过图像信号选择了发光状态的像素的发光元件的发光亮度达不到规定亮度。因此，正确的灰度等级显示在对全部像素的设定动作充分完成后才开始。

图5所示的像素部的结构中，信号线GN、信号线GH、扫描线G、删除用信号线RG等考虑驱动的定时等可共用。例如，可共用信号线 GH_i 和信号线 GN_i 。将电流保持晶体管1404设为非导通状态的定时和将电流输入晶体管1403设为非导通状态的定时完全相同，在像素的设定动作上没有问题。

25 (实施形式2)

本实施形式中，图12表示同一晶体管方式的电流源电路的结构例子。这里主要说明与实施形式1不同的部分，重复部分省略说明。因此，图12中与图3相同部分用相同附图标记表示。

图12中，电流源电路102由电流源电容111、电流源晶体管112、电流输入晶体管203、电流保持晶体管204、电流停止晶体管205、电流线CL、信号线GN、

信号线GH、信号线GS构成。表示出电流源晶体管112为p沟道型的例子。在电流源晶体管112为n沟道型时，也根据图3(C)所示结构，容易应用。该情况下的例子在图24表示。与图12相同的部分用相同附图标记表示。

图12中，电流输入晶体管203、电流保持晶体管204、电流停止晶体管205为n沟道型，但由于单单作为开关动作，为p沟道型也无妨。其中图12中，电流保持晶体管204连接于电流源晶体管112的栅极和漏极之间的情况下，希望电流保持晶体管204为p沟道型。其理由是为n沟道型的情况下，端子B的电位有时变得非常低，此时电流保持晶体管204的源极电位也非常低。其结果是电流保持晶体管204可能难以为非导通状态。与此不同，电流保持晶体管204为p沟道型时没有这种担心。

电流源晶体管112的栅极和电流源电容111的一个电极连接。电流源电容111的另一个电极与电流源晶体管112的源极端子连接。电流源晶体管112的源极端子连接电流源电路102的端子A。电流源晶体管112的栅极和漏极端子经电流保持晶体管204的源极和漏极端子之间而连接。电流保持晶体管204的栅极连接信号线GH。电流源晶体管112的漏极端子和电流线CL经电流输入晶体管203的源极和漏极端子之间而连接。电流输入晶体管203的栅极连接信号线GN。电流源晶体管112的漏极端子经电流停止晶体管205的源极和漏极端子之间而与端子B连接。电流停止晶体管205的栅极连接信号线GS。

上述结构中，电流源晶体管112的栅极可不经电流输入晶体管203的源极和漏极端子之间而连接电流线CL。即，电流保持晶体管204的源极端子和漏极端子的不与电流源晶体管112的栅极连接的那侧直接连接电流线CL的结构也可。此时，通过调整电流线CL的电位，可减小电流保持晶体管204的源极和漏极间电压。其结果是电流保持晶体管204为非导通状态时，可减小电流保持晶体管204的泄漏电流。不限于于此，可连接成电流保持晶体管204为导通状态时，电流源晶体管112的栅极电位与电流线CL的电位相等。即，像素的设定动作时，为图62(a)那样，发光时如图(b)那样。如此，可连接布线和开关。因此，电流源电路的结构为图72所示。

电流保持晶体管204的源极端子和漏极端子的不与电流源晶体管112的栅极连接的那侧直接连接电流线CL的结构中，构成为向全部像素的电流输入晶体管203为非导通状态时的电流线CL提供一定电位。该一定电位设定为在显示装置

具有的多个像素中在这些电流源电容111中保持像素对应基准电压时的电流源晶体管112的栅极电位的平均程度。这样，电流保持晶体管204的源极和漏极端子之间的电压减小，由电流保持晶体管204的泄漏电流可抑制储存在电流源电容111中的电荷的放电。

5 可以是向电流线CL中提供一定电位或流过基准电流的切换在基准电流输出电路405中进行的结构。电流保持晶体管204连接在电流源晶体管112的栅极和电流线CL之间的情况下，电流保持晶体管204的极性可以是任何极性。由于电流保持晶体管204为n沟道型电流线CL的电位不会过低，因此电流保持晶体管204难以变为非导通状态。

10 作为开关部的结构，与实施形式1中说明的同样，可使用各种结构。作为一个例子，为与图13所示的同样结构，省略说明。

图14表示具有图12所示的结构的电流源电路102和图13所示的结构的开关部101的像素100按矩阵状配置的像素区域的一部分的电路图。图14中，仅代表性地表示出第i行第j列、第(i+1)行第j列、第i行第(j+1)列、第(i+1)行第(j+1)列的
15 4像素。图12和图13相同的部分用相同附图标记表示，省略说明。对应第i行、第(i+1)行的各自的像素行的扫描线表示为 G_i, G_{i+1} 、删除用信号线表示为 RG_i, RG_{i+1} 、信号线GN表示为 GN_i, GN_{i+1} 、信号线GH表示为 GH_i, GH_{i+1} 、信号线GS表示为 GS_i, GS_{i+1} 。对应第j列、第(j+1)列的各自的像素列的图像信号输入线S表示为 S_j, S_{j+1} 、电源线W表示为 W_j, W_{j+1} 、电流线CL表示为 CL_j, CL_{j+1} 、布线Wco表示为 Wco_j, Wco_{j+1} 。从像素区域外部向电流线 CL_j, CL_{j+1} 输入基准电流。
20

发光元件106的像素电极连接端子D，对置电极被施加对置电位。图14中，表示出将发光元件的像素电极作为阳极、将对置电极作为阴极的结构。即，表示出电流源电路的端子A连接电源线W，端子B连接开关部101的端子C的结构。但是，在发光元件106的像素电极为阴极、对置电极为阳极的结构的显示装置中，也容易应用本实施形式2的结构。下面在图50中表示出在图14所示结构的像素中将发光元件106的像素电极作为阴极、对置电极变为阳极的例子。图50中，与图14相同的部分使用相同附图标记表示，省略说明。
25

图14中，电流源晶体管112为p沟道型。另一方面，图50中，电流源晶体管112为n沟道型。这样，可使流过的电流方向为相反方向。此时，图50的端子A
30 连接开关部的端子C，端子B连接电源线W。

图14和图50中，驱动晶体管302仅用作开关功能，因此n沟道型和p沟道型都无所谓。但是，驱动晶体管302最好在其源极端子的电位被固定的状态下动作。因此如图14所示的发光元件106的像素电极为阳极、对置电极为阴极的结构中，驱动晶体管302最好为p沟道型。另一方面，图50所示的发光元件106的像素电极为阴极、对置电极为阳极的结构中，驱动晶体管302最好为n沟道型。图14中，由于各像素的布线Wco和电源线W可以保持在相同电位，因此可共用。不同的像素间的布线Wco之间、电源线W之间、布线Wco和电源线W都可共用。

图14所示的像素部的结构中，信号线GN、信号线GH、信号线GS、扫描线G、删除用信号线RG等考虑驱动的定时等可共用。例如可共用信号线GH_i和信号线GN_i。此时，电流输入晶体管203为非导通状态的定时和电流保持晶体管204为非导通状态的定时完全相同，像素的设定动作上没有问题。另外的例子是可共用信号线GS_i和信号线GN_i。此时，使用与电流输入晶体管203的极性不同极性的电流停止晶体管205。这样，电流输入晶体管203的栅极和电流停止晶体管205的栅极中输入相同信号时，一个晶体管可为导通状态，另一个晶体管可为非导通状态。而且，可共用删除用信号线RG和信号线GS。

而且，替代布线Wco和布线Wi，可使用其他像素行的扫描线。这在不进行图像信号的写入期间利用扫描线的电位保持为一定电位的像素行。例如替代电源线而使用1个之前的像素行的扫描线G_{i-1}。但是，该情况下，考虑扫描线G的电位，需要注意选择晶体管301的极性。

将电流停止晶体管205和删除晶体管304汇总为一个，可省去其中一个。像素的设定动作时，若向驱动晶体管302和发光元件106中泄漏电流，则不能进行正确设定。因此，像素的设定动作时，可以是电流停止晶体管205为非导通状态或者为了驱动晶体管302为非导通状态而将删除晶体管304设为导通状态之一。当然也可对二者都进行设定。另一方面，在非显示期间中，同样可将电流停止晶体管205设为非导通状态或将删除晶体管304设为导通状态。从以上可知，可省略电流停止晶体管205或删除晶体管304之一。

具有上述结构的开关部和电流源电路的像素中，共用各布线的具体例子在图73表示。图73(A)~(F)中，信号线GN和信号线GH共用，布线Wco和电源线W共用。为省略电流停止晶体管205的结构。尤其图73(A)中，电流保持晶体管204的源极端子或漏极端子中，将不与电流源电容111的一个电极连接的侧

直接连接电流线CL。图73 (B) 中, 删除晶体管304串联连接电流源晶体管112和驱动晶体管302。图73 (D) 中, 为电源线W顺序经开关部101的驱动晶体管302、电流源电路102的电流源晶体管112连接发光元件106的结构。该结构中, 设置追加晶体管290。通过追加晶体管290连接电源线W和电流源晶体管112的源极端子, 使得在开关部关的状态下, 即驱动晶体管302为非导通状态下可进行像素的设定动作。图73 (E) 中, 为电流源晶体管112是n沟道型的结构。此时, 电流保持晶体管204的源极端子或漏极端子中, 将不与电流源电容111的一个电极连接的侧直接连接电源线W。图73 (F) 中, 是在图73 (D) 中将电流源晶体管112设为n沟道型的结构。这样, 布线共用、晶体管的共用、极性、位置、开关部与电流源电路的位置、开关部和电流源电路的结构等可进行各种变化, 另外, 通过改变组合方式可容易实现各种电路。

说明具有图14所示的结构的像素的显示装置的驱动方法。说明中使用图16。关于基准电流输出电路405和参照电流源电路404的结构和动作, 与实施形式1中说明的同样。因此省略说明。

首先关于像素显示动作, 与实施形式1中使用图7说明的同样。不同的是关于电流停止晶体管205的动作。存在电流停止晶体管205的情况下, 点亮期间中电流停止晶体管205必须为导通状态。这是因为如果电流停止晶体管205为非导通状态, 则即便例如驱动晶体管302为导通状态也不会向发光元件流过电流。因此, 点亮期间中需要电流停止晶体管205为导通状态。非点亮期间中任何状态都可以。除以上这一点, 都与实施形式1同样, 因此省略详细说明。

接着描述像素的设定动作。如实施形式1那样, 图5所示结构的显示装置, 将电流镜方式用作像素的电流源电路的情况下, 非同步进行图像显示动作和像素的设定动作。另一方面, 本实施形式2中, 在图14所示的结构的显示装置, 即像素的电流源电路使用同一晶体管方式的情况下, 希望图像显示动作和像素的设定动作同步。

各像素中进行像素的设定动作时, 为在电流源电容111中保持像素对应基准电压, 需要设定流过电流线CL的基准电流为电流源晶体管112的漏极电流的状态。因此, 如果进行像素的设定动作期间, 流过电流源晶体管112的电流的一部分从电流源电路102流向发光元件106, 则电流源晶体管112的漏极电流与流过电流线CL的基准电流为不同值, 不能正确地在电流源电容111中保持像素对应

基准电压。为防止这一点，进行像素的设定动作期间，需要不向该像素的发光元件流过电流。

因此，进行像素的设定动作期间，不能进行图像的显示。这样，像素的设定动作设置不进行图像显示动作的期间、图像显示动作中不进行图像显示的期间等，需要在该期间进行该设定动作。也就是，希望图像显示动作和像素的设定动作同步进行。

图14所示的结构显示装置中，各像素中在电流源晶体管112与电流线CL电连接期间，将电流停止晶体管205设为非导通状态。这样即便开关部的端子C和端子D为导通状态，也为发光元件106中不输入电流的状态，正确进行像素的设定动作。

或者图14所示的结构显示装置中，仅各像素的开关部的端子C和端子D之间，即驱动晶体管302为非导通状态时，可进行该像素的设定动作。此时，不需要设置电流停止晶体管205。即，为电流源晶体管112的漏极端子直接连接端子B的结构。驱动晶体管302为非导通状态可等同于删除晶体管304为导通状态。即，仅非点亮期间进行像素的设定动作时不需要设置电流停止晶体管205。

接着表示出何时进行像素的设定动作的例子。大概而言，有2个时间。一个是在显示期间进行像素设定动作的情况下。但是该情况下，像素设定动作中不发光。因此为显示期间中插入不发光期间的形式。即便像素设定动作结束，如果图13的保持电容303的电容保持的信号没有变化，则可快速再开始显示动作。另一个是图像显示动作的非显示期间 T_{us} 中进行像素的设定动作的方法。该情况下，发光元件不发光，因此可容易进行像素设定动作。接着关于像素设定动作，说明在哪几个期间完成全部的像素的设定动作。例如描述2个情况。一个是在1帧期间结束全部像素的设定动作的情况。另一个是在1帧期间结束1行的像素的设定动作的情况。该情况下，花费多个帧期间后渐渐结束全部像素的设定动作。首先详细说明第一种情况。

说明中使用图16的定时图。与图7的定时图同样动作的期间使用相同附图标记表示。为了简单，使用1帧期间分割为3个子帧期间 $SF_1 \sim SF_3$ 的例子。以子帧期间 SF_3 中，需要设定比地址期间 T_{a3} 短的显示期间 T_{s3} 、设置复位期间 T_{r3} 和非显示期间 T_{us3} 的驱动方法为例。并且非显示期间 T_{us3} 中进行像素的设定动作。

图16 (A) 中, 第一子帧期间 SF_1 和第二子帧期间 SF_2 中不设置非显示期间 T_{us} , 因此不进行像素的设定动作。另一方面, 与开始第三子帧期间 SF_3 的复位期间 Tr_3 同时, 进行第一行像素的设定动作。进行第 k 行的像素的设定动作的期间用 SET_k 表示。并且 SET_1 结束后, 开始 SET_2 , 进行第二行像素的设定动作。

- 5 结束 $SET_1 \sim SET_y$ 后, 对全部像素结束像素的设定动作。这样, $SET_1 \sim SET_y$ 的动作在复位期间 Tr_3 中进行。以后的帧期间中可反复同样动作。但是, 不需要按每帧期间进行像素的设定动作。可根据像素的电流源电容的保持能力确定。

图16 (B) 是详细表示图16 (A) 的第三子帧期间 SF_3 的复位期间的动作的定时图。如图16 (B) 的图像显示动作所示, 可与复位期间 Tr_3 的删除用信号线 $RG_1 \sim RG_y$ 的扫描同步进行 $SET_1 \sim SET_y$ 。这样, 与删除用信号线 $RG_1 \sim RG_y$ 的扫描同步进行 $SET_1 \sim SET_y$ 的情况下, 图14所示的信号线 $GN_1 \sim GN_y$ 、信号线 $GH_1 \sim GH_y$ 和信号线 $GS_1 \sim GS_y$ 的频率与删除用信号线 $RG_1 \sim RG_y$ 的信号频率可相同。因此, 向这些信号线(删除用信号线 $RG_1 \sim RG_y$ 、信号线 $GN_1 \sim GN_y$ 、信号线 $GH_1 \sim GH_y$ 和信号线 $GS_1 \sim GS_y$)输入信号的驱动电路全部或部分可共用。

- 15 这里如图16 (B) 所示, 与删除用信号线 $RG_1 \sim RG_y$ 的扫描同步进行 $SET_1 \sim SET_y$ 的情况下, 脉冲输出电路711输出的采样脉冲的频率与向像素的图像信号输入线 $S_1 \sim S_x$ 输入信号的信号线驱动电路的频率可相同。如此, 可部分共用信号线驱动电路和基准电流输出电路405。

接着说明1帧期间中在1行像素中进行像素的设定动作的情况。说明中使用图40。与图7的定时图同样动作的期间用相同附图标记表示。图40 (A) 是表示第一帧期间 F_1 的动作的定时图。图40 (B) 是表示第 i 帧期间 F_i 的动作的定时图。

图40 (A) 中第一子帧期间 SF_1 和第二子帧期间 SF_2 中不设置非显示期间 T_{us} , 因此不进行像素的设定动作。另一方面, 与开始第三子帧期间 SF_3 的复位期间 Tr_3 同时, 开始 SET_1 , 而进行第一行像素的设定动作。这样, SET_1 的动作在第一行的像素的非显示期间 T_{us_1} 中使用全部的 T_{us_1} 的期间进行。接着第二帧期间 F_2 开始, 进行第二行像素的设定动作。以后进行同样动作。

例如进行第 i 行像素的像素设定动作时的动作使用图40 (B) 来说明。第 i 行像素的设定动作在第 i 帧 F_i 中进行。第 i 帧 F_i 中同样也是在第一子帧期间 SF_1 和第二子帧期间 SF_2 中不设置非显示期间 T_{us} , 因此不进行像素的设定动作。另一方面, 开始第三子帧期间 SF_3 的复位期间 Tr_3 , 与开始第 i 行的像素的非显示期间 T_{us_i}

同时,开始 SET_i ,进行第 i 行像素的设定动作。这样, SET_i 的动作在第 i 行的像素的非显示期间 Tus_i 中使用全部的 Tus_i 的期间进行。第一帧期间 $F1$ ~第 y 帧期间 Fy 结束后,对全部像素终止像素的设定动作。以后的帧期间可反复同样动作。但是,不需要按每帧期间进行像素的设定动作。可根据像素的电流源电容的保持能力确定。

这样,1帧期间进行1行的像素的设定动作的情况下,有可正确进行像素的设定动作的优点。即,进行像素的设定动作的期间长,因此可充分进行设定动作。因此,即便基准电流的大小小时,也可正确地进行设定动作,通常,若基准电流的大小小,由于布线的交叉电容等充电需要时间,因此难以正确地进行设定动作。但是,如果设定动作的期间设定得长,则可正确进行设定动作。如果必须在一帧期间对所有行像素进行设定动作的情况下,1行的像素的设定时间缩短了。因此难以进行正确设定。如果像实施方式1那样,像素的电流源电路为电流镜面的方式,则可将基准电流的大小设定得大,因此即便缩短像素的设定时间也容易进行正确设定。另一方面,像本实施方式那样,像素的电流源电路是同一晶体管方式的情况下,由于不能将基准电流的大小设得大,因此难以进行正确设定。因此将设定期间设置得长是有效的。这样,通过图16和图40所示的驱动方法可同步进行像素的设定动作和图像显示动作。

图16和图40中,表示出仅1帧期间的1个子帧期间中设置非显示期间时的驱动方法,但本发明的显示装置的驱动方法不限于于此。1帧期间的多个子帧期间中设置非显示期间时的驱动方法也可使用。此时,也可以是在1帧期间的全部的多个子帧期间中的非显示期间 Tus 中进行像素的时的动作的驱动方法。可以是仅在1帧期间的的多个子帧期间中的几个非显示期间 Tus 中进行像素的设定动作的驱动方法。

全部的像素的设定动作一旦完成后,反复像素的设定动作的定时可根据像素的电流源电路具有的电流源电容的电荷保持能力任意设定。即,多帧期间有根本不进行设定动作的期间。

这里,简单叙述某行的像素的设定动作。例如,关注第一行像素。首先,通过输入信号线 GN_1 和信号线 GH_1 的信号使图14所示的第一行的像素的电流输入晶体管203和电流保持晶体管204为导通状态。通过信号线 $GS1$ 的信号第一行像素的电流停止晶体管205为非导通状态。在没有电流停止晶体管205的情况下,

通过使删除晶体管304为导通状态等可将驱动晶体管302设为非导通状态。

并且，向电流线CL流入基准电流。这样，向像素的电流源晶体管112流过基准电流。这里，第一行像素的电流源晶体管112的栅极和漏极端子经导通状态的电流保持晶体管204连接。因此，电流源晶体管112在栅极和源极间电压（栅极电压）与源极和漏极间电压相等的状态，即饱和区域下动作，流过漏极电流。流过第一行的像素的电流源晶体管112的漏极电流确定为流过电流线CL的基准电流。这样，电流源电容111保持电流源晶体管112流过基准电流时的栅极电压。其间，电流停止晶体管205为非导通状态。由此，没有基准电流泄漏。

- 10 接着信号线GH₁的信号变化，电流保持晶体管204为非导通状态。由此，第一行像素的电流源电容111保持电荷。之后，信号线GN₁的信号变化，第一行像素的电流输入晶体管203为非导通状态。这样，第一行像素的电流源晶体管112仍保持栅极电压，切断与电流线CL₁的连接。随后，信号线GS₁的信号变化，电流停止晶体管205可为导通状态，也可仍为非导通状态。点亮期间中可为导通状态。
- 15 状态。

这样，进行第一行的各像素的设定动作。由此，以后在各像素的电流源电路102中，在端子A和端子B之间施加电压时，电流源晶体管112的源极和漏极之间流过与基准电流相同大小的电流。

（实施形式3）

- 20 本实施形式中，说明多栅方式的电流源电路。这里，主要说明与实施形式1和实施形式2不同的部分，相同部分省略说明。

使用图57说明多栅方式1的电流源电路。与图3相同部分使用相同附图标记表示。多栅方式1的电流源电路具有电流源晶体管112和电流停止晶体管805。

具有用作开关功能的电流输入晶体管803、电流保持晶体管804。这里，电流源晶体管112、电流停止晶体管805、电流输入晶体管803、电流保持晶体管804可以是p沟道型，也可以是n沟道型。但电流源晶体管112和电流停止晶体管805需要是同极性的。这里，表示出电流源晶体管112和电流停止晶体管805是p沟道型的例子。希望电流源晶体管112和电流停止晶体管805电流特性相等。另外，具有保持电流源晶体管112的栅极电位的电流源电容111。具有向电流输入晶体管803的栅极输入信号的信号线GN和向电流保持晶体管804的栅极输入信号的

25

30

信号线GH。另外具有输入控制信号的电流线CL。电流源电容111通过利用晶体管的栅极电容等可省略。

5 电流源晶体管112的源极端子连接端子A。电流源晶体管112的栅极和源极端子经电流源电容111连接。电流源晶体管112的栅极和源极端子经电流源电容111相连。电流源晶体管112的栅极和电流停止晶体管805的栅极连接，经电流保持晶体管804连接电流线CL。电流源晶体管112的漏极端子和电流停止晶体管805的源极端子连接，经电流输入晶体管803连接电流线CL。电流停止晶体管805的漏极端子和端子B连接。

10 图57(A)中，改变电流保持晶体管804的配置，也可为图57(B)所示电路结构。图57(B)中，电流保持晶体管804连接在电流源晶体管112的栅极和漏极端子之间。

接着说明上述多栅方式1的电流源电路的设定方法。图57(A)和图57(B)中，其设定动作同样。这里以图57(A)所示电路为例说明其设定动作。说明中使用图57(C)~57(F)。多栅方式1的电流源电路中，顺序经过图57(C)~57(F)的状态来进行设定动作。为说明简单将电流输入晶体管803、电流保持晶体管804表示为开关。这里，表示出设定电流源电路的控制信号为控制电流的例子。

20 图57(C)所示的期间TD1中，电流输入晶体管803、电流保持晶体管804为非导通状态。此时，电流停止晶体管805为非导通状态。这是因为通过导通状态的电流保持晶体管804和电流输入晶体管803将电流停止晶体管805的源极端子和栅极的电位保持相等。即，如果将源极和栅极间电压为零时为非导通状态的晶体管用于电流停止晶体管805，则期间TD1中可自动将电流停止晶体管805设为非导通状态。这样，通过从未示出的路径流过电流，在电流源电容111中保持电荷。

25 图57(D)所示的期间TD2中，由于保持的电荷，电流源晶体管112的源极和栅极间电压为阈值电压以上。这样，向电流源晶体管112流过漏极电流。

30 图57(E)所示的期间TD3中，时间充分经过后变为恒定状态时，电流源晶体管112的漏极电流确定为控制电流。这样，在电流源电容111中保持控制电流为漏极电流时的栅极电压。之后，电流保持晶体管804为非导通状态。这样，电流源电容111中保持的电荷也分配到电流停止晶体管805的栅极。如此，电流保持晶体管804为非导通状态的同时，电流停止晶体管805自动为导通状态。

图57 (F) 所示期间TD4中, 电流输入晶体管803为非导通状态。这样, 像素中不输入控制电流。电流保持晶体管804为非导通状态的定时相对电流输入晶体管803为非导通状态的定时提前或同时较好。这是由于不使电流源电容111中保持的电荷放电。期间TD4以后施加端子A和端子B之间的电压的情况下, 经
5 电流源晶体管112和电流停止晶体管805输出一定电流。即, 电流源电路102输出控制电流时, 电流源晶体管112和电流停止晶体管805像1个多栅型晶体管一样发生作用。因此, 对于输入的控制电流, 即基准电流, 可将输出的一定电流值设定得小。因此, 由于增大基准电流可加速电流源电路的设定动作。这样, 需要电流停止晶体管805和电流源晶体管112的极性相同。希望电流停止晶体管
10 805和电流源晶体管112的电流特性相同。这是由于具有多栅方式1的各电流源电路102中, 电流停止晶体管805和电流源晶体管112的特性不一致的情况下, 输出电流产生偏差。

多栅方式1的电流源电路中, 不仅电流停止晶体管805, 也可使用输入控制电流的变换为对应的栅极电压的晶体管(电流源晶体管112)输出来自电流源
15 电路102的电流。另一方面, 实施形式1所示的电流镜方式的电流源电路中, 输入控制电流的变换为对应的栅极电压的晶体管(电流晶体管)和将该栅极电压变换为漏极电流的晶体管(电流源晶体管112)完全不同。因此, 与电流镜方式的电流源电路相比, 多栅方式1的电流源电路降低晶体管的电流特性偏差对电流源电路102的输出电流的影响。

20 多栅方式1的电流源电路的各信号线可共用。例如, 电流输入晶体管803和电流保持晶体管804按相同定时切换导通状态、非导通状态, 则动作上没有问题。因此, 电流输入晶体管803和电流保持晶体管804极性相同, 可共用信号线GN和信号线GH。

多栅方式1中, 电流源电路的部分在像素的设定动作时为图63 (a) 所示, 25 发光时如图63 (b) 所示。即这样, 可连接布线和开关部。例如可如图68那样连接。

具有上述结构的开关部和电流源电路的像素中, 图74表示各布线共用的具体例子。图74 (A) ~74(D)中信号线GN和信号线GH共用, 布线Wco和电源线W共用。尤其图74 (A) 中, 电流保持晶体管804的源极端子或漏极端子中, 将
30 不与电流源电容111的一个电极连接的侧直接连接电流线CL。删除晶体管304串

联连接电流源晶体管112和驱动晶体管302。图74 (B) 中, 在选择电流源晶体管112的源极端子和电源线W的连接的位置上连接删除晶体管304。图74 (C) 中, 为电源线W顺序经开关部101、电流源电路102连接发光元件106的结构。该结构中, 设置追加晶体管390。追加晶体管390连接电源线W和电流源晶体管112的源极端子, 使得在开关部关的状态下, 即驱动晶体管302为非导通状态下进行像素的设定动作。图74 (D) 中, 电流保持晶体管804连接在电流源晶体管112的栅极和漏极之间。并且删除晶体管304并联连接保持电容303。像素的设定动作时, 无论驱动晶体管302处于何种状态, 都不向驱动晶体管302流入电流。这是由于电流停止晶体管805的栅极和源极之间的电压为零, 自动将电流停止晶体管805设为关状态。

实施形式1所示的电流镜方式的电流源电路中, 输入发光元件的信号是按规定倍率增减输入像素的控制电流的电流。因此, 可将控制电流设定得大到一定程度, 加快进行各像素的电流源电路的设定动作。但是, 出现构成电流源电路具有的电流镜面电路的晶体管的电流特性有偏差和图像显示有偏差的问题。

另一方面, 同一晶体管方式的电流源电路中, 输入发光元件的信号与输入像素的控制电流的电流值相等。这里, 同一晶体管方式的电流源电路中, 输入控制电流的晶体管和向发光元件输出电流的晶体管相同。因此, 晶体管的电流特性偏差带来的图像的不均被降低。

与此不同, 多栅方式的电流源电路中, 输入发光元件的信号是按规定倍率增减输入像素的控制电流的电流。因此, 可将控制电流设定得大到一定程度。由此, 加快进行各像素的电流源电路的设定动作。输入控制电流的晶体管和向发光元件输出电流的晶体管部分共用, 因此与电流镜方式的电流源电路相比, 晶体管的电流特性偏差带来的图像的不均被降低。

接着在下面表示多栅方式的电流源电路的情况下的设定动作和开关部的动作的关联。多栅方式的电流源电路的情况下, 输入控制电流期间, 不能输出一定电流。因此, 开关部的动作和电流源电路的设定动作需要同步进行。例如, 可在开关部关状态的情况下, 进行电流源电路的设定动作。即, 与同一晶体管方式大致相同。因此, 图像显示动作(开关部的驱动动作)和电流源电路的设定动作(像素的设定动作)也与同一晶体管方式大致相同, 省略说明。

接着叙述本发明的实施例, 该发明不限于下面实施例。

(实施例1)

本实施例中，是具有电流镜方式的电流源电路的像素结构，举出使用与实施形式1中，图4所示的结构的电流源电路不同的结构的电流源电路的像素结构的例子。

- 5 各像素中配置的电流源电路的结构例子在图17表示。图17中与图4相同部分使用相同附图标记，省略说明。图17中，电流源电路102除电流源电容111、电流源晶体管112、电流晶体管1405、电流输入晶体管1403、电流保持晶体管1404、电流线CL、信号线GN、信号线GH外，还具有点顺序晶体管2404和点顺序线CLP。与图4不同的是追加点顺序晶体管2404的部分。点顺序晶体管2404为
- 10 n沟道型，但由于仅作为开关动作，也可以是p沟道型。

- 电流源晶体管112的栅极和电流晶体管1405的栅极以及电流源电容111的一个电极连接。电流源电容111的另一电极连接电流源晶体管112的源极端子和电流晶体管1405的源极端子，连接电流源电路102的端子A。电流晶体管1405的栅极顺序经电流保持晶体管1404的源极和漏极端子之间和点顺序晶体管2404的源
- 15 极和漏极端子之间连接其漏极端子。电流保持晶体管1404的栅极连接信号线GH。点顺序晶体管2404的栅极连接信号线点顺序线CLP。电流晶体管1405的漏极端子和电流线CL经电流输入晶体管1403的源极和漏极端子之间而连接。电流输入晶体管1403的栅极连接信号线GN。电流源晶体管112的漏极端子连接端子B。

- 上述结构中，电流输入晶体管1403可配置在电流晶体管1405和端子A
- 20 之间。即，为电流晶体管1405的源极端子经电流输入晶体管1403源极・漏极端子之间而连接端子A，也可以是电流晶体管1405的漏极端子连接电流线CL的结构。任何一种中，电流源电路部分在像素的设定动作时为图61(a)所示，发光时为图61(b)所示。

- 上述结构中，电流晶体管1405和电流源晶体管112的栅极可不经电流输入
- 25 晶体管1403的源极和漏极端子之间而连接电流线CL。即，点顺序晶体管2404的源极端子和漏极端子的不与电流保持晶体管1404的源极端子或漏极端子连接的侧直接连接电流线CL的结构也可。当然不限于此，电流保持晶体管1404和点顺序晶体管2404连接成二者都为导通状态时，电流晶体管1405的栅极电位与电流线CL的电位相等。

- 30 可更换电流保持晶体管1404和点顺序晶体管2404的配置。即，电流晶体管

1405的栅极顺序经电流保持晶体管1404的源极和漏极端子之间和点顺序晶体管2404的源极·漏极端子之间连接其漏极端子，电流晶体管1405的栅极顺序经点顺序晶体管2404的源极·漏极端子之间和电流保持晶体管1404的源极·漏极端子之间连接其漏极端子。

- 5 图17中对图4追加点顺序晶体管2404，点顺序晶体管2404串联连接电流保持晶体管1404。通过该结构，电流源电容111只要电流保持晶体管1404和点顺序晶体管2404二者不为导通状态就保持电荷。这样，通过追加点顺序晶体管2404，并非按图4的线顺序而是按点顺序进行像素的设定动作。具有图17所示的结构的电流源电路102和图13所示结构的开关部101的像素100按 x列y行矩阵
- 10 状配置的像素区域的一部分电路图在图18表示。

图18中，仅代表性地表示出第i行（i是自然数）第j列（j是自然数）、第(i+1)行第j列、第i行第(j+1)列、第(i+1)行第(j+1)列的4像素。图17和图13相同的部分用相同附图标记表示，省略说明。对应第i行、第(i+1)行的各个像素行的扫描线G表示为 G_i, G_{i+1} 、删除用信号线表示为 RG_i, RG_{i+1} 、信号线GN表示为 GN_i, GN_{i+1} 、

15 信号线GH表示为 GH_i, GH_{i+1} 。对应第j列、第(j+1)列的各个像素列的图像信号输入线S表示为 S_j, S_{j+1} 、电源线W表示为 W_j, W_{j+1} 、电流线CL表示为 CL_j, CL_{j+1} 、布线Wco表示为 Wco_j, Wco_{j+1} 、点顺序线CLP表示为 CLP_j, CLP_{j+1} 。从像素区域外部向电流线 CL_j, CL_{j+1} 中输入基准电流。

- 发光元件106的像素电极连接端子D，对置电极被施加对置电位。图18中，
- 20 表示出将发光元件的像素电极作为阳极、将对置电极作为阴极的结构。即，表示出电流源电路的端子A连接电源线W，端子B连接开关部101的端子C的结构。但是，在发光元件106的像素电极为阴极、对置电极为阳极的结构的显示装置中，也容易应用本实施例的结构。

- 为确定电流线 CL_j, CL_{j+1} 流过的基准电流，用404模式地表示出在像素区域
- 25 外部设置的电流源（下面叫参考电流源电路）。使用来自1个参考电流源电路404的输出电流可向各电流线CL流入基准电流。这样，抑制流过各电流线的电流的偏差，将流过全部电流线的电流正确地确定为基准电流。

- 由参考电流源电路404确定的基准电流输入各电流线 $CL_1 \sim CL_x$ 的电路叫切换电路，图18中用2405表示。切换电路2405的结构例子在图20中表示。切换电
- 30 路2405具有脉冲输出电路2711、采样脉冲线2710_1~2710_x和开关

2701_1~2701_x。

从脉冲输出电路2711输出的脉冲（采样脉冲）输入采样脉冲线2710_1~2710_x。通过输入采样脉冲线2710_1~2710_x的信号，开关2701_1~2701_x顺序为开状态。经开状态的开关2701_1~2701_x，参考电流源电路404连接各电流线CL1~CLx。同时，采样脉冲也输入点顺序线CLP₁~CLP_x。例如，通过输入第j采样脉冲线2710_j的采样脉冲连接电流线CL_j和参考电流源电路404，同时采样脉冲输出到点顺序线CLP_j。

这里，点顺序线CLP_j上连接点顺序晶体管2404的像素中，点顺序晶体管2404为导通状态时，通过输入某行的信号线GN和GH的信号将连接该信号线GN和GH的电流输入晶体管1403和电流保持晶体管1404设为导通状态。这样，可仅在电流保持晶体管1404和点顺序晶体管2404都为导通状态的像素中将信号输入电流源电容111中。由此。可通过点顺序进行像素的设定动作。

图19是表示图18所示的各像素中配置的电流源电路102的设定动作（像素的设定动作）的定时图。图19中进行第i行像素的设定动作的期间用SET_i表示。SET_i中，进行第i行的第一列到第x列的像素的设定动作。在此，第i行的第一列到第x列的像素的设定动作在图19中分为SET_i的（1）和（2）期间。

在SET_i的期间（1）中，通过输入信号线GN_i和信号线GH_i的信号，图18所示的第i行的像素的电流输入晶体管1403和电流保持晶体管1404为导通状态。之后，一列一列地顺序选择各列的CLP和开关2701。作为一个例子，说明第i行，即第i行第j列的像素的设定动作。这里，在SET_i的期间（1）中，进行第i行第j列的像素的设定动作的期间用SET(i,j)表示。SET(i,j)中通过切换电路2405，电流线CL_j连接参考电流源电路404。这样基准电流流过电流线CL_j。同时通过从切换电路2405输入点顺序线CLP_j的信号，点顺序晶体管2404为导通状态。图19的定时图中，CL_j表示的期间表示电流线CL_j和参考电流源电路404连接的期间。这样，SET(i,j)中，第i行第j列的像素的电流保持晶体管1404、点顺序晶体管2404、电流输入晶体管1403为导通状态。因此，第i行第j列的像素的电流晶体管1405为栅极·源极间电压（栅极电压）与源极·漏极间电压相等的状态，即饱和区域动作，流过漏极电流。经过充分时间变为恒定状态后，在电流源电容111中储存电荷，流过电流晶体管1405的漏极电流确定为流过电流线CL_j的基准电流。

之后，SET(i,j)结束后，第i行第j列的像素的点顺序晶体管为非导通状态。

这样，第*i*行第*j*列的像素的电流源电容111保持电流晶体管1405流过基准电流时的栅极电压。以上动作1列1列地反复进行。

直到SET(*i*,1)~ SET(*i*,*x*)结束，第*i*行的全部像素的电流源电容111中保持对应流过电流线CL的基准电流的电荷。之后进入期间(2)。期间(2)结束后，
5 信号线GN_i和信号线GH_i的信号变化，第*i*行的像素的电流输入晶体管1403和电流保持晶体管1404为非导通状态。图18所示的像素结构的显示装置中，可更换电流保持晶体管1404和点顺序晶体管2404的配置。但是图18所示的像素结构的显示装置根据图19所示的定时图驱动的情况下，各像素的点顺序晶体管2404比
10 电流源电容111中保持的电荷产生影响，导通状态和非导通状态的切换少的电流保持晶体管1404连接电流源电容111的结构较好。

(实施例2)

本实施例中，是具有同一晶体管方式的电流源电路的像素结构，举出使用与实施形式2中，图12所示的结构的电流源电路不同的结构的电流源电路的像素结构的例子。
15

开始图21表示出本实施例的电流源电路的结构例子。图21中，与图12相同部分使用相同附图标记表示。本实施例也可实施例1同样通过点顺序进行像素的设定动作。

图21中，电流源电路102除电流源电容111、电流源晶体管112、电流输入晶体管203、电流保持晶体管204、电流停止晶体管205、电流线CL、信号线GN、信号线GH、信号线GS外，还具有点顺序晶体管208和点顺序线CLP。与图12不同的是追加点顺序晶体管208的部分。点顺序晶体管208为n沟道型，但由于仅作为开关动作，可以是p沟道型。
20

电流源晶体管112的栅极和电流源电容111的一个电极连接。电流源电容111的另一电极连接电流源晶体管112的源极端子。电流源晶体管112的源极端子连接电流源电路102的端子A。
25

电流源晶体管112的栅极顺序经电流保持晶体管204的源极和漏极端子之间和点顺序晶体管208的源极和漏极端子之间连接其漏极端子。电流保持晶体管204的栅极连接信号线GH。点顺序晶体管208的栅极连接点顺序线CLP。电流源晶体管112的漏极端子和电流线CL经电流输入晶体管203的源极和漏极端子之
30

间而连接。电流输入晶体管203的栅极连接信号线GN。电流源晶体管112的漏极端子经电流停止晶体管205的源极和漏极端子之间连接端子B。电流停止晶体管205的栅极连接信号线GS。

- 上述结构中，电流源晶体管112的栅极可不经电流输入晶体管203的源极・
- 5 漏极端子之间而连接电流线CL。即，点顺序晶体管208的源极端子和漏极端子的不与电流保持晶体管204的源极和漏极端子连接的侧直接连接电流线CL的结构也可。当然不限于于此，电流保持晶体管204和点顺序晶体管208连接成二者都为导通状态时，电流源晶体管112的栅极电位与电流线CL的电位相等。

- 这里可更换电流保持晶体管204和点顺序晶体管208的配置。也可为电流源
- 10 晶体管112的栅极顺序经电流保持晶体管204的源极和漏极端子之间和点顺序晶体管208的源极和漏极端子之间连接其漏极端子的结构，也可以是电流源晶体管112的栅极顺序经点顺序晶体管208的源极和漏极端子之间和电流保持晶体管204的源极和漏极端子之间连接其漏极端子的结构。

- 即，图21中对图12追加点顺序晶体管208，点顺序晶体管208串联连接电流
- 15 保持晶体管204。通过该结构，电流源电容111只要电流保持晶体管204和点顺序晶体管208二者不为导通状态就保持电荷。这样，通过追加点顺序晶体管208，并非按图12的线顺序而是按点顺序进行像素的设定动作。

- 具有图21所示的结构的电流源电路102和图13所示结构的开关部101的像素
- 20 100按 x列y行矩阵状配置的像素区域的一部分电路图在图22表示。图22中，仅代表性地表示出第i行第j列、第(i+1)行第j列、第i行第(j+1)列、第(i+1)行第(j+1)列的4像素。图21和图13相同的部分用相同附图标记表示，省略说明。

- 对应第i行、第(i+1)行的各个像素行的扫描线表示为 G_p, G_{p+1} 、删除用信号线表示为 RG_p, RG_{p+1} 、信号线GN表示为 GN_p, GN_{p+1} 、信号线GH表示为 GH_p, GH_{p+1} 、信号线GS表示为 GS_p, GS_{p+1} 。对应第j列、第(j+1)列的各个像素列的图像信号输入线
- 25 S表示为 S_p, S_{j+1} 、电源线W表示为 W_p, W_{j+1} 、电流线CL表示为 CL_p, CL_{j+1} 、布线Wco表示为 Wco_p, Wco_{j+1} 、点顺序线CLP表示为 CLP_p, CLP_{j+1} 。从像素区域外部向电流线 CL_p, CL_{j+1} 中输入基准电流。

- 发光元件106的像素电极连接端子D，对置电极被施加对置电位。图22中，表示出将发光元件的像素电极作为阳极、将对置电极作为阴极的结构。即，表
- 30 示出电流源电路的端子A连接电源线W，端子B连接开关部101的端子C的结构。

但是，在发光元件106的像素电极为阴极、对置电极为阳极的结构显示装置中，也容易应用本实施例的结构。

为确定电流线 CL_j, CL_{j+1} 流过的基准电流，用404模式地表示出在像素区域外部设置的电流源（下面叫参考电流源电路）。使用来自1个参考电流源电路404的输出电流可向各电流线 CL 流入基准电流。这样，抑制流过各电流线的电流的偏差，将流过全部电流线的电流正确地确定为基准电流。由参考电流源电路404确定的基准电流输入各电流线 $CL_1 \sim CL_x$ 的电路叫切换电路，图22中用2405表示。切换电路2405的结构例子可与实施例1中图20中表示的同样结构。因此省略切换电路2405的结构和其设定动作。

图22所示的像素结构的显示装置中，可更换电流保持晶体管204和点顺序晶体管208的配置。但是，各像素的点顺序晶体管208比电流保持晶体管204更多地进行导通状态和非导通状态的切换。因此，为不对电流源电容111中保持的电荷产生影响，导通状态、非导通状态的切换少的电流保持晶体管204连接电流源电容111的结构较好。本实施例中表示出同一晶体管方式的电流源电路的结构例子，但多栅方式的电流源电路中也可适用。即，图57（A）（B）中可与电流保持晶体管804串联地配置点顺序晶体管。

（实施例3）

本实施例中，表示出在实施形式2中图14所示的像素结构中共享电流线 CL 和信号线 S 的例子。

图51是表示图14中按每个像素共享电流线 CL 和信号线 S 的结构的电路图。图51中，与图14相同部分使用相同附图标记表示，省略说明。图51中与图14不同，电流输入晶体管203连接在信号线和电流线（图中记为 S_p, CL_j ）和电流源晶体管112的漏极端子之间。信号线和电流线（ S_p, CL_j ）从基准电流输出电路405和信号线驱动电路（未示出）输入信号。切换信号线和电流线（ S_p, CL_j ）与基准电流输出电路405的连接以及信号线和电流线（ S_p, CL_j ）与信号线驱动电路的连接。

具有图51的像素结构的显示装置的驱动方法（图像显示动作和像素的设定动作）基本上与实施形式2中使用图7、16和图40的定时图所示的方法相同。

但是，图51所示像素结构中，按每个像素共享信号线 S 和电流线 CL ，因此在向像素输入图像信号期间，即地址期间 T_a 中不能进行某行的像素的设定动作。

因此，本实施例的显示装置也使用在具有比地址期间 T_a 长的显示期间 T_s 的子帧

期间SF中设置非显示期间Tus的驱动方法。并且，在不与地址期间Ta重叠的非显示期间Tus中进行像素的设定动作。

本实施例所示的图51的结构的显示装置中，按每个像素将信号线和电流线汇总为一根。这样，与实施形式2所示的图14的结构的显示装置相比，像素具有的布线的根数减少，提高显示装置的开口率。这样，将信号线和电流线汇总为一根也可应用于另外实施形式和实施例中。

(实施例4)

本实施例中，是具有电流镜方式的电流源电路的像素结构，举出使用与实施形式1、实施例1中所示的结构的电流源电路不同的结构的电流源电路的像素结构的例子。因此主要说明与图4的不同部分。相同部分省略说明。

图38表示各像素配置的电流源电路的结构例子。图38中与图3相同部分使用相同附图标记表示。图38中，电流源电路102由电流源电容111、电流源晶体管112、电流晶体管1445、电流输入晶体管1443、电流保持晶体管1444、电流线CL、信号线GN、信号线GH构成。

15 电流源晶体管112的栅极经电流保持晶体管1444的源极和漏极端子之间连接电流晶体管1445的栅极。电流源晶体管112的栅极连接电流源电容111的一个电极。电流源电容111的另一个电极连接电流源晶体管112的源极端子和电流晶体管1445的源极端子，连接电流源电路102的端子A。电流晶体管1445的栅极和漏极端子连接。电流保持晶体管1444的栅极连接信号线GH。电流晶体管1445
20 的漏极端子和电流线CL经电流输入晶体管1443的源极和漏极端子之间而连接。电流输入晶体管1443的栅极连接信号线GN。电流源晶体管112的漏极端子连接端子B。

上述结构中，电流输入晶体管1443可配置在电流晶体管1445和端子A之间。即，电流晶体管1445的源极端子经电流输入晶体管1443源极和漏极端子之间连接端子A，电流晶体管1445的漏极端子连接电流线CL的结构也可。

这样图38和图4除电流晶体管1445的栅极和漏极端子是否串联连接以及电流源晶体管112的栅极和电流晶体管1445的栅极是否直接连接不同外，其余都相同。即，电流源电路的部分在像素的设定动作时如图61(a)所示，发光时如图61(b)所示。也就是，这样可连接布线和开关。由此，可如图70所示。

30 具有图38所示的结构的电流源电路102和图13所示结构的开关部101的像素

100按 x 列 y 行矩阵状配置的像素区域的一部分电路图在图39表示。图39中, 仅代表性地表示出第 i 行(i 是自然数)第 j 列(j 是自然数)、第 $(i+1)$ 行第 j 列、第 i 行第 $(j+1)$ 列、第 $(i+1)$ 行第 $(j+1)$ 列的4像素。图38和图13相同的部分用相同附图标记表示, 省略说明。

- 5 对应第 i 行、第 $(i+1)$ 行的各个像素行的扫描线 G 表示为 G_p, G_{p+1} 、删除用信号线表示为 RG_p, RG_{p+1} 、信号线 GN 表示为 GN_p, GN_{p+1} 、信号线 GH 表示为 GH_p, GH_{p+1} 。对应第 j 列、第 $(j+1)$ 列的各个像素列的图像信号输入线 S 表示为 S_p, S_{j+1} 、电源线 W 表示为 W_p, W_{j+1} 、电流线 CL 表示为 CL_p, CL_{j+1} 、布线 Wco 表示为 Wco_p, Wco_{j+1} 。从像素区域外部向电流线 CL_p, CL_{j+1} 中输入基准电流。发光元件106的像素电极连接端子D, 对置电极被施加对置电位。

(实施例5)

- 本实施例中, 是具有电流镜方式的电流源电路的像素结构, 举出使用与实施形式1、实施例1、实施例4不同结构的电流源电路的像素结构的例子。因此本实施例中通过在实施例4的电路追加点顺序晶体管按点顺序进行像素的设定动作。因此, 与实施例1和实施例4相同部分省略了说明。

- 图44表示各像素配置的电流源电路的结构例子。图44中与图38相同的部分使用相同附图标记表示, 省略说明。图44中, 电流源电路102除电流源电容111、电流源晶体管112、电流晶体管1445、电流输入晶体管1443、电流保持晶体管1444、电流线 CL 、信号线 GN 、信号线 GH 外, 还具有点顺序晶体管1448和点顺序线 CLP 。点顺序晶体管1448为 n 沟道型, 但由于仅作为开关动作, 可以是 p 沟道型。

- 电流源晶体管112的栅极顺序经电流保持晶体管1444的源极和漏极端子之间和点顺序晶体管1448的源极和漏极端子之间连接电流晶体管1445的栅极。电流保持晶体管1444的栅极连接信号线 GH 。点顺序晶体管1448的栅极连接点顺序线 CLP 。电流源晶体管112的栅极连接电流源电容111的另一电极。电流晶体管1445的栅极和漏极端子连接。电流源电容111的另一个电极与电流源晶体管112的源极端子和电流晶体管1445的源极端子连接, 连接电流源电路102的端子A。电流源晶体管112的漏极端子连接端子B。电流晶体管1445的漏极端子和电流线 CL 经电流输入晶体管1443的源极和漏极端子之间而连接。电流输入晶体管1443的栅极连接信号线 GN 。

这里，可更换电流保持晶体管1444和点顺序晶体管1448的配置。可以是电流晶体管1445的栅极和电流源电容111顺序经电流保持晶体管1444的源极和漏极端子之间和点顺序晶体管1448的源极和漏极端子之间连接的结构，可以是电流晶体管1445的栅极和电流源电容111顺序经点顺序晶体管1448的源极和漏极端子之间和电流保持晶体管1444的源极和漏极端子之间连接的结构。

具有图44所示的结构电流源电路102和图13所示结构的开关部101的像素100按 x 列 y 行矩阵状配置的像素区域的一部分电路图在图45表示。图45中，仅代表性地表示出第 i 行（ i 是自然数）第 j 列（ j 是自然数）、第 $(i+1)$ 行第 j 列、第 i 行第 $(j+1)$ 列、第 $(i+1)$ 行第 $(j+1)$ 列的4像素。图44和图13相同的部分用相同附图标记表示，省略说明。

对应第 i 行、第 $(i+1)$ 行的各个像素行的扫描线 G 表示为 G_p, G_{i+1} 、删除用信号线表示为 RG_p, RG_{i+1} 、信号线 GN 表示为 GN_p, GN_{i+1} 、信号线 GH 表示为 GH_p, GH_{i+1} 。对应第 j 列、第 $(j+1)$ 列的各个像素列的图像信号输入线 S 表示为 S_p, S_{j+1} 、电源线 W 表示为 W_p, W_{j+1} 、电流线 CL 表示为 CL_p, CL_{j+1} 、布线 Wco 表示为 Wco_p, Wco_{j+1} 、点顺序线 CLP 表示为 CLP_p, CLP_{j+1} 。从像素区域外部向电流线 CL_p, CL_{j+1} 中输入基准电流。发光元件106的像素电极连接端子 D ，对置电极被施加对置电位。

（实施例6）

本实施例中，是具有同一晶体管方式的电流源电路的像素结构，举出使用与实施形式2所示的结构电流源电路不同的结构的电流源电路的像素结构的例子。因此主要说明与实施形式2不同的部分。相同部分省略说明。

图41表示各像素配置的电流源电路的结构例子。图41中与图3相同部分使用相同附图标记表示。图41中，电流源电路102由电流源电容111、电流源晶体管112、电流输入晶体管1483、电流保持晶体管1484、电流基准晶体管1488、发光晶体管1486、电流线 CL 、信号线 GN 、信号线 GH 、信号线 GC 、信号线 GE 、电流基准线 SCL 构成。

图41中，表示出电流源晶体管112为 p 沟道型的例子。在电流源晶体管112为 n 沟道型的情况下也可根据图3(C)所示结构容易地应用。此时的电路图表示在图25中。电流输入晶体管1483、电流保持晶体管1484、电流基准晶体管1488、发光晶体管1486为 n 沟道型，但由于仅作为开关动作，因此可为 p 沟道型。

图41中，电流源晶体管112的栅极连接电流源电容111的一个电极。电流源

电容111的另一个电极连接电流源晶体管112的源极端子。电流源晶体管112的源极端子经发光晶体管1486的源极和漏极端子间连接电流源电路102的端子A。

5 电流源晶体管112的栅极和漏极端子经电流保持晶体管1484的源极和漏极端子间连接。电流保持晶体管1484的栅极连接信号线GH。电流源晶体管112的漏极端子和电流基准线SCL经电流基准晶体管1488的源极和漏极端子间连接。电流基准晶体管1488的栅极连接信号线GC。电流源晶体管112的源极端子和电流线CL经电流输入晶体管1483的源极和漏极端子之间连接。电流输入晶体管1483的栅极连接信号线GN。电流源晶体管112的漏极端子连接端子B。

10 上述结构中，电流保持晶体管1484的源极端子和漏极端子的不与电流源晶体管112的栅极连接的那侧直接连接电流基准线SCL的结构也可。但不限于此，电流保持晶体管1484连接成在其为导通状态时电流源晶体管112的栅极电位与电流基准线SCL的电位相等。

即，如图65所示，像素的设定动作时如图65(a)所示，图像显示时如图65(b)所示。即，这样，可连接布线和开关。因此可为图71所示。

15 可以是电流源晶体管112和端子B经新的晶体管（这里叫电流停止晶体管）连接的结构。该晶体管在电流基准晶体管1488为导通状态时为非导通状态，在其为非导通状态时变为导通状态。或者省略电流基准晶体管1488和电流基准线SCL。此时，像素的设定动作时通过端子B向发光元件106流过电流。

20 接着说明本实施例的开关部的结构。作为开关部的结构，为与实施形式1中图13等所示同样的结构，省略说明。但是删除晶体管304可兼用作其他晶体管，例如发光晶体管1486和电流停止晶体管等。

25 具有图41所示的结构的电流源电路102和图13所示结构的开关部101的像素100按矩阵状配置的像素区域的一部分电路图在图42表示。本发明中，图1中可更换电流源电路和开关部的连接。即，电源线和开关部101连接，其上再连接电流源电路102。因此如图41所示，不仅是电源线—电流源电路—开关部—发光元件的连接方法，还有例如电源线—开关部—电流源电路—发光元件的连接方法。

30 图42中，仅代表性地表示出第i行第j列、第(i+1)行第j列、第i行第(j+1)列、第(i+1)行第(j+1)列像素的4个像素。图41和图13相同的部分用相同附图标记表示，省略说明。对应第i行、第(i+1)行的各个像素行的扫描线G表示为 G_i, G_{i+1} 、删除

用信号线表示为 RG_j, RG_{j+1} 、信号线GN表示为 GN_j, GN_{j+1} 、信号线GH表示为 GH_j, GH_{j+1} 、信号线GC表示为 GC_j, GC_{j+1} 、信号线GE表示为 GE_j, GE_{j+1} 。对应第j列、第(j+1)列的各个像素列的图像信号输入线S表示为 S_j, S_{j+1} 、电源线W表示为 W_j, W_{j+1} 、电流线CL表示为 CL_j, CL_{j+1} 、电流基准线SCL表示为 SCL_j, SCL_{j+1} 、布线Wco表示为 Wco_j, Wco_{j+1} 。从像素区域外部向电流线 CL_j, CL_{j+1} 中输入基准电流。

发光元件106的像素电极连接端子D，对置电极被施加对置电位。图42中，表示出将发光元件的像素电极作为阳极、将对置电极作为阴极的结构。即，表示出电流源电路的端子A连接电源线W，端子B连接开关部101的端子C的结构。但是，在发光元件106的像素电极为阴极、对置电极为阳极的结构的显示装置中，也容易应用本实施例的结构。

图42中，驱动晶体管302仅用作开关功能，因此n沟道型和p沟道型都无所谓。但是，驱动晶体管302最好在其源极端子的电位被固定的状态下动作。因此如图42所示的发光元件106的像素电极为阳极、对置电极为阴极的结构中，驱动晶体管302最好为p沟道型。另一方面，发光元件106的像素电极为阴极、对置电极为阳极的结构中，驱动晶体管302最好为n沟道型。图42中，由于各像素的布线Wco和电源线W可保持在相同电位，因此可共用。不同的像素间的布线Wco之间、电源线W之间、布线Wco和电源线W都可共用。

电流基准线SCL通过与信号线和扫描线这种其他布线共用可省略。此时，用本身行的布线、另外的行的布线哪个都可以。即，在不用作电流基准线SCL（像素的设定动作不进行时）时，例如输入脉冲信号的布线，用作电流基准线SCL时（进行像素的设定动作）若为位于某一定电位的布线，则哪个布线都可共用。

图76,77表示出具有上述结构的开关部和电流源电路的像素中共用各布线的具体例子。图76 (A) ~ (D)和图77 (A) ~ (D)中，信号线GN和信号线GC共用，布线Wco和电源线W共用。发光晶体管1486通过使用删除晶体管304而被省略。尤其图76 (A) 中，电流保持晶体管1484的源极端子或漏极端子中，不连接电流源电容111的一个电极的侧直接连接电流基准线SCL。删除晶体管304串联连接电流源晶体管112和驱动晶体管302。图76 (C) 中，与图76 (A) 所示结构不同的是电流基准晶体管1488和电流输入晶体管1483的极性。信号线GH、信号线GC和信号线GN也共用。图76 (D) 中，为电源线W顺序经开关部101、电

流源电路102连接发光元件106的结构。图77(A)中, 电流源晶体管112是n沟道型。图77(B)中, 电流源晶体管112是n沟道型, 电流保持晶体管1484的源极端子或漏极端子中, 不连接电流源电容111的一个电极的侧直接连接电流线CL。图77(C)中, 与图77(B)所示结构不同的是电流基准晶体管1488和

5 电流输入晶体管1483的极性。信号线GH、信号线GC和信号线GN也共用。图77(D)中, 替代电流基准线SCL, 使用前一条的扫描线 G_{i-1} 。这样, 可对布线共用、晶体管的共用、极性、位置、开关部与电流源电路的位置、开关部和电流源电路的结构等进行各种变化, 另外, 通过改变组合方式容易实现各种电路。因此不限于图76,77的电路例子, 可构成各种电路。

10 关于基准电流输出电路405和参照电流源电路404与实施形式1中说明的同样。因此省略说明。

说明具有图42所示结构的像素的显示装置的驱动方法。关于图像显示动作与实施形式1中使用图7说明的相同。不同的是发光晶体管1486、电流输入晶体管1483和电流基准晶体管1488的动作。

15 点亮期间中发光晶体管1486为导通状态、电流输入晶体管1483为非导通状态。对像素的设定期间中, 发光晶体管1486变为非导通状态、电流输入晶体管1483为导通状态。非点亮期间中(其中对像素的设定期间), 电流输入晶体管1483为非导通状态, 发光晶体管1486任何状态都可以。发光晶体管1486兼用作删除晶体管, 可将发光晶体管1486设为非导通状态。并且, 电流基准晶体管1488存在的情况下, 点亮期间中电流基准晶体管1488需要为非导通状态。其理由是向

20 电流基准线SCL流过电流, 流向发光元件的电流变化了。

非点亮期间中电流基准晶体管1488的状态导通与不导通均可。但是, 通过调整电流基准线SCL和发光元件106的对置电极的电压, 向发光元件106施加反偏置电压。

25 电流源晶体管112和端子B间插入新的晶体管(这里叫电流停止晶体管)的情况下, 点亮期间中需要电流停止晶体管为导通状态。其原因是若为非导通状态, 则不向发光元件106流入电流。像素的设定期间中电流停止晶体管为非导通状态。非点亮期间中电流停止晶体管虽然可导通或不导通, 但通过设为非导通状态, 则可兼用作删除晶体管。除了上面一点, 与实施形式1同样。

30 接着说明像素的设定动作。其与实施形式2基本相同。例如, 对第i行的像

素进行设定动作。向电流线CL流过基准电流 I_0 。由于电流输入晶体管1483、电流源晶体管112、电流基准晶体管1488为导通状态，因此基准电流 I_0 经其流过电流线CL和电流基准线SCL之间。此时，发光晶体管1486为非导通状态。通过端子B先变为不流过电流的状态。或者有电流停止晶体管的情况下，其为非导通状态，并不从端子B先流过电流的状态。这样，向电流源晶体管112流入基准电流 I_0 。电流源晶体管112的栅极和漏极端子经为导通状态的电流保持晶体管1484连接。因此，电流源晶体管112在栅极和源极间电压（栅极电压）与源极和漏极间电压相等的状态，即饱和区域动作，流过漏极电流。流过电流源晶体管112的漏极电流确定为流过电流线CL_i的基准电流 I_0 。这样，电流源电容111保持电流源晶体管112流过基准电流 I_0 时的栅极电压。

没有电流基准线SCL和电流基准晶体管1488的情况下， I_0 从端子B先流过。因此，此时，向发光元件106流过。长时间流动时，对亮度产生影响，因此是不希望的。 I_0 流向发光元件106时，为了发光元件106的电位变化而需要很多时间。其结果是像素的设定动作也占用很多时间。

15 电流源电容111结束保持流向电流线CL的基准电流 I_0 对应的电荷时，信号线GH_i的信号变化，电流保持晶体管1484为非导通状态。由此，像素的电流源电容111中保持电荷。之后，信号线GN_i和信号线GC_i的信号变化，第i行的像素的电流输入晶体管1483和电流基准晶体管1488为非导通状态。这样，第i行的像素的电流源晶体管112仍保持栅极电压，切断电流线CL和电流基准线SCL的连接。同时，信号线GE_i的信号变化，发光晶体管1486为导通状态。

20 这样进行第i行的各像素的设定动作。随后，在各像素的电流源电路102中在端子A和端子B之间施加电压时，在电流源晶体管112的源极和漏极之间流过基准电流（像素基准电流）。

图42所示的像素部的结构中，信号线GN、信号线GH、信号线GC、信号线GE、扫描线G、删除用信号线RG等考虑驱动的定时等可共用。例如，共用信号线GH_i和信号线GN_i。此时，电流输入晶体管1483为非导通状态的定时和电流保持晶体管1484为非导通状态的定时完全相同，在像素的设定动作中没有问题。

30 作为另外一个例子，可共用信号线GE_i和信号线GN_i。此时，使用与电流输入晶体管1483的极性不同极性的发光晶体管1486。这样，在向电流输入晶体

管1483的栅极和发光晶体管1486的栅极中输入相同信号时，一个晶体管为导通状态，另一个晶体管为非导通状态。追加电流停止晶体管的情况下，其与基准电流晶体管1488的极性互逆，通过连接栅极之间可共用布线。

(实施例7)

- 5 叙述多栅方式2的电流源电路。说明中参照图58。图58(A)中与图3相同部分使用相同附图标记表示。

说明多栅方式2的电流源电路的构成要素。多栅方式2的电流源电路具有电流源晶体管112和发光晶体管886。具有用作开关的电流输入晶体管883、电流保持晶体管884、电流基准晶体管888。这里，电流源晶体管112、发光晶体管886、电流输入晶体管883、电流保持晶体管884、电流基准晶体管888可以是p沟道型或n沟道型。但是，需要电流源晶体管112和发光晶体管886极性相同。这里，表示出电流源晶体管112和发光晶体管886为n沟道型的例子。希望电流源晶体管112和发光晶体管886的电流特性相等。另外，具有保持电流源晶体管112的栅极电位的电流源电容111。具有向电流输入晶体管883的栅极输入信号的信号线GN和向电流保持晶体管884的栅极输入信号的信号线GH。而且，具有输入控制信号的电流线CL和保持在一定电位的电流基准线SCL。电流源电容111通过利用晶体管的栅极电容等可省略。

说明这些构成要素的连接关系。电流源晶体管112的源极端子连接端子B。电流源晶体管112的源极端子经电流基准晶体管888连接电流基准线SCL。电流源晶体管112的漏极端子连接发光晶体管886的源极端子。电流源晶体管112的漏极端子经电流输入晶体管883连接电流线CL。电流源晶体管112的栅极和源极端子经电流源电容111连接。电流源晶体管112的栅极和发光晶体管886的栅极连接，经电流保持晶体管884连接电流线CL。发光晶体管886的漏极端子连接端子A。

- 25 图58(A)中，也可改变电流保持晶体管884的配置，构成图58(B)所示电路结构。图58(B)中，电流保持晶体管884连接在电流源晶体管112的栅极和漏极端子之间。

接着，说明上述多栅方式2的电流源电路的设定方法。图58(A)和图58(B)中，其设定动作相同。这里以图58(A)所示电路为例说明其设定动作。说明中使用图58(C)~图58(F)。多栅方式2的电流源电路中，顺序经图58(

C)~图58(F)的状态进行设定动作。为说明简单,将电流输入晶体管883、电流保持晶体管884、电流基准晶体管888表示为开关。这里,表示出设定电流源电路的控制信号为控制电流的例子。图中,用粗箭头表示流过电流的路径。

图58(C)所示的期间TD1中,电流输入晶体管883、电流保持晶体管884、
5 电流基准晶体管888为非导通状态。此时,发光晶体管886为非导通状态。这是因为通过导通状态的电流保持晶体管884和电流输入晶体管883将发光晶体管886的源极端子和栅极的电位保持相等。即,如果将源极和栅极间电压为零时为非导通状态的晶体管用于发光晶体管886,则期间TD1中可自动将发光晶体管886设为非导通状态。这样,通过从图示的路径流过电流,在电流源电容111
10 中保持电荷。

图58(D)所示的期间TD2中,由于保持的电荷,电流源晶体管112的源极和栅极间电压为阈值电压以上。这样,向电流源晶体管112流过漏极电流。

图58(E)所示的期间TD3中,时间充分经过后变为恒定状态时,电流源晶体管112的漏极电流确定为控制电流。这样,在电流源电容111中保持控制电
15 流为漏极电流时的栅极电压。之后,电流保持晶体管884为非导通状态时,电流源电容111中保持的电荷也分配到发光晶体管886的栅极。如此,电流保持晶体管884为非导通状态的同时,发光晶体管886自动为导通状态。

图58(F)所示期间TD4中,电流基准晶体管888和电流输入晶体管883为非导通状态。这样,像素中不输入控制电流。电流保持晶体管884为非导通状
20 态的定时相对电流输入晶体管883为非导通状态的定时提前或同时较好。这是因为不使电流源电容111中保持的电荷放电。期间TD4以后施加端子A和端子B之间的电压的情况下,经电流源晶体管112和发光晶体管886输出一定电流。即,电流源电路102输出控制电流时,电流源晶体管112和发光晶体管886像1个多栅型晶体管一样发生作用。因此,对于输入的控制电流,可将输出的一定电流值
25 设定得小。因此,可加速电流源电路的设定动作。因此,需要发光晶体管886和电流源晶体管112的极性相同。希望发光晶体管886和电流源晶体管112的电流特性相同。这是由于具有多栅方式2的各电流源电路102中,发光晶体管886和电流源晶体管112的特性不一致的情况下,输出电流产生偏差。

多栅方式2的电流源电路中,也可使用输入控制电流的变换为对应的栅极
30 电压的晶体管(电流源晶体管112)输出来自电流源电路102的电流。电流镜方

式的电流源电路中，输入控制电流的变换为对应的栅极电压的晶体管（电流晶体管）和将该栅极电压变换为漏极电流的晶体管（电流源晶体管）完全不同。因此，与电流镜方式的电流源电路相比，降低晶体管的电流特性偏差对电流源电路102的输出电流的影响。

- 5 设定动作时的期间TD1~期间TD3中向端子B流过电流的情况下，不需要电流基准线SCL和电流基准晶体管888。或者电流基准线SCL通过与扫描线这种不同的布线共用可去掉。此时用自身行的布线和其他行的布线都可以。即，不用作电流基准线SCL时（不进行像素的设定动作时）例如输入脉冲信号的布线，用作电流基准线SCL时（进行像素的设定动作）若为位于某一定电位的布线，
- 10 则哪个布线都可共用。

- 多栅方式2的电流源电路的各信号线可共用。例如，电流输入晶体管883和电流保持晶体管884按相同定时切换导通状态、非导通状态，则动作上没有问题。因此，电流输入晶体管883和电流保持晶体管884极性相同，可共用信号线GH和信号线GN。电流基准晶体管888和电流输入晶体管883按相同定时切换
- 15 导通状态和非导通状态，则动作上没有问题。因此，将电流基准晶体管888和电流输入晶体管883极性设为相同，则可共用信号线GN和信号线GC。

- 多栅方式2中，电流源电路的部分在像素的设定动作时为图64（a）所示，发光时如图64（b）所示。即这样，可连接布线和开关部。因此，也可如图69那样。图75表示具有上述结构的开关部和电流源电路的像素中各布线共用的具体例子。图75（A）~75(D)中信号线GN和信号线GC共用，布线Wco和电源线W共用。尤其图75（A）中，电流保持晶体管884的源极端子或漏极端子中，将不与电流源电容111的一个电极连接的侧直接连接电流线CL。删除晶体管304串联连接电流源晶体管112和驱动晶体管302。图75（B）中，在选择电流源晶体管112的源极端子和驱动晶体管302的源极端子或漏极端子的连接的位置上连接
- 20 删除晶体管304。图75（C）与图75（B）所示结构不同的是电流基准晶体管888和电流输入晶体管883的极性。信号线GH也与信号线GC和信号线GN共用。图75（D）中，为电源线W顺序经开关部101、电流源电路102连接发光元件106的结构。通过调节电流基准线SCL的电位在电流基准晶体管888接通时向发光元件106施加反偏置电压。这样，布线共用、晶体管的共用、极性、位置、开关部
- 25 与电流源电路的位置、开关部和电流源电路的结构等可进行各种变化，另外，
- 30

通过改变组合方式容易实现各种电路。

实施形式1所示的电流镜方式的电流源电路中，输入发光元件的信号是按规定倍率增减输入像素的控制电流的电流。因此，可将控制电流设定得大到一定程度。从而加快进行各像素的电流源电路的设定动作。但是，构成电流源电路具有的电流镜面电路的晶体管的电流特性有偏差时，出现图像显示有偏差的问题。

另一方面，同一晶体管方式的电流源电路中，输入发光元件的信号与输入像素的控制电流的电流值相等。同一晶体管方式的电流源电路中，输入控制电流的晶体管和向发光元件输出电流的晶体管相同。因此，晶体管的电流特性偏差带来的图像的不均被降低。

与此不同，多栅方式的电流源电路中，输入发光元件的信号是按规定倍率增减输入像素的控制电流的电流。因此，可将控制电流设定得大到一定程度。由此，加快进行各像素的电流源电路的设定动作。输入控制电流的晶体管和向发光元件输出电流的晶体管部分共用。因此与电流镜方式的电流源电路相比，晶体管的电流特性偏差带来的图像的不均被降低。

接着在下面表示多栅方式的电流源电路的情况下的设定动作和开关部的动作的关联。多栅方式的电流源电路的情况下，输入控制电流期间，不能输出一定电流。因此，开关部的动作和电流源电路的设定动作需要同步进行。例如，可在开关部为关状态的情况下，进行电流源电路的设定动作。即，与同一晶体管方式大致相同。因此，图像显示动作（开关部的驱动动作）和电流源电路的设定动作（像素的设定动作）也与同一晶体管方式大致相同，省略说明。

（实施例8）

本实施例中，为具有同一晶体管方式的电流源电路的像素结构，说明使实施例6所述的电路可按点顺序的情况。因此重复部分的说明从略。

图47表示各像素配置的电流源电路的结构例子。图47中与图41相同的部分使用相同附图标记表示，省略说明。图47中，电流源电路102除电流源电容111、电流源晶体管112、电流输入晶体管1483、电流保持晶体管1484、电流基准晶体管1488、发光晶体管1486、电流线CL、信号线GN、信号线GH、信号线GC、信号线GE、电流基准线SCL外，还具有点顺序晶体管1490和点顺序线CLP。点顺序晶体管1490为n沟道型，但由于仅作为开关动作，可以是p沟道型。

电流源晶体管112的栅极连接电流源电容111的一个电极。电流源电容111的另一个电极与电流源晶体管112的源极端子连接，电流源晶体管112的源极端子经发光晶体管1486的源极和漏极端子之间连接电流源电路102的端子A。

5 电流源晶体管112的栅极顺序经电流保持晶体管1484的源极和漏极端子之间和点顺序晶体管1490的源极和漏极端子之间连接其漏极端子。电流保持晶体管1484的栅极连接信号线GH。点顺序晶体管1490的栅极连接点顺序线CLP。电流源晶体管112的漏极端子和电流基准线SCL经电流基准晶体管1488的源极和漏极端子之间连接。电流基准晶体管1488的栅极连接信号线GC。电流源晶体管112的源极端子和电流线CL经电流输入晶体管1483的源极·漏极端子之间连接。
10 接。电流输入晶体管1483的栅极连接信号线GN。电流源晶体管112的漏极端子连接端子B。

上述结构中，点顺序晶体管1490的源极端子和漏极端子的不连接电流保持晶体管1484的源极和漏极端子侧直接连接电流基准线SCL的结构也可当然不限于此，可连接成电流保持晶体管1484和点顺序晶体管1490在二者都为导通状态时，
15 电流源晶体管112的栅极电位与电流基准线SCL的电位相等。

可更换电流保持晶体管1484和点顺序晶体管1490的配置。电流源电容111顺序经电流保持晶体管1484的源极和漏极端子之间和点顺序晶体管1490的源极和漏极端子之间连接电流源晶体管112的漏极端子的结构也可，电流源电容111顺序经点顺序晶体管1490的源极和漏极端子之间和电流保持晶体管1484的源极
20 和漏极端子之间连接电流源晶体管112的漏极端子的结构也可。

具有图47所示的结构的电流源电路102和图13所示结构的开关部101的像素100按 x列y行矩阵状配置的像素区域的一部分电路图在图48表示。图48中，仅代表性地表示出第i行第j列、第(i+1)行第j列、第i行第(j+1)列、第(i+1)行第(j+1)列的4像素。与图41和图13相同的部分用相同附图标记表示，省略说明。

25 对应第i行、第(i+1)行的各个像素行的扫描线G表示为 G_p, G_{i+1} 、删除用信号线表示为 RG_p, RG_{i+1} 、信号线GN表示为 GN_p, GN_{i+1} 、信号线GH表示为 GH_p, GH_{i+1} 、信号线GC表示为 GC_p, GC_{i+1} 、信号线GE表示为 GE_p, GE_{i+1} 。对应第j列、第(j+1)列的各个像素列的图像信号输入线S表示为 S_j, S_{j+1} 、电源线W表示为 W_j, W_{j+1} 、电流
30 线CL表示为 CL_p, CL_{j+1} 、电流基准线SCL表示为 SCL_p, SCL_{j+1} 、布线Wco表示为 Wco_p, Wco_{j+1} 、点顺序线CLP表示为 CLP_p, CLP_{j+1} 。从像素区域外部向电流线 CL_p, CL_{j+1} 中

输入基准电流。106为发光元件。发光元件106的像素电极连接端子D，对置电极被施加对置电位。本实施例中，表示出同一晶体管方式的电流源电路的结构例子，但可适用于多栅方式的电流源电路中。即图58（A）（B）中，可与电流保持晶体管884串联配置点顺序晶体管。

5 （实施例9）

本实施例中，关于实施形式2中图14所示的像素结构，表示出各像素的电流源晶体管112为n沟道型的例子。这里，表示出发光元件106的像素电极为阳极、对置电极为阴极的例子。因此，与实施形式2重复的部分说明从略。

图52表示本实施例的像素结构的电路图。图52中，与图14相同的部分使用
10 相同附图标记表示。图52中，电流源电路102由电流源电容111、电流源晶体管112、电流输入晶体管203、电流保持晶体管204、电流停止晶体管205、电流线CL、信号线GN、信号线GH、信号线GS构成。

电流源晶体管112的栅极和电流源电容111的一个电极连接。电流源电容111的另一个电极与电流源晶体管112的源极端子连接。电流源晶体管112的源极端
15 子经电流停止晶体管205连接电流源电路102的端子B。电流停止晶体管205的栅极连接信号线GS。

电流源晶体管112的栅极和漏极端子经电流保持晶体管204的源极和漏极端子之间而连接。电流保持晶体管204的栅极连接信号线GH。电流源晶体管112的源极端子和电流线CL经电流输入晶体管203的源极和漏极端子之间连接。电
20 流输入晶体管203的栅极连接信号线GN。电流源晶体管112的漏极端子连接端子A。

此时，如图3说明的那样，可变更电流源电容111的连接端。即不能通过对像素的设定动作获知电流源电容111保持的 V_{gs} 和实际发光时的 V_{gs} 。因此，作为一个例子，可在电流源晶体管112的栅极和源极端子之间连接电流源电容111。
25 即电流源电路一部分在像素的设定动作时如图66（a）所示，在发光时如图66（b）所示。

图52中开关部101与实施形式1中图13所示的结构大致相同，但表示出驱动晶体管302也用n沟道型构成的例子。这样本实施例中图52所示的结构的像素中，构成像素的晶体管全部为n沟道型。如此，如果用单极性的晶体管构成电路，
30 则可节省制作晶体管的工序，降低成本。

本实施例可和与其他实施形式和实施例自由组合来实施。

(实施例10)

本实施例中，表示出在实施形式1中图5所示的像素结构中用多个像素共用在各像素配置的电流晶体管1405的例子。

- 5 图53是表示本实施例的像素结构的电路图。图53中与图5相同部分用相同附图标记表示，说明从略。图53中共用第*i*行第*j*列的像素和第(*i*+1)行第*j*列的像素的电流晶体管1405。共用第*i*行第(*j*+1)列的像素和第(*i*+1)行第(*j*+1)列的像素的电流晶体管1405。

- 图53中，表示出2个像素共用的电流晶体管1405的例子。不限于于此，一般地可由多个像素共用电流晶体管1405。通过上述结构，每个像素配置的晶体管数和信号线数可减少。这样得到开口率高的显示装置。
- 10

本实施例可和与其他实施形式和实施例自由组合来实施。

(实施例11)

- 本实施例中向本发明的显示装置的像素输入信号。表示驱动电路的构成例子。图54是表示信号线驱动电路的结构的框图。图54中信号线驱动电路5400由移位寄存器5401、第一锁存电路5402、第二锁存电路5403构成。根据移位寄存器5401输出的采样脉冲，第一锁存电路5402保持图像信号VD。这里，输入第一锁存电路5402的图像信号VD是为按时分灰度等级方式显示输入显示装置的数字视频信号而加工了的信号。输入显示装置的数字视频信号由时分灰度等级图像信号处理电路5410变换为图像信号VD，输入信号线驱动电路5400的第一锁存电路5402。在第一锁存电路5402中保持1水平期间大小的图像信号VD时，向第二锁存电路5403输入锁存脉冲LP。这样，第二锁存电路5403一起保持1水平期间大小的图像信号VD，同时输出到各像素的图像信号输入线S。
- 15
- 20

- 下面图55表示出信号线驱动电路5400的结构例子。图55中，与图54相同的部分使用相同附图标记表示。这里图55中，仅代表性表示出对应第一列的图像信号输入线S₁的第一锁存电路5402的一部分5402a、第二锁存电路5403的一部分5403a。移位寄存器5401由多个计时反相器、反相器、开关、NAND电路构成。移位寄存器5401中输入时钟脉冲S_CLK和时钟脉冲S_CLK的极性反转的反转时钟脉冲S_CLKB、开始脉冲S_SP、扫描方向切换信号L/R。这样，移位寄存器5401从多个NAND电路顺序输出移位的脉冲（采样脉冲）。移位寄存器
- 25
- 30

5401输出的采样脉冲输入的第一锁存电路5402a中。输入采样脉冲时，第一锁存电路5402a保持图像信号VD。第一锁存电路5402如果保持输入全部的图像信号输入线S的图像信号（1个水平期间大小的图像信号）VD，则向第二锁存电路5403输入锁存脉冲LP和锁存脉冲LP的极性被反转的反转锁存脉冲LPB。这样，

5 第二锁存电路5403一起向全部的图像信号输入线S输出图像信号VD。

图56是表示扫描线驱动电路的构成例子的电路图。图56中，扫描线驱动电路3610具有由多个时钟反相器、反相器、开关、NAND电路构成的移位寄存器3601。移位寄存器3601中输入时钟脉冲G_CLK和时钟脉冲G_CLK的极性反转的反转时钟脉冲G_CLKB、开始脉冲G_SP、扫描方向切换信号U/D。这样，移
10 位寄存器3601从多个NAND电路顺序输出移位的脉冲（采样脉冲）。采样脉冲经缓冲器输出到扫描线G。这样向扫描线G输入信号。

本实施例中，为信号线驱动电路和扫描线驱动电路具有移位寄存器的结构，但可使用解码器等。作为本发明的显示装置的驱动电路，可自由使用公知结构的驱动电路。

15 （实施例12）

本实施例中表示用时间灰度等级方式进行显示动作的情况下的像素的设定动作的一个例子。

复位期间，顺序选择各像素行，开始非显示期间。这里，以与顺序选择扫描线的频率相同的频率进行各像素行的设定动作。例如，关注使用图13所示结构的开关部的情况。以与顺序选择扫描线G和删除用信号线RG的频率相同的频率选择各像素行进行像素的设定动作。其中，在1行大小的选择期间的长度下，
20 难以充分进行像素的设定动作。此时，使用多行大小的选择期间，充分进行像素的设定动作。充分进行像素的设定动作表示向电流源电路具有的电流源电容储存规定电荷的动作长时间进行。

25 这样，使用多行大小的选择期间并且使用与复位期间的选择删除用信号线RG等的频率相同的频率进行各行的选择，因此可不按顺序地选择行。从而，为进行全部行的像素的设定动作，需要在多个非显示期间进行设定动作。

接着详细说明使用上述方法时的显示装置的结构和驱动方法。首先，使用与选择多条扫描线的期间相同长度的期间使用图59说明进行1行的像素的设定
30 动作的驱动方法。图59中将选择10条扫描线期间进行1行像素的设定动作的定

时作为例子表示。

图59 (A) 中, 表示各帧期间的各行的动作。与实施形式1中图7所示定时图相同的部分使用相同附图标记表示, 说明从略。这里, 表示出将1帧期间分割为3个子帧期间 $SF_1 \sim SF_3$ 的例子。为在子帧期间 SF_2 和 SF_3 中分别设置非显示期间 Tus 的结构。非显示期间 Tus 中进行像素的设定动作(图中的期间A和期间B)。

接着详细说明期间A和期间B的动作。说明中使用图59 (B)。图中, 进行像素的设定动作的期间用选择信号线GN的期间表示。一般地, 第 i 行(i 是自然数)的像素的信号线GN用 GN_i 表示。首先, 第一帧期间 F_1 的期间A中不按顺序地选择 $GN_1, GN_{11}, GN_{21}, \dots$ 。这样, 进行第1行、第11行、第21行...的像素的设定动作(期间1)。接着在第一帧期间 F_1 的期间B中选择 $GN_2, GN_{12}, GN_{22}, \dots$ 。这样进行第2行、第12行、第22行...的像素的设定动作(期间2)。将上述动作反复5帧期间一气进行全部像素的设定动作。

这里将可用于1行的像素的设定动作的期间表示为 Tc 。使用上述驱动方法时, 可将 Tc 设为扫描线G的选择期间的10倍。这样, 可加长用于每个像素的设定动作的时间, 可有效正确地进行像素的设定动作。在一气的设定动作不充分的情况下, 可反复数次上述动作。这样, 可慢慢进行像素的设定动作。

接着说明使用上述驱动方法时的驱动电路的结构。说明中使用图60。图60中表示出向信号线GN输入信号的驱动电路。但是, 关于向电流源电路具有的其他信号线输入的信号也同样。用于进行像素的设定动作的驱动电路的结构举出两个例子。

第一个例子是通过切换信号切换移位寄存器的输出向信号线GN输出的结构的驱动电路。该驱动电路(设定动作驱动电路)的结构例子在图60 (A) 中表示。设定动作驱动电路5801由移位寄存器5802、AND电路、反相器电路(INV)等构成。这里, 表示出在移位寄存器5802的脉冲输出期间的4倍期间中选择1条信号线GN的结构的驱动电路。说明设定动作驱动电路5801的动作。移位寄存器5802的输出通过切换信号5803选择, 经AND电路输出到信号线GN。

第二个例子是通过移位寄存器的输出锁存选择特定行的信号的结构的驱动电路。该驱动电路(设定动作驱动电路)的结构例子在图60 (B) 中表示。设定动作驱动电路5811具有移位寄存器5812、锁存1电路5813、锁存2电路5814。

说明设定动作驱动电路5811的动作。通过移位寄存器5812的输出, 锁存1

电路5813顺序保持行选择信号5815。这里，行选择信号5815是选择任意行的信号。锁存1电路5813保持的信号通过锁存信号5816输送到锁存2电路5814。这样，信号输入特定信号线GN中。如此，非显示期间可进行电流源电路的设定动作。

- 即便显示期间中在电流镜方式的电流源电路的情况下可进行设定动作。同一晶体管方式的电流源电路和多栅方式的电流源电路中可使用暂时中断显示期间，进行电流源电路的设定动作，之后，再开始显示期间的驱动方法。

本实施形式可与实施形式1～实施形式3、实施例1～实施例11自由组合来实施。

(实施例13)

- 10 本实施例中，关于像素的设定动作，说明与其他实施例不同的方法。实施形式1等中1行1行地选择像素，进行像素的设定动作。或者选择分散的行，进行像素的设定动作。任一情况下，进行某行的像素的设定动作期间，不同时对另外的行的像素进行设定动作。本实施例中，说明与上述方法不同的像素的设定动作的方法。即，某瞬间，也可使用1条电流线同时对多个像素进行像素的
- 15 设定动作。此时，各像素的电流源电路中流过由多个像素的电流源电路平均化的电流。因此，输入电流的多个像素间，这些像素的电流源电路的特性偏差时，设定为受该偏差的影响、流过各像素的电流源电路的电流值出现偏差。但是，多个像素同时进行像素的设定动作时，与1条电流线连接的像素大小中，需要增大向该电流线流入的电流的值。这样，由于流过电流线的电流值增大，故可
- 20 快速进行像素的设定动作。此时，可使同时进行像素的设定动作的行重复进行。例如，像第一行和第二行同时进行，第二行和第三行同时进行，第三行和第四行同时进行这样重复。

- 同时进行像素的设定动作的行可按每一任意时间变更。例如某时刻，伪行和第一行同时进行，第二行和第三行同时进行、第四行和第五行同时进行，而
- 25 另外的时刻第一行和第二行同时进行，第三行和第四行同时进行，第五行和第六行同时进行也可。通过该方法可在时间上平均特性偏差。

本实施例所示的像素的设定动作的方法不依赖于电流源电路的结构，故可适用于全部的结构中。

(实施例14)

- 30 本实施例中，关于电流线，叙述与其他实施例不同的结构。

除去实施例13之外的实施例中，在1列的像素中配置1条电流线。此时，仅同时对连接1条电流线的1个像素进行设定动作，但在1列像素中可设置多条电流线。

例如第一条电流线上连接偶数行的像素，第二条电流线上连接奇数行的像素。这样，通过偶数行和奇数行同时进行2行像素的设定动作。因此，1像素大小的像素的设定动作进行的期间加长，或者全部像素的像素的设定动作进行的期间缩短。

此外，将画面分为多个区域，仅在该区域的像素上连接电流线。其结果是同时对多行像素进行像素的设定动作。这样，1像素大小的像素的设定动作进行的期间加长，或者全部像素的像素的设定动作进行的期间缩短。

例如将画面分为2个，上半部分配置与其上配置的基准电流输出电路连接的电流线。下半部分配置与其下配置的基准电流输出电路连接的电流线。上半部分的像素上配置的电流线和下半部分的像素上配置的电流线不连接。其结果是用上半部分的像素和下半部分的像素同时进行像素的设定动作。

本实施例不依赖于电流源的电路结构，因此可适用于全部的结构。

（实施例15）

本实施例中，在图78表示实施形式2中实际制作图73（A）所示的结构的像素的例子。图78（A）表示实际制作像素时的俯视图。图78（B）表示与图78（A）对应的电路图。与图73（A）相同的部分使用相同附图标记表示，说明从略。图78（A）中作为发光元件106，仅表示出像素电极。图78中，删除晶体管304、电流保持晶体管204和电流输入晶体管203分别由双栅型的晶体管形成。

（实施例16）

本实施例中，在图79表示出具有实施形式3中图57（A）、图57（B）所示结构的电流源电路的像素的制作例子。图79（A）中表示像素的俯视图。图79（B）表示与此对应的等效电路图。与图74相同的部分使用相同附图标记表示，说明从略。图79中，与图74（A）不同，删除晶体管304与保持电容303并联连接。电流停止晶体管805的源极端子或漏极端子中不与驱动晶体管302的源极端子或漏极端子连接的侧与电源线W直接连接。

（实施例17）

本实施例中，在本发明的显示装置中，说明了向各像素输入控制电流的驱动电路的结构。向各像素输入的控制电路偏差时，各像素的电流源电路输出的电流的电流值也偏差。因此，需要向各电流线输出基本一定的控制电流的结构的驱动电路。下面表示这种驱动电路的例子。可使用例如日本特愿2001-333462号、特愿2001-333466号、特愿2001-333470号、特愿2001-335917号或特愿2001-335918号所示结构的信号线驱动电路。即，将该信号线驱动电路的输出电流作为控制电流输入各像素。本发明的显示装置中，通过适用上述的信号线驱动电路，可向各像素中输入基本一定的控制电流。这样，可进一步降低图像的亮度的偏差。

10 本实施例可与其他实施形式和实施例自由组合来实施。

(实施例18)

本实施例中，说明应用本发明的显示系统。这里显示系统包含存储向显示装置输入的图像信号的存储器、输出向显示装置的各驱动电路输入的控制信号（时钟脉冲、开始脉冲等）的电路、控制它们的控制器等。

15 图2表示显示系统。显示系统除显示装置外，还有A/D变换电路、存储器选择开关A、存储器选择开关B、帧存储器1、帧存储器2、控制器、时钟信号发生电路、电源发生电路。

说明显示系统的动作。A/D变换电路将输入显示系统的图像信号变换为数字的图像信号。帧存储器A或帧存储器B存储该数字的图像信号。这里，按每个期间（每一帧期间、每一子帧期间）区分使用帧存储器A或帧存储器B，从而在向存储器的信号写入和从存储器读出信号中具有裕度。这里，帧存储器A或帧存储器B的区分使用由控制器切换存储器选择开关A和存储器选择开关B进行。时钟发生电路通过来自控制器的信号产生时钟信号等。电源发生电路通过来自控制器的信号产生规定电源。从存储器读出的信号、时钟信号、电源等经
25 FPC输入显示装置。

应用本发明的显示系统不限于图2所示结构，公知的所有结构的显示系统中都可使用本发明。

本实施例可与其他实施形式和实施例自由组合来实施。

(实施例19)

30 本实施例中，利用本发明的显示装置的电子设备使用图46来说明。图46

(A)表示使用本发明的显示装置的便携信息终端的模式图。便携信息终端由主体4601a、操作开关4601b、电源开关4601c、天线4601d、显示部4601e、外部输入端口4601f构成。本发明的显示装置可用于显示部4601e。图46(B)表示使用本发明的显示装置的个人计算机的模式图。个人计算机由主体4602a、框体4602b、显示部4602c、操作开关4602d、电源开关4602e、外部输入端口4602f构成。本发明的显示装置可用于显示部4602c。图46(C)表示使用本发明的显示装置的图像再现装置的模式图。图像再现装置由主体4603a、框体4603b、记录媒体4603c、显示部4603d、声音输出部4603e、操作开关4603f构成。本发明的显示装置可用于显示部4603d。图46(D)表示使用本发明的显示装置的电视机的模式图。电视机由主体4604a、框体4604b、显示部4604c、操作开关4604d构成。本发明的显示装置可用于显示部4604c。图46(E)表示使用本发明的显示装置的顶部安装式显示器的模式图。顶部安装式显示器由主体4605a、监视器部4605b、头部固定带4605c、显示部4605d、光学系统4605e构成。本发明的显示装置可用于显示部4605d。图46(F)表示使用本发明的显示装置的摄像机的模式图。摄像机由主体4606a、框体4606b、连接部4606c、显像部4606d、目镜部4606e、电池4606f、声音输入部4606g、显示部4606h构成。本发明的显示装置可用于显示部4606h。

本发明不限于上述应用电子设备，可在各种电子设备应用。本实施例可与实施形式1～实施形式3和实施例1～实施例18自由组合来实施。

20 产业上的可利用性

本发明的显示装置的各像素具有电流源电路和开关部以及发光元件。发光元件、电流源电路和开关部串联连接在电源基准线和电源线之间。通过使用数字的图像信号切换开关部的开和关。流过电流源电路的一定电流的大小由像素外部输入的控制信号决定。开关部为开状态的情况下，向发光元件流入电流源电路决定的一定电流，并发光。开关部为关状态的情况下，不向发光元件流过电流，不发光。这样，可通过图像信号控制开关部的接开和关来表现灰度等级。这样可提供一种显示装置，即便由于发光元件的恶化等电流特性变化了，可以以一定亮度表现，信号的写入可加速，可正确表现灰度等级，并且可低成本、小型化。

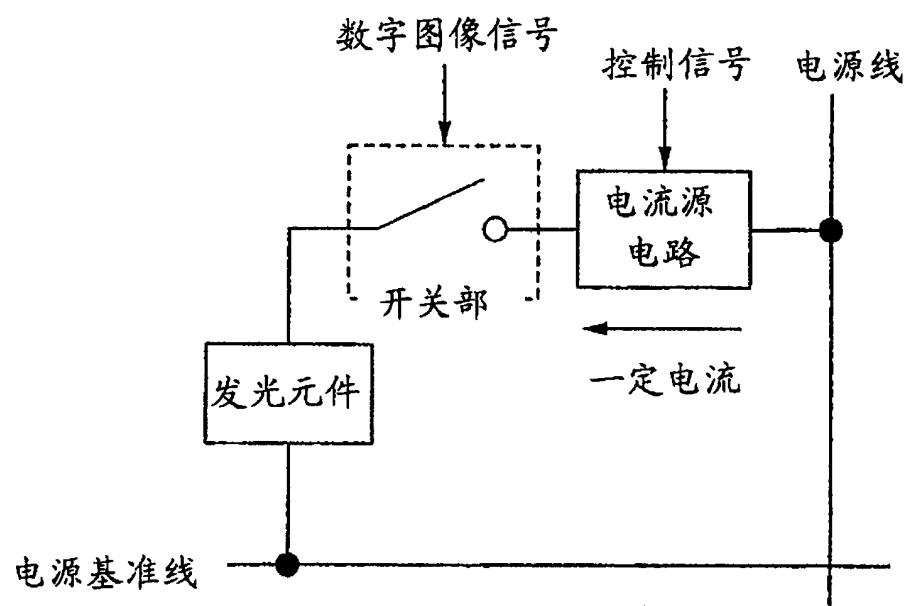


图 1

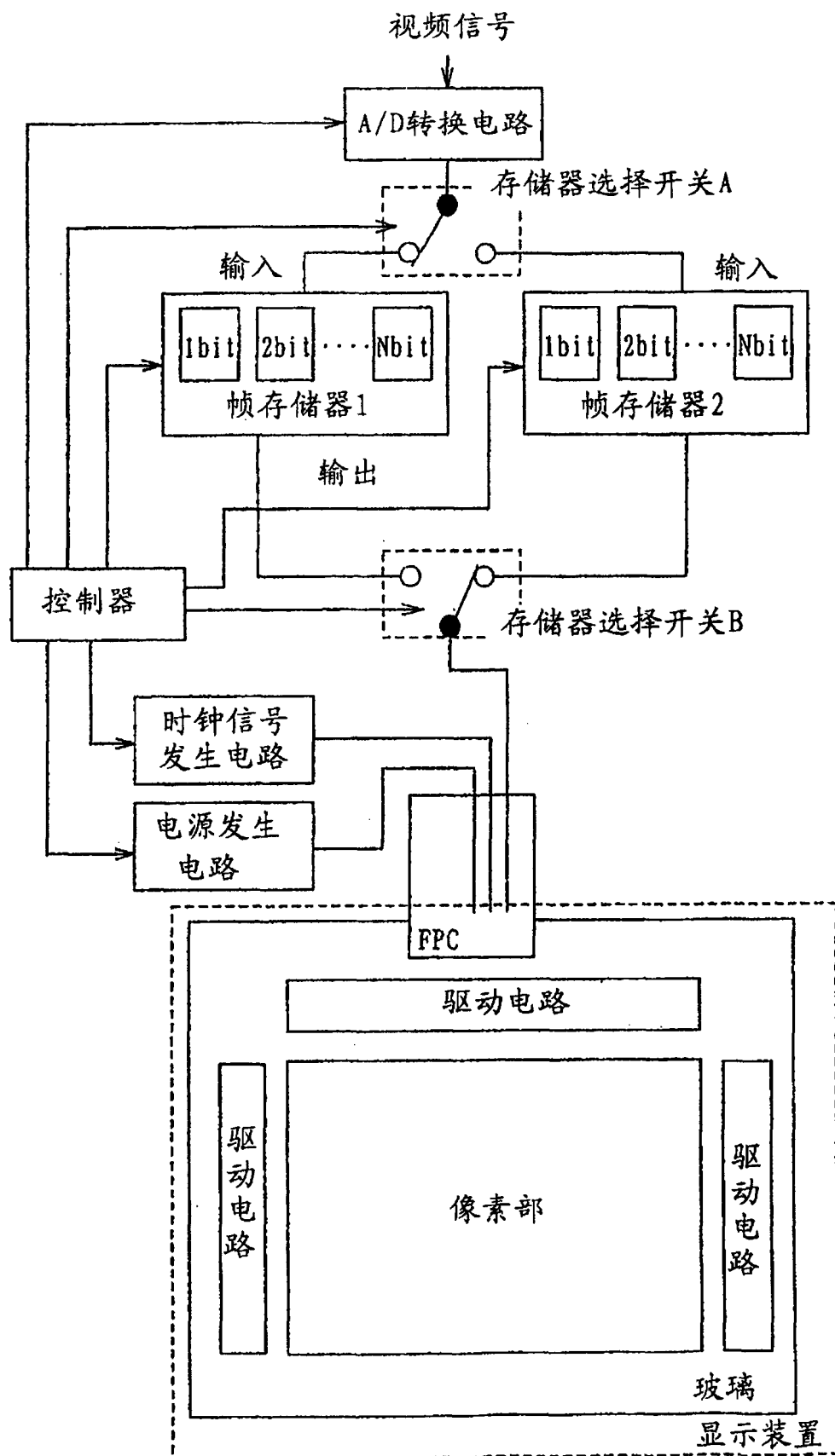


图 2

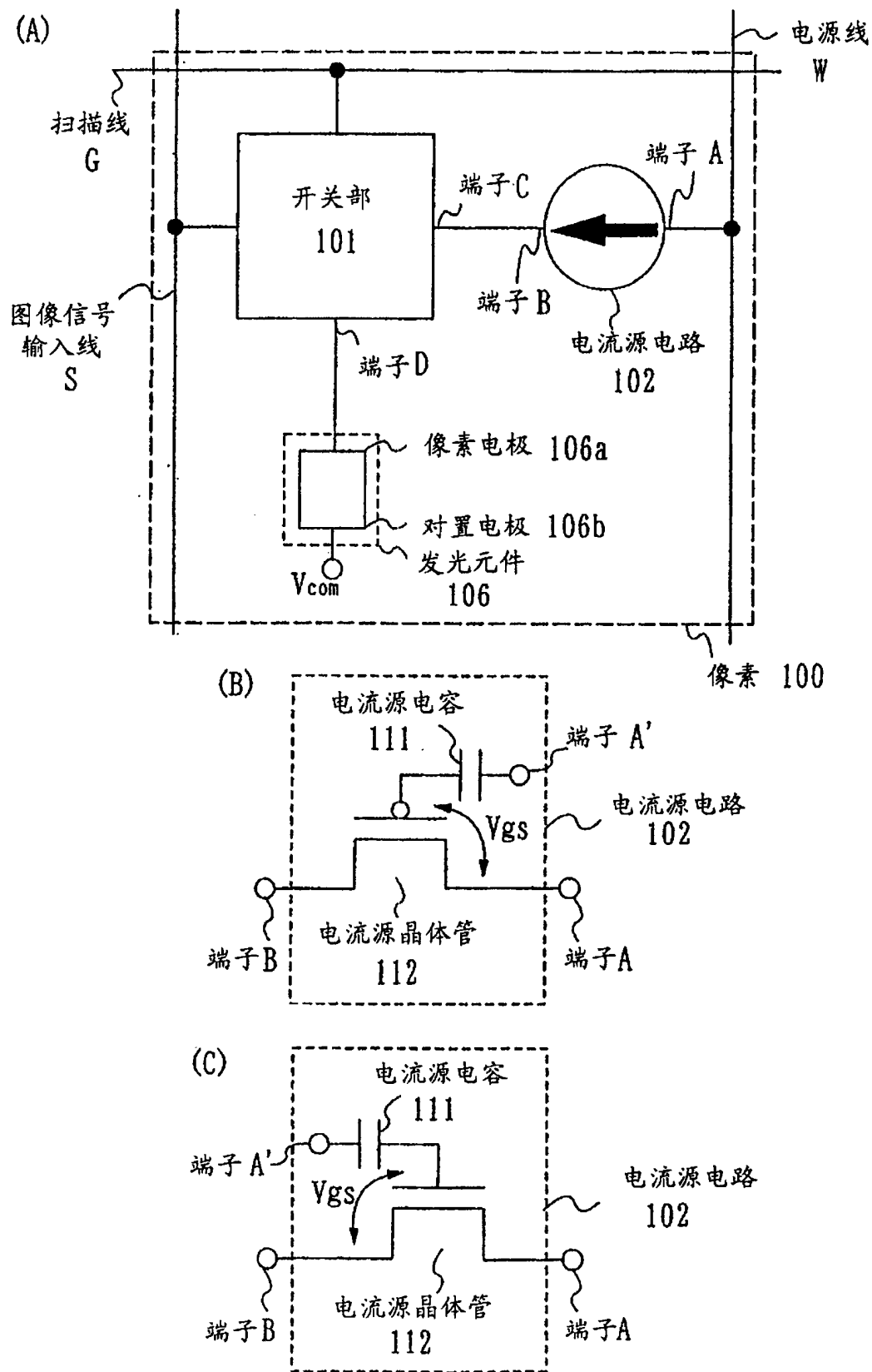


图 3

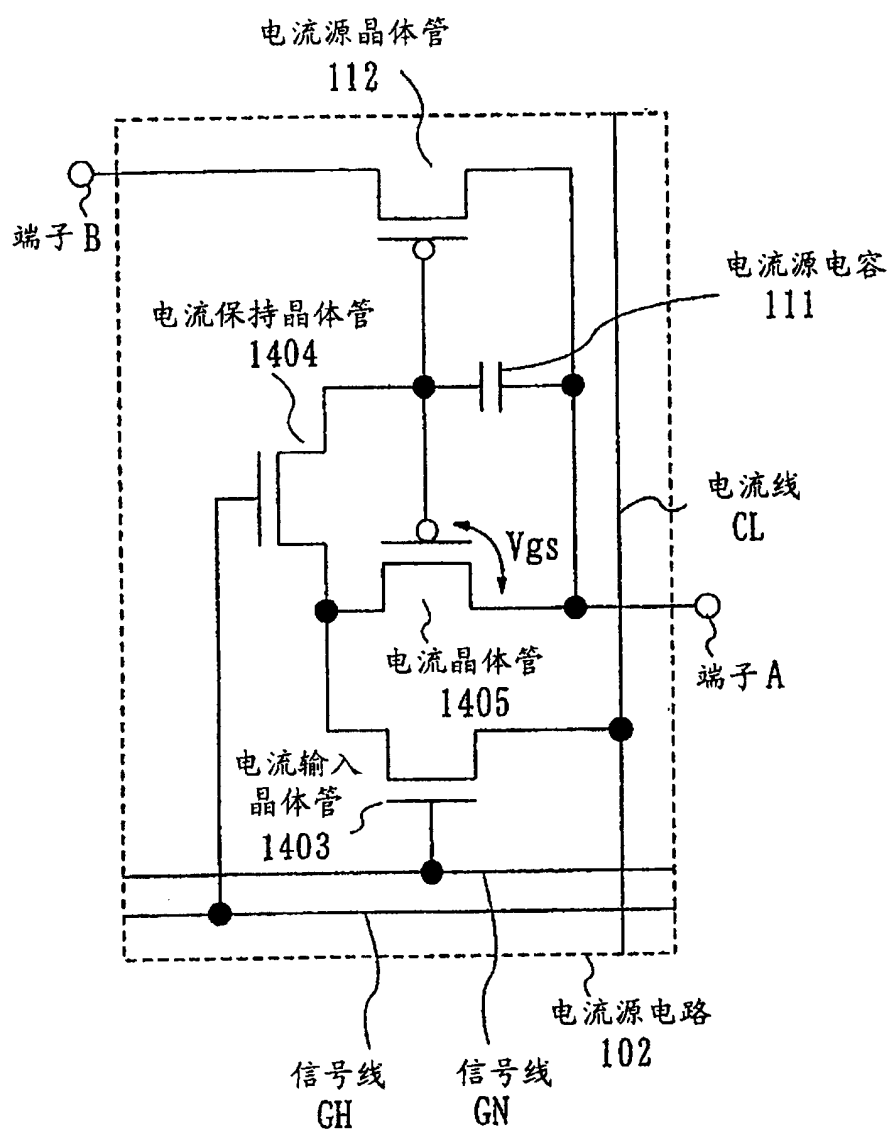


图 4

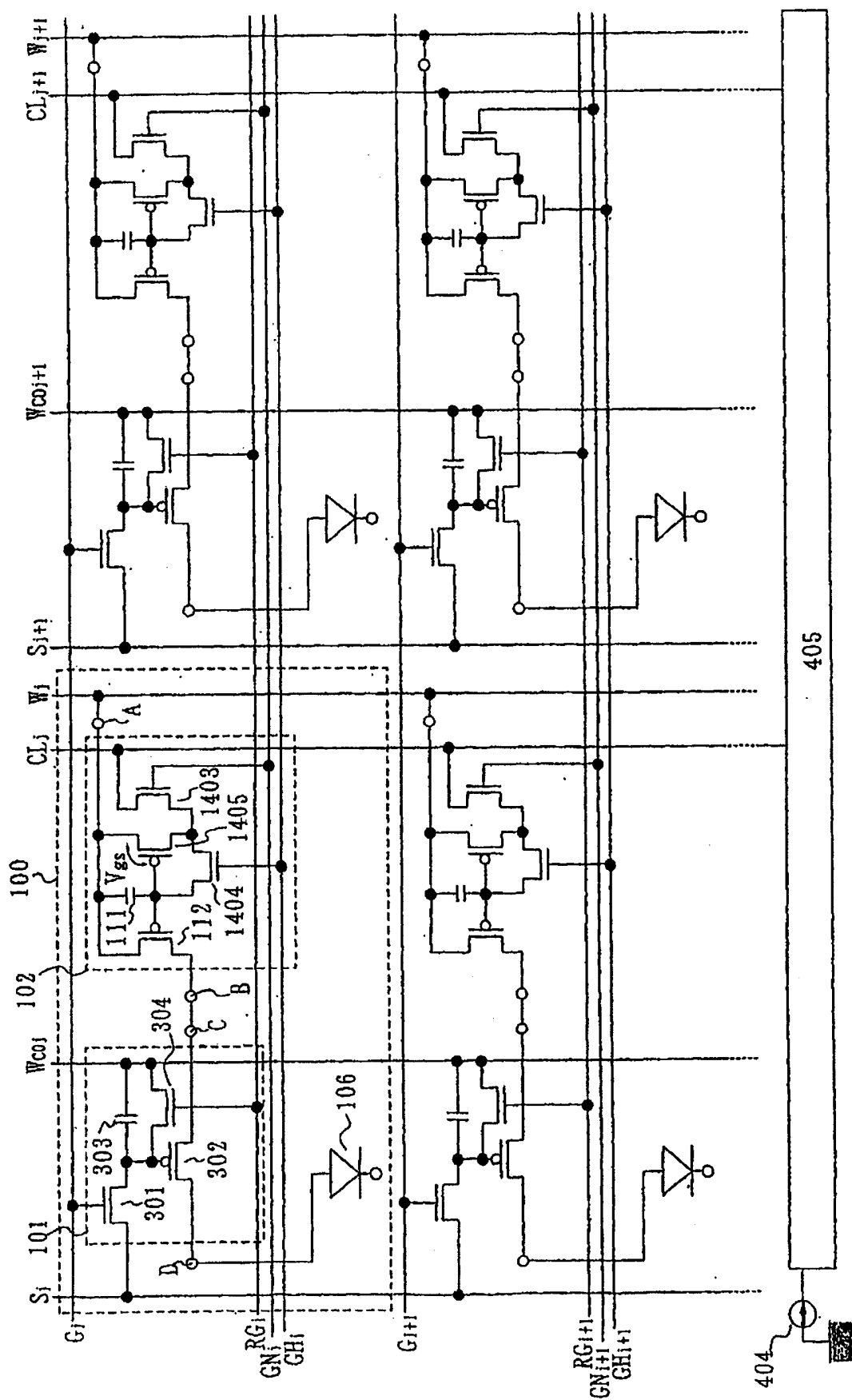


图 5

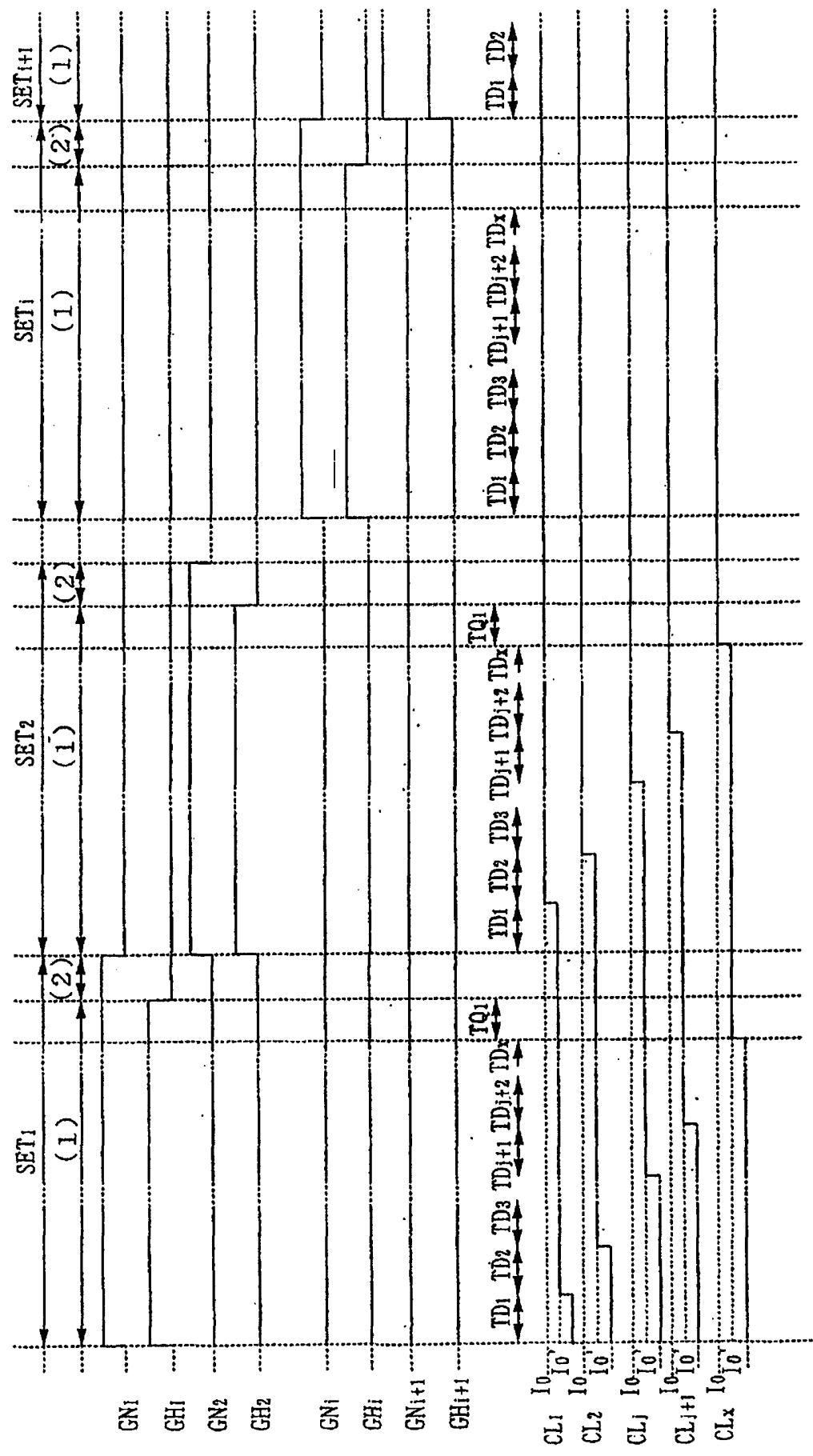


图 6

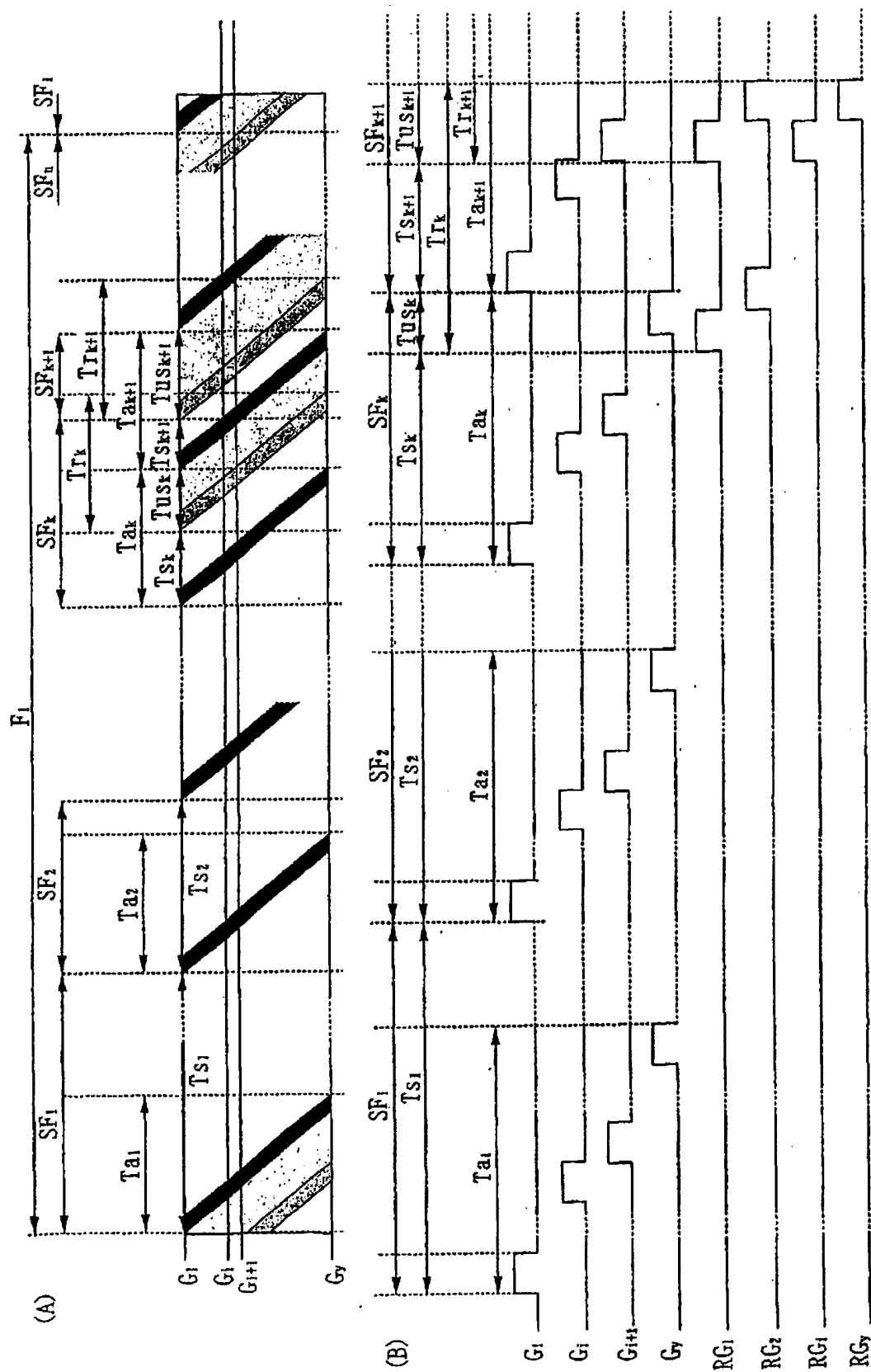


图 7

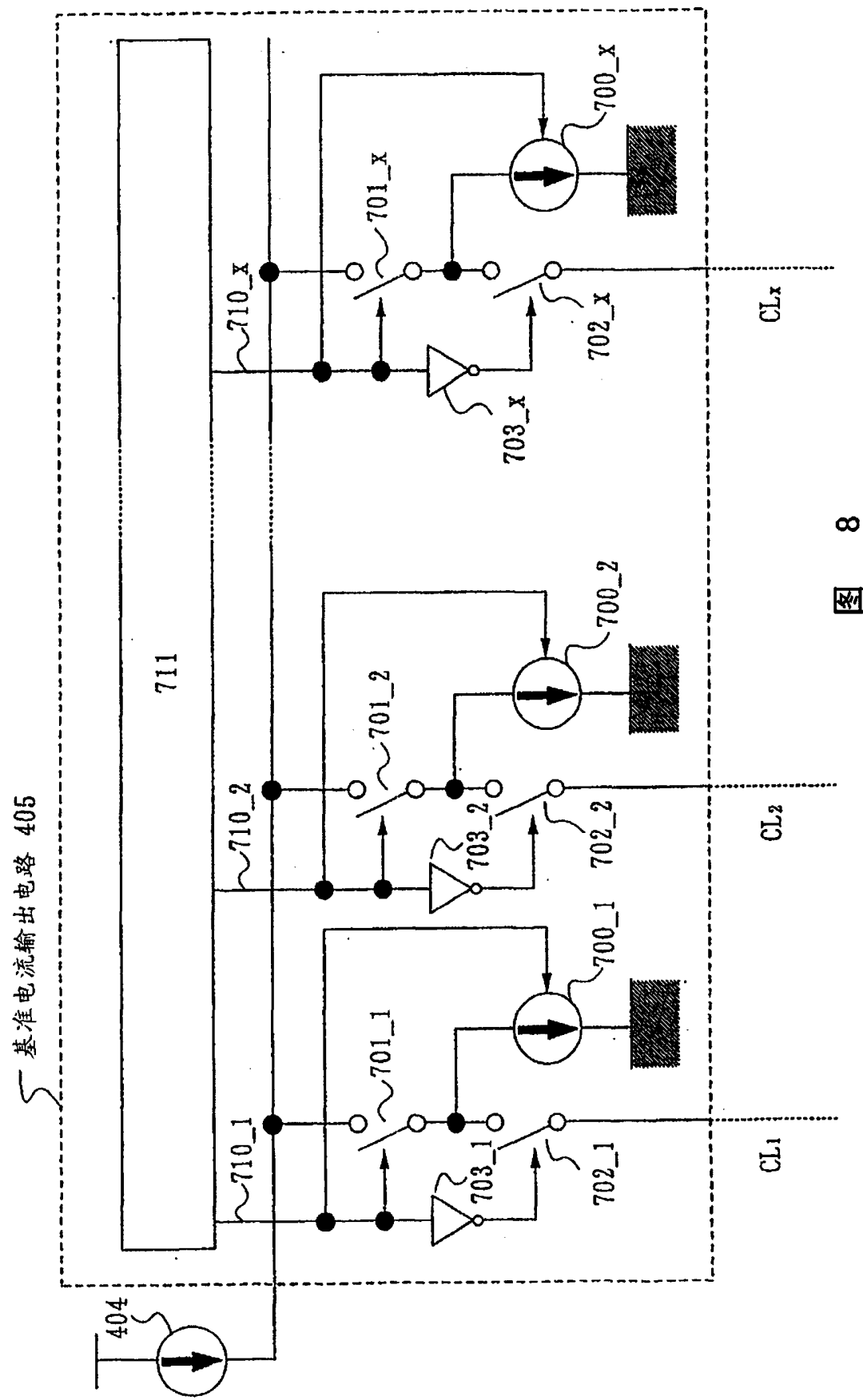
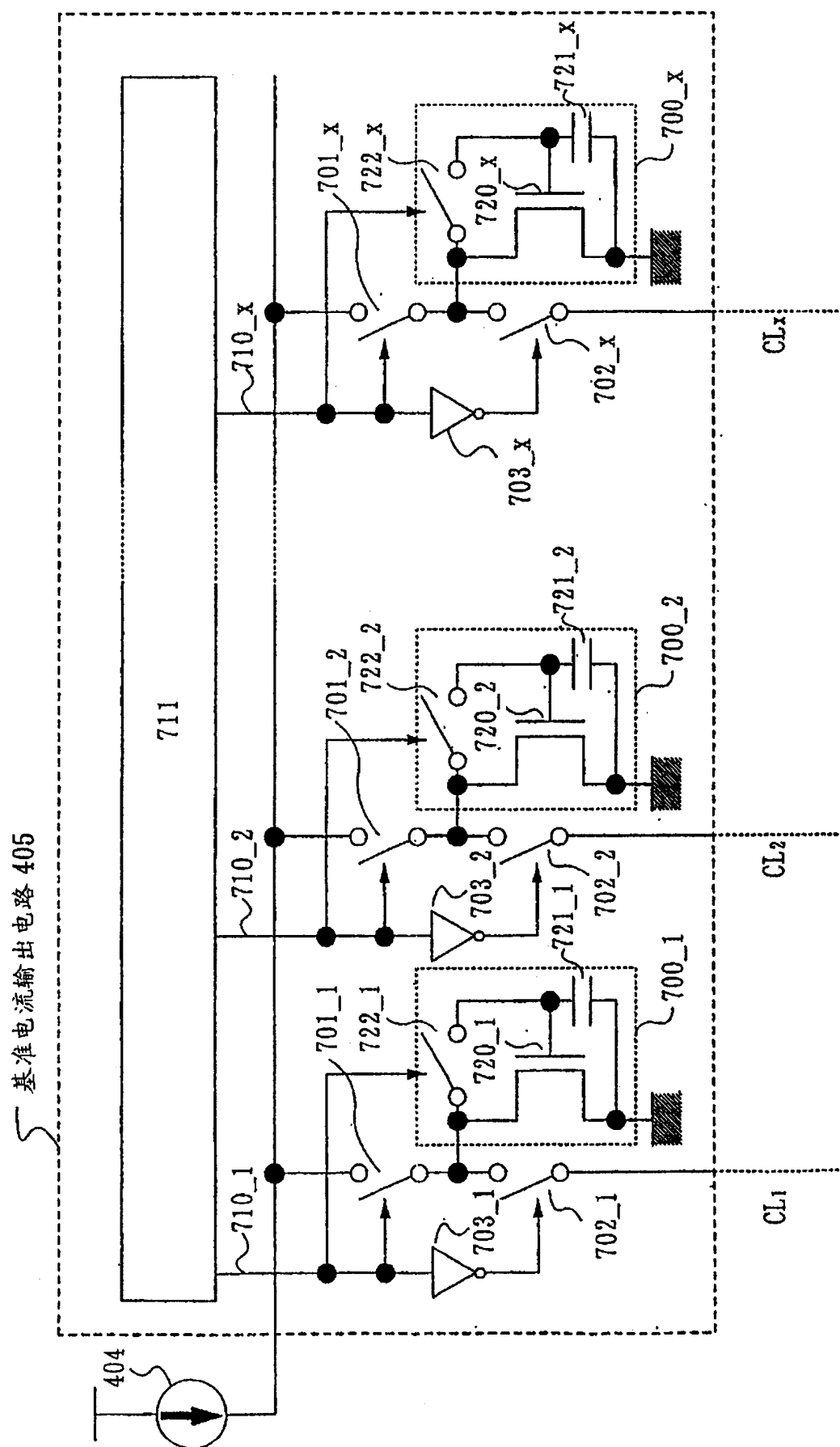


图 8



9
[X]

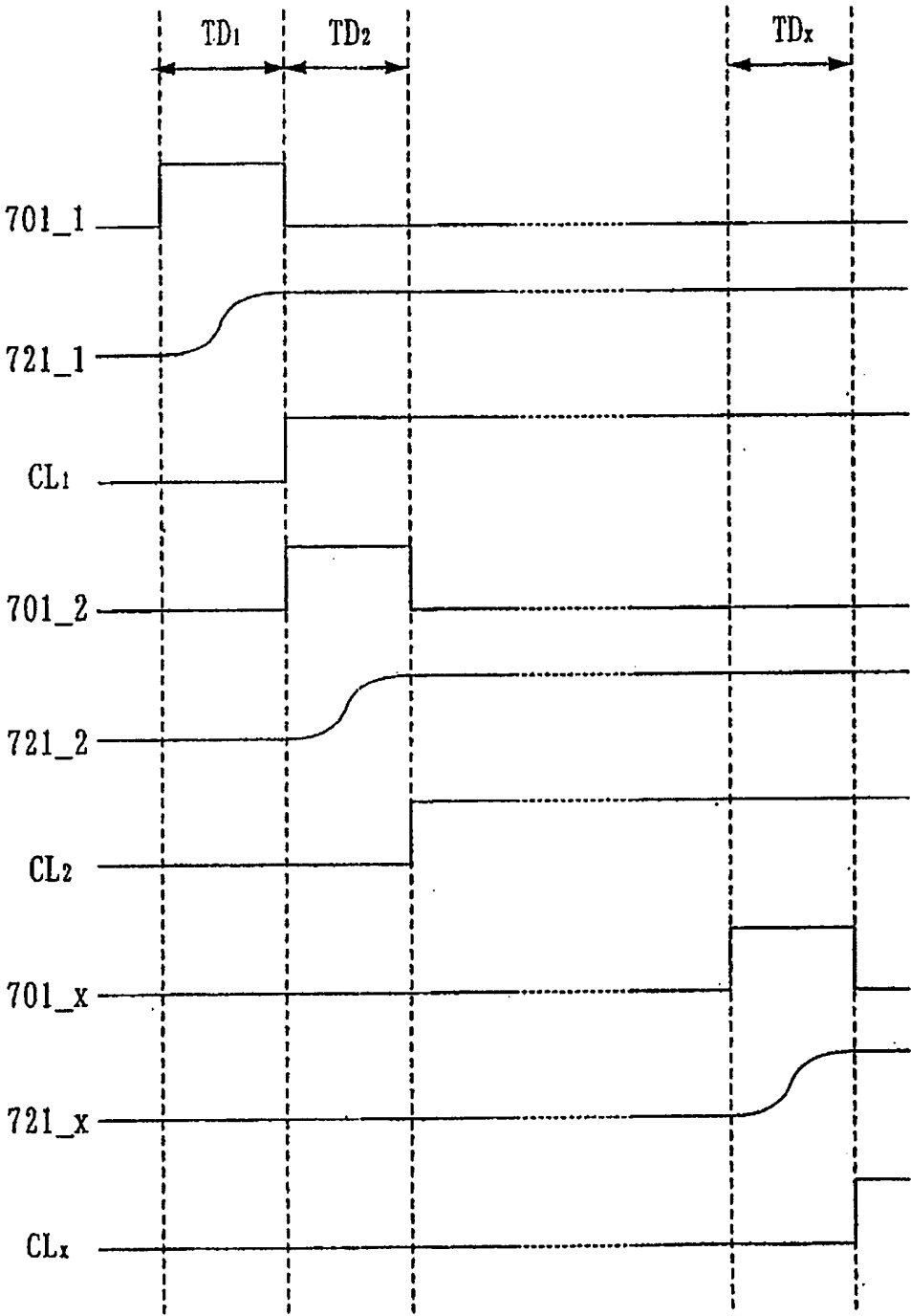
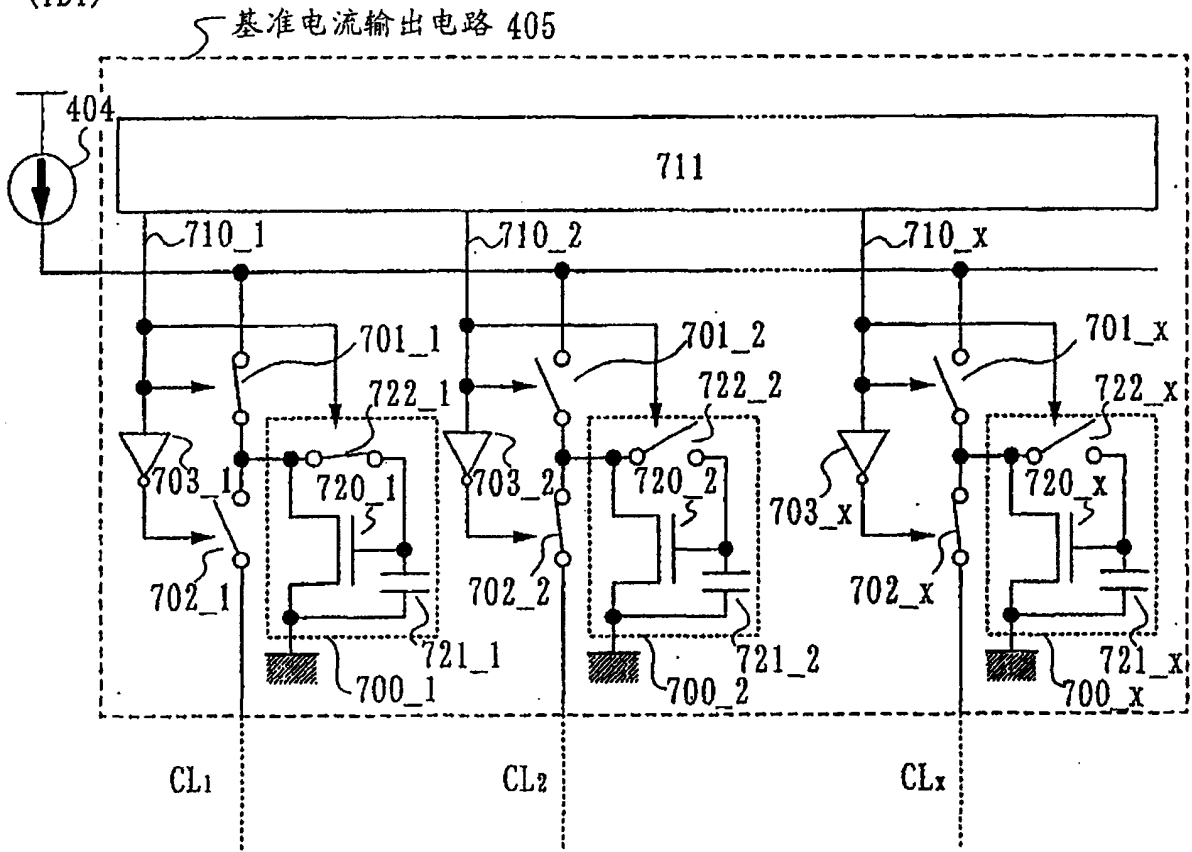


图 10

(TD1)



(TD2)

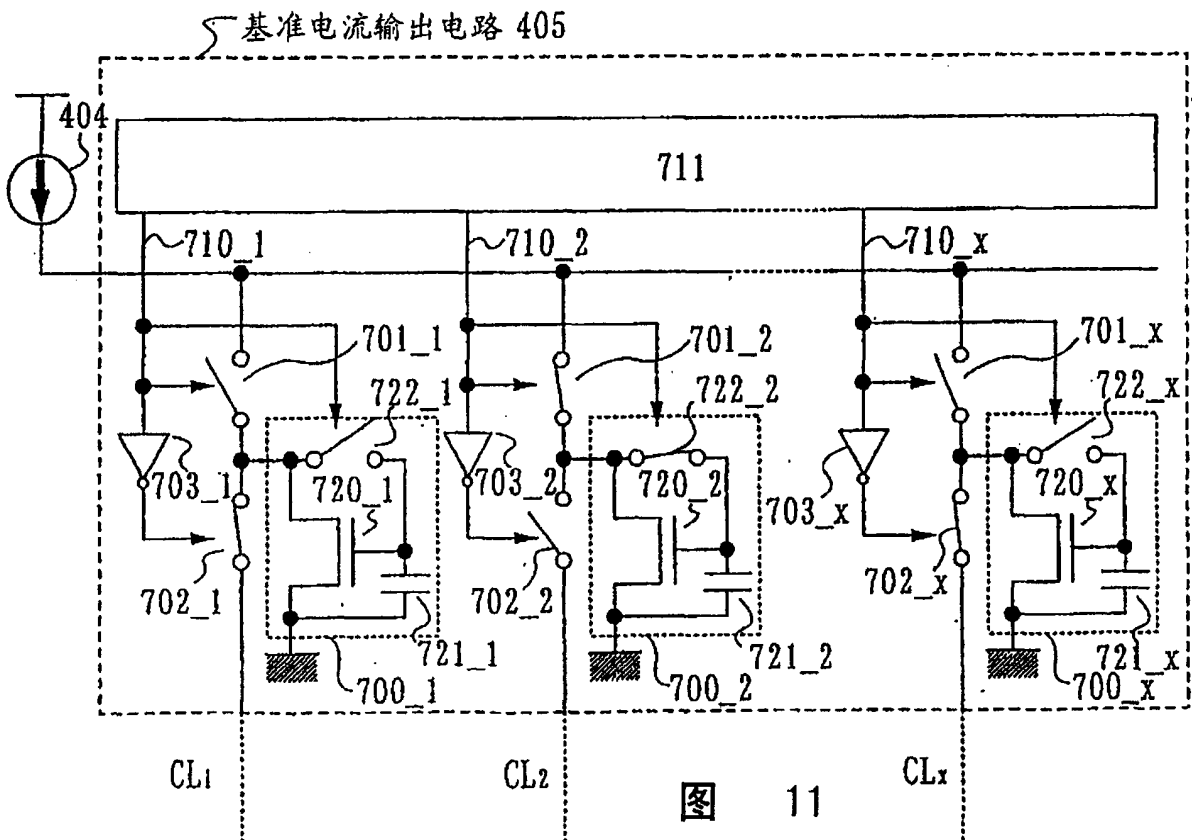


图 11

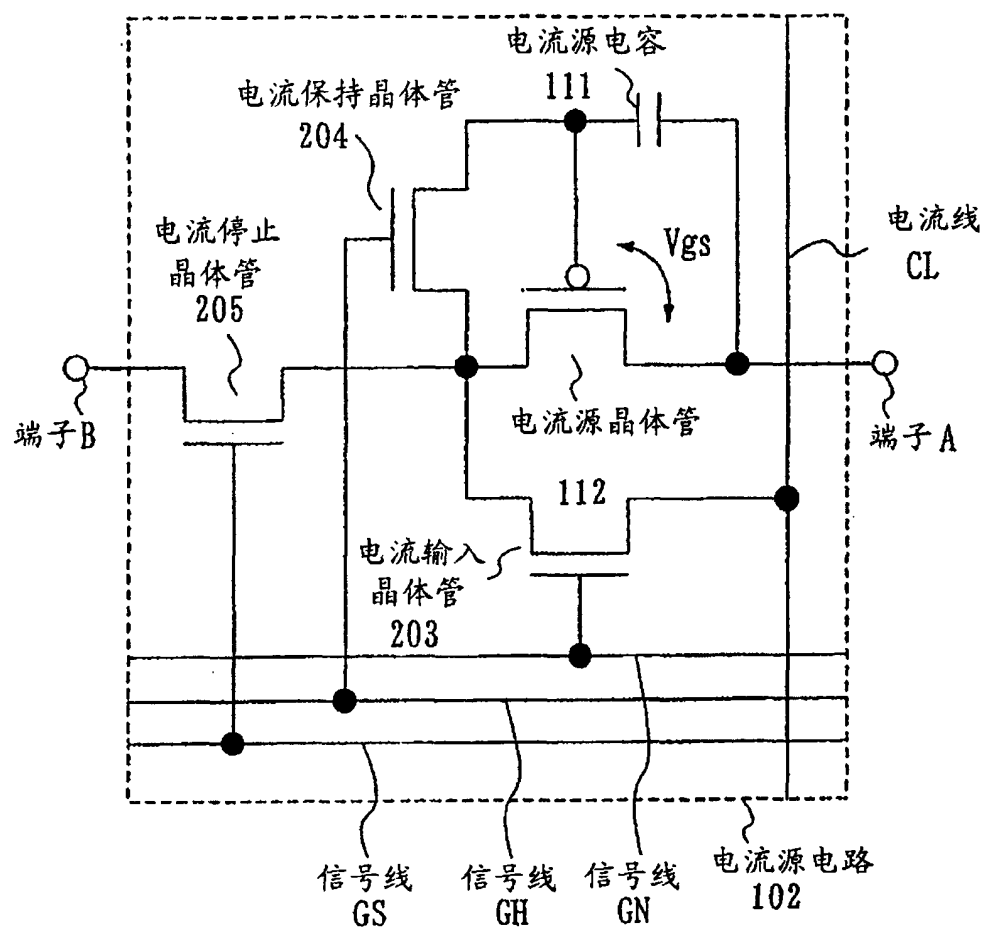


图 12

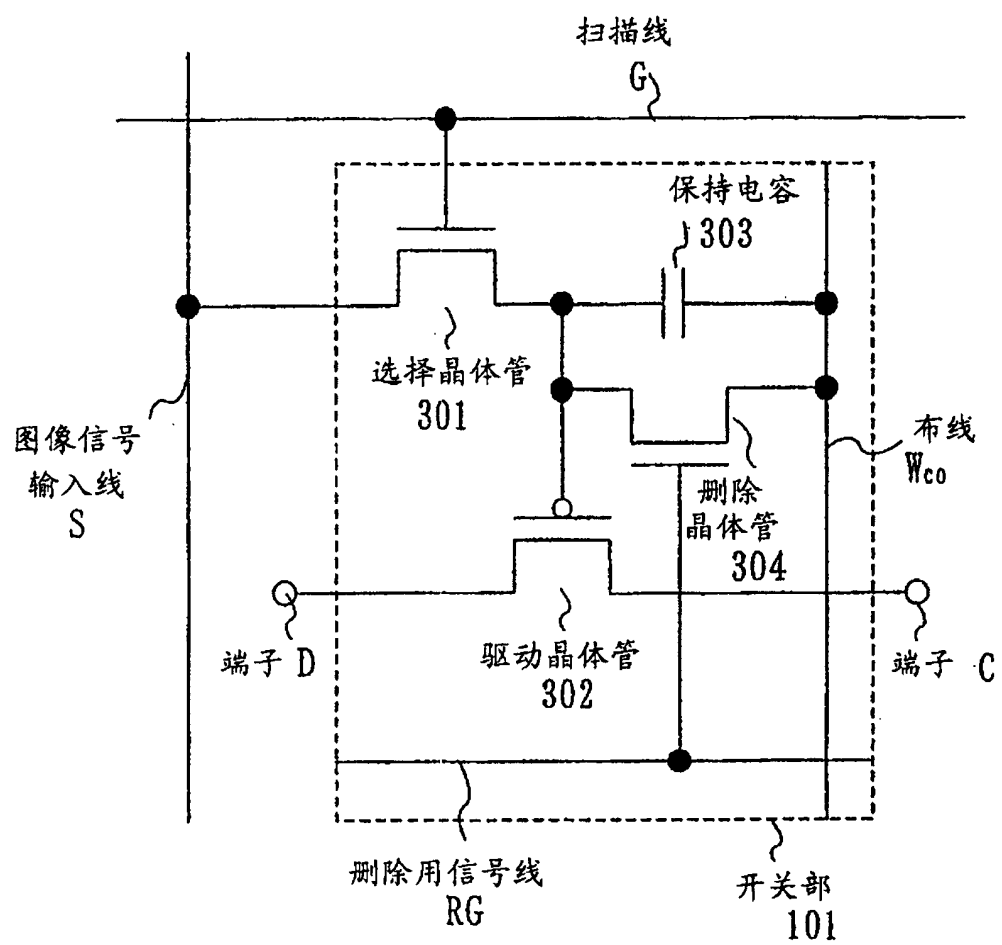
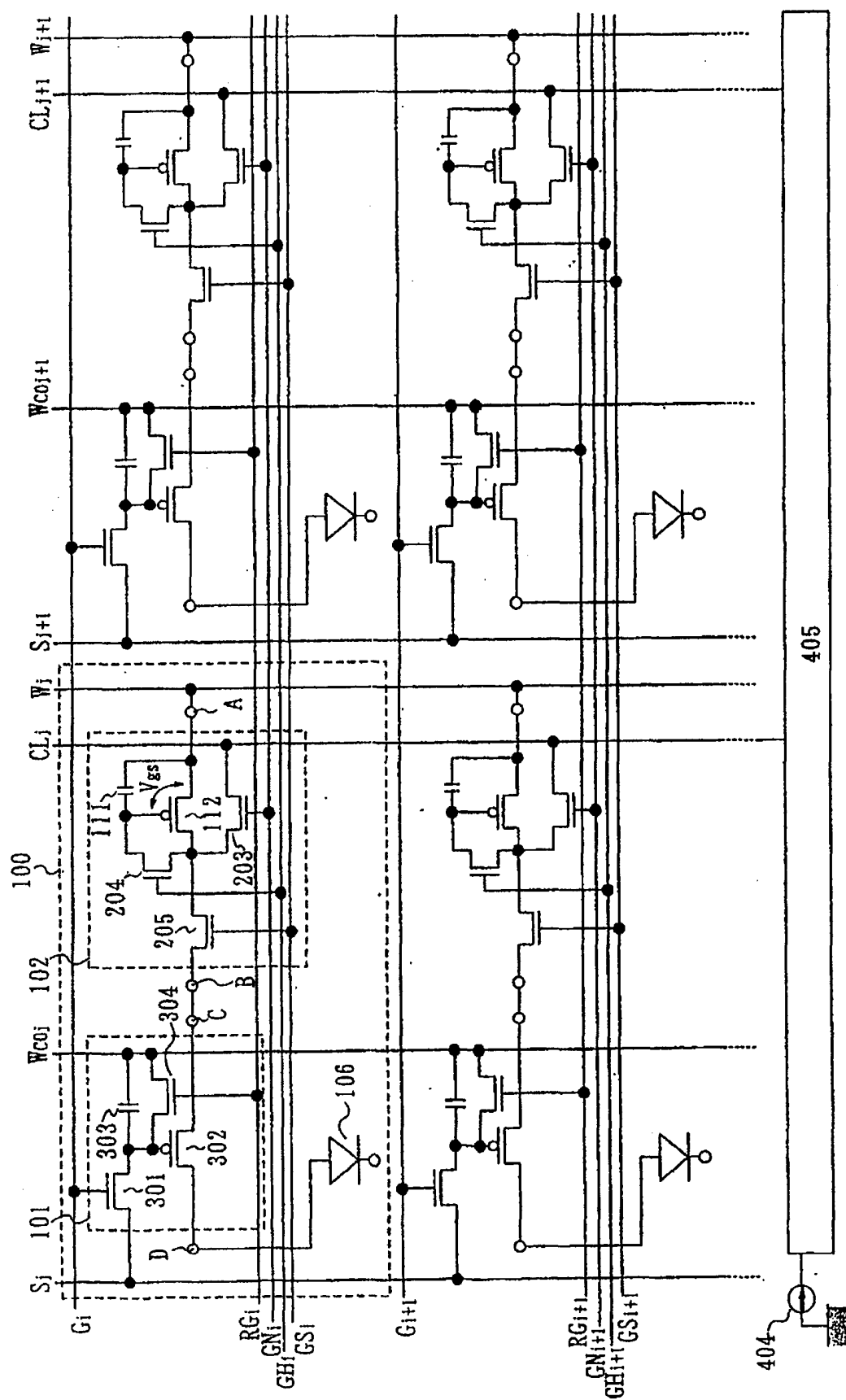


图 13



14

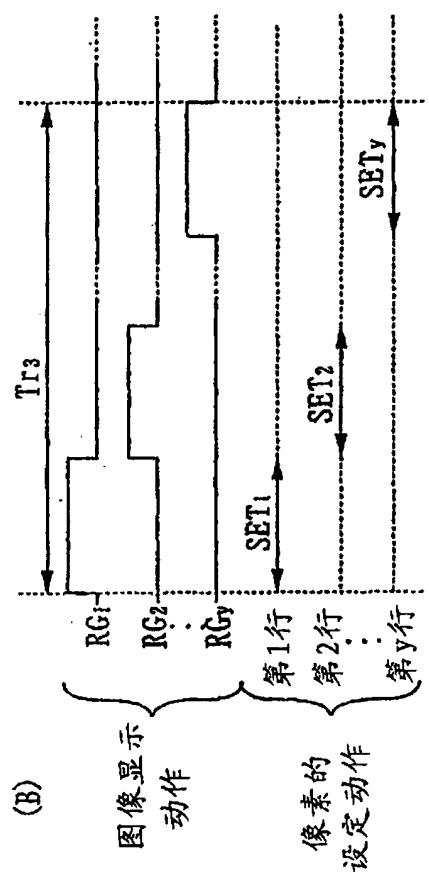
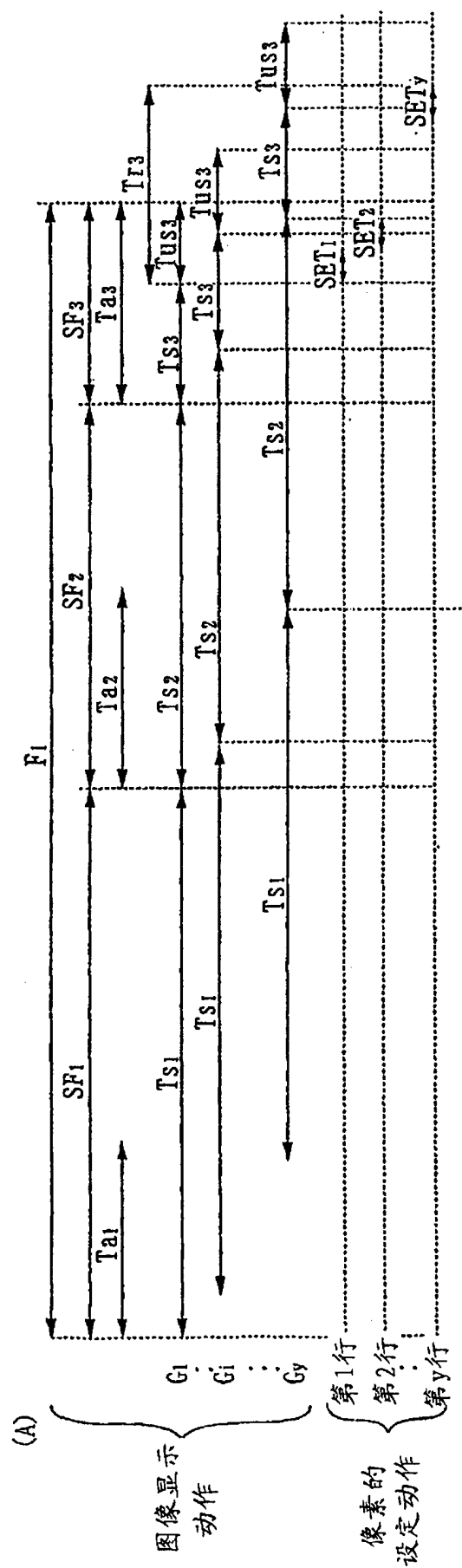


图 16

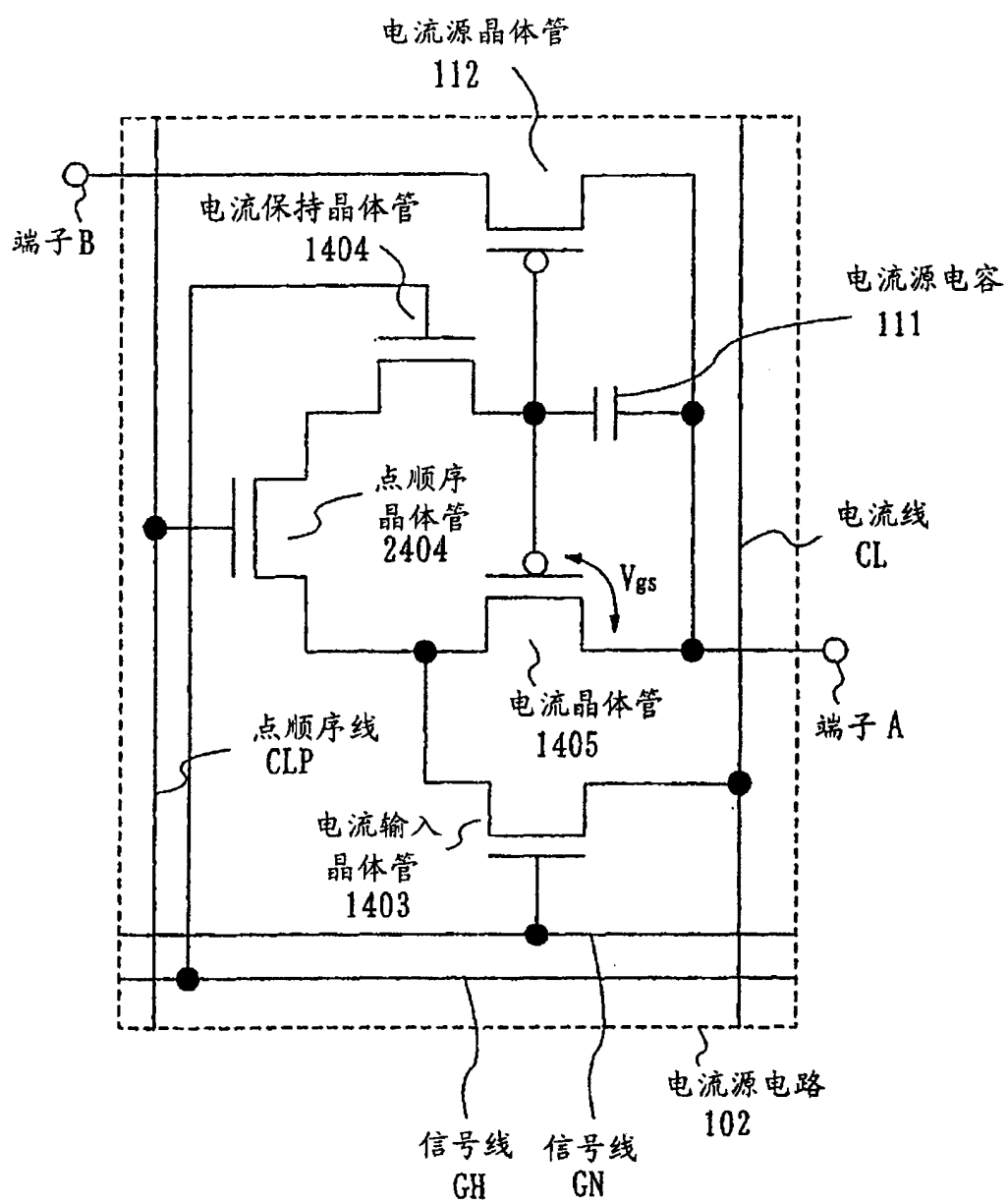


图 17

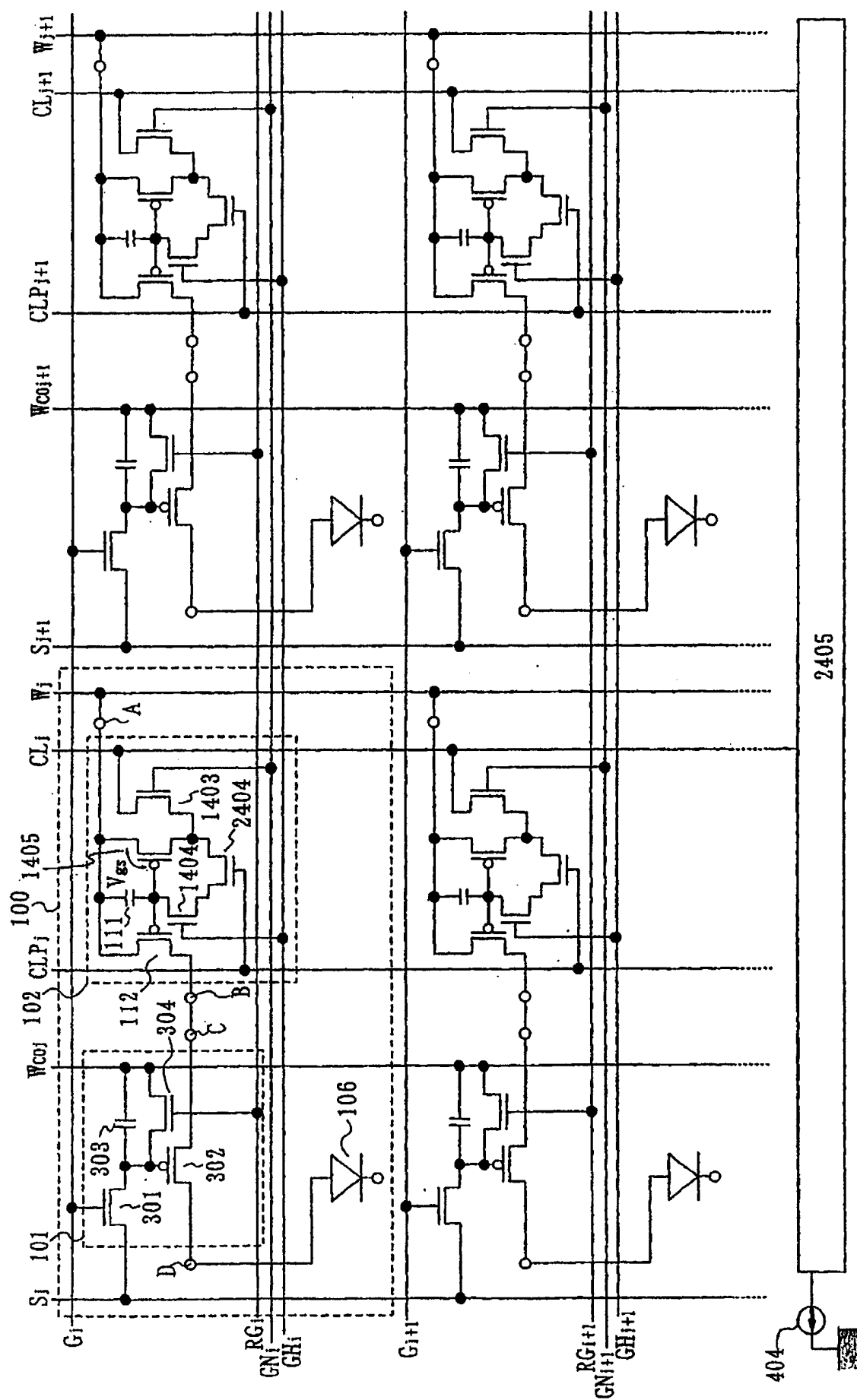


图 18

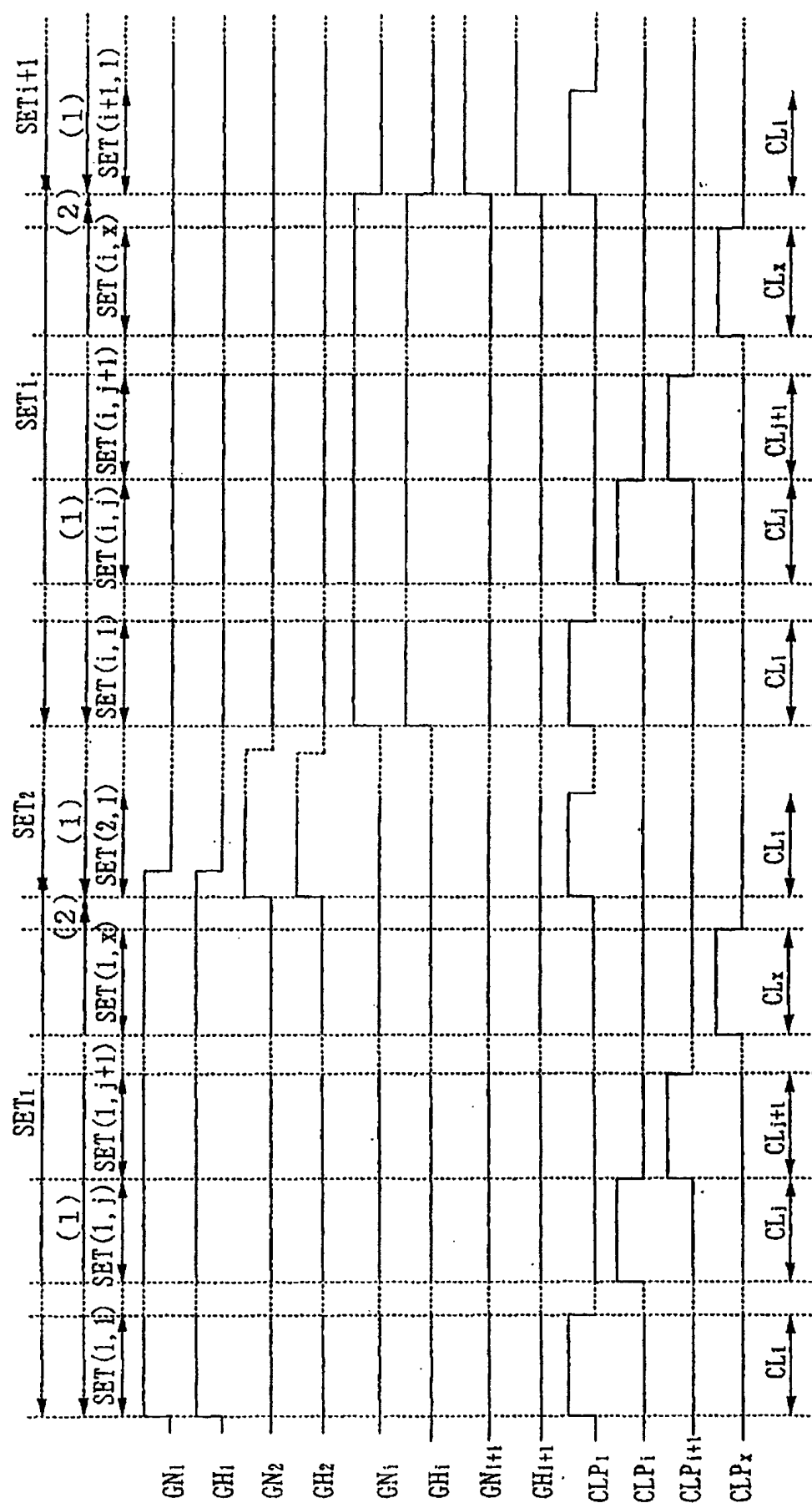


图 19

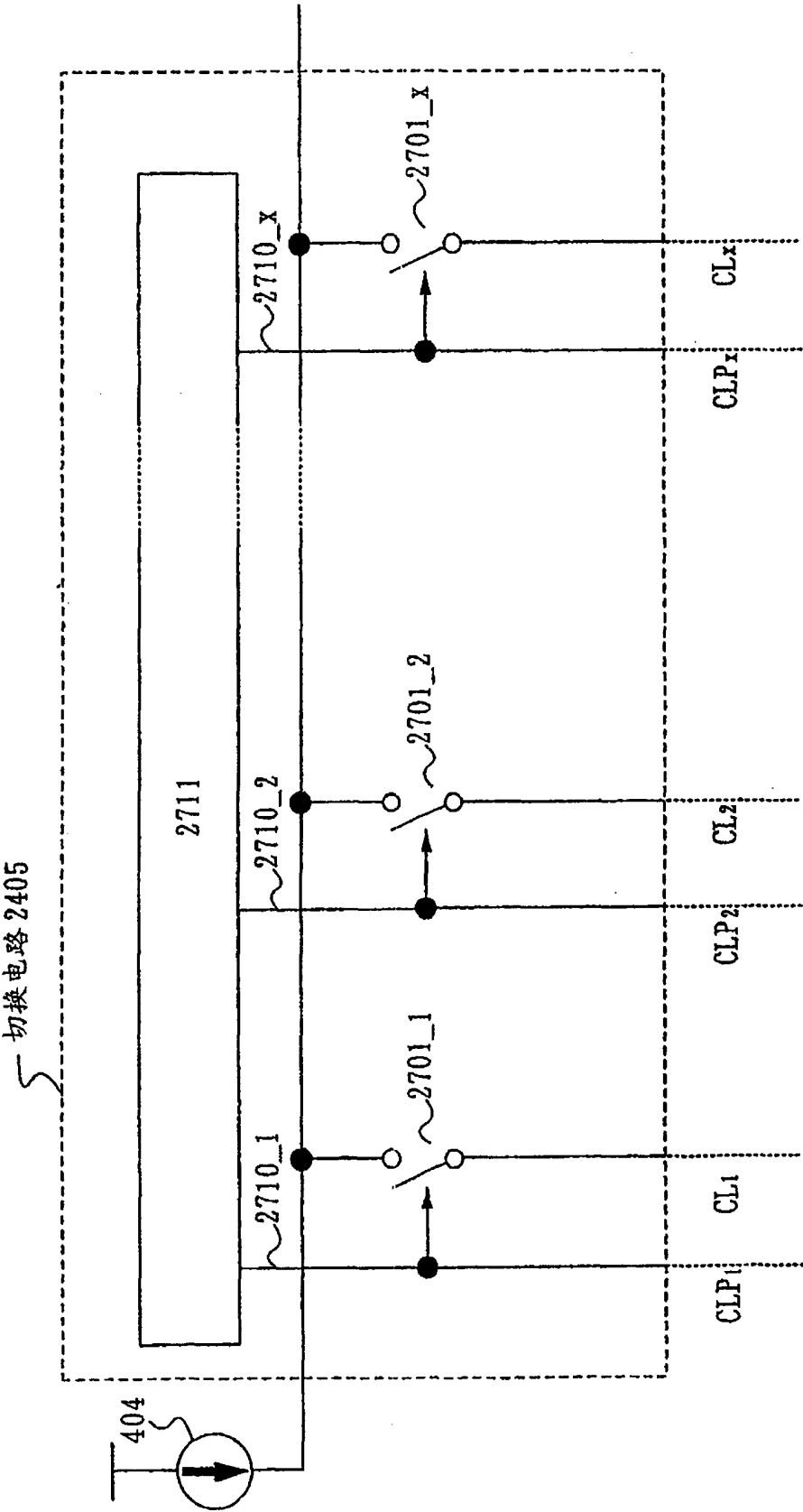


图 20

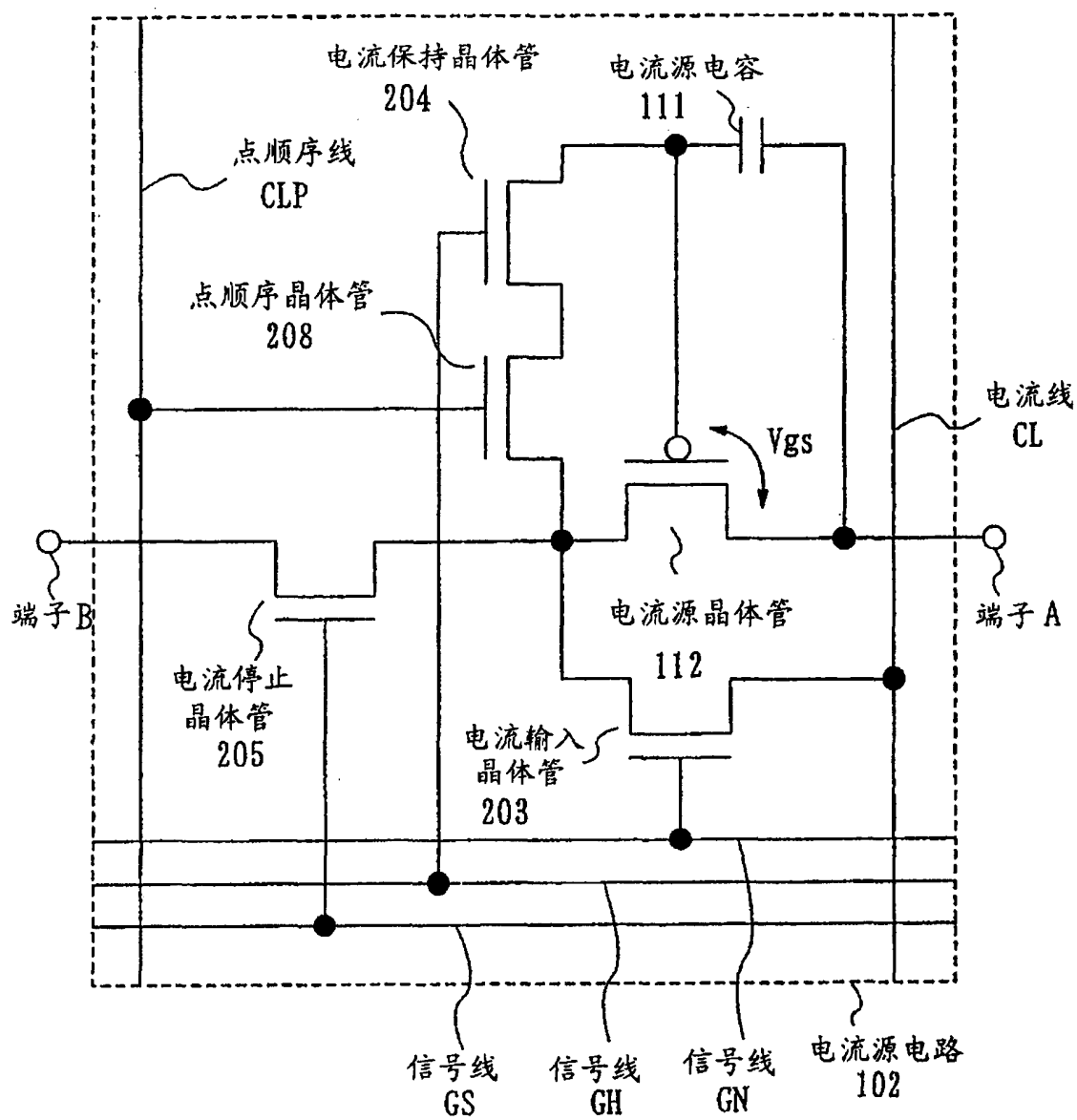


图 21

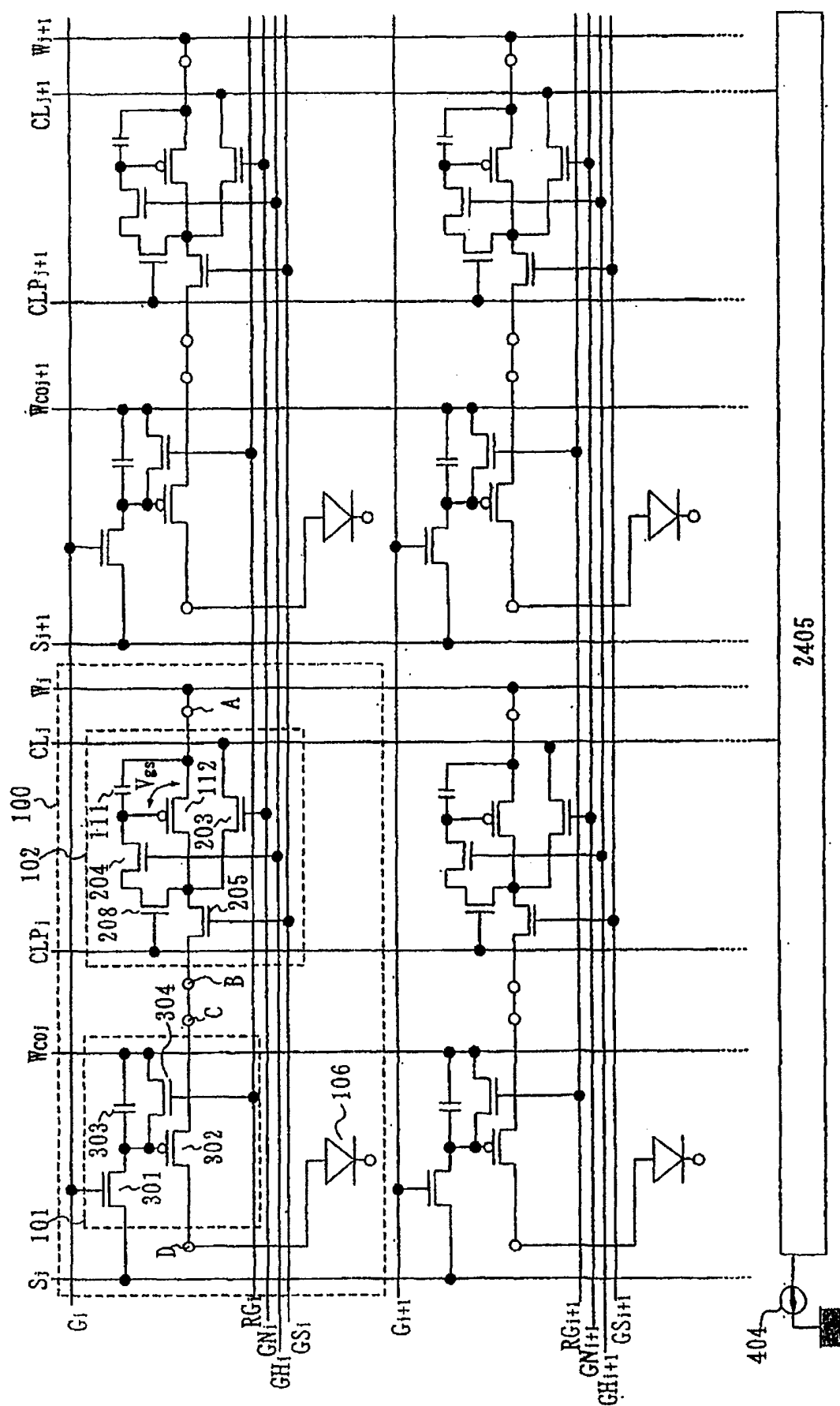


图 22

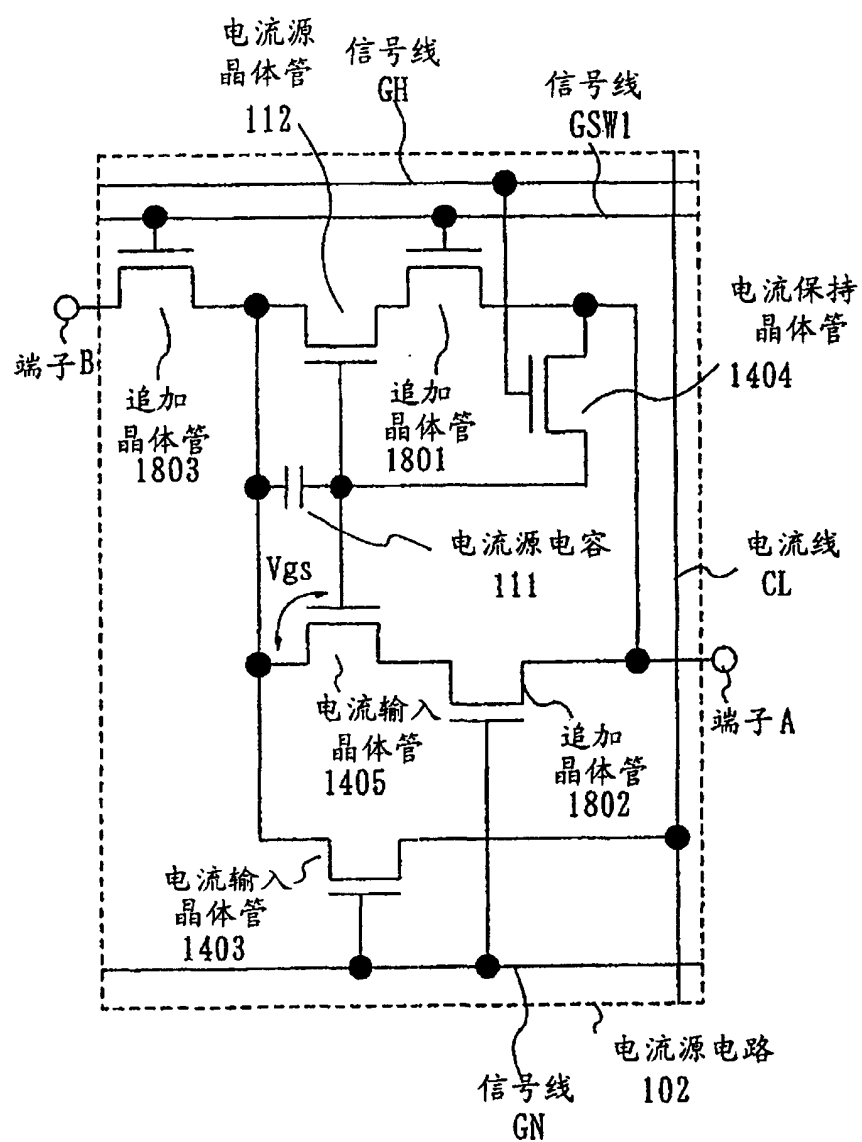


图 23

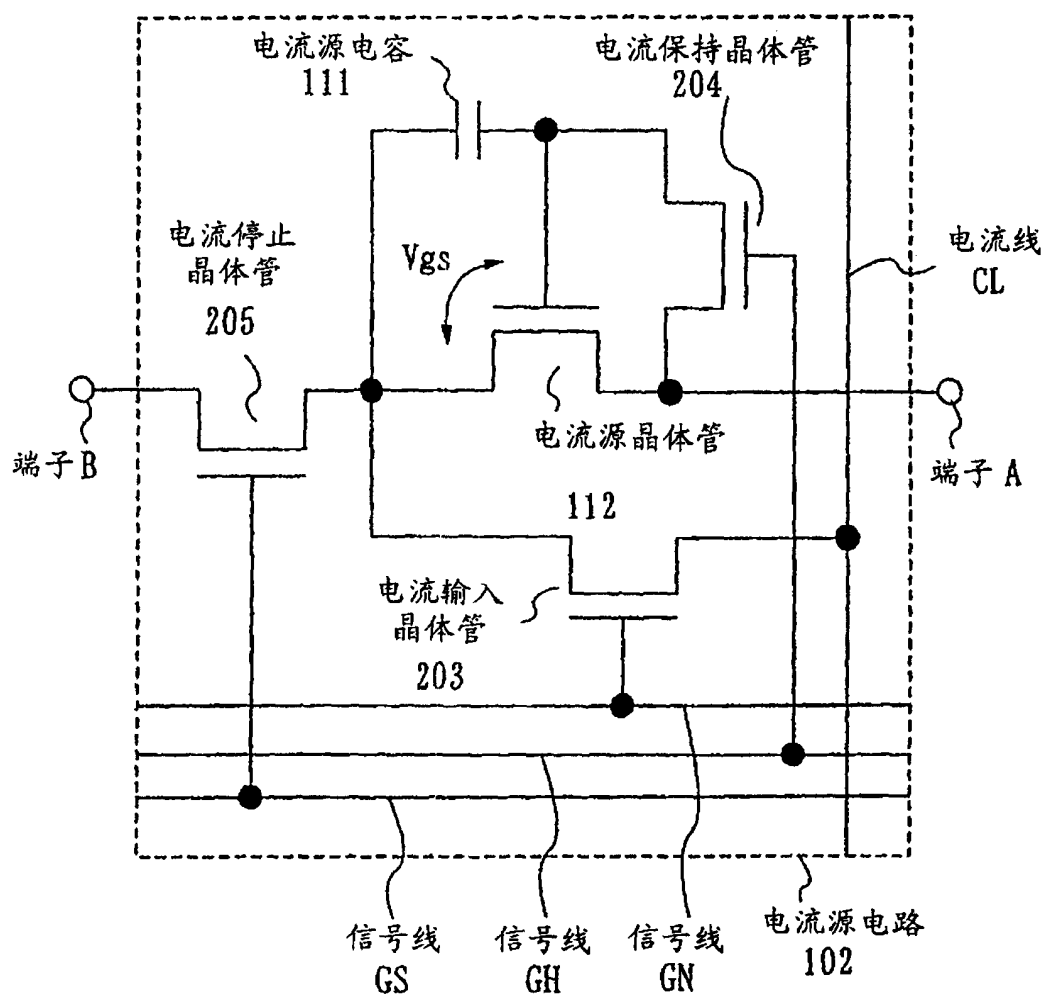


图 24

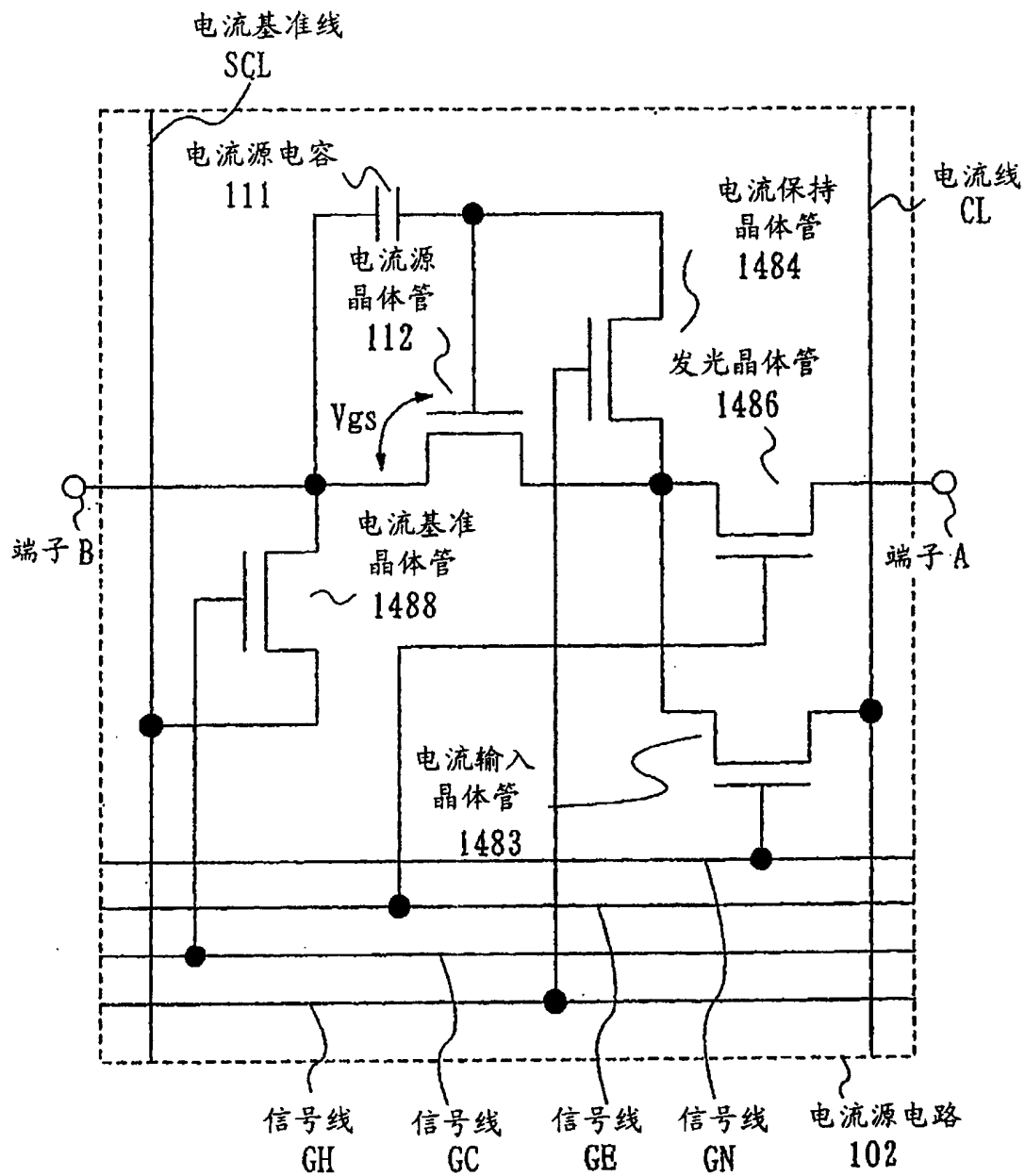


图 25

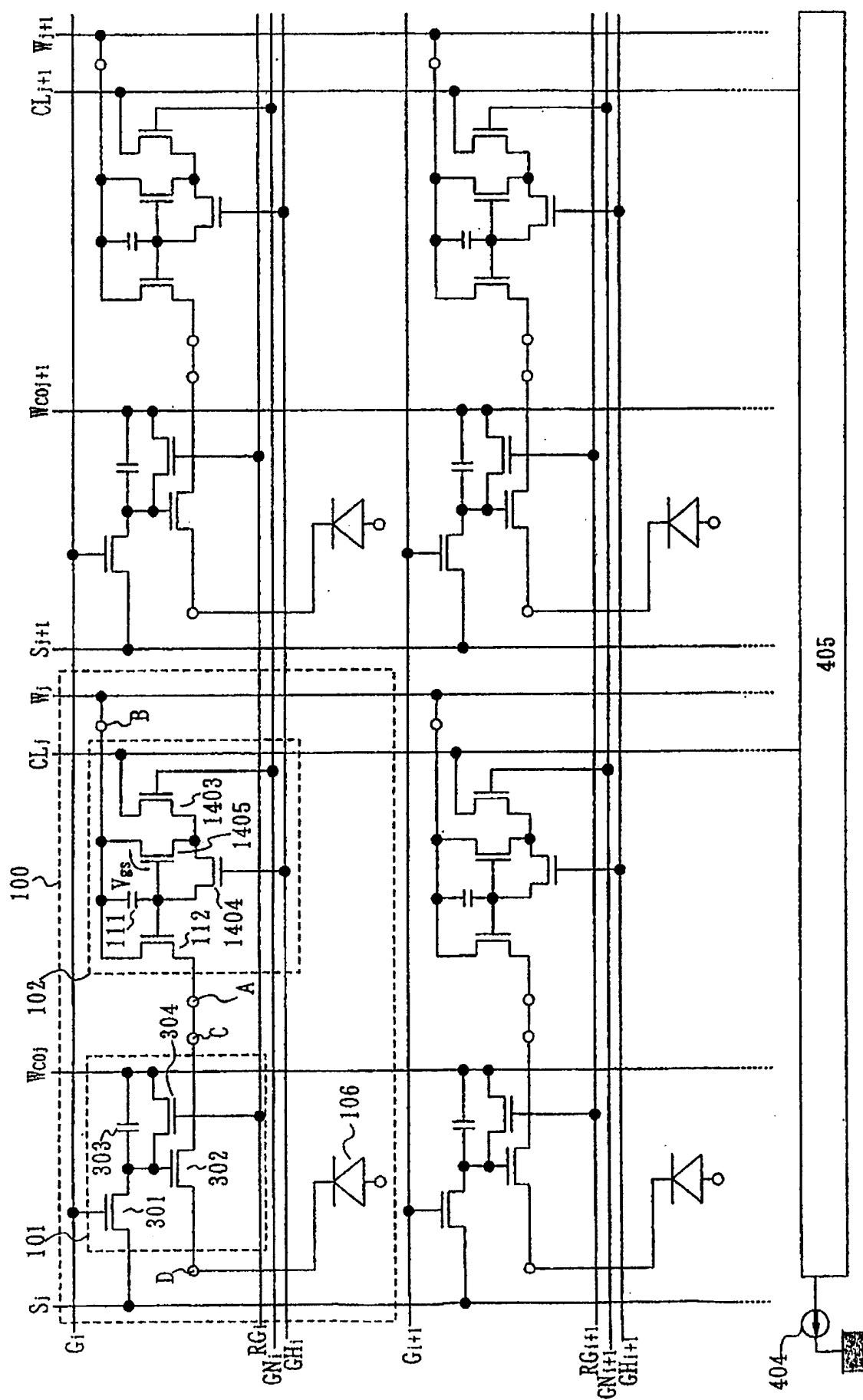


图 26

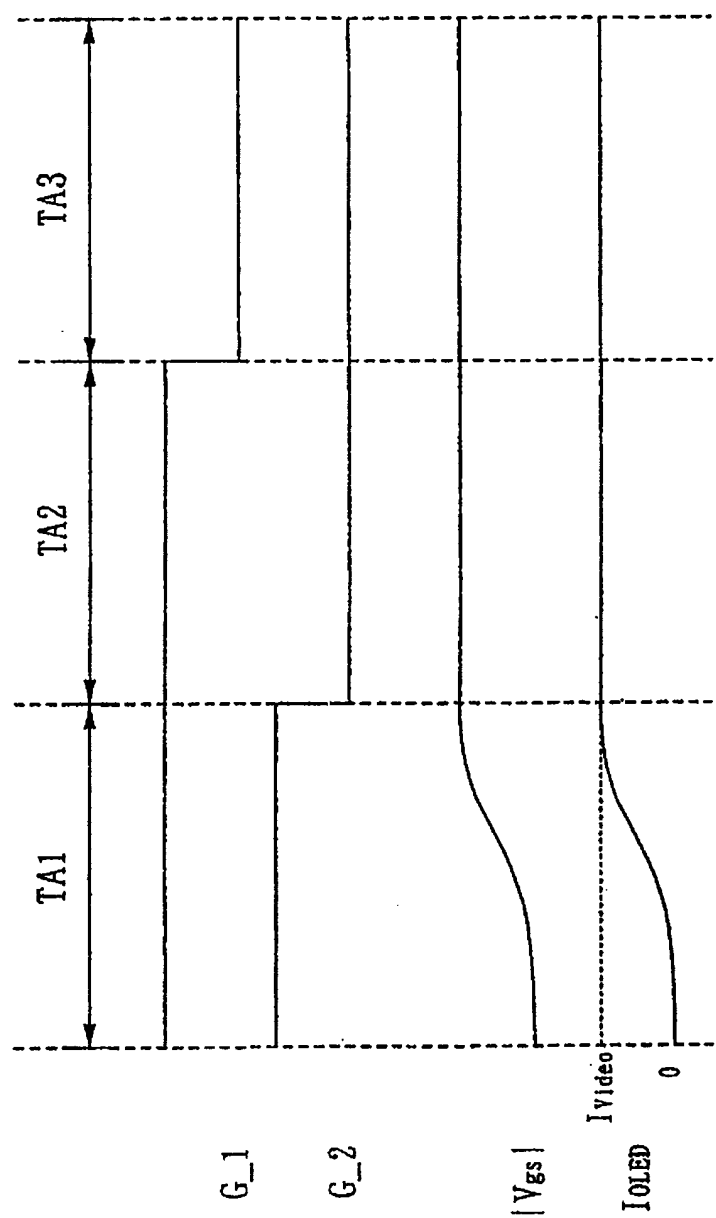


图 27

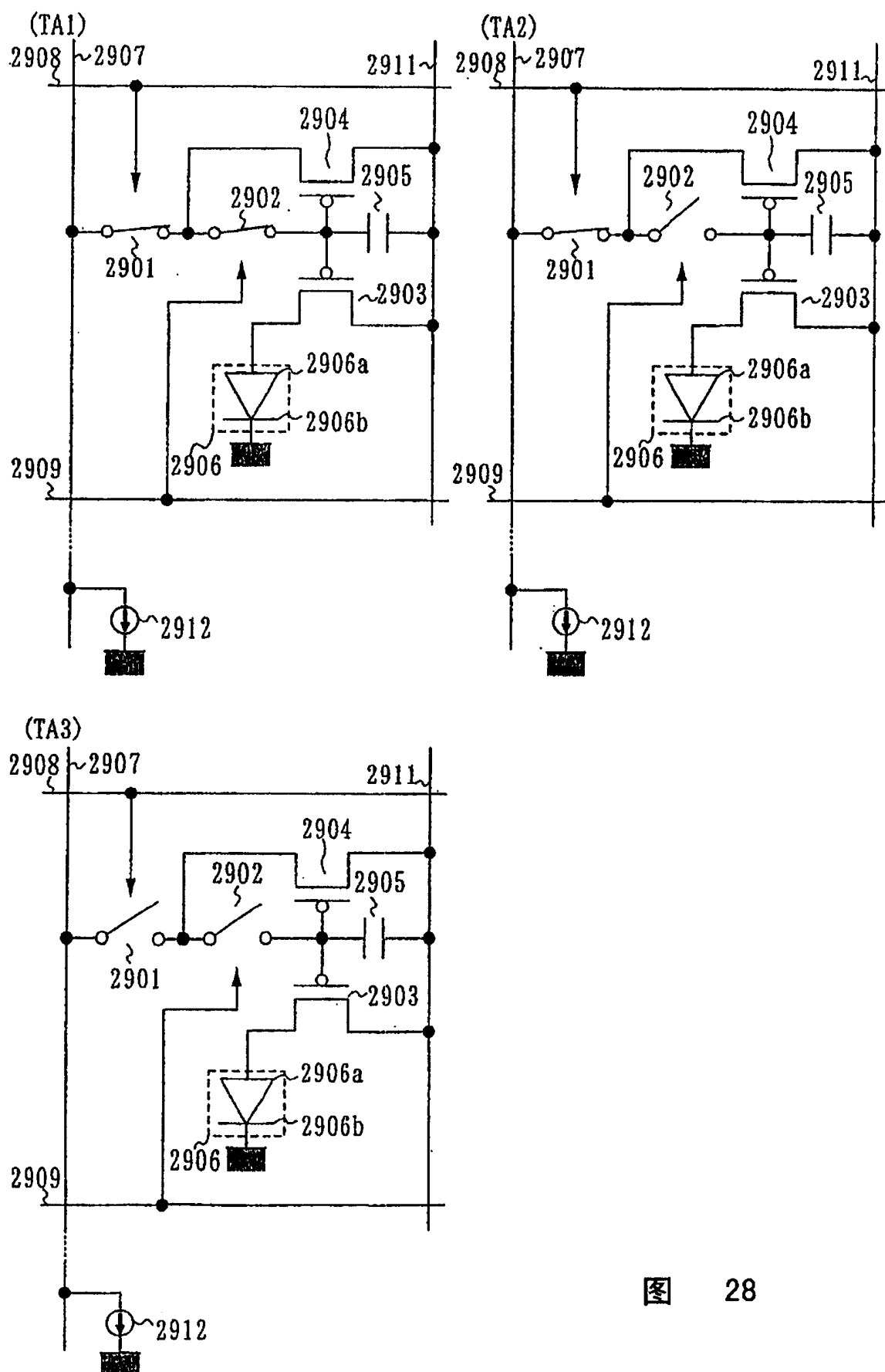


图 28

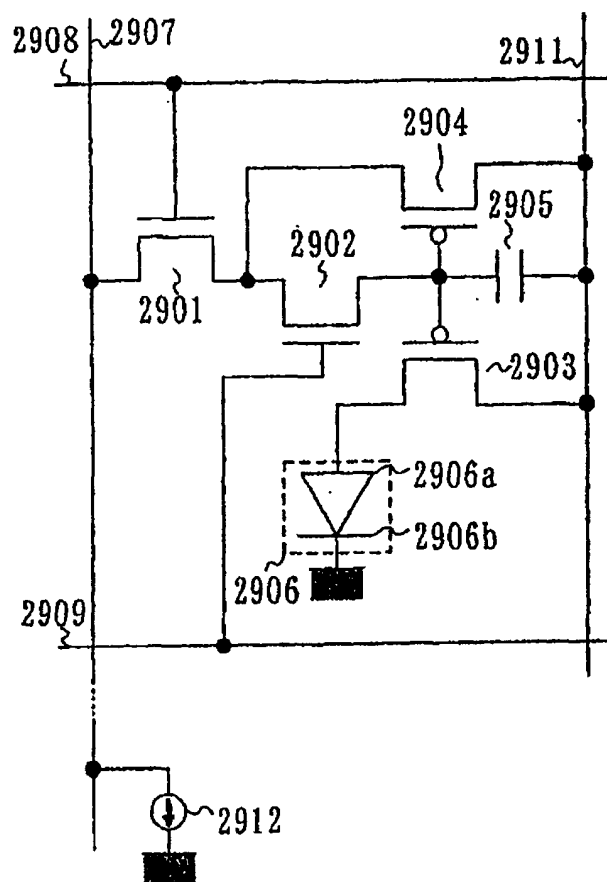


图 29

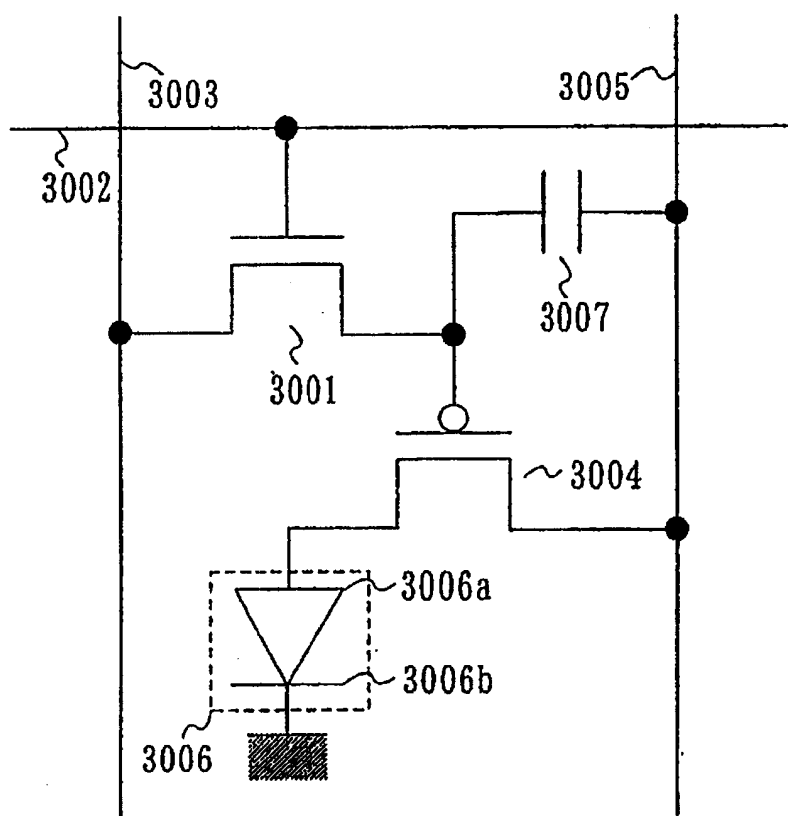


图 30

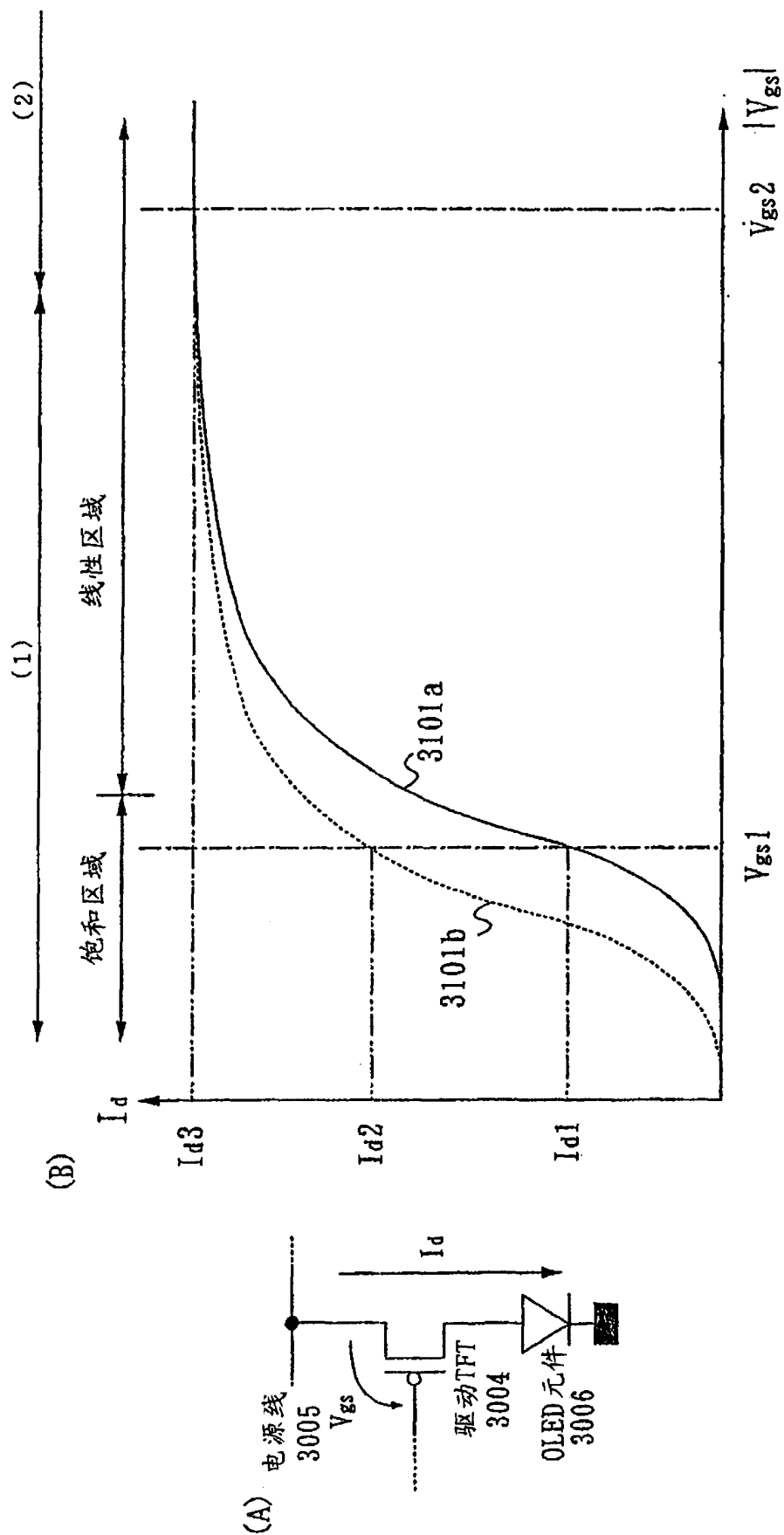


图 31

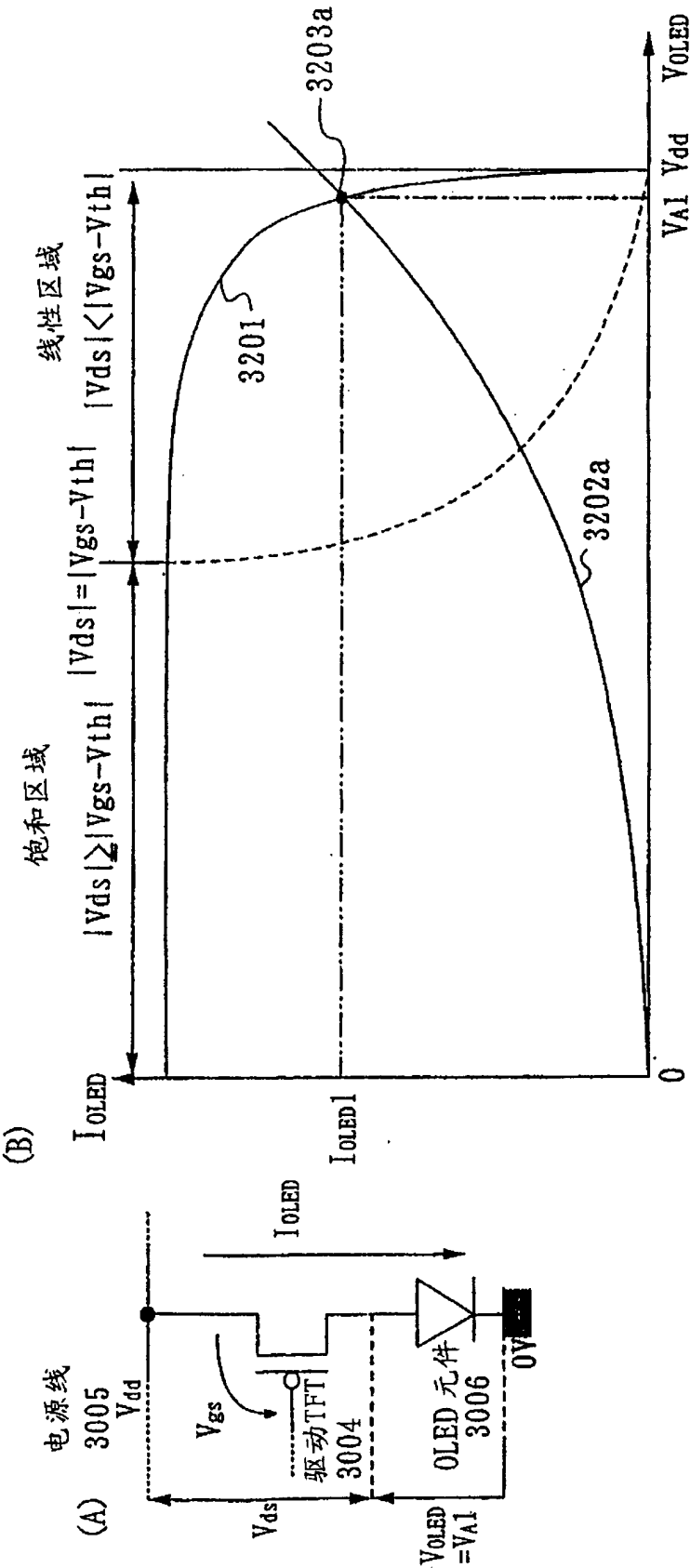


图 32

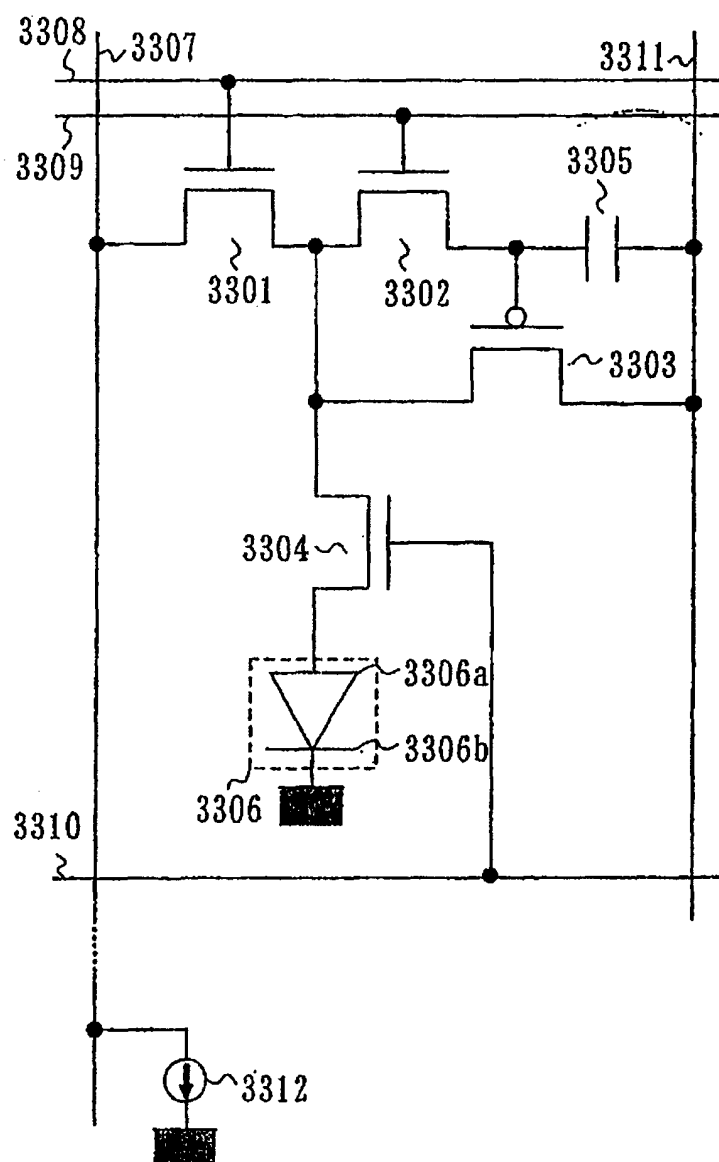


图 33

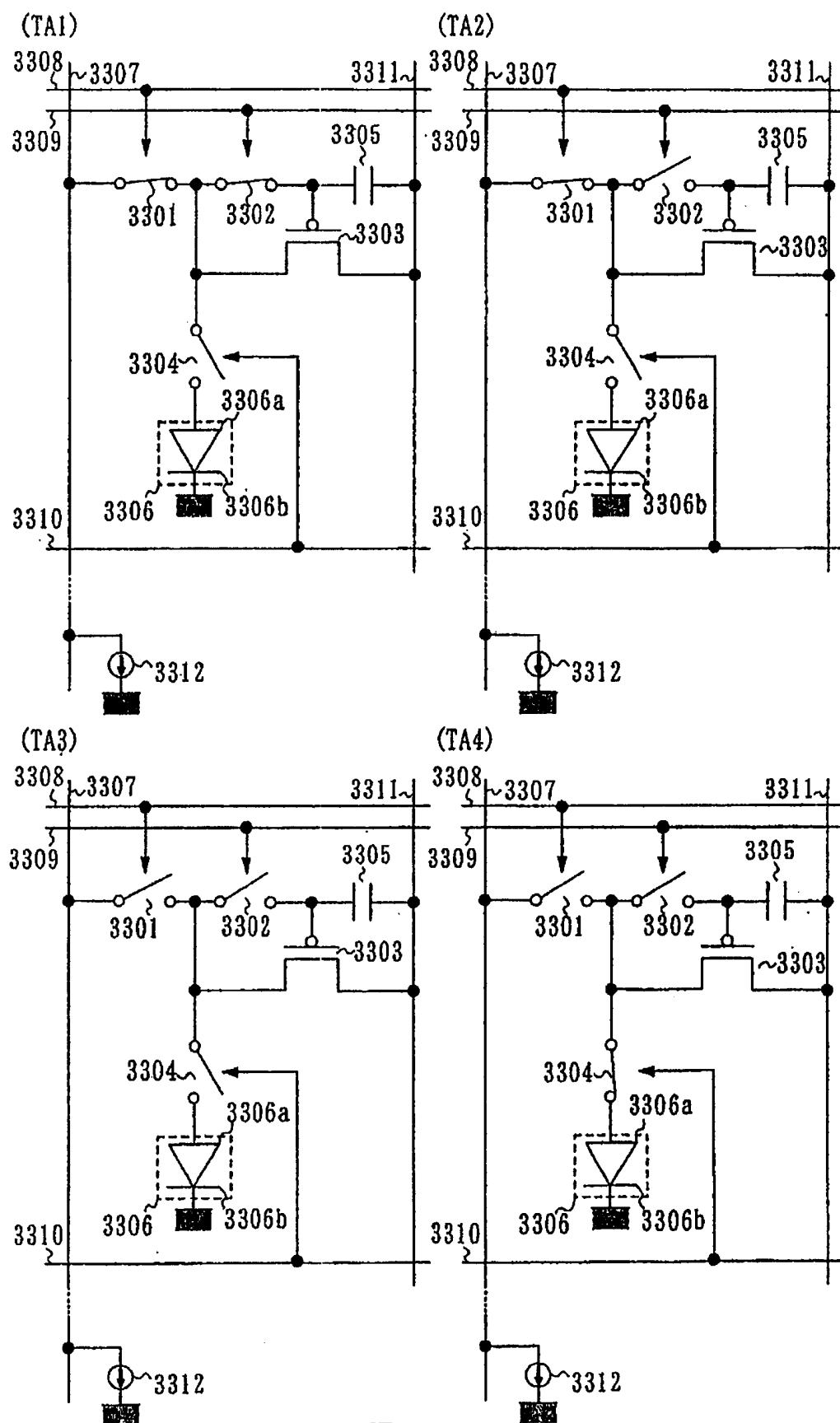


图 34

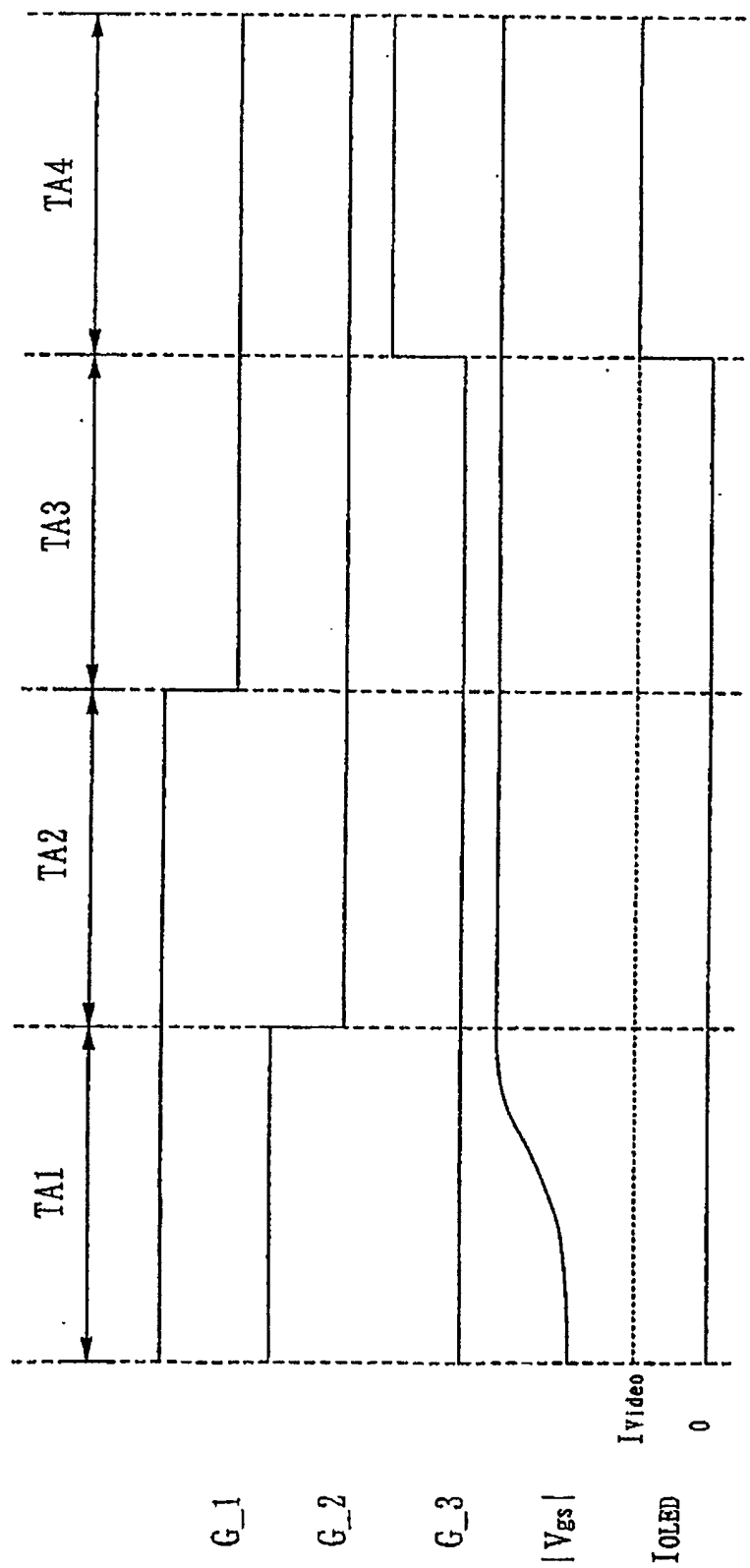


图 35

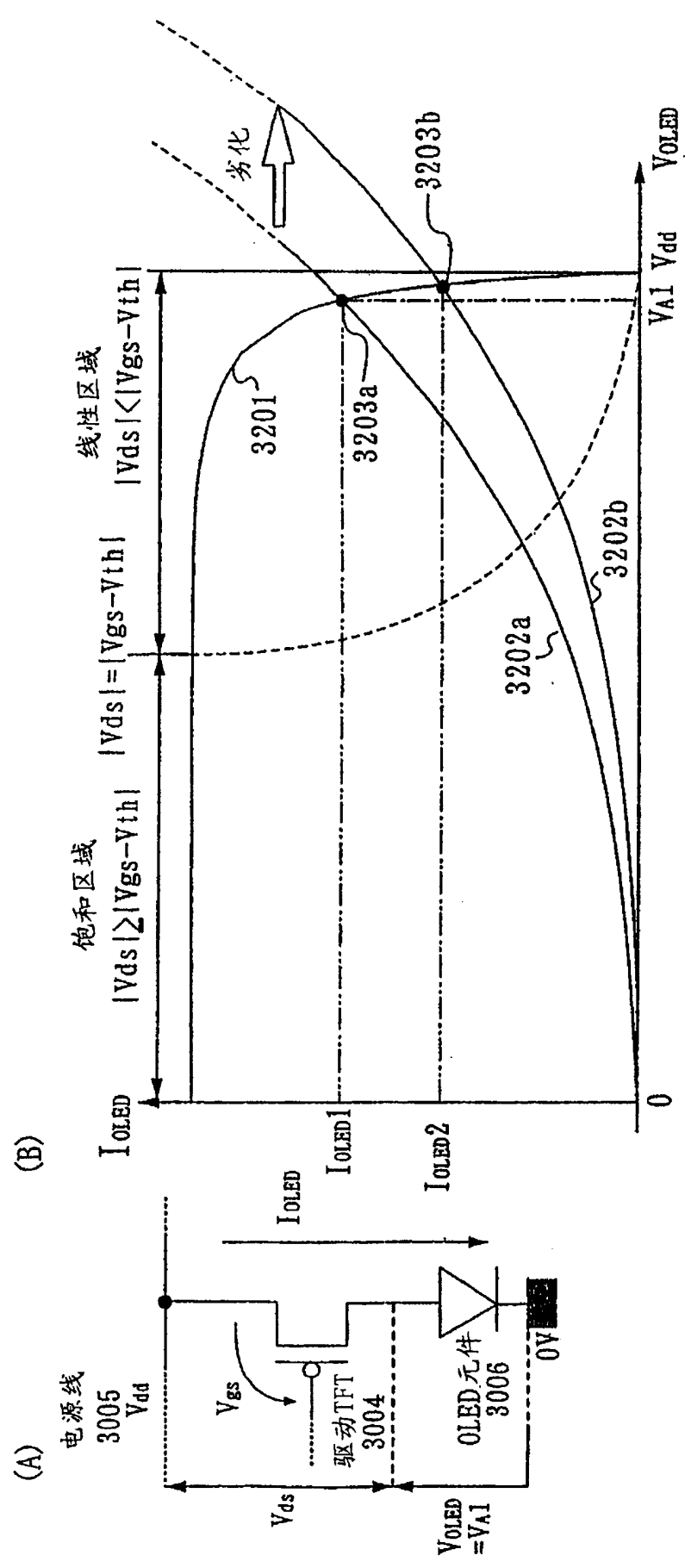


图 36

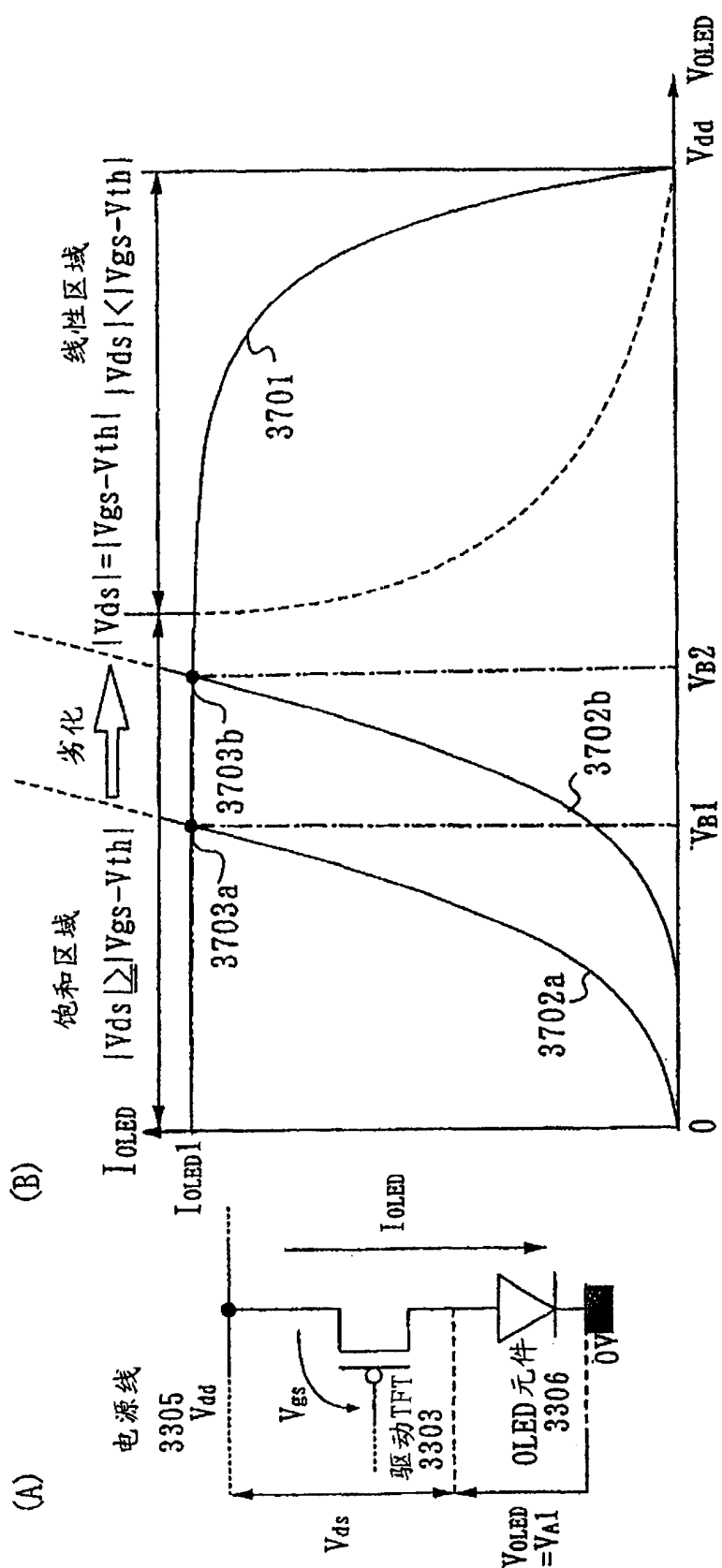


图 37

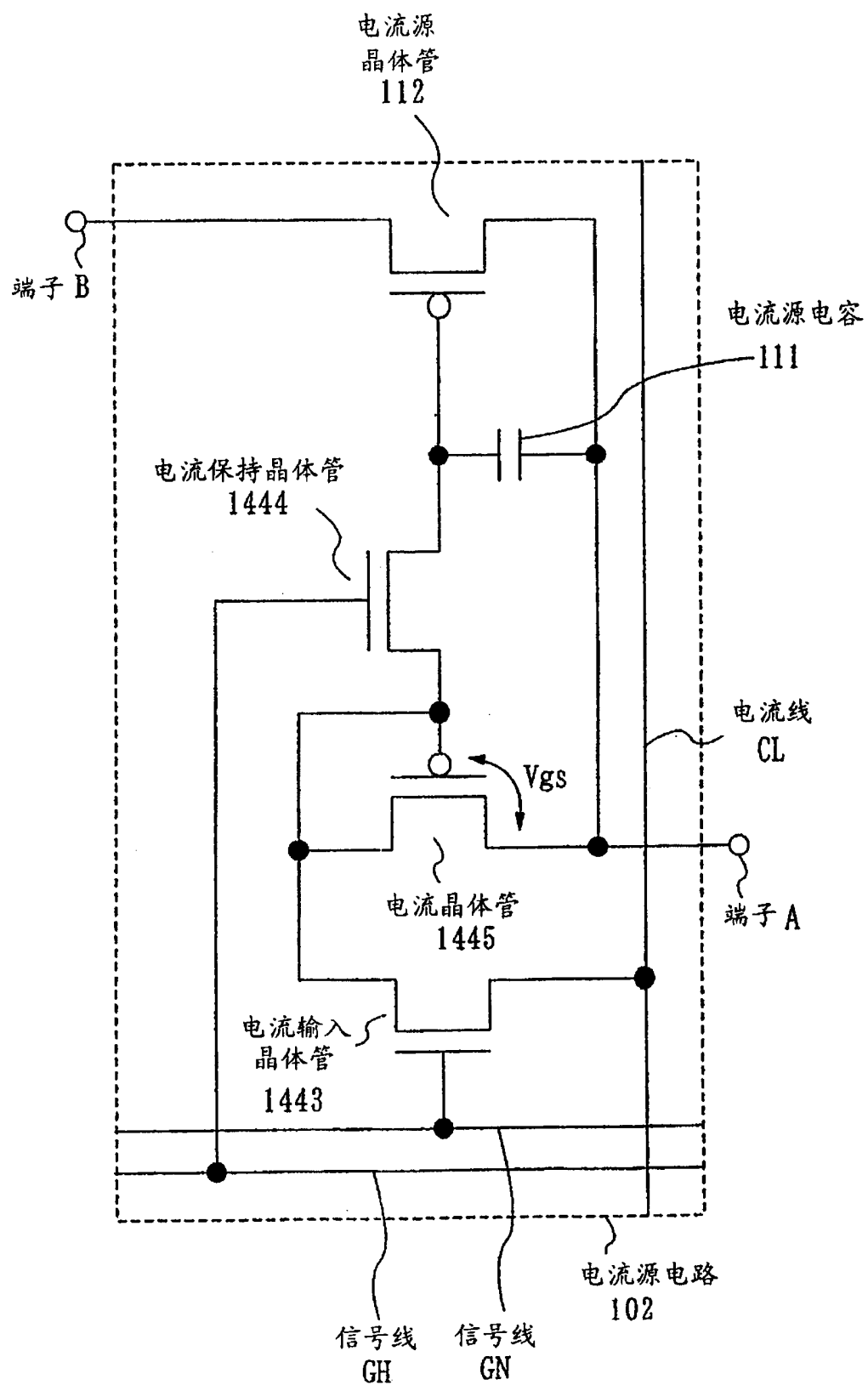


图 38

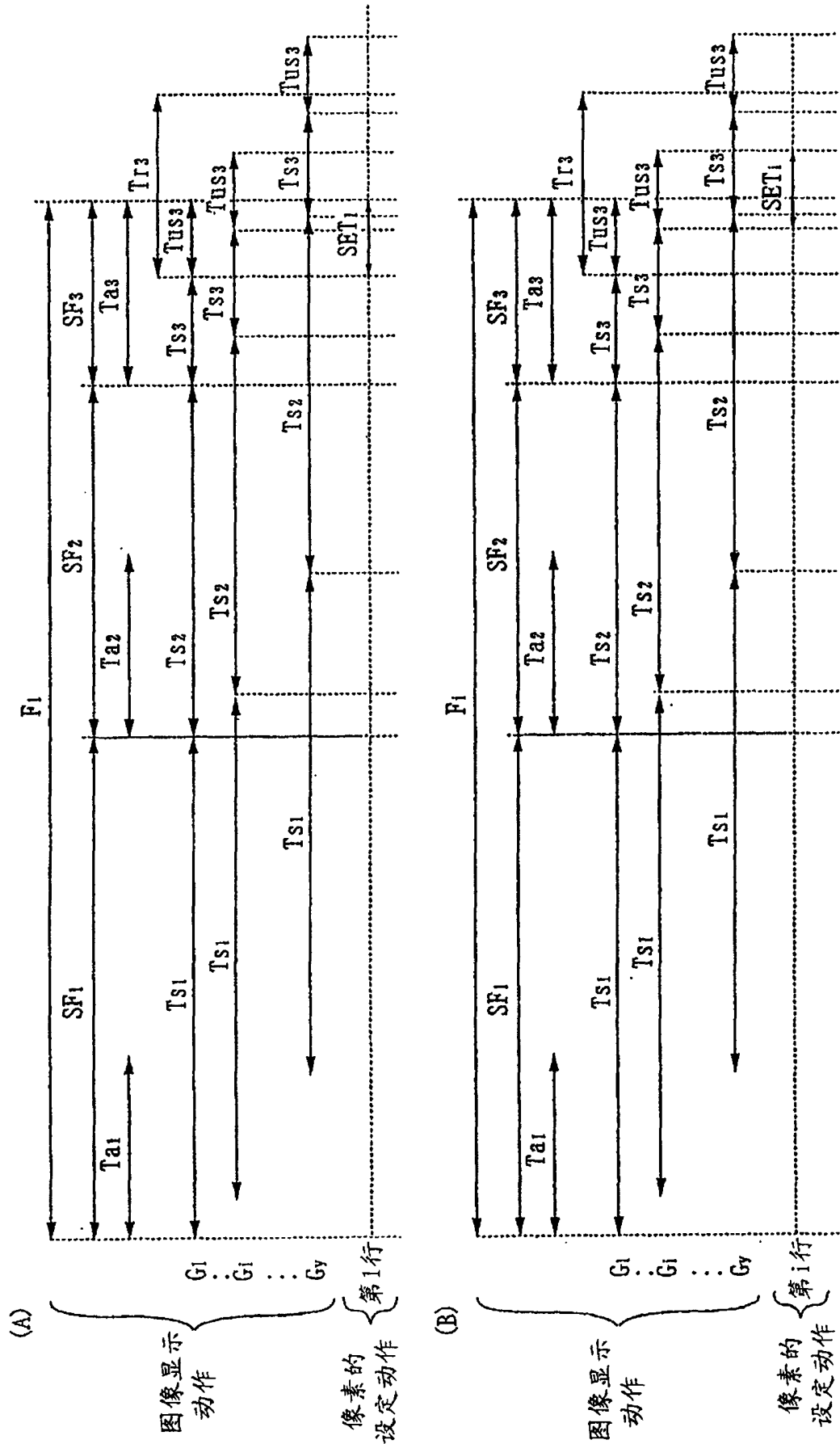


图 40

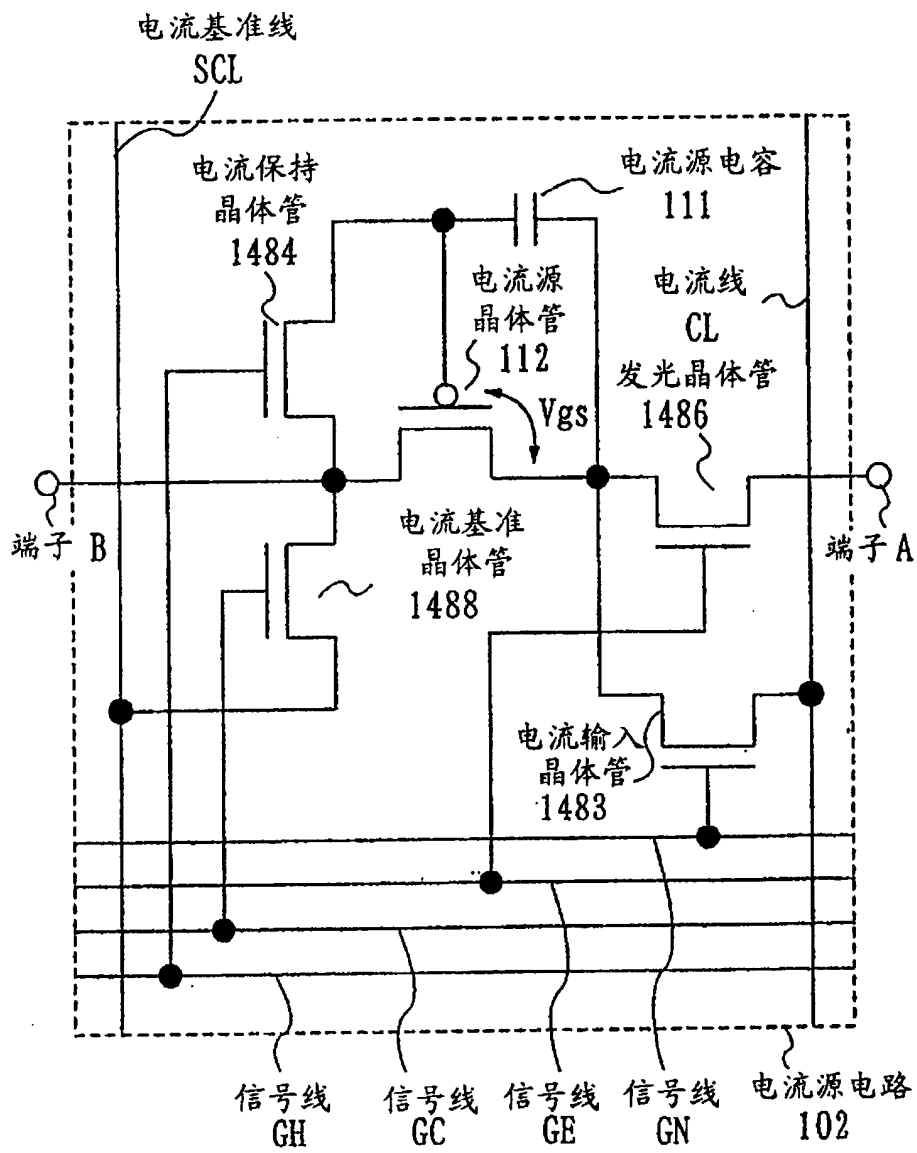


图 41

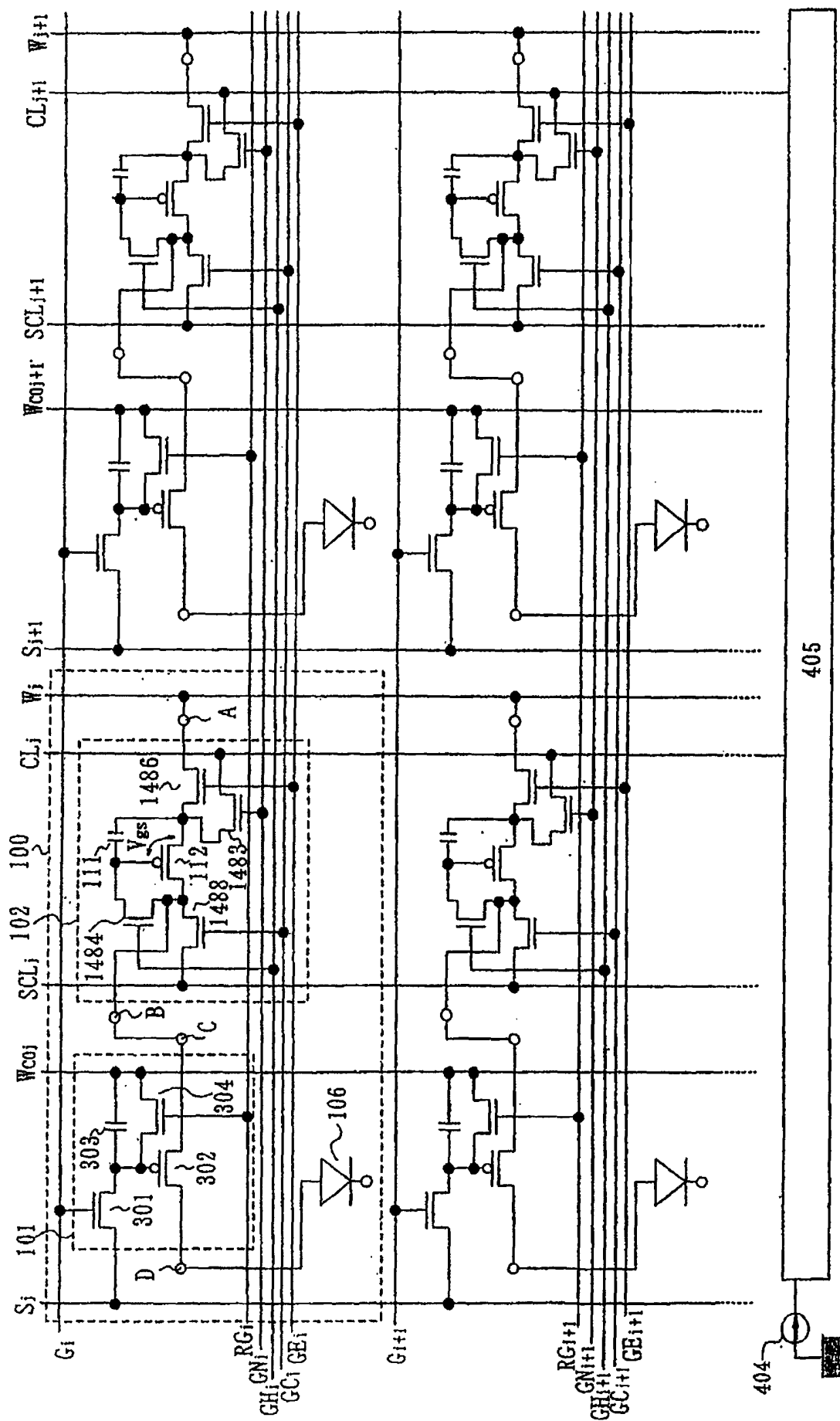


图 42

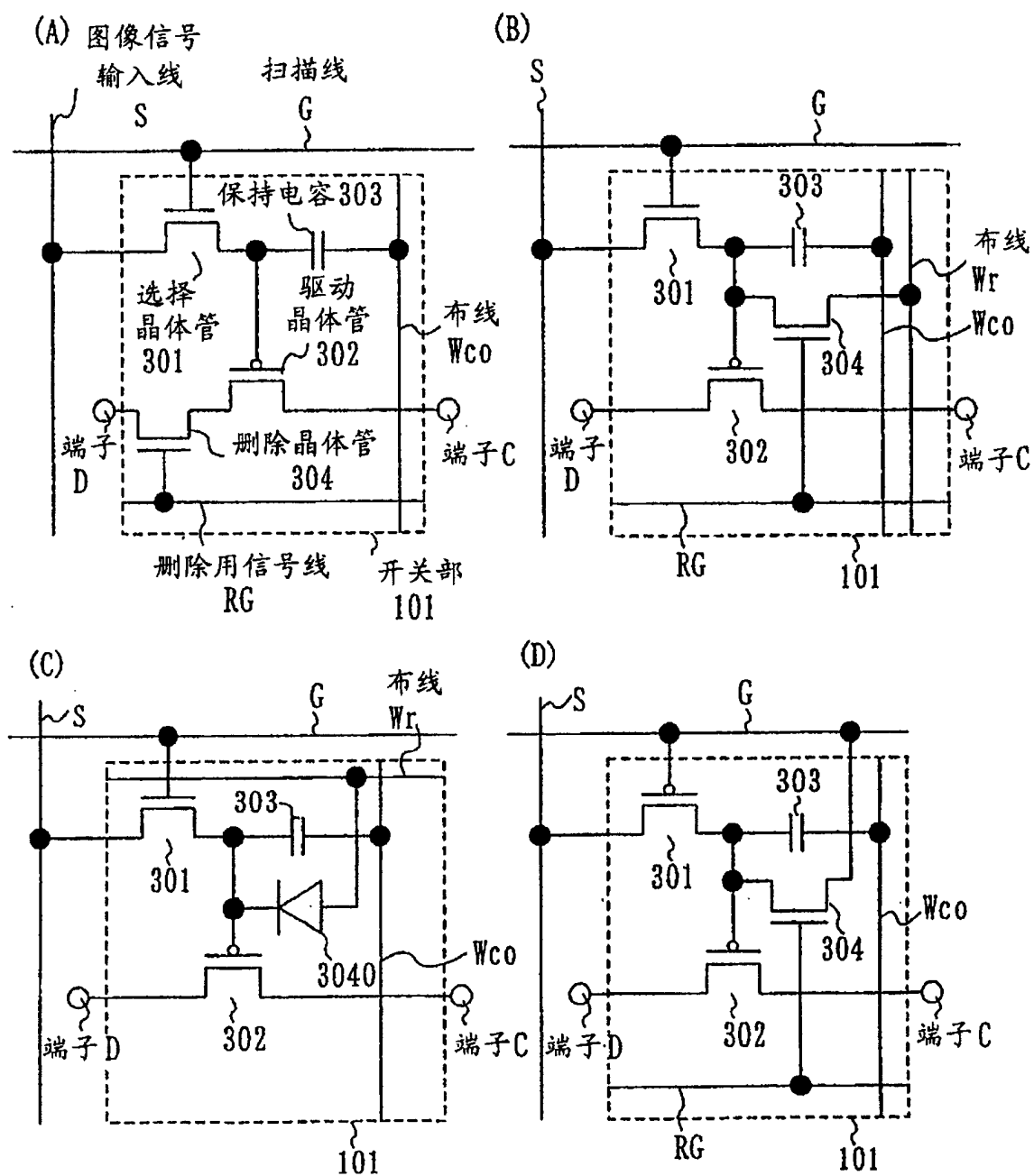


图 43

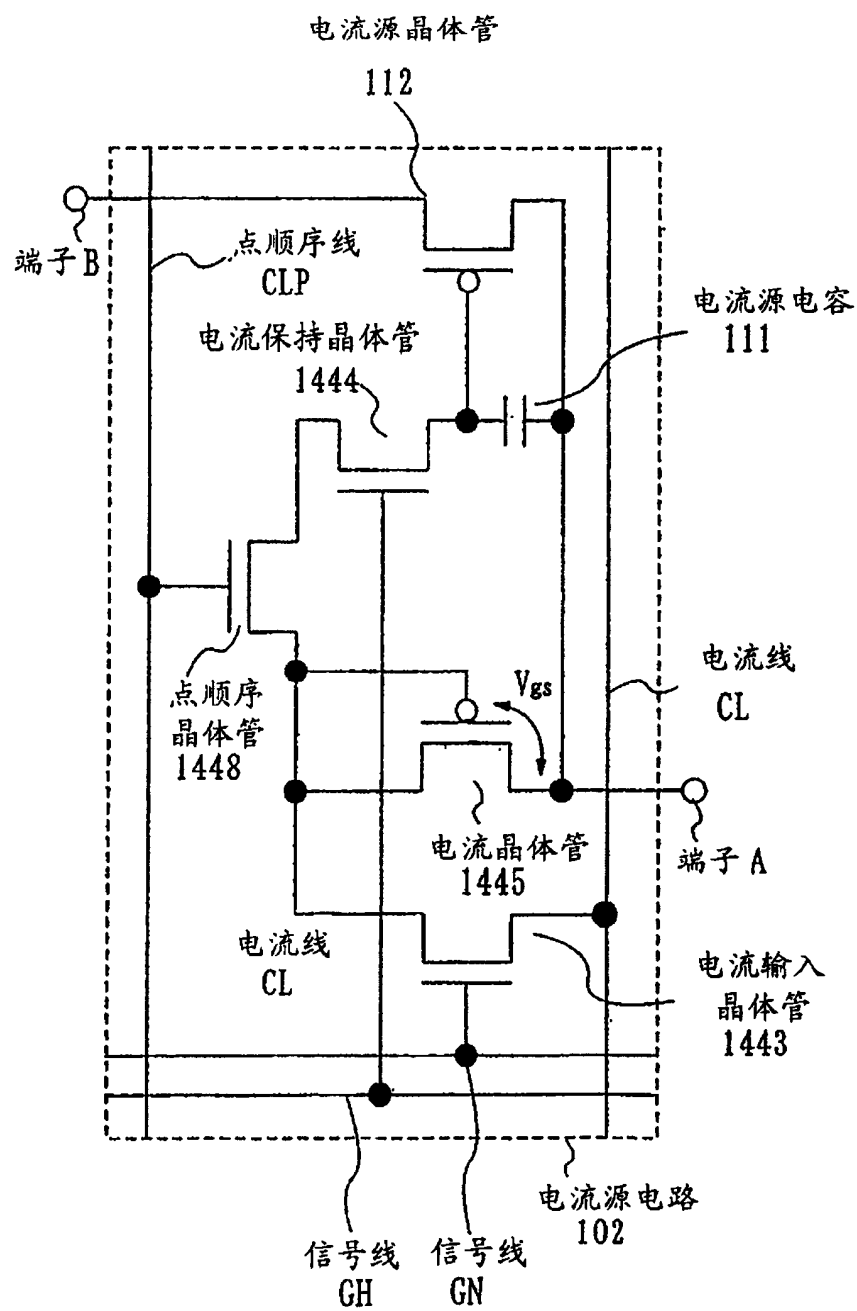


图 44

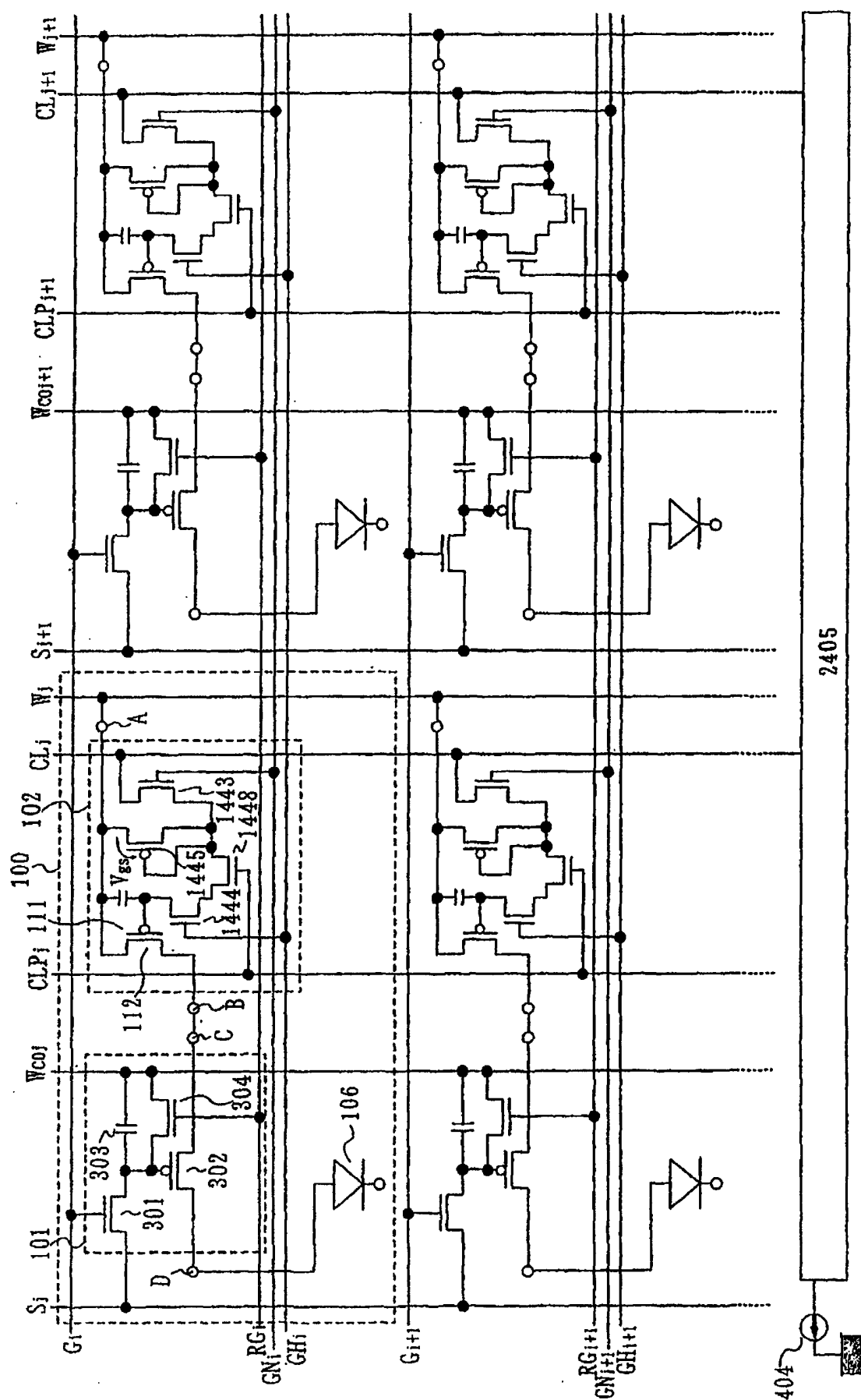


图 45

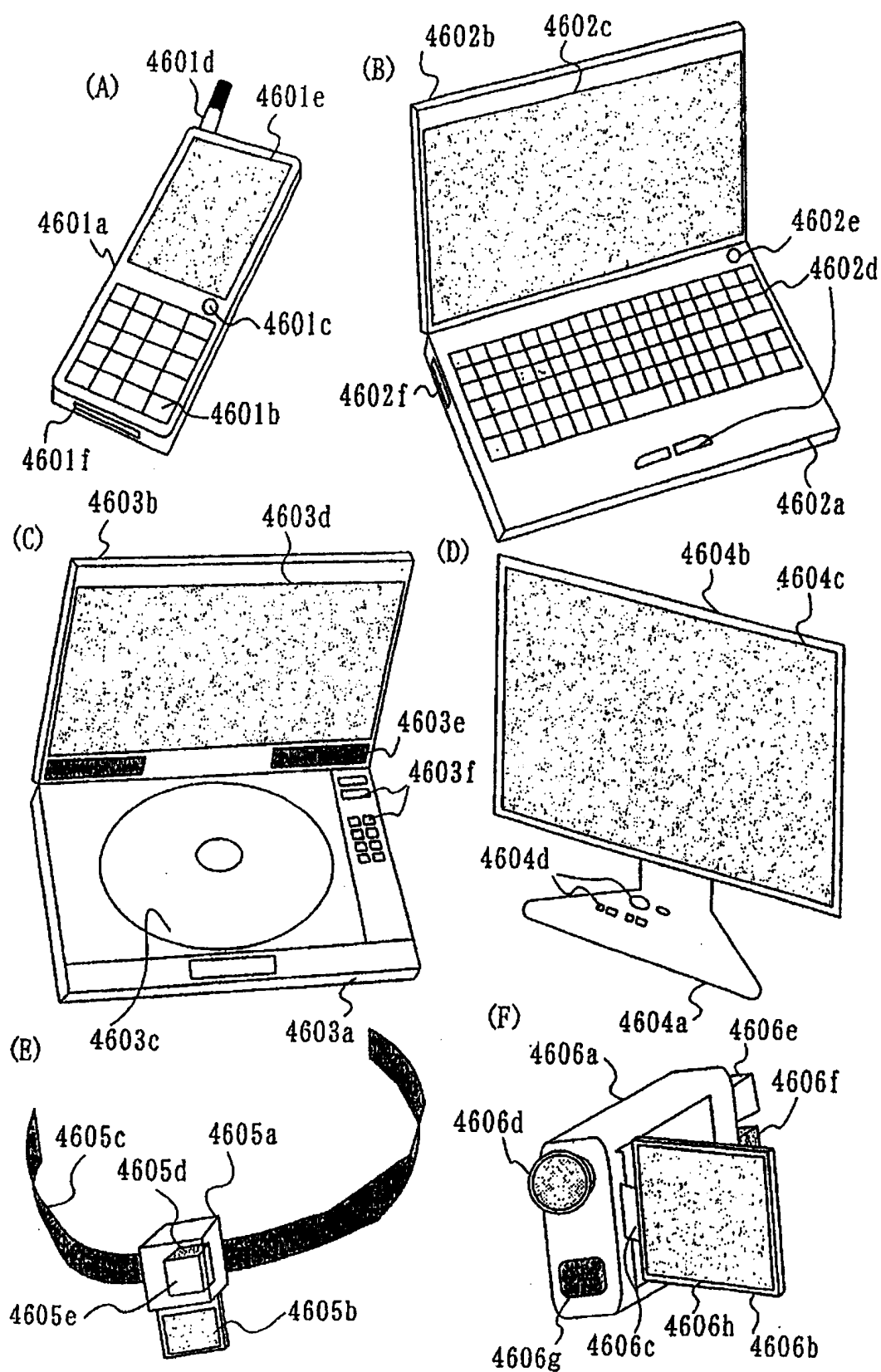


图 46

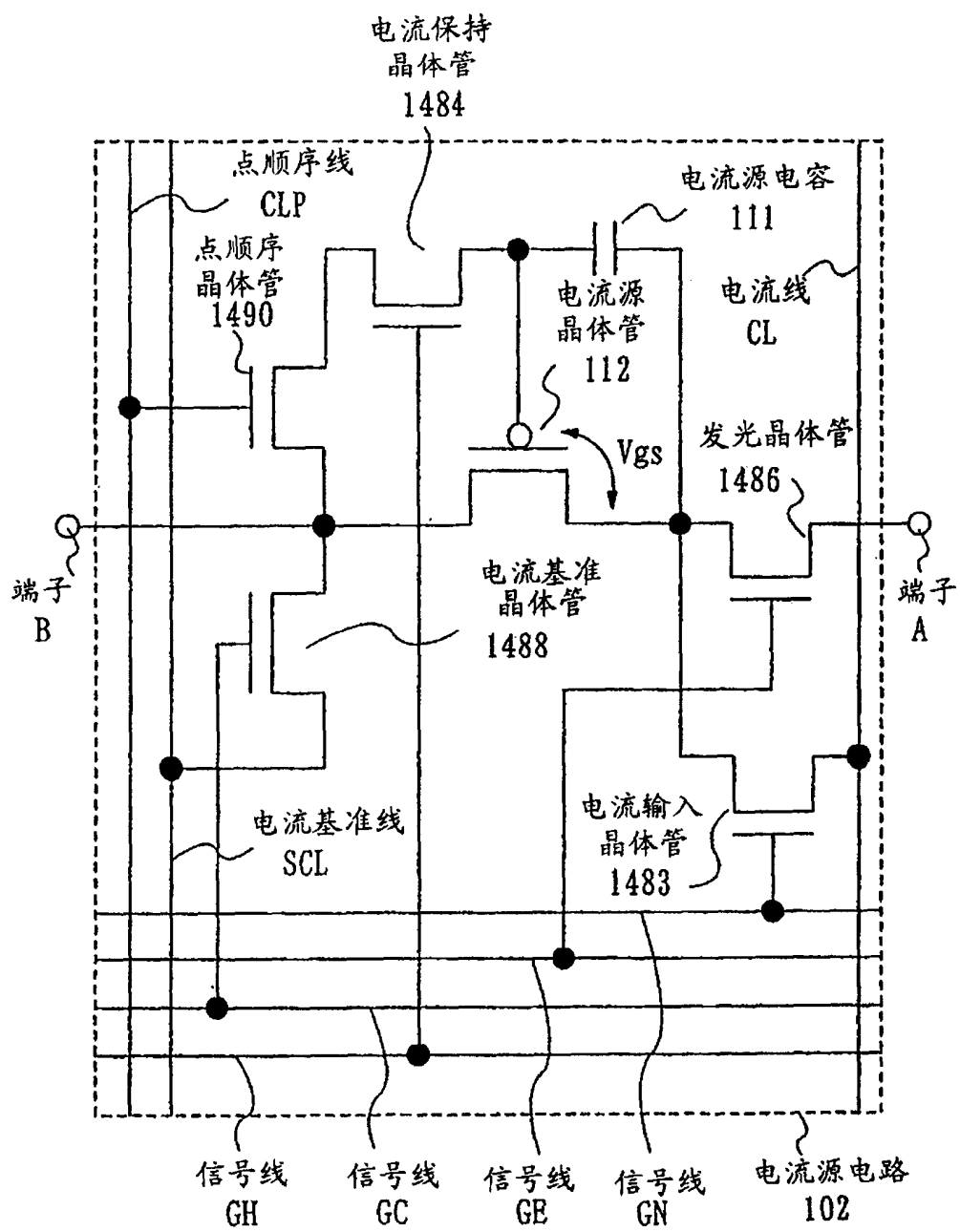


图 47

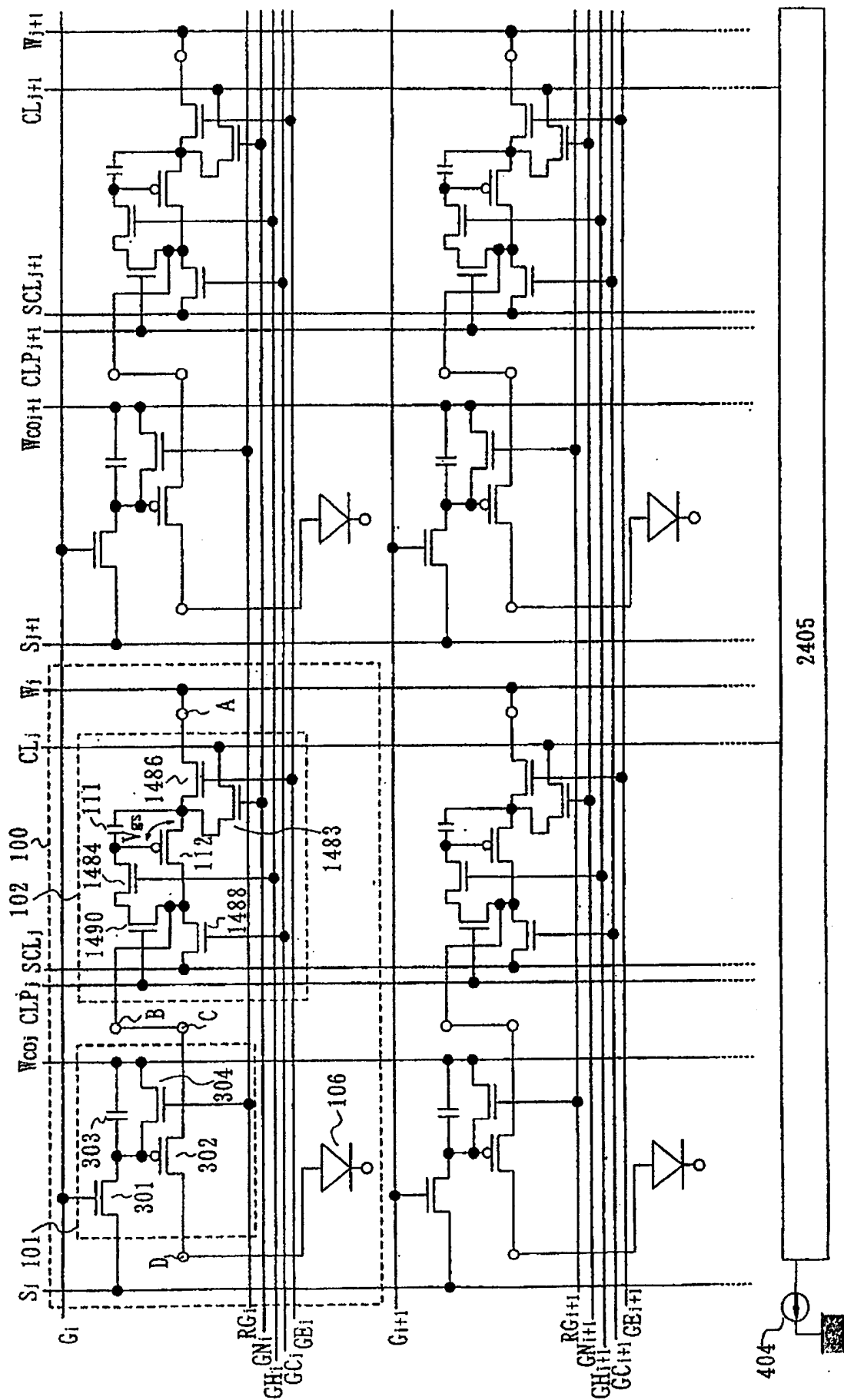


图 48

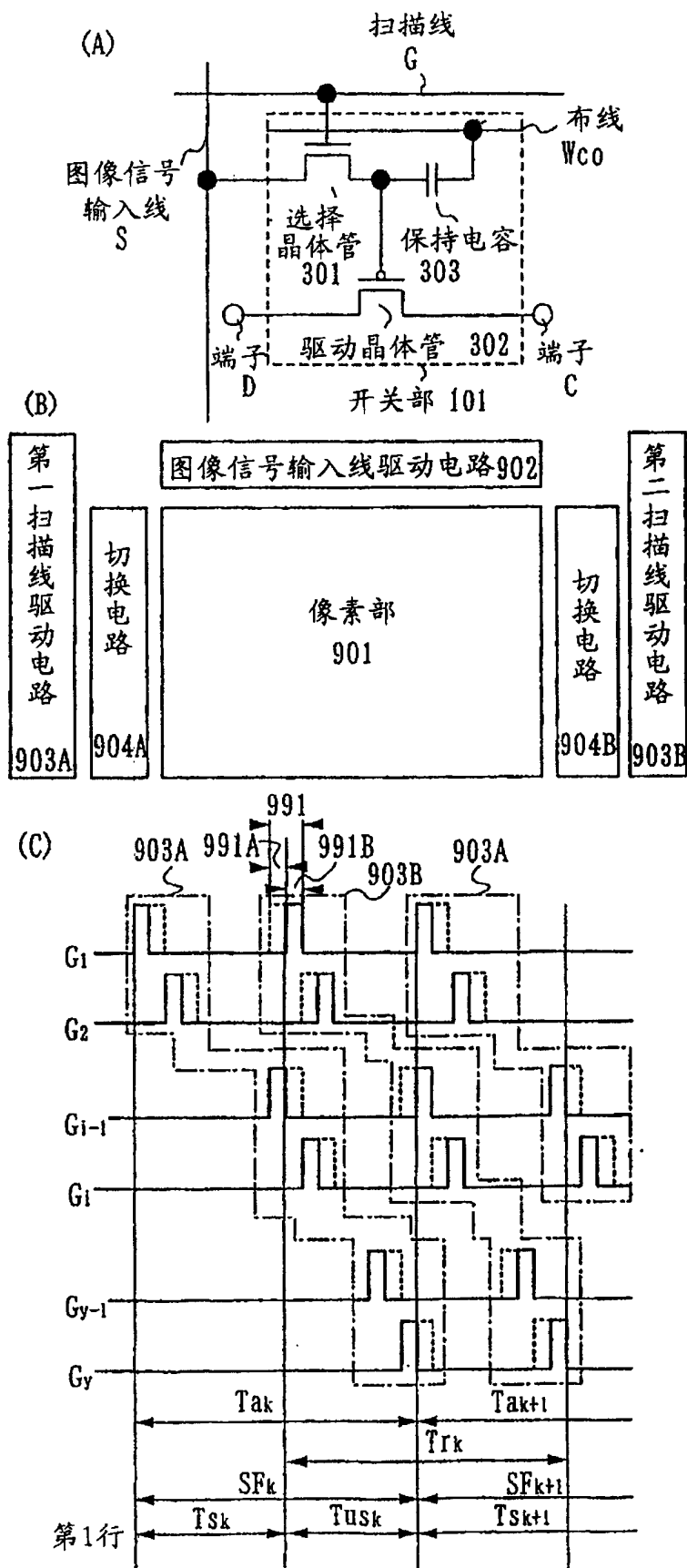


图 49

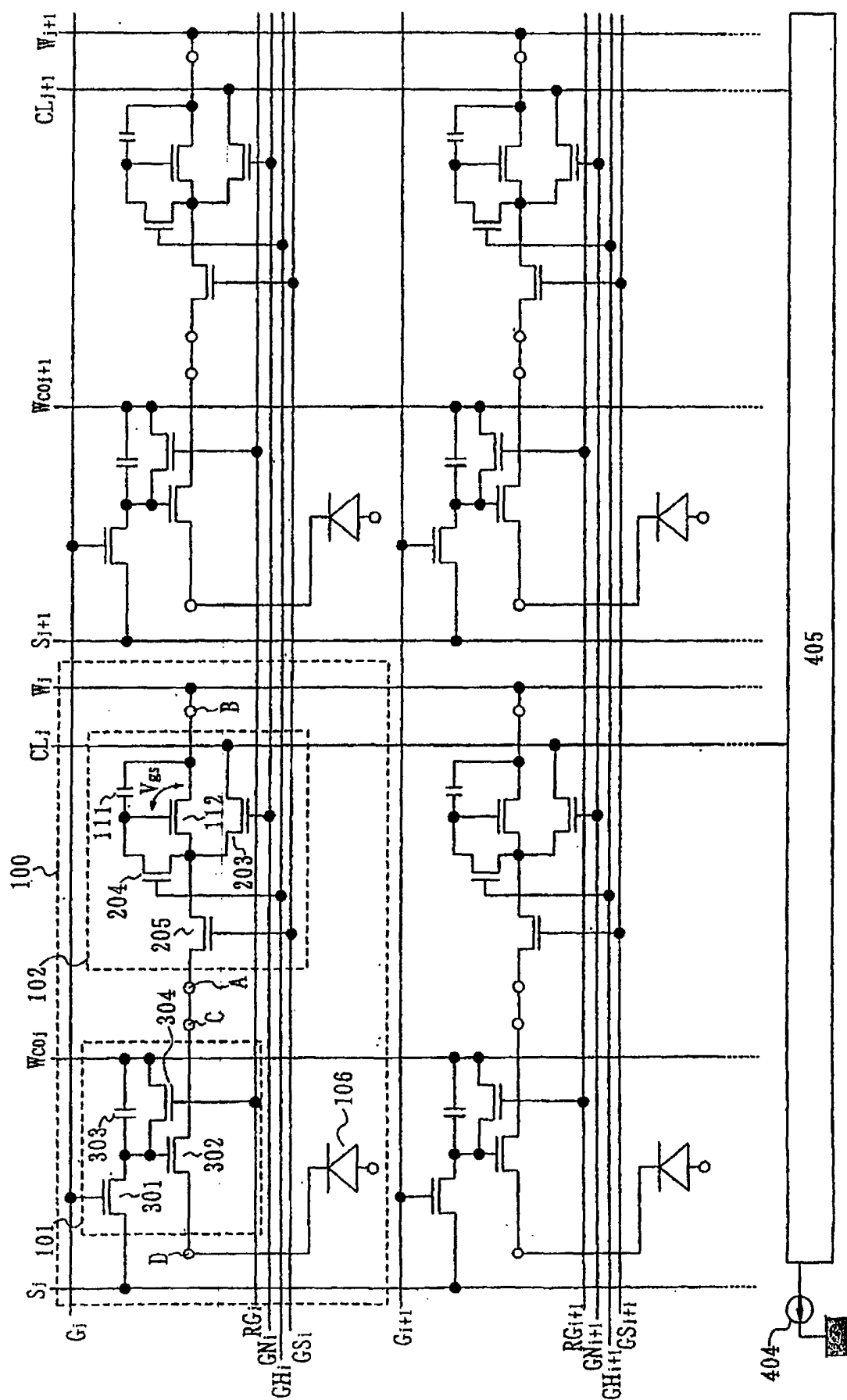


图 50

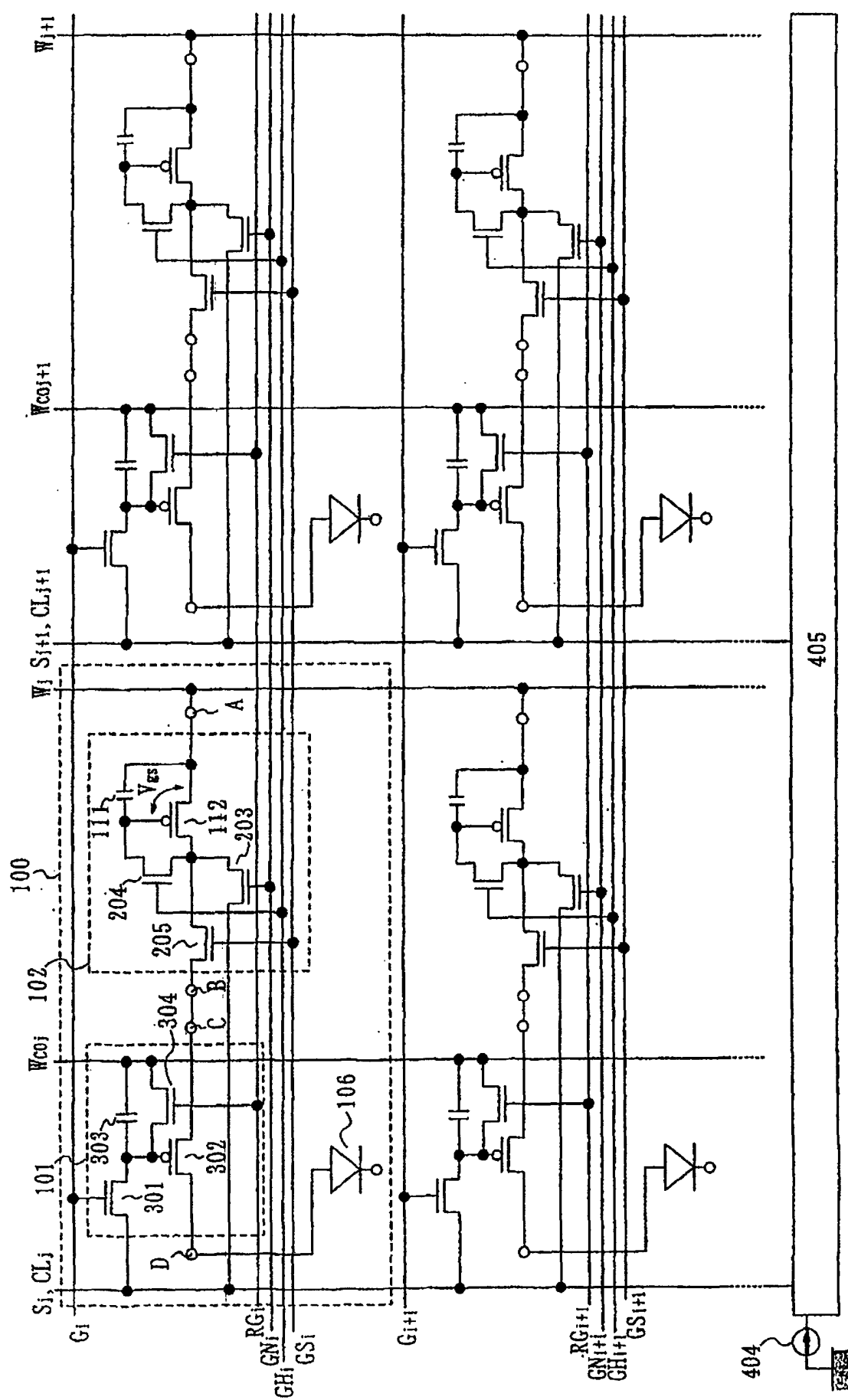


图 51

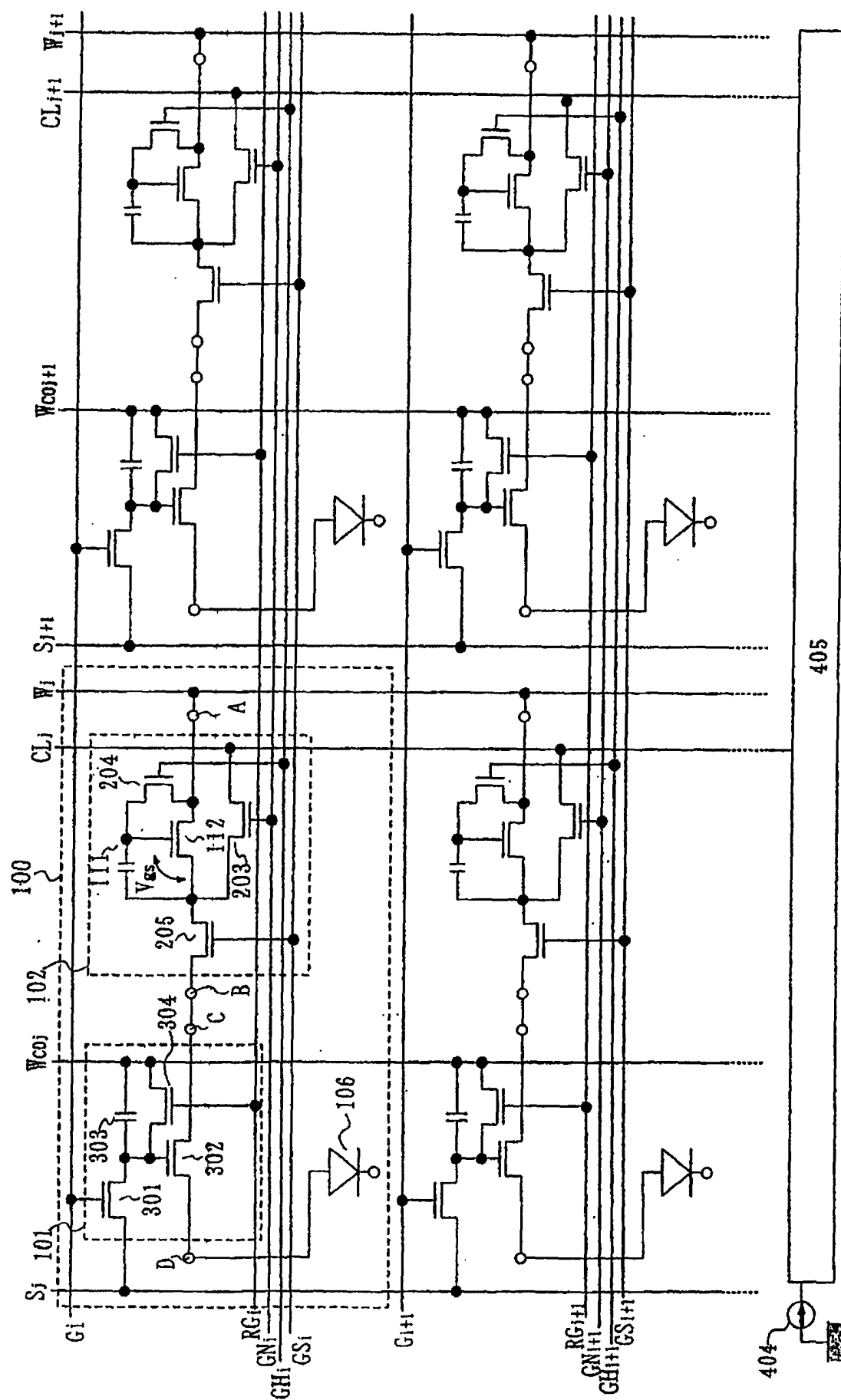


图 52

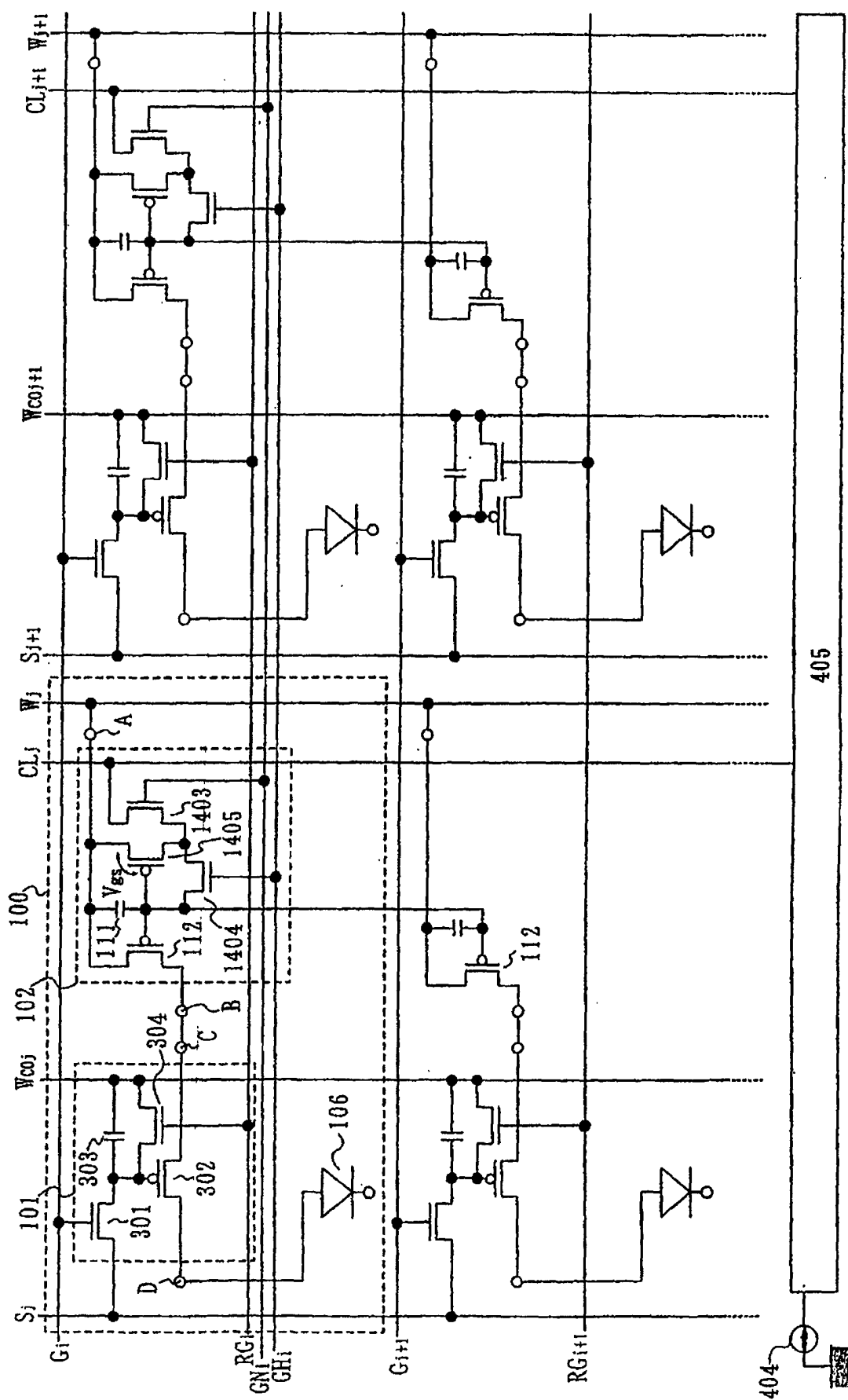


图 53

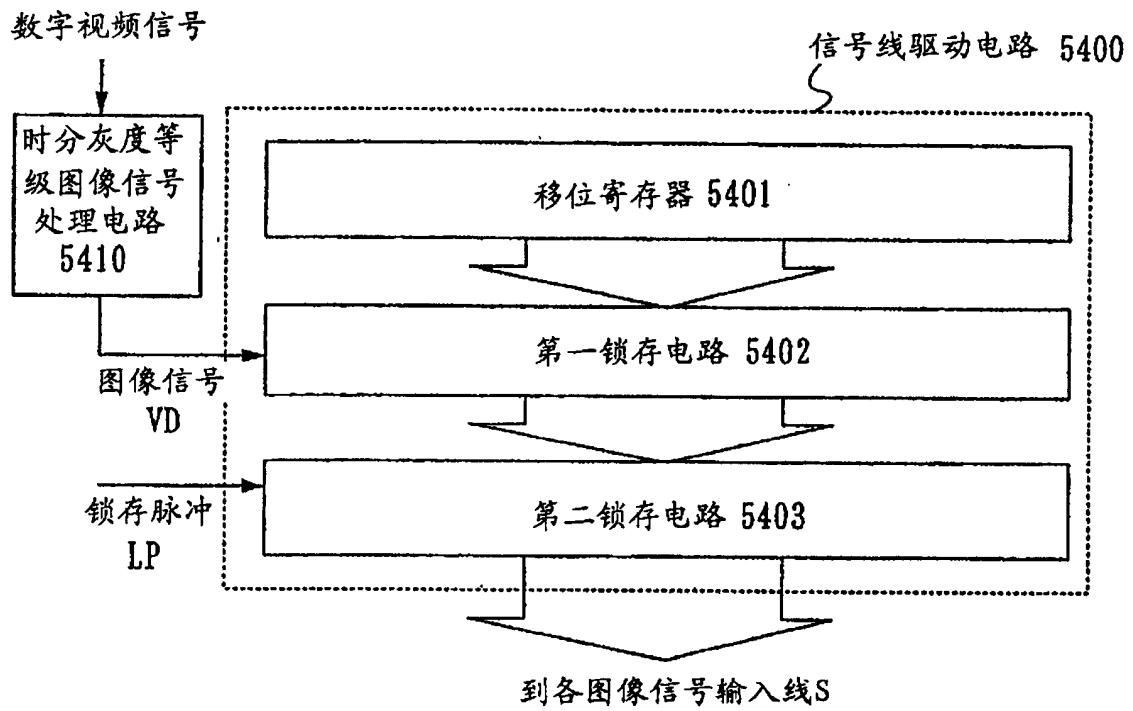


图 54

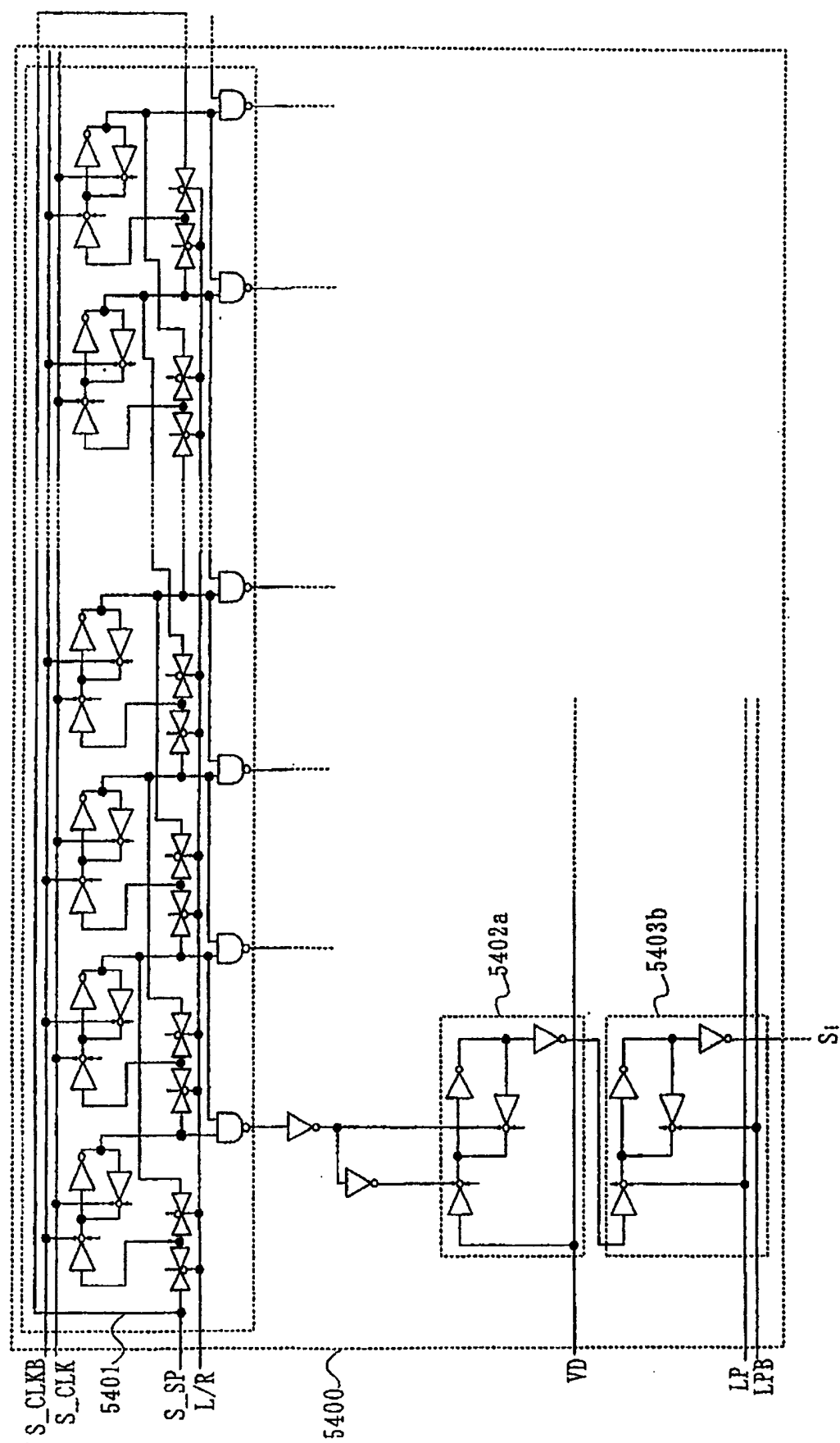


图 55

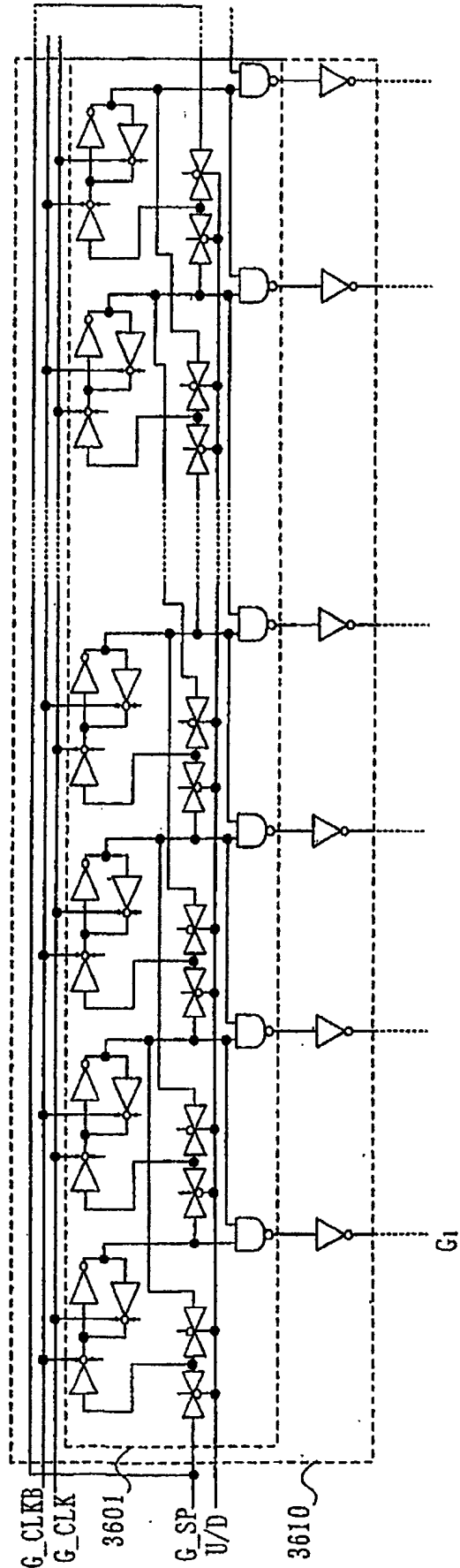
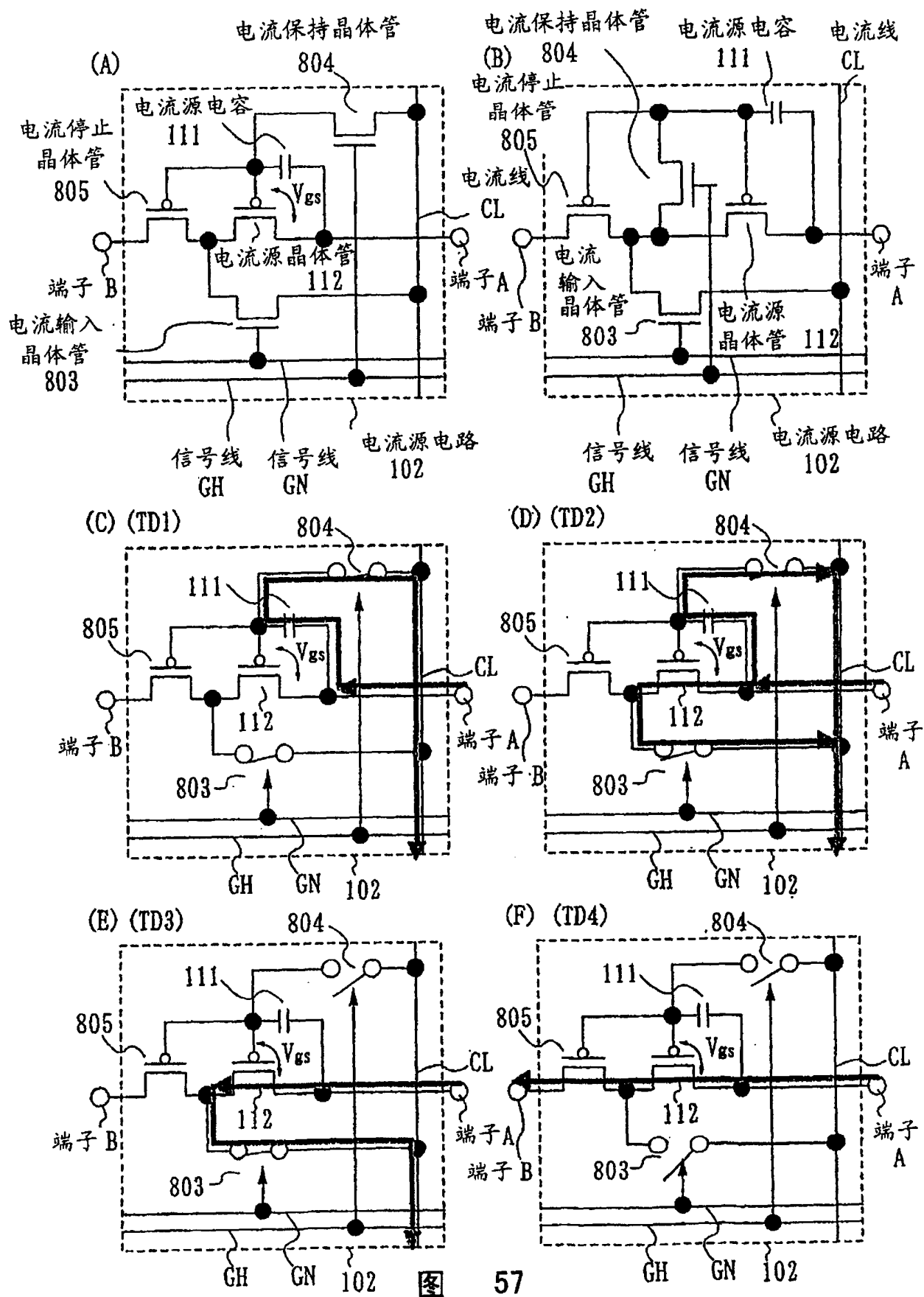


图 56



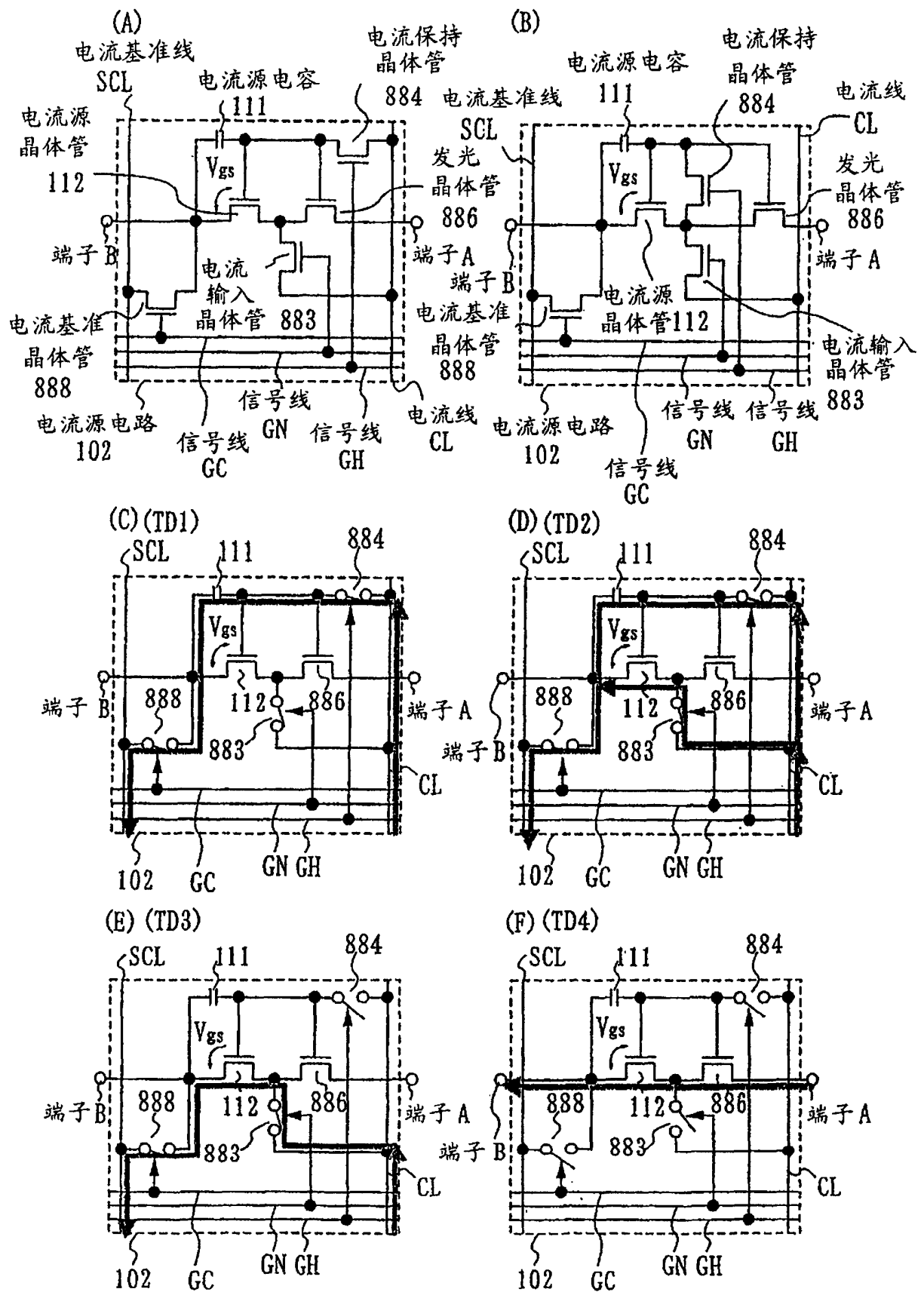


图 58

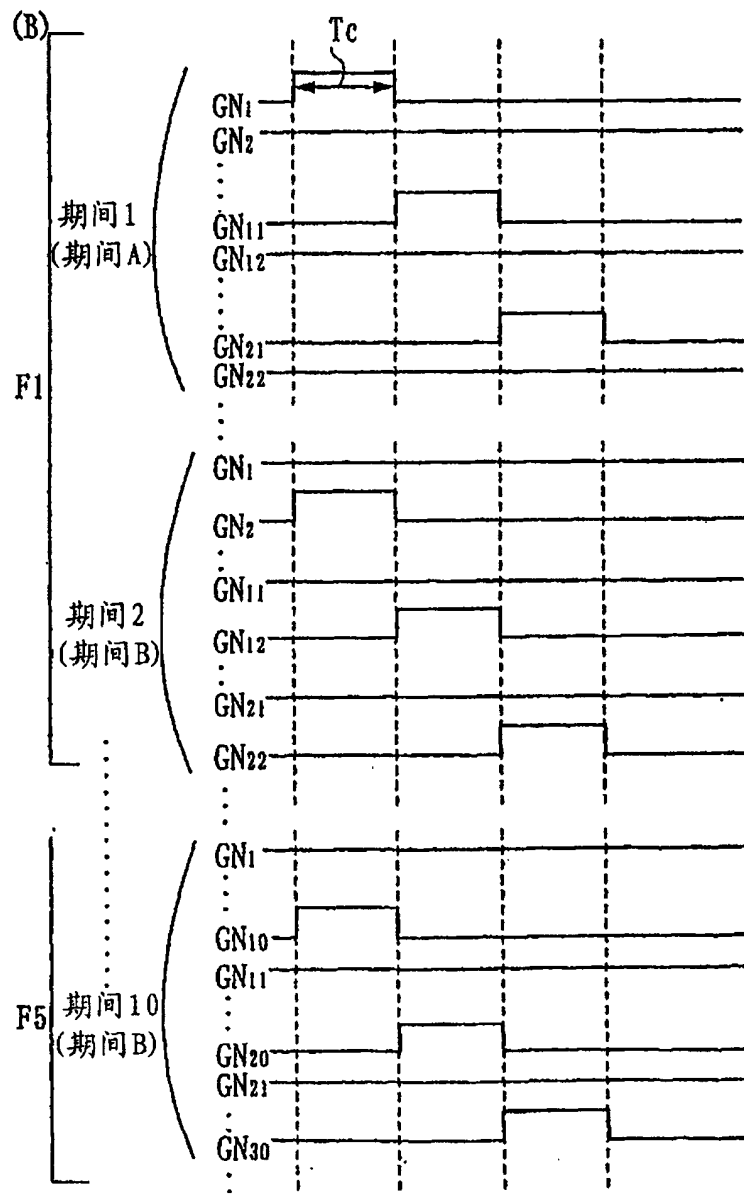
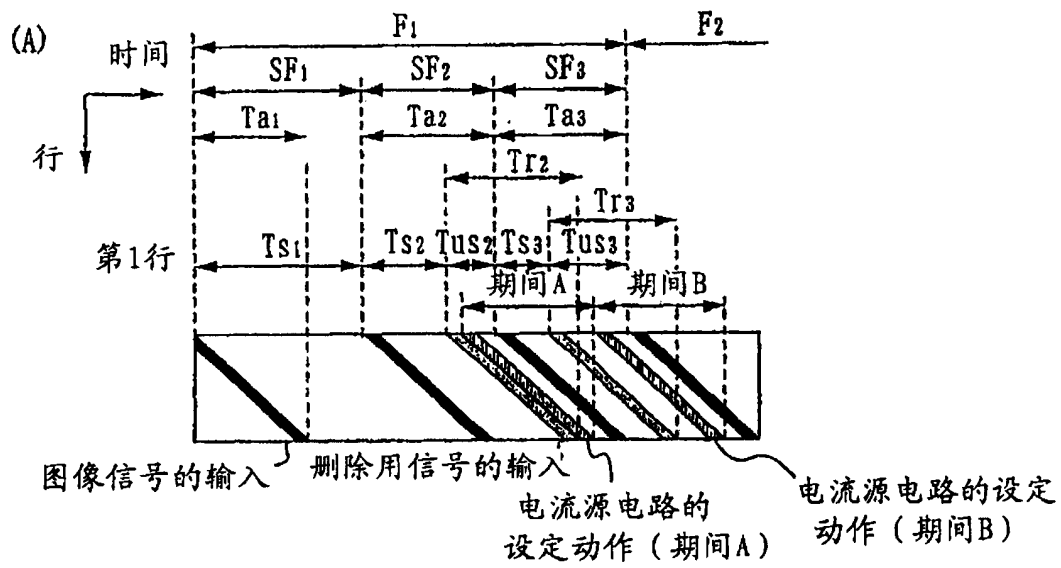
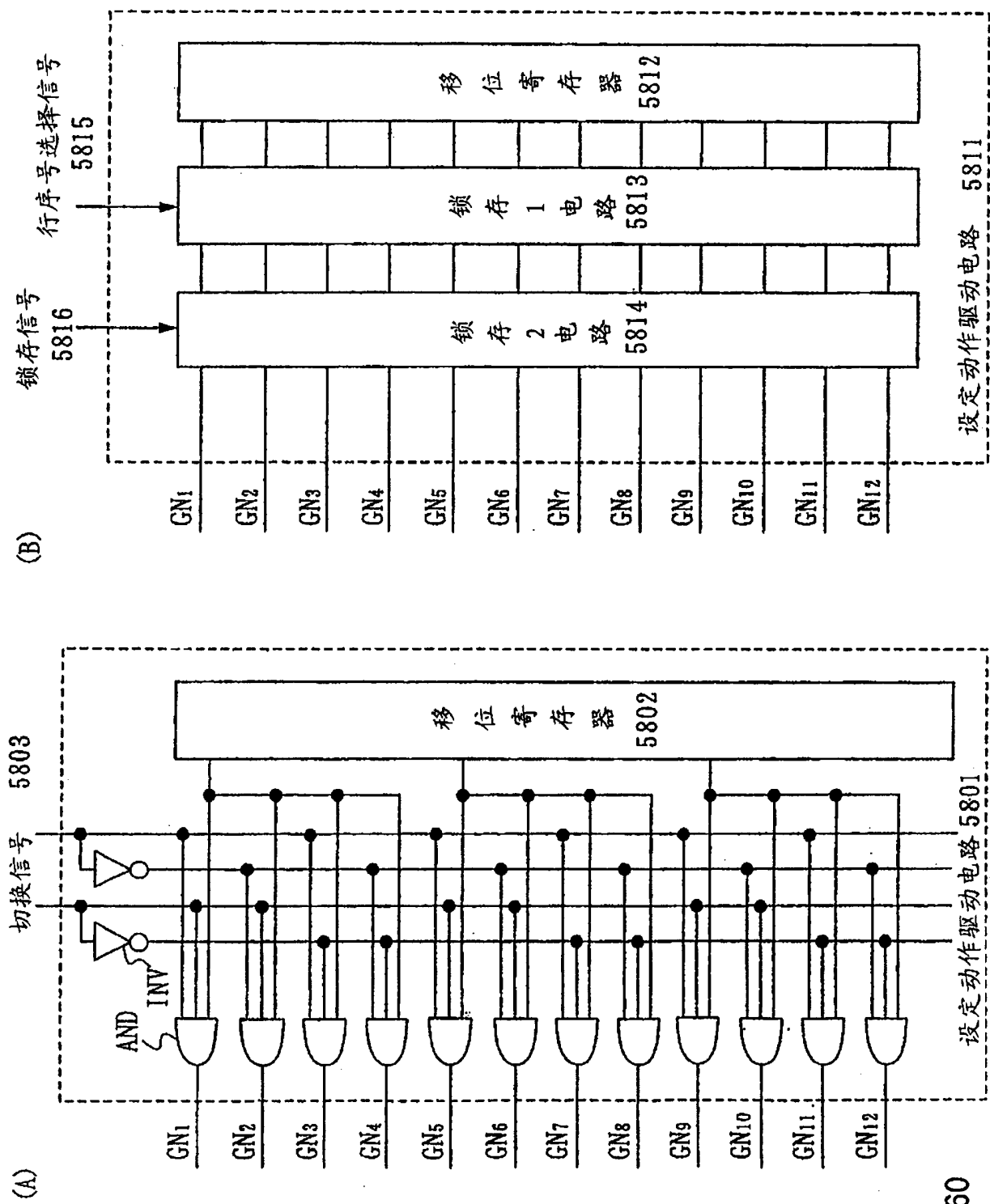


图 59



60

图

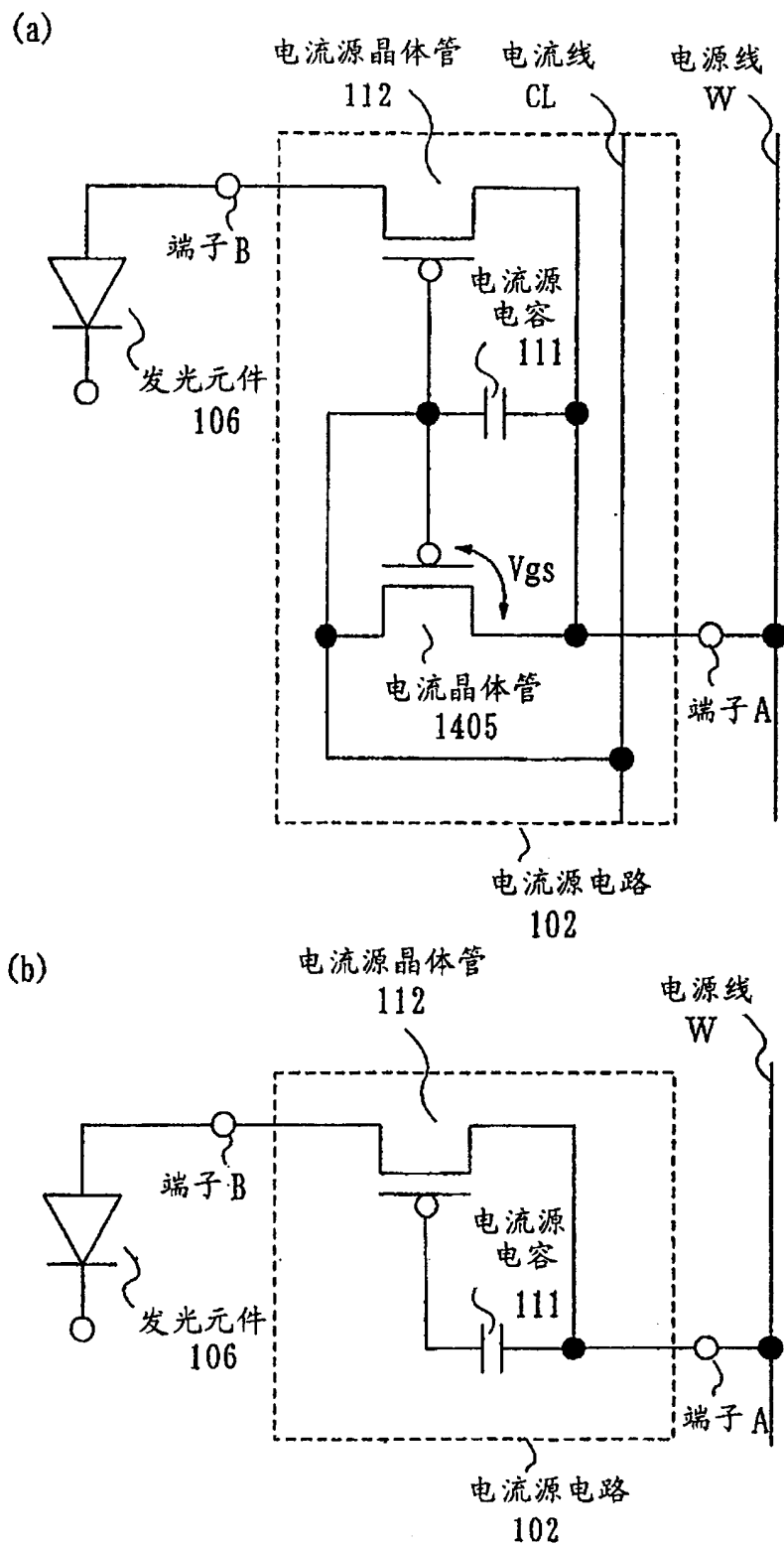


图 61

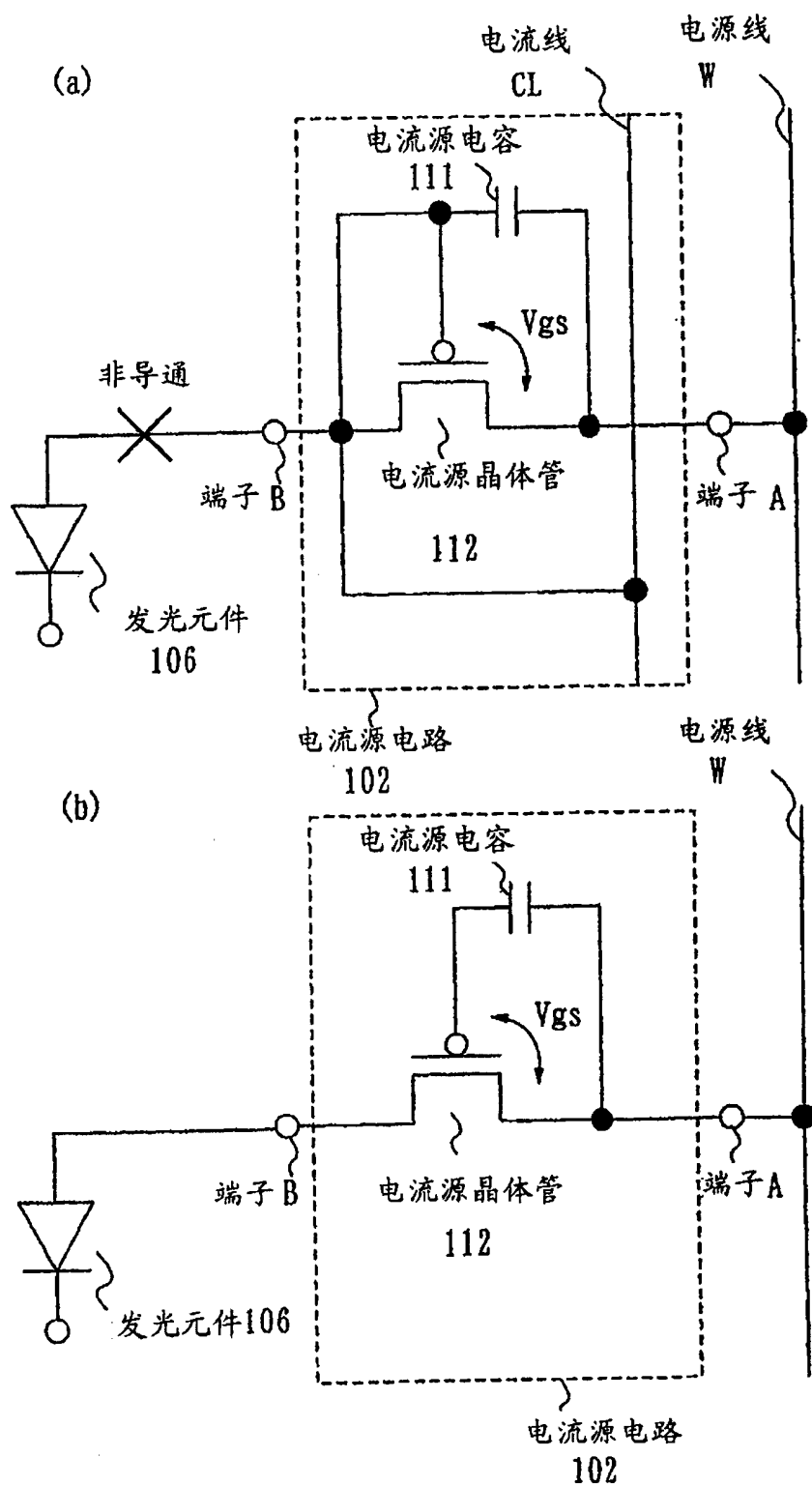


图 62

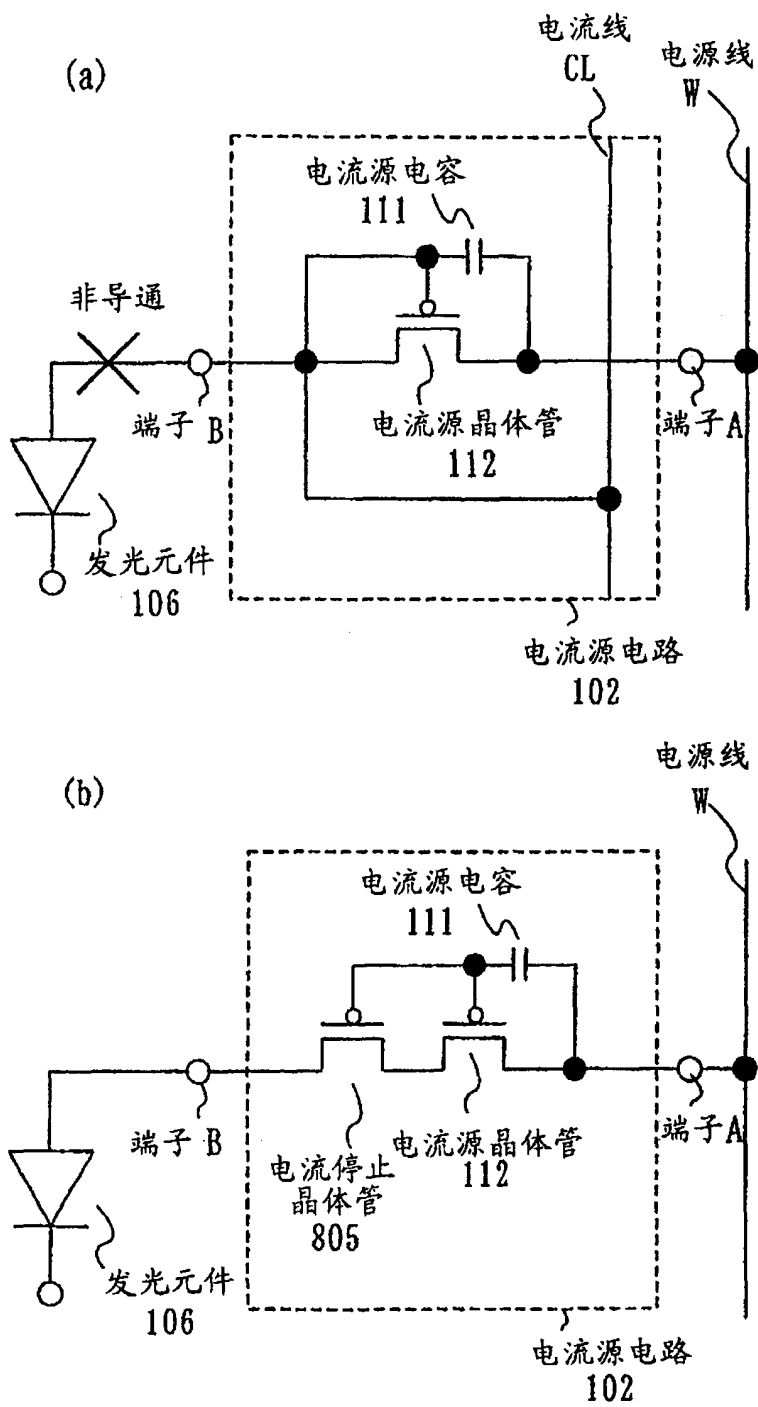


图 63

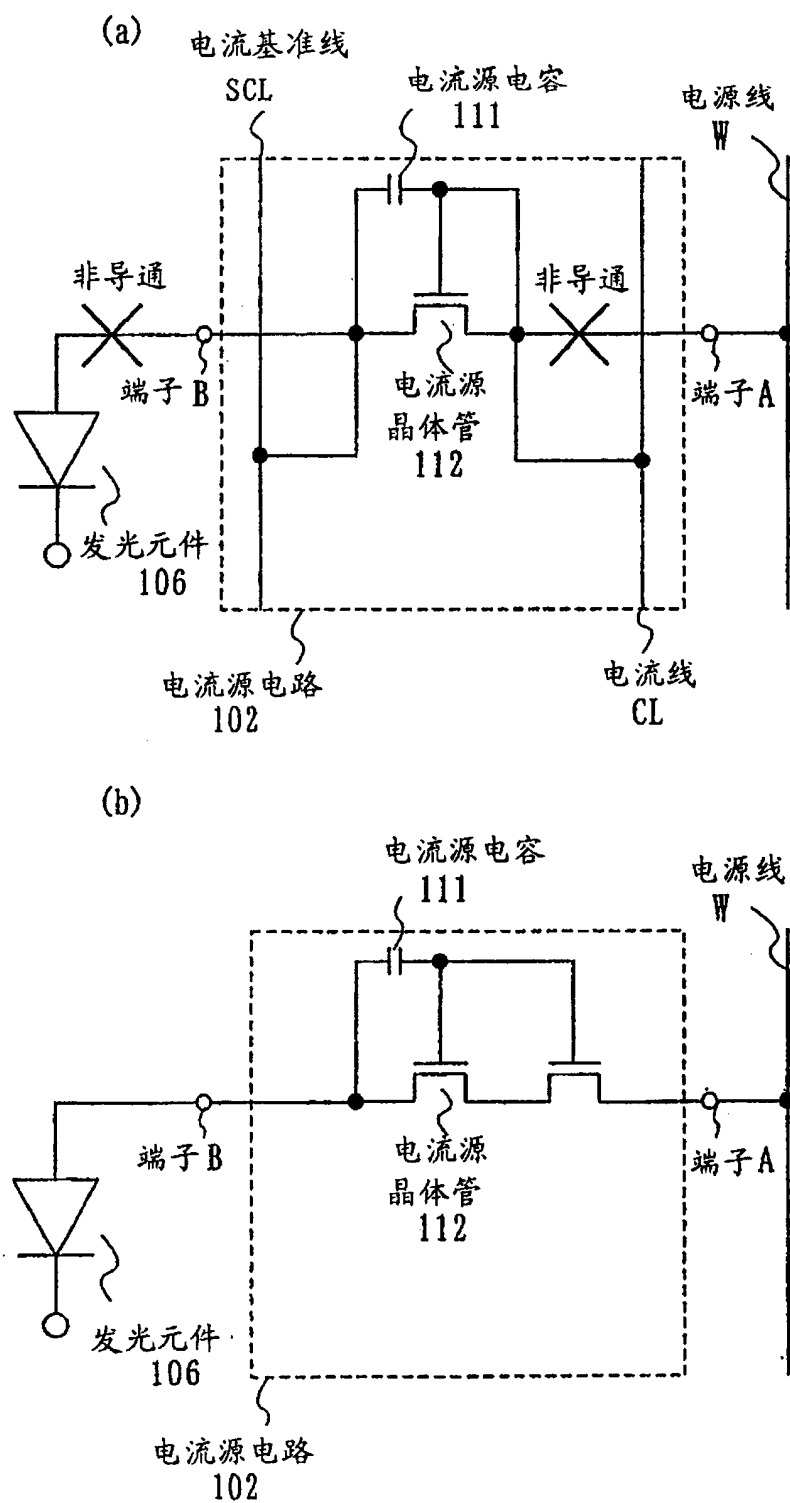


图 64

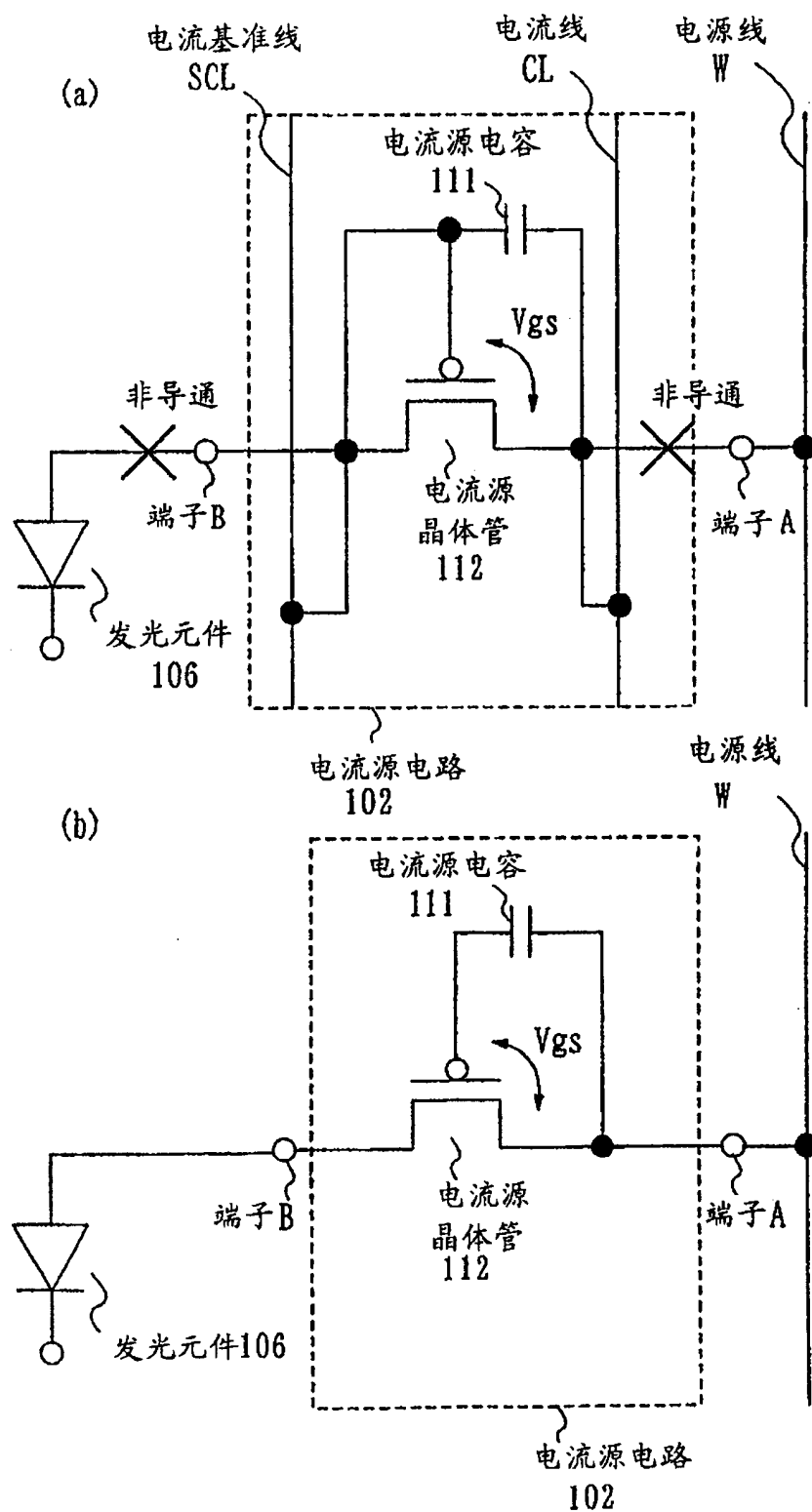


图 65

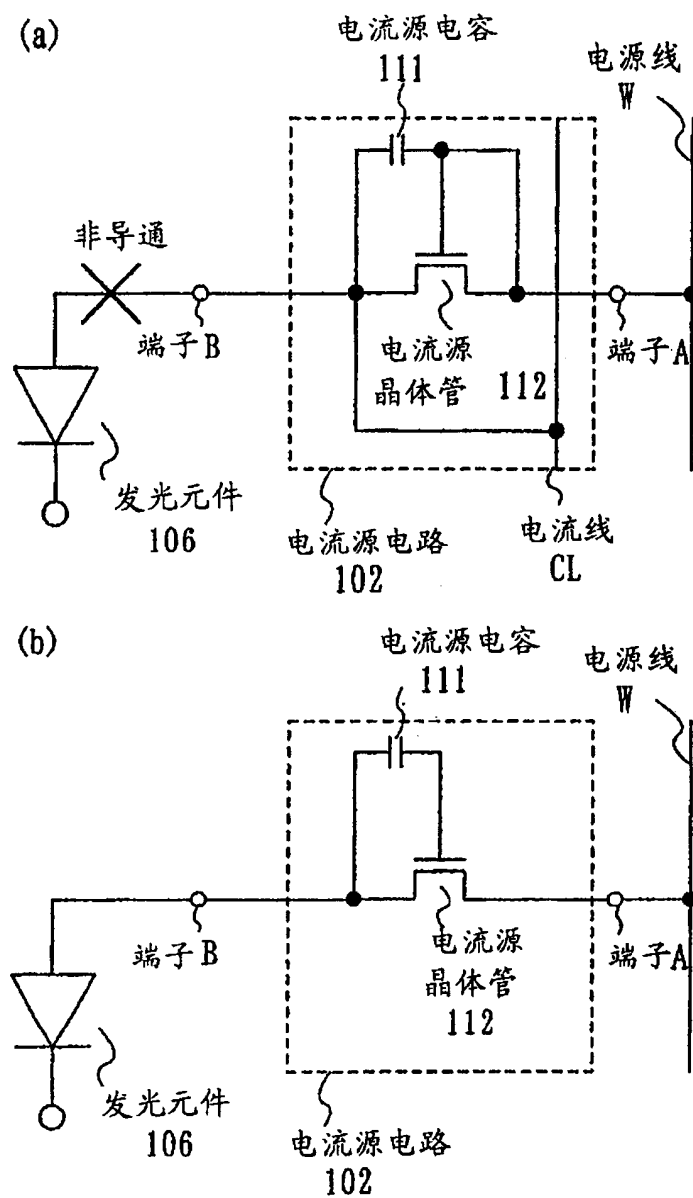


图 66

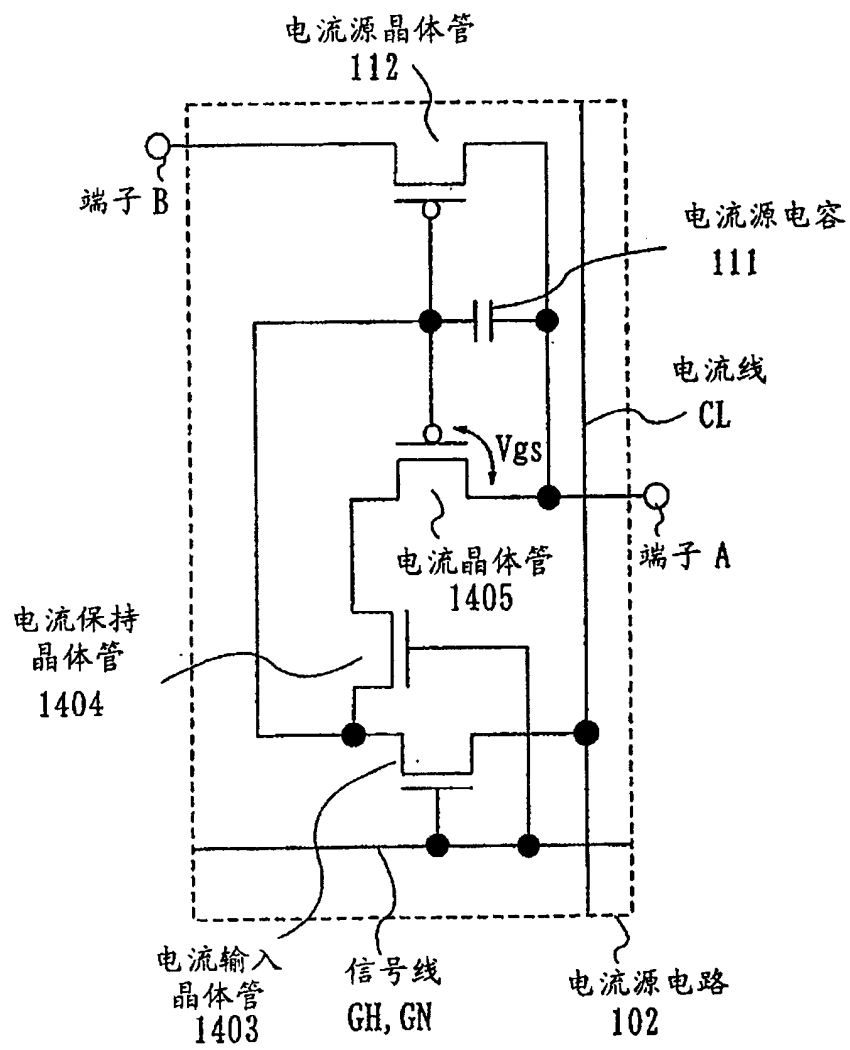


图 67

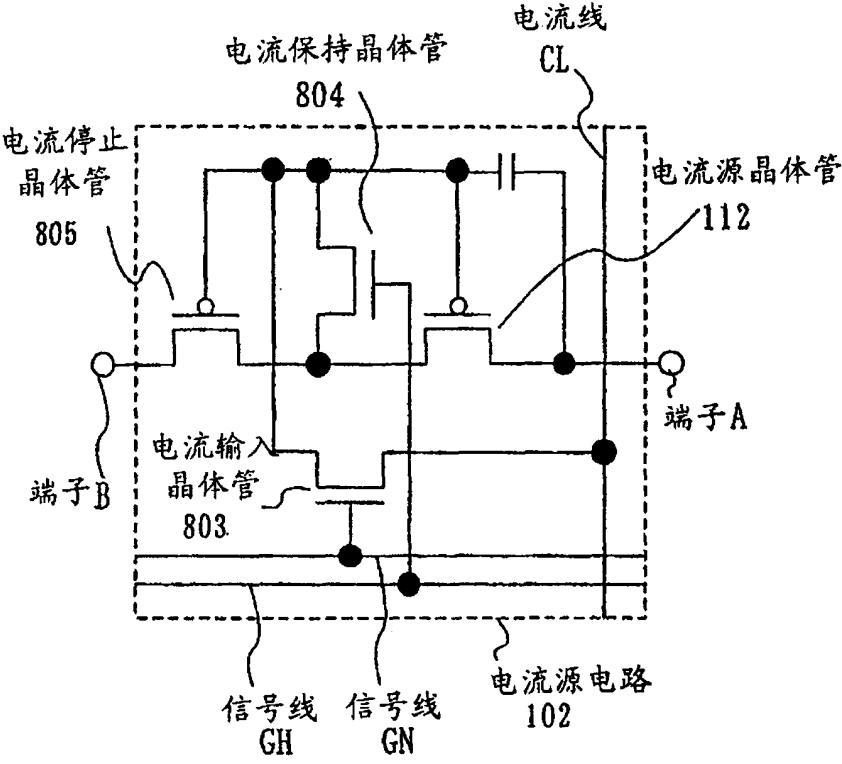


图 68

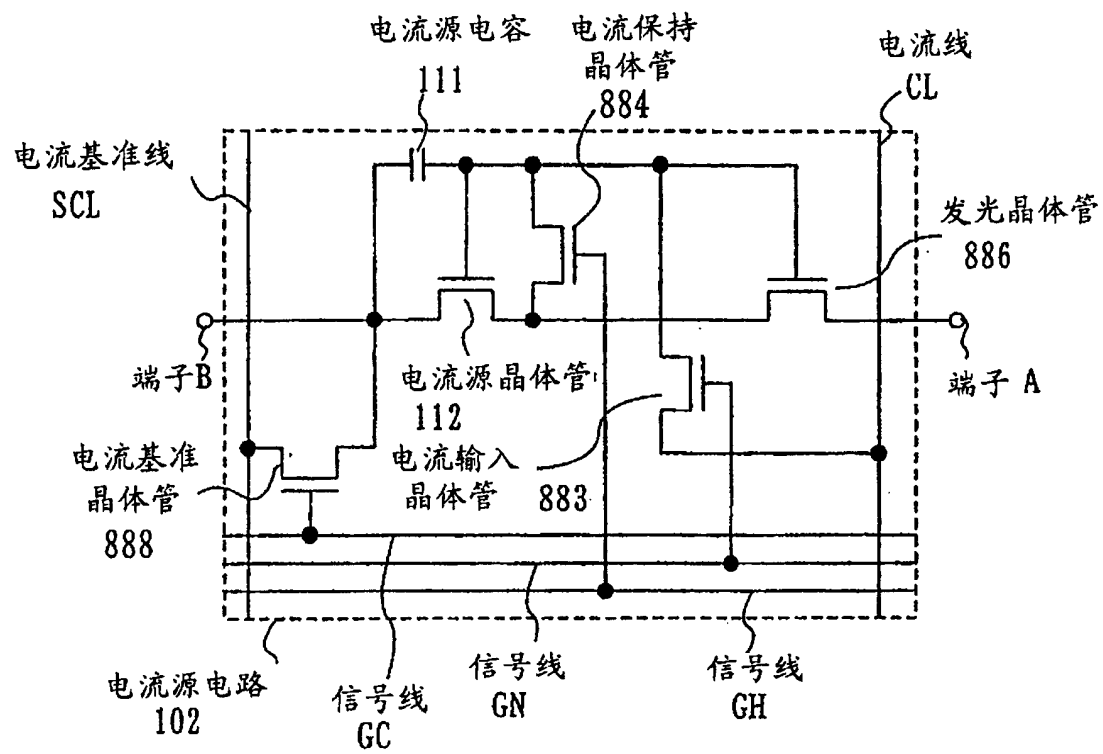


图 69

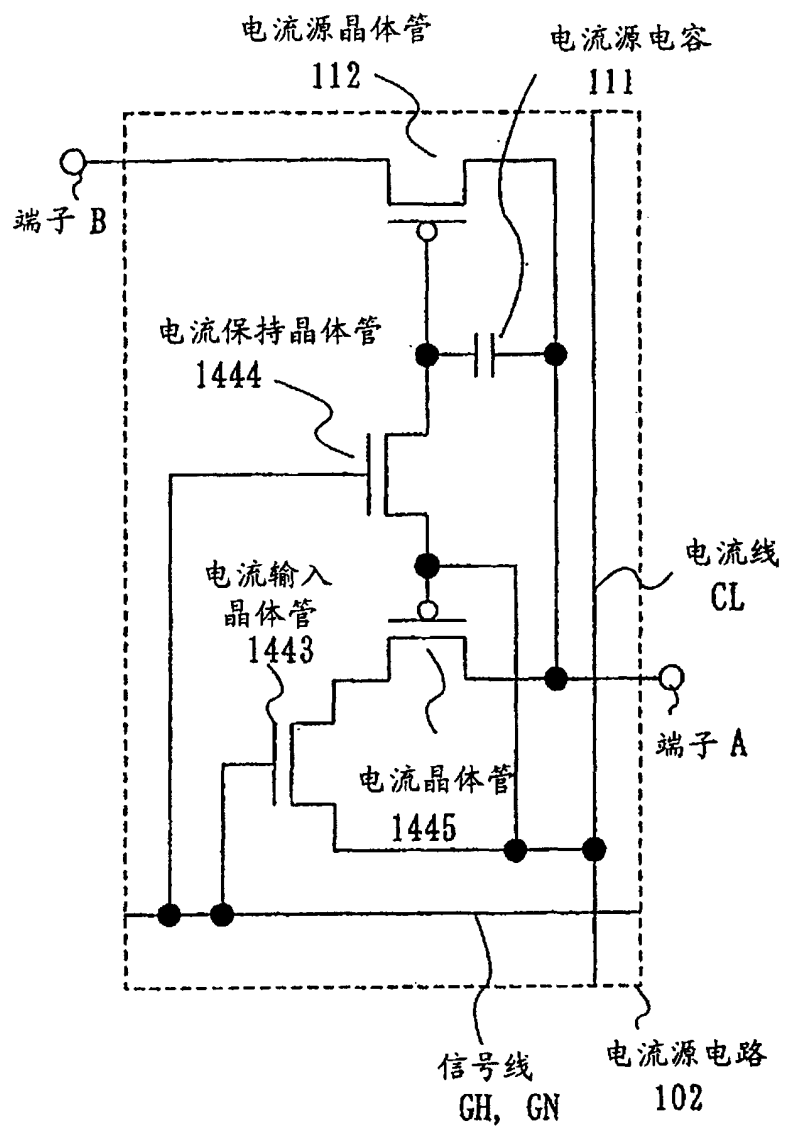


图 70

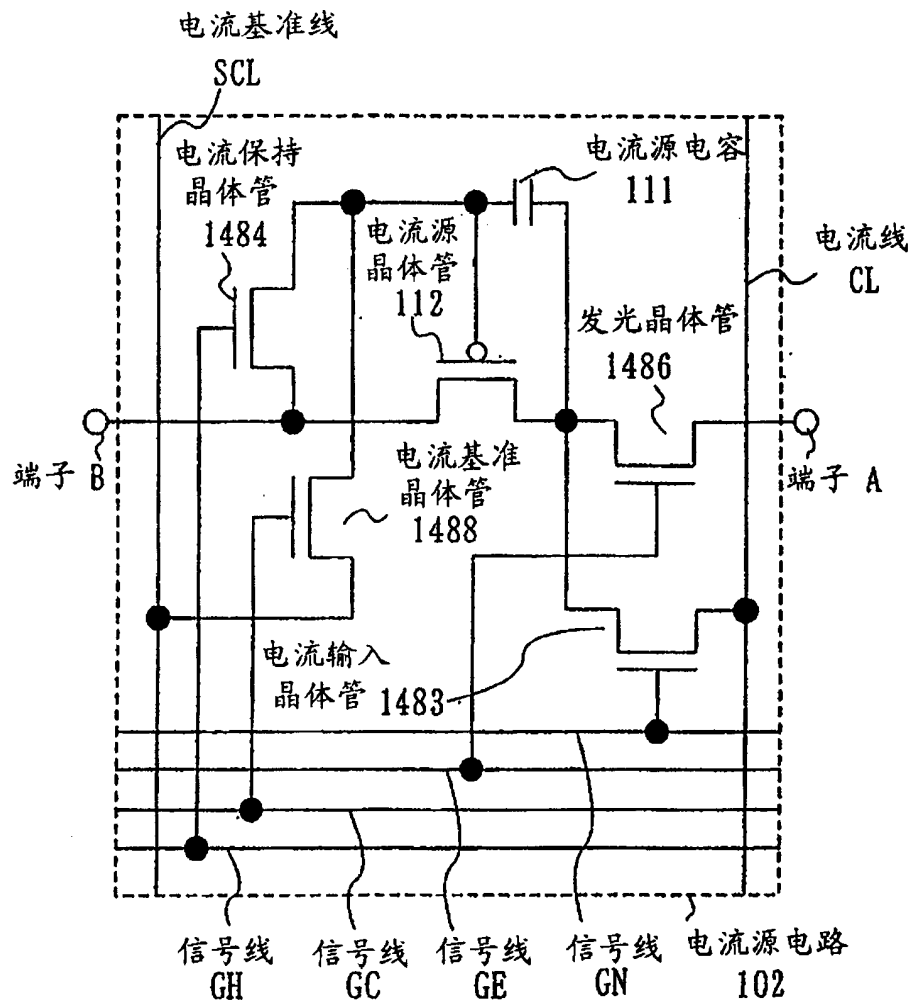


图 71

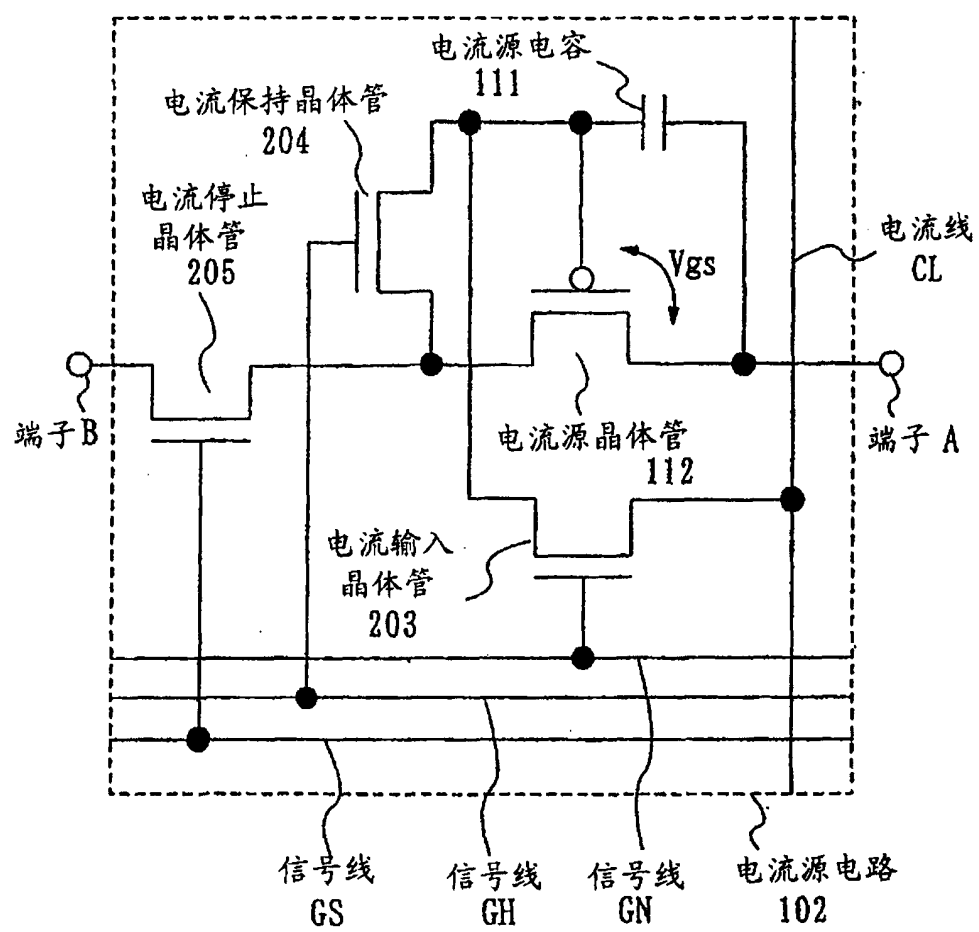


图 72

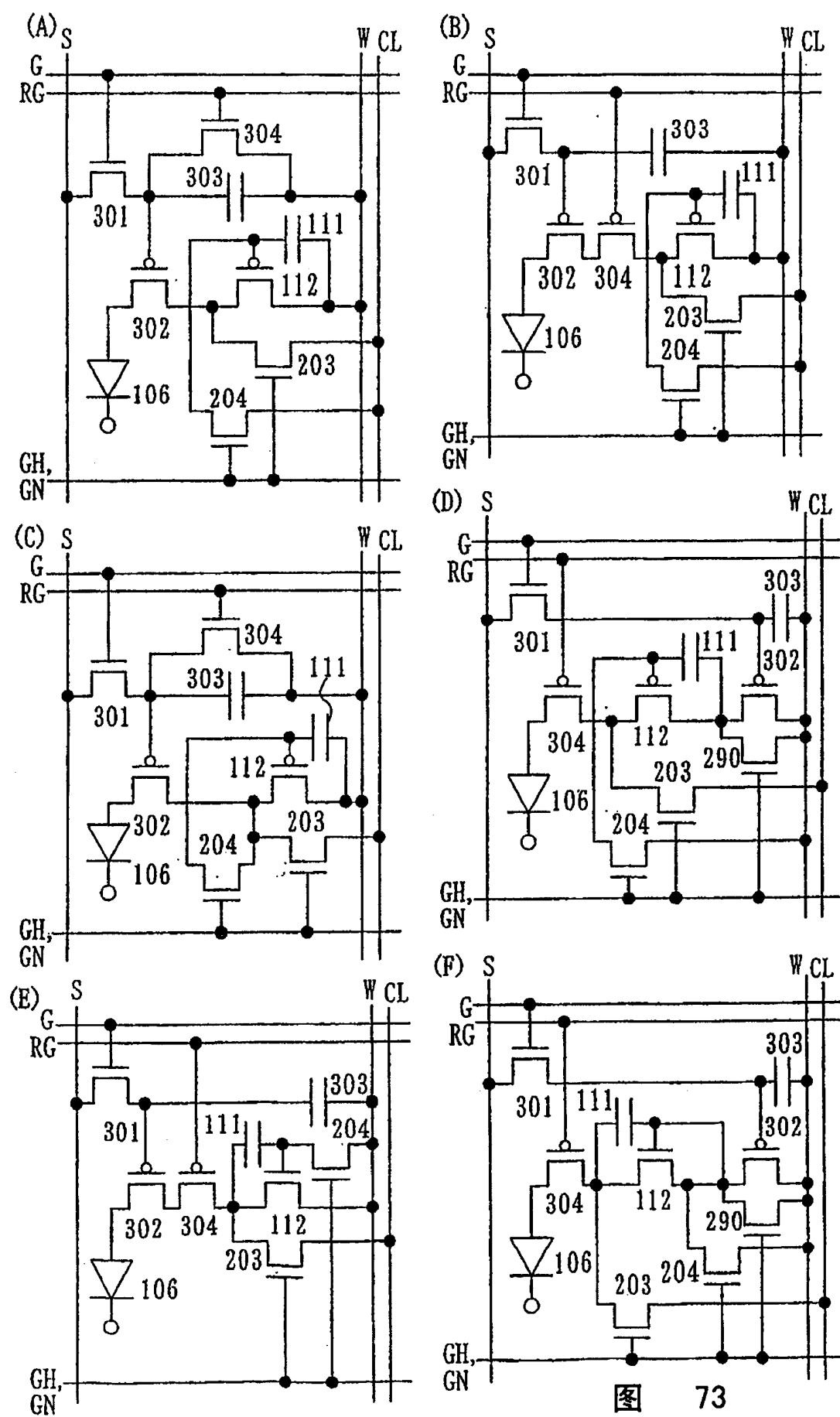


图 73

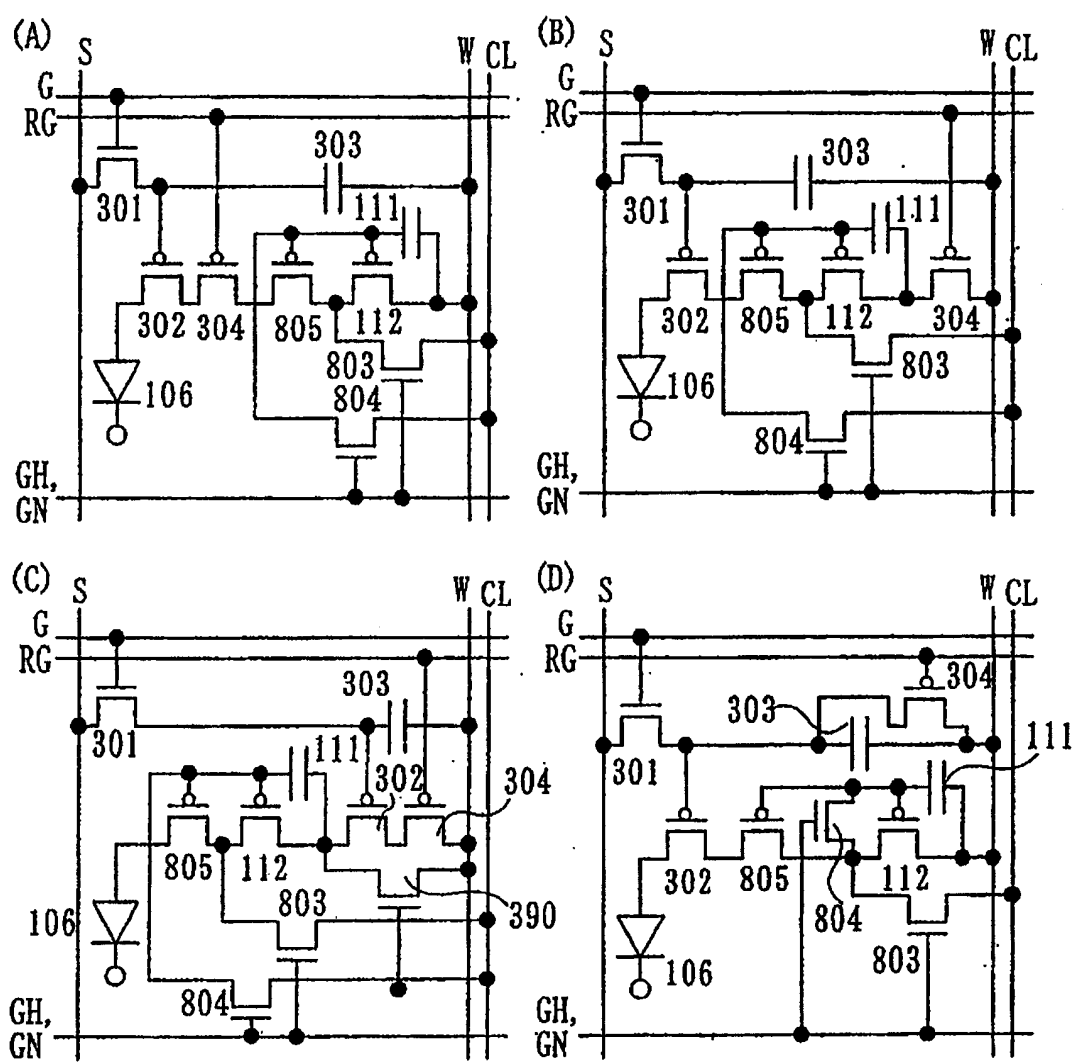


图 74

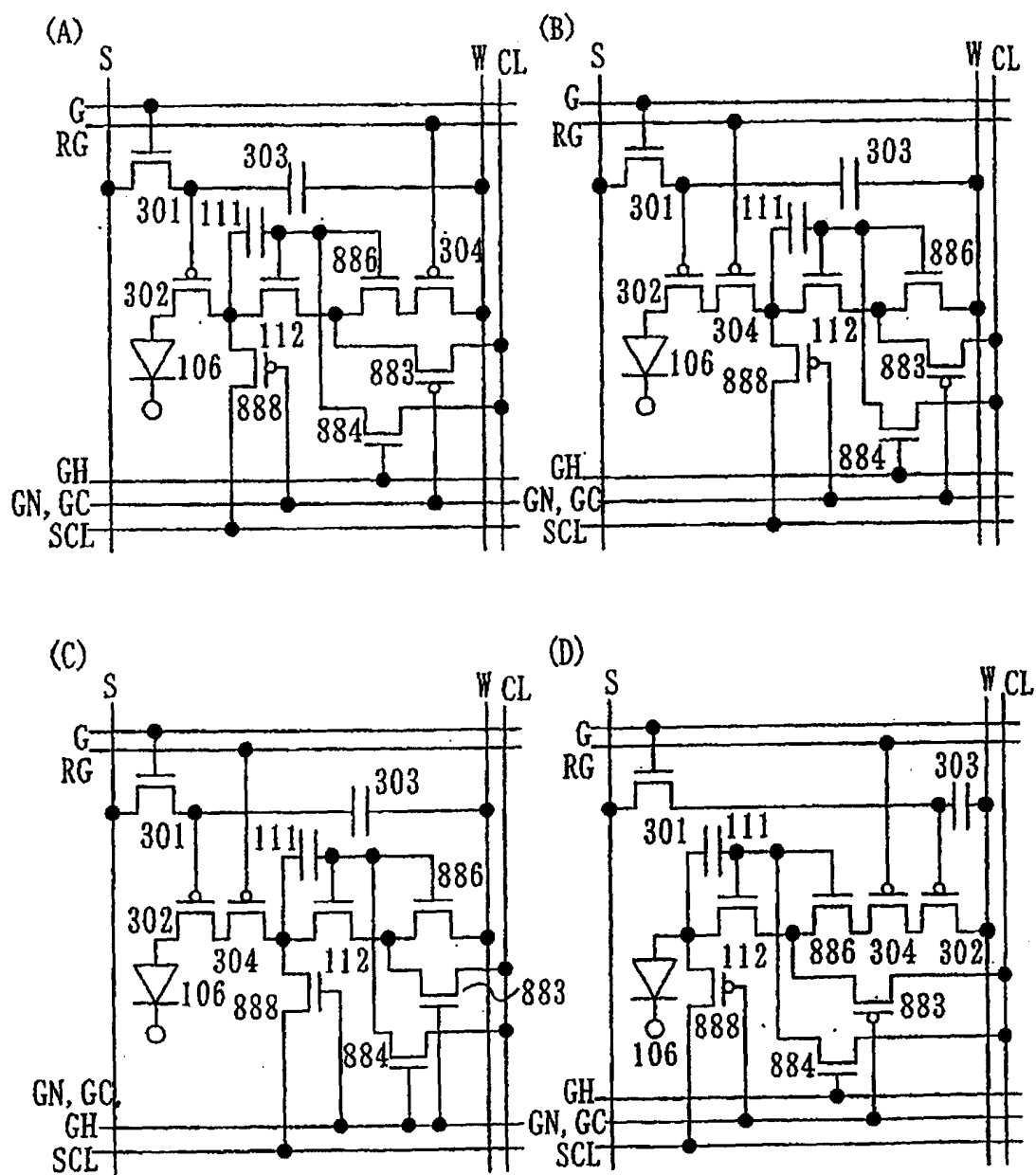


图 75

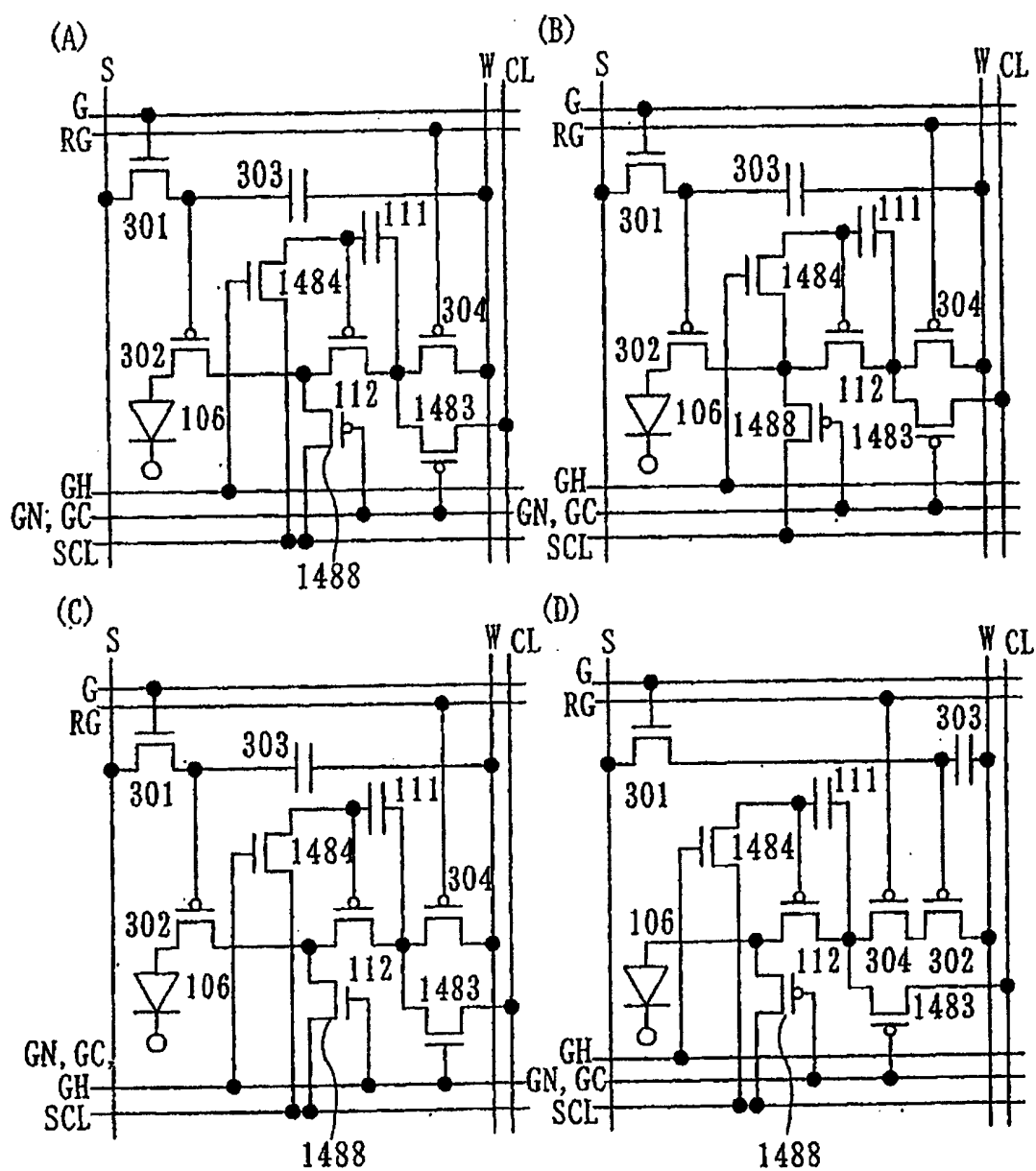


图 76

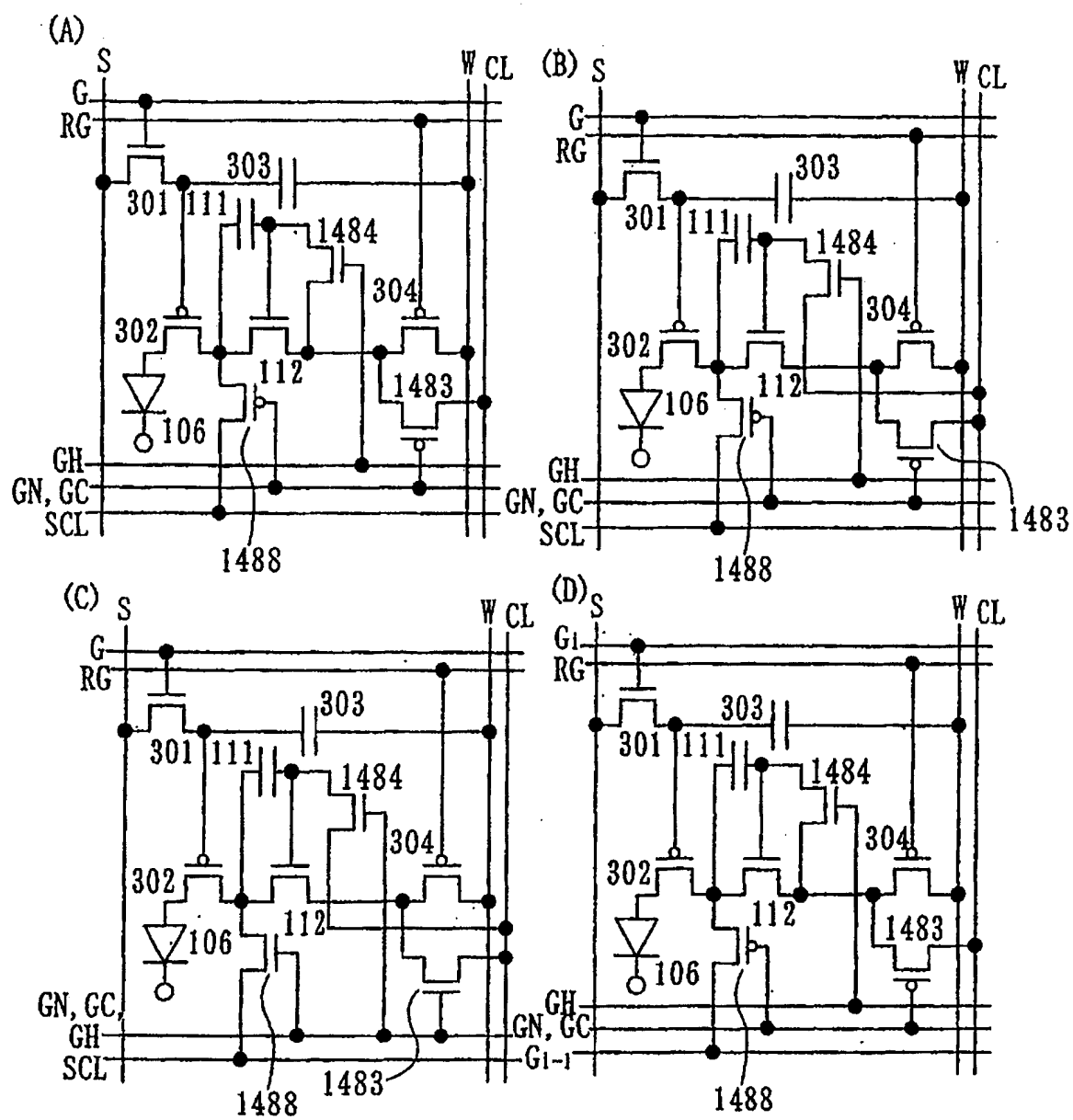


图 77

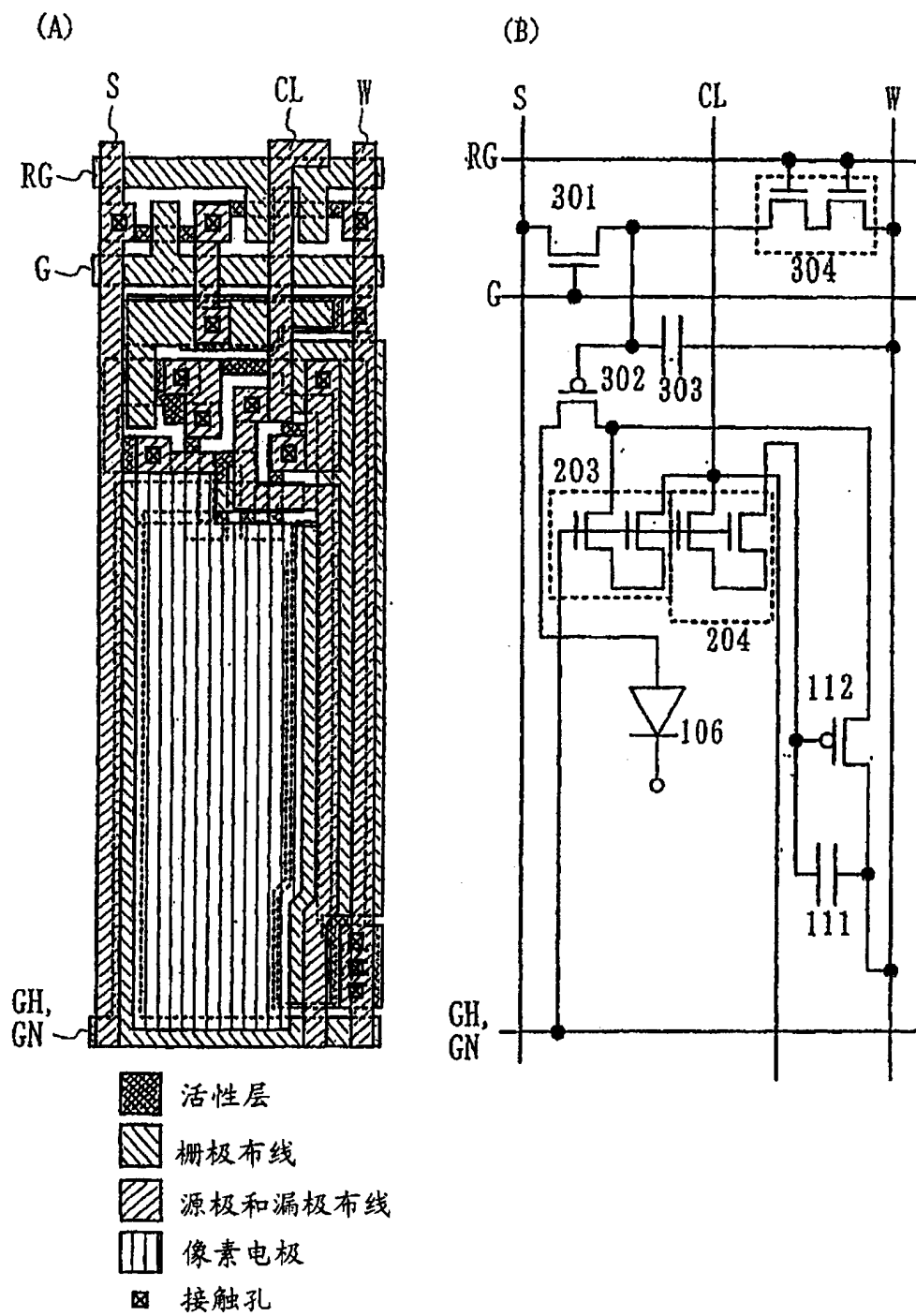


图 78

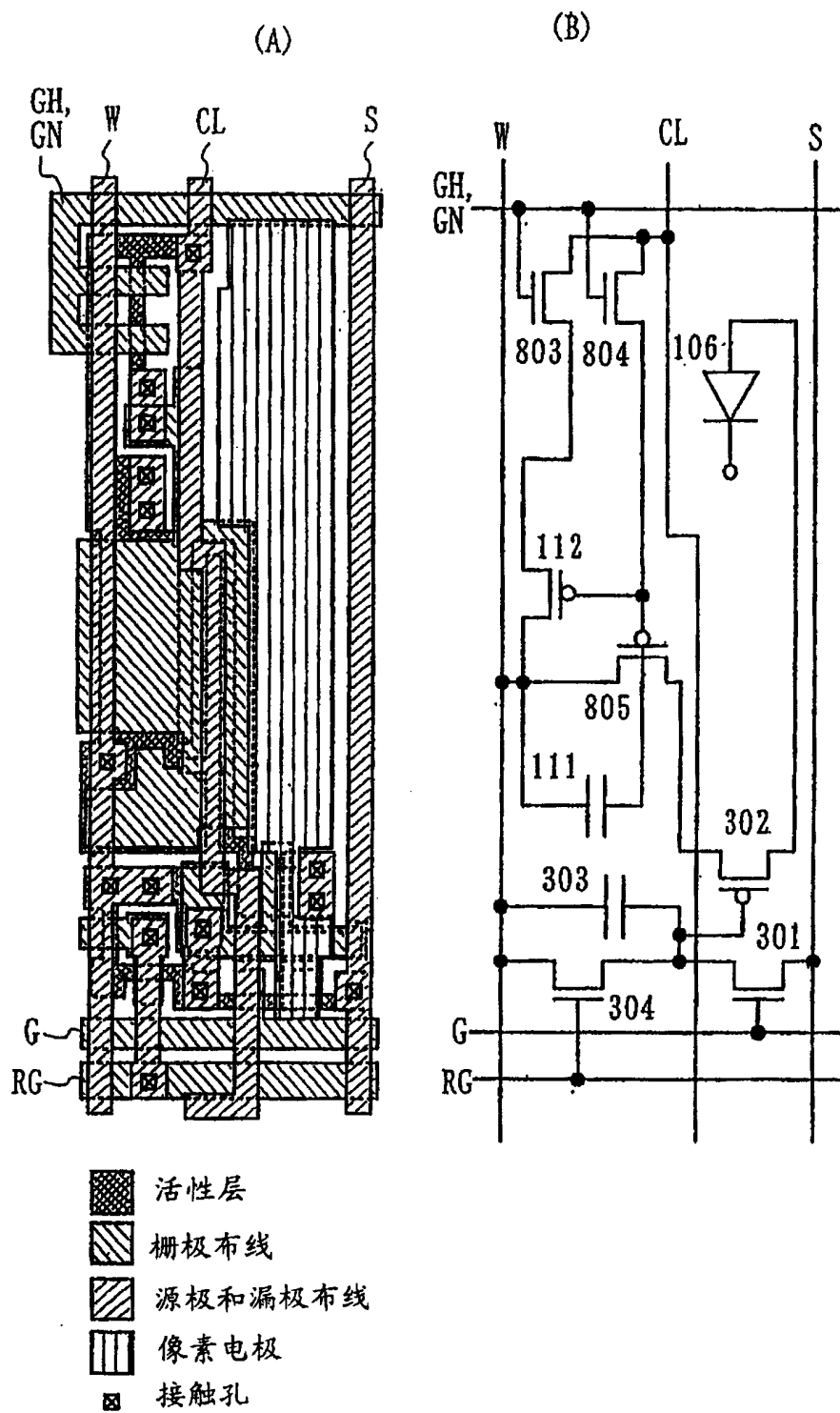


图 79