公告本

申請日期	91 年 5 月 16 日
案號	91110263
類別	H01L 25/065

（以上各欄由本局填註）

A4
C4

541681

發明 ~~新型~~ 專利說明書

一、發明 新型 名稱	中文	疊層型半導體裝置的製造方法
	英文	
二、發明 創作 人	姓名	(1) 大溝尚子 (2) 芳村淳 (3) 松井幹雄
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國神奈川縣川崎市中原區上小田中二－二四－七五－三〇八 (2) 日本國神奈川縣橫須賀市長井六－一七－二五－一 (3) 日本國神奈川縣川崎市中原區宮內一－二一－三
三、申請人	姓名（名稱）	(1) 東芝股份有限公司 株式会社東芝
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都港區芝浦一丁目一番一號
	代表人姓名	(1) 岡村正

裝 訂 線

申請日期	91 年 5 月 16 日
案號	91110263
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	⑷ 佐藤隆夫
	國籍	⑷ 日本
	住、居所	⑷ 日本國三重縣四日市市小牧町二六〇三－四 華雷東芝小牧Ｂ－三〇五
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　2001 年　5 月 18 日　　2001-149341　　☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（　）

【發明領域】

本發明係關於半導體裝置的製造方法，特別是關於疊層半導體元件而安裝的疊層封裝。

【發明背景】

【習知技藝之說明】

近年來半導體裝置爲了謀求高密度安裝化，疊層半導體元件而安裝者增多。關於習知的疊層型半導體裝置（疊層封裝），例如記載於日本國專利公開

Ｈ０９－２１９４９０、日本國專利公開

Ｈ１０－１３５２６７、日本國專利公開

Ｈ１０－１６３４１４等。

這些習知的疊層封裝在以ＴＳＯＰ（纖薄小外形封裝，Thin Small Outline Package）、ＴＣＰ（帶狀載座封裝，Tape Carrier Package）、ＢＧＡ（球柵陣列封裝，Ball Grid Arrays)等進行封裝後，個別地堆積預先設置於各封裝的外部端子而疊層各個，然後進行電性連接使其完成。

即習知的疊層封裝除了對各封裝（Package）的構裝（Packaging）製程外，也加入每一封裝的疊層加工製程。因此，製程數變成疊層個數份增加的順序（Sequential）工法，此工法所造成的加工成本的增加，且因使用用以個別疊層的間隔物（Spacer）等的構件所造成的成本的增加成爲問題。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（　2）

【發明概要】

如果依照本發明的一樣態，可提供一種半導體裝置的製造方法，包含：

對具備第一連接電極與電性連接於該第一連接電極的第一配線與第一對準標記的基板，在與該第一配線電性連接的狀態下安裝半導體元件；以及

藉由該第一對準標記的認識定位疊層第二連接電極，與在具備電性連接於該第二連接電極的第二配線的兩面形成有接著劑層的核心基板與安裝該半導體元件的基板，以該接著劑不硬化而熔融的溫度進行熱壓接，以接著劑的黏性力將安裝該半導體元件的基板暫時固定於該核心基板。

如果依照本發明的另一樣態，可提供一種半導體裝置的製造方法，包含：

對具備第一連接電極與電性連接於該第一連接電極的第一配線與第一對準標記的基板，在與該第一配線電性連接的狀態下安裝半導體元件；

藉由該第一對準標記的認識定位疊層第二連接電極，與電性連接於該第二連接電極的第二配線，與在具備用以疊層的定位用的銷孔的兩面形成有接著劑層的核心基板，與安裝該半導體元件的基板，以該接著劑不硬化而熔融的溫度進行熱壓接，以接著劑的黏性力將安裝該半導體元件的基板暫時固定於該核心基板；

使用該定位用的銷孔，將暫時固定安裝該半導體元件的基板的核心基板疊層複數片於豎立銷的治具板而連結；

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 3

以及

藉由熱沖壓（Press）接著該複數片核心基板。

如果依照本發明的再另一樣態，可提供一種半導體裝置的製造方法，包含：

對具備第一連接電極與電性連接於該第一連接電極的第一配線與定位用的第一銷孔的基板，在與該第一配線電性連接的狀態下安裝半導體元件；

藉由該第一以及第二定位用的銷孔疊層複數片第二連接電極，與電性連接於該第二連接電極的第二配線，與在具備用以疊層的定位用的第二銷孔的兩面形成有接著劑層的核心基板與安裝該半導體元件的基板於豎立銷的治具板而連結；以及

藉由熱沖壓接著安裝該半導體元件的基板於核心基板，並且接著疊層複數片的核心基板。

【圖式之簡單說明】

圖1係用以說明依照本發明的第一實施樣態的半導體裝置的製造方法之流程圖。

圖2係被個片化的PTP基板的俯視圖。

圖3係顯示疊層圖2所示的PTP基板與核心基板的狀態之剖面圖。

圖4係顯示圖3中的PTP基板與核心基板的連接電極部分的構成例的擴大剖面圖。

圖5係顯示圖3中的PTP基板與核心基板的連接電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 4

極部分的其他構成例的擴大剖面圖。

圖6係顯示圖3中的PTP基板與核心基板的連接電極部分的再其他構成例的擴大剖面圖。

圖7係顯示圖3中的PTP基板與核心基板的連接電極部分的其他構成例的擴大剖面圖。

圖8係顯示圖3中的PTP基板與核心基板的連接電極部分的再其他構成例的擴大剖面圖。

圖9A係用以說明圖2所示的PTP基板的變形例，PTP基板的俯視圖。

圖9B係用以說明圖2所示的PTP基板的變形例，疊層PTP基板與核心基板的狀態的部分剖面圖。

圖10A係用以說明依照本發明的第二實施樣態的半導體裝置的製造方法之流程圖。

圖10B、10C分別係用以說明依照本發明的第二實施樣態的半導體裝置的製造方法，配設於核心基板的疊層用的對準標記的一例的俯視圖。

圖11係用以說明依照本發明的第三實施樣態的半導體裝置的製造方法之流程圖。

圖12係用以說明依照本發明的第四實施樣態的半導體裝置的製造方法之流程圖。

圖13係用以說明依照本發明的第四實施樣態的半導體裝置的製造方法，顯示疊層複數片暫時固定複數片PTP基板的核心基板的狀態之斜視圖。

圖14係用以說明依照本發明的第五實施樣態的半導

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（　9

體裝置的製造方法之流程圖。

圖１５係用以說明依照本發明的第六實施樣態的半導體裝置的製造方法之流程圖。

圖１６係用以說明依照本發明的第六實施樣態的半導體裝置的製造方法，顯示疊層複數片的ＰＴＰ基板與核心基板的狀態之斜視圖。

【符號說明】

１１、１１′：ＰＴＰ基板

１２：半導體晶片

１３：Ｃｕ配線

１４Ａ、１４Ｂ：對準標記

15、15-1～15-5、50-1～50-3、60-1～60-4:核心基板

２０、２３：Ｃｕ介層

２１、２４、２７：Ｓｎ電鍍層

２２、２５：Ｃｕ銲墊

２６：Ｓｎ－Ｐｂ電鍍層

２８：Ｓｎ－Ａｇ介層

２９：Ｓｎ－Ａｇ電鍍層

３０：Ａｕ電鍍層

３５：Ｓｎ介層

３６：Ｓｎ電鍍層

４１、４２：虛擬圖案

51A、51B、51C、61A、61B、61C：銷

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（　6

52、62：治具板

【較佳實施例之詳細說明】

〔第一實施樣態〕

圖1係用以說明依照本發明的第一實施樣態的半導體裝置的製造方法之流程圖。圖2係被個片化的PTP（紙帶纖薄封裝，Paper Thin Package）基板的俯視圖。圖3係顯示疊層上述圖2所示的PTP基板與核心基板的的狀態之剖面圖。而且，圖4到圖8係分別顯示圖3中的PTP基板與核心基板中的連接電極部分的構成例的擴大剖面圖，顯示填充於介層（Via）的金屬種種組合。

首先如圖1與2所示，在玻璃環氧或聚醯亞胺等的PTP基板11安裝半導體晶片（半導體元件）12（步驟1）。上述PTP基板11具備連接電極、電性連接於此連接電極的Cu配線13以及定位用的對準標記（Alignment mark）14A、14B，上述半導體晶片12係在與上述Cu配線13電性連接的狀態下安裝於PTP基板11。

其次，如上述構成的PTP基板11、連接電極、具有電性連接於此連接電極的配線，藉由上述對準標記14A、14B的認識定位疊層在兩面塗布有接著劑的核心基板，藉由環氧系的接著劑不硬化的溫度之120℃以下（例如60℃～120℃）的熱壓接工具，進行PTP基板

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（　）

１１與核心基板的熱壓接，以接著劑的黏性（Tack）力暫時固定（步驟２）。此時，若使用吸附上述ＰＴＰ基板１１連結加熱工具於用以拾起的吸具（Collet）的話，可連續地進行對ＰＴＰ基板１１的核心基板上的移送與暫時固定。

其次，如圖３所示疊層暫時固定ＰＴＰ基板１１－１～１１－３的核心基板１５－２～１５－４與核心基板１５－１、１５－５（步驟３），藉由熱沖壓接著全層（步驟４）。

如果依照這種製造方法，藉由將ＰＴＰ基板１１－１～１１－３暫時固定於核心基板１５－２～１５－４，在熱沖壓時即使接著劑熔融也能抑制被個片化的ＰＴＰ基板１１－１～１１－３的偏移。而且，削減製程數並且無須疊層用的構件可謀求低成本化。再者，因無須間隔物等的疊層用的構件，故也能謀求疊層封裝的薄厚度化。

圖４係顯示上述圖３中的ＰＴＰ基板與核心基板的連接電極部分（以虛線１７包圍的區域）的構成例的擴大剖面圖。如圖４所示，在核心基板１５－２形成有介層，此介層填充有當作連接電極而作用的Ｃｕ（稱爲Ｃｕ介層）２０。在與此Ｃｕ介層２０的ＰＴＰ基板１１－１的接合面側形成有Ｓｎ電鍍層２１。而且在背面側形成有Ｃｕ銲墊（Ｌａｎｄ）２２。在對應上述ＰＴＰ基板１１－１的Ｃｕ介層２０的位置形成有介層，此介層填充有當作連接電極而作用的Ｃｕ（稱爲Ｃｕ介層）２３。在此Ｃｕ介層

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（　8

２３表面形成有Ｓｎ電鍍層２４，在背面側形成有Ｃｕ銲墊２５。

如上述如果依照使用Ｓｎ／Ｃｕ的連接電極構造，可對應封裝的無Ｐｂ化。

圖５係顯示圖３中的ＰＴＰ基板與核心基板的連接電極部分（以虛線１７包圍的區域）的其他構成例的擴大剖面圖。如圖５所示，在核心基板１５－２形成有介層，此介層填充有當作連接電極而作用的Ｃｕ（稱爲Ｃｕ介層）２０。在與此Ｃｕ介層２０的ＰＴＰ基板１１－１的接合面側形成有Ｓｎ－Ｐｂ電鍍層２６。而且在背面側形成有Ｃｕ銲墊２２，在此Ｃｕ銲墊２２的表面形成有Ｓｎ電鍍層２７。在對應上述ＰＴＰ基板１１－１的Ｃｕ介層２０的位置形成有介層，此介層填充有當作連接電極而作用的Ａｇ（稱爲Ｓｎ－Ａｇ介層）２８。在此Ｓｎ－Ａｇ介層２８的背面側形成有Ｃｕ銲墊２５。再者，在對應上述Ｃｕ銲墊２５的上述Ｓｎ－Ｐｂ電鍍層２６的位置形成有Ｓｎ－Ａｇ電鍍層２９。

如上述使用Ｓｎ－Ａｇ／Ｓｎ－Ｐｂ的連接電極構成，Ｓｎ－Ｐｂ電鍍層２６在熱沖壓時熔融，可降低高度的誤差。

圖６係顯示圖３中的ＰＴＰ基板與核心基板的連接電極部分（以虛線１７包圍的區域）的再其他構成例的擴大剖面圖。如圖６所示，在核心基板１５－２形成有介層，此介層填充有當作連接電極而作用的Ｃｕ（稱爲Ｃｕ介層

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（　9

）２０。在與此Ｃｕ介層２０的ＰＴＰ基板１１－１的接合面側形成有Ａｕ電鍍層３０。而且在背面側形成有Ｃｕ銲墊２２，在此Ｃｕ銲墊２２的表面形成有Ａｕ電鍍層３１。在對應上述ＰＴＰ基板１１－１的Ｃｕ介層２０的位置形成有介層，此介層填充有當作連接電極而作用的Ｃｕ（稱爲Ｃｕ介層）２３。在此Ｃｕ介層２３的表面側形成有Ａｕ電鍍層３２，在背面側形成有Ｃｕ銲墊２５。再者，在對應上述Ｃｕ銲墊２５的上述Ａｕ電鍍層３０的位置形成有Ａｕ電鍍層３３。

如上述使用Ａｕ／Ａｕ的連接電極構成有銲墊２２、２５的氧化防止的功效，因Ａｕ柔軟故在沖壓時壓碎，可吸收介層的高度誤差。據此，可提高各層的電極連接特性。

圖７係顯示圖３中的ＰＴＰ基板與核心基板的連接電極部分（以虛線１７包圍的區域）的其他構成例的擴大剖面圖。如圖７所示，在核心基板１５－２形成有介層，此介層填充有當作連接電極而作用的Ｃｕ（稱爲Ｃｕ介層）２０。在與此Ｃｕ介層２０的ＰＴＰ基板１１－１的接合面的背面側形成有Ｃｕ銲墊２２。在對應上述ＰＴＰ基板１１－１的Ｃｕ介層２０的位置形成有介層，此介層填充有當作連接電極而作用的Ｃｕ（稱爲Ｃｕ介層）２３。在此Ｃｕ介層２３的背面側形成有Ｃｕ銲墊２５。

如上述使用Ｃｕ／Ｃｕ的連接電極構成爲廉價，也可對應封裝的無Ｐｂ化。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（　）

圖８係顯示圖３中的ＰＴＰ基板與核心基板的連接電極部分（以虛線１７包圍的區域）的再其他構成例的擴大剖面圖。如圖８所示，在核心基板１５－２形成有介層，此介層填充有當作連接電極而作用的Ｃｕ（稱爲Ｃｕ介層）２０。在與此Ｃｕ介層２０的ＰＴＰ基板１１－１的接合面側形成有Ｓｎ－Ａｇ電鍍層３４。而且在背面側形成有Ｃｕ銲墊２２，在此Ｃｕ銲墊２２的表面形成有Ｓｎ電鍍層２７。在對應上述ＰＴＰ基板１１－１的Ｃｕ介層２０的位置形成有介層，此介層填充有當作連接電極而作用的Ｓｎ（稱爲Ｓｎ介層）３５。在此Ｓｎ介層３５的背面側形成有Ｃｕ銲墊２５。再者，在對應上述Ｃｕ銲墊２５的上述Ｓｎ－Ａｇ電鍍層３４的位置形成有Ｓｎ電鍍層３６。

如上述使用Ｓｎ－Ａｇ／Ｓｎ的連接電極構成可對應封裝的無Ｐｂ化，可抑制銲墊２５、２２的氧化所造成的接合不良。

圖９Ａ、９Ｂ係分別顯示上述圖２所示的ＰＴＰ基板１１的變形例。如圖９Ａ所示，在可成爲此ＰＴＰ基板１１´中的虛線４０所示的製品的範圍以外配設有由Ｃｕ等所構成的虛擬圖案（Ｄｕｍｍｙ ｐａｔｔｅｒｎ）４１Ａ、４１Ｂ。而且如圖９Ｂ所示，於塗佈於核心基板１５的接著劑層在對應虛擬圖案４１的位置也配設有由Ｃｕ等所構成的虛擬圖案４２。

若配設這種虛擬圖案４１、４２的話，藉由降低接著

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（　　）1

劑厚度，使熱沖壓時熔融的接著劑層部分地減少，可更減少核心基板１５與ＰＴＰ基板１１´的偏移。

此外，此處雖然說明在ＰＴＰ基板１１´與核心基板１５的兩方配設虛擬圖案４１、４２的例子，惟在任一方也可以。

〔第二實施樣態〕

圖１０Ａ到１０Ｃ係分別用以說明依照本發明的第二實施樣態的半導體裝置的製造方法，圖１０Ａ爲流程圖，圖１０Ｂ與１０Ｃ分別係配設於核心基板的疊層用的對準標記的一例。本實施樣態不僅ＰＴＰ基板連核心基板也配設疊層用的對準標記，使用疊層用的對準標記以進行核心基板的定位。即首先在由玻璃環氧或聚醯亞胺等所構成的ＰＴＰ基板１１安裝半導體晶片１２（步驟１）。上述ＰＴＰ基板１１與圖２一樣具備連接電極、電性連接於此連接電極的Ｃｕ配線１３以及疊層時的定位用的對準標記１４Ａ、１４Ｂ，上述半導體晶片１２係在與上述Ｃｕ配線１３電性連接的狀態下安裝於ＰＴＰ基板。

其次，藉由上述ＰＴＰ基板１１的對準標記１４Ａ、１４Ｂ的認識定位疊層如上述構成的ＰＴＰ基板、連接電極、電性連接於此連接電極的配線以及具有與此配線同時形成圖案的如圖１０Ｂ與１０Ｃ所示的疊層用的對準標記，在兩面塗布有接著劑的核心基板，藉由環氧系的接著劑不硬化的溫度之１２０℃以下（例如６０℃～１２０℃）

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 12

的熱壓接工具，進行疊層的ＰＴＰ基板與核心基板的熱壓接，以接著劑的黏性力暫時固定（步驟２）。此時與上述第一實施樣態一樣，若使用吸附上述ＰＴＰ基板連結加熱工具於用以拾起的吸具的話，可連續地進行對核心基板的ＰＴＰ基板的移送與暫時固定。

其次，在藉由上述核心基板的圖１０Ｂ與１０Ｃ所示的對準標記定位暫時固定複數片ＰＴＰ基板的核心基板後（步驟３），疊層複數片核心基板（步驟４），藉由熱沖壓接著（步驟５）。

如果依照這種製造方法，配設於核心基板的疊層用的對準標記因與配線一起形成圖案，故可提高疊層偏移到圖案精度爲止。

〔第三實施樣態〕

圖１１係用以說明依照本發明的第三實施樣態的半導體裝置的製造方法的流程圖。首先在由玻璃環氧或聚醯亞胺等所構成的ＰＴＰ基板１１安裝半導體晶片１２（步驟１）。上述ＰＴＰ基板１１與圖２一樣具備連接電極、電性連接於此連接電極的Ｃｕ配線１３以及疊層時的定位用的對準標記１４Ａ、１４Ｂ，上述半導體晶片１２係在與上述Ｃｕ配線１３電性連接的狀態下安裝於ＰＴＰ基板。

其次，藉由上述ＰＴＰ基板的對準標記的認識定位疊層如上述構成的ＰＴＰ基板、連接電極、電性連接於此連接電極的配線以及具有與此配線同時形成圖案的疊層用的

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 13

對準標記，在兩面塗布有接著劑的核心基板，藉由環氧系的接著劑不硬化的溫度之１２０℃以下（例如６０℃～１２０℃）的熱壓接工具，進行ＰＴＰ基板與核心基板的熱壓接，以接著劑的黏性力暫時固定（步驟２）。此時若使用吸附上述ＰＴＰ基板連結加熱工具於拾起的吸具的話，可連續地進行對核心基板的ＰＴＰ基板的移送與暫時固定。

其次，藉由核心基板的對準標記定位暫時固定複數片ＰＴＰ基板的核心基板（步驟３），疊層複數片核心基板（步驟４），藉由例如釘書機（Stapler）機械地暫時固定複數片核心基板（步驟５）。

然後藉由熱沖壓接著上述機械地暫時固定的核心基板（步驟６）。

如果依照這種製造方法，由於藉由暫時固定而搭載ＰＴＰ基板，進行具備疊層用的對準標記的核心基板的定位，再者，機械地暫時固定複數片核心基板，然後藉由熱沖壓而接著，故可更降低疊層偏移而高精度地疊層。

〔第四實施樣態〕

圖１２係用以說明依照本發明的第四實施樣態的半導體裝置的製造方法的流程圖。而且，圖１３係顯示疊層複數片暫時固定複數片ＰＴＰ基板的核心基板的狀態之斜視圖。

首先在由玻璃環氧或聚醯亞胺等所構成的ＰＴＰ基板

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 14

１１安裝半導體晶片１２（步驟１）。上述ＰＴＰ基板１１與圖２一樣具備連接電極、電性連接於此連接電極的Ｃｕ配線１３以及疊層時的定位用的對準標記１４Ａ、１４Ｂ，上述半導體晶片１２係在與上述Ｃｕ配線１３電性連接的狀態下安裝於ＰＴＰ基板１１。

其次，藉由上述ＰＴＰ基板的對準標記的認識定位疊層如上述構成的ＰＴＰ基板、連接電極、電性連接於此連接電極的配線以及具有疊層用的定位用的銷（Pin）孔，在兩面塗布有接著劑的核心基板５０－１～５０－３，藉由環氧系的接著劑不硬化的溫度之１２０℃以下（例如６０℃～１２０℃）的熱壓接工具，進行ＰＴＰ基板與核心基板的熱壓接，以接著劑的黏性力暫時固定（步驟２）。此時若使用吸附上述ＰＴＰ基板連結加熱工具於拾起的吸具的話，可連續地進行對核心基板的ＰＴＰ基板的移送與暫時固定。

然後如圖１３所示在上述核心基板５０－１～５０－３的定位用銷孔使治具板５２的銷５１Ａ、５１Ｂ、５１Ｃ貫通，依次連結而疊層複數片。

而且，藉由熱沖壓接著上述ＰＴＰ基板１１－１、１１－２、１１－３……與核心基板５０－１～５０－３（步驟４）。

如果依照這種製造方法，可得到與依照上述第一至第三實施樣態的製造方法同樣的功效。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 15

〔第五實施樣態〕

圖14係用以說明依照本發明的第五實施樣態的半導體裝置的製造方法的流程圖。首先在由玻璃環氧或聚醯亞胺等所構成的PTP基板11安裝半導體晶片12（步驟1）。上述PTP基板11與圖2一樣具備連接電極、電性連接於此連接電極的Cu配線13以及疊層時的定位用的對準標記14A、14B，上述半導體晶片12係在與上述Cu配線13電性連接的狀態下安裝於PTP基板11。

其次，藉由上述PTP基板的對準標記的認識定位疊層如上述構成的複數片PTP基板、連接電極、電性連接於此連接電極的配線以及具有疊層時的定位用的切口，在兩面塗布有接著劑的核心基板，藉由環氧系的接著劑不硬化的溫度之120℃以下（例如60℃～120℃）的熱壓接工具，進行PTP基板與核心基板的熱壓接，以接著劑的黏性力暫時固定（步驟2）。此時若使用吸附上述PTP基板連結加熱工具於拾起的吸具的話，可連續地進行對核心基板的PTP基板的移送與暫時固定。

然後與圖13所示的第四實施樣態一樣，藉由連結具備定位用的切口之核心基板於豎立銷的治具板而疊層複數片（步驟3）。

而且，藉由熱沖壓接著上述疊層複數片的PTP基板與核心基板（步驟4）。

即使是這種製造方法，基本上也可得到與依照上述第

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 16

四實施樣態的半導體裝置的製造方法同樣的作用功效。

〔第六實施樣態〕

圖15係用以說明依照本發明的第六實施樣態的半導體裝置的製造方法的流程圖。圖16係顯示疊層複數片本實施樣態中的PTP基板與核心基板的狀態之斜視圖。首先在由玻璃環氧或聚醯亞胺等所構成的PTP基板11安裝半導體晶片12（步驟1）。上述PTP基板11具備連接電極、電性連接於此連接電極的Cu配線13以及疊層時的定位用的銷孔，上述半導體晶片12係在與上述Cu配線13電性連接的狀態下安裝於PTP基板11。

其次如圖16所示，依次連結於豎起進行如上述構成的PTP基板11－1、11－2、11－3……、連接電極、電性連接於此連接電極的配線以及具有疊層用的定位用的銷孔，在兩面塗布有接著劑的核心基板60－1～60－4的各個定位的銷61A、61B、61C……的治具板62而疊層（步驟2）。

然後，熱沖壓總括接著上述核心基板60－1～60－4與PTP基板11－1、11－2、11－3……（步驟3）。

如果依照這種製造方法，可使疊層製程更簡單化，削減製程數並且無須疊層用的構件可謀求低成本化。

如果依照上述本發明的一樣態，可得到削減製程數並且無須疊層用的構件可謀求低成本化的半導體裝置的製造

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

A7
B7

五、發明說明（　　）

方法。

以上根據發明的實施形態具體地說明了由本發明者所創作的發明，惟本發明並非限定於前述發明的實施形態，當然在不脫離其要旨的範圍可進行種種的變更。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：疊層型半導體裝置的製造方法）

對具備第一連接電極與電性連接於上述第一連接電極的第一配線與第一對準標記的基板，在與上述第一配線電性連接的狀態下安裝半導體元件。而且，藉由上述第一對準標記的認識定位疊層第二連接電極、在具備電性連接於上述第二連接電極的第二配線的兩面形成有接著劑層的核心基板與安裝上述半導體元件的基板，以上述接著劑不硬化而熔融的溫度進行熱壓接，以接著劑的黏性力將安裝上述半導體元件的基板暫時固定於上述核心基板。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍 1

1．一種半導體裝置的製造方法，包含：

對具備第一連接電極與電性連接於該第一連接電極的第一配線與第一對準標記的基板，在與該第一配線電性連接的狀態下安裝半導體元件；以及

藉由該第一對準標記的認識定位疊層第二連接電極，與在具備電性連接於該第二連接電極的第二配線的兩面形成有接著劑層的核心基板與安裝該半導體元件的基板，以該接著劑不硬化而熔融的溫度進行熱壓接，以接著劑的黏性力將安裝該半導體元件的基板暫時固定於該核心基板。

2．如申請專利範圍第1項所述之半導體裝置的製造方法，其中更具備在該暫時固定後，三次元地進行定位暫時固定安裝該半導體元件的基板之核心基板，同時疊層複數片，藉由熱沖壓而接著。

3．如申請專利範圍第2項所述之半導體裝置的製造方法，其中安裝有該半導體元件的基板與在該兩面形成有接著劑層的核心基板的第二連接電極部分分別具備填充有金屬的介層，在該熱沖壓時，連接有填充於該介層的金屬，形成有合金層。

4．如申請專利範圍第3項所述之半導體裝置的製造方法，其中填充於該介層的金屬係由Cu、Sn以及Sn－Ag所構成的群中所選擇的任一個材料。

5．如申請專利範圍第4項所述之半導體裝置的製造方法，其中更具備配設於形成於該介層內的金屬表面，由Sn、Sn－Ag、Sn－Pb以及Au所構成的群中所

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍 2

選擇的任一個材料所構成的電鍍層。

6．如申請專利範圍第2項所述之半導體裝置的製造方法，其中該核心基板具有疊層用的第二對準標記，藉由該第一對準標記與該第二對準標記進行該三次元的定位。

7．如申請專利範圍第1項所述之半導體裝置的製造方法，其中更具備在該暫時固定後，三次元地進行定位暫時固定安裝該半導體元件的基板之核心基板，同時疊層複數片，機械地暫時固定該複數片核心基板，藉由熱沖壓接著該機械地暫時固定的複數片核心基板。

8．如申請專利範圍第7項所述之半導體裝置的製造方法，其中該核心基板具有疊層用的第二對準標記，藉由該第一對準標記與該第二對準標記進行該三次元的定位。

9．如申請專利範圍第1項所述之半導體裝置的製造方法，其中更具備配設於在安裝有該半導體元件的基板以及在該核心基板的至少一方中的完成時被除去的區域的一部分，用以部分地減少該接著劑層的厚度之虛擬圖案。

10．一種半導體裝置的製造方法，包含：

對具備第一連接電極與電性連接於該第一連接電極的第一配線與第一對準標記的基板，在與該第一配線電性連接的狀態下安裝半導體元件；

藉由該第一對準標記的認識定位疊層第二連接電極，與電性連接於該第二連接電極的第二配線，與在具備用以疊層的定位用的銷孔的兩面形成有接著劑層的核心基板，與安裝該半導體元件的基板，以該接著劑不硬化而熔融的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍 3

溫度進行熱壓接，以接著劑的黏性力將安裝該半導體元件的基板暫時固定於該核心基板；

使用該定位用的銷孔，將暫時固定安裝該半導體元件的基板的核心基板疊層複數片於豎立銷的治具板而連結；以及

藉由熱沖壓接著該複數片核心基板。

11．如申請專利範圍第10項所述之半導體裝置的製造方法，其中安裝有該半導體元件的基板與在該兩面形成有接著劑層的核心基板的第二連接電極部分分別具備填充有金屬的介層，在該熱沖壓時，連接有填充於該介層的金屬，形成有合金層。

12．如申請專利範圍第10項所述之半導體裝置的製造方法，其中填充於該介層的金屬係由Cu、Sn以及Sn－Ag所構成的群中所選擇的任一個材料。

13．如申請專利範圍第12項所述之半導體裝置的製造方法，其中更具備配設於形成於該介層內的金屬表面，由Sn、Sn－Ag、Sn－Pb以及Au所構成的群中所選擇的任一個材料所構成的電鍍層。

14．如申請專利範圍第10項所述之半導體裝置的製造方法，其中更具備配設於在安裝有該半導體元件的基板以及在該核心基板的至少一方中的完成時被除去的區域的一部分，用以部分地減少該接著劑層的厚度之虛擬圖案。

15．一種半導體裝置的製造方法，包含：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍 4

對具備第一連接電極與電性連接於該第一連接電極的第一配線與定位用的第一銷孔的基板，在與該第一配線電性連接的狀態下安裝半導體元件；

藉由該第一以及第二定位用的銷孔疊層複數片第二連接電極，與電性連接於該第二連接電極的第二配線，與在具備用以疊層的定位用的第二銷孔的兩面形成有接著劑層的核心基板與安裝該半導體元件的基板於豎立銷的治具板而連結；以及

藉由熱沖壓接著安裝該半導體元件的基板於核心基板，並且接著疊層複數片的核心基板。

16．如申請專利範圍第15項所述之半導體裝置的製造方法，其中安裝有該半導體元件的基板與在該兩面形成有接著劑層的核心基板的第二連接電極部分分別具備填充有金屬的介層，在該熱沖壓時，連接有填充於該介層的金屬，形成有合金層。

17．如申請專利範圍第16項所述之半導體裝置的製造方法，其中填充於該介層的金屬係由Cu、Sn以及Sn－Ag所構成的群中所選擇的任一個材料。

18．如申請專利範圍第17項所述之半導體裝置的製造方法，其中更具備配設於形成於該介層內的金屬表面，由Sn、Sn－Ag、Sn－Pb以及Au所構成的群中所選擇的任一個材料所構成的電鍍層。

19．如申請專利範圍第15項所述之半導體裝置的製造方法，其中更具備配設於在安裝有該半導體元件的基

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

A8
B8
C8
D8

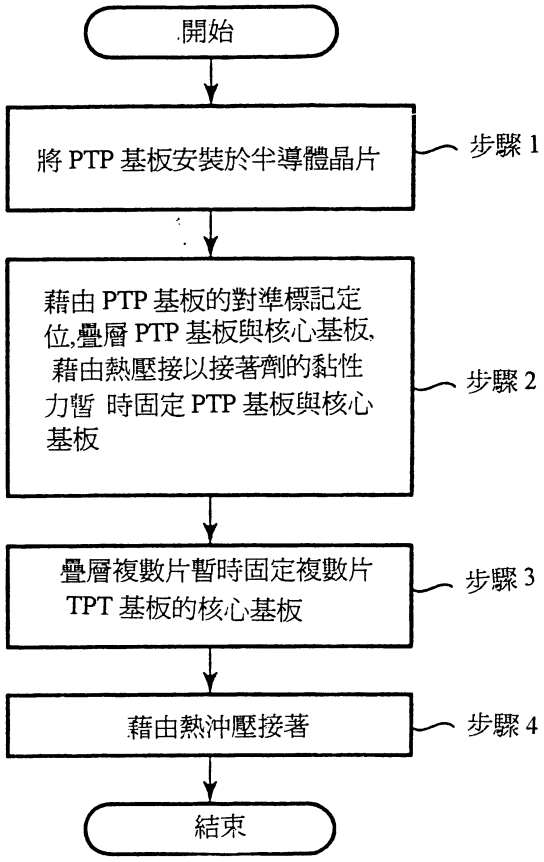
六、申請專利範圍

板以及在該核心基板的至少一方中的完成時被除去的區域的一部分，用以部分地減少該接著劑層的厚度之虛擬圖案。

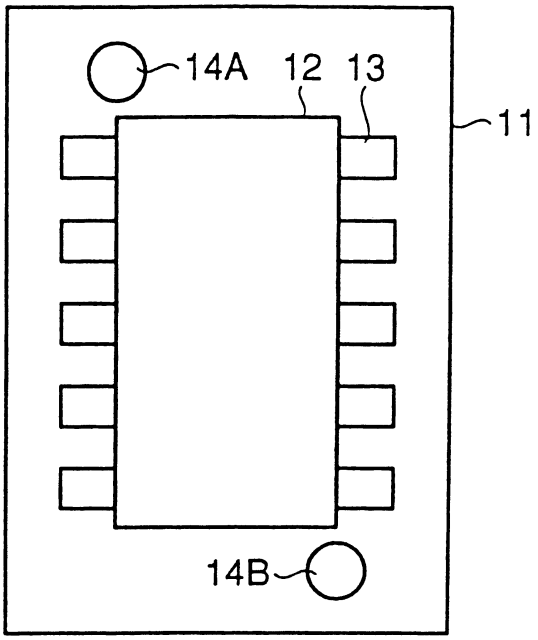
（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部智慧財產局員工消費合作社印製

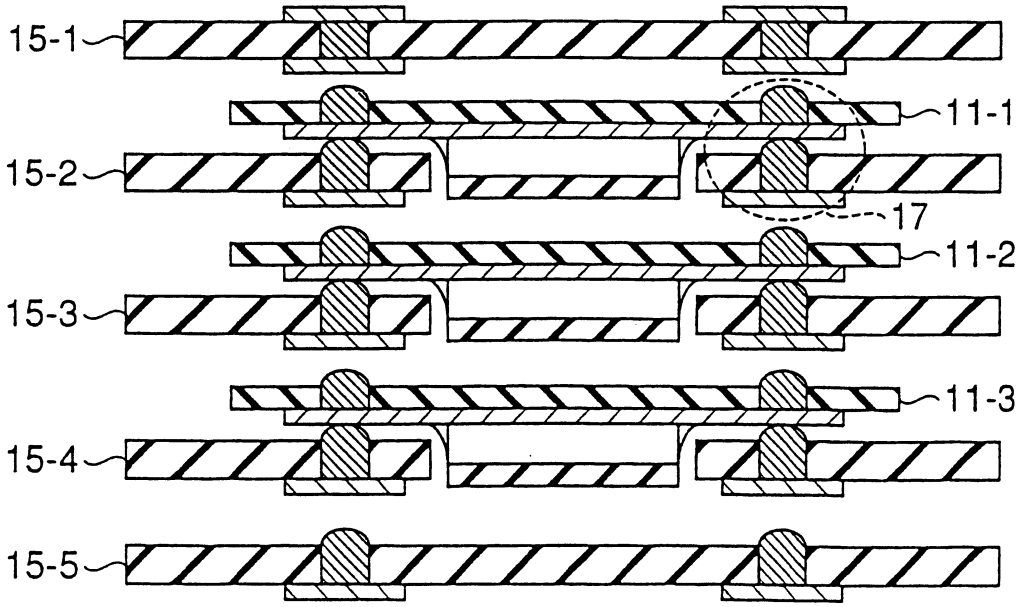
第 1 圖


開始
將 PTP 基板安裝於半導體晶片
步驟 1
藉由 PTP 基板的對準標記定位,疊層 PTP 基板與核心基板, 藉由熱壓接以接著劑的黏性力暫 時固定 PTP 基板與核心基板
步驟 2
疊層複數片暫時固定複數片 TPT 基板的核心基板
步驟 3
藉由熱沖壓接著
步驟 4
結束

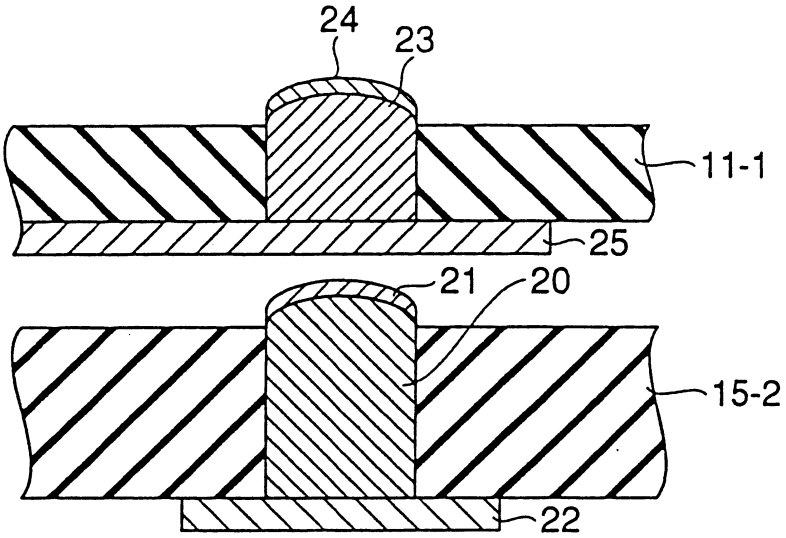
第 2 圖



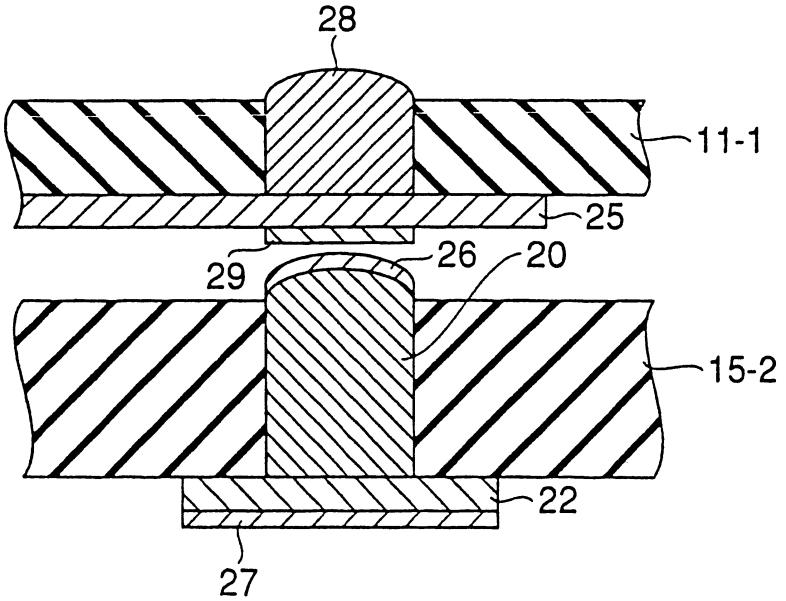
第 3 圖



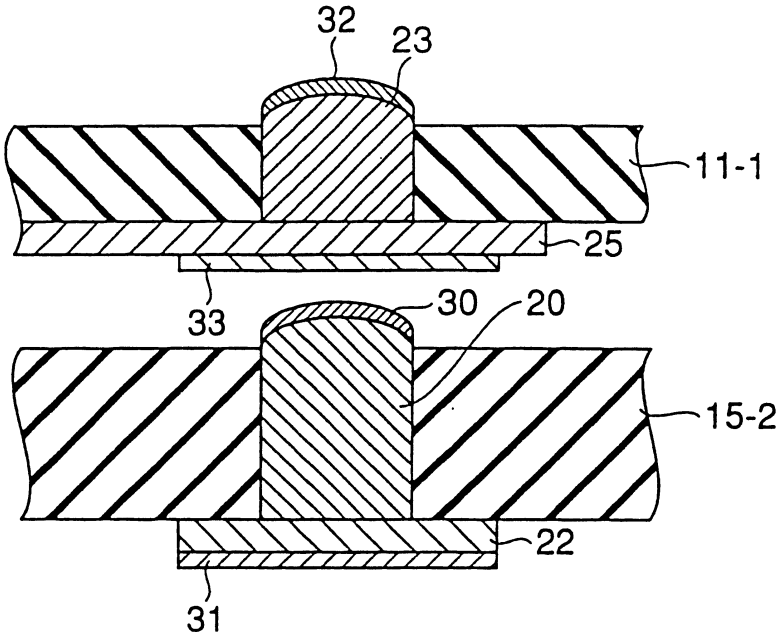
第 4 圖



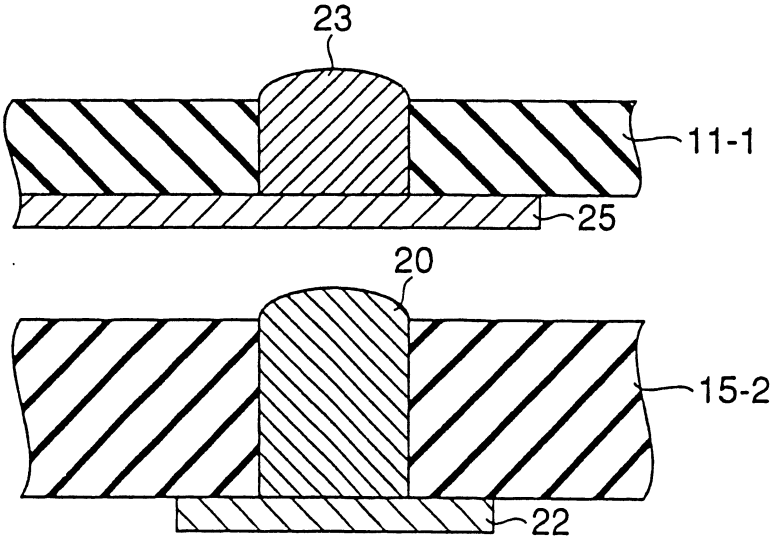
第 5 圖



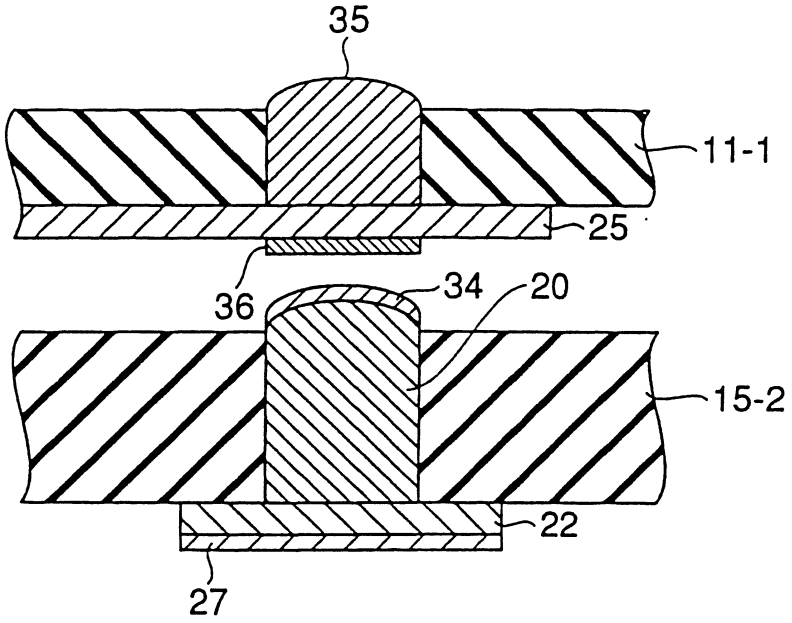
第 6 圖



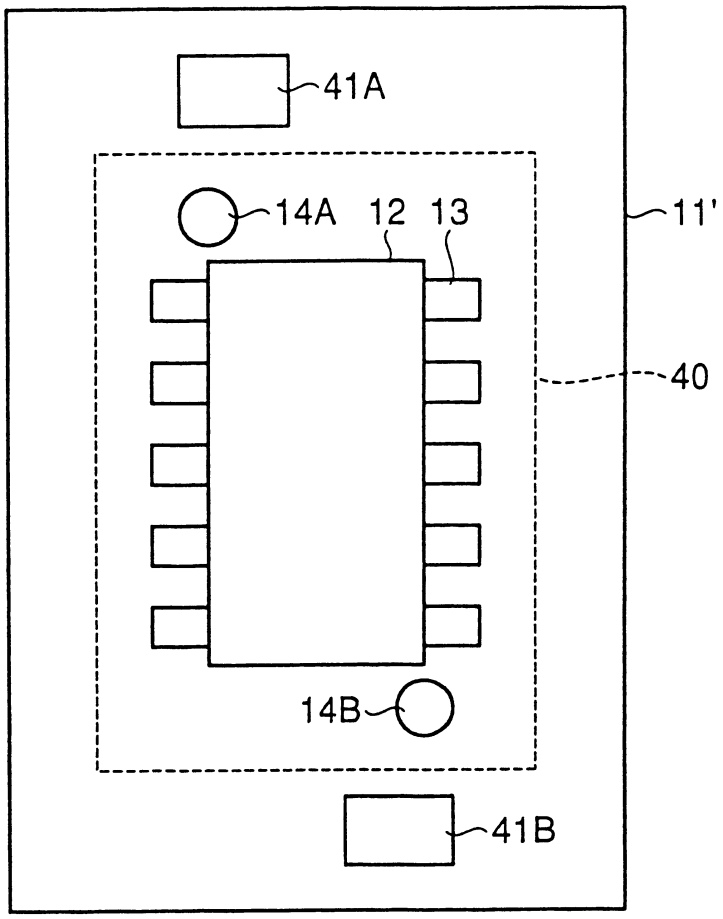
第 7 圖



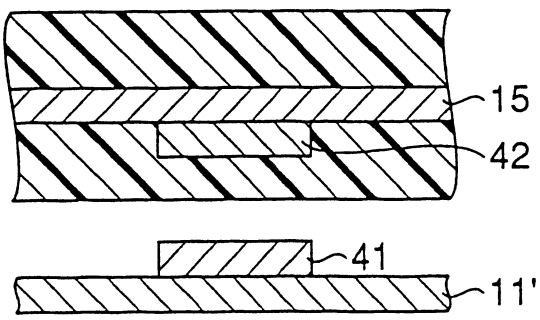
第 8 圖



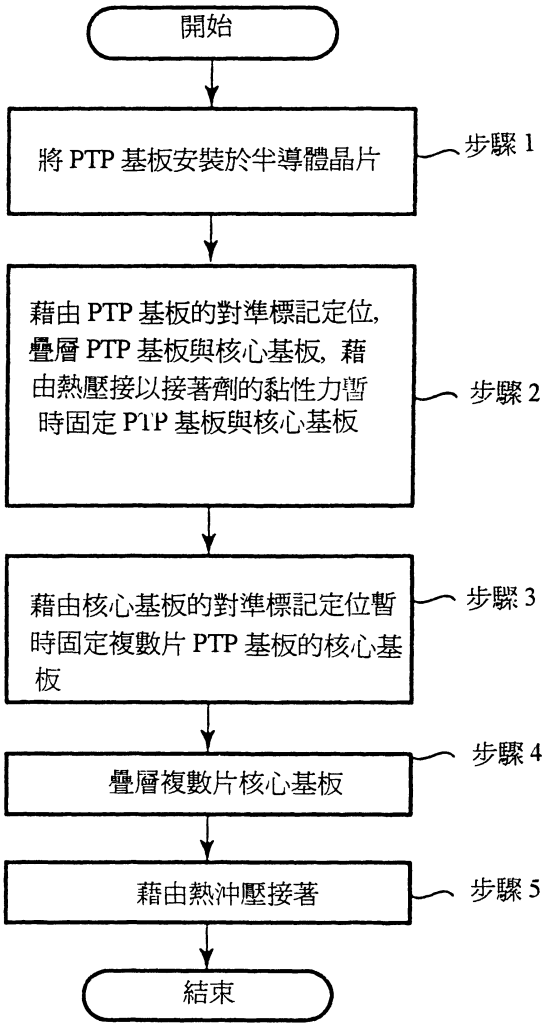
第 9A 圖



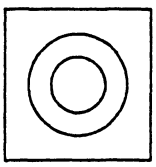
第 9B 圖



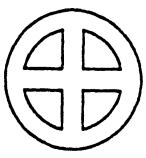
第 10A 圖



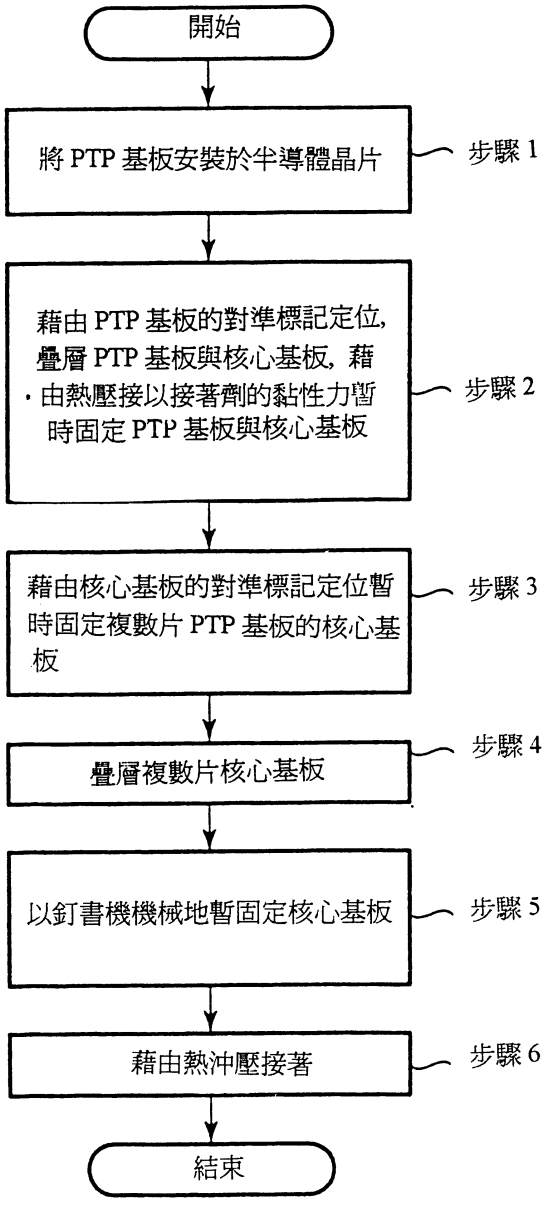
第 10B 圖



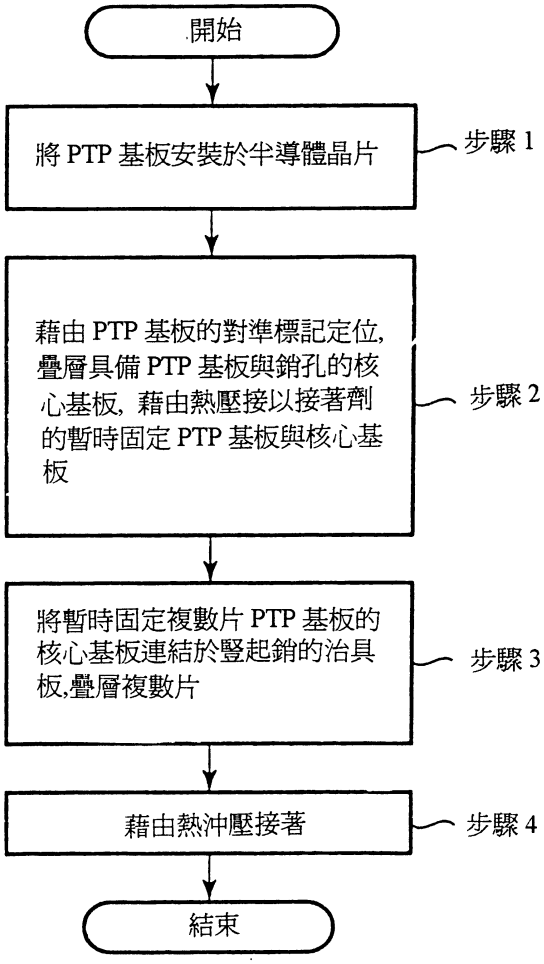
第 10C 圖



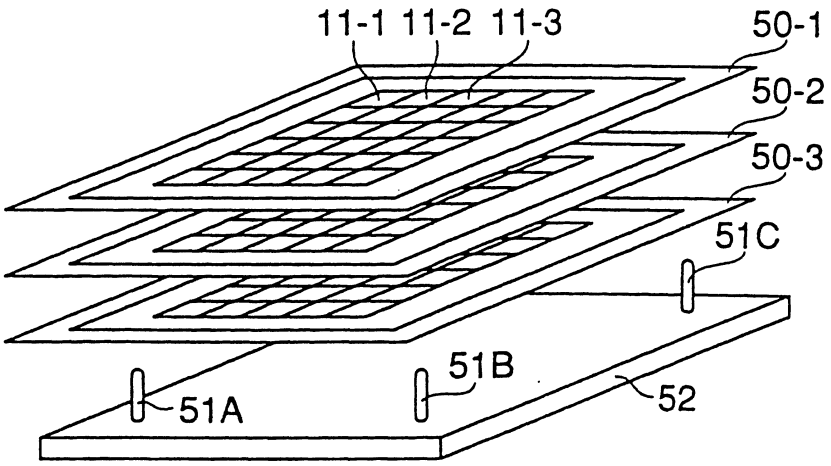
第 11 圖


開始
將 PTP 基板安裝於半導體晶片
步驟 1
藉由 PTP 基板的對準標記定位，疊層 PTP 基板與核心基板，藉由熱壓接以接著劑的黏性力暫時固定 PTP 基板與核心基板
步驟 2
藉由核心基板的對準標記定位暫時固定複數片 PTP 基板的核心基板
步驟 3
疊層複數片核心基板
步驟 4
以釘書機機械地暫固定核心基板
步驟 5
藉由熱沖壓接著
步驟 6
結束

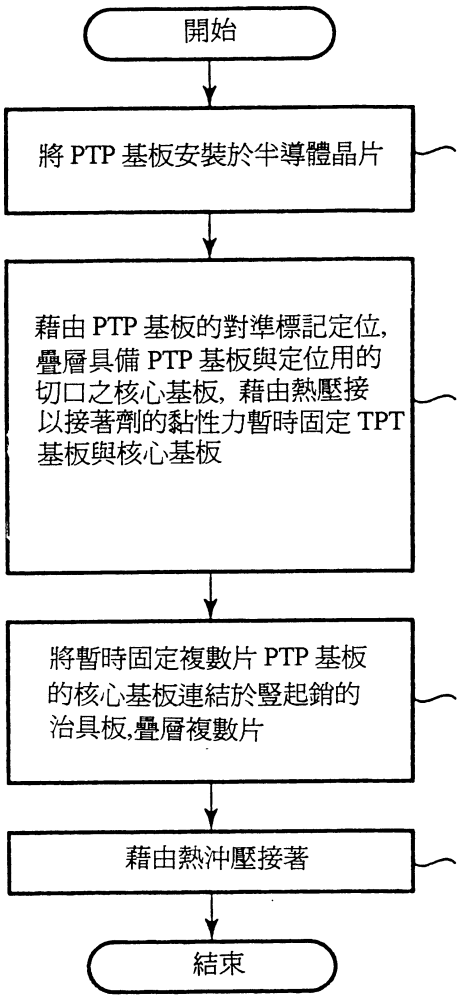
第 12 圖


開始
將 PTP 基板安裝於半導體晶片
步驟 1
藉由 PTP 基板的對準標記定位，疊層具備 PTP 基板與銷孔的核心基板，藉由熱壓接以接著劑的暫時固定 PTP 基板與核心基板
步驟 2
將暫時固定複數片 PTP 基板的核心基板連結於豎起銷的治具板，疊層複數片
步驟 3
藉由熱沖壓接著
步驟 4
結束

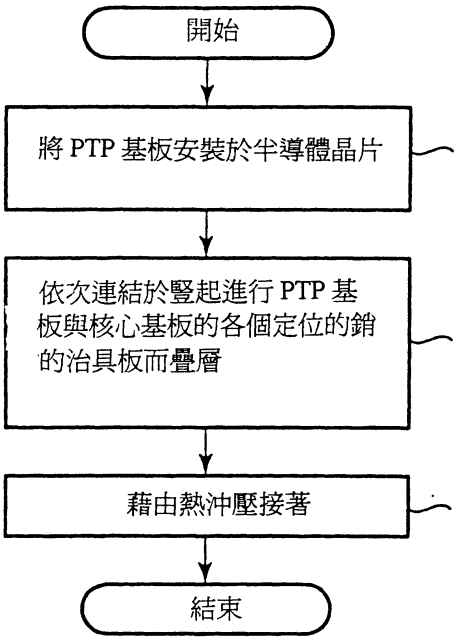
第 13 圖



第 14 圖


開始
將 PTP 基板安裝於半導體晶片
藉由 PTP 基板的對準標記定位，疊層具備 PTP 基板與定位用的切口之核心基板，藉由熱壓接以接著劑的黏性力暫時固定 TPT 基板與核心基板
將暫時固定複數片 PTP 基板的核心基板連結於豎起銷的治具板，疊層複數片
藉由熱沖壓接著
結束

第 15 圖


開始
將 PTP 基板安裝於半導體晶片
依次連結於豎起進行 PTP 基板與核心基板的各個定位的銷的治具板而疊層
藉由熱沖壓接著
結束

第 16 圖

