

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4285836号
(P4285836)

(45) 発行日 平成21年6月24日(2009.6.24)

(24) 登録日 平成21年4月3日(2009.4.3)

(51) Int.Cl.	F 1
HO 1 L 21/82	(2006.01) HO 1 L 21/82 B
HO 1 L 21/822	(2006.01) HO 1 L 27/04 A
HO 1 L 27/04	(2006.01) HO 1 L 27/08 321 B
HO 1 L 21/8238	(2006.01)
HO 1 L 27/092	(2006.01)

請求項の数 5 (全 11 頁)

(21) 出願番号	特願平11-165808
(22) 出願日	平成11年6月11日(1999.6.11)
(65) 公開番号	特開2000-353747(P2000-353747A)
(43) 公開日	平成12年12月19日(2000.12.19)
審査請求日	平成18年6月8日(2006.6.8)

(73) 特許権者	503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(74) 代理人	100064746 弁理士 深見 久郎
(74) 代理人	100085132 弁理士 森田 俊雄
(74) 代理人	100083703 弁理士 仲村 義平
(74) 代理人	100096781 弁理士 堀井 豊
(74) 代理人	100098316 弁理士 野田 久登
(74) 代理人	100109162 弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】半導体集積回路装置

(57) 【特許請求の範囲】

【請求項 1】

半導体基板の一主面上に形成され、第1の方向に対向して延在する第1の辺および第2の辺と、前記第1の方向に直交する第2の方向に対向して延在する第3の辺および第4の辺とを有する矩形状のマクロセル領域において、

前記第2の方向に並んで形成され、前記第1の辺側に形成される第1導電型のウェル領域と前記第2の辺側に形成される第2導電型のウェル領域と、

前記第1導電型のウェル領域上に、前記第1の辺に沿って前記第3の辺から前記第4の辺まで延在するように形成される第1の拡散領域と、

前記第2導電型のウェル領域上に、前記第2の辺に沿って前記第3の辺から前記第4の辺まで延在するように形成される第2の拡散領域と、

前記第1の拡散領域の上層に配置され、第1の電源電圧を供給する第1の電源配線と、前記第2の拡散領域の上層に配置され、第2の電源電圧を供給する第2の電源配線と、前記第1の電源配線と前記第1の拡散領域とを接続する第1のウェルコンタクトが形成される第3の拡散領域と、

前記第2の電源配線と前記第2の拡散領域とを接続する第2のウェルコンタクトが形成される第4の拡散領域とを備え、

前記第1の拡散領域の第2方向の幅は、前記第3の拡散領域の第2方向の幅よりも狭く、前記第3の拡散領域は前記第2方向において前記第1の拡散領域よりも前記第2の辺側に形成され、

10

20

前記第2の拡散領域の第2方向の幅は、前記第4の拡散領域の第2方向の幅よりも狭く、前記第4の拡散領域は前記第2方向において前記第2の拡散領域よりも前記第1の辺側に形成され、

前記第1の方向および/または前記第2の方向に前記マクロセル領域に隣接して配置される他のマクロセル領域をさらに有し、前記マクロセル領域の前記第1の拡散領域および前記第2の拡散領域は、前記マクロセル領域の前記第1の拡散領域および前記第2の拡散領域に対応して前記他のマクロセル領域において形成される第5の拡散領域と第6の拡散領域にそれぞれ電気接続される半導体集積回路装置。

【請求項2】

前記第1の電源配線および/または前記第2の電源配線は、前記マクロセル領域と前記他のマクロセル領域に共通に配置され、 10

前記他のマクロセル内においては、前記第5の拡散領域と前記第1の電源配線とを接続するウェルコンタクト領域および/または前記第6の拡散領域と前記第2の電源配線とを接続するウェルコンタクト領域を有しない、請求項1記載の半導体集積回路装置。

【請求項3】

前記第1の拡散領域の第2方向の幅と、前記第2の方向に前記マクロセル領域に隣接して配置される他のマクロセル領域の第5の拡散領域の第2方向の幅の和は、前記第3の拡散領域の第2方向の幅よりも狭い、請求項1または2に記載の半導体集積回路装置。

【請求項4】

前記第3の拡散領域の第2方向の幅は、前記第1の電源配線の第2方向の幅よりも狭い、請求項1から3のいずれかに記載の半導体集積回路装置。 20

【請求項5】

半導体基板の一主面上に形成され、第1の方向に対向して延在する第1の辺および第2の辺と、前記第1の方向に直交する第2の方向に対向して延在する第3の辺および第4の辺とを有する矩形状のマクロセル領域において、

第1導電型のウェル領域と、

前記第1導電型のウェル領域上に、前記第1の辺に沿って前記第3の辺から前記第4の辺まで延在するように形成される第1の拡散領域と、

前記第1の拡散領域の上層に配置され、第1の電源電圧を供給する第1の電源配線と、前記第1の電源配線と前記第1の拡散領域とを接続する第1のウェルコンタクトが形成される第2の拡散領域とを備え、 30

前記第1の拡散領域の第2方向の幅は、前記第2の拡散領域の第2方向の幅よりも小さく、前記第2の拡散領域は前記第2方向において前記第1の拡散領域よりも前記第2の辺側に形成され、

前記第1の方向および/または前記第2の方向に前記マクロセル領域に隣接して配置される他のマクロセル領域をさらに有し、前記マクロセル領域の前記第1の拡散領域は、前記マクロセル領域の前記第1の拡散領域に対応して前記他のマクロセル領域において形成される第3の拡散領域にそれぞれ電気接続される半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、セルベースのウェルコンタクトを有するマクロセル構造を備えた半導体集積回路装置に関するものである。

【0002】

【従来の技術】

図8は例えば特開平4-267553号公報に示す従来のウェルコンタクトを有するマクロセル構造を備えた半導体集積回路装置のレイアウト構成図、図9は図8の半導体集積回路装置の左方部分の拡大図、図10はII-II'線に沿った断面図である。

【0003】

図において、101a, 101bはウェルコンタクト、2はトランジスタの拡散領域、3 50

はマクロセルの矩形状のセル枠、11はシリコンSi等のP型半導体基板、12はPウエル領域、13はNウエル領域、14は酸化膜、115a, 115bはP+拡散領域、116a, 116bはN+拡散領域、17a, 17bはそれぞれ接地・電源配線18a, 18bとP+拡散領域115a、N+拡散領域116bとを電気接続するコンタクト、18a, 18bはそれぞれアルミニウムなどの金属からなる接地電圧GND(0V)を供給するための接地配線、電源電圧VDD(1.8V)を供給するための電源配線、Aはウエルコンタクト効果が大きい領域、Bはウエルコンタクト効果が小さい領域である。ここで、拡散領域115a, 115bとコンタクト17a, 17bをそれぞれ合わせたものをウエルコンタクト101a, 101bとして定義する。

【0004】

10

一般にセルベースの半導体集積回路装置がCMOS構造を有する場合には、そのラッチャップを防ぐため、Nウエル領域13を電源電圧VDDに上げ、Pウエル領域12を接地電圧GNDにする。このためには、電源配線18bをN+拡散領域116bを介してNウエル領域13に電気接続させ、接地配線18aをP+拡散領域115aを介してPウエル領域12に接続する。ここで、ラッチャップとはCMOS構造の半導体集積回路装置等において、寄生バイポーラのPNP, NPNトランジスタにより形成される寄生サイリスタがオン状態になることにより、電源とグランド間がほぼショート状態となる現象をいい、正常動作しないだけでなく素子破壊に至る場合がある。

【0005】

20

図8の構成図では、マクロセルのセル枠3の中にトランジスタを構成する拡散領域2とウエルコンタクト101a, 101bを示した。近年においてはセルベースの高密度化を目指すため、回路の単位であるマクロセルをより小さく作成する傾向が強まっている。このため、上記ウエルコンタクト101a, 101bは、トランジスタを構成する拡散領域2の隙間に配置されるようになってきている。

【0006】

次に動作について説明する。

まず、接地電圧GNDを供給する側は、接地配線18aよりコンタクト17aを介してP+拡散領域115aに接地電圧GNDが与えられ、Pウエル領域12を通じてP型半導体基板11に接地電圧0Vが与えられる。一方、電源電圧VDDを供給する側は、電源配線18bよりコンタクト17bを介してN+拡散領域116bに電源電圧VDDが与えられ、Nウエル領域13に伝達されるが、Nウエル領域13からP型半導体基板11へは前者に電源電圧VDDを与え、後者に接地電圧GNDを与えることからダイオードに逆バイアスをかけた状態になるため電流は流れない。

30

【0007】

なお、セル面積を増大させることなくラッチャップに強くなったセルを有する半導体集積回路装置を開示するものとして特開平8-222640号公報がある。また、拡散領域上面にシリサイド構造を備え電源および接地領域に使用する半導体集積回路を開示するものとして特開平7-78949号公報がある。

【0008】

40

【発明が解決しようとする課題】

従来のマクロセル構造を備えた半導体集積回路装置は以上のように構成されているので、マクロセルの全面にはウエルコンタクト101a, 101bが形成できないためウエルコンタクト101a, 101bから近いところではウエルコンタクト効果が大きい領域Aができる、ウエルコンタクト101a, 101bから遠いところではウエルコンタクト効果が小さい領域Bが発生しているなどの課題があった。

この発明は上記のような課題を解決するためになされたもので、マクロセルのウエルコンタクトが部分的にしか取れないマクロセルにおいてもより広範囲に、マクロセル全体にウエルコンタクト効果を持たせることができ、ラッチャップ耐性を向上したマクロセル構造を備えた半導体集積回路装置を得ることを目的とする。

【0009】

50

【課題を解決するための手段】

この発明に係る半導体集積回路装置は、1つの局面では、半導体基板の一主面上に形成され、第1の方向に対向して延在する第1の辺および第2の辺と、第1の方向に直交する第2の方向に対向して延在する第3の辺および第4の辺とを有する矩形状のマクロセル領域において、第2の方向に並んで形成され、第1の辺側に形成される第1導電型のウェル領域と第2の辺側に形成される第2導電型のウェル領域と、第1導電型のウェル領域上に、第1の辺に沿って第3の辺から第4の辺まで延在するように形成される第1の拡散領域と、第2導電型のウェル領域上に、第2の辺に沿って前記第3の辺から前記第4の辺まで延在するよう形成される第2の拡散領域と、第1の拡散領域の上層に配置され、第1の電源電圧を供給する第1の電源配線と、第2の拡散領域の上層に配置され、第2の電源電圧を供給する第2の電源配線と、第1の電源配線と第1の拡散領域とを接続する第1のウェルコンタクトが形成される第3の拡散領域と、第2の電源配線と第2の拡散領域とを接続する第2のウェルコンタクトが形成される第4の拡散領域とを備え、第1の拡散領域の第2方向の幅は、第3の拡散領域の第2方向の幅よりも狭く、第3の拡散領域は第2方向において第1の拡散領域よりも第2の辺側に形成され、第2の拡散領域の第2方向の幅は、第4の拡散領域の第2方向の幅よりも狭く、第4の拡散領域は第2方向において第2の拡散領域よりも第1の辺側に形成され、第1の方向および/または第2の方向にマクロセル領域に隣接して配置される他のマクロセル領域をさらに有し、マクロセル領域の第1の拡散領域および第2の拡散領域は、マクロセル領域の第1の拡散領域および第2の拡散領域に対応して他のマクロセル領域において形成される第5の拡散領域と第6の拡散領域にそれぞれ電気接続される。

10

20

30

【0010】

この発明に係る半導体集積回路装置は、他の局面では、半導体基板の一主面上に形成され、第1の方向に対向して延在する第1の辺および第2の辺と、前記第1の方向に直交する第2の方向に対向して延在する第3の辺および第4の辺とを有する矩形状のマクロセル領域において、第1導電型のウェル領域と、第1導電型のウェル領域上に、第1の辺に沿って第3の辺から第4の辺まで延在するよう形成される第1の拡散領域と、第1の拡散領域の上層に配置され、第1の電源電圧を供給する第1の電源配線と、第1の電源配線と第1の拡散領域とを接続する第1のウェルコンタクトが形成される第2の拡散領域とを備え、第1の拡散領域の第2方向の幅は、第2の拡散領域の第2方向の幅よりも小さく、第2の拡散領域は第2方向において第1の拡散領域よりも第2の辺側に形成され、第1の方向および/または第2の方向にマクロセル領域に隣接して配置される他のマクロセル領域をさらに有し、マクロセル領域の第1の拡散領域は、マクロセル領域の第1の拡散領域に対応して他のマクロセル領域において形成される第3の拡散領域にそれぞれ電気接続される。

【0018】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態1.

図1はこの発明の実施の形態1によるマクロセル構造を有する半導体集積回路装置を示すレイアウト構成図、図2は図1の半導体集積回路装置の左方部分の拡大図、図3はI-I'線に沿った断面図である。

40

【0019】

図において、1a, 1bはウェルコンタクト、2はトランジスタの拡散領域、3はマクロセルの矩形状のセル枠、4a, 4bはデザインルール上の最小許容幅Cを持つ伸長拡散領域、11はシリコンSi等のP型半導体基板、12はPウェル領域、13はNウェル領域、14は酸化膜、15a, 15bはP+拡散領域、16a, 16bはN+拡散領域、17a, 17bはそれぞれ接地・電源配線18a, 18bとP+拡散領域15a、N+拡散領域16bとを電気接続するコンタクト、18a, 18bはそれぞれアルミニウムなどの金属からなり接地電圧GND(0V)を供給するための接地配線、電源電圧VDD(1.8V)を供給するための電源配線である。

50

V)を供給するための電源配線、Aはウエルコンタクト効果が大きい領域、A'はウエルコンタクト効果が改善された領域、Cは拡散領域の最小許容幅、Dは拡散間距離である。伸長拡散領域4a, 4bは通常のフィールド分離法において他の拡散領域と同様に生成できる。ここで、ウエルコンタクト1a, 1bは拡散領域とコンタクトとを合わせたものを指し、例えばコンタクト17aとP+拡散領域15aとを合わせたものを指す。

【0020】

この実施の形態1のレイアウト構成では、まずウエルコンタクト1a, 1bをマクロセル内のトランジスタの拡散領域の隙間に配置する。さらにマクロセルの左右に最小許容幅Cを持つ拡散領域4を配置し、ウエルコンタクト1aと拡散領域4aは相互に電気接続されている構造を持つ。最小許容幅Cは少なくともコンタクト配置不可なレベルであり、これにより有効レイアウト面積が必要以上に制約を受けることはない。

10

【0021】

次に動作について説明する。

まず、接地電圧GNDを供給する側は、接地配線18aよりコンタクト17aを介してP+拡散領域15aに接地電圧GNDが与えられ、Pウエル領域12を通じてP型半導体基板11に接地電圧GNDが与えられ、ウエルコンタクト1a内のP+拡散領域15aが拡散領域4aと電気接続していることから同様に伸長拡散領域4aに対して接地電圧GNDが与えられる。

【0022】

一方、電源電圧VDDを供給する側は、電源配線18bよりコンタクト17bを介してN+拡散領域16bに1.8Vの電源電圧VDDが与えられ、Nウエル領域13に伝達されるが、電源電圧VDDが与えられているNウエル領域13から接地電圧GNDが与えられているP型半導体基板11へはダイオードに逆バイアスがかけられた状態になるため電流は流れない。しかもウエルコンタクト1b内のN+拡散領域16bが伸長拡散領域4bと電気接続していることから同様に拡散領域4bに対して電源電圧VDDが与えられる。

20

【0023】

このように、ウエルコンタクトの効果が大きい領域Aの効果が伸長拡散領域4a, 4bを介して電気接続する領域A'にも伝達されることから、マクロセル中でウエルコンタクト1a, 1bから遠い所でも領域Aと同様にウエルコンタクト効果が改善される。

【0024】

30

以上のように、この実施の形態1によれば、ウエルコンタクト1a, 1bとそれぞれ電気接続する伸長拡散領域4a, 4bをセル枠3の上下に沿って配置したので、ウエルコンタクト効果が伸長拡散領域4a, 4b方面にまで及び、マクロセルのより広範囲にわたりラッチアップ耐性が向上する効果が得られる。

【0025】

実施の形態2。

図4はこの発明の実施の形態2によるマクロセル構造を有する半導体集積回路装置を示すレイアウト構成図であり、図において、4a', 4b'はデザインルール上の最小許容幅Cを持つ伸長拡散領域であり、上述と同一符号は同一構成要素または相当部分を示しその重複説明は省略する。

40

【0026】

この実施の形態2によるレイアウト構成では、伸長拡散領域4a', 4b'が上記実施の形態1の構成における伸長拡散領域4a, 4bに比較してセル枠3の左右両端にまで伸長していてマクロセルの左右の拡散間距離Dの最小幅が0以下である構造を有する点で相違があるが、他はレイアウト構成もマクロセル構造も同様である。したがって、マクロセル単独における動作説明は省略する。拡散間距離Dの最小幅が0以下というのは設計上の概念でありこのような余裕を与えておかないと実際に出来た半導体集積回路装置では不具合が生ずるおそれがあるからである。

【0027】

以上の構造を持つことによる効果を図5を用いて説明する。

50

図5は図4のマクロセル構造を含むマクロセルを3つ左右に接して配置したレイアウト構成図である。図において、5はウエルコンタクトを有するマクロセル、6はウエルコンタクトを有しないマクロセル、7はウエルコンタクトと関連のない拡散領域である。図5では、ウエルコンタクトを有する左右2つのマクロセル5の間にウエルコンタクトを有しないマクロセル6が配置されている状態を示している。ここで、ウエルコンタクトを有しないマクロセル6とは、トランジスタの拡散領域2の占有面積が大きくウエルコンタクトを置くことができないという制限のあるマクロセルを示している。

【0028】

ウエルコンタクトを有しないマクロセル6の拡散領域7は隣接したウエルコンタクトを有するマクロセル5の伸長拡散領域4a'、4b'と電気接続されるためウエルコンタクト1a、1bの拡散領域が、拡散領域7a、7bにそれぞれ電気的に接続され、ウエルコンタクトを有しないマクロセル6にもウエルコンタクト効果が及ぶので、装置のより広範囲にラッチアップ耐性の向上する効果がある。

10

【0029】

以上のように、この実施の形態2によれば、セル枠3の左右両端と上下両端から形成されウエルコンタクトに使用するコンタクト配置できない最小許容幅の伸長拡散領域4a'、4b'をウエルコンタクト1a、1bに電気接続するように構成したので、ウエルコンタクトを有しない他のマクロセルにもウエルコンタクトが及ぶので、半導体集積回路装置全体のラッチアップ耐性が向上する効果が得られる。

【0030】

20

実施の形態3。

図6はこの発明の実施の形態3によるマクロセル構造を有する半導体集積回路装置を示すレイアウト構成図であり、図において、41a、41bはデザインルール上の最小許容幅Cの約2分の1の幅C'を有する伸長拡散領域、Eはマクロセルの拡散幅41a、41bの領域以外の幅を示すものであり、上述と同一符号は同一構成要素または相当部分を示しその説明は省略する。

【0031】

この実施の形態3によるレイアウト構成では、伸長拡散領域41a、41bが上記実施の形態2の構成における伸長拡散領域4a'、4b'の最小許容幅Cと比較して約2分の1と狭い幅C'となっている点で相違があるが、他はレイアウト構成もマクロセル構造も同様であるのでマクロセルの動作説明は省略する。もちろん幅C'の拡散領域41a、41bは上述の最小許容幅Cよりも狭いのでコンタクト配置が不可であることはいうまでもない。

30

【0032】

以上の構造を持つことによる効果を図7を用いて説明する。

図7は図6のマクロセル構造を持つマクロセルが上下に置かれることにより、上段のマクロセルの伸長拡散領域41bと下段のマクロセルの伸長拡散領域41aが電気接続し結合した結果、デザインルールの最小許容幅Cを満足するものとなる。さらに、結合した結果この最小許容幅Cを有するに至った結合拡散領域同士をさらに隣接した他のマクロセルと電気接続することにより複数のマクロセルが結合した半導体集積回路装置ができる。

40

【0033】

この構造を採ることにより最小許容幅Cを持つ伸長拡散領域41a、41b以外の領域Eが上記実施の形態1、2よりも大きく形成でき、マクロセル内の多結晶シリコン等のポリ配線領域が広がることからマクロセルを小さく作ることができる。したがって、ラッチアップ耐性の向上とともに上記実施の形態1、2に比べて半導体チップのより高密度化を図ることができる。

【0034】

なお、図7では、マクロセルはウエルコンタクト1a、1bを有するものを述べたが、上記実施の形態2で述べたように、ウエルコンタクトを有しないマクロセルを含んだ複合構造であってもよい。

50

【0035】

以上のように、この実施の形態3によれば、セル枠3内に最小許容幅Cの2分の1の幅C'の伸長拡散領域41a, 41bを持つマクロセルを上下に当接させて電気接続するよう配置したので、マクロセル内のポリ配線領域が拡大しここにポリ配線をより多く配置できようになり、半導体集積回路装置のラッチアップ耐性の向上と高密度化を図ることができる効果が得られる。

【0036】

実施の形態4。

上記実施の形態1～3においては、シリコンSiによるP型半導体基板の伸長拡散領域4a, 4b, 4a', 4b', 41a, 41bは通常のフィールド分離法により生成されるものであるが、これをサリサイド化によりMo、W、Ti等の高融点金属との化合物にして、MoSi₂, WSi₂, TiSi₂等の高融点金属化合物をすれば上記伸長拡散領域4a, 4b, 4a', 4b', 41a, 41bの表層部の抵抗を下げることができる。ここでサリサイド化とはシリコンを高融点金属との化合物とすることでありシリサイドともいう。

10

【0037】

同様に、ウエルコンタクト1a, 1bの拡散層部分であるP+拡散領域15a、N+拡散領域16bもサリサイド化することにより、その表層部の抵抗を下げることができる。しかも、P+拡散領域15a、N+拡散領域16bは伸長拡散領域4a, 4b, 4a', 4b', 41a, 41bと電気接続しているので、これにより実施の形態1～3のマクロセル構造を有する半導体集積回路装置のラッチアップ耐性はさらに向上する。

20

【0038】

さらに、最小許容幅Cは単にシリコン基板により形成された伸長拡散領域4a, 4b, 4a', 4b', 41a, 41bに比べて小さい幅にすることができるので、これら以外の領域Eがさらに大きく確保でき、マクロセル内の多結晶シリコン等のポリ配線領域が広がることからマクロセルをより小さく作ることができる。したがって、ラッチアップ耐性の向上は維持したまま、上記実施の形態1～3より半導体集積回路装置チップの高密度化を図ることができる。

【0039】

以上のように、この実施の形態4によれば、実施の形態1～3のマクロセル構造において伸長拡散領域4a, 4b, 4a', 4b', 41a, 41bとP+拡散領域15a、N+拡散領域16bとをサリサイド化して表層部の抵抗を減少させるように構成したので、ウエルコンタクト効果がマクロセルのより広範囲に行き渡り、半導体集積回路装置のラッチアップ耐性が向上するとともに、最小許容幅Cの減少によりマクロセルの占有面積を小さくできるので半導体集積回路装置の高密度化を実現する効果が得られる。

30

【0040】

【発明の効果】

以上のように、この発明によれば、マクロセル構造を備えた半導体集積回路装置のラッチアップ耐性を向上することができる。

【図面の簡単な説明】

40

【図1】 この発明の実施の形態1によるマクロセル構造を備えた半導体集積回路装置を示すレイアウト構成図である。

【図2】 図1の半導体集積回路装置の左方部分拡大図である。

【図3】 図2のI-I'線に沿った断面図である。

【図4】 この発明の実施の形態2によるマクロセル構造を備えた半導体集積回路装置を示すレイアウト構成図である。

【図5】 この発明の実施の形態2の応用例を示すレイアウト構成図である。

【図6】 この発明の実施の形態3によるマクロセル構造を備えた半導体集積回路装置を示すレイアウト構成図である。

【図7】 この発明の実施の形態3の応用例を示すレイアウト構成図である。

50

【図8】 従来のマクロセル構造を備えた半導体集積回路装置を示すレイアウト構成図である。

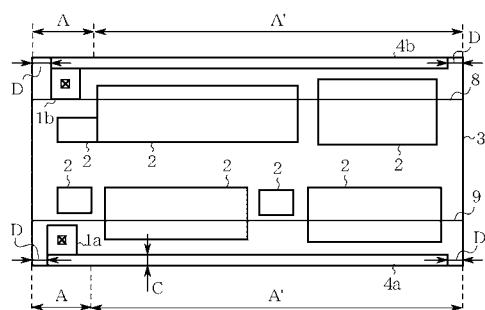
【図9】 図8の従来の半導体集積回路装置の左方部分拡大図である。

【図10】 図9のI—I'線に沿った断面図である。

【符号の説明】

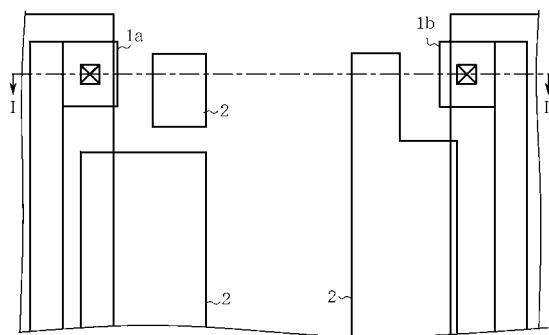
1 a, 1 b ウエルコンタクト、2 トランジスタの拡散領域、3 マクロセルのセル枠
 、4 a, 4 b, 4 a', 4 b', 4 1 a, 4 1 b 伸長拡散領域（第1～第5拡散領域）、
 11 P型半導体基板、12 Pウエル領域、13 Nウエル領域、14 酸化膜、15
 a, 15 b P+拡散領域、16 a, 16 b N+拡散領域、17 a, 17 b コンタクト、
 18 a 接地配線、18 b 電源配線、A ウエルコンタクトの効果の大きい領域、
 A' ウエルコンタクトの効果が改善された領域、C, C' 最小許容幅、D 拡散間距離。
 10

【図1】

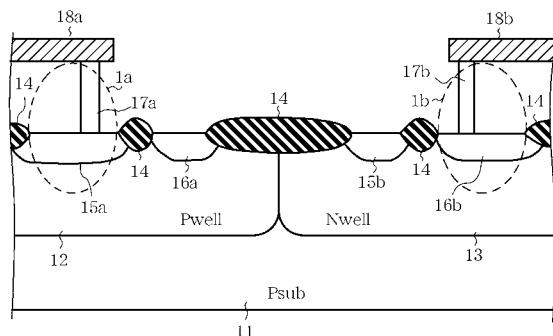


1a,1b: ウエルコンタクト
 2: トランジスタの拡散領域
 3: マクロセルのセル枠
 4a,4b: 伸長拡散領域（第1～第5拡散領域）
 A: ウエルコンタクトの効果の大きい領域
 A': ウエルコンタクトの効果が改善された領域
 C: 最小許容幅
 D: 拡散間距離

【図2】

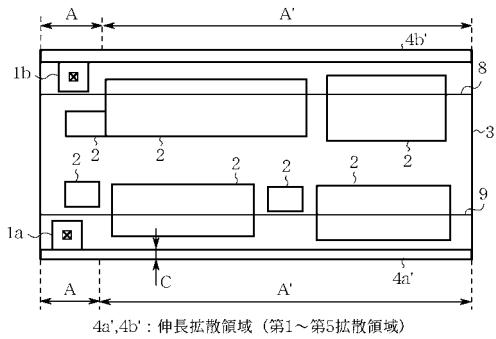


【図3】

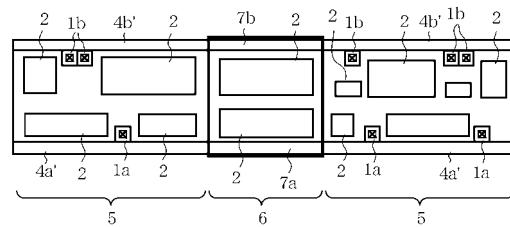


- 11 : P型半導体基板
- 12 : Pウェル領域
- 13 : Nウェル領域
- 14 : 酸化膜
- 15a,15b : P+拡散領域
- 16a,16b : N+拡散領域
- 17a,17b : コンタクト
- 18a : 接地配線
- 18b : 電源配線

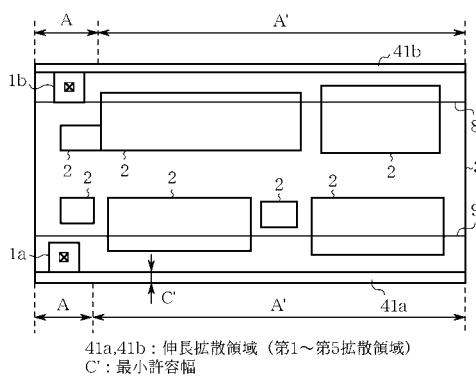
【 図 4 】



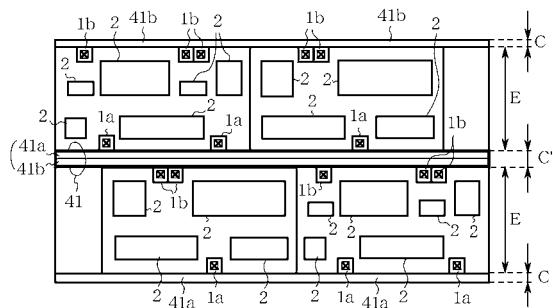
【 四 5 】



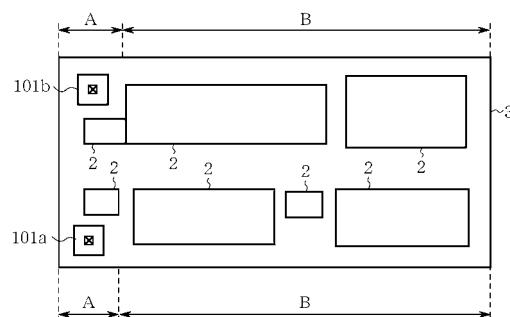
【図6】



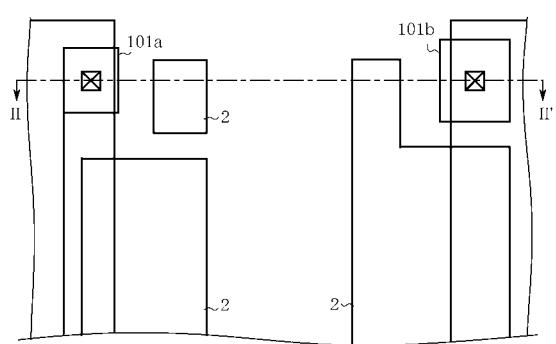
【図7】



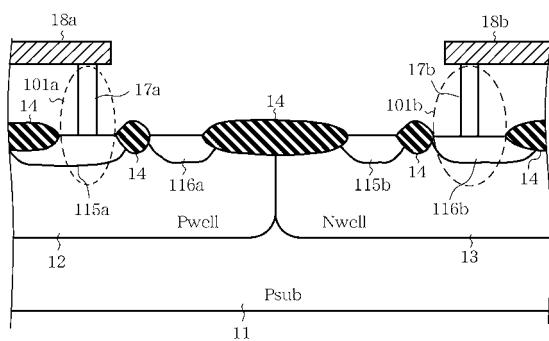
【 义 8 】



【図9】



【図10】



フロントページの続き

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 岩男 剛宜

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 坂野 竜一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 大嶋 洋一

(56)参考文献 特開平07-007141(JP, A)

特開昭61-061452(JP, A)

特開昭61-054658(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82

H01L 21/822

H01L 21/8238

H01L 27/04

H01L 27/092