



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201319801 A1

(43)公開日：中華民國 102 (2013) 年 05 月 16 日

(21)申請案號：101127344

(22)申請日：中華民國 101 (2012) 年 07 月 27 日

(51)Int. Cl.：

G06F11/10 (2006.01)

G11C11/56 (2006.01)

G11C16/34 (2006.01)

(30)優先權：2011/07/28 美國

61/512,749

2011/10/24 美國

13/280,217

(71)申請人：桑迪士克科技公司 (美國) SANDISK TECHNOLOGIES INC. (US)

美國

(72)發明人：雪倫 伊倫 SHARON, ERAN (IL)；艾諾德 伊登 ALROD, IDAN (IL)

(74)代理人：黃章典；樓穎智

申請實體審查：無 申請專利範圍項數：21 項 圖式數：36 共 140 頁

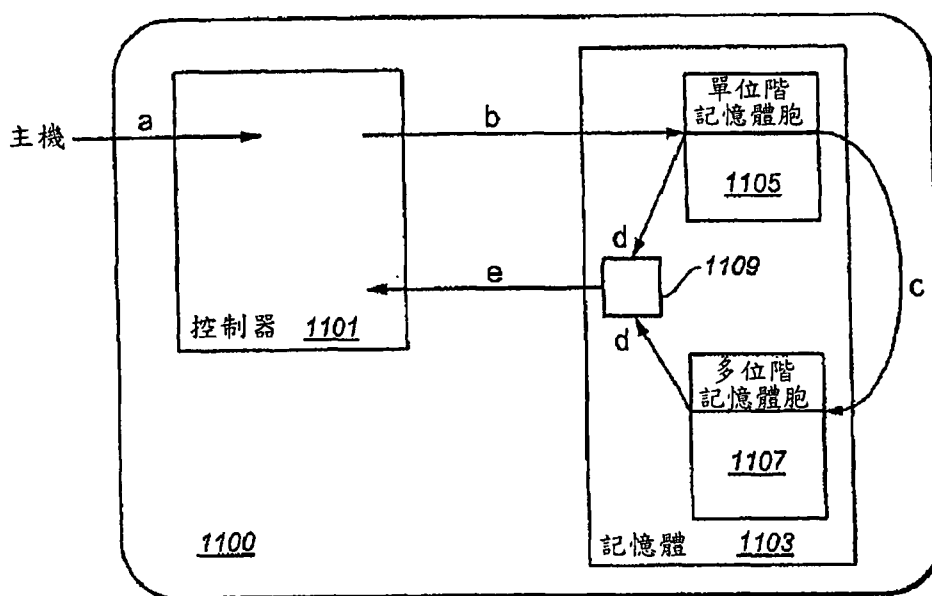
(54)名稱

使用寫為二進位及多狀態格式的資料之比較在非揮發性記憶體中的寫入後讀取

POST-WRITE READ IN NON-VOLATILE MEMORIES USING COMPARISON OF DATA AS
WRITTEN IN BINARY AND MULTI-STATE FORMATS

(57)摘要

呈現用於寫入後讀取之技術。在一例示性實施例中，主機資料最初以二進位形式寫入至非揮發性記憶體中，諸如一非揮發性二進位快取記憶體。接著隨後將該主機資料自二進位分區寫入至該記憶體之一多狀態非揮發性分區中。在以多狀態格式寫入之後，可接著對照該二進位分區中之此等源頁檢查來自多狀態區塊之資料頁，以驗證該多狀態寫入的品質。可在不將該等頁傳送出至控制器之情況下在該記憶體器件自身上執行此程序。



1100：記憶體系統

1101：控制器電路

1103：記憶體晶片

1105：單位階記憶體
胞(SLC)部分

1107：多位階記憶體
胞(MLC)分區

1109：區塊/用於比較
之電路



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201319801 A1

(43)公開日：中華民國 102 (2013) 年 05 月 16 日

(21)申請案號：101127344

(22)申請日：中華民國 101 (2012) 年 07 月 27 日

(51)Int. Cl.：

G06F11/10 (2006.01)

G11C11/56 (2006.01)

G11C16/34 (2006.01)

(30)優先權：2011/07/28 美國

61/512,749

2011/10/24 美國

13/280,217

(71)申請人：桑迪士克科技公司 (美國) SANDISK TECHNOLOGIES INC. (US)

美國

(72)發明人：雪倫 伊倫 SHARON, ERAN (IL)；艾諾德 伊登 ALROD, IDAN (IL)

(74)代理人：黃章典；樓穎智

申請實體審查：無 申請專利範圍項數：21 項 圖式數：36 共 140 頁

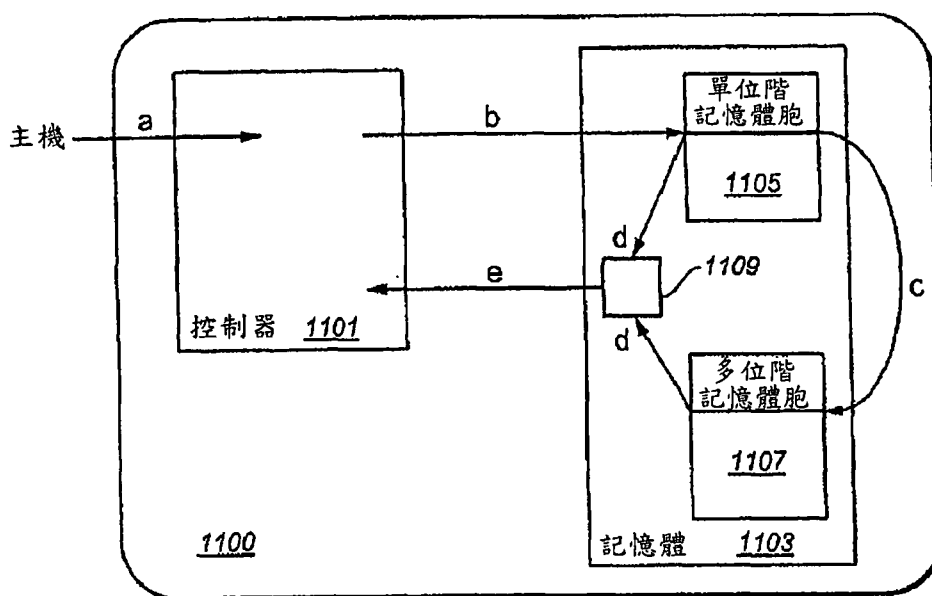
(54)名稱

使用寫為二進位及多狀態格式的資料之比較在非揮發性記憶體中的寫入後讀取

POST-WRITE READ IN NON-VOLATILE MEMORIES USING COMPARISON OF DATA AS
WRITTEN IN BINARY AND MULTI-STATE FORMATS

(57)摘要

呈現用於寫入後讀取之技術。在一例示性實施例中，主機資料最初以二進位形式寫入至非揮發性記憶體中，諸如一非揮發性二進位快取記憶體。接著隨後將該主機資料自二進位分區寫入至該記憶體之一多狀態非揮發性分區中。在以多狀態格式寫入之後，可接著對照該二進位分區中之此等源頁檢查來自多狀態區塊之資料頁，以驗證該多狀態寫入的品質。可在不將該等頁傳送出至控制器之情況下在該記憶體器件自身上執行此程序。



1100：記憶體系統

1101：控制器電路

1103：記憶體晶片

1105：單位階記憶體
胞(SLC)部分

1107：多位階記憶體
胞(MLC)分區

1109：區塊/用於比較
之電路

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

101127344

※ 申請日：

101.7.27

※IPC 分類：

G06F 11/10

(2006.01)

G11C 11/56

(2006.01)

G11C 16/34

(2006.01)

一、發明名稱：(中文/英文)

使用寫為二進位及多狀態格式的資料之比較在非揮發性記憶體中的寫入後讀取

POST-WRITE READ IN NON-VOLATILE MEMORIES USING
COMPARISON OF DATA AS WRITTEN IN BINARY AND MULTI-
STATE FORMATS

二、中文發明摘要：

呈現用於寫入後讀取之技術。在一例示性實施例中，主機資料最初以二進位形式寫入至非揮發性記憶體中，諸如一非揮發性二進位快取記憶體。接著隨後將該主機資料自二進位分區寫入至該記憶體之一多狀態非揮發性分區中。在以多狀態格式寫入之後，可接著對照該二進位分區中之此等源頁檢查來自多狀態區塊之資料頁，以驗證該多狀態寫入的品質。可在不將該等頁傳送出至控制器之情況下在該記憶體器件自身上執行此程序。

三、英文發明摘要：

Techniques for a post-write read are presented. In an exemplary embodiment, host data is initially written into the non-volatile memory in binary form, such as a non-volatile binary cache. It is then subsequently written from the binary section into a multi-state non-volatile section of the memory. After being written in multi-state format, pages of data from a multi-state block can then be checked against there source pages in the binary section to verify the quality of the multi-state write. This process can be performed on the memory device itself, without transferring the pages out to the controller.

四、指定代表圖：

(一)本案指定代表圖為：第(33)圖。

(二)本代表圖之元件符號簡單說明：

1100	記憶體系統
1101	控制器電路
1103	記憶體晶片
1105	單位階記憶體胞(SLC)部分
1107	多位階記憶體胞(MLC)分區
1109	區塊/用於比較之電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本申請案係關於諸如半導體快閃記憶體之可再程式化非揮發性記憶體系統的操作，且更具體而言係關於記憶體操作中的錯誤的處置及有效管理。

【先前技術】

能夠非揮發性地儲存電荷之固態記憶體，尤其呈封裝為小外觀尺寸(small form factor)卡之EEPROM及快閃EEPROM形式的固態記憶體近來已變為多種行動及手持型器件(特別是資訊電器及消費型電子產品)中的首選儲存器。不同於亦為固態記憶體之RAM(隨機存取記憶體)，快閃記憶體係非揮發性的，且即使在切斷電源之後仍保持其所儲存之資料。又，不同於ROM(唯讀記憶體)，快閃記憶體類似於磁碟儲存器件而為可重寫的。儘管成本較高，但快閃記憶體仍日益用於大容量儲存應用中。諸如硬碟機及軟性磁碟之基於旋轉磁性媒體的習知大容量儲存器並不適合於行動及手持型環境。此係因為磁碟機傾向於為龐大的，易於發生機械故障，且具有高潛時及高功率要求。此等不良屬性使得基於磁碟之儲存器在多數行動及攜帶型應用中為不實用的。另一方面，嵌入式與呈可卸除式卡形式的快閃記憶體因為其小的大小、低電力消耗、高速度及高可靠性特徵而理想地適合於行動及手持型環境中。

快閃EEPROM類似於EEPROM(電可抹除及可程式化唯讀記憶體)之處在於：快閃EEPROM為一種可被抹除且將新資

料寫入於或「程式化於」其記憶體胞中的非揮發性記憶體。兩種操作皆利用場效電晶體結構中之浮動(未連接)導電閘極，該浮動(未連接)導電閘極位於半導體基板中之通道區域之上、在源極區與汲極區之間。控制閘極接著被提供於浮動閘極之上。電晶體之臨限電壓特性係由保持於浮動閘極上之電荷的數量來控制。亦即，對於浮動閘極上給定位準之電荷，在「接通」電晶體以准許其源極區與汲極區之間的傳導之前，必須施加對應電壓(臨限值)至控制閘極。詳言之，諸如快閃EEPROM之快閃記憶體允許同時抹除記憶體胞之全部區塊。

浮動閘極可保持某範圍的電荷且因此可被程式化至臨限電壓窗內之任何臨限電壓位準。臨限電壓窗之大小係由器件之最小及最大臨限位準定界，該等臨限位準又對應於可程式化至浮動閘極上之電荷的範圍。臨限窗通常取決於記憶體器件之特性、操作條件及歷史。窗內之每一相異、可解析臨限電壓位準範圍原則上可用以指明記憶體胞之確定記憶體狀態。

在當前市售產品中，快閃EEPROM陣列之每一儲存元件藉由以二進位模式操作來儲存單一資料位元為常見的，其中將儲存元件電晶體之臨限位準的兩個範圍定義為儲存位準。電晶體之臨限位準對應於儲存於電晶體之儲存元件上之電荷位準的範圍。除了使記憶體陣列之大小收縮外，趨勢為藉由將一個以上資料位元儲存於每一儲存元件電晶體中來進一步增加此等記憶體陣列之資料儲存的密度。此情

形藉由將兩個以上臨限位準定義為每一儲存元件電晶體的儲存狀態來實現，四個此等狀態(每儲存元件2個資料位元)現包括於市售產品中。亦正實施更多儲存狀態(諸如，每儲存元件16個狀態)。每一儲存元件記憶體電晶體具有其可實際地操作於的臨限電壓之某一總範圍(窗)，且該範圍被分成針對該記憶體電晶體定義的數目個狀態加上該等狀態之間的容限(用以允許將該等狀態清楚地彼此區分)。明顯地，記憶體胞經組態以儲存之位元愈多，記憶體胞操作之誤差容限就不得不愈小。

充當記憶體胞之電晶體通常係藉由兩個機制中之一者而程式化至「經程式化」狀態。在「熱電子注入」中，施加至汲極之高電壓使電子加速從而越過基板通道區。同時，施加至控制閘極之高電壓將熱電子牽拉穿過一薄閘極介電質而至浮動閘極上。在「穿隧注入」中，相對於基板施加高電壓至控制閘極。以此方式，將電子自基板牽拉至介入之浮動閘極。雖然在歷史上已使用術語「程式化」來描述藉由將電子注入至記憶體胞之最初被抹除之電荷儲存單元而寫入至記憶體以便變更記憶體狀態，但術語「程式化」現已可與諸如「寫入」或「記錄」之更一般的術語互換地使用。

可藉由眾多機制來抹除記憶體器件。對於EEPROM而言，可藉由相對於控制閘極將高電壓施加至基板以便誘使浮動閘極中之電子穿過薄氧化物穿隧至基板通道區(亦即，福勒-諾德翰姆穿隧(Fowler-Nordheim tunneling))來電

抹除記憶體胞。通常，可逐位元組地抹除EEPROM。對於快閃EEPROM而言，可同時全部電抹除記憶體，或可一次電抹除一或多個最小可抹除區塊，其中一最小可抹除區塊可由一或多個區段組成，且每一區段可儲存512個位元組或更多之資料。

記憶體器件通常包含可安裝於卡上之一或多個記憶體晶片。每一記憶體晶片包含由諸如解碼器及抹除、寫入及讀取電路之周邊電路支援的記憶體胞陣列。更複雜之記憶體器件亦具有一執行智慧型及更高階記憶體操作及介面連接的控制器。

存在許多現今正使用之商業上成功之非揮發性固態記憶體器件。此等記憶體器件可為快閃EEPROM，或可使用其他類型之非揮發性記憶體胞。美國專利第5,070,032號、第5,095,344號、第5,315,541號、第5,343,063及第5,661,053號、第5,313,421號及第6,222,762中給出快閃記憶體及系統之實例以及製造其的方法。詳言之，美國專利第5,570,315號、第5,903,495號、第6,046,935號中描述了具有NAND(反及)串結構之快閃記憶體器件。又，亦自具有一用於儲存電荷之介電層的記憶體胞製造非揮發性記憶體器件。代替較早描述之導電浮動閘極元件，使用介電層。利用介電儲存元件之此等記憶體器件已由Eitan等人在「NRROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell」(2000年11月之IEEE Electron Device Letters第21卷第11號，第543至545頁)中予以描述。ONO介電層

延伸跨越源極擴散區與汲極擴散區之間的通道。將針對一資料位元之電荷區域化於鄰近於汲極之介電層中，且將針對另一資料位元之電荷區域化於鄰近於源極之介電層中。舉例而言，美國專利第5,768,192號及第6,011,725號揭示一種非揮發性記憶體胞，該非揮發性記憶體胞具有夾於兩個二氧化矽層之間的捕集介電質。藉由分離地讀取介電質內的空間分離之電荷儲存區之二進位狀態來實施多狀態資料儲存。

為了改良讀取及程式化效能，並行讀取或程式化陣列中之多個電荷儲存元件或記憶體電晶體。因此，一起讀取或程式化一「頁」記憶體元件。在現有記憶體架構中，一列通常含有若干個交錯頁，或該列可構成一個頁。將一起讀取或程式化一頁之所有記憶體元件。

寫入資料中之錯誤

在本文中所描述之類型之記憶體系統以及包括磁碟儲存系統的其他記憶體系統中，正儲存之資料的完整性係藉由使用錯誤校正技術來維持。最常見地，針對在一時間正儲存之每一區段或其他資料單元來計算錯誤校正碼(ECC)，且將該ECC與該資料儲存在一起。最常見地將ECC與計算ECC所基於之使用者資料之單位群組儲存在一起。使用者資料之單位群組可為一區段或多區段頁。當自記憶體讀取此資料時，將ECC用以判定正讀取之使用者資料的完整性。資料之單位群組內的資料之錯誤位元常常可藉由使用ECC來校正。

趨勢為減小記憶體系統之大小，以便能夠將更多記憶體胞置放於系統中且使得系統儘可能小以裝設於較小主機器件中。藉由電路之較高整合與組態每一記憶體胞以儲存更多資料位元之組合來增加記憶體容量。兩種技術皆要求記憶體以愈加嚴格之誤差容限來操作。此情形又對ECC校正錯誤提出更多需求。

ECC可經設計以校正預定數目個錯誤位元。ECC必須校正之位元愈多，ECC就將更複雜且計算上更密集的。為了品質保證，習知ECC係基於在記憶體器件之使用期限(end of life)之結束時的所預期的最壞狀況記憶體胞錯誤率而設計。因此，ECC必須校正直至錯誤率之統計群體的遠尾端的最大數目個錯誤位元。

隨著快閃記憶體老化，快閃記憶體之錯誤率在器件之使用期限將要結束時快速增加。因此，針對最壞狀況設計之強力ECC將僅在記憶體器件之使用期限結束時被調用以應用其全部能力。

使用ECC來校正最壞狀況數目個錯誤位元將消耗大量處理時間。ECC必須校正之位元愈多，需要的計算時間就愈多。將使記憶體效能降級。可實施額外專用硬體以在合理時間量內執行ECC。此專用硬體可佔用控制器ASIC晶片上之相當可觀量的空間。此外，對於器件之大部分使用期限而言，僅少量地利用ECC，從而導致器件之較大附加項被浪費且未實現實際益處。

因此，需要提供一種具有高儲存容量而無需針對最壞狀

況過度設計之資源密集型ECC的非揮發性記憶體。

【發明內容】

其他態樣包括一種操作一非揮發性記憶體系統之方法，該非揮發性記憶體系統具有一控制器電路及經由一匯流排結構連接至該控制器電路的一記憶體電路，該記憶體電路具有非揮發性記憶體之以二進位格式儲存資料的一第一分區(section)，及非揮發性記憶體之以一每記憶體胞N位元之多狀態格式儲存資料的一第二分區，其中N為二或大於二之整數。該方法包括在該控制器電路處自一主機接收複數個至少N個資料頁，及經由該匯流排結構將該複數個頁自該控制器電路傳送至該記憶體電路。將該複數個頁寫入該記憶體電路之該第一分區中之對應複數個字元線上，接著將來自記憶體之該第一分區之該對應N個字元線的N個資料頁寫入至該記憶體電路之該第二分區的一單一字元線上。該方法自該記憶體之該第二分區讀取所寫入的該等資料頁中之一第一者且自該記憶體之該第一分區讀取所寫入的該等資料頁中之一第一者，且接著在該記憶體電路上執行如自該記憶體之該第二分區讀取之第一資料頁與如自該第一分區讀取之該第一資料頁的一比較。基於該比較，該方法判定寫入至該第二分區中之該第一資料頁是否被潛在損毀。

其他態樣包括一種操作一非揮發性記憶體系統之方法，該非揮發性記憶體系統具有一控制器電路及經由一匯流排結構連接至該控制器電路的一記憶體電路，該記憶體電路

具有非揮發性記憶體之以二進位格式儲存資料的一第一分區，及非揮發性記憶體之以一每記憶體胞N位元之多狀態格式儲存資料的一第二分區，其中N為二或大於二之整數。該方法包括：在該控制器電路處自一主機接收複數個至少N個資料頁；經由該匯流排結構將該複數個頁自該控制器電路傳送至該記憶體電路；及將該複數個頁寫入該記憶體電路之該第一分區中之對應複數個字元線上。將該等資料頁自記憶體之該第一分區寫入至記憶體之該第二分區中，其中對於在該第二分區中寫入之每一字元線而言，來自記憶體之該第一分區的N個對應字元線之N個資料頁被寫入至該第二分區之一單一字元線上。自該記憶體之該第二分區讀取所寫入的該第一複數個資料頁且自該記憶體之該第一分區讀取所寫入的該第一複數個資料頁。該方法在該記憶體電路上執行自該記憶體之該第二分區讀取之該第一複數個資料頁與自該第一分區讀取之該第一複數個資料頁的一結合比較。基於該結合比較，該方法判定寫入至該第二分區之該第一複數個頁是否包括一潛在損毀之資料頁。

本發明之各種態樣、優點、特徵及實施例包括於本發明之例示性實例的以下描述中，應結合隨附圖式閱讀例示性實例之描述。本文中所參考之所有專利、專利申請案、文章、其他刊物、文件及事項之全文特此出於所有目的以引用的方式併入本文中。就在所併入之刊物、文件或事項中之任一者與本申請案之間有術語的定義或使用之任何不一

致性或衝突而言，應以本申請案之術語的定義及使用為準。

【實施方式】

記憶體系統

圖1說明與其中體現本發明之特徵的記憶體器件通信之主機。主機80通常發送待儲存於記憶體器件90處之資料，或藉由讀取記憶體器件90來擷取資料。記憶體器件90包括由控制器102管理之一或多個記憶體晶片100。記憶體晶片100包括記憶體胞之記憶體陣列200，其中每一記憶體胞能夠經組態為多位階記憶體胞(「MLC」)以儲存多個資料位元。記憶體晶片亦包括周邊電路，諸如感測模組480、資料鎖存器430及I/O電路440。晶片上控制電路110控制每一晶片之低層級記憶體操作。控制電路110係晶片上控制器，該晶片上控制器與周邊電路協作以對記憶體陣列200執行記憶體操作。控制電路110通常包括狀態機112以提供對記憶體操作之晶片級控制。

在許多實施中，主機80經由控制器102與記憶體晶片100通信並互動。控制器102與記憶體晶片協作，且控制並管理較高層級的記憶體操作。舉例而言，在主機寫入中，主機10以由主機之作業系統之檔案系統分配的邏輯區段的形式將待寫入之資料發送至記憶體陣列100。實施於控制器中之記憶體區塊管理系統接移(stage)區段，並將該等區段映射並儲存至記憶體陣列之實體結構。

較佳區塊管理系統揭示於2010年7月8日公開之美國專利

申請公開案第2010/0172180 A1號中，該公開案之全部揭示內容以引用之方式併入本文中。

韌體60提供碼以實施控制器102的功能。錯誤校正碼(「ECC」)處理器62在記憶體器件之操作期間處理ECC。在另一實施例中，控制器102實施於主機內。

實體記憶體結構

圖2示意地說明非揮發性記憶體胞。記憶體胞10可由具有諸如浮動閘極或介電層之電荷儲存單元20的場效電晶體實施。記憶體胞10亦包括源極14、汲極16及控制閘極30。

存在現今正使用的許多商業上成功之非揮發性固態記憶體器件。此等記憶體器件可使用不同類型之記憶體胞，每一類型具有一或多個電荷儲存元件。典型非揮發性記憶體胞包括EEPROM及快閃EEPROM。在美國專利第5,595,924號中給出EEPROM記憶體胞之實例以及製造EEPROM記憶體胞的方法。在美國專利第5,070,032號、第5,095,344號、第5,315,541號、第5,343,063號、第5,661,053號、第5,313,421號及第6,222,762號中給出快閃EEPROM記憶體胞之實例，快閃EEPROM記憶體胞在記憶體系統中之使用及製造快閃EEPROM記憶體胞的方法。詳言之，在美國專利第5,570,315號、第5,903,495號及第6,046,935號中描述了具有NAND記憶體胞結構之記憶體器件的實例。又，利用介電儲存元件之記憶體器件的實例已由Eitan等人在「NRROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell」(2000年11月之IEEE Electron Device Letters

第 21 卷 第 11 號，第 543 至 545 頁) 中且在美國專利第 5,768,192 號及第 6,011,725 號中予以描述。

實務上，通常藉由在將參考電壓施加至控制閘極時感測跨越記憶體胞之源極電極及汲極電極之傳導電流而讀取記憶體胞的記憶體狀態。因此，對於記憶體胞之浮動閘極上的每一給定電荷而言，可偵測關於固定參考控制閘極電壓之對應傳導電流。相反，將臨限電壓定義為在給定電荷下控制閘極上之將恰好接通記憶體胞的電壓。類似地，可程式化至浮動閘極上之電荷的範圍界定了對應臨限電壓窗或對應傳導電流窗。

或者，代替偵測經分割電流窗中之傳導電流，有可能在控制閘極處設定針對測試中給定記憶體狀態的臨限電壓，並偵測傳導電流是低於抑或高於臨限電流。在一實施中，相對於臨限電流的對傳導電流之偵測由檢驗傳導電流經由位元線之電容或已知電容器放電的速率來實現。

如自以上描述內容可瞭解，使記憶體胞儲存的狀態愈多，記憶體胞之臨限窗就劃分得愈精細。舉例而言，記憶體器件可具有臨限窗在 -1.5 V 至 5 V 之範圍內的記憶體胞。此情形提供 6.5 V 之最大寬度。若記憶體胞將儲存 16 個狀態，則每一狀態可佔用臨限窗中之 200 mV 至 300 mV。此情形將需要程式化及讀取操作的較高精度，以便能夠達成所需解析度。

通常將記憶體陣列 200 組織為記憶體胞之二維陣列，該等記憶體胞配置為數列與數行且可藉由字元線及位元線定

址。可根據NOR(反或)類型或NAND類型架構來形成該陣列。

圖3說明記憶體胞之NOR陣列之一實例。在記憶體陣列200中，每一列記憶體胞藉由記憶體胞之源極14及汲極16以菊鏈(daisy-chain)方式連接。有時將此設計稱作虛擬接地設計。一列中之記憶體胞10之控制閘極30連接至字元線(諸如，字元線42)。一行中之記憶體胞之源極及汲極分別連接至所選擇位元線(諸如，位元線34及36)。

圖4說明正被並行地感測或程式化之組織成(例如)NAND組態的記憶體胞頁。圖4本質上展示記憶體陣列200中之一組NAND串50。NAND串50由藉由記憶體電晶體之源極及汲極而菊鏈鏈接之一系列記憶體電晶體(例如，4、8、16或更多個)組成。一對選擇電晶體S1、S2控制記憶體電晶體鏈之分別經由NAND串之源極端子及汲極端子至外部的連接。在記憶體陣列中，當源極選擇電晶體S1接通時，源極端子耦接至源極線34。類似地，當汲極選擇電晶體S2接通時，NAND串之汲極端子耦接至記憶體陣列之位元線36。鏈中之每一記憶體電晶體10充當記憶體胞。記憶體電晶體10具有一電荷儲存元件20以儲存給定量之電荷以便表示所欲之記憶體狀態。每一記憶體電晶體之控制閘極允許對讀取及寫入操作的控制。一列NAND串之對應記憶體電晶體的控制閘極皆連接至同一字元線(諸如，WL0、WL1、...)。類似地，選擇電晶體S1、S2中每一者之控制閘極(分別經由選擇線SGS及SGD進行存取)分別提供對經

由 NAND 串之源極端子及汲極端子的對 NAND 串之存取的
控制。

當在程式化期間讀取或驗證 NAND 串內之經定址記憶體
電晶體 10 時，經由共同字元線為該記憶體電晶體 10 之控制
閘極供應適當電壓。同時，藉由向 NAND 串 50 中的剩餘未
經定址之記憶體電晶體的控制閘極施加充足電壓而完全接
通 NAND 串 50 中的剩餘未經定址之記憶體電晶體。以此方
式，有效地自個別記憶體電晶體之源極至 NAND 串之源極
端子建立導電路徑且同樣針對個別記憶體電晶體之汲極至
記憶體胞之汲極端子建立導電路徑。在美國專利第
5,570,315 號、第 5,903,495 號、第 6,046,935 號中描述了具
有此等 NAND 串結構之記憶體器件。

「頁」(諸如頁 70)為允許被並行地感測或程式化之記憶
體胞群組。此情形藉由對應的感測放大器頁來實現。舉例
而言，頁 70 係沿一列，且藉由施加至該頁之記憶體胞的共
同連接至字元線 WL3 之控制閘極的感測電壓來感測。沿每
一行，諸如記憶體胞 10 之每一記憶體胞可由感測放大器經
由位元線 36 存取。上文提及之頁為實體頁記憶體胞或感測
放大器。視上下文而定，在每一記憶體胞正儲存之狀況
下。

感測電路及技術

圖 5A 更詳細地說明展示於圖 1 中的感測模組，其含有跨
越記憶體胞陣列之一組 p 個感測模組。並行操作之整組 p 個
感測模組 480 允許並行地讀取或程式化沿一列之 p 個記憶體

胞10的群組(或實體頁)。基本上，感測模組1將感測記憶體胞1中之電流 I_1 ，感測模組2將感測記憶體胞2中之電流 I_2 ，...，感測模組p將感測記憶體胞p中之電流 I_p ，等等。頁之自源極線34流出至聚集節點CLSRC中且自聚集節點CLSRC流動至接地的總記憶體胞電流 i_{TOT} 將係p個記憶體胞中之所有電流的總和。

在習知記憶體架構中，具有共同字元線之一列記憶體胞形成兩個或兩個以上頁，其中並行地讀取及程式化頁中之記憶體胞。在具有兩個頁之列的狀況下，一頁係由偶數位元線存取，且另一頁係由奇數位元線存取。感測電路之實體頁在任一時間耦接至偶數位元線或耦接至奇數位元線。

在當前生產之晶片中，實體頁可為64k或更大。在較佳實施例中，群組為連續的整列記憶體胞。此為所謂的「全位元線」(all bit-line)架構，其中頁係由分別耦接至鄰接的位元線之一列鄰接的記憶體胞構成。

圖5B說明包括感測放大器之感測模組。感測放大器490偵測記憶體胞之傳導電流高於或低於參考位準。將所感測結果鎖存於對應的一組鎖存器430中(參見圖1)。

抹除區塊

快閃記憶體與其他類型之記憶體之間的一重要差異為：必須自經抹除狀態程式化記憶體胞。亦即，必須首先使浮動閘極無電荷。程式化接著將所要量之電荷添加回至浮動閘極。程式化並不支援自浮動閘極移除電荷之一部分以自程式化更多之狀態轉至程式化較少的狀態。此情形意謂，

更新資料無法覆寫現有資料，且必須被寫入至先前未經寫入位置。

此外，抹除為自浮動閘極清空所有電荷，且通常相當地耗費時間。由於該原因，逐記憶體胞或甚至逐頁地進行抹除將為繁重且極慢的。實務上，將記憶體胞之陣列分成大量記憶體胞區塊。如對於快閃EEPROM系統而言係共同的，區塊為抹除之單元。亦即，每一區塊含有一起被抹除的最小數目之記憶體胞。

圖6示意性地說明組織成可抹除區塊之記憶體陣列的一實例。電荷儲存記憶體器件之程式化僅可導致將更多電荷添加至其電荷儲存元件。因此，在程式化操作之前，必須移除(或抹除)記憶體胞之電荷儲存元件中的現有電荷。當一起(亦即，在一瞬間)電抹除記憶體胞之整個陣列200或該陣列的顯著記憶體胞群組時，諸如EEPROM之非揮發性記憶體被稱作「快閃」EEPROM。一旦被抹除，便可接著對該記憶體胞群組進行再程式化。可一起抹除之記憶體胞群組可由一或多個可定址抹除單元300組成。抹除單元或區塊300通常儲存一或多個資料頁，頁為程式化及讀取之最小單元，儘管在單一操作中可程式化或讀取一個以上頁。每一頁通常儲存一或多個區段之資料，區段大小係由主機系統來界定。一實例為具有遵循隨磁碟機建立之標準的512位元組使用者資料加上關於使用者資料及/或儲存有該使用者資料之區塊的某數目個位元組附加項資訊的區段。

在展示於圖6中之實例中，記憶體陣列200中之個別記憶

體胞可藉由諸如 WL0 至 WLy 之字元線 42 及諸如 BL0 至 BLx 之位元線 36 存取。將記憶體組織成諸如抹除區塊 0、1、...、m 之抹除區塊。亦參看圖 5A 及圖 5B，若 NAND 串 50 含有 16 個記憶體胞，則陣列中之第一組 NAND 串將可由選擇線 44 及諸如 WL0 至 WL15 之字元線 42 存取。抹除區塊 0 經組織以使第一組 NAND 串之所有記憶體胞被一起抹除。在另一記憶體架構中，可一起抹除一個以上組之 NAND 串。

二進位 (SLC) 及多狀態 (MLC) 記憶體分割之實例

如較早所描述，非揮發性記憶體之一實例由場效電晶體之陣列形成，每一場效電晶體具有在其通道區與其控制閘極之間的電荷儲存層。該電荷儲存層或單元可儲存一範圍的電荷，從而引起每一場效電晶體之一範圍的臨限電壓。可能臨限電壓之範圍橫越一臨限窗。當將臨限窗分割為臨限電壓的多個子範圍或區時，將每一可解析區用以表示記憶體胞的不同記憶體狀態。多個記憶體狀態可藉由一或多個二進位位元編碼。

圖 7 說明具有記憶體胞之群體的二進位記憶體，其中每一記憶體胞係處於兩個可能狀態中的一者。每一記憶體胞的臨限窗由單一分界位準 (demarcation level) 分割成兩個相異區。如圖 7(0) 中所展示，在讀取期間，將下部區與上部區之間的讀取分界位準 rV_1 用以判定記憶體胞之臨限位準位於哪個區。若記憶體胞之臨限值位於下部區中，則記憶體胞係處於「經抹除」狀態；且若記憶體胞之臨限值位於上部區中，則記憶體胞係處於「經程式化」狀態。圖 7(1)

說明最初記憶體的所有記憶體胞處於「經抹除」狀態。圖 7(2)說明一些記憶體胞經程式化為「經程式化」狀態。將 1 位元或二進位碼用以對記憶體狀態進行編碼。舉例而言，位元值「1」表示「經抹除」狀態，且「0」表示「經程式化」狀態。通常，藉由施加一或多個程式化電壓脈衝來執行程式化。在每一脈衝之後，對記憶體胞進行感測以驗證臨限值是否已被移動超出驗證分界位準 vV_1 。具有此記憶體胞分割之記憶體被稱作「二進位」記憶體或單位階記憶體胞（「SLC」）記憶體。將瞭解，二進位或 SLC 記憶體以廣泛的誤差容限操作，此係由於整個臨限窗僅被兩個區佔用。

圖 8 說明具有記憶體胞之群體的多狀態記憶體，其中每一記憶體胞係處於八個可能狀態中的一者。每一記憶體胞的臨限窗由至少七個分界位準分割成八個相異區。如圖 8(0)中所展示，在讀取期間，將讀取分界位準 rV_1 至 rV_7 用以判定記憶體胞之臨限位準位於哪個區。若記憶體胞之臨限值位於最下區中，則記憶體胞係處於「經抹除」狀態；且若記憶體胞之臨限值位於該等上部區中，則記憶體胞係處於多個「經程式化」狀態中的一者中。圖 8(1)說明最初記憶體的所有記憶體胞皆處於「經抹除」狀態。圖 8(2)說明一些記憶體胞經程式化為「經程式化」狀態。可將具有下部位元、中部位元及上部位元之 3 位元碼用以表示八個記憶體狀態中的每一者。舉例而言，「0」、「1」、「2」、「3」、「4」、「5」、「6」及「7」狀態分別由「111」、

「011」、「001」、「101」、「100」、「000」、「010」及「110」來表示。通常，藉由施加一或多個程式化電壓脈衝來執行程式化。在每一脈衝之後，對記憶體胞進行感測以驗證臨限值是否已被移動超出係驗證分界位準 vV_1 至 vV_7 中之一者的參考。具有此記憶體胞分割之記憶體被稱作「多狀態」記憶體或多位階記憶體胞(「MLC」)記憶體。

類似地，儲存4位元碼之記憶體將具有下部位元、第一中部位元、第二中部位元及上部位元，從而表示十六個狀態中的每一者。臨限窗將由至少15個分界位準分界成十六個相異區。

隨著記憶體之有限臨限窗經分割成更多區，用於程式化及讀取之解析度將必然變得更精細。因此，多狀態或MLC記憶體必然以與具有較少經分割區之記憶體的誤差容限相比而言較狹窄的誤差容限來操作。換言之，錯誤率隨著儲存於每一記憶體胞中之位元之數目增加而增加。一般而言，錯誤率隨著臨限窗中之經分割區的數目增加而增加。

藉由錯誤校正碼(「ECC」)進行之校正

快閃記憶體傾向於發生錯誤。為了確保無錯誤之資料，實施錯誤校正碼(「ECC」)以校正錯誤。

圖9示意性地說明含有ECC欄位之資料頁。如結合圖4及圖6A所描述，借助於並行地操作之感測模組的對應頁來並行地程式化及讀取記憶體胞之實體頁。當每一記憶體胞儲存多個資料位元時，將存在與每一實體頁相關聯之多個資料頁。資料頁70'包含使用者部分72'及系統部分74'。使用

者部分 72' 係用於儲存使用者資料。系統部分 74' 通常由記憶體系統用於儲存系統資料。在系統資料中包括 ECC。針對資料頁計算 ECC。通常，藉由控制器 102 中之 ECC 處理器 62 (參見圖 1) 來計算 ECC。

隨著自主機接收資料，在控制器 102 中對資料頁進行接移，且藉由 ECC 處理器 62 計算資料頁的 ECC 76'。接著將併有 ECC 之資料頁寫入至記憶體陣列 200 中。通常，當讀取資料頁時，資料頁被鎖存於資料鎖存器 430 中，且被移出 I/O 電路 440 而至控制器 102。在控制器 102 處，比較資料頁之現有 ECC 與對於讀取資料計算之 ECC 的第二版本。ECC 通常包括錯誤偵測碼 (「EDC」) 以用於快速偵測資料頁中之任何錯誤。若 EDC 指示所讀取資料頁中之任何錯誤的存在，則調用 ECC 來校正所讀取資料頁中的錯誤位元。

ECC 可經設計以校正任何數目個錯誤位元。ECC 必須校正之位元愈多，ECC 就將更複雜且計算上更密集的。為了品質保證，基於在記憶體器件之使用期限結束 (「EOL」) 時的所預期最壞狀況記憶體胞錯誤率 (「CER」) 而設計習知 ECC。因此，其必須校正直至統計錯誤群體的遠尾端的最大數目個錯誤位元。

圖 10A 展示錯誤率之常態分佈，其中群體的百分數係在標準偏差 σ 之各種範圍內。舉例而言，群體之僅 2.1% 位於自 2σ 至 3σ 之範圍內。群體之僅 0.1% 位於自 3σ 至 4σ 之範圍內。

圖 10B 以表格式說明圖 10A 的分佈。可瞭解，僅群體之

E-09或十億分之一位於超出 6σ 的範圍。表中之最後一欄展示實例記憶體器件在最壞狀況下的所估計錯誤率。舉例而言，群體之5%將具有1個錯誤位元，群體之0.135%將具有4個錯誤位元，且群體之十億分之一將具有42個錯誤位元。

考慮125個記憶體卡之樣本。每一卡具有16 GB之容量，其中資料頁為各自2 KB。此情形折合成十億個各自為2 KB之頁的群體。為了確保125個記憶體卡之樣本的每一頁在卡之使用期限結束時都將無錯誤，將需要能夠校正高達42個位元的ECC。

記憶體之使用期限期間的錯誤

如上文所描述，ECC通常經設計以校正在記憶體之可用期限期間所預期的任何錯誤。錯誤來自許多源。

圖11為列出快閃記憶體之主要錯誤源的表。圖11(A)展示自寫入後起之第一錯誤源 $E_{PW}(N_{CYC})$ ，該錯誤源係在對頁進行寫入之後存在的位元錯誤。在快閃記憶體中，「程式化」指代使記憶體胞之臨限值自經抹除狀態增加之程序。該術語「程式化」將與「寫入」互換地使用。錯誤率隨著 N_{CYC} (程式化抹除循環之數目)而增加。在已將資料寫入至記憶體胞之後，儘管通過了驗證操作，但資料仍可能由於兩個原因為錯誤的。

寫入後錯誤之第一原因係歸因於驗證操作未偵測到之過度程式化。當要同時程式化數個記憶體胞時，過度程式化可發生。此係因為每一記憶體胞之特性歸因於包含記憶體

胞之半導體器件之結構及操作之微小變化而不同；因此，通常會發生不同記憶體胞之程式化速度之不同。此情形導致若干記憶體胞比其他記憶體胞更快地被程式化，且可能導致一些記憶體胞將被程式化至不同於所意欲狀態之狀態。多個記憶體胞之更快程式化可導致超越所要臨限電壓位準範圍，從而在正儲存之資料中產生錯誤。

通常，在正程式化資料時，器件之程式化驗證程序將檢查記憶體胞之經程式化臨限電壓是否高於使當前狀態與鄰近較低程式化狀態分界的參考位準。然而，程式化驗證並不知曉經程式化臨限電壓高於參考位準的程度。因此，器件通常並不保證臨限電壓的上限。一些器件的確檢查以確認軟程式化程序(下文所描述)是否將臨限電壓提昇得過高；然而，此等器件並不檢查以確認常規程式化程序是否將臨限電壓提昇得過高。因此，提昇臨限電壓超出所要狀態之範圍的過度程式化可發生而不被注意到。過度程式化可使得記憶體胞超越至下一經程式化狀態，且因此儲存不正確資料。此錯誤在隨後讀取操作期間將被偵測到，在該等隨後讀取操作中，記憶體胞之經程式化臨限值通常被相對於分界給定記憶體狀態之臨限值範圍的下限及上限兩者進行檢查。在美國專利第5,321,699號、第5,386,422號、第5,469,444號、第5,602,789號、第6,134,140號、第6,914,823號及第6,917,542號中可找到關於過度程式化的更多資訊。

寫入後錯誤之第二原因在於所儲存電荷位準之歸因於儲

存元件之間的場耦合之表觀移位(apparent shift)。隨著記憶體胞陣列之大小減少(該情形由於積體電路製造技術之改良正在發生)，此耦合之程度必然增加。問題最顯著地發生於已在不同時間經程式化的鄰近記憶體胞之兩個群組之間。一記憶體胞群組經程式化以將對應於一組資料之電荷位準添加至記憶體胞的儲存元件。在用第二組資料程式化第二記憶體胞群組之後，因為與第一儲存元件群組電容耦合之第二儲存元件群組上之電荷的影響，自第一記憶體胞群組之儲存元件讀取的電荷位準常常顯現為不同於經程式化之電荷位準。詳言之，在被感測時，與記憶體胞較少受到擾動時相比較，記憶體胞將顯現為具有較高臨限值(或經更多程式化)。此情形亦稱為玉彬效應(Yupin effect)，且描述於全文以引用之方式併入本文中的美國專利第5,867,429號中。此專利描述使兩個儲存元件群組彼此實體地隔離，或在讀取第一群組之電荷時考慮第二儲存元件群組上之電荷的影響。

圖 11(B)展示第二錯誤源 $E_{DR}(T, N_{CYC})$ ，該錯誤源係EOL時之歸因於資料保持的位元錯誤。錯誤率隨著溫度 T 及 N_{CYC} (程式化抹除循環之數目)增加而增加。資料錯誤係歸因於器件之歷史。資料錯誤通常係關於資料保持問題，該資料保持問題視記憶體器件在環境(例如，溫度)中之暴露而定。隨著時間流逝，實際儲存之電荷位準可緩慢漏出，從而使得經程式化臨限值減少。

隨著儲存於每一記憶體胞中之狀態的數目增加，儲存元

件上之經程式化電荷位準之任何移位的容許度減少。由於隨著儲存於每一記憶體胞儲存元件上之狀態的數目增加，必然使得針對每一儲存狀態(storage stat)指明之電荷範圍更狹窄且彼此更靠近，因此必須以增加之精密度來執行程式化，且所儲存電荷位準的任何程式化後移位(實際移位或表觀移位)的可容忍範圍減小。在程式化並讀取一記憶體胞時，以及在讀取、程式化及抹除具有與該記憶體胞之某一程度之電耦合的其他記憶體胞(諸如，同一行或列中之彼等記憶體胞，及共用一線或節點的彼等記憶體胞)時，可產生對儲存於該記憶體胞中之電荷的實際擾亂。

圖 11(C)展示第三錯誤源 $E_{RD}(N_R, N_{CYC})$ ，該錯誤源係歸因讀取擾亂的位元錯誤。錯誤率隨著讀取數目及 N_{CYC} (程式化抹除循環之數目)增加而增加。

快閃記憶體之重要考慮為，隨著快閃記憶體隨不斷使用而老化，快閃記憶體具有耐久性問題。當記憶體胞被重複地程式化並抹除時，電荷藉由穿隧跨越介電質而穿入或穿出浮動閘極 20(參見圖 2)。每一次，一些電荷可能被俘獲於介電質中，且將修改記憶體胞之臨限值。記憶體胞已經歷之程式化抹除循環的數目由循環計數 N_{CYC} (亦稱為「熱計數」)來量測。儘管重複循環，但 N_{CYC} 之值針對給定抹除區塊增加，從而使得區塊中之記憶體胞的臨限窗逐漸變狹窄。因此，程式化抹除循環之效應將顯著影響在圖 11 中列出之所有錯誤源。

圖 12 為展示在實例記憶體器件之使用期限開始及結束時

記憶體器件之所估計總錯誤之表。圖 12(A)將來自圖 11(A)至圖 11(C)中列出之三個源的總錯誤展示為 $E_{TOT}(N_{CYC}, N_R) = E_{PW}(N_{CYC}) + E_{DR}(T, N_{CYC}) + E_{RD}(N_R, N_{CYC})$ 。

圖 12(B)展示當記憶體為相對新(低 N_{CYC})但已在 85°C 下烘烤歷時 5 年且已被讀取 10^6 次時的所估計 E_{TOT} 。各種錯誤分量之估計為： $E_{PW}(1) \sim 3$ ， $E_{DR}(85^{\circ}\text{C}, 1) \sim 2$ ，且 $E_{RD}(1\text{M}, 1) \sim 0$ 。此等估計產生所估計總錯誤 $E_{TOT}(1, 1\text{M}) = 3 + 2 + 0 = 5$ 個位元。

圖 12(C)展示當記憶體接近器件之使用期限結束(「EOL」)時之所估計 E_{TOT} 。該記憶體以高程式化抹除循環($N_{CYC} = 10\text{K}$)為特徵，其他參數類似於圖 12(B)之參數。各種錯誤分量之估計為： $E_{PW}(10\text{K}) \sim 10$ ， $E_{DR}(85^{\circ}\text{C}, 10\text{K}) \sim 10$ ，且 $E_{RD}(1\text{M}, 10\text{K}) \sim 1$ 。此等估計產生所估計總錯誤 $E_{TOT}(10\text{K}, 1\text{M}) = 10 + 10 + 1 = 21$ 個位元。

在描述於圖 11 及圖 12 中之三個錯誤源中，通常歸因於讀取擾亂之錯誤 E_{RD} 不像歸因於寫入之錯誤 E_{PW} 及歸因於資料保持之錯誤 E_{DR} 一樣顯著。資料保持錯誤可藉由週期性地在「讀取擦洗(read scrub)」操作中再新記憶體胞之臨限值準來減輕。

為了校正可出現於記憶體中的各種錯誤，特別是在寫入之後出現的錯誤，使用 ECC(上文結合圖 9 描述)。然而，使用 ECC 來校正錯誤將消耗處理時間，且 ECC 必須校正之位元數目愈多，所需的計算時間就愈多。使用能夠校正大量錯誤位元之強大 ECC 將使記憶體效能降級。可能實施額外

專用硬體以在合理時間量內執行ECC。此專用硬體可佔用控制器ASIC晶片上之相當可觀量的空間。

圖13為說明習知ECC必須經設計以校正最壞狀況總錯誤 E_{TOT} 的表。該情形將為具有高程式化抹除循環計數及資料保持規格的在使用期限結束時的器件。對於在圖12(C)中給出之實例，ECC必須能夠校正至少21個錯誤位元。

將資料自較高密度記憶體部分適應性地重寫至較低錯誤率記憶體部分以控制錯誤率

根據本發明之一般態樣，具有記憶體胞陣列之快閃記憶體經組態有第一部分及第二部分。與第一部分相比較，第二部分以較高密度儲存資料，但以較小誤差容限操作。將資料寫入至第二部分中以進行高效儲存。然後，讀回資料以檢查過量錯誤位元。若錯誤位元超出預定量，則將資料重寫至較不易發生錯誤的第一部分。此情形限制了由將資料寫入至記憶體引起之錯誤位元的最大數目。在錯誤率之統計分佈中，該限制表示對分佈之數字標準偏差的限制，使得分佈之遠尾端(具有較高錯誤率)可被忽略。此情形允許設計較小且更高效之錯誤校正碼(「ECC」)來校正較小數目個錯誤位元，藉此改良效能並減小記憶體之成本。

圖14A說明根據本發明之較佳實施例正被分割成兩個部分的記憶體陣列。記憶體胞陣列200經分割成第一部分410及第二部分420。第二部分420具有組態為高密度儲存器之記憶體胞，其中每一記憶體胞儲存多個資料位元。第一部分410具有組態為較低密度儲存器之記憶體胞，其中每一

記憶體胞與第二部分之記憶體胞相比儲存較少數目之位元。舉例而言，與第二部分中之3個資料位元相比較，第一部分中之記憶體胞經組態以儲存1資料位元。鑒於較早的論述內容，相較於第二部分之誤差容限，第一部分將以廣泛得多之誤差容限操作。因此，第一部分中之記憶體操作與第二部分中之記憶體操作相比較將具有較少錯誤。

題為「Selective Operation of a Multi-state Non-volatile Memory System in a Binary Mode」之美國專利第6,456,528號揭示一種快閃非揮發性記憶體，該快閃非揮發性記憶體具有正常地在兩個以上狀態中操作之記憶體胞，但亦具有僅在兩個狀態中操作以便在兩狀態操作期間提供增大之容限的所選擇記憶體胞。當與多狀態操作提供之增大密度之資料儲存相比，更需要具有記憶體胞的更快程式化及較長使用壽命時，此情形允許實現以兩個狀態操作之記憶體胞的此等優點。US 6,456,528之整個揭示內容以引用之方式併入本文中。

當要將傳入資料頁寫入至記憶體陣列200時，為了效率及高容量，較佳將傳入資料頁儲存於高密度第二部分中。因此，將資料頁之第一複本寫入至第二部分。

稍後，在「寫入後讀取」中讀回資料頁之第一複本以判定是否存在任何錯誤。此情形藉由與可能被快取之原始複本之比較抑或藉由檢查ECC之EDC部分來實現。

進行所讀取複本中之錯誤位元之數目是否超出預定量的判定。若錯誤位元之數目並未超出預定量，則認為儲存於

第二部分中之第一複本為有效的。資料頁之隨後讀取將自第二部分中之第一複本進行，且將在控制器處藉由ECC來校正任何錯誤。

如上文結合圖11所解釋，程式化期間之驗證程序僅檢查程式化不足但不檢查過度程式化。因此，在資料頁已經程式化驗證之後，錯誤仍可能存在。要靠相對於所有分界位準(參見圖7及圖8)之讀取操作來偵測資料頁中的任何錯誤。此外，鄰近記憶體胞之隨後程式化的玉彬效應可使考慮中之資料頁擾動，且使表觀所感測結果移位。因此，讀回應至少在對當前資料頁可具有顯著玉彬效應之所有鄰近記憶體胞的程式化之後進行。在另一實施例中，讀回係在含有討論中之資料頁的區塊中之所有記憶體胞完成了程式化之後進行。

「寫入後讀取」亦揭示於美國專利第6,914,823號、第6,917,542號及第7,009,889號中，該等專利之全部揭示內容以引用之方式併入本文中。

圖14B說明將資料頁之第二複本重寫至圖14A之記憶體陣列之第一部分中。在寫入後讀取偵測到資料頁中之錯誤位元之數目已超出預定量之後，將資料頁之第二複本重寫至第一部分中。第二複本係可被快取之原始資料，或在另一實施例中係藉由擷取第一複本並用ECC校正錯誤位元。

在第二複本已被寫入至第一部分之後，第二複本將替換第二部分中之第一複本作為有效複本。第一複本將變為過時的，且體現於控制器之韌體中之區塊管理系統(參見圖1)

中的目錄將被更新以使隨後存取指向第二複本。

在一較佳實施例中，第一部分之每一記憶體胞儲存一資料位元，且第二部分的每一記憶體胞儲存一個以上資料位元。

圖 15 為說明根據描述於圖 14A 及圖 14B 中之實施例的寫入後讀取及適應性重寫之程序的流程圖。

步驟 500：將記憶體組態成第一部分及第二部分，第一部分具有以大於第二部分之誤差容限的誤差容限操作之記憶體胞。

步驟 510：將輸入資料群組之第一複本程式化於第二部分中。

步驟 520：在預定義時間之後自第二部分讀取第一複本以檢查錯誤。

步驟 530：錯誤超出預定數目之錯誤位元？若是，進入步驟 540。否則進入步驟 550。

步驟 540：將輸入資料群組之第二複本程式化於第一部分中。

步驟 550：將最近寫入的複本識別為有效資料以供隨後讀取。

步驟 560：完成將輸入資料群組儲存於非揮發性記憶體中。

在替代性實施例中，第一部分充當傳入資料之快取記憶體，因此輸入資料之快取記憶體複本經程式化至快取記憶體中。接著，將資料之第一複本程式化至第二部分中。

若寫入後讀取在第一複本中未偵測到過量錯誤量，則第一複本將被視為有效的，且隨後讀取將被導引以存取第一複本。

另一方面，若寫入後讀取已在第一複本中偵測到過量錯誤量，則第一部分中之經快取複本將替換第二部分中之第一複本作為有效資料。第一複本將變為過時的，且體現於控制器之韌體中之區塊管理系統(參見圖1)中的目錄將被更新以使隨後存取指向經快取複本。

題為「Multi-state Non-volatile Flash Memory Capable of Being its Own Two State Write Cache」之美國專利第5,930,167號揭示一種具有兩個部分之快閃記憶體陣列。第一部分經組態以每記憶體胞儲存一位元，且第二部分經組態以每記憶體胞儲存一個以上位元。第一部分充當低密度寫入快取記憶體。最初在第一部分中快取傳入資料。在稍後時間，在背景中，將經快取資料傳送至具有較高儲存密度之第二部分中。US 5,930,167之整個揭示內容以引用之方式併入本文中。

在較佳實施例中，第一部分進一步具備第一分區及第二分區。在第一部分之第一分區中快取傳入資料，且將資料之第一複本寫入至第二部分中。然後，讀回第二部分中之第一複本以檢查過量錯誤位元。若錯誤位元超出預定量，則將傳入資料之第二複本寫入至第一部分之第二分區中。

圖16A說明根據本發明之較佳實施例的正被分割成兩個部分且第一部分進一步具備快取記憶體分區及重寫分區的

記憶體陣列。如在圖14A中一樣，記憶體胞陣列200經分割成第一部分410及第二部分420。第二部分420具有組態為高密度儲存器之記憶體胞，其中每一記憶體胞儲存多個資料位元。第一部分410具有組態為較低密度儲存器之記憶體胞，其中每一記憶體胞與第二部分之記憶體胞相比儲存較少數目之位元。因此，與第二部分之誤差容限相比較，第一部分以較廣泛之誤差容限操作。

第一部分410進一步具備用於快取傳入資料之第一分區411，及用於儲存來自第二部分之重寫的第二分區412。

當要將傳入資料頁寫入至記憶體陣列200時，在第一部分410之第一分區411中快取經快取複本。為了效率及高容量，第一複本較佳儲存於高密度第二部分中。因此，將資料頁之第一複本寫入至第二部分。

根據另一較佳實施例，記憶體陣列具備在積體電路晶片上之一組資料鎖存器，對第一複本中之錯誤位元的檢查係藉由將第一複本及經快取複本載入至該組資料鎖存器中且在該組資料鎖存器處進行比較來實現。

藉由不在控制器處進行比較，資料不必被雙態切換(toggle)出至控制器，可節省很多時間。圖1展示用於進行資料比較的在晶片上的資料鎖存器430。

圖16B說明根據寫入後讀取之較佳實施例的頁比較技術。在「寫入後讀取」中讀回第二部分中之資料頁的第一複本以判定是否存在任何錯誤。此情形藉由與經快取複本之比較來實現。

若錯誤位元之數目並未超出預定量，則認為儲存於第二部分中之第一複本為有效的。經快取複本將變為過時的，且體現於控制器之韌體中之區塊管理系統(參見圖1)中的目錄將被更新以使隨後存取指向第一複本。對資料頁之隨後讀取將自第二部分中之第一複本進行，且將在控制器處藉由ECC來校正任何錯誤。

圖16C說明在寫入後讀取已判定第二部分中之資料頁中的過量錯誤量之後對第一部分的重寫。在寫入後讀取偵測到第一複本之資料頁中的錯誤位元之數目已超出預定量之後，將資料頁之第二複本重寫至第一部分410之第二分區412。自經快取複本獲取第二複本。

在第二複本已寫入至第一部分之第二分區412之後，第二複本將替換第二部分中的第一複本。第一複本及經快取複本將變為過時的，且體現於控制器之韌體中之區塊管理系統(參見圖1)中的目錄將被更新以使隨後存取指向第二複本。

圖17為說明根據描述於圖16A至圖16C中之實施例的寫入後讀取及適應性重寫之程序的流程圖。

步驟600：將記憶體組態成第一部分及第二部分，第一部分具有以大於第二部分之誤差容限的誤差容限操作之記憶體胞。

步驟602：將輸入資料群組之經快取複本程式化於第一部分之第一分區中。

步驟610：將輸入資料群組之第一複本程式化於第二部

分中。

步驟620：在預定義時間之後自第二部分讀取第一複本以檢查錯誤。

步驟630：錯誤超出預定數目之錯誤位元？若是，進入步驟632。否則進入步驟650。

步驟632：自第一部分之第一分區讀取輸入資料群組之經快取複本。

步驟642：將經快取複本作為輸入資料群組之第二複本程式化於第一部分的第二分區中。

步驟650：將最近寫入複本識別為有效資料以供隨後讀取。

步驟660：完成將輸入資料群組儲存於非揮發性記憶體中。

為了說明及描述，已呈現本發明之前述[實施方式]。前述[實施方式]不欲為詳盡的或將本發明限於所揭示之精確形式。依據以上教示，許多修改及變化係可能的。選擇所描述之實施例，以便最佳地解釋本發明之原理及其實際應用，藉此使熟習此項技術者能夠在各種實施例中且以適於所預期之特定用途的各種修改來最佳地利用本發明。希望本發明之範疇由附加至此之申請專利範圍來界定。

增強型寫入後讀取錯誤管理

在本發明之另一態樣中，實施增強型寫入後讀取錯誤管理。在記憶體器件之使用期限開始時並不啟用寫入後讀取。在使用期限開始時，記憶體器件之錯誤率為極低的，

且不需要操作寫入後讀取。此情形避免了浪費進行寫入後讀取的時間。隨著記憶體器件經由使用而老化，在器件之預定存留期時啟用本發明之增強型寫入後讀取及錯誤管理。

在較佳實施例中，記憶體器件之存留期由與記憶體胞之每一抹除區塊維持在一起的熱計數來判定。熱計數追蹤抹除區塊的耐久性或抹除區塊已循環經過抹除及程式化操作的次數。只要抹除區塊之熱計數超過預定熱計數臨限值，增強型寫入後讀取錯誤管理就將開始且操作，直至記憶體器件之使用期限結束。

圖18說明組織成抹除區塊的記憶體。如上文結合圖6所描述，每一抹除區塊為一起被抹除的記憶體胞之群組。上文亦描述當記憶體胞被重複地程式化及抹除時，電荷藉由穿隧跨越介電質而穿入及穿出浮動閘極20(參見圖2)。每一次，一些電荷可被俘獲於介電質中，且將修改記憶體胞之臨限值。記憶體胞已經歷之程式化抹除循環的數目由循環計數 N_{CYC} (亦稱為「熱計數」)來量測。儘管重複循環，但 N_{CYC} 之值針對給定抹除區塊增加，且區塊中之記憶體胞的臨限窗逐漸變狹窄。圖18說明將熱計數 $N_{CYC}(m)$ 維持於每一抹除區塊(m)中的較佳實施例。由於可程式化單元為頁，因此每一區塊之熱計數可儲存於說明於圖9中之資料頁70'的系統資料區域中。或者，熱計數可儲存於記憶體中的主清單中。每當抹除一區塊時，使該區塊之熱計數遞增一。

圖 19 為說明在記憶體器件已老化至如由熱計數判定之預定程度時啟用錯誤管理的流程圖。

步驟 700：提供組織成記憶體胞之抹除區塊的非揮發性記憶體，其中每一抹除區塊之記憶體胞被一起抹除，並隨每一區塊之抹除/程式化循環的數目增加而老化。

步驟 710：提供用於校正與正老化之記憶體器件相關聯之錯誤的錯誤管理。在較佳實施例中，錯誤管理為上文描述之寫入後讀取錯誤管理。

步驟 720：藉由維持一記錄每一區塊已經受之抹除/程式化循環之數目的熱計數來追蹤每一區塊的存留期。

步驟 730：記憶體區塊之熱計數 > 預定熱計數臨限值？在較佳實施例中，預定熱計數臨限值由儲存於記憶體中之檔案系統組態檔案中的參數 Hot_count_threshold_EPWR（參見圖 21）來給出。若大於，轉至步驟 740，否則轉至步驟 750。

步驟 740：針對記憶體之剩餘使用期限啟用錯誤管理。

步驟 750：不啟用錯誤管理。

在本發明之又一態樣的較佳實施例中，記憶體之高密度儲存部分(D3)的每一記憶體儲存3個資料位元。記憶體之不易發生錯誤的低密度儲存部分(D1)的每一記憶體胞儲存1資料位元。輸入資料首先在D1中進行接移，且隨後摺疊(fold)至D3中。當啟用增強型寫入後讀取錯誤管理時，讀回D3中之當前所填充區塊；且若錯誤率超出預定臨限值，則拒絕當前D3區塊，且再試將資料重新摺疊至新D3

區塊中。新D3區塊被再次讀回，且檢查過量錯誤率。若新D3區塊通過，則新D3區塊具有良好資料，且使得D1中之原始資料為過時的。若新D3區塊再次展示過量錯誤率，則再次丟棄新D3區塊。若過量錯誤率在預定數目次再試之後仍持續，則不再嘗試其他再試，且在將原始資料保持於D1處之情況下放棄D1至D3摺疊操作。此時，將記憶體器件視為過舊的而不能用於其他程式化操作，且使得記憶體器件為唯讀的以保持儲存於記憶體器件中之現有資料的完整性。

圖20A至圖20C說明在組態有D1及D3部分之記憶體中實施寫入後讀取錯誤管理的各種實例。組態有D1及D3部分之記憶體亦揭示於2009年12月18日申請之Gorobets等人之題為「MAINTAINING UPDATES OF MULTI-LEVEL NON-VOLATILE MEMORY IN BINARY NON-VOLATILE MEMORY」的美國專利申請案第12/642,584號中；該申請案之整個揭示內容以引用之方式併入本文中。

圖20A說明根據本發明之較佳實施例正被分割成兩個部分的記憶體陣列。記憶體胞陣列200(參見圖1)經分割成第一部分410及第二部分420。第二部分420具有組態為高密度儲存器之記憶體胞，其中每一記憶體胞儲存多個資料位元。第一部分410具有組態為較低密度儲存器之記憶體胞，其中每一記憶體胞與第二部分之記憶體胞相比儲存較少數目之位元。舉例而言，與第二部分中之3個資料位元相比較，第一部分中之記憶體胞經組態以儲存1資料位

元。每記憶體胞儲存1資料位元之第一部分亦將稱作D1，且每記憶體胞儲存3個資料位元之第二部分將稱作D3。鑒於較早論述內容，相較於第二部分之誤差容限，第一部分將以廣泛得多之誤差容限操作。因此，第一部分中之記憶體操作與第二部分中之記憶體操作相比將具有較少錯誤。

在一實施例中，第一部分410或D1進一步經分割成第一分區411與第二分區412。

在步驟(1)中，在主機寫入期間，輸入資料被首先快取於第一分區411中，抑或直接寫入至第二分區412。若輸入資料經分段，則首先在第一分區中快取輸入資料。若輸入資料為實質上連續的順序資料，則將輸入資料逐頁直接寫入至第二分區412中。

在步驟(2)中，在任何狀況下，輸入資料最終進入第二分區412中，在第二分區412中經寫入頁被接移至虛擬D1區塊(諸如，區塊m.1、m.2及m.3)中。在每一區塊含有來自經良好界定之邏輯位址群組之資料的方案中，虛擬區塊可能不對應於實體區塊，而是仍具有分散在若干個實體D1區塊上之邏輯位址群組。

在步驟(3)中，隨著資料被逐頁寫入至D1中，當二進位頁之三元組在D1中時，三元組之二進位頁可經複製至D3中之單一3位元頁中，該情形亦被稱作自D1摺疊至D3。

藉由實施增強型寫入後讀取錯誤管理(「EPWR」)，在記憶體之壽命的某一點處，寫入後讀取錯誤管理將開始。

在步驟(4)中，在虛擬D1區塊m.1、m.2及m.3之整個頁已

被摺疊至D3區塊m中之後，D3區塊m為完整的。其後，可藉由EPWR處理D3區塊m，在EPWR中，D3區塊中之資料被讀回，並對該資料進行ECC錯誤檢查。若ECC錯誤之數目小於如由檔案系統組態檔案中設定之參數E_pw_check給出的預定臨限值，則將D3區塊中之資料視為有效的。對應D1頁可接著被安全地替換並淘汰。

圖20B說明圖20A之D3區塊未通過寫入後讀取測試的另一實例。步驟(1)至步驟(3)與圖20A之步驟(1)至步驟(3)相同。

在步驟(4')中，當D3區塊中之資料被讀回時，發現ECC錯誤之數目大於E_pw_check。此情形意謂，D3中之資料至多為勉強夠格的，且不可被使用。

在步驟(5)中，倘若現有D3區塊未通過寫入後讀取測試，則EPWR藉由將資料摺疊至新D3區塊中來規定一再試。

在步驟(6)中，新D3區塊中之資料經受另一寫入後讀取測試。若新D3區塊中之資料通過測試，則將新D3區塊中之資料視為有效的。對應D1頁可接著被安全地替換並淘汰。

圖20C說明圖20B之新D3區塊再次未通過寫入後讀取測試的另一實例。步驟(1)至步驟(5)與圖20B之步驟(1)至步驟(5)相同。

在步驟(6')中，當新D3區塊中之資料被讀回時，發現ECC錯誤之數目大於E_pw_check。此情形意謂，經再試D3

區塊中之資料仍為不良的，且不可被使用。

EPWR程序可規定對另一D3區塊之其他再試。再試之數目由檔案系統組態檔案中的參數EPWR_retries來設定。舉例而言，若EPWR_retries為1，則程序將在新區塊未通過測試之後結束。

在該情況下，在步驟(7)中，不可使用新D3區塊，且檔案系統替代地將使存取指向駐留於D1中的對應資料。

圖21為說明與增強型寫入後讀取錯誤管理相關聯之實例參數的表。表較佳維持於儲存於記憶體中之檔案系統組態檔案中。

E_pw_check-設定於檔案系統組態檔案中的指定在哪一ECC位元層級下將D3區塊考慮為高風險的且需要重新開始向新D3區塊之D1至D3摺疊的變數。

ECC_threshold_SLC-在檔案系統組態檔案中的維持用以比較的SLC臨限值所需的變數，以便做出是否繼續EPWR的決策。

EPWR_enable_flag-在檔案系統組態檔案中進行控制。
0=不設定(預設)；1=設定(當啟用EPWR時)。

Hot_count_enable_flag-0=不啟用；1=啟用。

Hot_count_threshold_EPWR-在檔案系統組態檔案中設定以指定在哪一熱計數位準需要EPWR的變數。若所有D3區塊之熱計數皆<熱計數臨限值，則即使EPWR啟用旗標開啟，仍不觸發EPWR程序。

EPWR_verify_page_budget-在檔案系統組態檔案中設定

以指定在EPWR之1階段期間可讀取之頁之數目的變數。

EPWR_retries-檔案系統組態檔案中用以限制再試嘗試次數的變數。

D3_Block_max_retries-檔案系統組態檔案中用以限制在壽命期間D3區塊上的再試嘗試之總次數的變數。

圖 22A 為說明如應用至具有 D1 至 D3 摺疊之記憶體的 EPWR 錯誤管理之較佳實施的流程圖。

步驟 800：開始。

步驟 810：D1 至 D3 摺疊，在該 D1 至 D3 摺疊中，將來自 D1 之三個二進位資料頁之資料程式化至 D3 之一個三元頁中，如結合圖 20A 所描述。

步驟 812：D3 區塊經完全填充？若經完全填充，則進入步驟 820，否則回到步驟 810。

步驟 820：啟用增強型寫入後讀取錯誤管理（「EPWR」）？在圖 22B 中給出器件存留期相依啟用的更多細節。若啟用 EPWR，在步驟 830 中處理 EPWR。若否，則經寫入 D3 區塊之完整性為未知的，但樂觀地假定為良好的。進入步驟 850。

步驟 830：處理 EPWR。在圖 22C 中給出 EPWR 之更詳細實施。

步驟 840：基本上，在較高層級處，EPWR 執行 D3 區塊之寫入後讀取及 ECC 錯誤率的測試。若錯誤未超出 E_pw_check(參見圖 21)，則 D3 區塊為良好的。進入步驟 850。否則，D3 區塊中之資料不可被使用，且考慮將 D1 資

料摺疊至新D3區塊的再試。進入步驟860。

步驟850：將D3區塊視為良好的，因此可使得D1中之資料之原始複本為過時的，並使其淘汰。

步驟860：基於在圖22C中詳細描述之若干考慮因素來決定是否在新D3區塊上再試。若不准許再試，則進入步驟870。否則，進入步驟862(展示於圖22C中)。

步驟862：對新D3區塊重複D1至D3摺疊。返回以處理另一區塊。

步驟870：將D3區塊中之資料視為不良的，因此必須自D1中之原始複本存取資料。

步驟872：由於在嘗試重寫D3區塊的過程中發生數個不成功再試之後到達此步驟，因此將記憶體視為接近記憶體之使用期限的結束。將記憶體置於唯讀狀態以防止歸因於程式化操作的任何資料損毀。進入步驟890。

步驟890：完成。

圖22B更詳細地說明增強型寫入後讀取錯誤管理之器件存留期相依啟用特徵。圖22A中之步驟820展示於圖22B中以進一步包括以下步驟：

步驟822：檢查是否啟用EPWR_enable_flag(參見圖21)。若未經啟用，則根本不實施EPWR。按預設進入將D3區塊視為良好的步驟850。若經啟用，則進入步驟824以控制是否應在記憶體器件之一定程度老化之後開始EPWR。

步驟824：檢查是否啟用Hot_count_enable_flag(參見圖21)。若未經啟用，則自記憶體器件之使用期限開始實施

EPWR。直接進入步驟830以處理EPWR。若該旗標經啟用，則進入控制EPWR應開始之時間的步驟826。

步驟826：檢查D3區塊中之任一者是否具有超出Hot_count-threshold_EPWR中之值的熱計數。若未超出，則記憶體器件仍為新的，且不易於發生過量錯誤，進入步驟850，且EPWR基本上係暫停的。若熱計數已超出臨限值，則記憶體器件已達到錯誤變得顯著的存留期，且將受益於EPWR程序。進入步驟830以處理EPWR。

圖22C更詳細地說明增強型寫入後讀取錯誤管理之較佳實施。圖22A中之步驟830展示於圖22C中以進一步包括以下步驟：

步驟832：檢查是否存在可用於進行D3區塊之寫入後讀取及可能再試的處理時間。較佳在前台中執行主機命令期間自未使用時間獲取可用時間。若必要，則程序可被分解成較小程序塊以便更好地利用每一主機命令期間的空閒時間。若存在可用以開始程序之時間，則進入步驟834，否則進入步驟838。

步驟834：開始程序，或若程序已被開始但在其間被中斷，則繼續程序。

步驟836：自D3讀取資料頁，並將資料頁傳送出至控制器，以用於檢查EDC(錯誤偵測碼)。進入步驟838。

步驟840：EPWR執行D3區塊之寫入後讀取及ECC錯誤率的測試。若錯誤未超出E_pw_check(參見圖21)，則在D3中正測試之頁為良好的。進入步驟842。若將頁測試為不良

的，則D3區塊中之資料不可被使用，且考慮將D1資料摺疊至新D3區塊的再試。進入步驟864。

步驟842：已測試了D3區塊中之所有頁？若否，則進入步驟844以處理下一頁。若整個區塊經測試為良好的，則進入步驟850。

步驟844：選擇D3區塊中之下一頁。返回至步驟836。

步驟862：在嘗試再試之前，檢查再試次數是否已超出所設定之限制EPWR_retries(參見圖21)。若否，則藉由進入步驟866來嘗試再試。若再試之數目已超出所設定限制，則將記憶體器件視為處於其使用期限結束，且控制進入步驟870。

步驟866：在嘗試再試之前的另一考慮因素為檢查過量錯誤對於D1中之資料是否為固有的，且並非歸因於自D1至D3之程式化錯誤。首先對D1資料進行過量ECC錯誤檢查。若錯誤之數目超出預定臨限值，諸如ECC_threshold_SLC(參見圖21)，則再試無意義。返回至步驟834以處理另一D3區塊。

然而，若實施如下文所描述之選用特徵，則替代地進入選用步驟868。另一方面，若D1資料為良好的，則進入步驟869，嘗試另一D3區塊之再試。在另一實施例中，在步驟862之前執行步驟866。

圖22C亦說明如由具有虛線之方框指示的選用特徵。一選項由步驟864及865說明以檢查區塊是否已在其壽命期間經受了過多再試。若是，則區塊之實體完整性可成為問

題，且最好淘汰該區塊，以便不再使用該區塊。當實施此選項時，自步驟862中之否的流程將路由至步驟864。

步驟864：D3區塊已經歷了多於如由參數Block_max-retires(參見圖21)定義之臨限值的再試？若是，則進入步驟865以淘汰區塊，否則進入步驟866以用於進一步重寫決策。

步驟865：D3區塊在其壽命期間已經受了過多再試，從而不能視為強健的。淘汰D3區塊並不再使用。控制接著直接進入步驟869以重寫D3區塊。

另一選項為，倘若D1資料並非極好的，則首先藉由ECC校正D1資料，且在將D1資料摺疊至D3之前在D1中對其進行重新接移。當實施此選項時，自步驟866中之是的流程將路由至步驟868而非步驟834。

步驟868：有問題之D1資料被藉由ECC進行校正，並在D1中進行重新接移。進入步驟869。

經加速之寫入後讀取

先前章節已描述了在已寫入資料(亦稱作「經程式化」)之後實際讀回資料的技術。此技術被稱為「PWR」(寫入後讀取)。根據本發明之較早描述的一態樣，PWR技術經增強且稱作「EPWR」(增強型寫入後讀取)。在此狀況下，僅在需要時開啟PWR操作。舉例而言，僅在記憶體經由使用開始顯現更多錯誤之後起始PWR。此情形將減輕與PWR相關聯之一些附加項。

根據本發明之另一態樣，並非寫入後讀取每個記憶體胞

以檢查已寫入了何內容(此情形可消耗許多時間及系統資源)，而是僅對代表具有類似錯誤率之記憶體胞群體的記憶體胞之小樣本執行寫入後讀取。當樣本之寫入後讀取產生在預定值內之錯誤率時，假定該群體通過檢查。否則，先前寫入於記憶體胞群體上之資料被視為具有過多錯誤，且被再次重寫至同一區域中之不同位置抑或記憶體之具有較低固有錯誤率的另一區域。

如上文所解釋，寫入後讀取檢查不同於係程式化操作之部分的常見程式化驗證。在程式化記憶體胞時，使記憶體胞經受逐脈衝的程式化電壓。在每一脈衝之間，比較記憶體胞之經程式化之臨限值與參考讀取臨限值。一旦偵測到記憶體胞之臨限值經程式化為經過參考讀取臨限值，便藉由施加至記憶體胞之位元線之程式化禁止電壓鎖定該記憶體胞使之不能進一步程式化。因此，程式化驗證僅保證記憶體胞是否已經程式化為經過參考臨限值，但並不給出可能已發生之任何過度程式化的指示。對MLC記憶體之讀取操作實際上檢查經程式化臨限值是否在一對參考臨限值之間。

在MLC記憶體中，每一記憶體胞儲存一個以上資料位元。舉例而言，在D2記憶體中，每一記憶體胞儲存兩個資料位元。由記憶體胞支援之臨限窗係由參考臨限值分割成兩半。當記憶體胞之經程式化臨限值位於第一半中時，記憶體胞具有一位元值(例如，「1」)；且當記憶體胞之經程式化臨限值位於第二半中時，記憶體胞具有另一位元值

(例如，「0」)。類似地，在D3記憶體中，每一記憶體胞儲存三個資料位元，且在D4記憶體中，每一記憶體胞儲存四個資料位元。一般而言，對於D_m記憶體，每一記憶體胞儲存m個位元，且藉由 2^m-1 個參考臨限值將臨限窗分割成 2^m 個電壓帶。將一編碼方案用以為該等電壓帶中的每一者指派m位元碼字。

2位元或4狀態記憶體之例示性較佳「LM」編碼

圖23(0)至圖23(3)說明以較佳2位元邏輯碼(「LM」碼)編碼之4狀態記憶體的邏輯逐頁程式化。來自頁之每一記憶體胞之兩個碼位元形成兩個邏輯頁，其中每一邏輯頁由自該頁之每一記憶體胞貢獻的一碼位元形成。可逐邏輯頁地執行程式化，其中上部頁在下部頁之後。此碼提供容錯，並減輕BL-BL浮動閘極耦合(玉彬)效應。

圖23(0)說明4狀態記憶體陣列之臨限電壓分佈。每一記憶體胞之可能臨限電壓橫越一臨限窗，該臨限窗經分割成四個區以分界出四個可能記憶體狀態「Gr」、「A」、「B」及「C」。「Gr」為接地狀態，其係在緊縮分佈內之抹除狀態，且「A」、「B」及「C」為三個漸進程式化狀態。在讀取期間，四個狀態藉由三個分界參考臨限值D_A、D_B及D_C來分界。

圖23(3)說明較佳2位元LM編碼以表示四個可能記憶體狀態。記憶體狀態(即，「Gr」、「A」、「B」及「C」)中之每一者分別由一對「上部、下部」碼位元(亦即，「11」、「01」、「00」及「10」)來表示。LM編碼不同於習知格雷

碼之處在於，針對狀態「A」及「C」使上部位元與下部位元顛倒。「LM」碼已揭示於美國專利第6,657,891號中且可藉由避免需要較大電荷改變之程式化操作而有利地減少鄰近浮動閘極之間的場效應耦合。如在圖23(2)及圖23(3)中將瞭解，如自臨限電壓 V_T 之適度改變顯而易見，每一程式化操作導致電荷儲存單元中之電荷的適度改變。

設計編碼，使得2個碼位元(「下部」位元及「上部」位元)可被分離地程式化並讀取。當程式化下部位元時，記憶體胞之臨限位準保持於「經抹除」區中，抑或移動至臨限窗之「中下」區中。當程式化上部位元時，記憶體胞之在此等兩個區中之任一者中的臨限位準被進一步推進至臨限窗之「中下」區中的稍高位準。

圖23(1)及圖23(2)說明使用2位元LM碼之下部頁程式化。容錯LM碼經設計以避免任何隨後上部頁程式化經過任何中間狀態。因此，第一輪下部頁程式化使記憶體胞保持於「經抹除」或「Gr」狀態(若下部位元係「1」)，或程式化至「中下」狀態(若下部位元係「0」)。基本上，「Gr」或「接地」狀態係藉由使深度抹除之狀態程式化至臨限值之良好界定範圍內而具有緊縮分佈的「經抹除」狀態。「中下」狀態可具有跨在記憶體狀態「A」與「B」之間的廣泛臨限電壓分佈。在程式化期間，相對於諸如 D_A 之粗略分界驗證「中下」狀態。

圖23(2)及圖23(3)說明使用2位元LM碼之上部頁程式化。在第一輪下部頁程式化之基礎上執行上部頁程式化。

視下部位元之值而定，給定上部位元可表示不同記憶體狀態。在第二輪程式化中，若記憶體胞要具有為「1」之上部位元同時下部位元處於「1」，亦即(1,1)，則不存在針對該記憶體胞之程式化，且該記憶體胞保持於「Gr」。若上部位元為「0」同時下部位元係處於「1」，亦即(0,1)，則將該記憶體胞自「Gr」狀態程式化至「A」狀態。在程式化至「A」期間，驗證係相對於分界 DV_A 。另一方面，若記憶體胞要具有為「0」之上部位元同時下部位元處於「0」，亦即(0,0)，則將該記憶體胞自「中下」狀態程式化至「B」。程式化驗證係相對於分界 DV_B 。類似地，若記憶體胞要具有為「1」之上部位元同時下部頁處於「0」，亦即(1,0)，則將該記憶體胞自「中下」狀態程式化至「C」。程式化驗證係相對於分界 DV_C 。由於上部頁程式化僅涉及自「Gr」狀態或「中下」狀態程式化至下一鄰近記憶體狀態，因此在一輪與另一輪之間不改變大量電荷。又，設計自「Gr」至粗略「中下」狀態的下部頁程式化以節省時間。

圖24A說明辨別以2位元LM碼編碼之4狀態記憶體之下部位元所需的讀取操作。解碼將取決於是否已程式化上部頁。若已程式化上部頁，則讀取下部頁將需要相對於分界臨限電壓 D_B 之一個讀取遍次(readB)。另一方面，若上部頁尚未經程式化，則將使下部頁程式化至「中間」狀態(參見圖23(2))，且readB將引起錯誤。相反，讀取下部頁將需要相對於分界臨限電壓 D_A 之一個讀取遍次(readA)。

為了區分兩種狀況，當上部頁正被程式化時，將旗標（「LM」旗標）寫入上部頁中（通常在附加項或系統區域中）。在讀取期間，將首先假定已程式化上部頁且因此將執行readB操作。若讀取了LM旗標，則該假定為正確的且讀取操作完成。另一方面，若第一讀取並未產生旗標，則此情形將指示尚未程式化上部頁，且因此將必須藉由readA操作來讀取下部頁。

圖24B說明辨別以2位元LM碼編碼之4狀態記憶體之上部位元所需的讀取操作。如自該圖清晰可見的，上部頁讀取將需要分別相對於分界臨限電壓 D_A 及 D_C 之2遍次讀取（readA及readC）。類似地，若尚未程式化上部頁，則上部頁之解碼亦可被「中間」狀態混淆。再一次，LM旗標將指示是否已程式化上部頁。若未程式化上部頁，則會將讀取資料重設至「1」以指示未程式化上部頁資料。

若讀取如在「全序列」讀取或「所有位元」讀取中一般將掃描通過經分界狀態之所有序列，則相對於分別由參考臨限電壓 D_A 、 D_B 及 D_C 分界的記憶體狀態「Gr」、「A」、「B」及「C」來執行讀取。由於藉由全序列讀取來區分所有可能狀態，因此不需要檢查任何LM旗標。在此讀取模式中，一起判定所有位元。

3位元或8狀態記憶體之例示性較佳「LM」編碼

2位元LM碼之實例可類似地擴展至3位元或較高數目個位元。

圖25(0)至圖25(4)說明以較佳3位元邏輯碼（「LM」碼）編

碼之8狀態記憶體的程式化。來自一頁之每一記憶體胞的3個位元形成三個邏輯頁，且可逐邏輯頁地執行程式化。此碼類似於上文描述之2位元LM編碼，且為至3位元的擴展以編碼八個可能記憶體狀態。圖25(0)說明8狀態記憶體陣列之臨限電壓分佈。每一記憶體胞之可能臨限電壓橫越一臨限窗，該臨限窗經分割成八個區以分界八個可能記憶體狀態「Gr」、「A」、「B」、「C」、「D」、「E」、「F」及「G」。「Gr」為接地狀態，其係緊縮分佈內之抹除狀態，且「A」至「G」為七個漸進程式化狀態。在讀取期間，八個狀態由七個分界參考臨限值 D_A 至 D_G 分界。

圖25(4)說明較佳3位元LM編碼以表示八個可能記憶體狀態。八個記憶體狀態中之每一者分別由「上部、中部、下部」位元之三元組(亦即，「111」、「011」、「001」、「101」、「100」、「000」、「010」及「110」)來表示。如在圖25(1)及圖25(4)中將瞭解，如自臨限電壓 V_T 之適度改變顯而易見的，每一程式化操作導致電荷儲存單元中之電荷的適度改變。

設計編碼，使得3個碼位元(「下部」位元、「中部」位元及「上部」位元)可被分離地程式化並讀取。因此，第一輪下部頁程式化使記憶體胞保持於「經抹除」或「Gr」狀態(若下部位元係「1」)，或程式化至「中下」狀態(若下部位元係「0」)。基本上，「Gr」或「接地」狀態係藉由使深度抹除之狀態程式化至臨限值之狹窄範圍內而具有緊縮分佈的「經抹除」狀態。「中下」狀態可具有跨於記

憶體狀態「B」與「D」之間的廣泛臨限電壓分佈。在程式化期間，可相對於諸如 D_B 之粗略分界參考位準來驗證「中下」狀態。當程式化中部位元時，記憶體胞之臨限位準將自由下部頁程式化產生之兩個區中的一者開始，且移動至四個可能區中的一者。當程式化上部位元時，記憶體胞之臨限位準將自由中部頁程式化產生之四個可能區中的一者開始，且移動至八個可能記憶體狀態中的一者。

一般而言，一記憶體胞頁被並行地程式化，其中每一記憶體胞具有3個位元。因此，可認為該記憶體胞頁具有3個邏輯資料頁，其中每一邏輯資料頁由該頁之每個記憶體胞的一個寫碼位元貢獻。因此，「下部位元」頁由該頁之每個記憶體胞的下部位元形成，「中部位元」頁由該頁之每個記憶體胞的中部位元形成，且「上部位元」頁由該頁之每個記憶體胞的上部位元形成。

圖 25(1)及圖 25(2)說明使用3位元LM碼之下部頁程式化。容錯LM碼經設計以避免任何隨後較高頁的程式化經過任何中間狀態。因此，第一輪下部頁程式化使記憶體胞保持於「經抹除」或「Gr」狀態(若下部位元係「1」，亦即 $(x,x,1)$)，或程式化至「中下」狀態(若下部位元係「0」，亦即 $(x,x,0)$)。基本上，「Gr」或「接地」狀態係藉由使深度抹除之狀態程式化至臨限值之良好界定範圍內而具有緊縮分佈的「經抹除」狀態。「中下」狀態可具有跨於記憶體狀態「B」與「D」之間的廣泛臨限電壓分佈。在程式化期間，相對於諸如 D_B 之分界驗證「中下」狀態。

圖 25(2)及圖 25(3)說明使用 3 位元 LM 碼之中部頁程式化。在第一輪下部頁程式化之基礎上執行中部頁程式化。視下部位元而定，給定中部位元可表示不同記憶體狀態。在第二輪程式化中，若記憶體胞要具有為「1」之中部位元同時下部位元處於「1」，亦即 $(x,1,1)$ ，則不存在針對該記憶體胞之程式化，且該記憶體胞保持於「Gr」。若中部位元為「0」同時下部位元係處於「1」，亦即 $(x,0,1)$ ，則將該記憶體胞自「Gr」狀態程式化至跨於「A」與「B」之間的第一「中部中間」狀態。在程式化至第一「中部中間」狀態期間，驗證係相對於分界 DV_A 。另一方面，若記憶體胞要具有為「0」之中部位元同時下部位元係處於「0」，亦即 $(x,0,0)$ ，則將該記憶體胞自「中下」狀態程式化至跨於「C」與「D」之間的第二「中部中間」狀態。程式化驗證係相對於分界 DV_C 。類似地，若記憶體胞要具有為「1」之中部位元同時下部頁處於「0」，亦即 $(x,1,0)$ ，則將使該記憶體胞自「中下」狀態程式化至跨於「E」與「F」之間的第三「中部中間」狀態。程式化驗證係相對於分界 DV_E 。

圖 25(3)及圖 25(4)說明使用 3 位元 LM 碼之上部頁程式化。在第一輪及第二輪(亦即，下部頁及中部頁程式化)基礎上執行上部頁程式化。視下部位元及中部位元而定，給定上部位元可表示不同記憶體狀態。在第三輪程式化中，若記憶體胞要具有為「1」之上部位元同時下部位元及中部位元處於「1」，亦即 $(1,1,1)$ ，則不存在針對該記憶體胞

之程式化，且該記憶體胞保持於「Gr」。另一方面，若上部位元為「0」同時下部位元及中部位元處於「1」，亦即(0,1,1)，則將該記憶體胞自「Gr」狀態程式化至「A」狀態。在程式化至「A」期間，驗證係相對於分界DV_A。

類似地，若記憶體胞要具有為「0」之上部位元同時下部位元及中部位元分別處於「0」及「1」，亦即(0,0,1)，則將該記憶體胞自第一「中部中間」狀態程式化至「B」。程式化驗證係相對於分界DV_B。若記憶體胞要具有為「1」之上部位元同時下部位元及中部位元分別處於「0」及「1」，亦即(1,0,1)，則將該記憶體胞自第一「中部中間」狀態程式化至「C」。程式化驗證係相對於分界DV_C。

類似地，若記憶體胞要具有為「1」之上部位元同時下部位元及中部位元分別處於「0」及「0」，亦即(1,0,0)，則將該記憶體胞自第二「中部中間」狀態程式化至「D」。程式化驗證係相對於分界DV_D。若記憶體胞要具有為「0」之上部位元同時下部位元及中部位元分別處於「0」及「0」，亦即(0,0,0)，則將該記憶體胞自第二「中部中間」狀態程式化至「E」。程式化驗證係相對於分界DV_E。

類似地，若記憶體胞要具有為「0」之上部位元同時下部位元及中部位元分別處於「1」及「0」，亦即(0,1,0)，則將該記憶體胞自第三「中部中間」狀態程式化至「F」。程式化驗證係相對於分界DV_F。若記憶體胞要具有為「1」之上部位元同時下部位元及中部位元分別處於「0」及「0」，亦即(1,1,0)，則將該記憶體胞自第三「中部中間」

狀態程式化至「G」。程式化驗證係相對於分界 DV_G 。

由於上部頁程式化僅涉及自「Gr」狀態或該等「中部中間」狀態中之一者程式化至下一鄰近記憶體狀態，因此在一輪與另一輪之間不改變大量電荷。此情形有助於減輕BL-BL玉彬效應。

因此，將瞭解， D_m ($m=1, 2, 3, \dots$)記憶體可被一次一位元地程式化，且亦一次讀取一位元。當字元線 WLn 上之一群組之記憶體胞被並行地程式化或讀取時，將存在與該群組相關聯之 m 個資料頁，其中每一資料頁對應於來自該群組之每一記憶體胞的一個位元。在漸進讀取模式中，感測係相對於參考臨限值之子集，且在每一感測時，僅將 m 個資料頁中之一頁自 WLn 讀取並傳送而出至控制器。在全序列讀取模式中，感測係相對於全部參考臨限值，且全部 m 個資料頁在被逐頁傳送之前被從 WLn 讀取。

舉例而言，在具有展示於圖4中之NAND架構之記憶體的狀況下，每一NAND串具有具 n 個記憶體胞之菊鏈。在一實施例中，一系列此等NAND鏈形成展示於圖6中的抹除區塊300。在圖4，並行地操作諸如 $WL3$ 上之頁70的記憶體胞頁。

圖9展示係字元線 WLn 上之 m 位元記憶體之 m 個資料頁中之一者的資料頁70'。如上文所描述，在另一較佳實施例中，當隨著器件整合度愈來愈高在頁中存在共用ECC欄位之大於最佳數目的數目個記憶體胞時，將頁70分割成由「ECC頁」組成的較小單元。

圖 26A 示意性地說明含有類似於展示於圖 9 中之 ECC 欄位的 ECC 欄位之 ECC 頁。ECC 頁 80 包含使用者部分 82 及系統部分 84。使用者部分 82 係用於儲存使用者資料。系統部分 84 通常由記憶體系統用於儲存系統資料。ECC 包括於系統資料中。針對 ECC 頁計算 ECC。通常，藉由控制器 102 中之 ECC 處理器 62 (參見圖 1) 來計算 ECC。圖 26A 與圖 9 之間的差異為：替代佔用整個資料頁 70' 之 ECC 頁 80，ECC 頁 80 係構成資料頁之若干 ECC 頁 80 中的一者。

圖 26B 說明構成資料頁之複數個 ECC 頁。諸如展示於圖 4 中之資料頁 70' 的資料頁係由來自 WL 上之記憶體胞頁之每一記憶體胞的邏輯位元構成之資料集合。一般而言，存在構成資料頁之 N 個 ECC 頁。舉例而言， $N=4$ ，其中存在構成一個資料頁 70' 的 4 個 ECC 頁 80。

隨著自主機接收到資料，在控制器 102 中對資料之 ECC 頁進行接移，且藉由 ECC 處理器 62 (參見圖 1) 計算其 ECC 86。接著接移併有自己之 ECC 的數個 ECC 頁 80，且作為資料頁 70' 寫入至記憶體陣列 200。通常，當讀取資料頁 70' 時，將資料頁鎖存於資料鎖存器 430 中，且將資料頁移出 I/O 電路 440 而至控制器 102。在控制器 102 處，資料頁之每一 ECC 頁使其 ECC 86 與對讀取資料所計算之 ECC 的第二版本相比較。ECC 通常包括錯誤偵測碼 (「EDC」) 以用於對資料頁中之任何錯誤的快速偵測。若 EDC 指示所讀取資料頁中之任何錯誤的存在，則調用 ECC 來校正所讀取資料頁中的錯誤位元。ECC 經設計以校正高達預定最大數目個錯

誤。實務上，在記憶體之使用期限中的任何給定時間，ECC可具有校正小於預定最大值之預定數目個錯誤的預算。

在圖4中之實例中，對於2位元記憶體，每一記憶體胞儲存2個資料位元，且將存在與每一WL相關聯的2個資料頁。若每一資料頁具有4個ECC頁，則將存在程式化至WL中且將被讀出以用於PWR檢查的總計8個ECC頁。

類似地，在圖4中之實例中，對於3位元記憶體，每一記憶體胞儲存3個資料位元，且將存在與每一WL相關聯的3個資料頁。若每一資料頁具有4個ECC頁，則將存在程式化至WL中並將被讀出以用於PWR(寫入後讀取)檢查的總計12個ECC頁。

因此，將瞭解，對於3位元記憶體，在寫入每個WL之後執行PWR檢查可涉及感測12個ECC頁且接著送出至控制器以供ECC檢查。若ECC解碼器發現12個ECC頁中之任一者已超出預定錯誤預算，則對該WL之寫入被視為不可接受的，且在不同WL處進行再試。舉例而言，將寫入重寫至同一區塊中或記憶體之一部分(諸如，具有一位元記憶體胞)中的具有較高錯誤容許度的另一WL。

在3位元記憶體實例中，存在待感測之3個資料頁。如自結合圖25之描述所瞭解，以上情形將招致3個讀取循環，一讀取循環針對每一資料頁。每一讀取循環將相對於一或多個參考臨限值進行感測，且因此讀取WL將花費時間。此外，每一資料頁具有4個ECC頁，且將需要總計12個ECC

頁來連續地傳送出去至控制器。傳送操作亦將花費時間(即使時間不超過感測操作之時間)。

對樣本而非整個群體之PWR檢查

在本發明之一般實施例中，藉由僅檢查已寫入之內容的子集來使對已寫入內容之寫入後讀取(PWR)檢查加速。僅對已寫入內容之樣本執行寫入後讀取檢查。

圖27為說明經加速PWR之一般實施例的流程圖。

步驟900：提供記憶體胞之多個群組，每一群組中之記憶體胞用於並行地操作。

步驟902：將資料之多個子集程式化至第一記憶體胞群組中，每一資料子集具備一ECC。

步驟910：選擇程式化於第一記憶體胞群組中之資料的樣本，該樣本係選自程式化至第一群組中之該多個資料子集中的一資料子集。

步驟920：讀取該樣本。

步驟922：對該樣本進行錯誤檢查。

步驟930：只要自該樣本檢查出之錯誤高於預定數目個錯誤位元，便將該多個資料子集再程式化至第二記憶體胞群組中。

在一實施例中，待檢查之樣本為寫入至字元線上之記憶體胞群組的所有ECC頁之子集。詳言之，該子集為所有ECC頁中的經估計為具有最高錯誤率之ECC頁。

圖28為說明在圖27中說明之經加速PWR之較佳實施例的流程圖。該程序類似於圖27之程序，只是步驟910被步驟

910'替換。

步驟910'：選擇程式化至第一記憶體胞群組中之資料的樣本，該樣本係選自程式化至第一群組中之該多個資料子集中的一資料子集，且該樣本為程式化至第一群組中之該多個資料子集中的經估計為具有最高錯誤率之資料子集。

圖29說明在已寫入字元線上之3位元記憶體胞之群組之後針對寫入後讀取所選擇的樣本。在3位元記憶體中，將存在寫入至字元線WL 42之3個資料頁，亦即，下部頁、中部頁及上部頁。視分界記憶體之臨限窗中之各種電壓帶的參考臨限值之所設計置放而定，資料頁中之一者可具有相較於其他資料頁稍高的錯誤率。舉例而言，若上部資料頁在三個資料頁中具有所估計之最高資料率，則將選擇上部頁。若所選擇資料頁中之所有ECC頁經估計為具有相同錯誤率，則選擇具有最先被移出至控制器之位置的ECC頁為足夠的。又，編碼方案之選擇亦可影響到錯誤率。舉例而言，當移位經程式化之臨限值時，格雷碼提供最小位元錯誤。視編碼之選擇而定，正儲存於同一記憶體胞群組中之各種資料頁可具有類似或不同之錯誤率。

實務上，字元線上之錯誤可係歸因於實體缺陷，如導致開路或具有異常高電阻之電路的裂紋。若缺陷發生於考慮中之記憶體胞與WL解碼器之間，則檢查將展示錯誤。若缺陷發生於記憶體胞之遠離WL解碼器的另一側上，則檢查可不展示錯誤。因此，在沿WL 42之所有ECC頁中，在WL之距WL解碼器40最遠之末端處的樣本ECC頁82很可能

受缺陷影響而無關於WL上之缺陷位置。

因此，在存在寫入至字元線(WL)之多個資料頁的較佳實施例中，用於檢查寫入至WL之資料的樣本首先係選自具有最高所估計錯誤率的資料頁。此外，若在所選擇資料頁中存在多個ECC頁，則選擇距字元線解碼器最遠之ECC頁作為樣本。

在另一實施例中，待檢查之樣本為寫入至一區塊中之記憶體胞群組的所有ECC頁之子集。區塊使區塊中之所有記憶體胞為可一起抹除的。詳言之，子集為所有ECC頁中的經估計為具有最高錯誤率之ECC頁。

舉例而言，在展示於圖4中之NAND記憶體中，抹除區塊由一系列NAND鏈構成。每一NAND鏈為藉由記憶體胞之源極及汲極進行菊鏈鏈接的16個記憶體胞，在一端終止於源極端子中及在另一端終止於汲極端子中。熟知以下情形：最靠近源極端子及汲極端子的記憶體胞為更易發生錯誤的。因此，對於此區塊而言，應選擇字元線WL1或WL16。在此狀況下，較佳地，樣本為在WL1之距字元線解碼器最遠之末端處的ECC頁。

在具有一組字元線之記憶體胞區塊可作為抹除單元抹除且存在必須檢查寫入至該組字元線中之每一字元線的資料否則要重寫整個區塊之要求的又一實施例中，首先優先檢查該組字元線中之經估計為具有最高錯誤率的WL。以此方式，可能發生之任何錯誤將早早被偵測到，且區塊之重寫可在無延遲之情況下開始。

因此，對於展示於圖4中之NAND記憶體，應首先選擇字元線WL1及WL16以供檢查。

儘管給出記憶體經分割成一具有各自儲存1位元資料之記憶體胞的第一部分及一具有各自儲存3位元資料之記憶體胞的第二部分之實例，但本發明不受該實例限制。

具有同時多頁驗證之EPWR

如上文所論述，記憶體系統可使用增強型寫入後讀取(EPWR)程序以便確保使用者資料完整性並在存在不可屏蔽(unscreenable)之記憶體故障(諸如，斷裂之字元線、控制閘極短路、字元線至字元線短路，等等)的情況下增加記憶體可靠性。概括而言，藉由讀取每一區塊且在抹除複本之源之前驗證該區塊被可靠地儲存來實現EPWR。在例示性實施例中，此情形將為在自二進位記憶體抹除源複本之前驗證多狀態寫入。因而EPWR方法需要許多時間且因此可使程式化產出率顯著降級，尤其在多晶粒產品中，在多晶粒產品中，涉及於執行多個晶粒之EPWR的單一控制器變為了瓶頸。此章節呈現針對執行EPWR之較快方法的同時驗證多頁之技術。

進一步針對基本寫入後讀取實施重新考慮該問題，將每記憶體胞3位元之MLC(或D3)實施例用作具體實例，控制器在D3區塊之程式化之後讀取整個D3區塊，從而將所有頁傳送至控制器並解碼所有頁。此情形招致極高的程式化產出率損失。舉例而言，假定70 MB/秒之ECC引擎，4 MB區塊之EPWR時間對於單晶粒可花費每區塊~60 ms(假定

ECC為瓶頸)。隨著晶粒之數目增加，損失對應地變大，此係由於發源於多個晶粒之多個區塊的所有資料皆需要傳送至單一控制器並由單一ECC引擎解碼。因此，對於4個晶粒，EPWR程序可花費~240 ms，此情形將使程式化產出率顯著降級。在每一區塊程式化操作之後的此類極長EPWR操作可顯著地減慢總體程式化產出率(例如，在4晶粒組態中~25%之降級，假定原始程式化產出率為6 MB/秒)。

先前章節已呈現用於較快EPWR之各種方法。此章節考慮對區塊中之多個頁的同時驗證，其中控制器評估該多個頁之一結合函數而非分離地評估每一頁。基於所讀取資料對多個頁之此結合驗證可顯著地減小控制器涉入，從而減低EPWR的所需匯流排及ECC頻寬，且因此在晶粒之數目較大時允許高效的EPWR。在進一步考慮此特定態樣之前，論述用於快速EPWR之若干補充方法，此係由於在一些實施例中將結合此等方法。

使EPWR程序加速之一方式為將被讀取及評估之資料量減小為識別不可屏蔽問題(諸如，斷裂之字元線、控制閘極短路、字元線至字元線短路，等等)所需之最小量或至少較小量。(在以下美國專利申請案中給出關於斷裂或含鉛(lead)字元線之更多資訊：2010年7月9日申請之US 12/833,167、2010年7月9日申請之US 12/833,146、2011年1月28日申請之US 13/016,732，及2011年5月5日申請的US 13/101,765。)

可藉由僅讀取某些頁來減小所讀取及傳送之資料量。舉

例而言，在每記憶體胞3位元之D3 NAND實施例中，在如圖30中所說明之映射的情況下，僅讀取每一字元線中之下部頁及上部頁或僅讀取字元線之中部頁可為足夠的。原因為，上文提及之該類不可屏蔽NAND問題可藉由觀測一或兩個頁來識別，使得不需要讀取字元線之所有3個頁。舉例而言，讀取下部頁及上部頁對於識別以下各者為足夠的：程式化擾亂問題(歸因於經抹除狀態與最低非抹除狀態之間的讀取)，源極誘發之洩漏電壓問題(或SILC，其導致來自最高狀態之較低尾部)，或將擾亂記憶體胞電壓分佈的任何其他巨大NAND問題。此情形可藉由參看圖30來說明，圖30展示狀態分佈，其中上部頁值、中部頁值及下部頁值展示於分佈中且跨越底部標註了抹除(Er)，A，...，G狀態。由於在Er狀態與A狀態之間存在下部頁讀取臨限值，因此此臨限值可用以檢查在此讀取中將顯露的程式化擾亂問題；且由於在F狀態與G狀態之間存在上部頁讀取臨限值，因此此讀取可拾取來自G狀態之指示與SILC相關之錯誤的較低尾部。如下文將論述，此章節之例示性實施例在執行多頁驗證之處將僅使用字元線上之最上部頁及最下部頁。

亦可藉由檢查頁之僅一部分的有效性來減小所讀取及傳送之資料量。此情形之實例為位元線分裂成偶數集合與奇數集合或可以其他方式跨越陣列將行分裂成群組的記憶體，使得對位元線之僅一部分的讀取可良好地體現整個字元線。在以下一些實施例中將使用的另一實例為對ECC區

塊(或「E區塊」)之讀取，ECC區塊係藉由ECC編碼之資料單元。此E區塊常常僅為頁之一部分；然而，對於識別字元線之任何部分中的問題而言，該僅一部分可為足夠的。

若干方法可用於基於所讀取資料來識別區塊(或字元線)中的問題。一方式為僅解碼資料並對錯誤之數目計數，此為花費相對長時間之方法，具有相對高之電力消耗，且亦可花費可變量之時間來完成(尤其當使用一使用迭代解碼之ECC系統時，但在BCH系統中亦然)。

另一方法為基於校正子權重(亦即，基於未滿足之同位檢查的數目)來估計位元錯誤率(BER)。此選項適用於具有低密度同位檢查矩陣的ECC。ECC區塊(E區塊)之BER可估計為：

$$\hat{BER} = \frac{1 - (1 - 2 \cdot W/M)^{V_d}}{2},$$

其中 W 為未滿足之同位檢查的數目， M 為同位檢查之總數，且 d 為在每一同位檢查中涉及之位元的數目(假定 d 為固定的)。實務上，此等計算可離線進行，且將查找表(LUT)用於將未滿足同位檢查之數目 W 轉譯為所估計BER。此方法優於全解碼之優點為，此方法為快速的，且在確定時間內完成。此方法亦具有低電力消耗。

又一方法為量測所讀取資料之統計資料且比較統計資料與預期值；(例如)藉由對處於每一狀態(或處於所選擇狀態)之記憶體胞的數目計數且比較該計數與所預期值來進

行。假定系統使用資料擾碼，則在每記憶體胞3位元之實施例中記憶體胞之1/8被預期為程式化至每一狀態。儘管此方法相較於剛剛論述之兩種方法(其量測/估計BER)可為較不強健的，但假定相同量之資料，此方法仍可允許捕獲將顯著影響記憶體胞電壓分佈(CVD)的巨大記憶體問題。

在下一章節中揭露的方法中，藉由比較源SLC頁與目的地MLC頁來量測BER。此方法可在快閃記憶體中內部地進行。

此等各種方法以及前述章節中提及之其他方法可與係此章節之主要焦點的一區塊中之多個頁的同時驗證進行多樣的結合。基於所讀取資料之多個頁之結合驗證可顯著地減小控制器涉入(亦即，EPWR的所需要匯流排及ECC頻寬)，且因此在晶粒之數目較大時允許高效的EPWR。

記憶體系統評估多個頁之經結合函數以便識別一或多個頁中的問題。此操作之動機為，需要檢驗小得多的資料量，且此情形可顯著減小來自在此評估中所涉及之控制器匯流排及ECC引擎的頻寬要求。以上情形又允許對大量晶粒的高效操作。

一方法為使用多個所讀取E區塊之總和模2(亦即，互斥或)。對於線性ECC(如對於LDPC、BCH及實務上使用之多數ECC方法)，則E區塊之互斥或運算亦為有效E區塊。因此，若系統對 n 個所讀取E區塊進行互斥或運算，則結果亦為具有由下式給出之BER的E區塊：

$$BER_{\oplus} = \frac{1 - \prod_{i=1}^n (1 - 2 \cdot BER_i)}{2} \cong \sum_{i=1}^n BER_i,$$

其中 $BER_{\oplus}$ 為互斥或E區塊的BER，且 BER_i 為第 i 個E區塊的BER。

因此，若系統評估了互斥或E區塊的BER(諸如藉由上文所描述之方式)，則系統評估了關於其構成E區塊之BER的總和。自此情形，系統可識別該等E區塊中之一者中的問題。舉例而言，考慮對 $n=16$ 個E區塊進行互斥或運算，一個E區塊來自每一頁。(一頁可具有一或多個E區塊。)進一步假定，程式化後的所預期BER係0.1%，其中標準偏差 $\sigma = 0.01\%$ 。接著， $BER_{\oplus}$ 的所預期值為 $n \cdot 0.1\% = 1.6\%$ ，其中標準偏差 $\sigma_{\oplus} = \sqrt{n \cdot \sigma^2} = 0.04\%$ ；且因此若 $BER_{\oplus}$ 高於 $1.6\% + 3 \cdot \sigma_{\oplus} = 1.72\%$ ，則此情形將充當在該等頁中之一者可存在問題的指示(採用 $3 \cdot \sigma_{\oplus}$ 容限以便確保在正常行為下，越過臨限值之機率為 $\sim 1/1000$)。在此狀況下，可採取其他動作，諸如對每一頁之特定評估或區塊之再程式化。在詳核之後，可決定將區塊標記為不良的或進行在前述章節中描述之其他動作中的一些。

在程式化之後不知曉BER統計資料(亦即，所預期BER及其方差)之狀況下，因而在使用 $BER_{\oplus}$ 估計時之可能關注事項為：將存在單一有問題頁，而其他頁將具有極低BER，使得經設定以指示一問題之 $BER_{\oplus}$ 值將不被越過，且吾人將不能「捕獲」該問題。例如，對於所估計之 $BER_{\oplus} = 1.6\%$ ，將不

知曉在存在 $n=16$ 個頁的情況下，是每一頁具有 0.1% 之 BER；抑或具有具 0.01% 之 BER 的 15 個頁及具 1.45% 之 BER 的一個頁（在兩種狀況下，BER 之總和皆為 1.6%）。為了克服此問題，系統應確保頁之間的方差為小的。此情形可藉由追蹤若干群組之 BER_{e} 參數來進行。舉例而言，若當前群組之 BER_{e} 參數為 $15 \cdot 0.01\% + 1.45\% = 1.6\%$ ，但先前群組之 BER_{e} 參數為 $16 \cdot 0.01\% = 0.16\%$ ，則此情形將指示當前群組具有有問題頁。

關於系統一起進行互斥或運算以獲得複合函數 BER_{e} 之 E 區塊的數目 (n)，若干因素有影響。一限制為，隨著 n 變大， n 個 E 區塊之 BER 的「平均」效應變得更顯著，且其使未捕獲有問題 E 區塊的機率增大，儘管先前段落中描述之解決方案可用以顯著地減小此風險。另一限制取決於用於評估 BER_{e} 之方法。若系統正使用解碼來評估 BER_{e} ，則系統需要基於 ECC 之錯誤校正能力來限制 BER_{e} ；例如，若系統使用可校正 60 個位元之 BCH ECC，且若程式化之後所預期位元錯誤的最大數目為 10 個位元，則系統應將 n 限制為 6。若系統使用基於校正子權重之 BER 估計，則此估計為有效的直至某一錯誤率；例如，特定 LDPC 碼可提供良好 BER 估計直至 ~3% 之 BER，且當高於此錯誤率時，估計誤差可變得過大。在此狀況下，若程式化之後所預期的最大 BER 為 0.3%，則可一起進行驗證之頁的最大數目 n 應限制為 10。

最後，若系統使用 SLC 頁之互斥或運算與 D3 頁之互斥或運算之間的比較以便評估 BER_{e} ，則一方面， BER_{e} 不受可進

行評估之最大 BER_0 限制。(此方法在下一章節中進行論述。) 另一方面，系統累積SLC頁及MLC頁兩者之錯誤，從而增加了未捕獲有問題頁的風險。此外，此方法需要讀取3個源SLC區塊與目的地D3區塊，此情形為讀取時間且因此總體EPWR時間上的缺點。

在此章節之方法中，可顯著減小控制器涉入，此係由於在記憶體鎖存器中內部地執行E區塊之互斥或運算，且因此小得多的資料量被發送至控制器並由ECC核心評估。此情形意謂單一晶粒或兩個晶粒或四個晶粒或四個以上晶粒之EPWR時間為基本相同的，此係由於EPWR之讀取部分在所有晶粒中同時進行，且基本上由讀取區塊所花費之時間決定。舉例而言，假定想要藉由以下操作來執行EPWR：讀取每一字元線中之下部頁及上部頁且對 $n=16$ 個頁進行互斥或運算且接著將進行了互斥或運算的頁中之第一E區塊發送至控制器進行BER估計(例如，基於校正子權重)。那麼EPWR程序將如下進行，其中ADL為最初將資料自字元線 WL_i 讀取至之(二進位)鎖存器，且XDL為藉以將資料傳送離開記憶體WL之傳送資料鎖存器，且NXOR為非互斥或運算(NOT XOR)之簡寫：

將WL0之下部頁讀取至ADL中($ADL=Lower0$)

讀取WL0之上部頁，並對該上部頁與ADL進行NXOR($ADL=ADL \text{ NXOR Upper0}$)

讀取WL1之下部頁，並對該下部頁與ADL進行NXOR($ADL=ADL \text{ NXOR Lower1}$)

讀取 WL1 之上部頁，並對該上部頁與 ADL 進行
 $\text{NXOR}(\text{ADL}=\text{ADL NXOR Upper1})$

...

讀取 WL7 之下部頁，並對該下部頁與 ADL 進行
 $\text{NXOR}(\text{ADL}=\text{ADL NXOR Lower7})$

讀取 WL7 之上部頁，並對該上部頁與 ADL 進行
 $\text{NXOR}(\text{ADL}=\text{ADL NXOR Upper7})$

將 ADL 傳送至 XDL ($\text{XDL}=\text{ADL}$)

將 XDL 之第一 E 區塊傳送至控制器

執行所傳送 E 區塊之 BER 估計

將 WL8 之下部頁讀取至 ADL 中 ($\text{ADL}=\text{Lower8}$) (可與兩個先前
 階段平行)

讀取 WL8 之上部頁，並對該上部頁與 ADL 進行
 $\text{NXOR}(\text{ADL}=\text{ADL NXOR Upper0})$

讀取 WL9 之下部頁，並對該下部頁與 ADL 進行
 $\text{NXOR}(\text{ADL}=\text{ADL NXOR Lower1})$

讀取 WL9 之上部頁，並對該上部頁與 ADL 進行
 $\text{NXOR}(\text{ADL}=\text{ADL NXOR Upper1})$

...

讀取 WL15 之下部頁，並對該下部頁與 ADL 進行
 $\text{NXOR}(\text{ADL}=\text{ADL NXOR Lower7})$

讀取 WL15 之上部頁，並對該上部頁與 ADL 進行
 $\text{NXOR}(\text{ADL}=\text{ADL NXOR Upper7})$

將 ADL 傳送至 XDL ($\text{XDL}=\text{ADL}$)

將XDL之第一E區塊傳送至控制器

執行所傳送E區塊之BER估計

...

舉例而言，關於可合適地應用於此處之鎖存器結構(包括ADL、XDL)的例示性實施例的更多細節可在美國專利7,158,421及7,206,230中找到。

上文所描述之EPWR程序顯著地快於先前技術中之方法。假定至控制器之傳送及BER估計操作(該兩操作對於每 n 頁之讀取操作僅進行一次)與下一頁群組之讀取並行地進行之管線式操作，則一區塊之總體EPWR時間等於讀取時間，讀取時間為約數毫秒。此外，EPWR時間對於一個晶粒、兩個晶粒及四個晶粒將保持相同，此係由於可在所有晶粒中並行地進行上部頁及下部頁的讀取及互斥或運算，且傳送及BER估計操作(對於每 n 頁之讀取進行一次)需要來自控制器及匯流排的低頻寬。

在一些狀況下，可存在使程序進一步加速的方式。剛剛論述之實施例使用下部頁與上部頁之互斥或運算。參看圖30，3個資料位元之狀態至8個分佈的指派對應於特定格雷映射(「2-3-2」映射)。藉由使用此映射並執行逐頁讀取，可藉由執行狀態Er與A之間的第一感測且接著執行狀態D與E之間的第二感測來讀取下部頁。可藉由執行狀態B與C之間的第一感測且接著執行狀態F與G之間的第二感測來讀取上部頁。在快閃記憶體系統中，以下情形為常見的：複數個感測操作以2個狀態之間的初始感測開始，且以在增

加之電壓下之一序列感測繼續。在此設定中，初始感測操作相較於隨後感測操作中之每一者花費較多時間。此情形意謂，根據展示於圖30中之映射讀取下部頁及上部頁將需要總共4個感測操作，該等感測操作中之2個感測操作(每一頁中之第一感測)將為較長的。然而，由於EPWR程序僅使用2個頁之互斥或運算，因此有可能減小2個頁的讀取時間。此情形可藉由執行以下感測操作序列來進行：Er與A之間的感測，繼之以B與C之間的感測，繼之以D與E之間的感測，繼之以F與G之間的感測。藉由應用根據替代「1-2-4」格雷映射的對上部頁之讀取，此等4個感測操作可比分離地讀取兩個頁更快地進行，其中1-2-4格雷映射之上部頁正是2-3-2格雷映射之下部頁與上部頁的互斥或運算結果。因此，對呈1-2-4格雷映射之上部頁之讀取命令可用以產生2-3-2格雷映射之下部頁與上部頁的所要互斥或運算結果，資料係在單一命令中藉由2-3-2格雷映射而寫入的。若此情形為可能的，則每字元線之讀取時間及總體EPWR讀取時間將被減小。另外，若僅讀取每一字元線中之該(或更一般而言，一)中部頁為足夠的，則EPWR時間將被進一步減小(減小~33%)。

圖31為說明可併入至程式化程序中的程序之數個態樣的流程圖。在1001處，記憶體系統之控制器自主機接收資料。在1003處，控制器使用其ECC引擎來產生每一資料E區塊之對應ECC並使此等ECC形成為數個頁，在1005處，越過匯流排結構將該等頁傳送至記憶體器件。儘管該等步

驟被展示為將繼之以特定資料集合之相異程序集合，但在實際器件中，該等步驟通常將並行地進行，如在較早章節中所提及或如在2011年6月9日申請之美國臨時專利申請案第61/495,053號中進一步描述。一旦將資料鎖存於記憶體上，便在1007處將資料寫入至陣列中。在例示性寫入程序中，首先將資料寫入至二進位快取記憶體中，之後將資料摺疊至多狀態記憶體中。流程之以下部分被描述為在此摺疊程序之後發生，但在其他狀況下，可對二進位記憶體中之資料、對直接寫入成多狀態格式之資料或對二進位記憶體執行此等流程部分。

EPWR部分藉由讀回儲存於記憶體上之頁或頁之部分(例如，E區塊)而在1009處開始，且形成複合資料結構(1011)。儘管此處展示為兩個連續操作，但如上文所論述，在例示性實施例中，此程序實際上以迴圈執行，此係由於所選擇頁被順序讀取且在記憶體器件上之鎖存器中進行互斥或運算。在例示性實施例中，在1013處，接著將複合資料結構傳送至控制器，在1015處在控制器中針對形成複合資料結構所基於之資料的完整性評估複合資料結構。在其他實施例中，亦可對記憶體器件自身執行判定。

1015之判定可根據此處所描述之各種實施例中的任一者進行，不管是藉由基於資料之統計資料使用ECC或不使用ECC來判定錯誤量抑或估計錯誤量。若資料被降級，則系統可接著在1017處判定特定不良頁(若需要)，且亦採取上文所描述之該類校正動作中的任一者。

現將在特定實施例之內容脈絡中進一步考慮此程序。此實施例具有數個特徵，包括：僅讀取每一字元線上之最下部頁及最上部頁；每頁僅檢驗第一E區塊；將BER估計特徵用於評估發源於 n 個頁之 n 個E區塊的經累積BER；將頁之群組形成為使區塊散佈以解決錯誤率之變化的複合體；及選擇適當準則。應理解，此等特徵在不同實施例中將不同，諸如，使用不同頁、E區塊、群組、準則，等等。

關於此等特徵中之第一特徵，系統僅讀取每一字元線中之上部頁及下部頁。(實施例在此處再次每記憶體胞儲存3個位元，但更一般而言，如在4位元配置中，可使用最上部頁及最下部頁。)如上文所論述，下部頁及上部頁對於識別將使記憶體胞電壓分佈陷入混亂之許多問題(程式化擾亂、SILC，等等)為足夠的。此情形說明於基本上與圖30相同之圖32中，但現在頂部頁及底部頁之經互斥或運算的值跨越底部。

在例示性系統中，可執行WL之下部頁及上部頁的分開讀取。或者，由於系統僅實際需要下部頁與上部頁之互斥或運算結果(而非單獨的每一頁)，因此在一變化中，可藉由使用具有4個感測操作(E_r 與A、B與C、D與E、F與G)之順序類型之讀取來進一步減小讀取時間，以使用單一讀取命令且在較短時間內產生下部頁 $\oplus$ 上部頁結果。如上文所提及，此讀取可使用呈1-2-4格雷映射之上部頁的逐頁讀取來進行。

如上文亦論述，若在記憶體鎖存器與陣列之間存在良好

交錯，則每頁僅使用一個E區塊(此處第一E區塊)，此係由於E區塊之記憶體胞發源於散佈於整個字元線上之記憶體胞。在記憶體器件之例示性實施例中，鎖存器結構(以上ADL及XDL鎖存器)經配置，使得E區塊儲存於鎖存器結構之連續片段(segment)中。

此特定實施例使用位元錯誤率(BER)估計(例如，基於校正子權重或基於解碼)來評估發源於 n 個頁之 n 個E區塊(每一頁中之第一E區塊)的經累積BER。所有所讀取頁可在記憶體電路中內部地進行互斥或運算，其中經互斥或運算的頁中之第一E區塊經傳送至控制器，且將ECC引擎用以估計其BER。

歸因於沿區塊之字元線之錯誤率的可能變化，為了在不同頁群組之間具有錯誤率均一性，則每一頁群組較佳將由沿區塊等距地散佈之 n 個頁構成。若有問題群組存在，則此情形改良了對此群組之偵測，此係由於與被預期歸因於散佈而具有約略相同之經累積BER的所有其他群組相比較，有問題群組將具有顯著不同的經累積BER。

在每一記憶體胞儲存3個位元的X3快閃記憶體系統中，考慮(例如)包含256個邏輯頁之區塊。在此狀況下，第一下部頁將為頁0，且第一上部頁將為頁2，兩個頁皆儲存於同一字元線(比方說，WL0)中。第二下部頁將為頁3，且第二上部頁將為頁5，其皆儲存於WL1中，等等。為了產生沿所有字元線散佈之頁群組，可將複數個下部頁及上部頁交錯至頁群組中。舉例而言，若每一頁群組將包含9個邏輯

頁，則將需要19個群組，且可選擇交錯如下：

頁群組0：	0	29	57	86	114	143	171	200	228
頁群組1：	2	30	59	87	116	144	173	201	230
頁群組2：	3	32	60	89	117	146	174	203	231
頁群組3：	5	33	62	90	119	147	176	204	233
頁群組4：	6	35	63	92	120	149	177	206	234
頁群組5：	8	36	65	93	122	150	179	207	236
頁群組6：	9	38	66	95	123	152	180	209	237
頁群組7：	11	39	68	96	125	153	182	210	239
頁群組8：	12	41	69	98	126	155	183	212	240
頁群組9：	14	42	71	99	128	156	185	213	242
頁群組10：	15	44	72	101	129	158	186	215	243
頁群組11：	17	45	74	102	131	159	188	216	245
頁群組12：	18	47	75	104	132	161	189	218	246
頁群組13：	20	48	77	105	134	162	191	219	248
頁群組14：	21	50	78	107	135	164	192	221	249
頁群組15：	23	51	80	108	137	165	194	222	251
頁群組16：	24	53	81	110	138	167	195	224	252
頁群組17：	26	54	83	111	140	168	197	225	254
頁群組18：	27	56	84	113	141	170	198	227	255

在表1之EPWR程序「偽碼」中提供產生頁群組之系統方法。

作為可疑區塊之準則，一實例為考慮在程式化之後立即具有 $BER > 0.2\%$ 之一或多個頁的區塊。因此，每頁之BER臨限值可定義為 $BER_{TH}=0.2\%$ 。區塊之EPWR程序將產生19個BER估計： $w_0, w_1, \dots, w_{18}$ (對於每一頁群組有一個校正子權數)。使 $BER_{max} = \max_{i \in \{0,1,\dots,18\}} \{w_i\}$ ，且 $BER_{min} = \min_{i \in \{0,1,\dots,18\}} \{w_i\}$ 。將基於 BER_{max}, BER_{min} 來偵測可疑區塊，若：

$$BER_{max} - \frac{n-1}{n}BER_{min} > BER_{TH}$$

則 $\Rightarrow BER_{max} + 8 \cdot (BER_{max} - BER_{min}) > 9 \cdot BER_{TH}$

在滿足以上條件之狀況下，接著藉由讀取群組之9個頁

中之每一者中的第一E區塊且對該第一E區塊執行BER估計以產生估計 w 來進行對應於 $w_{\max}$ 的頁群組之仔細檢驗。對於群組中之一或多個頁，若 $w > BER_{TH}$ ，則將該區塊標記為可疑的。最差群組之此檢驗花費的時間將佔區塊之BPWR時間的少於10%。因此，「假警報」之損失為相對小的。

當偵測到可疑區塊時，各種操作類似於在先前章節中論述的彼等操作。舉例而言，區塊之資料可被再程式化至不同區塊中(由於資料有風險)。另外，若先前將區塊標記為可疑的(亦即，此係在該區塊中第二次偵測到問題)，則可將該區塊標記為不良的。

在此實例中，可疑區塊之條件經選擇為保守的以便以較高數目個假警報為代價避免漏偵測，該等假警報將藉由對最差頁群組(對應於 $BER_{\max}$)之仔細檢驗來屏蔽。請注意，假警報之損失為相對小的--在假警報之狀況下，最差群組中之9個頁需要被讀取，且基於9個頁之第一E區塊來估計9個頁的BER。此情形花費之時間占區塊之EPWR時間的少於10%。

該可疑區塊條件所基於的推理係如下：漏偵測之最危險狀況為最差群組包括一「不良」頁，而所有其他 $n-1$ 個頁為極好的。為了捕獲此情況，假定此最差群組中之極好頁具有等於最佳群組之平均BER的BER--亦即，良好頁之 $BER = \frac{BER_{\min}}{n}$ 。接著，藉由下式給出最差群組中之「不良」

頁的BER：

$$BER_{max} - (n-1) \cdot BER(\text{良好的頁}) = BER_{max} - (n-1) \cdot \frac{BER_{min}}{n}。$$

在假警報率為高之狀況下，接著可略微變更以上條件。稍不保守之替代性條件可為： $BER_{max} - \frac{n-1}{n} BER_{avg} > BER_{TH}$ ，其中 BER_{avg} 為最好之 k 個群組之 BER 估計的平均值，其中 k 可經最佳化。以此方式，將良好頁之代表性 BER 判定為被預期僅具有良好頁之群組的平均 BER。歸因於鄰近頁在不同頁群組中之散佈，預期存在至多 4 個具有不良頁的頁群組。斷裂字元線將貢獻將在兩個不同頁群組中的 2 個不良頁(下部頁及上部頁)。字元線至字元線短路可貢獻將在 4 個不同頁群組中的 4 個不良頁(來自鄰近字元線之兩個下部頁及兩個上部頁)。因此，若將 BER_{avg} 計算為最好之 k 個群組的平均 BER(其中 k 小於 16)，則 BER_{avg} 應為對不包括不良頁之群組的平均值。舉例而言，選擇 $k=10$ 將意謂對區塊之較好一半進行平均。

此章節之各種態樣在美國專利申請案第 13/193,083 號中進一步論述。

EPWR 程序之偽碼：

$m=0;$

對於 $i=0$ 至 18

群組 i 之 % EPWR :

$k=m;$

將頁 # k 讀取至 ADL 中($ADL = \text{頁} \#k$) ;

$k=k+29-0.5*\text{mod}(k,3);$

對於 $j=1:8$

讀取頁 # k ，並對頁 # k 與 ADL 進行 $NXOR$ 運算 ($ADL = ADL \text{ NXOR } \text{頁 } \#k$)；

$k=k+29-0.5*\text{mod}(k,3)$;

結束

將 $NOTADL$ 傳送至 XDL ($XDL=NOTADL$)；

將 XDL 之第一 E 區塊傳送至控制器。

使用 ECC 解碼器執行所傳送 E 區塊的 BER 估計以產生 BER 估計 w_i ；

更新 $w_{\max}$ 及 $w_{\min}$ ；

$m=m+2-\text{mod}(i,2)$;

結束

若 $BER_{\max} + 8 \cdot (BER_{\max} - BER_{\min}) > 9 \cdot BER_{TH}$ ，則區塊為可疑的，且需要對對應於

$BER_{\max}$ 的頁群組之仔細檢驗。

表 1

EPWR 比較源 SLC 頁與目的地 MLC 頁

在此章節中，藉由比較源 SLC 頁與目的地 MLC 頁來量測位元錯誤率。此情形可在記憶體電路中內部地進行，從而允許在快閃晶粒內進行整個 EPWR 處理，此情形尤其適用於單一控制器正為大量快閃晶粒服務的狀況。可使用此技術之具有 SLC 非揮發性記憶體分區及 MLC 非揮發性記憶體分區兩者的配置係呈二進位快取記憶體配置，在該二進位快取記憶體配置中，資料最初被寫入至非揮發性記憶體部分中，接著摺疊至多狀態部分中。在皆於 2009 年 1 月 5 日申請之以下美國專利申請案或臨時申請案第 12/348,819 號、第 12/348,825 號、第 12/348,891 號、第 12/348,895 號、第

12/348,899號及第61/142,620號中揭露了關於二進位快取記憶體結構之更多細節。在2009年6月5日申請之美國專利申請案第12/478,997號及2009年12月10日申請之美國專利申請案第12/635,449號中可找到關於摺疊操作的更多細節。

相對於先前章節之技術，存在此章節之技術可更有效的場合。第一場合為在使用並不具有BER估計能力之解碼器時，且亦在被允許為錯誤的位元之數目與解碼器之校正能力相比較大時。另一場合為當晶粒之數目為大的且頁的所有資料皆需要被傳送至控制器且BER估計時間增大時，在該狀況下，將所有處理維持於快閃晶粒中存在優點。

返回至本章節之技術，藉由比較源SLC頁與目的地MLC(在此實例中為D3)頁來暗示BER。例示性實施例藉由對對應的成對SLC頁與MLC頁進行互斥或運算並計數經互斥或運算之頁中的「1」之數目來進行此操作，此係由於此等「1」表示寫入於SLC及MLC中之頁之間的失配。在資料儲存於D3中時當快閃管理韌體使用二進位快取(BC)時，此方法為有益的：例如，所有使用者資料首先被置於BC(SLC分割區)中且接著在背景或半背景摺疊操作中加以複製(在程式化至SLC完成之後延遲向主機發送就緒)。

一般概念示意性地說明於圖33中。當在記憶體系統1100處接收到供程式化之資料時，首先在控制器電路1101處接收該資料，如在「a」處所展示。接著將資料傳送至記憶體晶片1103中之一者，在該記憶體晶片1103處，最初將資料寫入至二進位快取記憶體的SLC部分1105中，如在「b」

處所展示。如在「c」處所展示，接著將資料自SLC分區1105寫入至MLC分區1107中。接著自MLC分區(「d」)1107讀取一或多個頁(例如，一個區塊之頁)，接著與自SLC分區1105讀取(亦為「d」)之相同頁比較，其中用於比較之電路由區塊1109來表示。如下文所論述，讀取並比較彼等頁之次序可能有數個變化。基於比較，如在「e」處所展示，結果可被報告出至控制器，且按需要採取適當之校正動作。

假定寫入至SLC頁之資料為相對可靠的(具有關於新資料(「剛剛經程式化」)之比方說 $\sim 1\text{E}-5$ 的所估計BER)，而用於判定區塊係不良之D3可靠性臨限值為(例如)約 $\sim 1\text{E}-3$ ，則藉由檢查「1」之數目比較SLC頁與D3頁提供關於X3頁之可靠性的準確估計。舉例而言，假定X3頁應提供不高於 $\sim 0.1\%$ 之BER，則在1 KB資料(+同位)中，所預期錯誤位元之數目應不超出 ~ 9 位元。

與用於將資料傳送至控制器且在控制器中執行計數所需要之時間相比較，在快閃晶粒內使用位元掃描計數1 KB層的「1」之數目以發現達如此小數目之位元(例如，16個位元)將花費較少時間。因此，儘管可在控制器上抑或在記憶體器件上對「1」之數目進行計數，但較佳在快閃晶粒中內部地進行計數(且因此避免控制器涉入)，此係由於不同於上一章節之方法，因為不需要將資料傳送至控制器，故計數可在所有快閃晶粒內同時進行。在計數器飽和的狀況下(可能很少有)，則系統可轉至控制器以計數較大數目(其中快閃晶粒內之內部位元掃描操作將慢於傳送及在控

制器中計數)。

相對於前述章節之方法，此方法的相對缺點在於，該方法除讀取目標MLC區塊外亦需要讀取3個SLC源區塊(對於D3實例)(此情形使讀取時間粗略地加倍)。另一方面，若計數在記憶體分區中內部地進行，則此方法可在無控制器涉入的情況下進行。當晶粒之數目為大的且控制器變為瓶頸時，此情形可為特別有利的，因為其將允許使晶粒之EPWR操作並行化。所提議方法之另一可能缺點為，該方法將不偵測發生於SLC區塊中之問題，此係由於錯誤將被複製至MLC區塊中且接著當執行SLC頁與MLC頁之間的互斥或運算時予以消除。然而，由於NAND故障發生於SLC區塊中之機率遠低於NAND故障發生於MLC區塊中的機率，因而此問題無關緊要。

為了進一步減小對「1」進行計數花費的時間，在進行比較之前，可對若干SLC頁及MLC頁一起進行互斥或運算。若位元錯誤之數目足夠小，則在對10個MLC頁與10個SLC頁進行互斥或運算並將結果送至單一鎖存器中之後，錯誤之總數將仍足夠小以便在快閃晶粒內快速地進行計數，因而在快閃晶粒中掃描錯誤可為較佳的。然而，若位元之數目為大的，則有可能將結果提取至控制器，在控制器中可在傳送自身期間進行計數。此情形將導致與先前章節中類似的自快閃晶粒至控制器的傳送時間；然而，此情形一方面將節省BER估計時間，但另一方面將添加SLC感測時間。在配置資料使得MLC資料在一平面中且對應SLC

資料在另一平面上之狀況下，則一些實施例可允許同時感測SLC頁與MLC頁。(此情形意謂，系統應支援快閃晶粒中之SLC感測及MLC逐頁感測。)

比較此章節之方法與前述章節之方法且考慮所涉及之相對時間的估計，在上一章節中描述之總EPWR程序將需要讀取N個SLC區塊花費之時間加上讀取一MLC區塊花費之時間加上對所有頁進行互斥或運算的時間。此EPWR時間對於一個晶粒、兩個晶粒及四個晶粒將保持基本相同，此係由於歸因於對控制器的低頻寬要求，EPWR可在所有晶粒中並行地進行。

圖34至圖36為EPWR之一些例示性實施例的流程。在頁已被寫入至SLC記憶體分區及MLC記憶體分區之後(亦即，在圖33中之「c」之後)，此等流程中之每一者加速EPWR階段處之寫入程序。通常，在已寫入完整MLC區塊之後進行該程序，使得可考慮到所有所寫入字元線彼此之間的累計效應；然而，更一般而言，可在已寫入了任何數目個MLC頁之後進行該程序。舉例而言，在由圖34說明之第一變化中，以MLC頁與來自二進位分區之相同頁的個別比較(此處，互斥或運算)來開始。

現轉至圖34，此程序可對每個晶粒同時執行，且在例示性實施例中，在每一MLC(此處，D3)區塊已被程式化之後進行。該圖考慮關於單一晶粒或平面之流程，且所選擇MLC區塊已被程式化。在1201處，自記憶體之MLC部分感測頁，且在1203處，自原始二進位頁感測頁。此等兩個步

驟之次序當然可顛倒，或甚至同時執行，若記憶體器件支援此情形。在1205處，藉由(例如)對兩個版本進行互斥或運算來比較該兩個版本。儘管可在控制器處進行此比較，但當在快閃器件自身上執行此比較時可獲得此實施例之大部分優點。由於在進行互斥或運算時頁之兩個版本之間的任何差異將展示為「1」，因此在1207處，對每一層(例如，此處1 KB單元)執行對為「1」之結果的位元掃描直至給定臨限值(例如，此處為16)。在1209處，若此計數超出(在此實例中)16(少有狀況)，則在1211處將頁傳送出至控制器，且(例如)在1213處可接著在控制器之快閃介面模組中對「1」之數目進行計數。若「1」(錯誤)之數目超出臨限值(1215處之「是」)，則在1217處，控制器在其資料管理結構中將該區塊標記為可疑的。舉例而言，1215處以及1209處之臨限值可係基於可設定之韌體參數。若「1」之數目係在限界內(1209或1205處之「否」)，則在1219處，流程迴圈回至1201以處理下一頁(若存在更多供檢查之頁)，否則繼續至下一程序(下一程序可為下一區塊之EPWR或其他操作)。

關於決策1215相對於自1219之迴圈回的關係，可使用不同變化。在一狀況下，就關於決策1215相對於自1219之迴圈回的關係可使用不同變化而言，可並行地進行1219之程序。在一狀況下，1219之程序可與1211、1213、1215並行進行；或者，系統可進行1211、1213、1215，且在繼續行進至1219之前等待1215之答案為否。(類似備註可適用於

圖 35 中之路徑 1317 至 1321，及圖 36 中的 1419 至 1421。)此等變化中之第一者允許系統在不等待答案的情況下繼續，從而維持高效的管線式操作。第二變化(等待 1215 處之答案)常常將為韌體之較簡單實施，但通常在讀取及傳送之管線式操作方面為效率較低的。

返回至 1217，此處，若在 1215 處頁超出臨限值，則在 1217 處將區塊標記為可疑的，且不檢查區塊之剩餘頁(或正被檢查之頁的其他群組)。然而，在其他狀況下，區塊之剩餘頁可被檢查以較好地體現區塊中之錯誤量。在此狀況下，流程將自 1217 行進至 1219，且 1217 之後的流程將替代地在所有頁進行檢查之後進行。在任何狀況下，在例示性實施例中，若發現區塊為可疑的，且係第一次檢查(在 1221 處判定)，則在 1223 處重寫資料，且接著再次進行檢查，如由迴圈回展示。若「1」(錯誤)之數目第二次超出臨限值，且任一 E 區塊的「1」(錯誤)之數目超出臨限值，則控制器可將對應晶粒中之區塊標記為不良的，且不再使用該區塊，以及採取在先前章節中論述之各種校正動作(1225)。在此實施例中，1225 之動作僅在第二次檢查後進行，但在其他狀況下，1225 之動作可在第一輪次進行而非僅在 1217 處標記為可疑的；或者，可首先嘗試一或多次額外重寫。

圖 35 說明偶爾使用若干頁之結合比較的另一變化。更具體而言，該變化形成頁群組的結合比較，且執行對作為整體的群組之單一檢查，其中通常將區塊分解成數個此等群

組。(此情形類似於針對上一章節之複合結構進行的情形。)如同以上圖34(及以下圖36)一樣，此流程加速併入有EPWR程序的較大程式化操作內之EPWR程序，且可在每一晶粒中同時且在每一MLC區塊經程式化之後進行。

於1301處開始，讀取第一頁群組之MLC頁，在1303處讀取對應的原始二進位頁。在1305處，再次較佳地在記憶體晶片自身上進行MLC頁與對應原始二進位頁的互斥或運算。在1307處，感測下一MLC頁，並與保存1305之結果的鎖存器進行互斥或運算。記憶體接著在1309處感測對應於1307之頁的二進位原始頁，並對該二進位原始頁與保存1305之結果的鎖存器進行互斥或運算。對於群組之所有頁重複此操作(自1311起之迴圈)，在此操作之後，可將資料發送至控制器(1313)，在1313之操作期間，系統可對串流中之「1」的數目進行計數(1315)。若「1」(錯誤)的數目超出臨限(在1317處進行檢查)，則將區塊標記為可疑的(1319)。若存在更多待檢查的頁(1321)，則針對此等頁完成該程序。在此實例中，展示了出自比較1317之在1321上游返回之「否」路徑，但出自1321之迴圈亦可在此決策之前開始並並行地繼續。且如同圖34一樣，一旦將區塊標記為可疑的，程序可立即轉至1323，或可首先檢查區塊之剩餘部分。亦如同圖34一樣，一旦將區塊標記為可疑的，若任一E區塊的「1」(錯誤)之數目超出臨限值，則區塊可經再程式化，再次檢查，且進行相應處理(1323、1325、1327)。在圖35之流程中，請注意，1301及1303之次序為

可互換的。又，步驟1305及1307之次序為可互換的。又，對同一集合內之任何SLC與MLC進行互斥或運算的次序為可互換的：舉例而言，系統可以任何次序對所有SLC頁進行互斥或運算，且接著對所有MLC頁進行互斥或運算至同一鎖存器。或者，系統可使鎖存器清零，且接著繼續進行互斥或運算，該等互斥或運算中的每一者係至同一鎖存器。在圖36之變化中表達此方法。

圖36以使用於隨後互斥或運算之鎖存器清零開始，使鎖存器清零在此處包括於1401處(儘管在之前為隱含的)。在1403處感測MLC頁，且在1405處對感測到之MLC頁進行互斥或運算並將結果送至鎖存器，針對群組之所有MLC頁重複出自1407之迴圈的程序。接著讀取SLC頁(1409)，且在出自1413之迴圈中針對群組之所有對應頁對SLC頁進行互斥或運算，結果送至鎖存器中(1411)。在流程中，讀取MLC頁及對應二進位頁及對兩者進行互斥或運算的次序為可互換的。圖36之剩餘部分接著如同圖35之對應要素一樣進行。

對於此等變化中之任一者，可使用一根據某一統計行為做出區塊是否為不良的決策之實施例。舉例而言，可將區塊之該等頁分成群組。對於每一群組，針對每一群組執行流程之在將區塊標記為可疑的之前的初始部分。系統可接著將每群組之「1」之平均數目計算為所有群組上之所有「1」的總和除以群組之數目。系統可接著檢查最差群組(具有最大數目個「1」)上之「1」的數目是否超出係平均值之函數的某一臨限值，且系統之決策以此量測為基礎。

結 論

前述章節之技術可提供數個優點，包括顯著較快之EPWR操作。該等優點亦可需要控制器與記憶體之間的匯流排之較小頻寬。該等優點可進一步需要來自控制器硬體之較小頻寬。各種實施例允許記憶體系統中的高效多晶粒EPWR操作。

為了說明及描述，已呈現了本發明之前述[實施方式]。[實施方式]不欲為詳盡的或將本發明限於所揭示之精確形式。依據以上教示，許多修改及變化係可能的。選擇所描述之實施例，以便最佳地解釋本發明之原理及其實際應用，藉此使熟習此項技術者能夠在各種實施例中且以適於所預期之特定用途的各種修改來最佳地利用本發明。意欲本發明之範疇由附加至此之申請專利範圍來界定。

【圖式簡單說明】

圖1說明與其中體現本發明之特徵的記憶體器件通信之主機。

圖2示意地說明非揮發性記憶體胞。

圖3說明記憶體胞之NOR陣列之一實例。

圖4說明正被並行地感測或程式化之組織成(例如)NAND組態的記憶體胞之頁。

圖5A更詳細地說明展示於圖1中的感測模組，其含有跨越記憶體胞陣列之一組p個感測模組。

圖5B說明包括感測放大器之感測模組。

圖6示意性地說明組織成可抹除區塊之記憶體陣列的一

實例。

圖7說明具有記憶體胞之群體的二進位記憶體，其中每一記憶體胞係處於兩個可能狀態中的一者。

圖8說明具有記憶體胞之群體的多狀態記憶體，其中每一記憶體胞係處於八個可能狀態中的一者。

圖9示意性地說明含有ECC欄位之資料頁。

圖10A展示錯誤率之常態分佈，其中群體的百分數係在標準偏差 σ 之各種範圍內。

圖10B以表格式說明圖10A的分佈。

圖11為列出快閃記憶體之主要錯誤源的表。

圖12為展示在實例記憶體器件之使用期限開始及結束時記憶體器件的所估計總錯誤之表。

圖13為說明習知ECC必須經設計以校正最壞狀況總錯誤 E_{TOT} 的表。

圖14A說明根據本發明之較佳實施例的正被分割成兩個部分的記憶體陣列。

圖14B說明將資料頁之第二複本重寫至圖14A之記憶體陣列之第一部分中。

圖15為說明根據描述於圖14A及圖14B中之實施例的寫入後讀取及適應性重寫之程序的流程圖。

圖16A說明根據本發明之較佳實施例的被分割成兩個部分且第一部分進一步具備快取記憶體分區及重寫分區的記憶體陣列。

圖16B說明根據寫入後讀取之較佳實施例的頁比較技

術。圖 16C 說明在寫入後讀取已判定第二部分中之資料頁中的過量錯誤量之後對第一部分的重寫。

圖 17 為說明根據描述於圖 16A 至圖 16C 中之實施例的寫入後讀取及適應性重寫之程序的流程圖。

圖 18 說明組織成抹除區塊的記憶體。

圖 19 為說明在記憶體器件已老化至如藉由熱計數判定之預定程度時啟用錯誤管理的流程圖。

圖 20A 說明根據本發明之較佳實施例正被分割成兩個部分的記憶體陣列。

圖 20B 說明圖 20A 之 D3 區塊未通過寫入後讀取測試的另一實例。

圖 20C 說明圖 20B 之新 D3 區塊再次未通過寫入後讀取測試的另一實例。

圖 21 為說明與增強型寫入後讀取錯誤管理相關聯之實例參數的表。該表較佳維持於儲存於記憶體中之檔案系統組態檔案中。

圖 22A 為說明如應用至具有 D1 至 D3 摺疊之記憶體的 EPWR 錯誤管理之較佳實施的流程圖。

圖 22B 更詳細地說明增強型寫入後讀取錯誤管理之器件存留期相依啟用特徵。

圖 22C 更詳細地說明增強型寫入後讀取錯誤管理之較佳實施。

圖 23(0)至圖 23(3)說明以較佳 2 位元邏輯碼(「LM」碼)編碼之 4 狀態記憶體的邏輯逐頁程式化。

圖 24A 說明辨別以 2 位元 LM 碼編碼之 4 狀態記憶體之下部位元所需的讀取操作。

圖 24B 說明辨別以 2 位元 LM 碼編碼之 4 狀態記憶體之上部位元所需的讀取操作。

圖 25(0)至圖 25(4)說明以較佳 3 位元邏輯碼(「LM」碼)編碼之 8 狀態記憶體的程式化。

圖 26A 示意性地說明含有類似於展示於圖 9 中之 ECC 欄位之 ECC 欄位的 ECC 頁。

圖 26B 說明構成資料頁之複數個 ECC 頁。

圖 27 為說明經加速 PWR 之一般實施例的流程圖。

圖 28 為說明在圖 27 中說明之經加速 PWR 之較佳實施例的流程圖。

圖 29 說明在已寫入字元線上之 3 位元記憶體胞之群組之後針對寫入後讀取所選擇的樣本。

圖 30 說明對 3 位元記憶體的資料狀態指派。

圖 31 為說明使用多頁之結合驗證的增強型寫入後讀取之態樣的例示性流程。

圖 32 展示對展示於圖 30 中之資料狀態的頂部頁及底部頁進行互斥或運算的結果。

圖 33 為寫入後驗證程序之示意性說明，其中將以二進位格式寫入之資料與以多狀態格式寫入之相同資料進行比較。

圖 34 至 36 為 EPWR 之一些例示性實施例的流程，其中將一或多個 MLC 頁與對應 SLC 頁進行比較。

【主要元件符號說明】

10	記憶體胞
14	源極
16	汲極
20	電荷儲存單元
30	控制閘極
34	位元線
36	位元線
40	WL解碼器
42	字元線
44	選擇線
50	NAND串
60	韌體
62	錯誤校正碼(「ECC」)處理器
70	頁
70'	資料頁
72'	使用者部分
74'	系統部分
76'	錯誤校正碼(ECC)
80	主機/ECC頁
82	使用者部分
84	系統部分
86	錯誤校正碼(ECC)
90	記憶體器件
100	記憶體晶片

102	控制器
110	晶片上控制電路
112	狀態機
200	記憶體胞之記憶體陣列
300	可定址抹除單元
302	熱計數 $N_{CYC}(m)$
410	第一部分
411	第一分區
412	第二分區
420	第二部分
430	資料鎖存器
440	I/O電路
480	感測模組
490	感測放大器
1100	記憶體系統
1101	控制器電路
1103	記憶體晶片
1105	單位階記憶體胞(SLC)部分
1107	多位階記憶體胞(MLC)分區
1109	區塊/用於比較之電路
A	記憶體狀態
B	記憶體狀態
BL0至BLx	位元線
C	記憶體狀態

CLSRC	聚 集 節 點
D	記 憶 體 狀 態
D_A	分 界 參 考 臨 限 值
D_B	分 界 參 考 臨 限 值
D_C	分 界 參 考 臨 限 值
D_D	分 界 參 考 臨 限 值
D_E	分 界 參 考 臨 限 值
D_F	分 界 參 考 臨 限 值
D_G	分 界 參 考 臨 限 值
DV_A	分 界
DV_B	分 界
DV_C	分 界
DV_D	分 界
DV_E	分 界
DV_F	分 界
DV_G	分 界
E	記 憶 體 狀 態
F	記 憶 體 狀 態
G	記 憶 體 狀 態
Gr	記 憶 體 狀 態
I_1	電 流
I_2	電 流
I_p	電 流
i_{TOT}	總 記 憶 體 胞 電 流

rV_1	讀取分界位準
rV_2	讀取分界位準
rV_3	讀取分界位準
rV_4	讀取分界位準
rV_5	讀取分界位準
rV_6	讀取分界位準
rV_7	讀取分界位準
S1	選擇電晶體/源極選擇電晶體
S2	選擇電晶體/汲極選擇電晶體
SGS	選擇線
SGD	選擇線
V_T	臨限電壓
vV_1	驗證分界位準
vV_2	驗證分界位準
vV_3	驗證分界位準
vV_4	驗證分界位準
vV_5	驗證分界位準
vV_6	驗證分界位準
vV_7	驗證分界位準
WL0	字元線
WL0至Wly	字元線
WL1	字元線
WL3	字元線

七、申請專利範圍：

1. 一種操作一非揮發性記憶體系統之方法，該非揮發性記憶體系統包括一控制器電路及經由一匯流排結構連接至該控制器電路的一記憶體電路，該記憶體電路具有非揮發性記憶體之以二進位格式儲存資料的一第一分區，及非揮發性記憶體之以一每記憶體胞N位元之多狀態格式儲存資料的一第二分區，其中N為二或大於二之一整數，該方法包含：

在該控制器電路處自一主機接收複數個至少N個資料頁；

經由該匯流排結構將該複數個頁自該控制器電路傳送至該記憶體電路；

將該複數個頁寫入該記憶體電路之該第一分區中之對應複數個字元線上；

將來自記憶體之該第一分區之該對應N個字元線的N個資料頁寫入至該記憶體電路之該第二分區的一單一字元線上；

自該記憶體之該第二分區讀取所寫入的該等資料頁中之一第一者，且自該記憶體之該第一分區讀取所寫入的該等資料頁中之一第一者；

在該記憶體電路上執行自該記憶體之該第二分區讀取之第一資料頁與自該第一分區讀取之該第一資料頁的一比較；

基於該比較，判定寫入至該第二分區中之該第一資料

頁是否被潛在損毀。

2. 如請求項1之方法，其中在該記憶體電路上執行該判定。

3. 如請求項2之方法，其進一步包含：

回應於判定寫入至該第二分區中之該第一資料頁被潛在損毀，將該判定之一指示自該記憶體電路發送至該控制器電路。

4. 如請求項3之方法，其進一步包含：

在該控制器電路上執行關於寫入至該第二分區中之該第一資料頁是否被潛在損毀的一進一步判定；及

回應於進一步判定寫入至該第二分區中之該第一資料頁被潛在損毀，將該第一資料頁重寫至記憶體之該第二分區中。

5. 如請求項1之方法，其中該第二分區由複數個抹除區塊形成，且其中在該第一頁被寫入至之完整區塊的寫入之後執行該自該記憶體之該第二分區讀取所寫入之該等資料頁中之該第一者。

6. 如請求項5之方法，該方法進一步包含：

在該記憶體系統之一記憶體管理結構中將該第一頁寫入至之該區塊標記為有缺陷的。

7. 如請求項1之方法，其進一步包含：

經由該匯流排結構將該比較自該記憶體電路傳送至該控制器電路，其中在該控制器電路上執行該判定。

8. 如請求項1之方法，其中該執行一比較包括：

執行自該記憶體之該第二分區讀取之該第一資料頁與自該第一分區讀取之該第一資料頁的一互斥或運算；及其中該判定包括計數由該互斥或運算產生之1的一數目。

9. 一種操作一非揮發性記憶體系統之方法，該非揮發性記憶體系統包括一控制器電路及經由一匯流排結構連接至該控制器電路的一記憶體電路，該記憶體電路具有非揮發性記憶體之以二進位格式儲存資料的一第一分區，及非揮發性記憶體之以一每記憶體胞N位元之多狀態格式儲存資料的一第二分區，其中N為二或大於二之一整數，該方法包含：

在該控制器電路處自一主機接收複數個至少N個資料頁；

經由該匯流排結構將該複數個頁自該控制器電路傳送至該記憶體電路；

將該複數個頁寫入該記憶體電路之該第一分區中之對應複數個字元線上；

將該等資料頁自記憶體之該第一分區寫入至記憶體之該第二分區中，其中對於寫入於該第二分區中之每一字元線而言，來自記憶體之該第一分區的N個對應字元線之N個資料頁被寫入至該第二分區之一單一字元線上；

自該記憶體之該第二分區讀取所寫入的第一複數個資料頁且自該記憶體之該第一分區讀取所寫入的第一複數個資料頁，且自該記憶體之該第一分區讀取所寫入的該

第一複數個頁；

在該記憶體電路上執行自該記憶體之該第二分區讀取之該第一複數個資料頁與自該第一分區讀取之該第一複數個資料頁的一結合比較；

基於該結合比較，判定寫入至該第二分區之該第一複數個頁是否包括一潛在損毀之資料頁。

10. 如請求項9之方法，其中形成一結合比較包括：

執行自該記憶體之該第二分區讀取之該第一複數個資料頁與自該第一分區讀取之該第一複數個資料頁的一互斥或運算。

11. 如請求項10之方法，其中該判定包括：計數由該互斥或運算產生之1的一數目。

12. 如請求項10之方法，其中執行該互斥或運算包括：

針對該第一複數個資料頁中之每一者，執行自記憶體之該第二分區讀取之該頁與自記憶體之該第一分區讀取之該頁的一互斥或運算；及

隨後針對該第一複數個資料頁中之每一者，執行自記憶體之該第二分區讀取之該頁與自記憶體之該第一分區讀取之該頁的該等互斥或運算之一互斥或運算。

13. 如請求項10之方法，其中執行該互斥或運算包括：

對於全部該第一複數個資料頁，執行自記憶體之該第二分區讀取之該等頁的一互斥或運算；

對於全部該第一複數個資料頁，執行自記憶體之該第一分區讀取之該等頁的一互斥或運算；及

隨後執行自記憶體之該第二分區讀取之該等頁的該互斥或運算與自記憶體之該第一分區讀取之該等頁的該互斥或運算之一互斥或運算。

14. 如請求項9之方法，其中第一複數個資料頁包括寫入至該第二分區之相同字元線的多個頁。

15. 如請求項9之方法，其中該第二分區由複數個抹除區塊形成，且其中該第一複數個頁對應於該第二分區之一區塊的資料內容，且該將該等資料頁自記憶體之該第一分區寫入至記憶體之該第二分區寫入該第二分區的一完整區塊。

16. 如請求項9之方法，其中在該記憶體電路上執行該判定。

17. 如請求項16之方法，其進一步包含：

回應於判定寫入至該第二分區之該第一複數個頁包括一潛在損毀之資料頁，將該判定之一指示自該記憶體電路發送至該控制器電路。

18. 如請求項17之方法，其中該第二分區由複數個抹除區塊形成，且該方法進一步包含：

在該控制器電路上執行一關於寫入至該第二分區中之該第一複數個頁是否包括一潛在損毀之資料頁的進一步判定；

回應於進一步判定寫入至該第二分區中之該第一複數個頁包括一潛在損毀之資料頁，將該第一複數個頁所寫入至之該區塊的資料重寫至記憶體之該第二分區的另一

區塊中。

19. 如請求項18之方法，其中在該藉由該第一複數個頁對一完整區塊進行寫入之後執行該自該記憶體之該第二分區讀取該第一複數個頁。

20. 如請求項19之方法，該方法進一步包含：

在該記憶體系統之一記憶體管理結構中將該第一頁寫入至之該完整區塊標記為有缺陷的。

21. 如請求項9之方法，其進一步包含：

經由該匯流排結構將該結合比較自該記憶體電路傳送至該控制器電路，其中在該控制器電路上執行該判定。

八、圖式：

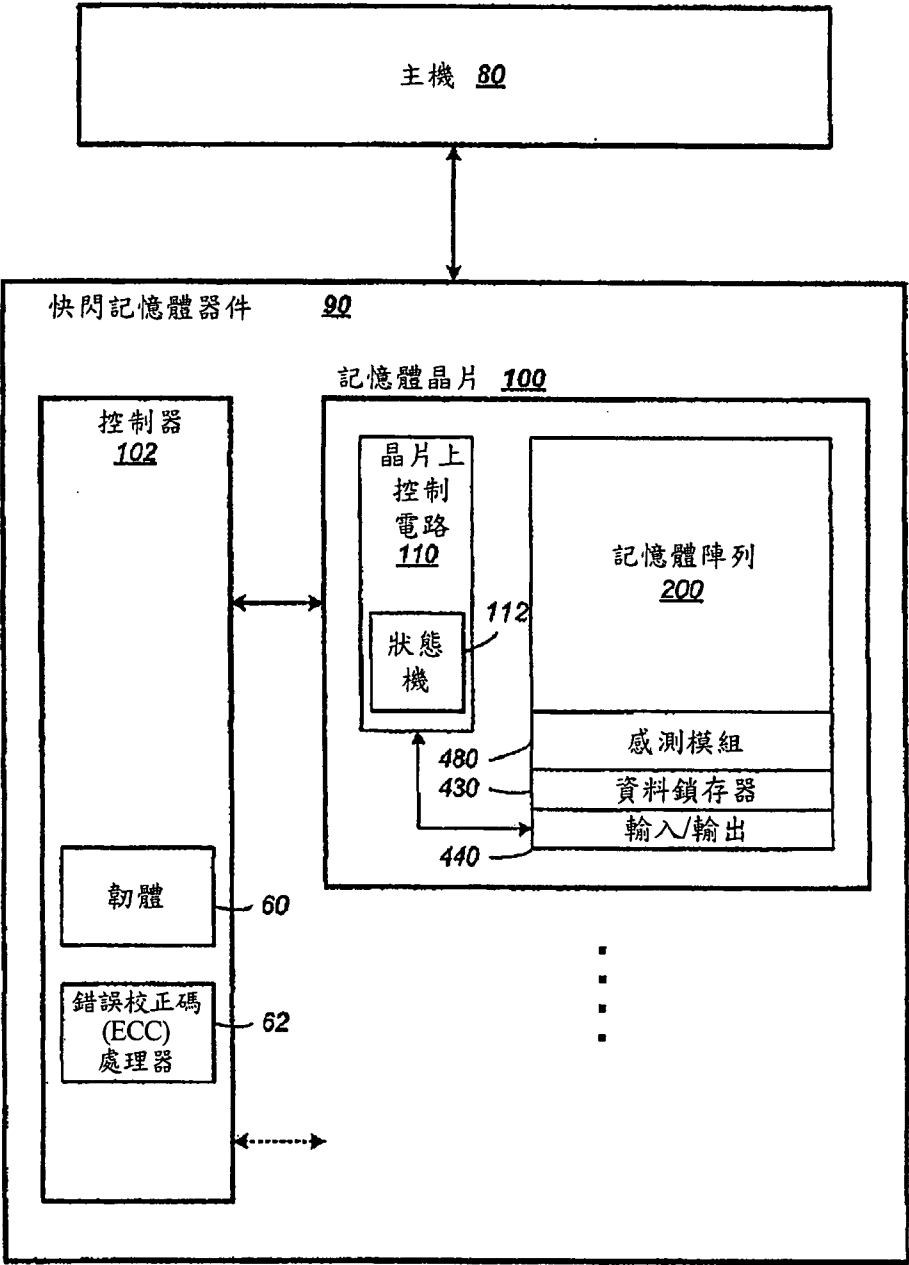


圖 1

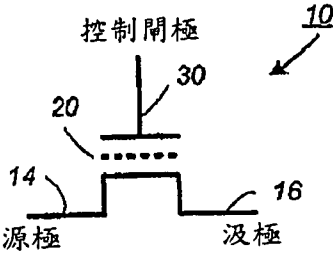


圖2

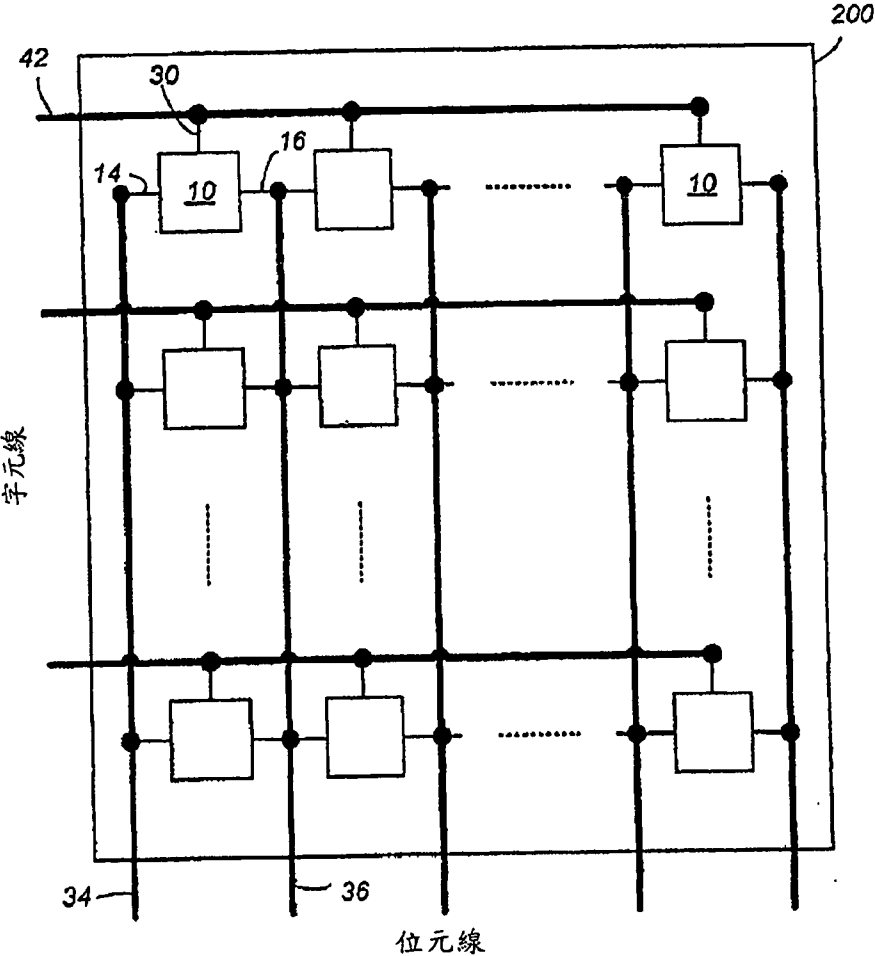


圖3

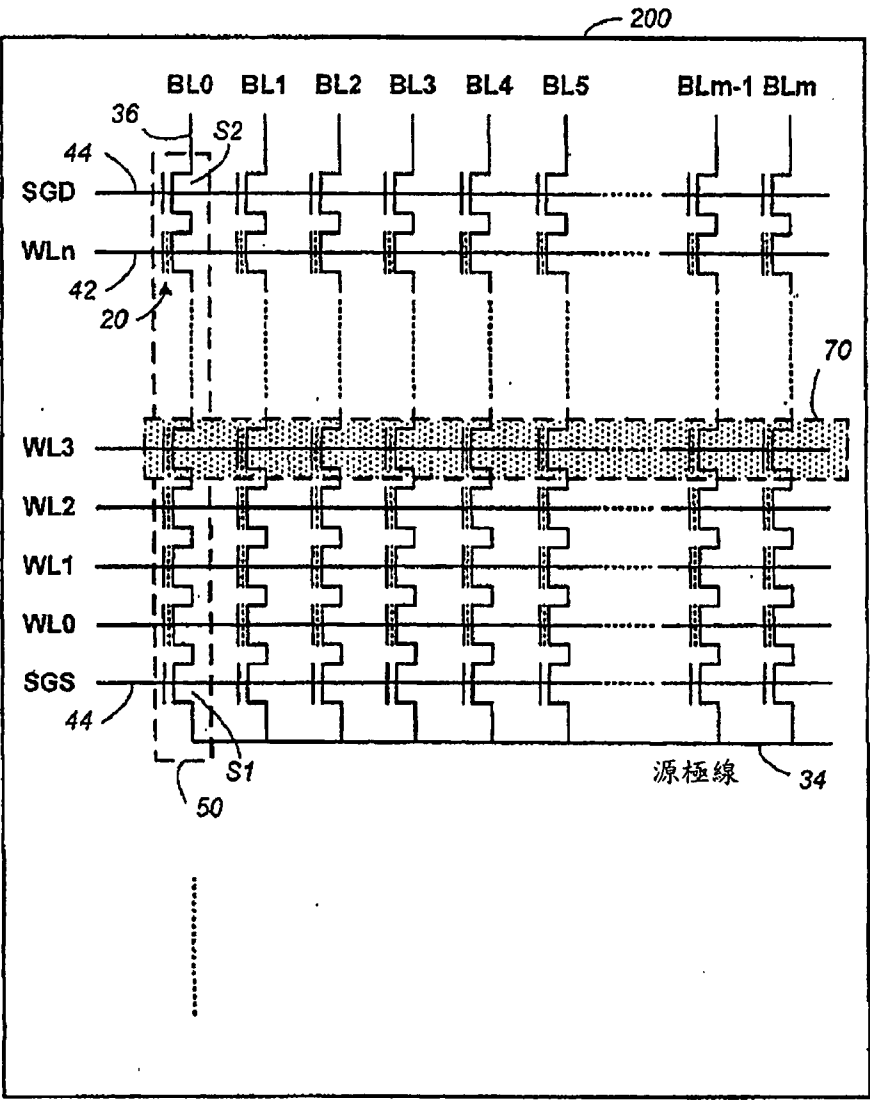


圖4

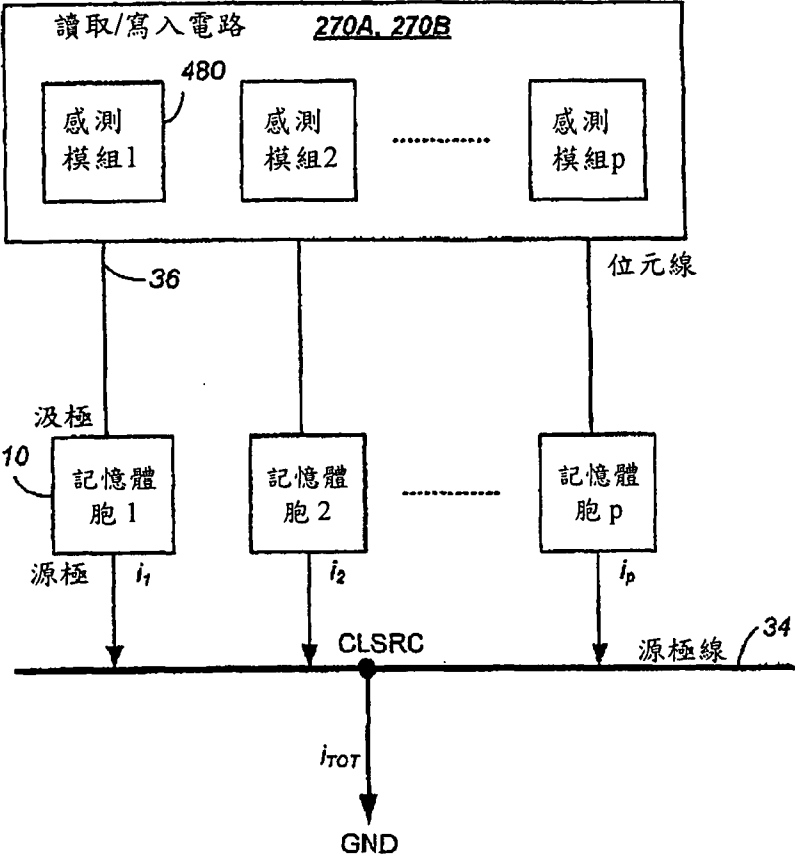


圖 5A

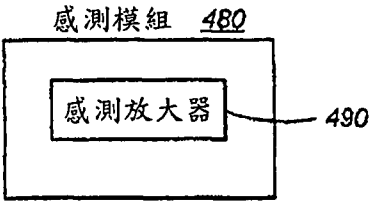


圖 5B

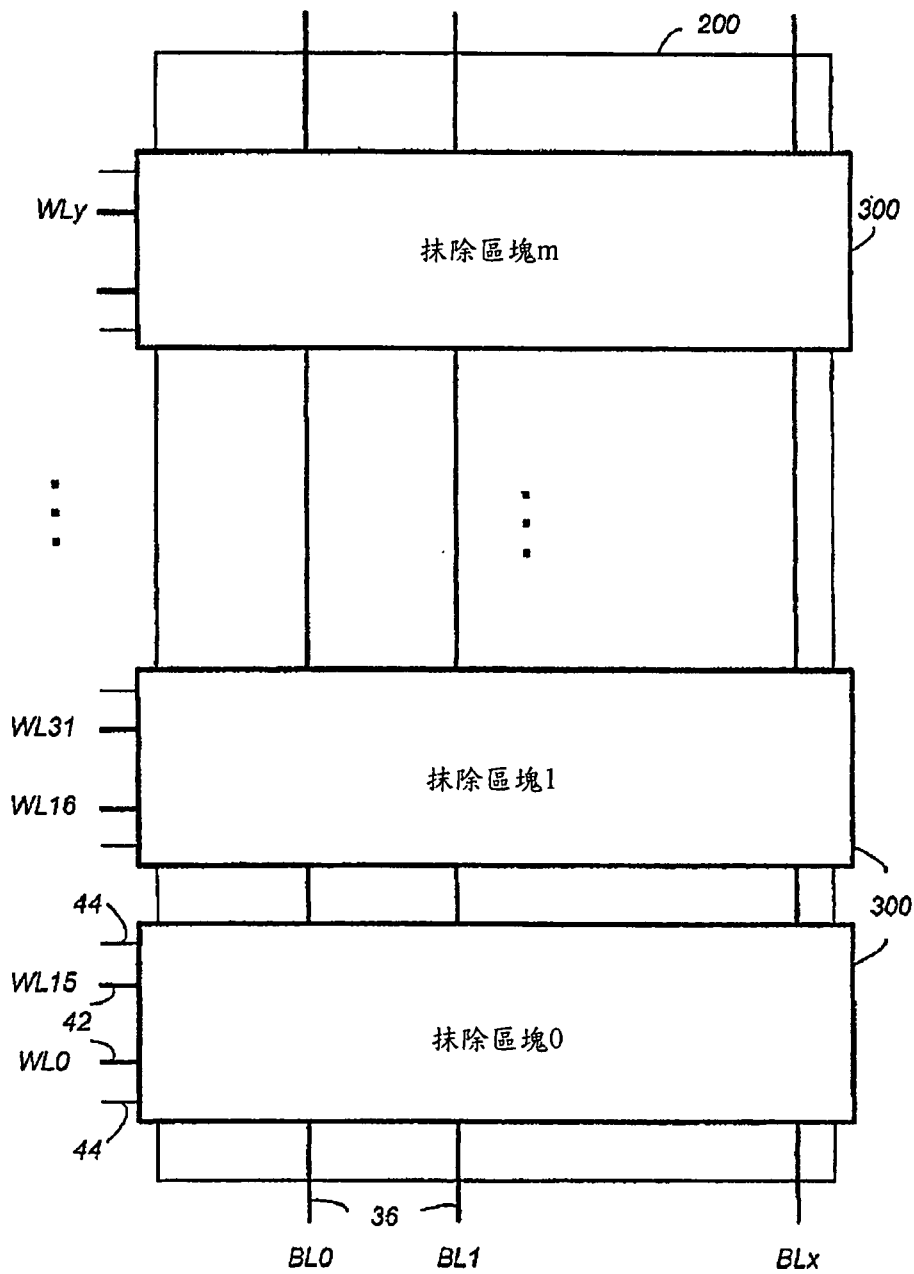
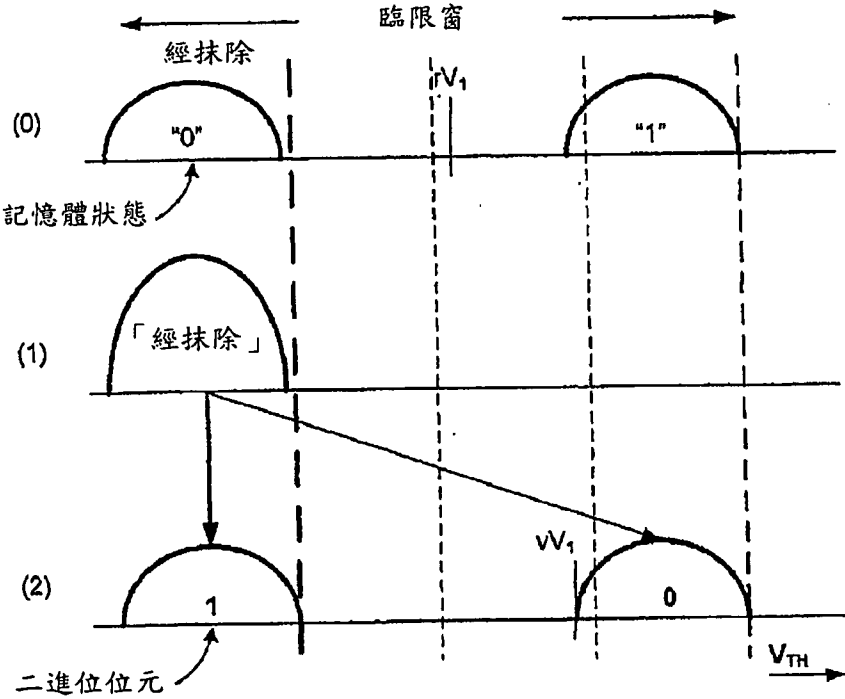
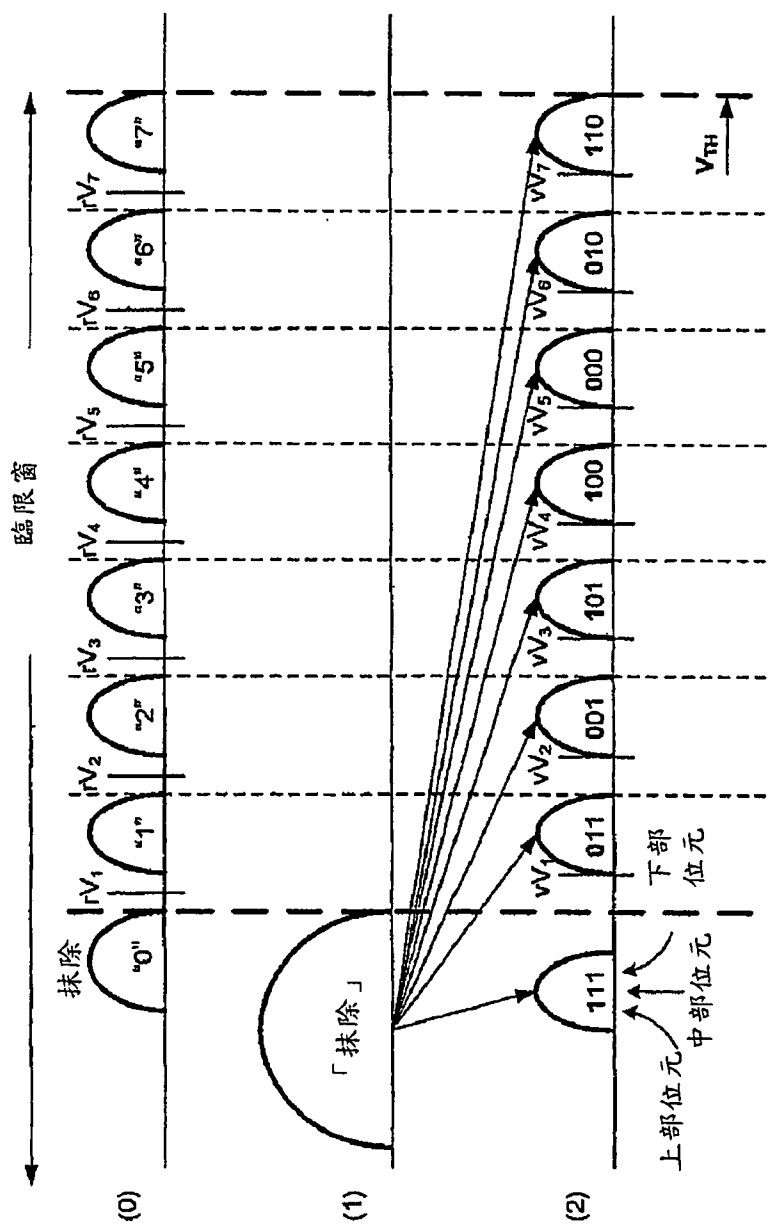


圖6



程式化為由1位元碼表示的兩個狀態

圖7



程式化為由3位元碼表示的四個狀態

圖8

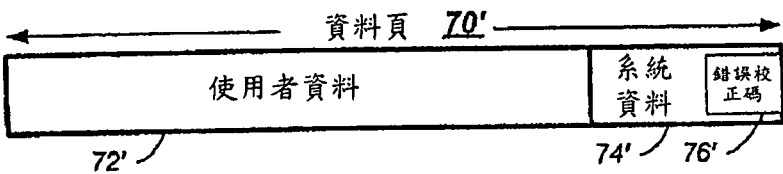


圖 9

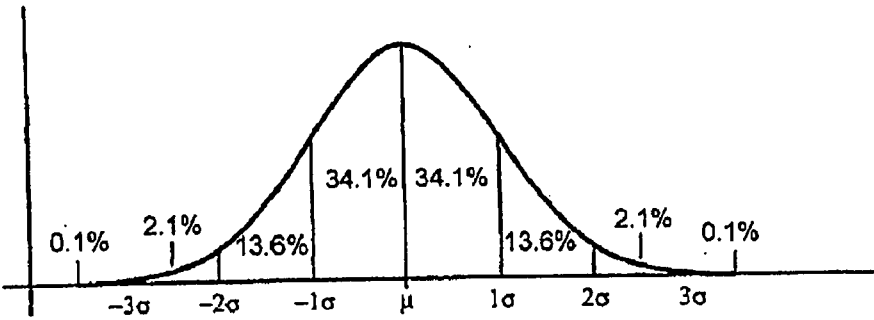


圖 10A

西格瑪值	累計值	累計%	使用期限結束(EOL)時之錯誤率實例
1σ	1.59E-01	15.86500000%	...
1.645σ	5.00E-02	5.00000000%	1個位元
1.960σ	2.50E-02	2.50000000%	...
2σ	2.28E-02	2.27500000%	2個位元
2.576σ	5.00E-03	0.50000000%	...
3σ	1.35E-03	0.13500000%	4個位元
3.2906σ	5.00E-04	0.05000000%	...
4σ	3.17E-05	0.00316700%	8個位元
5σ	2.87E-07	0.00028670%	30個位元
6σ	9.86E-10	0.00000010%	42個位元
7σ	1.28E-12	0.00000000%	...

圖 10B

	錯誤源	描述
(A)	$E_{PW}(N_{CYC})$	在對頁進行寫入之後不久呈現的位元錯誤。位元錯誤隨著 N_{CYC} (程式化抹除循環之數目)增加而增加，該 N_{CYC} 係區塊之耐久性的量測。
(B)	$E_{DR}(T, N_{CYC})$	EOL(「使用期限結束」)時之歸因於資料保持的位元錯誤 T =溫度
(C)	$E_{RD}(N_R, N_{CYC})$	歸因讀取擾亂的位元錯誤，其隨著讀取數目 N_R 及耐久性而增加

圖 11

(A)	$E_{TOT}(N_{CYC}, N_R)$	$= E_{PW}(N_{CYC}) + E_{DR}(T, N_{CYC}) + E_{RD}(N_R, N_{CYC})$
(B)	(新的，1年之後) $E_{TOT}(1, 1M)$	$E_{PW}(N_{CYC}) + E_{DR}(85^{\circ}C, 1) + E_{RD}(1M, 1)$ $= 3 + 2 + 0 = 5$ 個位元
(C)	(EOL 時之記憶體) $E_{TOT}(10K, 1M)$	$E_{PW}(10K) \sim 10, E_{DR}(85^{\circ}C, 10K) \sim 10$, 且 $E_{RD}(1M, 10K) \sim 1$ $= 10+10+1 = 21$ 個位元

使用期限開始及結束時的總錯誤之實例

圖 12

ECC_{DESIGN}	必須經設計以校正最差狀況 E_{TOT} (在EOL循環之後，資料保持規格)
-----------------------------	---

圖 13

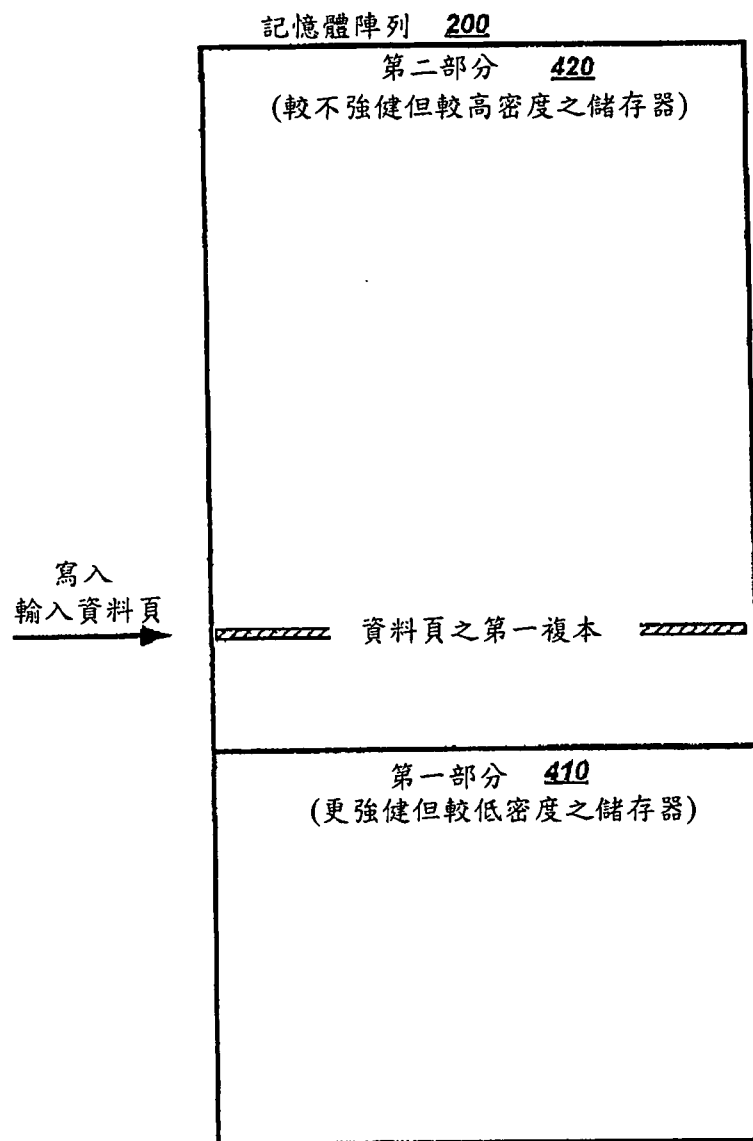


圖14A

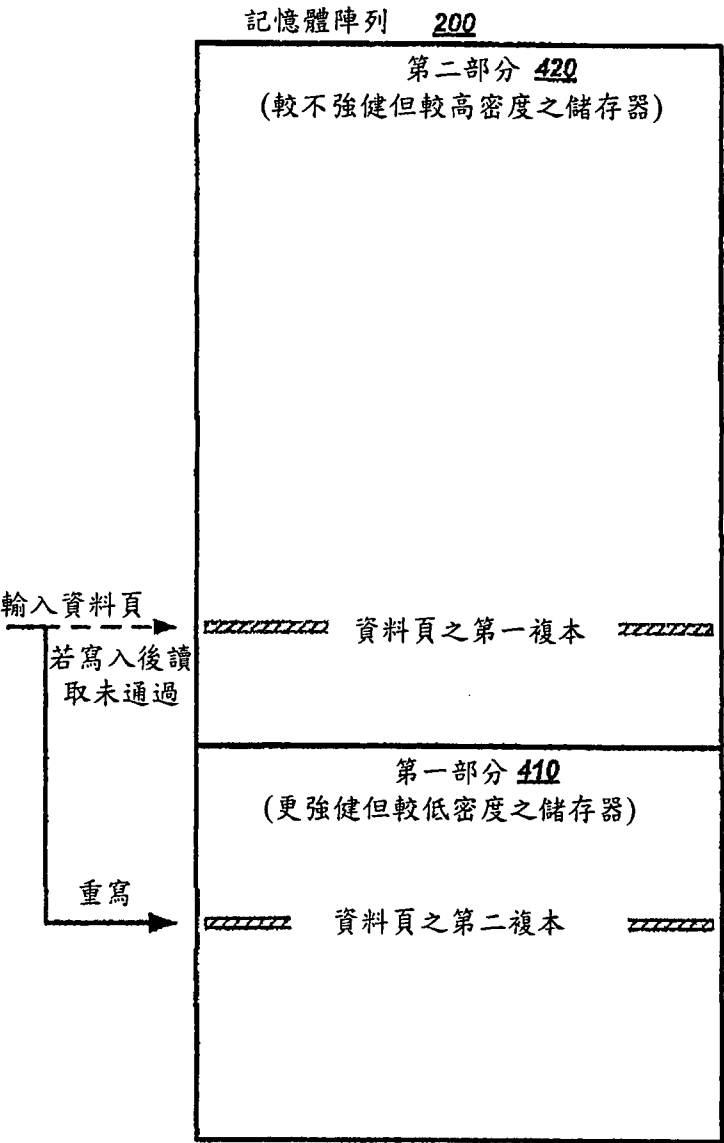


圖14B

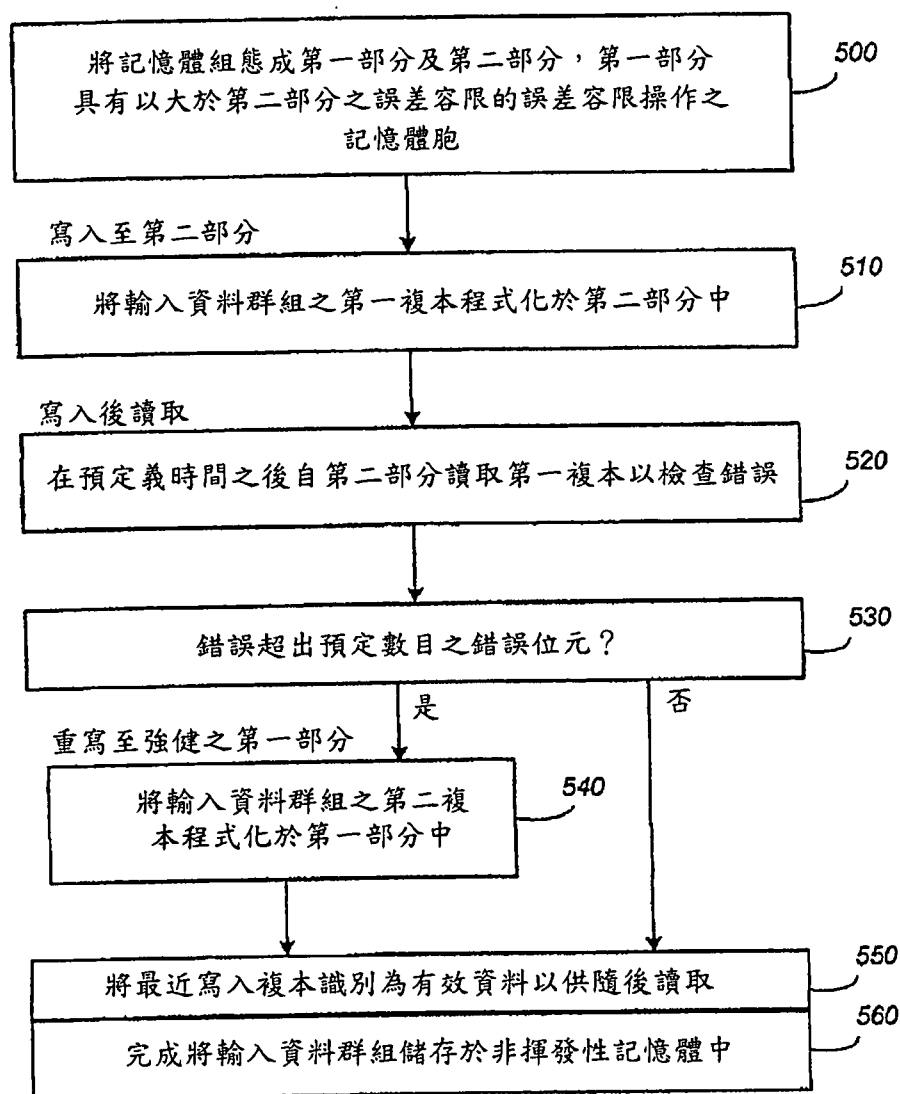


圖15

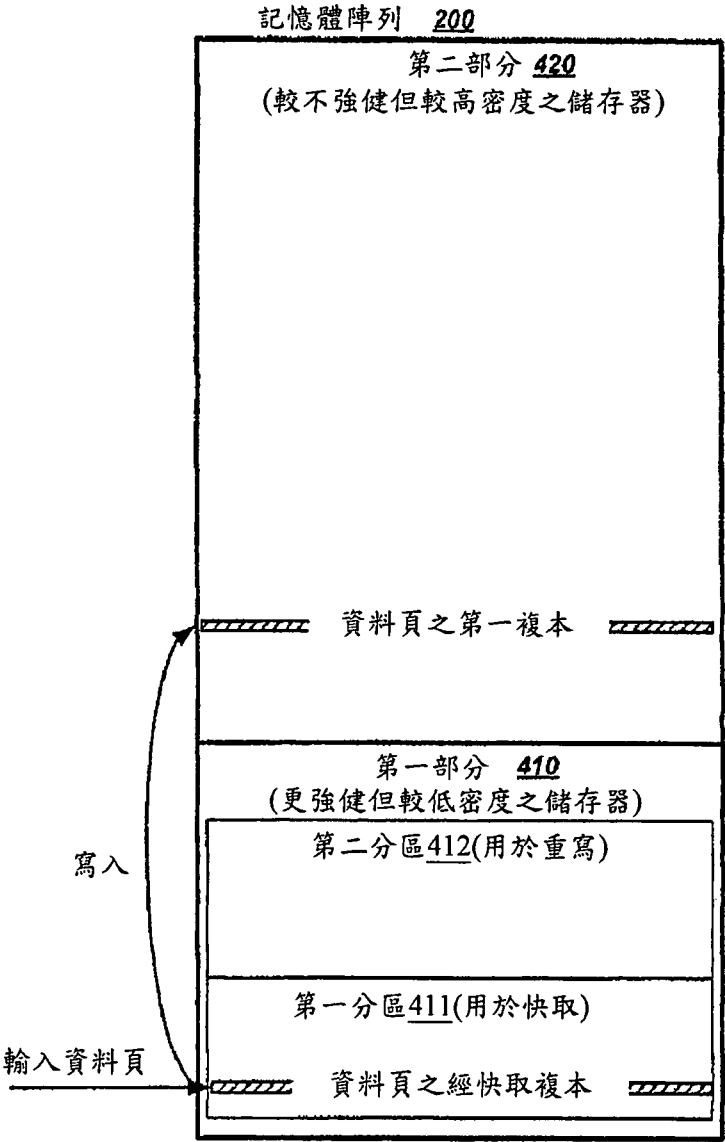


圖16A

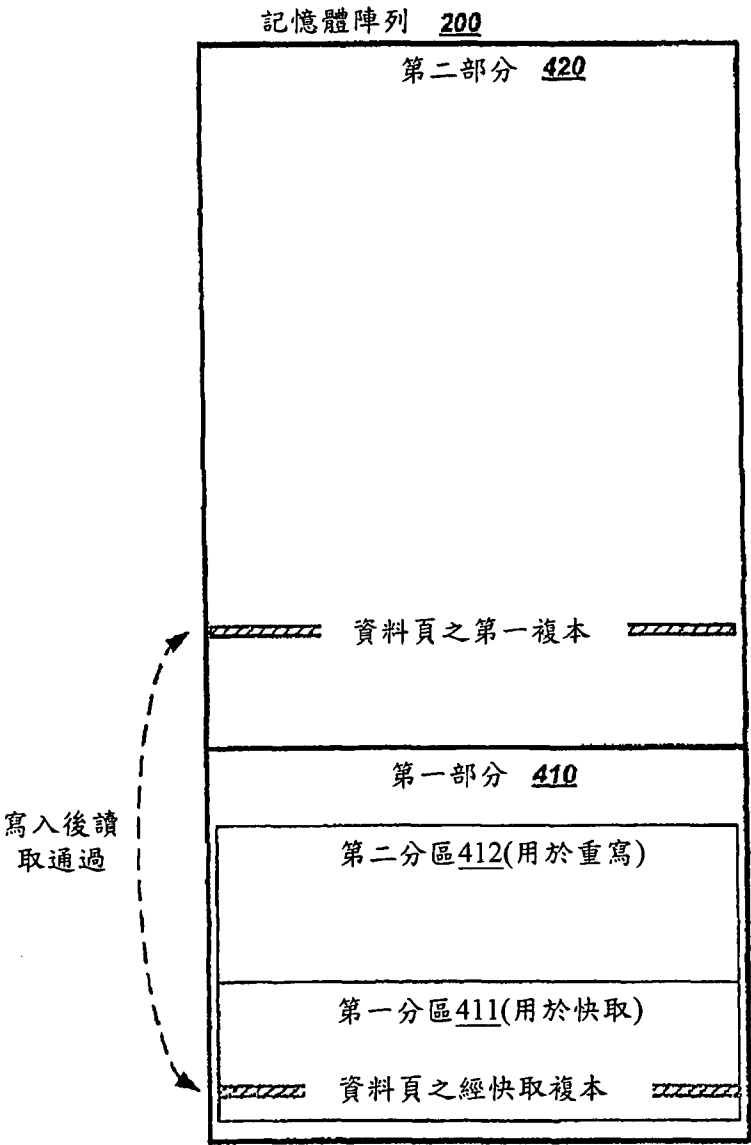


圖16B

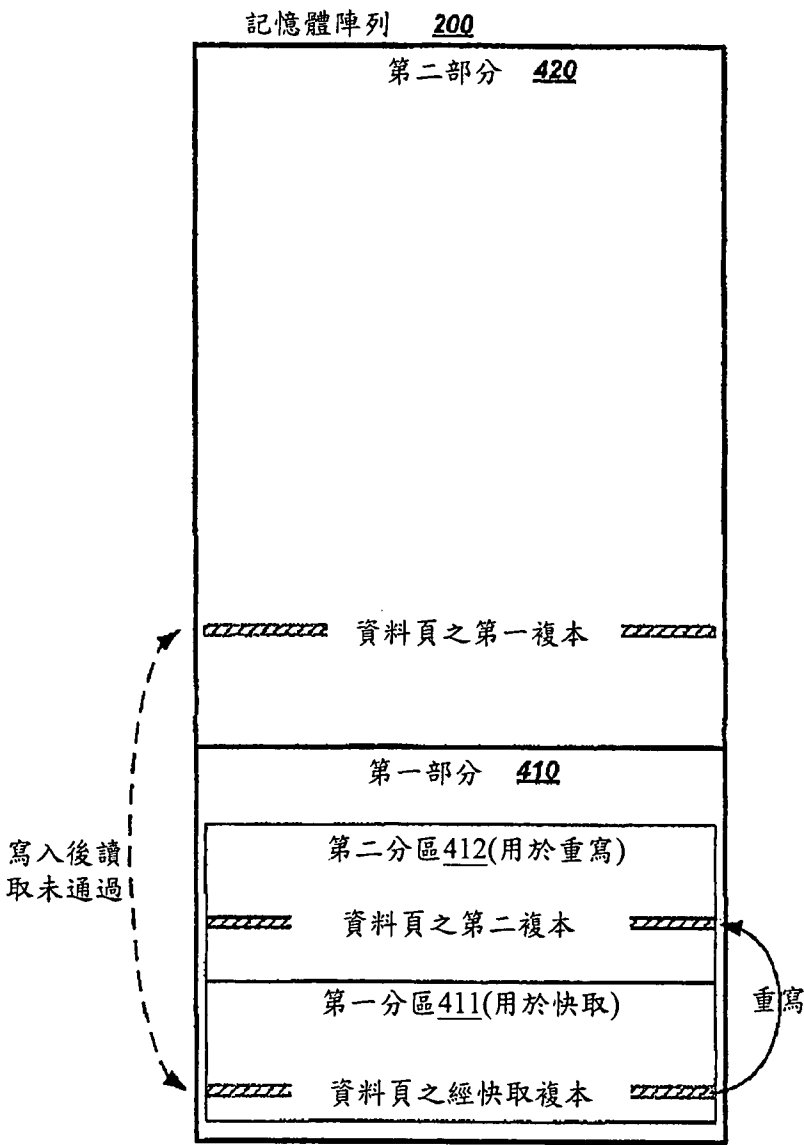


圖 16C

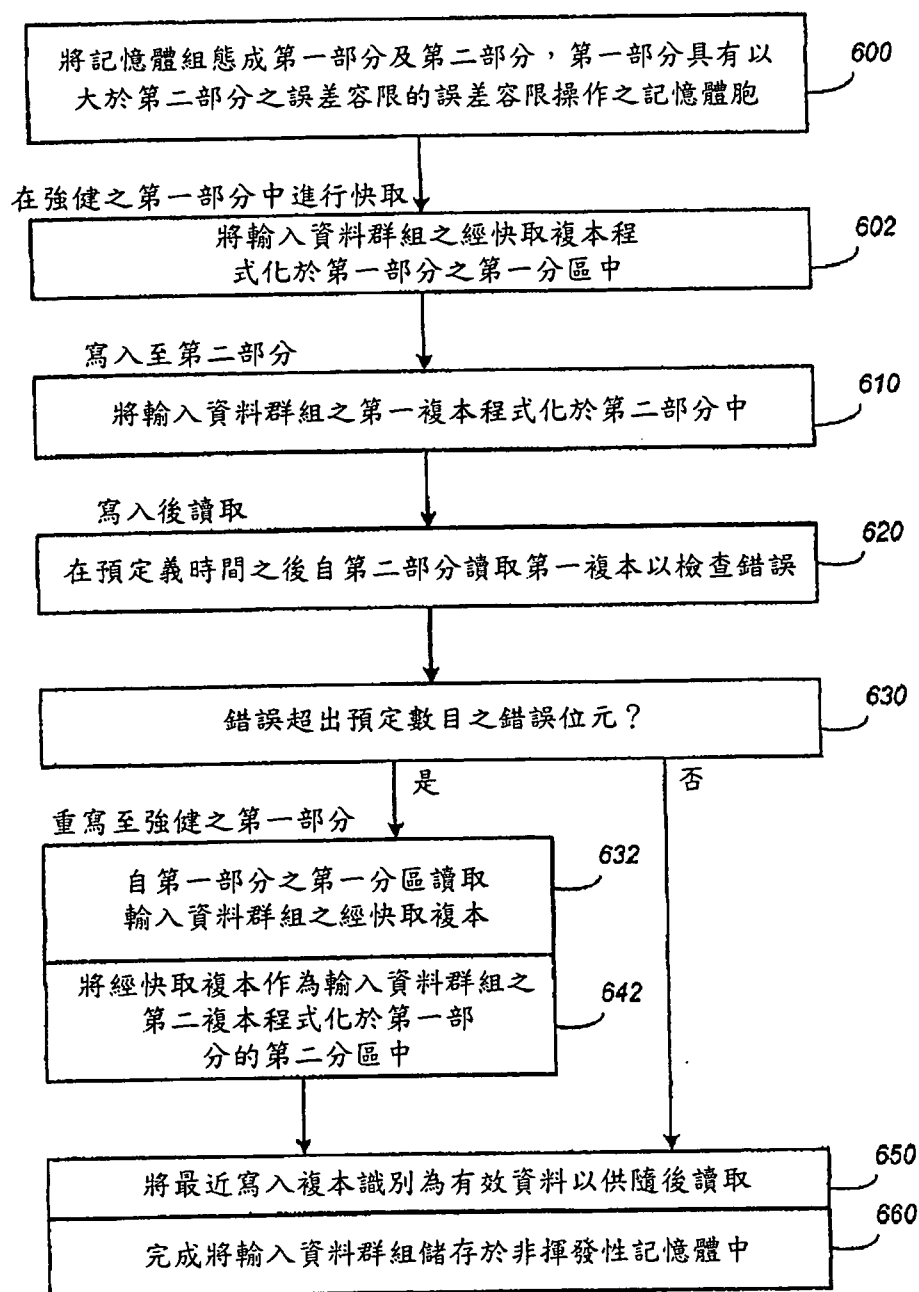


圖17

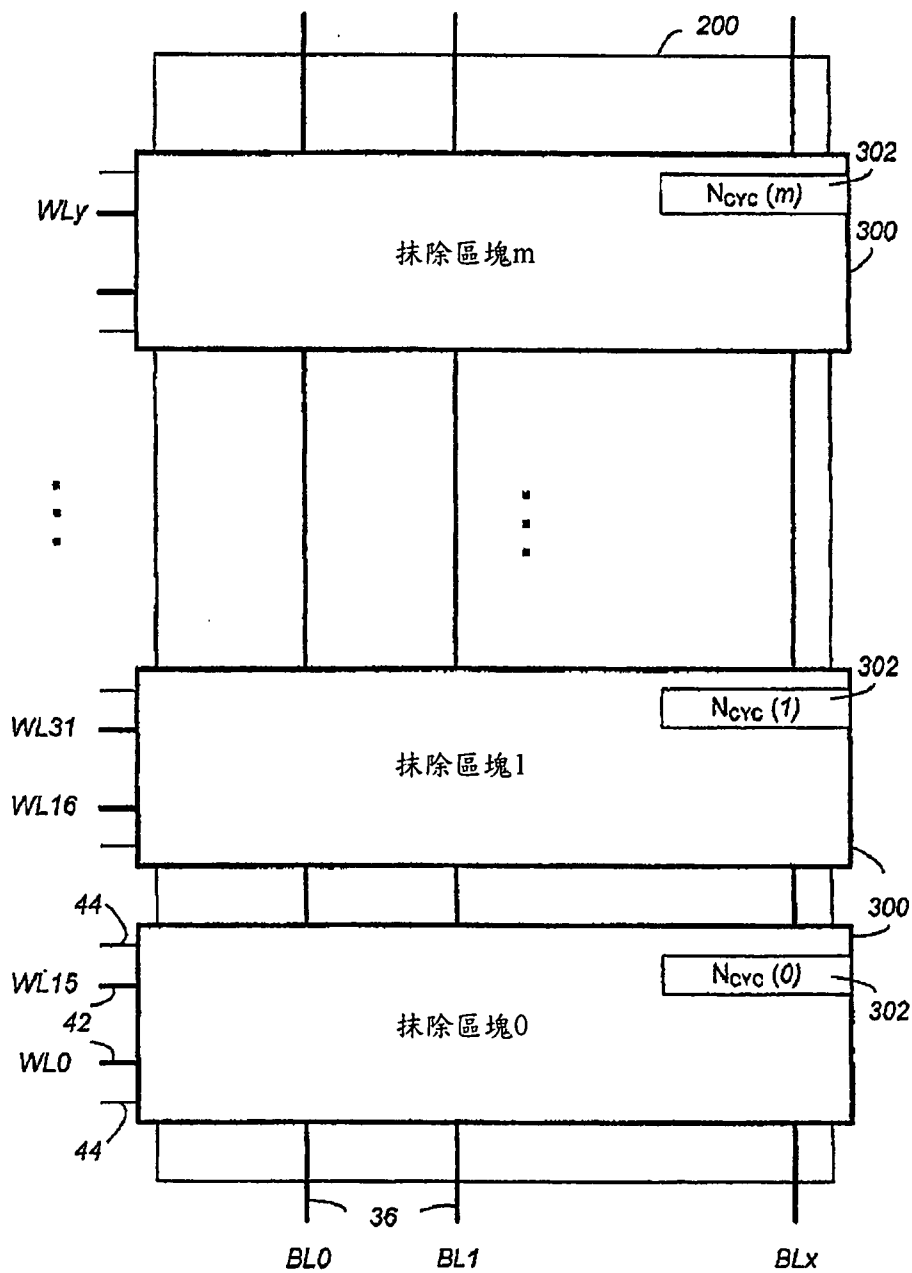


圖18

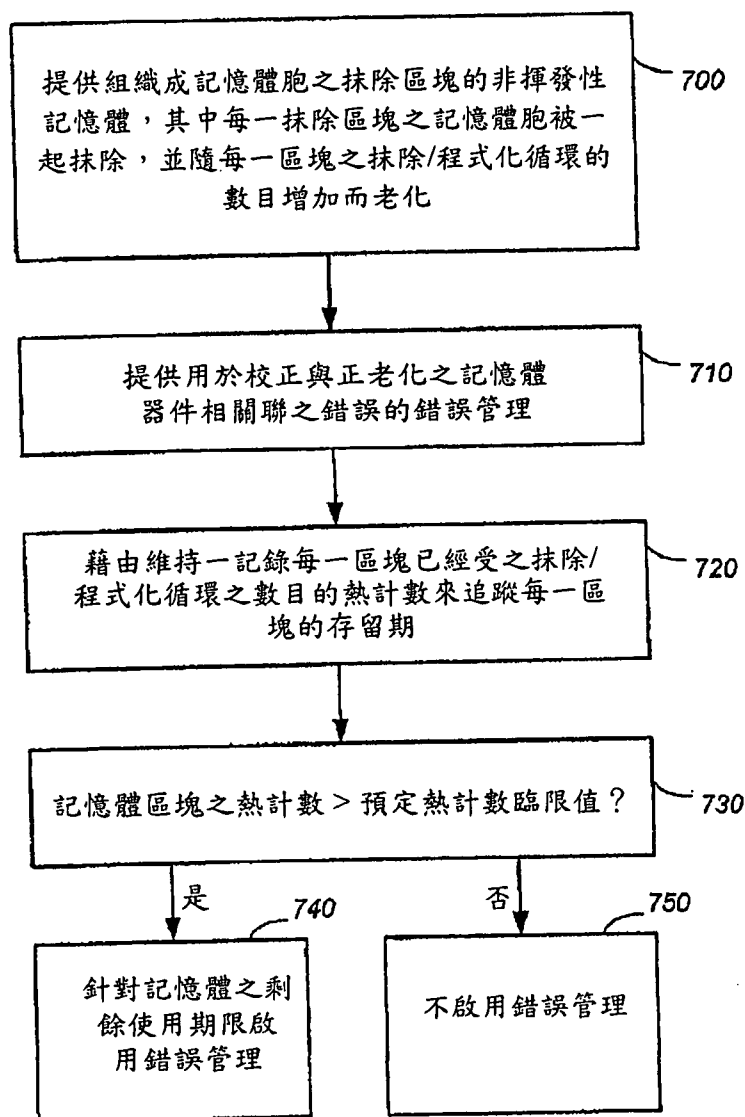


圖19

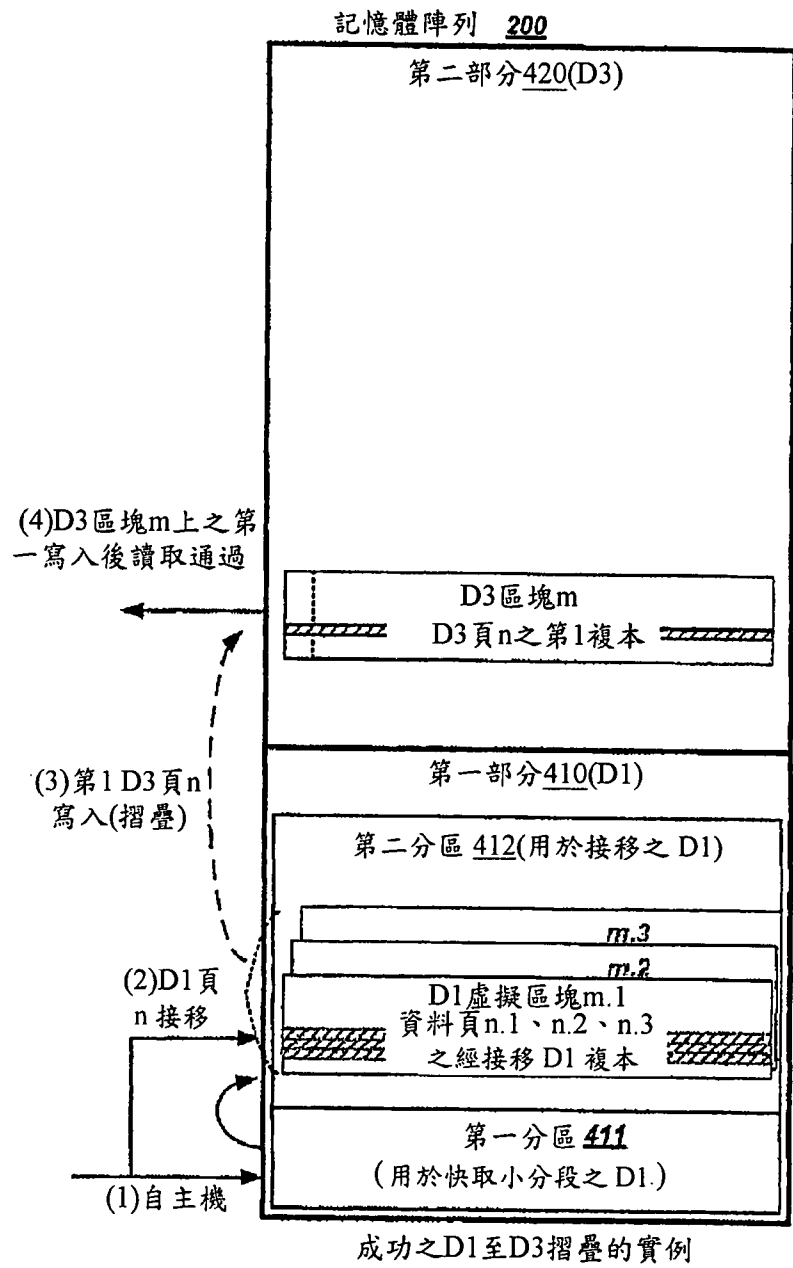
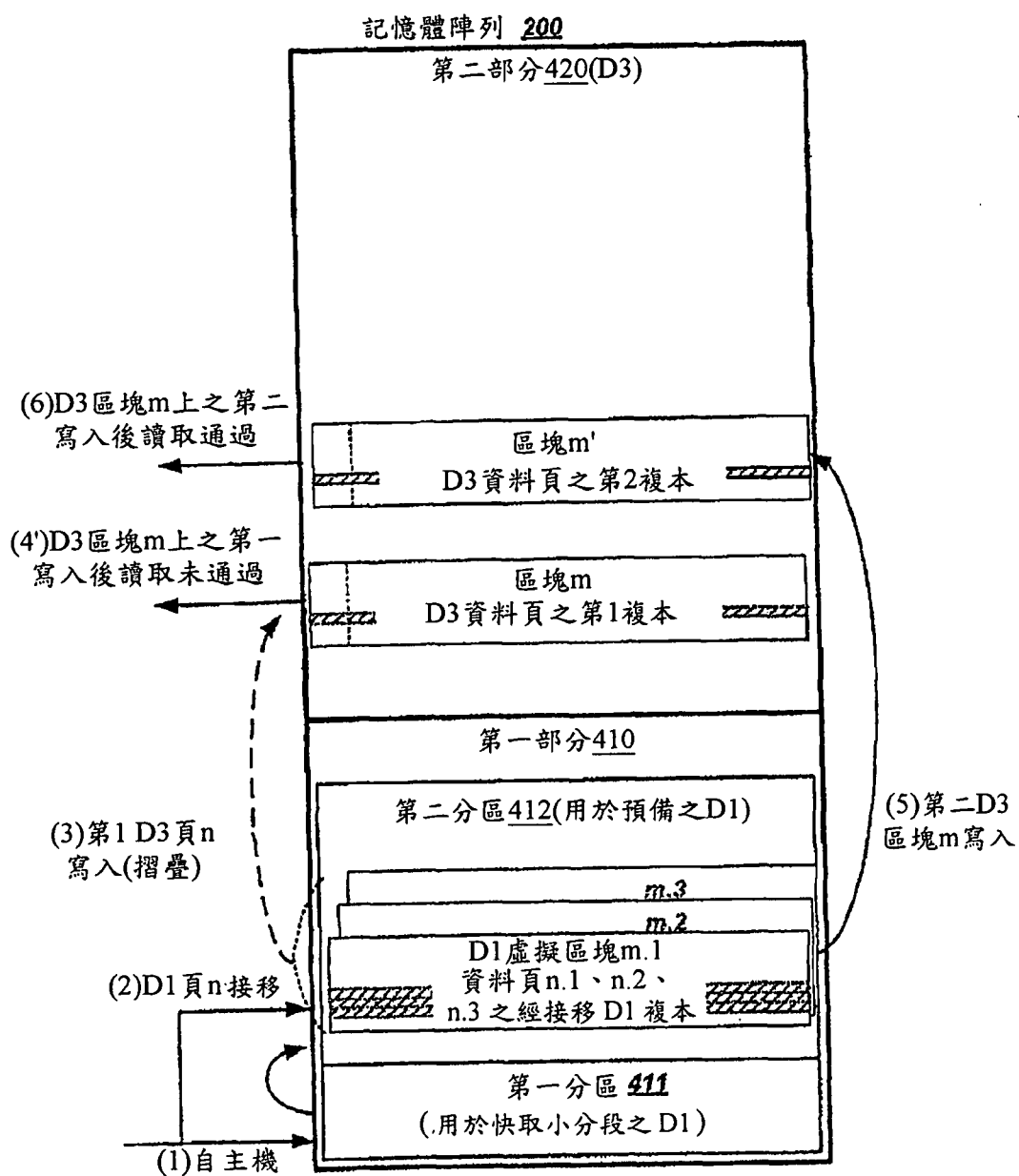
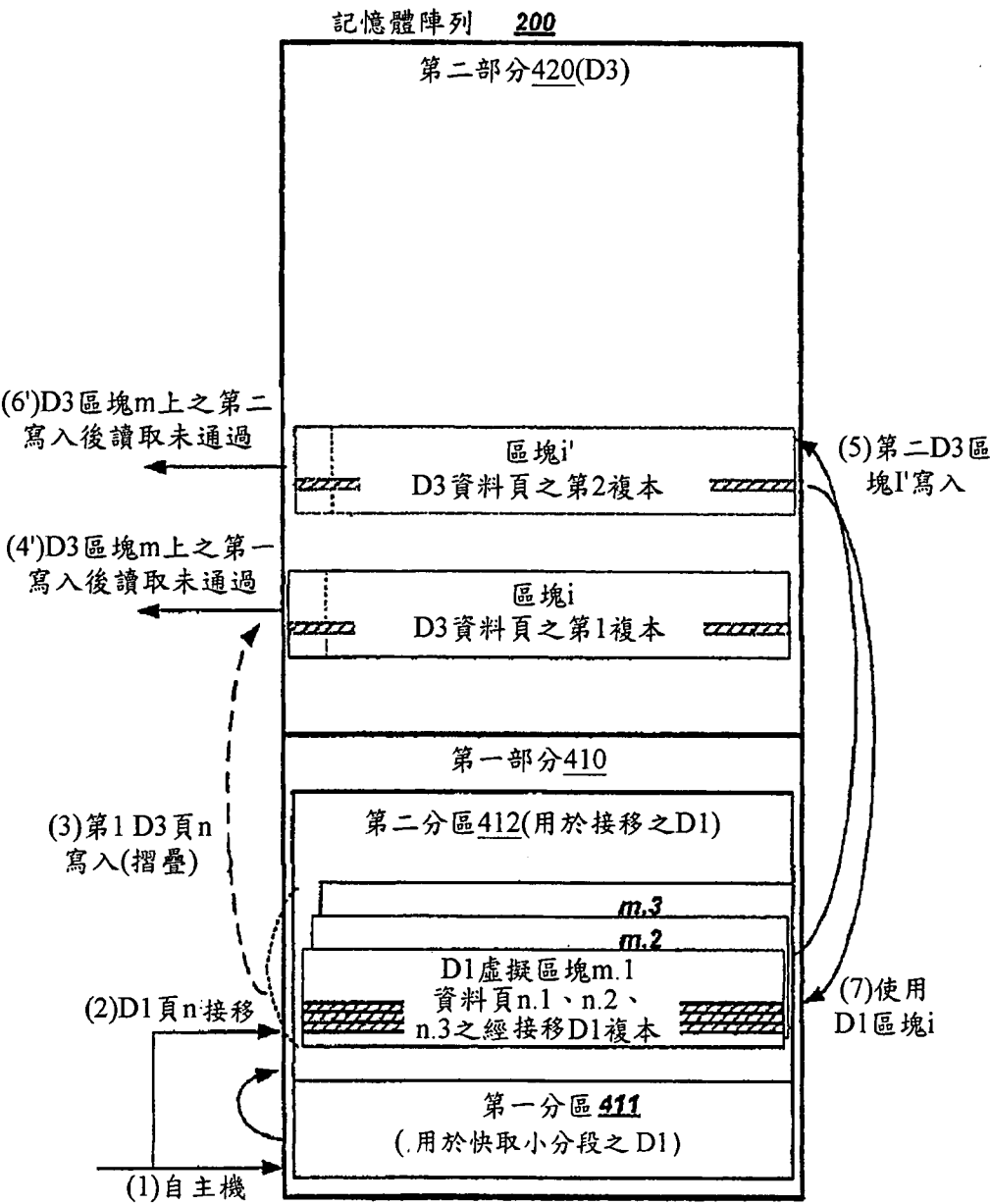


圖 20A



在第 1 D1 至 D3 摺疊之後的讀取錯誤之實例

圖 20B



在第2 D1至D3摺疊之後的讀取錯誤之實例

圖20C

檔案系統組態檔案

參數	描述
E_pw_check	在檔案系統組態檔案中設定以指定在哪一 ECC 位元層級下將 D3 區塊考慮為高風險且需要重新開始向新 D3 區塊之 D1 至 D3 摺疊的變數
ECC_threshold_SLC	在檔案系統組態檔案中的維持用以比較的SLC臨限值所需的變數，以便做出是否繼續EPWR的決策
EPWR_enable_flag	在檔案系統組態檔案中進行控制。 0 = 不設定(預設)； 1 = 設定(當啟用EPWR時)
Hot_count_enable_flag	0 =不啟用； 1 =啟用
Hot_count_threshold_EPWR	在檔案系統組態檔案中設定以指定在哪一熱計數位準需要EPWR的變數。若所有D3區塊之熱計數係< 熱計數臨限值，則即使EPWR啟用旗標開啟，仍不觸發EPWR程序
EPWR_verify_page_budget	在檔案系統組態檔案中設定以指定在EPWR之1階段期間可讀取之頁之數目的變數
EPWR_retries	檔案系統組態檔案中的用以限制再試嘗試次數的變數
D3_Block_max_retries	檔案系統組態檔案中的用以限制在壽命期間D3 區塊上的再試嘗試之總次數的變數

圖21

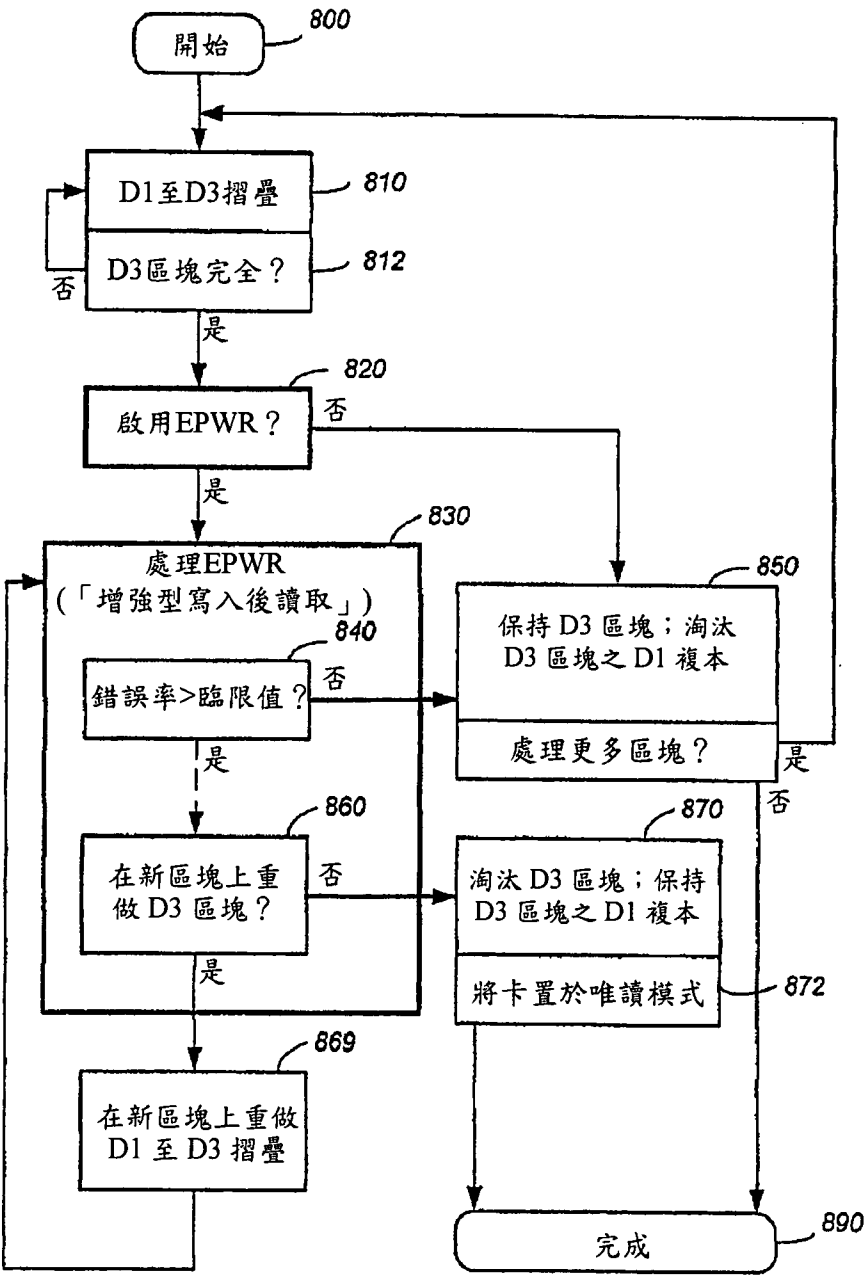


圖22A

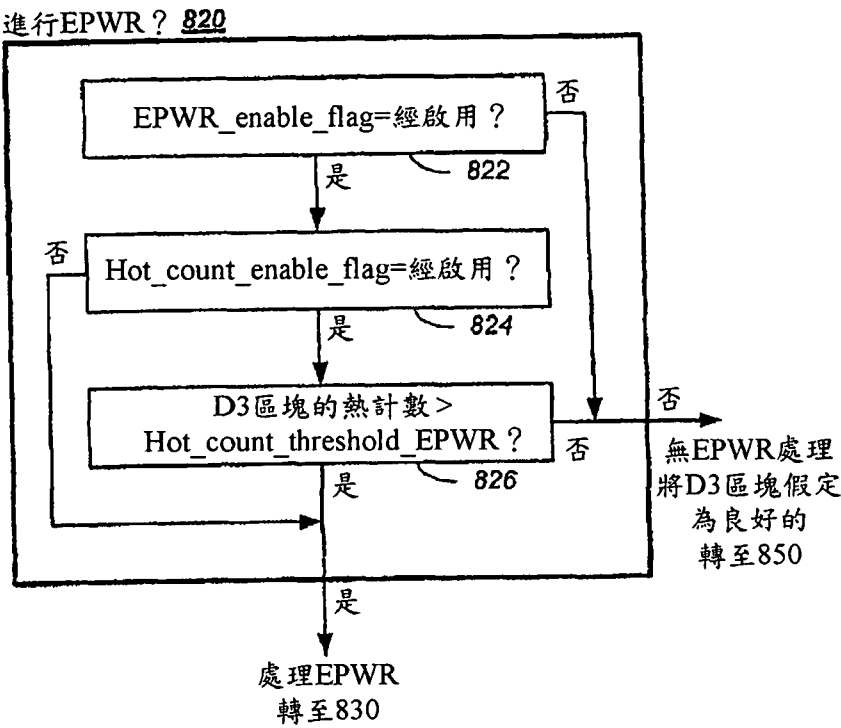


圖22B

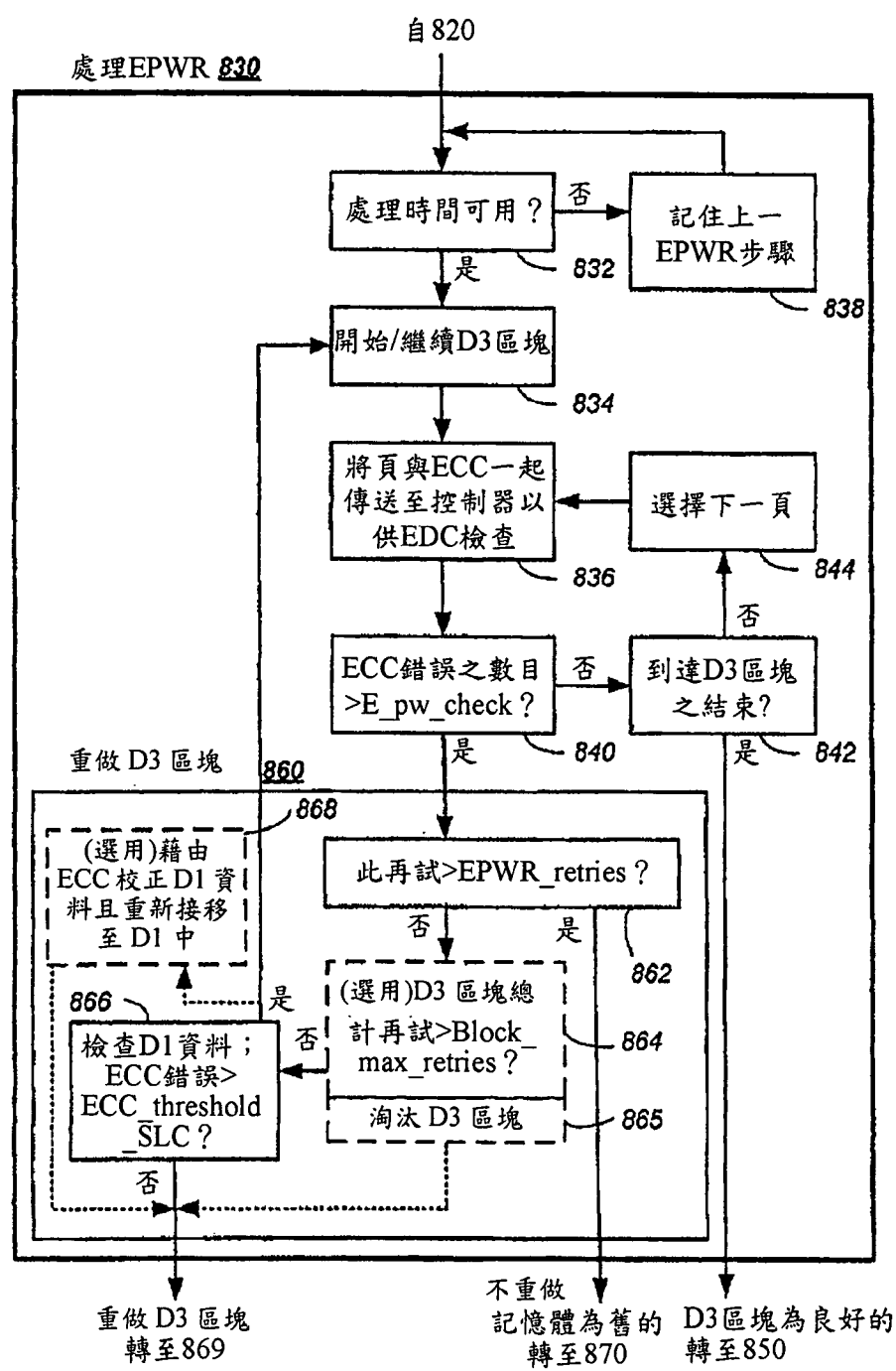
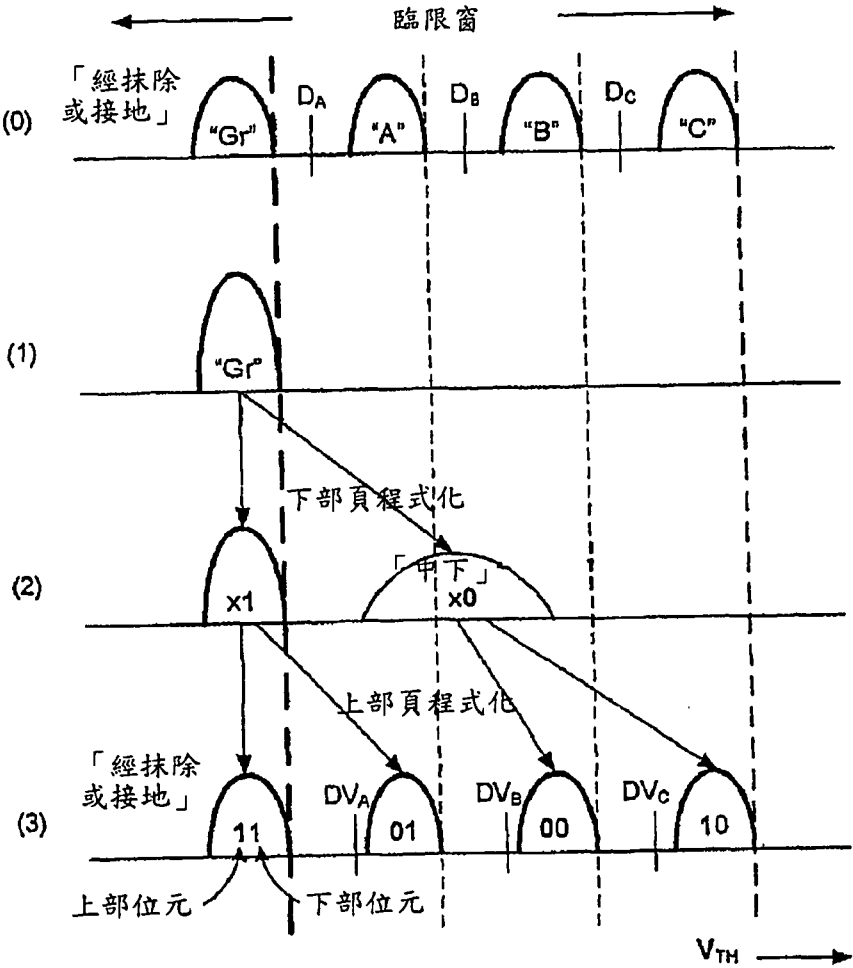


圖 22C



逐邏輯頁程式化
(2位元LM格雷碼)

圖23

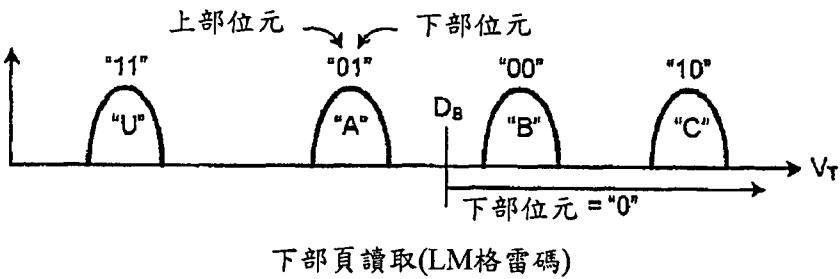


圖24A

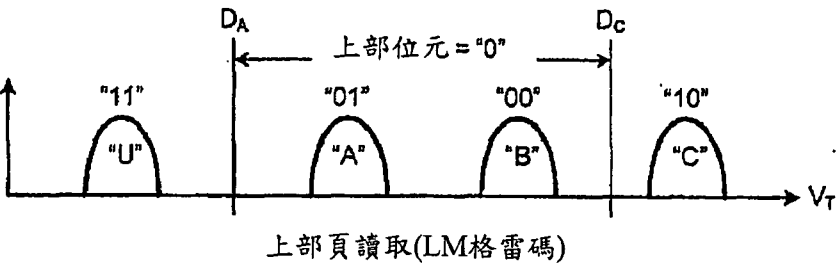
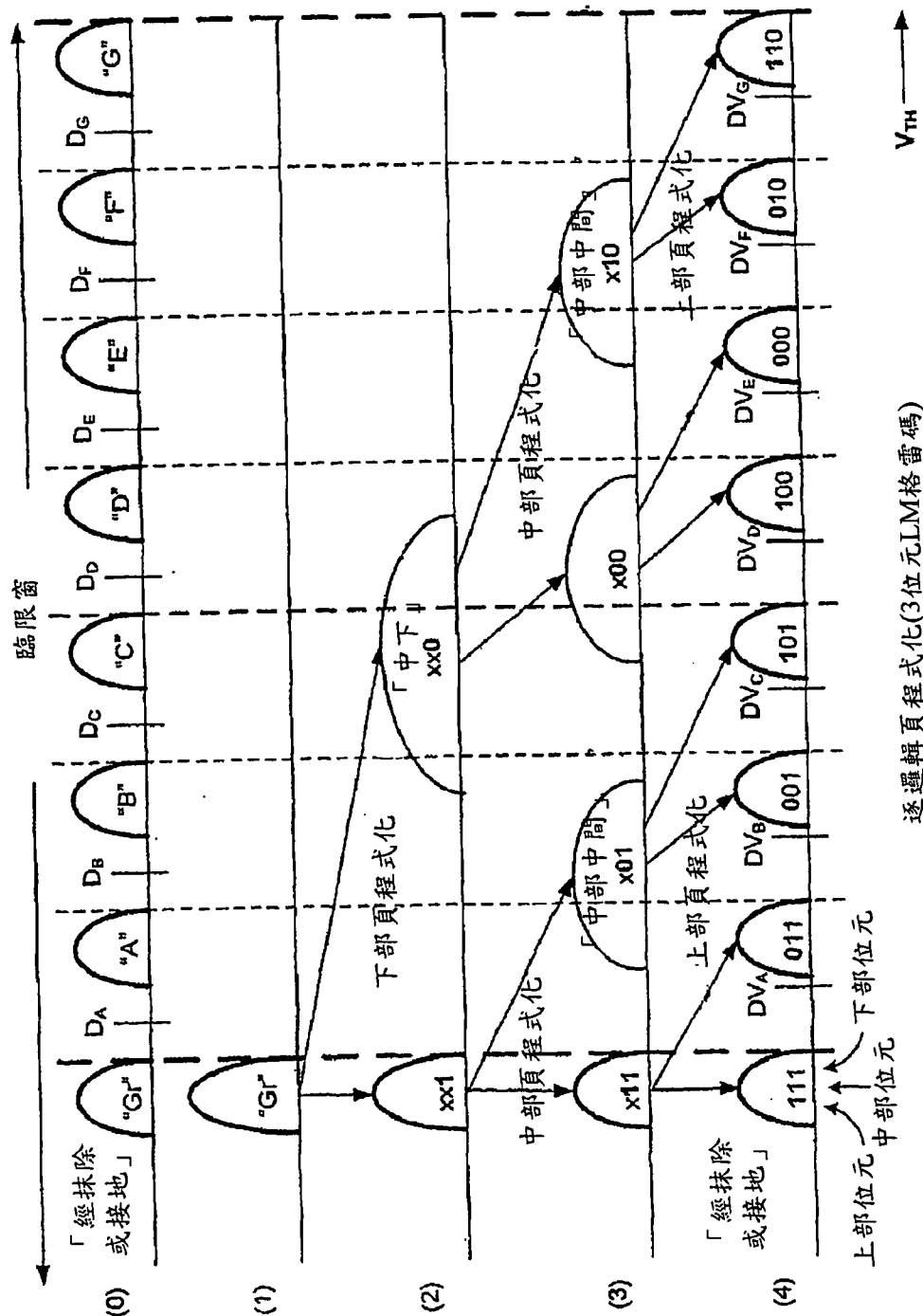
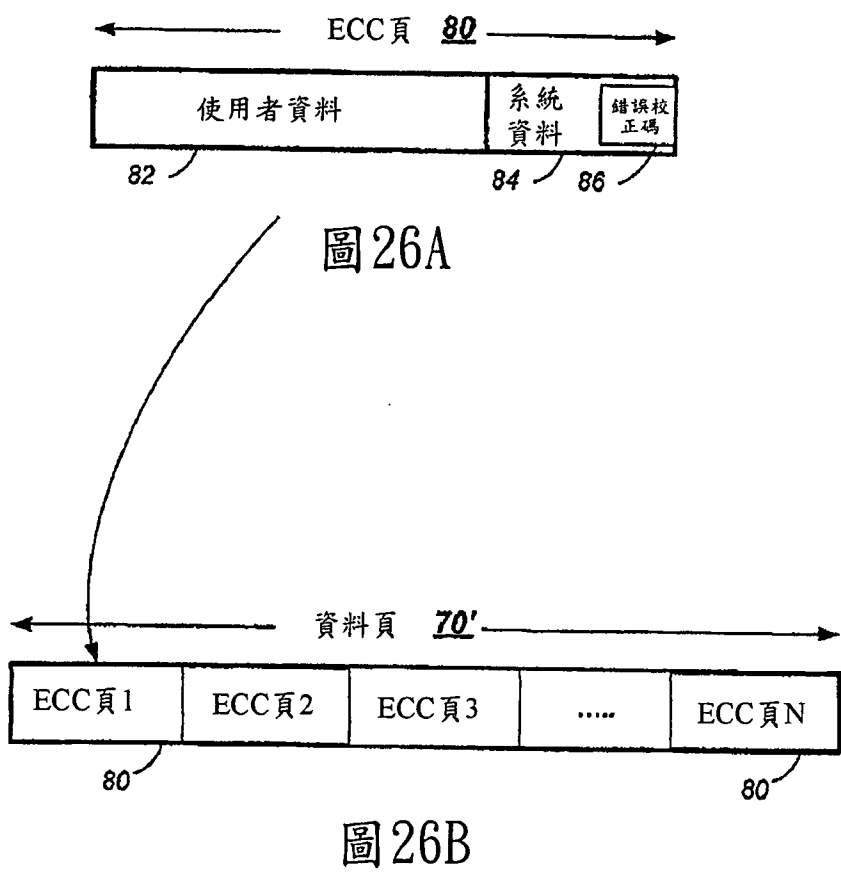


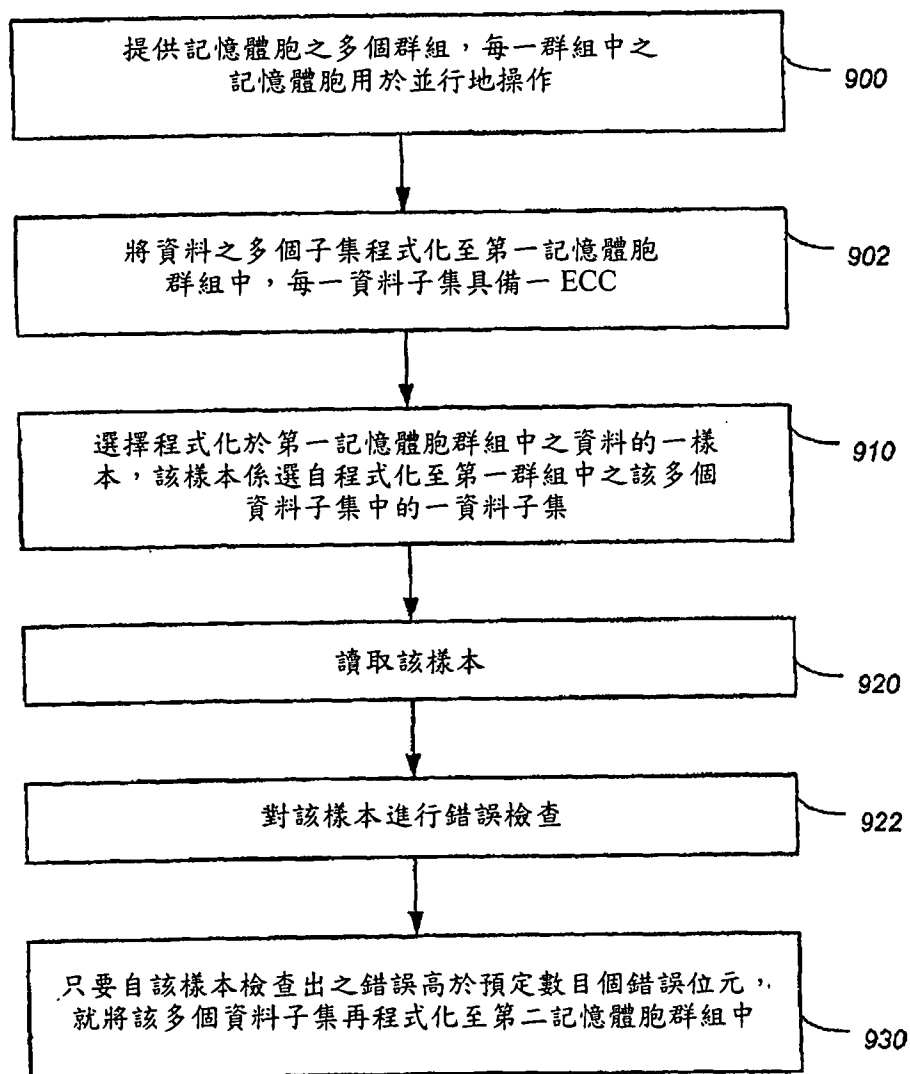
圖24B



逐選輯頁程式化(3位元LLM格雷碼)

圖25



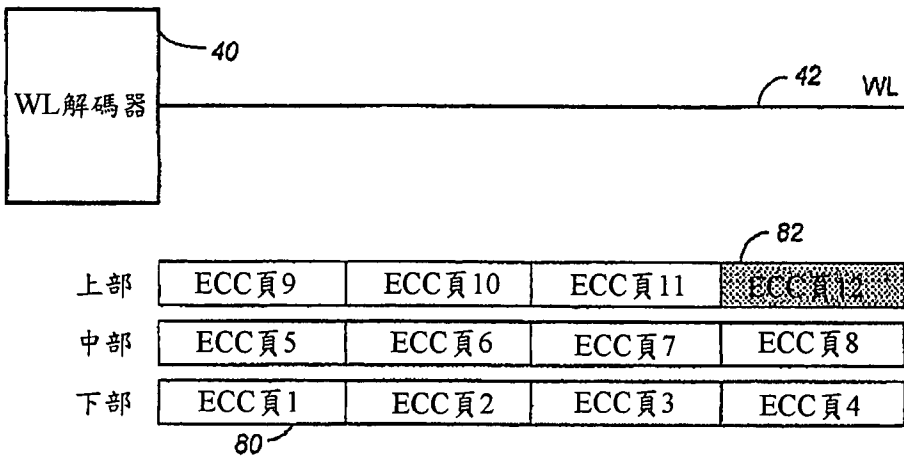


經加速之PWR

圖27

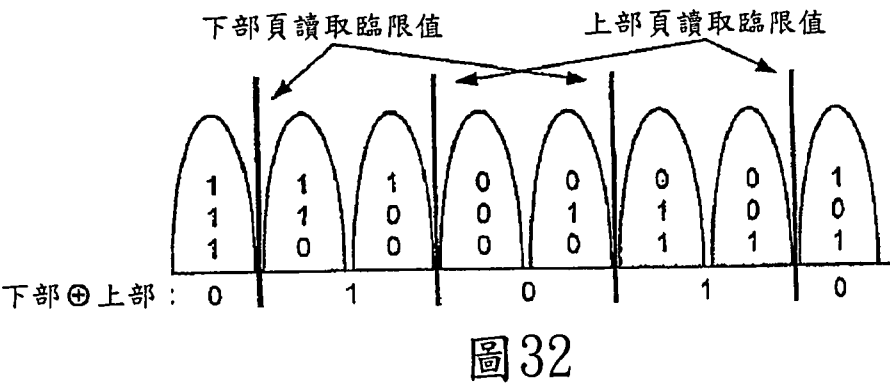
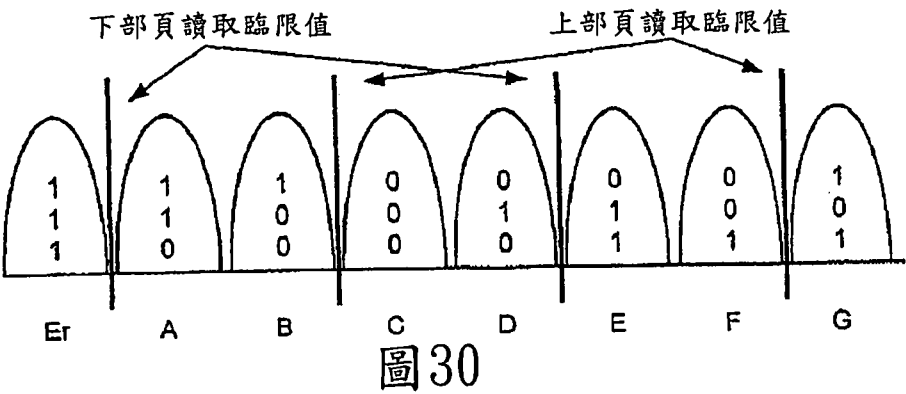
選擇程式化至第一記憶體胞群組中之資料的一樣本，
該樣本係選自程式化至第一群組中之該多個資料子集中
的一資料子集，且該樣本為程式化至第一群組中之該
多個資料子集中的經估計為具有最高錯誤率之資料子集

圖28



儲存於WL上之3個資料頁

圖29



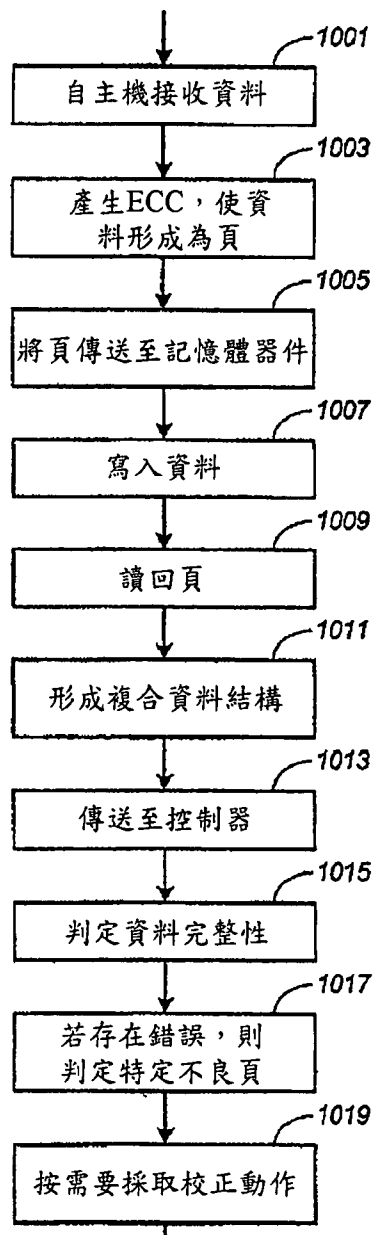


圖31

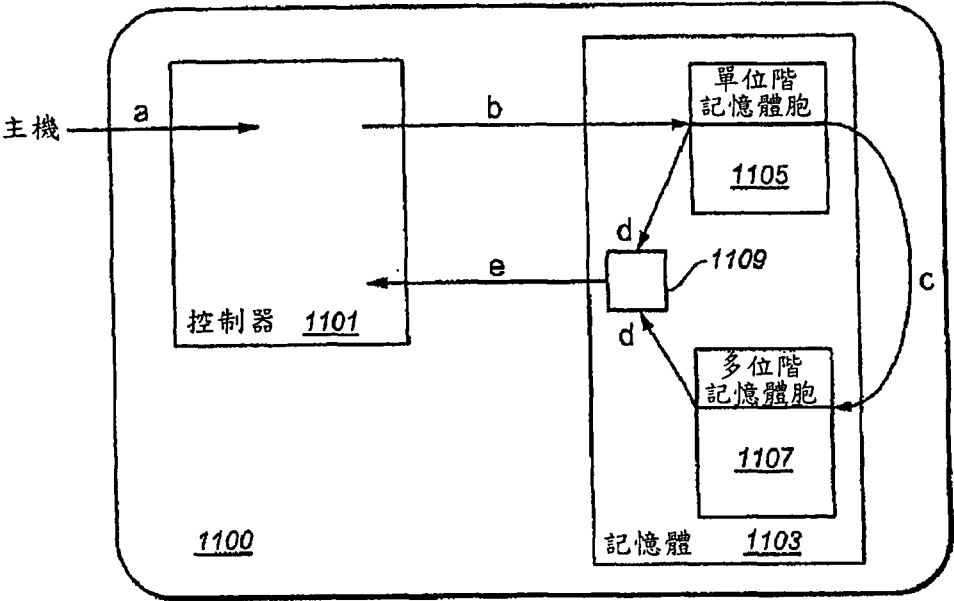


圖 33

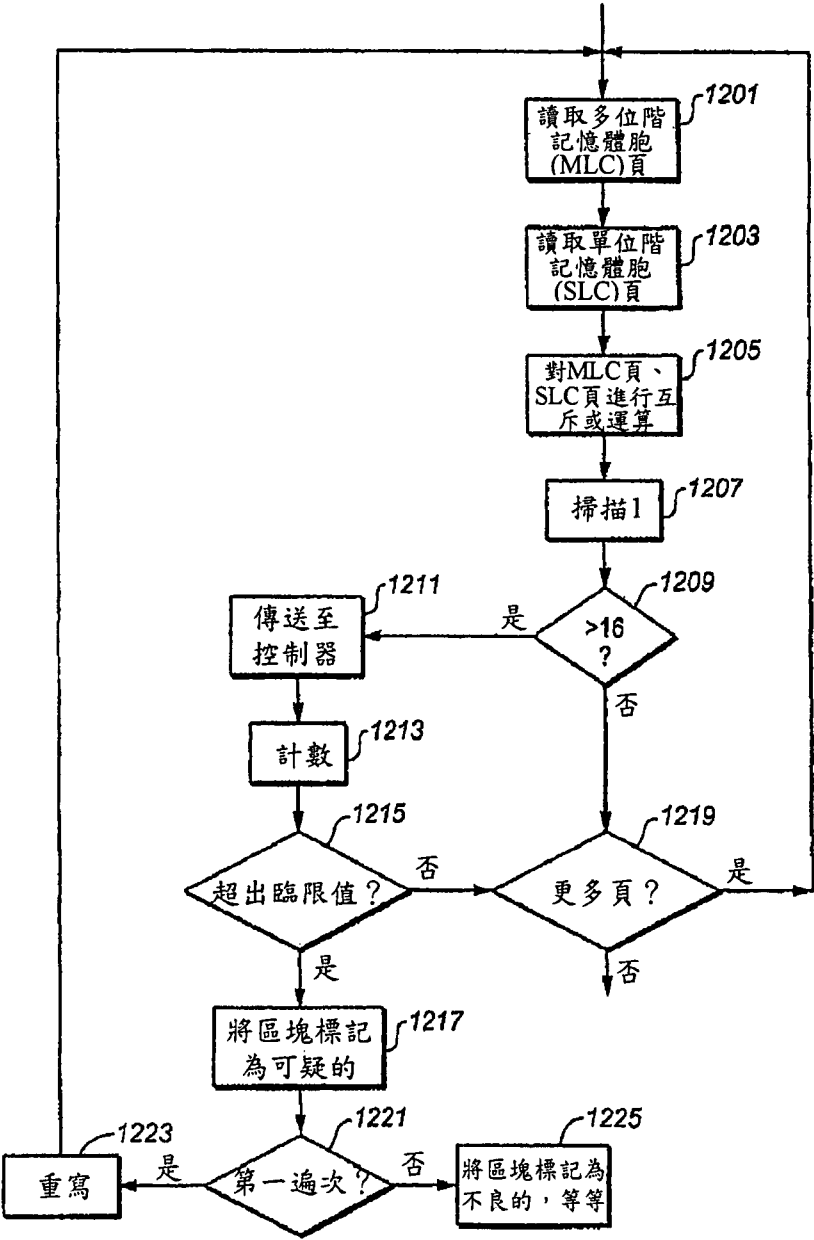


圖 34

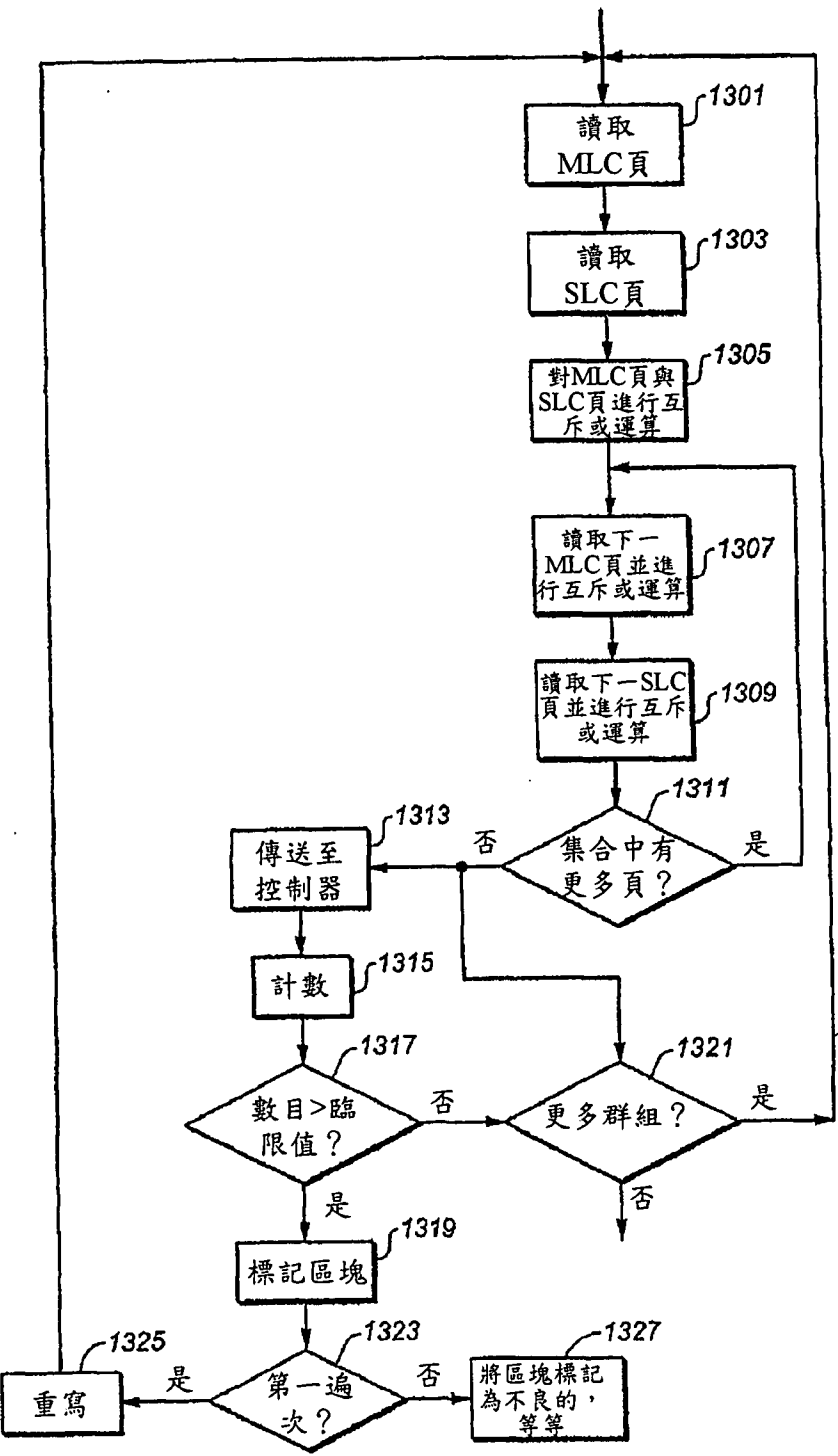


圖 35

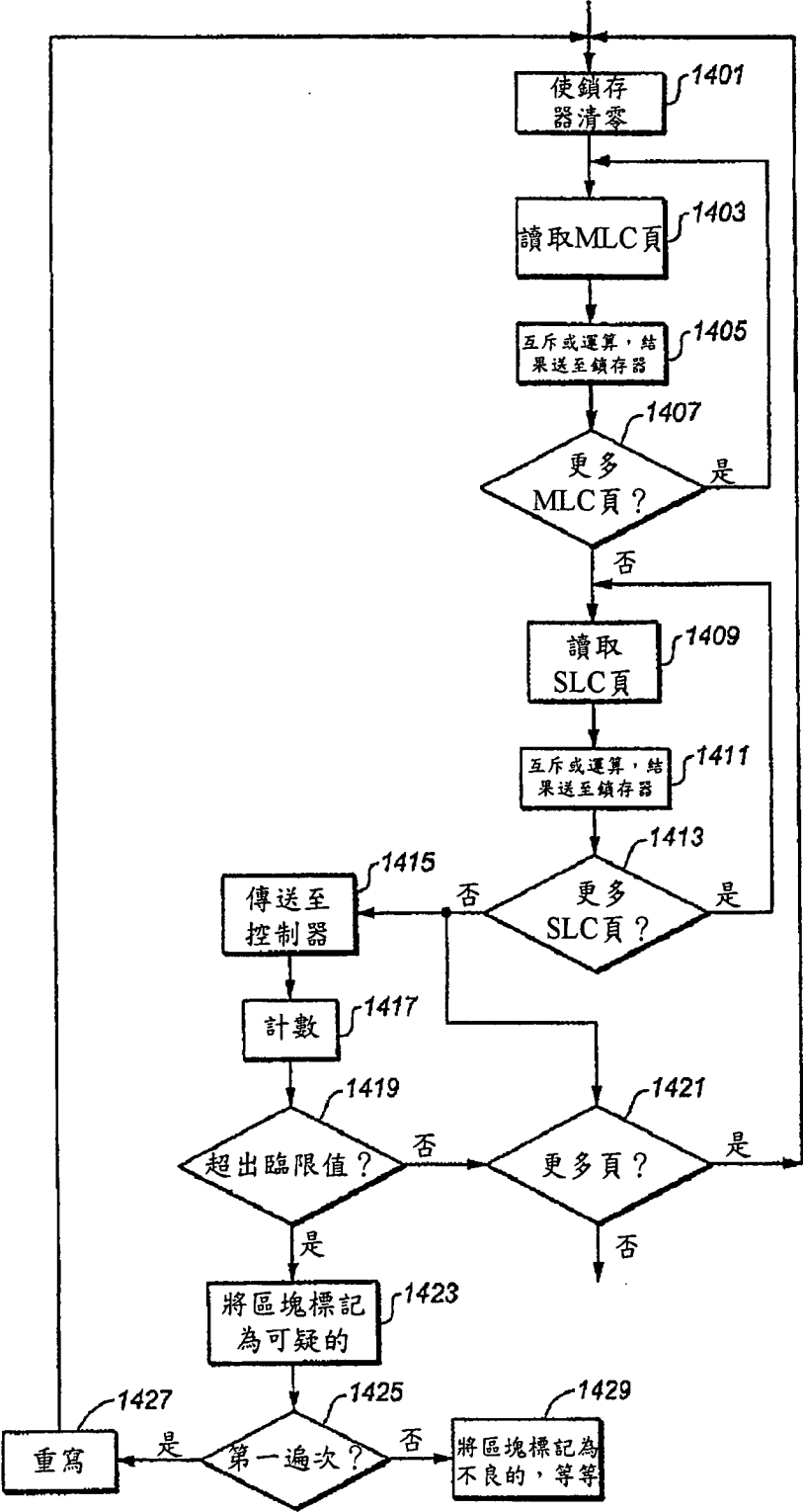


圖 36