

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 19/00 (2006.01)

G11C 19/28 (2006.01)

G09G 3/36 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200710074230.2

[45] 授权公告日 2010年2月24日

[11] 授权公告号 CN 100592425C

[22] 申请日 2007.4.27

[21] 申请号 200710074230.2

[73] 专利权人 群康科技(深圳)有限公司

地址 518109 广东省深圳市宝安区龙华镇  
富士康科技工业园 E 区 4 栋 1 层

共同专利权人 群创光电股份有限公司

[72] 发明人 杨文辉 陈思孝

[56] 参考文献

US2005185752A1 2005.8.25

CN1702728A 2005.11.30

US2006269038A1 2006.11.30

JP2004245953A 2004.9.2

CN1841565A 2006.10.4

审查员 冯慧萍

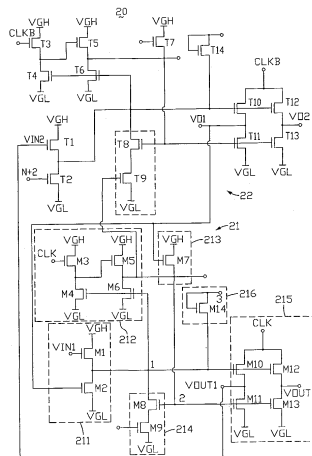
权利要求书 3 页 说明书 12 页 附图 4 页

[54] 发明名称

移位寄存器及液晶显示器

[57] 摘要

本发明是关于一种移位寄存器和采用该移位寄存器的液晶显示器。该液晶显示器包括一液晶面板、一数据驱动电路和一扫描驱动电路。该数据驱动电路和该扫描驱动电路均包括一移位寄存器。每一移位寄存器包括多个移位寄存单元，两相邻移位寄存单元所接收的时钟信号相反，前一移位寄存单元的输出信号为后一移位寄存单元的输入信号，后一移位寄存单元的输出信号反馈回该前一移位寄存单元。每一移位寄存单元均包括一信号输出电路、一信号输入电路、一第一逻辑转换电路和一第二逻辑电路。本发明的移位寄存器和液晶显示器输出信号无干扰。



1.一种移位寄存器，其包括多个移位寄存单元，其特征在于：两相邻移位寄存单元所接收的两时钟信号反相，每一移位寄存单元均包括：

一信号输出电路，该信号输出电路接收来自外部电路的一时钟信号，该信号输出电路包括一时钟晶体管和一电平晶体管，该时钟晶体管输出该时钟信号；该电平晶体管输出的信号为一恒低电平信号；

一信号输入电路，其接收前一移位寄存单元的输出信号，导通该时钟晶体管，并在该时钟晶体管导通一时钟周期后，接收后一移位寄存单元的输出信号以截止该时钟信号；

一第一逻辑电路，其接收该时钟信号和该信号输入电路输出的信号，在该时钟晶体管导通时，截止该电平晶体管；和

一第二逻辑电路，其接收后一移位寄存单元的输出信号，以导通该电平晶体管；

其中，当该信号输入电路输出一导通信号至该时钟晶体管和该第一逻辑电路，该第一逻辑电路输出一截止信号，截止该电平晶体管，该信号输出电路通过该时钟晶体管输出该时钟信号；反之，当该信号输入电路输出截止信号时，该时钟晶体管截止，该第二逻辑电路输出一导通信号以开启该电平晶体管，该信号输出电路输出为该恒低电平信号，该第一逻辑电路接收该时钟信号以维持该恒低电平信号输出。

2.如权利要求1所述的移位寄存器，其特征在于：该移位寄存单元是由多个NMOS型晶体管组成。

3.如权利要求2所述的移位寄存器，其特征在于：该信号输入电路、该第一逻辑电路和该信号输出电路交汇形成一第一节点；该第二逻辑电路、该第三逻辑电路和该信号输出电路交汇形成一第二节点。

4.如权利要求3所述的移位寄存器，其特征在于：该信号输入

电路包括一第一晶体管和一第二晶体管；该第一晶体管的源极接收来自外部电路的高电平信号，该第一晶体管的栅极接收前一移位寄存单元输出信号，该第一晶体管的漏极连接至该第二晶体管的源极且一并输出至该第一节点；该第二晶体管的栅极接收后一移位寄存单元的输出信号，该第二晶体管的漏极接收外部电路的低电平信号。

5.如权利要求3所述的移位寄存器，其特征在于：该第一逻辑电路包括一第三晶体管、一第四晶体管、一第五晶体管和一第六晶体管；该第三晶体管的栅极接收来自外部电路的时钟信号，该第三晶体管的漏极接收来自外部电路的高电平信号，该第三晶体管的源极与该第四晶体管的漏极连接；该第四晶体管的栅极连接该第一节点，该第四晶体管的源极接收来自外部电路的低电平信号，该第四晶体管的漏极连接至该第五晶体管的栅极；该第五晶体管的漏极接收来自外部电路的高电平信号，该第五晶体管的源极连接至该第六晶体管的漏极，并接收本级的触发信号；该第六晶体管的栅极连接至该第四晶体管的栅极，该第六晶体管的源极接收一来自外部电路的低电平信号。

6.如权利要求3所述的移位寄存器，其特征在于：该第二逻辑电路，该第二逻辑电路包括一第七晶体管；该第七晶体管的栅极与后一移位寄存单元的输出端连接，该第七晶体管的漏极接收来自外部电路的高电平信号，该第七晶体管的源极接收该本级的触发信号并连接至该第二节点。

7.如权利要求3所述的移位寄存器，其特征在于：该移位寄存单元进一步包括一第三逻辑电路，该第三逻辑电路包括一第八晶体管和一第九晶体管；该第八晶体管的栅极连接至该第二节点，该第八晶体管的源极与该第九晶体管的漏极相连，该第八晶体管的漏极连接至该第一节点；该第九晶体管的栅极接收该上级的触发信号，该第九晶体管的源极接收外部低电平信号，该第三逻辑电路用于将该移位寄存器清零。

8.如权利要求3所述的移位寄存器，其特征在于：该信号输出电路的时钟晶体管包括一第十晶体管和一第十二晶体管，该电平晶

体管包括一第十一晶体管和一第十三晶体管；该第十晶体管和该第十二晶体管的漏极均接收来自外部电路的时钟信号，二者的栅极均连接至该第一节点，二者的源极分别连接至该第十一晶体管和该第十三晶体管的漏极，并分别作为一第一输出端和一第二输出端；该第十一晶体管和该第十三晶体管的栅极均连接至该第二节点，二者的源极均接收外部电路提供的低电平信号。

9. 如权利要求 3 所述的移位寄存器，其特征在于：该移位寄存单元进一步包括一测试电路，该测试电路包括一第十四晶体管，该第十四晶体管的栅极与漏极接收来自外部电路的测试信号，该第十四晶体管的源极连接至该第一节点。

10. 一种液晶显示器，其包括一液晶面板，一数据驱动电路，和一扫描驱动电路，该数据驱动电路与该扫描驱动电路均包括一移位寄存器，其特征在于：该移位寄存器为权利要求 1 至 9 项中任意一项所述的移位寄存器。

## 移位寄存器及液晶显示器

## 技术领域

本发明是关于一种移位寄存器和采用该移位寄存器的液晶显示器。

## 背景技术

目前薄膜晶体管(Thin Film Transistor, TFT)液晶显示器已逐渐成为各种数字产品的标准输出设备,然,其需要设计适当的驱动电路以保证其稳定工作。

通常,液晶显示器驱动电路包括一数据驱动电路和一扫描驱动电路。数据驱动电路用于控制每一像素单元的显示辉度,扫描驱动电路则用于控制薄膜晶体管的导通与截止。二驱动电路均应用移位寄存器作为核心电路单元。通常,移位寄存器是由多个移位寄存单元串联而成,且前一移位寄存单元的输出信号为后一移位寄存单元的输入信号。

请参阅图 1,是一种现有技术移位寄存器的移位寄存单元的电路图。该移位寄存单元 100 包括一第一时钟反相电路 110、一换流电路 120 和一第二时钟反相电路 130。该移位寄存单元 100 的各电路均由 PMOS(P-channel Metal-Oxide Semiconductor, P 沟道金属氧化物半导体)型晶体管组成,每一 PMOS 型晶体管均包括一栅极、一源极和一漏极。

该第一时钟反相电路 110 包括一第一 PMOS 型晶体管 P1、一第二晶体管 P2、一第三晶体管 P3、一第四晶体管 P4、一第一输出端 V1 和一第二输出端 V2。该第一晶体管 P1 的栅极接收该移位寄存单元 100 之前一移位寄存单元的输出信号 VS,其源极接收来自外部电路的高电平信号 VDD,其漏极连接至该第二晶体管 P2 的源极。该

第二晶体管 P2 的栅极和其漏极接收来自外部电路的低电平信号 VSS。该第三晶体管 P3 和该第四晶体管 P4 的栅极均接收来自外部电路的反相时钟信号，二者的漏极分别作为该第一时钟反相电路 110 的第一输出端 V1 和第二输出端 V2，且该第三晶体管 P3 的源极连接至该第一晶体管 P1 的漏极，该第四晶体管 P4 的源极连接至该第一晶体管 P1 的栅极。

该换流电路 120 包括一第五晶体管 P5、一第六晶体管 P6 和一信号输出端 V。该第五晶体管 P5 的栅极连接至该第一输出端 V1，其源极接收来自外部电路的高电平信号 VDD，其漏极连接至该第六晶体管 P6 的源极。该第六晶体管 P6 的栅极连接至该第二输出端 V2，其漏极接收来自外部电路的低电平信号 VSS，其源极是该移位寄存单元 100 的信号输出端 V。

该第二时钟反相电路 130 包括一第七晶体管 P7、一第八晶体管 P8、一第九晶体管 P9 和一第十晶体管 P10。该第七晶体管 P7 的栅极连接至该第信号输出端 V，其源极接收来自外部电路的高电平信号 VDD，其漏极连接至该第八晶体管 P8 的源极。该第八晶体管 P8 的栅极和其漏极均接收来自外部电路的低电平信号 VSS。该第九晶体管 P9 的源极连接至该第一输出端 V1，其栅极接收来自外部电路的时钟信号 TS，其漏极连接至该第七晶体管 P7 的漏极。该第十晶体管的栅极接收外部电路的时钟信号 TS，其源极连接至该第二输出端 V2，其漏极连接至该信号输出端 V。

请一并参阅图 2，是该移位寄存单元 100 的工作时序图。在 t1 时段内，该前一移位寄存单元的输出信号 VS 由高电平跳变为低电平，反相时钟信号  $\overline{TS}$  由低电平跳变为高电平，则使该第三晶体管 P3 和该第四晶体管 P4 截止，进而使该第一时钟反相电路 110 断开。而该时钟信号 TS 由高电平跳变为低电平，使该第九晶体管 P9 和该第十晶体管 P10 导通，进而使该第二时钟反相电路 130 导通，而该信号输出端 V 初始状态的高电平经该第十晶体管 P10，使该第六晶体管 P6 截止，而该第八晶体管 P8 输出的低电平经由该第九晶体管 P9，

使该第五晶体管 P5 导通，进而使其源极的高电平信号 VDD 输出至该信号输出端 V，因而该信号输出端 V 保持高电平输出。

在 t2 时段内，该反相时钟信号  $\overline{TS}$  由高电平跳变为低电平，则使该第三晶体管 P3 和该第四晶体管 P4 导通，进而使该第一时钟反相电路 110 导通。而该时钟信号 TS 由低电平跳变为高电平，则使该第九晶体管 P9 和该第十晶体管 P10 截止，进而使该第二时钟反相电路 130 断开。该输入信号 VS 由高电平跳变为低电平，则使该第一晶体管 P1 导通，其源极的高电平 VDD 经该第三晶体管 P3 截止该第五晶体管 P5，且该输入信号 VS 的低电平经该第四晶体管 P4 导通该第六晶体管 P6，使该信号输出端 V 输出低电平。

在 t3 时段内，该反相时钟信号  $\overline{TS}$  由低电平跳变为高电平，则使该第三晶体管 P3 和该第四晶体管 P4 截止，进而使该第一时钟反相电路 110 断开。而该时钟信号 TS 由高电平跳变为低电平，使该第九晶体管 P9 和该第十晶体管 P10 导通，进而使该第二时钟反相电路 130 导通。该信号输出端 V 的低电平导通该第七晶体管 P7，其源极的高电平经该第九晶体管 P9 截止该第五晶体管 P5。同时，该信号输出端 V 的低电平也经该第十晶体管 P10，导通该第六晶体管 P6，该第六晶体管 P6 的漏极低电平使该信号输出端 V 保持低电平输出。

在 t4 时段内，该反相时钟信号  $\overline{TS}$  由高电平跳变为低电平，则使该第三晶体管 P3 和该第四晶体管 P4 导通，进而使该第一时钟反相电路 110 导通。而该时钟信号 TS 由低电平跳变为高电平，使该第九晶体管 P9 和该第十晶体管 P10 截止，进而使该第二时钟反相电路 120 断开。输入信号 VS 的高电平经该第四晶体管 P4 截止该第六晶体管 P6，而该第二晶体管 P2 的漏极低电平经该第三晶体管 P3 导通该第五晶体管 P5，使其源极的高电平输出至该信号输出端 V，使该信号输出端 V 的输出由低电平跳变为高电平。

从工作时序可见，该移位寄存单元 100 的输入信号 VS 为前一移位寄存单元在 t1 时段与 t2 时段内输出的信号，而信号输出端 V 在 t2 时段与 t3 时段内输出信号，输入信号 VS 与输出信号在 t2 时

段存在信号重叠情况，进而导致采用该移位寄存器作为数据驱动电路和扫描驱动电路的液晶显示器，在进行行扫描或列扫描时，存在相邻二行(Row)或列(Column)同时进行扫描的现象，从而加载信号产生相互干扰，使画面产生色差。

## 发明内容

为了解决上述移位寄存器输出信号重叠的问题，提供一种输出信号无重叠的移位寄存器实为必要。

为了解决上述液晶显示器出现信号干扰的问题，提供一种可避免信号干扰的液晶显示器也为必要。

一种移位寄存器，其包括多个移位寄存单元，两相邻移位寄存单元所接收的两时钟信号反相，每一移位寄存单元均包括：

一信号输出电路，该信号输出电路接收来自外部电路的一时钟信号，该信号输出电路包括一时钟晶体管和一电平晶体管，该时钟晶体管输出该时钟信号；该电平晶体管输出的信号为一恒低电平信号；

一信号输入电路，其接收前一移位寄存单元的输出信号，导通该时钟晶体管，并在该时钟晶体管导通一时钟周期后，接收后一移位寄存单元的输出信号以截止该时钟信号；

一第一逻辑电路，其接收该时钟信号和该信号输入电路输出的信号，在该时钟晶体管导通时，截止该电平晶体管；和

一第二逻辑电路，其接收后一移位寄存单元的输出信号，以导通该电平晶体管；

其中，当该信号输入电路输出一导通信号至该时钟晶体管和该第一逻辑电路，该第一逻辑电路输出一截止信号，截止该电平晶体管，该信号输出电路通过该时钟晶体管输出该时钟信号；反之，当该信号输入电路输出截止信号时，该时钟晶体管截止，该第二逻辑电路输出一导通信号以开启该电平晶体管，该信号输出电路输出为该恒低电平信号，该第一逻辑电路接收该时钟信号以维持该恒低电平信号输出。

一种液晶显示器，其包括：一液晶面板；一数据驱动电路，其包括一移位寄存器；和一扫描驱动电路，其包括一移位寄存器；每一移位寄存器包括：多个移位寄存单元，两相邻移位寄存单元所接收的两时钟信号反相，每一移位寄存单元均包括：

一信号输出电路，该信号输出电路接收来自外部电路的一时钟信号，该信号输出电路包括一时钟晶体管和一电平晶体管，该时钟晶体管输出该时钟信号；该电平晶体管输出的信号为一恒低电平信号；

一信号输入电路，其接收前一移位寄存单元的输出信号，导通该时钟晶体管，并在该时钟晶体管导通一时钟周期后，接收后一移位寄存单元的输出信号以截止该时钟信号；

一第一逻辑电路，其接收该时钟信号和该信号输入电路输出的信号，在该时钟晶体管导通时，截止该电平晶体管；和

一第二逻辑电路，其接收后一移位寄存单元的输出信号，以导通该电平晶体管；

其中，当该信号输入电路输出一导通信号至该时钟晶体管和该第一逻辑电路，该第一逻辑电路输出一截止信号，截止该电平晶体管，该信号输出电路通过该时钟晶体管输出该时钟信号；反之，当该信号输入电路输出截止信号时，该时钟晶体管截止，该第二逻辑电路输出一导通信号以开启该电平晶体管，该信号输出电路输出为该恒低电平信号，该第一逻辑电路接收该时钟信号以维持该恒低电平信号输出。

相较于现有技术，本发明的移位寄存器的移位寄存单元输出时钟信号时，可使后一移位寄存单元输出相反之时钟信号，使得该第一逻辑电路在该时钟晶体管导通时，截止该电平晶体管，以保证该移位寄存单元不会输出恒低电平信号，则与后一移位寄存单元的输出信号无重叠。另，本发明的移位寄存单元的输入电路与后一移位寄存单元的输出端相连，因而，当该后一移位寄存单元输出的信号为高电平信号，即可使该移位寄存单元关闭该时钟晶体管，从而该移位寄存单元输出低电平信号，与该后一移位寄存单元输出的信号

相反，不重叠。因而，采用该移位寄存器的液晶显示器在进行列扫描或行扫描时，其输出扫描信号和数据信号不会产生信号干扰，从而避免显示画面出现色差。

#### 附图说明

图 1 是一种现有技术移位寄存器的移位寄存单元的电路图。

图 2 是图 1 所示的移位寄存单元的工作时序图。

图 3 是本发明移位寄存器一较佳实施方式的结构框架图。

图 4 是该第一移位寄存单元和该第二移位寄存单元的电路图。

图 5 是图 4 所示第一移位寄存单元和第二移位寄存单元的工作时序图。

图 6 是应用图 3 所示的移位寄存器的液晶显示器的结构示意图。

#### 具体实施方式

请参阅图 3，是本发明移位寄存器一较佳实施方式的结构框架图。该移位寄存器 20 包括多个具有相同电路结构的移位寄存单元，该多个移位寄存单元依次串联，依次接收外部电路提供的第一时钟信号 CLK 和与该第一时钟信号反相的第二时钟信号 CLKB、高电平信号 VGH 和低电平信号 VGL，且在测试时接收测试信号 TEST。每一移位寄存单元均由多个 NMOS 型晶体管组成，每一 NMOS 型晶体管均包括一栅极、源极和漏极。以第一移位寄存单元 21 和与其相邻的第二移位寄存单元 22 为例说明该移位寄存器 20 的连接关系是，该第一移位寄存单元 21 包括一输入信号端 VIN1、一第一输出端 VOUT1 和一第二输出端 VOUT2。该第二移位寄存单元 22 包括一信号输入端 VIN2、一第一输出端 VO1 和一第二输出端 VO2。该第一移位寄存单元 21 之第一输出端 VOUT1 的输出信号作为该第二移位寄存单元 22 之信号输入端 VIN2 的输入信号；该第一移位寄存单元 21 和该第二移位寄存单元 22 的第二输出端 VOUT2 和 VO2 为外部电路(图未示)提供信号。

请一并参阅图 4, 是该第一移位寄存单元 21 和该第二移位寄存单元 22 相连接的电路图。该第一移位寄存单元 21 包括一信号输入电路 211、一第一逻辑电路 212、一第二逻辑电路 213、一第三逻辑电路 214、一信号输出电路 215、一测试电路 216、一第一节点 1 和一第二节点 2。该第一节点 1 是该信号输入电路 211、该第一逻辑电路 212、该第三逻辑电路 214 和该信号输出电路 215 交汇形成; 该第二节点 2 是该第二逻辑电路 213、该第三逻辑电路 214 和该信号输出电路 215 交汇形成。

该信号输入电路 211 包括一第一晶体管 M1 和一第二晶体管 M2。该第一晶体管 M1 的源极接收来自外部电路的高电平信号 VGH, 其栅极作为该位移寄存单元 21 的输入端 VIN1, 其漏极连接至该第二晶体管 M2 的源极且一并输出至该第一节点 1。该第二晶体管 M2 的栅极与该第二移位寄存单元 22 的第一输出端 VO1 连接, 其漏极接收外部电路的低电平信号 VGL。

该第一逻辑电路 212 包括一第三晶体管 M3、一第四晶体管 M4、一第五晶体管 M5 和一第六晶体管 M6。该第三晶体管 M3 的栅极接收来自外部电路的第一时钟信号 CLK, 其漏极接收来自外部电路的高电平信号 VGH, 源极与该第四晶体管 M4 的漏极连接。该第四晶体管 M4 的栅极连接该第一节点 1, 其源极接收来自外部电路的低电平信号 VGL, 其漏极连接至该第五晶体管 M5 的栅极。该第五晶体管 M5 的漏极接收来自外部电路的高电平信号 VGH, 其源极连接至该第六晶体管 M6 的漏极。该第六晶体管 M6 的栅极连接至该第四晶体管 M4 的栅极, 其源极接收一来自外部电路的低电平信号 VGL。

该第二逻辑电路 213 包括一第七晶体管 M7。该第七晶体管 M7 的栅极与该第二移位寄存单元 22 的第一输出端 VO1 连接, 其漏极接收来自外部电路的高电平信号 VGH, 其源极连接至该第二节点 2。

该第三逻辑电路 214 包括一第八晶体管 M8 和一第九晶体管 M9。该第八晶体管 M8 的栅极连接至该第二节点 2, 其源极与该第

九晶体管 M9 的漏极相连，其漏极连接至该第一节点 1。该第九晶体管 M9 的源极接收外部低电平信号 VGL。

该信号输出电路 215 包括一时钟晶体管(未标示)、一电平晶体管(未标示)、一第一输出端 VOUT1 和一第二输出端 VOUT2。该时钟晶体管包括一第十晶体管 M10 和一第十二晶体管 M12，该电平晶体管包括一第十一晶体管 M11 和一第十三晶体管 M13。该第十晶体管 M10 和该第十二晶体管 M12 的漏极均接收来自外部电路的第一时钟信号 CLK，二者的栅极均连接至该第一节点 1，二者的源极分别连接至该第十一晶体管 M11 和该第十三晶体管 M13 的漏极，并分别作为第一输出端 VOUT1 和第二输出端 VOUT2。该第十一晶体管 M11 和该第十三晶体管 M13 的栅极均连接至该第二节点 2，二者的源极均接收外部电路提供的低电平信号 VGL。

该测试电路 216 包括一第十四晶体管 M14 和一测试输入端 3，该第十四晶体管 M14 的栅极连接至漏极，且该漏极作为该测试输入端 3，其源极连接至第一节点 1。

该第二位移寄存单元 22 的电路结构与该第一位移寄存单元 21 的电路结构相同，其也包括十四个晶体管 T1~T14，一信号输入端 VIN2、一第一输出端 VO1、一第二输出端 VO2。该第二位移寄存单元 22 与该第一位移寄存单元 21 的区别在于：该第二位移寄存单元 22 接收该第一位移寄存单元 21 的第一输出端 VOUT1 作为信号输入端 VIN2，其第一输出端 VO1 与该第一位移寄存单元 21 的第二晶体管 M2 和第七晶体管 M7 的栅极连接；其第九晶体管 T9 的栅极与该第一位移寄存单元 21 的第七晶体管 M7 的漏极相连；其第三晶体管 T3 的栅极和其第十晶体管 T10 与第十二晶体管 T12 的漏极均接收外部电路提供的第二时钟信号 CLKB。

请一并参阅图 5，是该第一移位寄存单元 21 和该第二移位寄存单元 22 的工作时序图。在 t1 时间段之前，信号输入端 VIN1 接入高电平，该第一晶体管 M1 导通，则该第一节点 1 处于高电平，从而该第十晶体管 M10 和该第十二晶体管 M12 导通；并使该第六晶

晶体管 M6 和该第四晶体管 M4 导通，该低电平信号 VGL 经由该第四晶体管 M4 输出至该第三晶体管 M3 的漏极，且经由该第六晶体管 M6 输出低电平信号 VGL 至该第二节点 2。在 t1 时间段内，该第一时钟信号 CLK 由低电平信号 VGL 变至高电平信号 VGH。该第一移位寄存单元 21 的第一输出端 VOUT1 和第二输出端 VOUT2 均输出该输出电路 215 接收的第一时钟信号 CLK，即输出高电平信号 VGH，该高电平信号 VGH 传送至该第二移位寄存单元 22 的信号接收端 VIN2。同时，该第一逻辑电路 212 接收该第一时钟信号 CLK，开启该第三晶体管 M3，但是，该第三晶体管 M3 的漏极接收低电平信号 VGL，从而使该第五晶体管 M5 截止，该第二节点 2 保持低电平信号 VGL。因而，该第二节点 2 输出低电平信号 VGL 至该信号输出电路 215，该第十一晶体管 M11 和该第十三晶体管 M13 截止，以保证该第一输出端 VOUT1 和该第二输出端 VOUT2 输出的信号不受该第十一晶体管 M11 和该第十三晶体管 M13 的源极接低电平信号 VGL 的影响，不产生噪声(Ripple)。

该第二移位寄存单元 22 接收的第二时钟信号 CLKB 为低电平信号 VGL；该第二移位寄存单元 22 的输入端 VIN2 接收该第一移位寄存单元 21 的第一输出端 VOUT1 输出的高电平信号 VGH，开启该第一晶体管 T1，该第一晶体管 T1 输出该高电平信号 VGH 以开启该第十晶体管 T10 和第十二晶体管 T12，在 t1 时间段内，该第一输出端 VO1 和第二输出端 VO2 输出该第二时钟信号 CLKB，即低电平信号 VGL。同时，因该第二时钟信号 CLKB 为低电平信号 VGL，所以，该第三晶体管 T3 和该第五晶体管 T5 截止，该第四和第六晶体管 T4 和 T6 开启，输出低电平信号 VGL 截止该第十一和第十三晶体管 T11 和 T13。该第二移位寄存器 22 输出的低电平信号 VGL 传送至该第一移位寄存单元 21，截止其第二晶体管 M2，以保证该第一移位寄存单元 21 第一节点 1 为高电平。

在 t2 时间段内，该第一移位寄存单元 21 接收的第一时钟信号 CLK 由高电平信号 VGH 转换为低电平信号 VGL。该第一移位寄存

单元 21 的信号输入端 VIN1 接收一低电平信号 VGL, 该第一晶体管 M1 截止, 该第一节点 1 保持高电平, 该第十晶体管 M10 和该第十二晶体管 M12 保持开启状态, 该第一输出端 VOUT1 和第二输出端 VOUT2 输出时钟信号 CLK, 即输出低电平信号 VGL。同时, 该第四晶体管 M4 和该第六晶体管 M6 保持开启状态, 截止该第十一和第十三晶体管 M11 和 M13。

在  $t_2$  时间内, 该第二移位寄存单元 22 接收的第二时钟信号 CLKB 由低电平信号 VGL 转换为高电平信号 VGH, 该第一移位寄存单元 21 输出的低电平信号 VGL 输入该第二移位寄存单元 22 的信号输入端 VIN2, 截止该第一晶体管 T1, 该第十晶体管 T10 和该第十二晶体管 T12 的保持导通, 该第一输出端 VO1 和该第二输出端 VO2 输出该第二时钟信号 CLKB, 即输出高电平信号 VGH。同时, 该第二时钟信号 CLKB 打开该第三晶体管 T3, 由于该第四晶体管 T4 和第六晶体管 T6 保持导通状态, 因而, 输入第十一晶体管 T11 和第十三晶体管 T13 的栅极信号仍然为低电平信号 VGL, 截止该第十一晶体管 T11 和该第十三晶体管 T13, 防止该第一输出端 VO1 和该第二输出端 VO2 输出的电信号产生噪声, 保持输出高电平信号 VGH。

该第一输出端 VO1 输出的高电平信号 VGH 反馈回该第一移位寄存单元 21 的第二晶体管 M2 的栅极, 以使该信号输入电路 211 输出低电平信号 VGL 至该第一节点 1, 截止该第十晶体管 M10 和该第十二晶体管 M12。同时, 该第一输出端 VO1 输出的高电平信号 VGH 反馈回该第七晶体管 M7 的栅极, 打开该第七晶体管 M7, 输出高电平信号 VGH 至该第十一晶体管 M11 和该第十三晶体管 M13, 该第十一晶体管 M11 和该第十三晶体管 M13 导通, 保持该第一移位寄存单元 21 的第一输出端 VOUT1 和第二输出端 VOUT2 输出低电平信号 VGL。

$t_2$  时间段以后, 该第一移位寄存单元 21 的信号输入端 VIN1 保持接收该低电平信号 VGL, 该第四晶体管 M4、该第六晶体管 M6、

该第十晶体管 M10 和第十二晶体管 M12 保持截止，该第一逻辑转换单元 212 接收的时钟信号 CLK 保持该第十一晶体管 M11 和该第十三晶体管 M13 的导通，该第一输出端 VOUT1 和该第二输出端 VOUT2 保持输出低电平信号 VGL。同理可知，t2 时间段以后，该第二移位寄存单元 22 的第一输出端 VO1 和第二输出端 VO2 保持输出低电平信号 VGL。

该第一移位寄存单元 21 的测试电路 216 和该第二移位寄存单元 22 的测试电路均在正常工作状态下保持截止状态，对该移位寄存器 20 的工作无影响，当该移位寄存器 20 应用于驱动液晶显示面板后，测试该液晶显示面板时，该移位寄存器 20 的测试电路方才导通。该第三逻辑电路 214 作为该第一移位寄存单元 21 的清零电路，在该移位寄存器 20 工作前，该第三逻辑电路 214 的第八晶体管 M8 和第九晶体管 M9 的栅极均外接清零信号对该第一移位寄存单元 21 清零。

自工作时序来看，由于该第一移位寄存单元 21 的时钟信号晶体管 M10 和 M12 导通输出时钟信号时，该第二移位寄存单元 22 的时钟信号晶体管 T10 和 T12 导通，输出时钟信号由于该第一移位寄存单元 21 和第二移位寄存单元 22 接收的时钟信号相反，因而，该第一移位寄存单元 21 和第二移位寄存单元 22 输出的信号无重叠。另，当该第二移位寄存单元 22 输出的信号为高电平信号 VGH，即可使该第一移位寄存单元 21 的第十晶体管 M10 与该第十二晶体管 M12 截止，从而保证该第一移位寄存单元 21 输出低电平信号 VGL，与该第二移位寄存单元 22 输出的信号相反，不重叠。

还有，该第一移位寄存单元 21 的输出电路 215 的第十晶体管 M10 和该第十二晶体管 M12 的栅极接于该第一节点 1，当该第十晶体管 M10 和该第十二晶体管 M12 接收的第一时钟信号 CLK 由低电平信号 VGL 变至高电平信号 VGH 时，由于受该第十晶体管 M10 和该第十二晶体管 M12 内部寄生电容的影响，该第十晶体管 M10 和该第十二晶体管 M12 栅极电压变高，该第一节点 1 的电位也被拉高。但是，本发明的第一逻辑电路 212 的第四晶体管 M4 和第六晶体管

M6 连接于该第一节点 1, 该第四晶体管 M4 和第六晶体管 M6 的栅极电压也被拉高, 则该第四晶体管 M4 和第六晶体管 M6 的漏极电压进一步变低, 受该第四晶体管 M4 和第六晶体管 M6 内部寄生电容的影响, 其栅极电压将变低, 反馈回该第一节点 1, 以压制该第十晶体管 M10 和该第十二晶体管 M12 的阈值电压漂移, 从而保证该第一移位寄存单元 21 输出稳定。

请参阅图 6, 是应用图 3 所示的移位寄存器 20 的液晶显示器的结构示意图。该液晶显示器 30 包括一液晶显示面板 31、一数据驱动电路 32 和一扫描驱动电路 33。该液晶显示面板 31 包括一上基板(图未示)、一下基板(图未示)和一夹持在上基板与下基板间的液晶层(图未示), 且在该下基板邻近液晶层一侧设置有一用于控制液晶分子扭转状况的薄膜晶体管阵列(图未示)。该扫描驱动电路 33 输出扫描信号以控制该液晶显示面板 31 之薄膜晶体管矩阵的导通与截止状态, 该数据驱动电路 32 输出数据信号控制该液晶显示面板 31 显示画面变化。该扫描驱动电路 33 和该数据驱动电路 32 皆利用该移位寄存器 20 控制扫描信号与数据信号的输出时序, 从而控制该液晶显示面板 31 的显示。该移位寄存器 20 可与该液晶显示器 30 的薄膜晶体管阵列在同一工艺内形成。

由于该移位寄存器 20 的各级移位寄存单元的输出不存在信号重叠现象, 因而使得使用该移位寄存器 20 作为扫描驱动电路 32 和数据驱动电路 33 的液晶显示器 30 在进行列扫描或行扫描时, 其输出扫描信号和数据信号不会产生信号干扰, 从而避免显示画面出现色差。

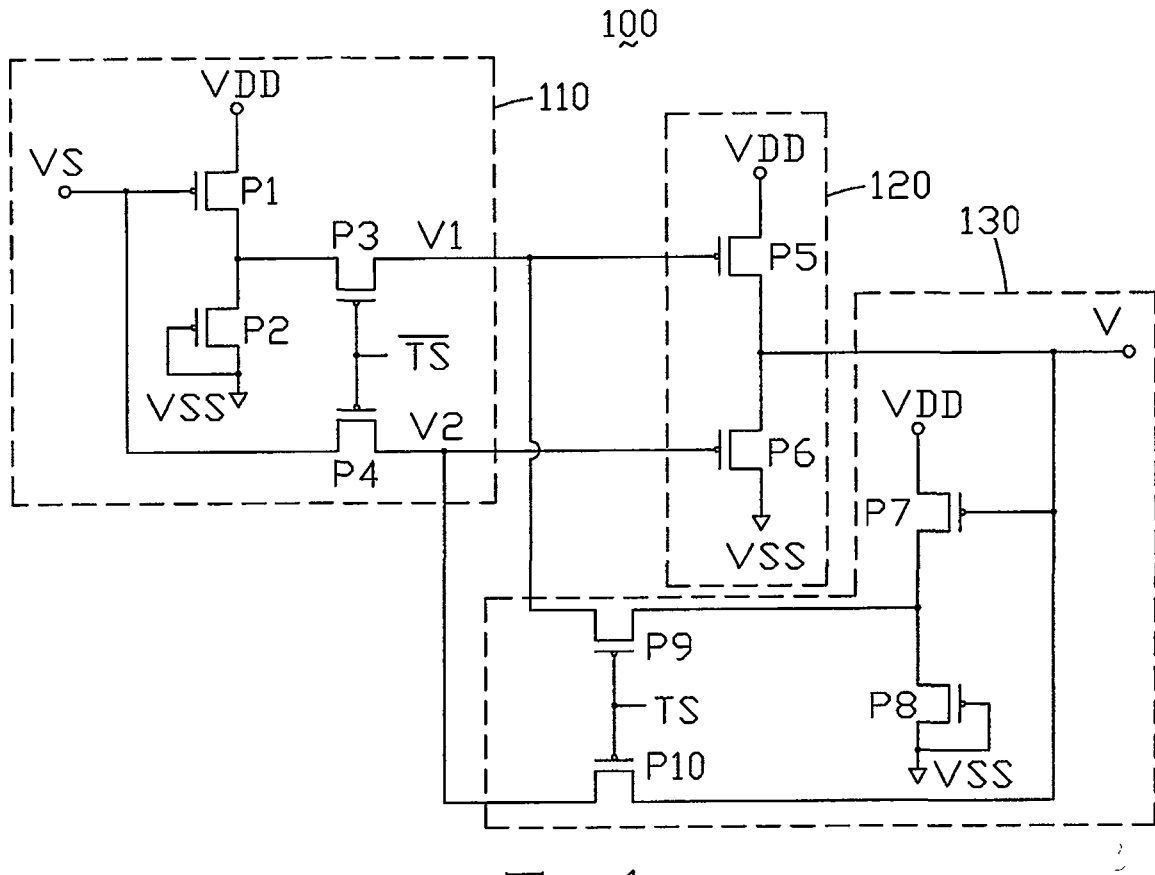


图 1

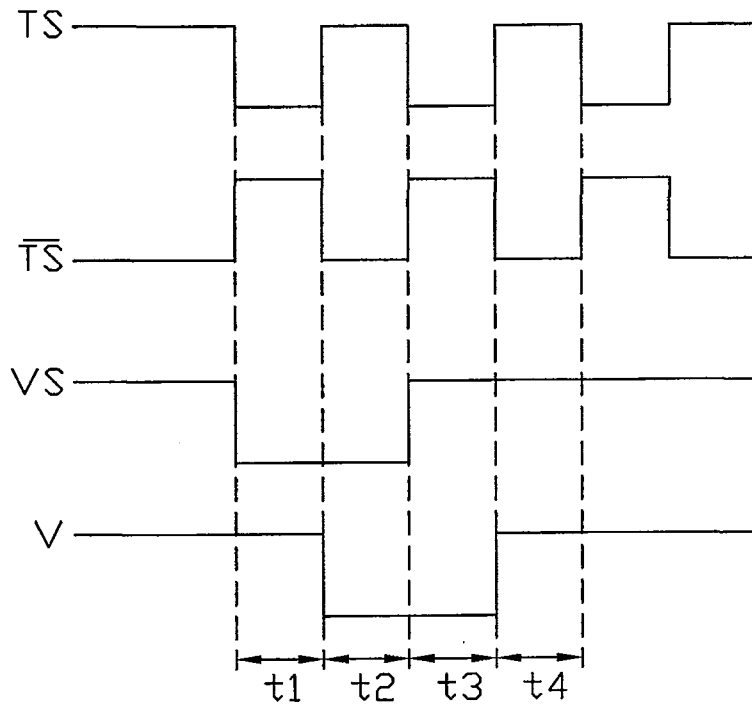


图 2

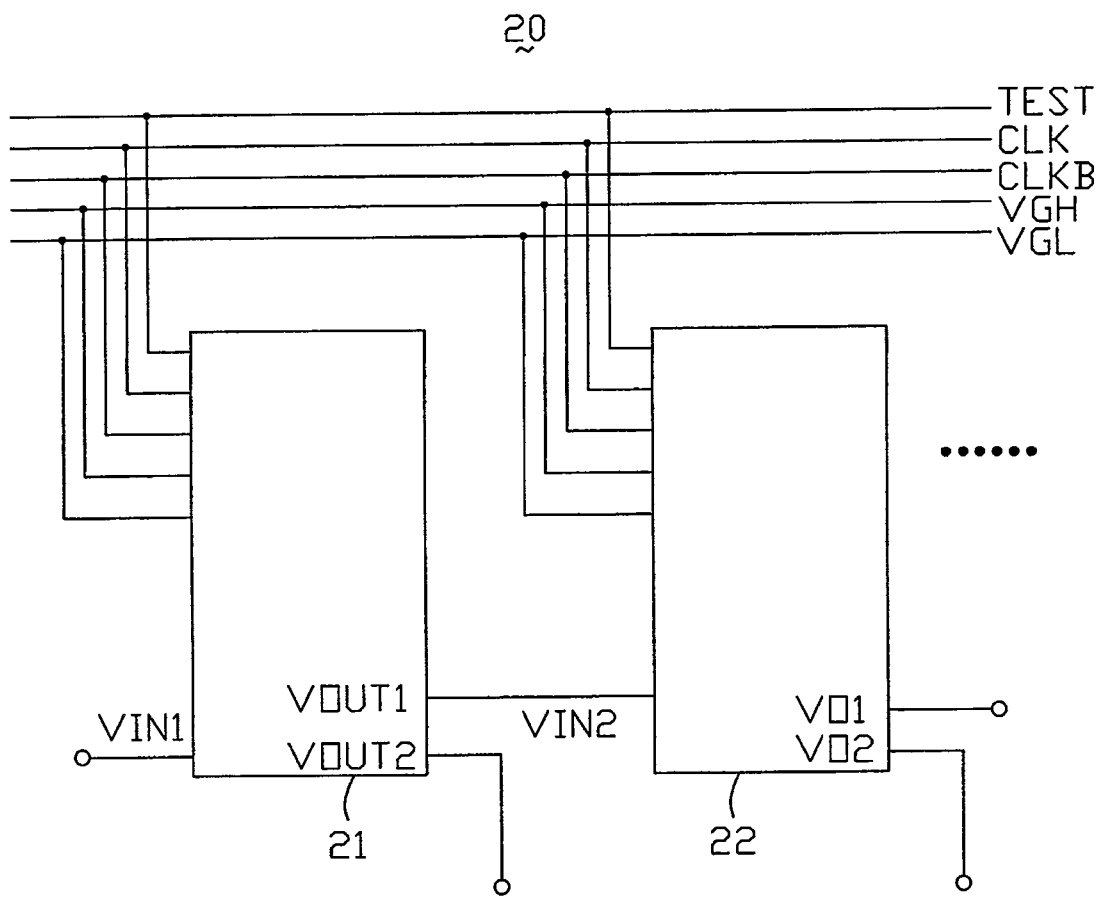


图 3

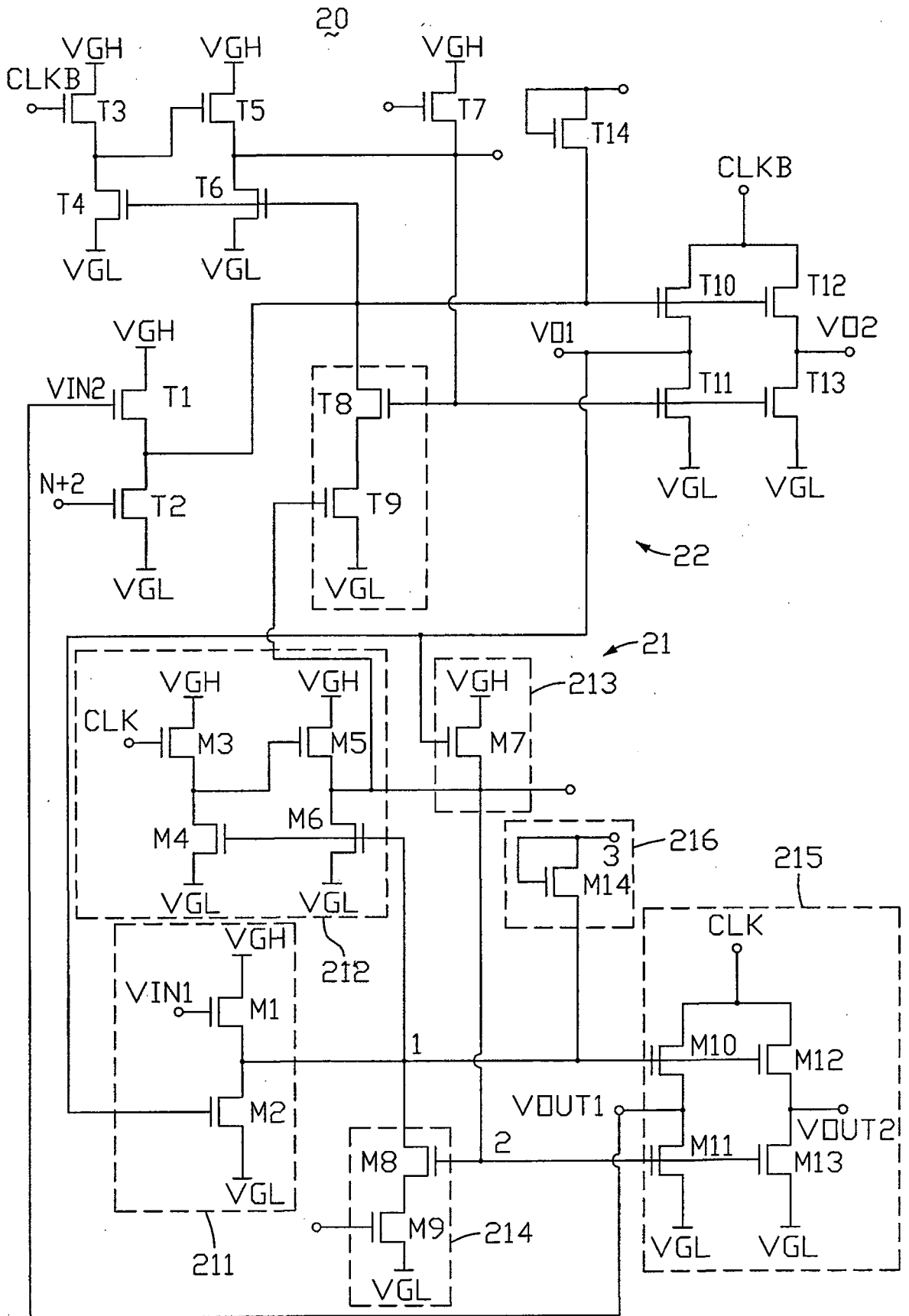


图 4

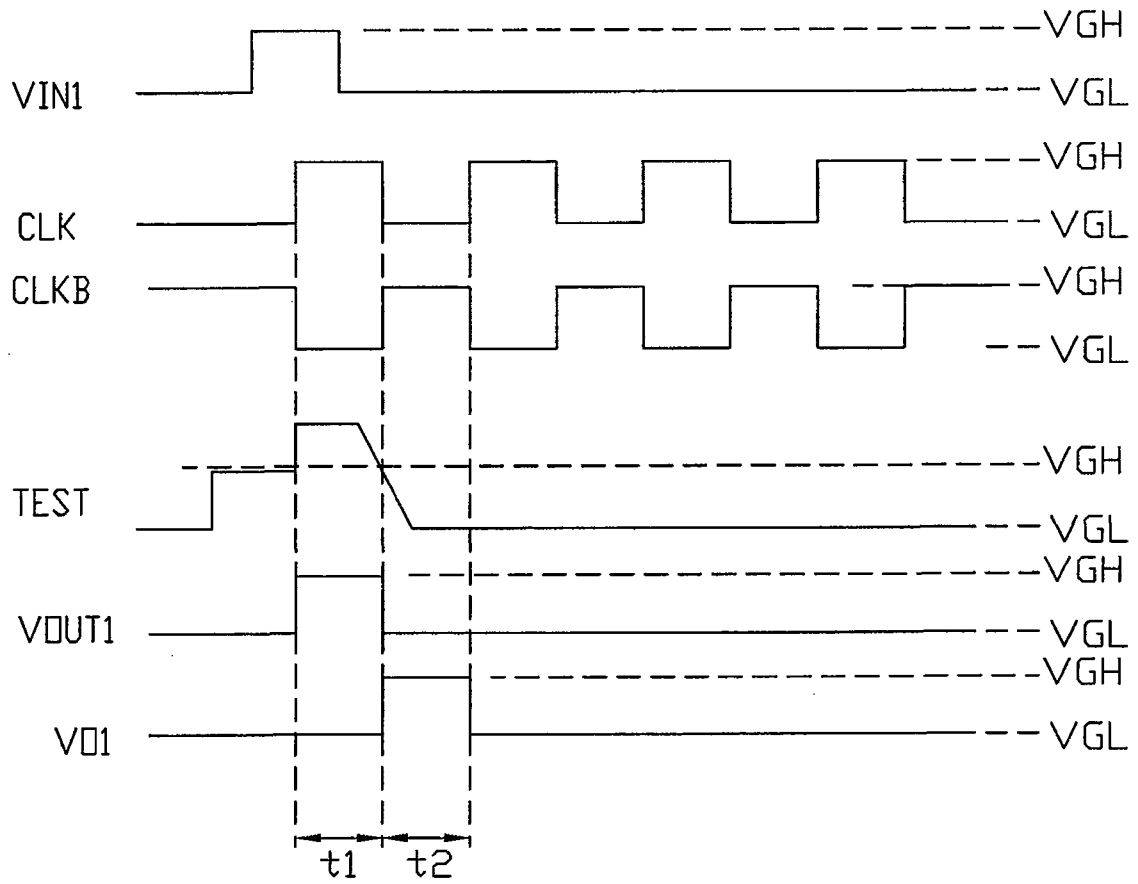


图 5

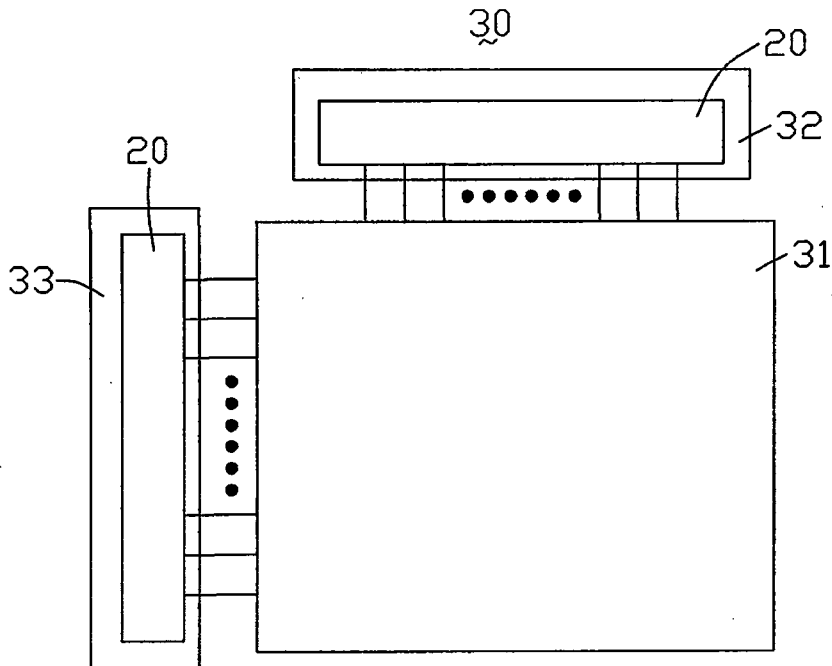


图 6