

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6419500号
(P6419500)

(45) 発行日 平成30年11月7日 (2018. 11. 7)

(24) 登録日 平成30年10月19日 (2018. 10. 19)

(51) Int. Cl. F I
 H O 1 L 25/10 (2006. 01) H O 1 L 25/14 Z
 H O 1 L 25/11 (2006. 01)
 H O 1 L 25/18 (2006. 01)

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2014-187826 (P2014-187826)	(73) 特許権者	513276101
(22) 出願日	平成26年9月16日 (2014. 9. 16)		エルジー イノテック カンパニー リミテッド
(65) 公開番号	特開2015-57827 (P2015-57827A)		大韓民国 100-714, ソウル, ジュン-グ, ハンガン-テロ, 416, ソウル スクエア
(43) 公開日	平成27年3月26日 (2015. 3. 26)		
審査請求日	平成29年9月14日 (2017. 9. 14)	(74) 代理人	100105924
(31) 優先権主張番号	10-2013-0110974		弁理士 森下 賢樹
(32) 優先日	平成25年9月16日 (2013. 9. 16)	(72) 発明者	キム、ドン スン
(33) 優先権主張国	韓国 (KR)		大韓民国 100-714 ソウル、チュン-ク、ハンガン-デロ、416、ソウルスクエア
(31) 優先権主張番号	10-2013-0115332		
(32) 優先日	平成25年9月27日 (2013. 9. 27)		
(33) 優先権主張国	韓国 (KR)		
(31) 優先権主張番号	10-2013-0115333		
(32) 優先日	平成25年9月27日 (2013. 9. 27)		
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

(54) 【発明の名称】 半導体パッケージ

(57) 【特許請求の範囲】

【請求項 1】

基板と、前記基板の上に配置された第 1 パターン部と、前記基板の上に配置され、前記第 1 パターン部の上面を露出させる開口部を有するはんだレジストパターンとを含み、第 1 素子を実装される下部パッケージと、

前記第 1 パターン部の上に配置される第 2 パターン部と、

前記第 2 パターン部を介して前記下部パッケージに接続され、少なくとも一つの金属材料部を含む金属ポストと、

第 2 素子を実装され、はんだボールを介して前記金属ポストに接続される上部パッケージと、
 を含み、

前記第 2 パターン部は、前記第 1 パターン部の上面の少なくとも一部を露出させ、前記第 1 パターン部の上面、前記開口部の内壁及び前記はんだレジストパターンの上面の上に配置され、

前記金属ポストは、前記開口部を介して露出された前記第 1 パターン部の上に配置され、第 1 金属材料を含むはんだ部と、前記はんだ部の上に配置され、第 2 金属材料を含む金属材料部とを含み、

前記はんだ部は、前記開口部内に配置される第 1 部分と、前記第 1 部分の上に配置され、前記はんだレジストパターンの上に突出した第 2 部分とを含み、

前記第 1 部分の側面は、前記第 2 パターン部と直接接触し、

10

20

前記第 1 部分の下面は、前記第 1 パターン部と直接接触する半導体パッケージ。

【請求項 2】

前記はんだ部の前記第 2 部分は、上部に行くほど幅が減少し、前記第 2 部分の上端の幅が下端の幅の 50% ~ 90% に形成される請求項 1 に記載の半導体パッケージ。

【請求項 3】

前記はんだ部は、側面が前記下部パッケージの基板の表面に対して 5° ~ 45° に傾斜する請求項 2 に記載の半導体パッケージ。

【請求項 4】

前記はんだ部は、錫(Sn)と銅(Cu)の合金材料又は錫(Sn)と銀(Ag)の合金材料で構成される請求項 1 から 3 のいずれか一項に記載の半導体パッケージ。

10

【請求項 5】

前記はんだ部は、230 ~ 250 の溶融点を有する請求項 1 から 4 のいずれか一項に記載の半導体パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体パッケージ(Semiconductor Package)に関する。

【背景技術】

【0002】

20

半導体技術の発展と共に使用者の要求に応じて電子機器はますます小型化及び軽量化されており、これにより、同一又は異種の半導体チップを一つの単位パッケージで実現するマルチチップパッケージング(Multi-Chip Packaging)技術が要求されてきた。マルチチップパッケージングは、それぞれの半導体チップをパッケージで実現することに比べ、パッケージのサイズや重さ及び実装に有利であり、特に、小型化と軽量化が要求される携帯用通信端末などに多く適用される。

【0003】

このようなマルチチップパッケージングのうちパッケージ基板上にパッケージ基板を積層するスタック(stack)タイプをパッケージオンパッケージ(Package on Package、以下、PoPとする。)という。近年は、半導体パッケージ技術の発達と共に、半導体パッケージの高容量、薄型化、及び小型化によって積層されるチップの数が多くなっている。

30

【0004】

従来のパッケージオンパッケージは、はんだボール印刷及びリフロー工程により二つのパッケージを連結したり、先に下部パッケージをモールドイングした後、モールドイング部分をレーザドリル工程(Laser Drilling)により下部パッケージのPoPパッドまでビア(Via)を形成して(Through Molded Via方法)はんだボールをビア内に印刷してメモリダイが実装された上部パッケージをリフロー工程によって連結する方法を適用している。

【0005】

40

しかしながら、最近ではパッケージオンパッケージ製品において高集積及び高性能を実現するためにダイ(Die)の実装数を増やしたり、受動素子を搭載するための試みが行われており、このために、パッケージ間の間隔をより広く確保することが重要な課題となっている。

【0006】

しかしながら、従来技術に係る半導体パッケージは、パッケージ間の間隔を広げるために、はんだボール(solder ball)の大きさ又は高さを大きくする場合、はんだボールにクラック(crack)又は崩壊が発生するという問題点があった。

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 7 】

本発明は、上述した問題点を解決するためになされたものであって、本発明の目的は、上部パッケージと下部パッケージ間の間隔を広げて実装されるチップの数を増加させることで、高密度を実現し、上部パッケージと下部パッケージ間の接合信頼性が優れた半導体パッケージを提供することにある。

【課題を解決するための手段】

【 0 0 0 8 】

上述した問題点を解決するための本実施例に係る半導体パッケージは、素子が実装された下部パッケージと、前記下部パッケージに接続され、少なくとも一つの金属材料部を含む金属ポストと、素子が実装されてはんだボールを介して前記金属ポストに接続される上部パッケージと、を含む。

10

【 0 0 0 9 】

本発明の他の一実施例によると、前記金属材料部は、表面上に表面処理層を形成することができる。

【 0 0 1 0 】

本発明の他の一実施例によると、前記表面処理層は、前記金属ポストの上面及び側面に形成することができる。

【 0 0 1 1 】

本発明の他の一実施例によると、前記表面処理層は、金(Au)及びニッケル(Ni)のうち少なくともいずれか一つの金属材料で構成することができる。

20

【 0 0 1 2 】

本発明の他の一実施例によると、前記金属ポストは、前記はんだボールに接続される一端の幅を他端の幅よりも小さく形成することができる。

【 0 0 1 3 】

本発明の他の一実施例によると、前記金属ポストは、前記はんだボールに接続される一端から他端に行くほど次第に幅が増加するように形成することができる。

【 0 0 1 4 】

本発明の他の一実施例によると、前記金属ポストは、前記一端の幅が他端の幅の50%～90%に形成することができる。

【 0 0 1 5 】

本発明の他の一実施例によると、前記金属ポストは、長さ方向の面が前記下部パッケージの基板の表面に対して5°～45°に傾斜するように形成することができる。

30

【 0 0 1 6 】

本発明の他の一実施例によると、前記金属ポストは、前記はんだボールに接続される一端を前記はんだボール内に引き込むことができる。

【 0 0 1 7 】

本発明の他の一実施例によると、前記金属ポストは、銅(Cu)、錫(Sn)、鉛(Pb)及び銀(Ag)のうち少なくともいずれか一つの材料で構成することができる。

【 0 0 1 8 】

本発明の他の一実施例によると、前記金属ポストは、第1金属材料のはんだ部と、第2金属材料の金属材料部と、を含むことができる。

40

【 0 0 1 9 】

本発明の他の一実施例によると、前記はんだ部は、錫(Sn)と銅(Cu)の合金材料又は錫(Sn)と銀(Ag)の合金材料で構成することができる。

【 0 0 2 0 】

本発明の他の一実施例によると、前記はんだ部は、230～250の溶融点を有するように構成することができる。

【 0 0 2 1 】

本発明の他の一実施例によると、前記下部パッケージは、基板と、前記基板上に形成される第1シードパターン部と、を含み、前記金属ポストは前記第1シードパターン部上に

50

形成することができる。

【 0 0 2 2 】

本発明の他の一実施例によると、前記第 1 シードパターン部上に、前記第 1 シードパターン部の上面の一部が露出されるように形成されるはんだレジストパターンを更に含むことができる。

【発明の効果】

【 0 0 2 3 】

本発明の実施例によると、上部パッケージと下部パッケージ間の間隔を広げて実装されるチップの数を増加させることで、高密度を実現し、上部パッケージと下部パッケージ間の接合信頼性が優れた半導体パッケージを提供することができる。

10

【図面の簡単な説明】

【 0 0 2 4 】

【図 1】本発明の一実施例による半導体パッケージの断面図である。

【図 2】本発明の一実施例による半導体パッケージの金属ポストの断面図である。

【図 3】本発明の他の一実施例による半導体パッケージの金属ポストの断面図である。

【図 4】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図 5】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図 6】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

20

【図 7】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図 8】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図 9】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図 10】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図 11】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

30

【図 12】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図 13】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図 14】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図 15】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図 16】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

40

【図 17】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図 18】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図 19】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図 20】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図 21】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明

50

するための図である。

【図 2 2】本発明の他の一実施例による半導体パッケージの金属ポストの断面図である。

【発明を実施するための形態】

【0025】

以下、添付の図面を参照して本発明の望ましい実施例について詳しく説明する。但し、本発明はこれらの実施例により限定されるものではない。本明細書に亘って同じ構成要素に対しては同じ符号を付す。

【0026】

図 1 は本発明の一実施例による半導体パッケージの断面図である。図 1 を参照すると、本発明の一実施例による半導体パッケージは、上部パッケージ 400 が下部パッケージ 300 上に積層されて、これらが互いに電氣的に接続されたパッケージオンパッケージ(Package On Package; POP)タイプのパッケージで構成される。

【0027】

半導体パッケージは、下部パッケージ 300、上部パッケージ 400、及び金属ポスト 500 を含んで構成される。

【0028】

下部パッケージ 300 には下部パッケージ基板 310 上に少なくとも一つの下部素子 370 が実装され、上部パッケージ 400 にも上部パッケージ基板 410 上に少なくとも一つの上部素子 430 が実装される。一方、前記素子 430 は半導体で構成することができる。

【0029】

この際、前記下部パッケージ基板 310 と上部パッケージ基板 410 のうち少なくともいずれか一つはプリント回路基板(PCB)で構成することができる。

【0030】

一例として、下部パッケージ 300 は、下部パッケージ基板 310 と、下部パッケージ基板上に実装された下部素子 370 とを含むことができる。下部素子 370 が複数で構成される場合には絶縁物質層を介して積層することができる。

【0031】

下部パッケージ基板 310 の下面には、半導体パッケージを外部装置と電氣的に接続させるはんだボール形態の外部端子 350 を備えることができる。

【0032】

同様に、上部パッケージ 400 は、上部パッケージ基板 410 と、そして上部パッケージ基板 410 の上面上に実装された上部素子 430 とを含むことができる。前記上部素子 430 が複数で構成される場合には絶縁性物質膜を介して積層することができる。

【0033】

上部素子 430 と上部パッケージ基板 410 は、複数のボンディングワイヤ 442 によって互いに電氣的に接続させることができる。

【0034】

金属ポスト 500 は、上記のように構成される下部パッケージ 300 に接続される。

【0035】

より詳しく説明すると、前記下部パッケージ 300 の基板上に第 1 シードパターン部 530 が構成され、前記金属ポスト 500 は前記第 1 シードパターン部 530 上に形成することができる。

【0036】

前記金属ポスト 500 は、少なくとも一つの金属材料部 510 を含んで構成することができ、この際、第 1 金属材料のはんだ部 510 と第 2 金属材料の金属材料部 520 で構成したり、表面処理層 520 と金属材料部 510 で構成することができる。

【0037】

本発明の実施例によると、前記はんだ部 510 は、錫(Sn)と銅(Cu)の合金材料又は錫(Sn)と銀(Ag)の合金材料で構成され、230 ~ 250 の溶融点を有する高融点

10

20

30

40

50

のはんだ材料で形成することができ、前記金属材料部 5 2 0 は銅(Cu)材料で構成することができる。

【0038】

従来の一般的なのはんだ材料を用いる場合、一般的なのはんだ材料は 2 1 0 ~ 2 2 0 の溶融点を有するが、本発明の実施例でのように、はんだ部 5 1 0 が 2 3 0 ~ 2 5 0 の高融点のはんだ材料で形成されると、接合信頼性が優れており、上部パッケージ 4 0 0 の積層のときに安定的な工程の歩留りを確保できる効果がある。

【0039】

又、はんだ部 5 1 0 は、図 1 に示すように、上面が下部パッケージ 3 0 0 のはんだレジスト 5 4 0 よりも上部に突出されるように構成することができる。

10

【0040】

上記のように構成された金属ポスト 5 0 0 は、はんだボール 5 0 1 によって前記上部パッケージ 4 0 0 と接続することができる。

【0041】

高融点のはんだ材料のはんだ部 5 1 0 を含む金属ポスト 5 0 0 を構成する場合、上部パッケージ 4 0 0 の積層のときに安定的な工程の歩留りを確保できるのみでなく、上部パッケージ 4 0 0 と下部パッケージ 3 0 0 間の間隔を広げて半導体チップの高密度積層を可能にし、信頼度と安定性を向上させた半導体パッケージを構成することができる。

【0042】

一方、金属ポスト 5 0 0 が表面処理層 5 2 0 と金属材料部 5 1 0 で構成される場合、前記表面処理層 5 2 0 は、金属材料を用いたメッキ層で形成することができ、より詳しくは、表面処理層 5 2 0 は、金(Au)及びニッケル(Ni)のうち少なくともいずれか一つの材料で構成することができる。

20

【0043】

本発明の実施例でのように金属ポスト 5 0 0 の表面に表面処理層 5 2 0 を形成すると、上部パッケージ 4 0 0 との接合信頼性を向上させることができ、上部パッケージ 4 0 0 の積層のときに安定的な工程の歩留りを確保すると共に、金属ポスト 5 0 0 の酸化を防止することができる、半導体パッケージの信頼性を確保することができる。

【0044】

一方、前記金属ポスト 5 0 0 は、前記下部パッケージ 3 0 0 側に接続される端部の幅が前記上部パッケージ 4 0 0 側に接続される端部の幅よりも大きく形成される。

30

【0045】

より詳しく説明すると、図 1 に示すように、金属ポスト 5 0 0 は、はんだボール 5 0 1 に接続される一端の幅を前記一端に対向する他端の幅よりも小さく形成することができ、この際、前記金属ポスト 5 0 0 は、前記他端から前記一端に行くほど次第に幅が減少する形態で構成される。

【0046】

即ち、前記金属ポスト 5 0 0 は、前記下部パッケージ基板 3 1 0 に接続される側の幅から上部の幅が次第に減少する形態で構成することができる。

【0047】

この際、金属ポスト 5 0 0 の一端の幅を他端の幅の 5 0 % 以下のサイズに構成したり、金属ポスト 5 0 0 が下部パッケージ基板 3 1 0 の表面から 4 5 ° 以下の角度で傾斜するように構成すると、はんだボール 5 0 1 との接合信頼度に問題が発生する。

40

【0048】

したがって、金属ポスト 5 0 0 は、一端の幅を他端の幅の 5 0 % ~ 9 0 % に構成したり、長さ方向の面が前記下部パッケージの基板の表面から垂直方向に成す角度()を 5 ° ~ 4 5 ° に傾斜するように構成することで、金属ポスト 5 0 0 とはんだボール 5 0 1 との接合信頼度を確保することができる。

【0049】

この際、前記金属ポスト 5 0 0 は銅(Cu)で形成することができる。

50

【 0 0 5 0 】

上記のように形成された金属ポスト 5 0 0 は、はんだボール 5 0 1 を介して上部パッケージ 4 0 0 に接続され、前記金属ポスト 5 0 0 の上端の少なくとも一部がはんだボール 5 0 1 内に引き込まれる形態で接続される。

【 0 0 5 1 】

又、金属ポスト 5 0 0 は、下部パッケージの基板 3 1 0 の表面から垂直方向に該当する面に段差がないように形成されるため、電気的特性を均一に維持しながらも、より少ないはんだボール 5 0 1 のみでも上部パッケージ 4 0 0 に堅固に接合される効果がある。

【 0 0 5 2 】

このように本発明の一実施例によると、金属ポスト 5 0 0 は、一端の幅 a が他端の幅 b の 5 0 % ~ 9 0 % に構成されたり、長さ方向の面が前記下部パッケージの基板の表面から垂直方向に成す角度()が、5 ° ~ 4 5 ° に傾斜するように構成されて、上部パッケージ 4 0 0 の基板 4 1 0 上に形成されたはんだボール 5 0 1 の数を少なく用いることができ、前記金属ポスト 5 0 0 をはんだボール 5 0 1 が覆う形態で接合されるので、接合信頼度がより向上する。

10

【 0 0 5 3 】

図 2 は、本発明の一実施例による半導体パッケージの金属ポストの断面図であって、図 2 の実施例は、金属ポストのはんだ部 5 1 0 がはんだレジストパターン 5 4 0 よりも上部に突出される構造である。

【 0 0 5 4 】

20

図 2 を参照して本発明の一実施例による半導体パッケージの金属ポストの構成を説明する。

【 0 0 5 5 】

図 2 に示すように、基板 3 1 0 上に第 1 シードパターン部 5 3 0 が構成され、第 1 シードパターン部 5 3 0 の周辺部上にははんだレジストパターン 5 4 0 が構成される。

【 0 0 5 6 】

前記はんだレジストパターン 5 4 0 上には前記第 1 シードパターン部 5 3 0 と連結される第 2 シードパターン部 5 3 5 が構成される。

【 0 0 5 7 】

一方、前記第 2 シードパターン部 5 3 5 上には金属ポスト 5 0 0 が構成される。

30

【 0 0 5 8 】

この際、前記金属ポスト 5 0 0 は、はんだ部 5 1 0 と金属材料部 5 2 0 とを含んで構成されたり、又は金属ポスト 5 1 0 の上部には表面処理層 5 2 0 が形成され、前記金属ポスト 5 0 0 が前記はんだレジストパターン 5 4 0 よりも上部に突出される。

【 0 0 5 9 】

図 3 は、本発明の他の一実施例による半導体パッケージの金属ポストの断面図であって、図 3 の実施例は、金属ポストのはんだ部 5 1 0 がはんだレジストパターン 5 4 0 と同一の平面の高さに構成される構造である。

【 0 0 6 0 】

図 3 を参照して本発明の他の一実施例による半導体パッケージの金属ポストの構成を説明する。

40

【 0 0 6 1 】

図 3 に示すように、基板 3 1 0 上に第 1 シードパターン部 5 3 0 が構成され、第 1 シードパターン部 5 3 0 の周辺部上にははんだレジストパターン 5 4 0 が構成される。

【 0 0 6 2 】

前記はんだレジストパターン 5 4 0 上には前記第 1 シードパターン部 5 3 0 と連結される第 2 シードパターン部 5 3 5 が構成され、この際、前記第 2 シードパターン部 5 3 5 は、前記はんだレジストパターン 5 4 0 の上部面を除いた側面に構成される。

【 0 0 6 3 】

金属ポスト 5 0 0 は、前記第 2 シードパターン部 5 3 5 上に形成され、この際、前記金

50

属ポスト５００は、はんだ部５１０と金属材料部５２０とを含んで構成され、前記はんだ部５１０が前記はんだレジストパターン５４０と同一の平面の高さに構成される。

【００６４】

前記はんだ部５１０は、ＳｎとＣｕの合金材料又はＳｎとＡｇの合金材料の２３０～２５０の溶融点を有する高融点のはんだ材料で構成することができ、前記金属材料部５２０は銅（Ｃｕ）材料で構成することができる。

【００６５】

図４～図１２は、本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図であって、図２の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

10

【００６６】

図４に示すように、基板３１０上に第１シードパターン部５３０を形成し、前記形成された第１シードパターン部５３０上にはんだレジスト層５４１を形成する。

【００６７】

次に、前記第１シードパターン部５３０上に形成されたはんだレジスト層５４１をパターンニングして、図５に示すように、はんだレジストパターン５４０を形成する。

【００６８】

上記のように形成されたはんだレジストパターン５４０上には、図６に示すように、第２シードパターン部５３５を形成する。

【００６９】

20

その後、図７に示すように、第２シードパターン部５３５上にフォトレジスト層６１０を形成し、フォトレジスト層６１０をラミネート、露光及び現像して、図８に示すように、フォトレジストパターン６１１形成する。

【００７０】

一方、前記フォトレジスト層６１０及びフォトレジストパターン６１１は、ＤＦＲ（Dry Film PhotoResist）で形成することができる。

【００７１】

次に、図９に示すように、前記フォトレジストパターン６１１の間の第２シードパターン部５３５上に高融点のはんだ材料を用いてはんだ部５１０を形成したり、又は金属材料部５１０を形成することができる。

30

【００７２】

この際、本発明の一実施例によると、前記はんだ部５１０は、ＳｎとＣｕの合金材料又はＳｎとＡｇの合金材料の２３０～２５０の溶融点を有する高融点のはんだ材料で構成することができる。

【００７３】

その後、図１０に示すように、前記はんだ部５１０上に金属材料を用いたメッキを行って金属材料部５２０を形成する。この際、前記金属材料部５２０は銅（Ｃｕ）材料で構成することができる。

【００７４】

次に、前記フォトレジストパターン６１１を除去して、図１１のように、はんだレジスト層５４１上に第２シードパターン部５３５を露出させ、前記の露出される第２シードパターン部５３５を除去して、図１２に示すように、金属ポスト５００を完成する。

40

【００７５】

本発明の実施例によると、上記のように構成された金属ポスト５００によって上部パッケージと下部パッケージ間の間隔を広げ、半導体チップの高密度積層を可能にするのみでなく、信頼度と安定性を向上させた半導体パッケージを提供することができる。

【００７６】

図１３～図２１は、本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図であって、図３の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

50

【 0 0 7 7 】

図 1 3 に示すように、基板 3 1 0 上に第 1 シードパターン部 5 3 0 を形成し、前記の形成された第 1 シードパターン部 5 3 0 上にはんだレジスト層 5 4 1 を形成し、前記第 1 シードパターン部 5 3 0 上に形成されたはんだレジスト層 5 4 1 をパターンニングして、図 1 4 に示すように、はんだレジストパターン 5 4 0 を形成する。

【 0 0 7 8 】

上記のように形成されたはんだレジストパターン 5 4 0 上には、図 1 5 に示すように、第 2 シードパターン部 5 3 5 を形成し、図 1 6 に示すように、第 2 シードパターン部 5 3 5 上にフォトレジスト層 6 1 0 を形成し、フォトレジスト層 6 1 0 をラミネート、露光及び現像して、図 1 7 に示すように、フォトレジストパターン 6 1 1 を形成する。

10

【 0 0 7 9 】

この際、前記フォトレジスト層 6 1 0 及びフォトレジストパターン 6 1 1 は、D F R (D r y F i l m P h o t o R e s i s t) で形成することができる。

【 0 0 8 0 】

次に、前記フォトレジストパターン 6 1 1 の間の第 1 シードパターン部 5 3 0 と第 2 シードパターン部 5 3 5 上に金属材料を入れて、図 1 8 に示すように、金属ポスト 5 1 0 を形成し、前記金属ポスト 5 1 0 を形成する金属材料としては銅 (C u) を用いることができる。

【 0 0 8 1 】

その後、フォトレジストパターン 6 1 1 を除去し、図 1 9 に示すように、第 2 シードパターン部 5 3 5 を露出させ、前記の露出される第 2 シードパターン部 5 3 5 を除去して、図 2 0 に示すように、金属ポスト 5 1 0 を構成する。

20

【 0 0 8 2 】

次に、図 2 1 でのように、前記金属ポスト 5 1 0 の上面及び側面の表面上に表面処理層 5 2 0 を形成する。

【 0 0 8 3 】

一方、前記表面処理層 5 2 0 を構成する金属材料としては、金 (A u) 及びニッケル (N i) のうち少なくともいずれか一つの材料を用いることができる。

【 0 0 8 4 】

図 2 2 は、本発明の他の一実施例による半導体パッケージの金属ポストの断面図である。

30

【 0 0 8 5 】

図 2 2 に示すように、金属ポスト 5 1 0 は、はんだボール 5 2 0 に接続される一端の幅 a を前記一端に対向する他端の幅 b よりも小さく形成することができ、この際、前記金属ポスト 5 1 0 は、前記他端から前記一端に行くほど次第に幅が減少する形態で構成される。

【 0 0 8 6 】

即ち、前記金属ポスト 5 1 0 は、前記下部パッケージ基板 3 1 0 に接続される側の幅 b から上部の幅 a が次第に減少する形態で構成される。

【 0 0 8 7 】

この際、金属ポスト 5 1 0 の一端の幅 a を他端の幅 b の 5 0 % 以下のサイズに構成したり、金属ポスト 5 1 0 が下部パッケージ基板 3 1 0 の表面から 4 5 ° 以下の角度で傾斜するように構成すると、はんだボール 5 2 0 との接合信頼度に問題が発生する。

40

【 0 0 8 8 】

したがって、金属ポスト 5 1 0 は、一端の幅 a が他端の幅 b の 5 0 % ~ 9 0 % に構成されたり、長さ方向の面が前記下部パッケージの基板の表面から垂直方向に成す角度 () を 5 ° ~ 4 5 ° に傾斜するように構成することで、金属ポスト 5 1 0 とはんだボール 5 2 0 との接合信頼度を確保することができる。

【 0 0 8 9 】

この際、前記金属ポスト 5 1 0 は、銅 (C u) で形成され、前記上端金属ポスト 5 1 1 は

50

、銅(Cu)、錫(Sn)、鉛(Pb)及び銀(Ag)のうち少なくともいずれか一つの材料を含むように構成される。

【0090】

上記のように形成された金属ポスト510は、はんだボール520を介して上部パッケージ400に接続され、前記金属ポスト510の上端の少なくとも一部がはんだボール520内に引き込まれる形態で接続される。

【0091】

又、金属ポスト510は、下部パッケージの基板310の表面から垂直方向に該当する面に段差がないように形成されるため、電気的特性を均一に維持しながらも、より少ないはんだボール520のみでも上部パッケージ400に堅固に接合される効果がある。

10

【0092】

このように本発明の一実施例によると、金属ポスト510は、一端の幅aが他端の幅bの50%~90%に構成されたり、長さ方向の面が前記下部パッケージの基板の表面から垂直方向に成す角度()が、5°~45°に傾斜するように構成されて、上部パッケージ400の基板410上に形成されたはんだボール520の数を少なく用いることができ、前記上端金属ポスト511をはんだボール520が覆う形態で接合されるので、接合信頼度がより向上する。

【0093】

一方、前記金属ポスト510の高さは、前記下部パッケージ300に実装される半導体チップ370の高さよりも高く形成されるが、この際、前記半導体チップ370のサイズを考慮して前記金属ポスト510の高さを50~400μmに形成することにより、前記金属ポスト510によって上部パッケージ400と下部パッケージ300間に発生する離隔空間内に前記半導体チップ370が配置されるようにし、前記半導体チップ370が前記上部パッケージ400に接触されないようにすることができる。

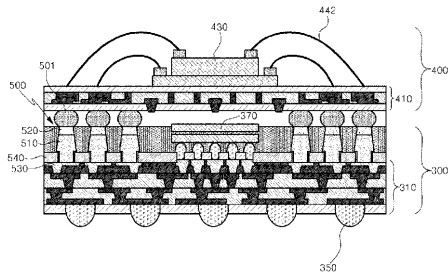
20

【符号の説明】

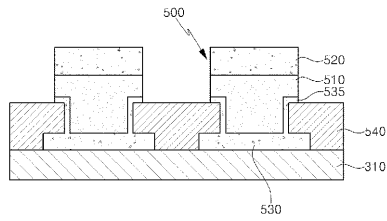
【0094】

300 下部パッケージ、 310 下部パッケージ基板、 350 外部端子、 370 下部素子、 400 上部パッケージ、 410 上部パッケージ基板、 430 上部素子、 500 金属ポスト。

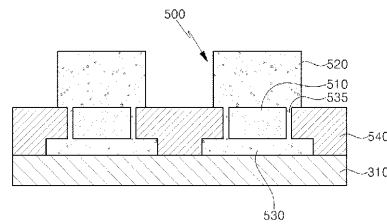
【図 1】



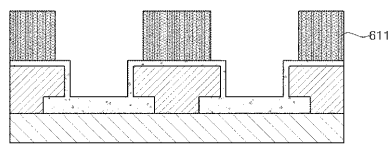
【図 2】



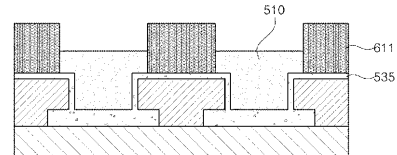
【図 3】



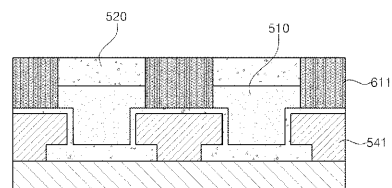
【図 8】



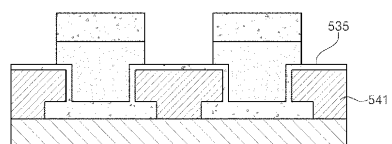
【図 9】



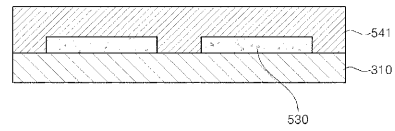
【図 10】



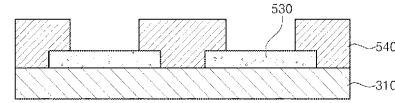
【図 11】



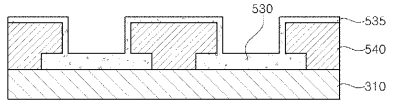
【図 4】



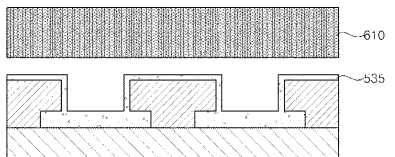
【図 5】



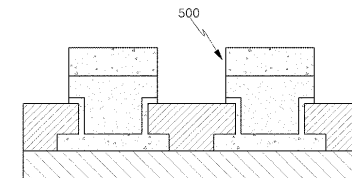
【図 6】



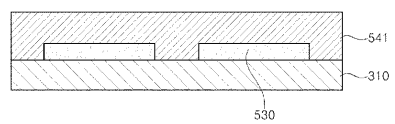
【図 7】



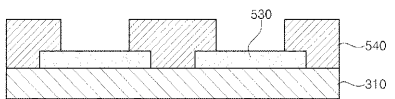
【図 12】



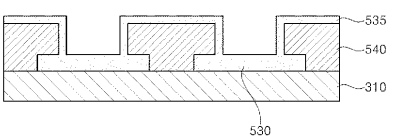
【図 13】



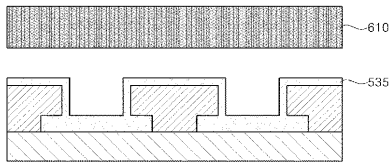
【図 14】



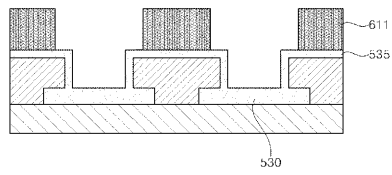
【図 15】



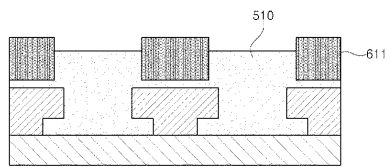
【図 16】



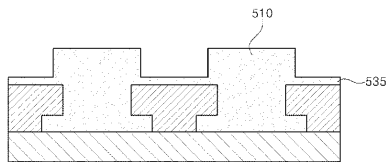
【図 17】



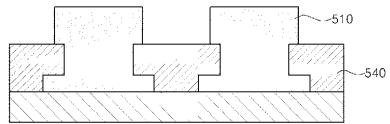
【図 18】



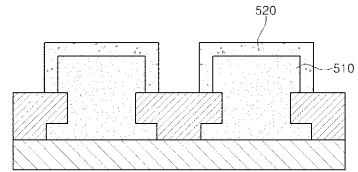
【図 19】



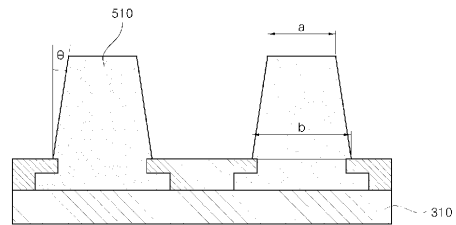
【図 20】



【図 21】



【図 22】



フロントページの続き

(72)発明者 リュ、スン ウク

大韓民国 100 - 714 ソウル、チュン - ク、ハンガン - デロ、416、ソウルスクエア

(72)発明者 リー、ジ ヘン

大韓民国 100 - 714 ソウル、チュン - ク、ハンガン - デロ、416、ソウルスクエア

審査官 柴山 将隆

(56)参考文献 特開 2010 - 186847 (JP, A)

特開 2012 - 231130 (JP, A)

特開 2009 - 021329 (JP, A)

特開 2013 - 182922 (JP, A)

特開平 11 - 145327 (JP, A)

特開 2012 - 069761 (JP, A)

特開 2010 - 098098 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/10

H01L 25/11

H01L 25/18

H01L 21/60