

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6419500号
(P6419500)

(45) 発行日 平成30年11月7日(2018.11.7)

(24) 登録日 平成30年10月19日(2018.10.19)

(51) Int.Cl.

H01L 25/10 (2006.01)
H01L 25/11 (2006.01)
H01L 25/18 (2006.01)

F 1

H01L 25/14

Z

請求項の数 5 (全 13 頁)

(21) 出願番号 特願2014-187826 (P2014-187826)
 (22) 出願日 平成26年9月16日 (2014.9.16)
 (65) 公開番号 特開2015-57827 (P2015-57827A)
 (43) 公開日 平成27年3月26日 (2015.3.26)
 審査請求日 平成29年9月14日 (2017.9.14)
 (31) 優先権主張番号 10-2013-0110974
 (32) 優先日 平成25年9月16日 (2013.9.16)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 10-2013-0115332
 (32) 優先日 平成25年9月27日 (2013.9.27)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 10-2013-0115333
 (32) 優先日 平成25年9月27日 (2013.9.27)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 513276101
 エルジー イノテック カンパニー リミテッド
 大韓民国 100-714, ソウル, ジュニング, ハンガン-テロ, 416, ソウルスクエア
 (74) 代理人 100105924
 弁理士 森下 賢樹
 (72) 発明者 キム、ドンスン
 大韓民国 100-714 ソウル、チュンク、ハンガン-デロ、416、ソウルスクエア

最終頁に続く

(54) 【発明の名称】半導体パッケージ

(57) 【特許請求の範囲】

【請求項 1】

基板と、前記基板の上に配置された第1パターン部と、前記基板の上に配置され、前記第1パターン部の上面を露出させる開口部を有するはんだレジストパターンとを含み、第1素子が実装される下部パッケージと、

前記第1パターン部の上に配置される第2パターン部と、

前記第2パターン部を介して前記下部パッケージに接続され、少なくとも一つの金属材料部を含む金属ポストと、

第2素子が実装され、はんだボールを介して前記金属ポストに接続される上部パッケージと、

を含み、

前記第2パターン部は、前記第1パターン部の上面の少なくとも一部を露出させ、前記第1パターン部の上面、前記開口部の内壁及び前記はんだレジストパターンの上面の上に配置され、

前記金属ポストは、前記開口部を介して露出された前記第1パターン部の上に配置され、第1金属材料を含むはんだ部と、前記はんだ部の上に配置され、第2金属材料を含む金属材料部とを含み、

前記はんだ部は、前記開口部内に配置される第1部分と、前記第1部分の上に配置され、前記はんだレジストパターンの上に突出した第2部分とを含み、

前記第1部分の側面は、前記第2パターン部と直接接触し、

10

20

前記第1部分の下面は、前記第1パターン部と直接接觸する半導体パッケージ。

【請求項2】

前記はんだ部の前記第2部分は、上部に行くほど幅が減少し、前記第2部分の上端の幅が下端の幅の50%~90%に形成される請求項1に記載の半導体パッケージ。

【請求項3】

前記はんだ部は、側面が前記下部パッケージの基板の表面に対して5°~45°に傾斜する請求項2に記載の半導体パッケージ。

【請求項4】

前記はんだ部は、錫(Sn)と銅(Cu)の合金材料又は錫(Sn)と銀(Ag)の合金材料で構成される請求項1から3のいずれか一項に記載の半導体パッケージ。

10

【請求項5】

前記はんだ部は、230~250の溶融点を有する請求項1から4のいずれか一項に記載の半導体パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体パッケージ(Semiconductor Package)に関する。

【背景技術】

【0002】

半導体技術の発展と共に使用者の要求に応じて電子機器はますます小型化及び軽量化されており、これにより、同一又は異種の半導体チップを一つの単位パッケージで実現するマルチチップパッケージング(Multi-Chip Packaging)技術が要求されてきた。マルチチップパッケージングは、それぞれの半導体チップをパッケージで実現することに比べ、パッケージのサイズや重さ及び実装に有利であり、特に、小型化と軽量化が要求される携帯用通信端末などに多く適用される。

20

【0003】

このようなマルチチップパッケージングのうちパッケージ基板上にパッケージ基板を積層するスタック(stack)タイプをパッケージオンパッケージ(Package on Package、以下、POPとする。)という。近年は、半導体パッケージ技術の発達と共に、半導体パッケージの高容量、薄型化、及び小型化によって積層されるチップの数が多くなっている。

30

【0004】

従来のパッケージオンパッケージは、はんだボール印刷及びリフロー工程により二つのパッケージを連結したり、先に下部パッケージをモールディングした後、モールディング部分をレーザドリル工程(Laser Drilling)により下部パッケージのPOPパッドまでビア(Via)を形成して(Through Molded Via方法)はんだボールをビア内に印刷してメモリダイが実装された上部パッケージをリフロー工程によって連結する方法を適用している。

【0005】

40

しかしながら、最近はパッケージオンパッケージ製品において高集積及び高性能を実現するためにダイ(Die)の実装数を増やしたり、受動素子を搭載するための試みが行われており、このために、パッケージ間の間隔をより広く確保することが重要な課題となっている。

【0006】

しかしながら、従来技術に係る半導体パッケージは、パッケージ間の間隔を広げるために、はんだボール(solder ball)の大きさ又は高さを大きくする場合、はんだボールにクラック(crack)又は崩壊が発生するという問題点があった。

【発明の概要】

【発明が解決しようとする課題】

50

【0007】

本発明は、上述した問題点を解決するためになされたものであって、本発明の目的は、上部パッケージと下部パッケージ間の間隔を広げて実装されるチップの数を増加させることで、高密度を実現し、上部パッケージと下部パッケージ間の接合信頼性が優れた半導体パッケージを提供することにある。

【課題を解決するための手段】**【0008】**

上述した問題点を解決するための本実施例に係る半導体パッケージは、素子が実装された下部パッケージと、前記下部パッケージに接続され、少なくとも一つの金属材料部を含む金属ポストと、素子が実装されてはんだボールを介して前記金属ポストに接続される上部パッケージと、を含む。10

【0009】

本発明の他の一実施例によると、前記金属材料部は、表面上に表面処理層を形成することができる。

【0010】

本発明の他の一実施例によると、前記表面処理層は、前記金属ポストの上面及び側面に形成することができる。

【0011】

本発明の他の一実施例によると、前記表面処理層は、金(Au)及びニッケル(Ni)のうち少なくともいずれか一つの金属材料で構成することができる。20

【0012】

本発明の他の一実施例によると、前記金属ポストは、前記はんだボールに接続される一端の幅を他端の幅よりも小さく形成することができる。

【0013】

本発明の他の一実施例によると、前記金属ポストは、前記はんだボールに接続される一端から他端に行くほど次第に幅が増加するように形成することができる。

【0014】

本発明の他の一実施例によると、前記金属ポストは、前記一端の幅が他端の幅の50%~90%に形成することができる。

【0015】

本発明の他の一実施例によると、前記金属ポストは、長さ方向の面が前記下部パッケージの基板の表面に対して5°~45°に傾斜するように形成することができる。30

【0016】

本発明の他の一実施例によると、前記金属ポストは、前記はんだボールに接続される一端を前記はんだボール内に引き込むことができる。

【0017】

本発明の他の一実施例によると、前記金属ポストは、銅(Cu)、錫(Sn)、鉛(Pb)及び銀(Ag)のうち少なくともいずれか一つの材料で構成することができる。

【0018】

本発明の他の一実施例によると、前記金属ポストは、第1金属材料のはんだ部と、第2金属材料の金属材料部と、を含むことができる。40

【0019】

本発明の他の一実施例によると、前記はんだ部は、錫(Sn)と銅(Cu)の合金材料又は錫(Sn)と銀(Ag)の合金材料で構成することができる。

【0020】

本発明の他の一実施例によると、前記はんだ部は、230~250の溶融点を有するように構成することができる。

【0021】

本発明の他の一実施例によると、前記下部パッケージは、基板と、前記基板上に形成される第1シードパターン部と、を含み、前記金属ポストは前記第1シードパターン部上に50

形成することができる。

【0022】

本発明の他の一実施例によると、前記第1シードパターン部上に、前記第1シードパターン部の上面の一部が露出されるように形成されるはんだレジストパターンを更に含むことができる。

【発明の効果】

【0023】

本発明の実施例によると、上部パッケージと下部パッケージ間の間隔を広げて実装されるチップの数を増加させることで、高密度を実現し、上部パッケージと下部パッケージ間の接合信頼性が優れた半導体パッケージを提供することができる。

10

【図面の簡単な説明】

【0024】

【図1】本発明の一実施例による半導体パッケージの断面図である。

【図2】本発明の一実施例による半導体パッケージの金属ポストの断面図である。

【図3】本発明の他の一実施例による半導体パッケージの金属ポストの断面図である。

【図4】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図5】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図6】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

20

【図7】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図8】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図9】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図10】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図11】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

30

【図12】本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図13】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図14】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図15】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図16】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

40

【図17】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図18】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図19】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図20】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。

【図21】本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明

50

するための図である。

【図22】本発明の他の一実施例による半導体パッケージの金属ポストの断面図である。

【発明を実施するための形態】

【0025】

以下、添付の図面を参照して本発明の望ましい実施例について詳しく説明する。但し、本発明はこれらの実施例により限定されるものではない。本明細書に亘って同じ構成要素に対しては同じ符号を付す。

【0026】

図1は本発明の一実施例による半導体パッケージの断面図である。図1を参照すると、本発明の一実施例による半導体パッケージは、上部パッケージ400が下部パッケージ300上に積層されて、これらが互いに電気的に接続されたパッケージオンパッケージ(Package On Package; POP)タイプのパッケージで構成される。10

【0027】

半導体パッケージは、下部パッケージ300、上部パッケージ400、及び金属ポスト500を含んで構成される。

【0028】

下部パッケージ300には下部パッケージ基板310上に少なくとも一つの下部素子370が実装され、上部パッケージ400にも上部パッケージ基板410上に少なくとも一つの上部素子430が実装される。一方、前記素子430は半導体で構成することができる。20

【0029】

この際、前記下部パッケージ基板310と上部パッケージ基板410のうち少なくともいずれか一つはプリント回路基板(PCB)で構成することができる。

【0030】

一例として、下部パッケージ300は、下部パッケージ基板310と、下部パッケージ基板上に実装された下部素子370とを含むことができる。下部素子370が複数で構成される場合には絶縁物質層を介して積層することができる。

【0031】

下部パッケージ基板310の下面には、半導体パッケージを外部装置と電気的に接続させるはんだボール形態の外部端子350を備えることができる。30

【0032】

同様に、上部パッケージ400は、上部パッケージ基板410と、そして上部パッケージ基板410の上面に実装された上部素子430とを含むことができる。前記上部素子430が複数で構成される場合には絶縁性物質膜を介して積層することができる。

【0033】

上部素子430と上部パッケージ基板410は、複数のボンディングワイヤ442によって互いに電気的に接続させることができる。

【0034】

金属ポスト500は、上記のように構成される下部パッケージ300に接続される。

【0035】

より詳しく説明すると、前記下部パッケージ300の基板上に第1シードパターン部530が構成され、前記金属ポスト500は前記第1シードパターン部530上に形成することができる。

【0036】

前記金属ポスト500は、少なくとも一つの金属材料部510を含んで構成することができ、この際、第1金属材料のはんだ部510と第2金属材料の金属材料部520で構成したり、表面処理層520と金属材料部510で構成することができる。

【0037】

本発明の実施例によると、前記はんだ部510は、錫(Sn)と銅(Cu)の合金材料又は錫(Sn)と銀(Ag)の合金材料で構成され、230～250の溶融点を有する高融点50

のはんだ材料で形成することができ、前記金属材料部 520 は銅(Cu)材料で構成することができる。

【0038】

従来の一般的なはんだ材料を用いる場合、一般的なはんだ材料は 210 ~ 220 の溶融点を有するが、本発明の実施例でのように、はんだ部 510 が 230 ~ 250 の高融点のはんだ材料で形成されると、接合信頼性が優れており、上部パッケージ 400 の積層のときに安定的な工程の歩留りを確保できる効果がある。

【0039】

又、はんだ部 510 は、図 1 に示すように、上面が下部パッケージ 300 のはんだレジスト 540 よりも上部に突出されるように構成することができる。 10

【0040】

上記のように構成された金属ポスト 500 は、はんだボール 501 によって前記上部パッケージ 400 と接続することができる。

【0041】

高融点のはんだ材料のはんだ部 510 を含む金属ポスト 500 を構成する場合、上部パッケージ 400 の積層のときに安定的な工程の歩留りを確保できるのみでなく、上部パッケージ 400 と下部パッケージ 300 間の間隔を広げて半導体チップの高密度積層を可能にし、信頼度と安定性を向上させた半導体パッケージを構成することができる。

【0042】

一方、金属ポスト 500 が表面処理層 520 と金属材料部 510 で構成される場合、前記表面処理層 520 は、金属材料を用いたメッキ層で形成することができ、より詳しくは、表面処理層 520 は、金(Au)及びニッケル(Ni)のうち少なくともいずれか一つの材料で構成することができる。 20

【0043】

本発明の実施例でのように金属ポスト 500 の表面に表面処理層 520 を形成すると、上部パッケージ 400 との接合信頼性を向上させることができ、上部パッケージ 400 の積層のときに安定的な工程の歩留りを確保すると共に、金属ポスト 500 の酸化を防止することができ、半導体パッケージの信頼性を確保することができる。

【0044】

一方、前記金属ポスト 500 は、前記下部パッケージ 300 側に接続される端部の幅が前記上部パッケージ 400 側に接続される端部の幅よりも大きく形成される。 30

【0045】

より詳しく説明すると、図 1 に示すように、金属ポスト 500 は、はんだボール 501 に接続される一端の幅を前記一端に対向する他端の幅よりも小さく形成することができ、この際、前記金属ポスト 500 は、前記他端から前記一端に行くほど次第に幅が減少する形態で構成される。

【0046】

即ち、前記金属ポスト 500 は、前記下部パッケージ基板 310 に接続される側の幅から上部の幅が次第に減少する形態で構成することができる。

【0047】

この際、金属ポスト 500 の一端の幅を他端の幅の 50 % 以下のサイズに構成したり、金属ポスト 500 が下部パッケージ基板 310 の表面から 45 ° 以下の角度で傾斜するように構成すると、はんだボール 501 との接合信頼度に問題が発生する。 40

【0048】

したがって、金属ポスト 500 は、一端の幅を他端の幅の 50 % ~ 90 % に構成したり、長さ方向の面が前記下部パッケージの基板の表面から垂直方向に成す角度()を 5 ° ~ 45 ° に傾斜するように構成することで、金属ポスト 500 とはんだボール 501 との接合信頼度を確保することができる。

【0049】

この際、前記金属ポスト 500 は銅(Cu)で形成することができる。 50

【0050】

上記のように形成された金属ポスト500は、はんだボール501を介して上部パッケージ400に接続され、前記金属ポスト500の上端の少なくとも一部がはんだボール501内に引き込まれる形態で接続される。

【0051】

又、金属ポスト500は、下部パッケージの基板310の表面から垂直方向に該当する面に段差がないように形成されるため、電気的特性を均一に維持しながらも、より少ないはんだボール501のみでも上部パッケージ400に堅固に接合される効果がある。

【0052】

このように本発明の一実施例によると、金属ポスト500は、一端の幅aが他端の幅bの50%~90%に構成されたり、長さ方向の面が前記下部パッケージの基板の表面から垂直方向に成す角度()が、5°~45°に傾斜するように構成されて、上部パッケージ400の基板410上に形成されたはんだボール501の数を少なく用いることができ、前記金属ポスト500をはんだボール501が覆う形態で接合されるので、接合信頼度がより向上する。10

【0053】

図2は、本発明の一実施例による半導体パッケージの金属ポストの断面図であって、図2の実施例は、金属ポストのはんだ部510がはんだレジストパターン540よりも上部に突出される構造である。

【0054】

図2を参照して本発明の一実施例による半導体パッケージの金属ポストの構成を説明する。20

【0055】

図2に示すように、基板310上に第1シードパターン部530が構成され、第1シードパターン部530の周辺部上にははんだレジストパターン540が構成される。

【0056】

前記はんだレジストパターン540上には前記第1シードパターン部530と連結される第2シードパターン部535が構成される。

【0057】

一方、前記第2シードパターン部535上には金属ポスト500が構成される。30

【0058】

この際、前記金属ポスト500は、はんだ部510と金属材料部520とを含んで構成されたり、又は金属ポスト510の上部には表面処理層520が形成され、前記金属ポスト500が前記はんだレジストパターン540よりも上部に突出される。

【0059】

図3は、本発明の他の一実施例による半導体パッケージの金属ポストの断面図であって、図3の実施例は、金属ポストのはんだ部510がはんだレジストパターン540と同一の平面の高さに構成される構造である。

【0060】

図3を参照して本発明の他の一実施例による半導体パッケージの金属ポストの構成を説明する。40

【0061】

図3に示すように、基板310上に第1シードパターン部530が構成され、第1シードパターン部530の周辺部上にははんだレジストパターン540が構成される。

【0062】

前記はんだレジストパターン540上には前記第1シードパターン部530と連結される第2シードパターン部535が構成され、この際、前記第2シードパターン部535は、前記はんだレジストパターン540の上部面を除いた側面に構成される。

【0063】

金属ポスト500は、前記第2シードパターン部535上に形成され、この際、前記金50

属ポスト 500 は、はんだ部 510 と金属材料部 520 とを含んで構成され、前記はんだ部 510 が前記はんだレジストパターン 540 と同一の平面の高さに構成される。

【0064】

前記はんだ部 510 は、Sn と Cu の合金材料又は Sn と Ag の合金材料の 230 ~ 250 の溶融点を有する高融点のはんだ材料で構成することができ、前記金属材料部 520 は銅(Cu)材料で構成することができる。

【0065】

図 4 ~ 図 12 は、本発明の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図であって、図 2 の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。 10

【0066】

図 4 に示すように、基板 310 上に第 1 シードパターン部 530 を形成し、前記形成された第 1 シードパターン部 530 上にはんだレジスト層 541 を形成する。

【0067】

次に、前記第 1 シードパターン部 530 上に形成されたはんだレジスト層 541 をパターニングして、図 5 に示すように、はんだレジストパターン 540 を形成する。

【0068】

上記のように形成されたはんだレジストパターン 540 上には、図 6 に示すように、第 2 シードパターン部 535 を形成する。 20

【0069】

その後、図 7 に示すように、第 2 シードパターン部 535 上にフォトレジスト層 610 を形成し、フォトレジスト層 610 をラミネート、露光及び現像して、図 8 に示すように、フォトレジストパターン 611 形成する。

【0070】

一方、前記フォトレジスト層 610 及びフォトレジストパターン 611 は、DFR(Dry Film PhotoResist)で形成することができる。

【0071】

次に、図 9 に示すように、前記フォトレジストパターン 611 の間の第 2 シードパターン部 535 上に高融点のはんだ材料を用いてはんだ部 510 を形成したり、又は金属材料部 510 を形成することができる。 30

【0072】

この際、本発明の一実施例によると、前記はんだ部 510 は、Sn と Cu の合金材料又は Sn と Ag の合金材料の 230 ~ 250 の溶融点を有する高融点のはんだ材料で構成することができる。

【0073】

その後、図 10 に示すように、前記はんだ部 510 上に金属材料を用いたメッキを行つて金属材料部 520 を形成する。この際、前記金属材料部 520 は銅(Cu)材料で構成することができる。

【0074】

次に、前記フォトレジストパターン 611 を除去して、図 11 でのように、はんだレジスト層 541 上に第 2 シードパターン部 535 を露出させ、前記の露出される第 2 シードパターン部 535 を除去して、図 12 に示すように、金属ポスト 500 を完成する。 40

【0075】

本発明の実施例によると、上記のように構成された金属ポスト 500 によって上部パッケージと下部パッケージ間の間隔を広げ、半導体チップの高密度積層を可能にするのみでなく、信頼度と安定性を向上させた半導体パッケージを提供することができる。

【0076】

図 13 ~ 図 21 は、本発明の他の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図であって、図 3 の一実施例による半導体パッケージの金属ポストの製造方法を説明するための図である。 50

【0077】

図13に示すように、基板310上に第1シードパターン部530を形成し、前記の形成された第1シードパターン部530上にはんだレジスト層541を形成し、前記第1シードパターン部530上に形成されたはんだレジスト層541をパターニングして、図14に示すように、はんだレジストパターン540を形成する。

【0078】

上記のように形成されたはんだレジストパターン540上には、図15に示すように、第2シードパターン部535を形成し、図16に示すように、第2シードパターン部535上にフォトレジスト層610を形成し、フォトレジスト層610をラミネート、露光及び現像して、図17に示すように、フォトレジストパターン611を形成する。 10

【0079】

この際、前記フォトレジスト層610及びフォトレジストパターン611は、D F R (Dry Film PhotoResist)で形成することができる。

【0080】

次に、前記フォトレジストパターン611の間の第1シードパターン部530と第2シードパターン部535上に金属材料を入れて、図18に示すように、金属ポスト510を形成し、前記金属ポスト510を形成する金属材料としては銅(Cu)を用いることができる。

【0081】

その後、フォトレジストパターン611を除去し、図19に示すように、第2シードパターン部535を露出させ、前記の露出される第2シードパターン部535を除去して、図20に示すように、金属ポスト510を構成する。 20

【0082】

次に、図21でのように、前記金属ポスト510の上面及び側面の表面上に表面処理層520を形成する。

【0083】

一方、前記表面処理層520を構成する金属材料としては、金(Au)及びニッケル(Ni)のうち少なくともいずれか一つの材料を用いることができる。

【0084】

図22は、本発明の他の一実施例による半導体パッケージの金属ポストの断面図である 30
。

【0085】

図22に示すように、金属ポスト510は、はんだボール520に接続される一端の幅aを前記一端に対向する他端の幅bよりも小さく形成することができ、この際、前記金属ポスト510は、前記他端から前記一端に行くほど次第に幅が減少する形態で構成される。

【0086】

即ち、前記金属ポスト510は、前記下部パッケージ基板310に接続される側の幅bから上部の幅aが次第に減少する形態で構成される。

【0087】

この際、金属ポスト510の一端の幅aを他端の幅bの50%以下のサイズに構成したり、金属ポスト510が下部パッケージ基板310の表面から45°以下の角度で傾斜するように構成すると、はんだボール520との接合信頼度に問題が発生する。 40

【0088】

したがって、金属ポスト510は、一端の幅aが他端の幅bの50%~90%に構成されたり、長さ方向の面が前記下部パッケージの基板の表面から垂直方向に成す角度(θ)を5°~45°に傾斜するように構成することで、金属ポスト510とはんだボール520との接合信頼度を確保することができる。

【0089】

この際、前記金属ポスト510は、銅(Cu)で形成され、前記上端金属ポスト511は 50

、銅(C u)、錫(S n)、鉛(P b)及び銀(A g)のうち少なくともいずれか一つの材料を含むように構成される。

【 0 0 9 0 】

上記のように形成された金属ポスト 510 は、はんだボール 520 を介して上部パッケージ 400 に接続され、前記金属ポスト 510 の上端の少なくとも一部がはんだボール 520 内に引き込まれる形態で接続される。

【 0 0 9 1 】

又、金属ポスト 510 は、下部パッケージの基板 310 の表面から垂直方向に該当する面に段差がないように形成されるため、電気的特性を均一に維持しながらも、より少ないはんだボール 520 のみでも上部パッケージ 400 に堅固に接合される効果がある。 10

【 0 0 9 2 】

このように本発明の一実施例によると、金属ポスト 510 は、一端の幅 a が他端の幅 b の 50% ~ 90% に構成されたり、長さ方向の面が前記下部パッケージの基板の表面から垂直方向に成す角度()が、5° ~ 45° に傾斜するように構成されて、上部パッケージ 400 の基板 410 上に形成されたはんだボール 520 の数を少なく用いることができ、前記上端金属ポスト 511 をはんだボール 520 が覆う形態で接合されるので、接合信頼度がより向上する。

【 0 0 9 3 】

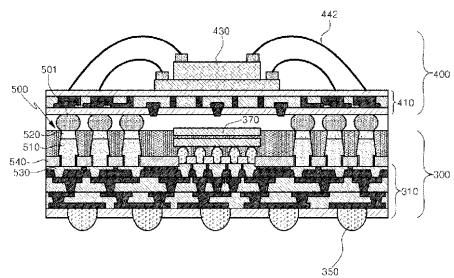
一方、前記金属ポスト 510 の高さは、前記下部パッケージ 300 に実装される半導体チップ 370 の高さよりも高く形成されるが、この際、前記半導体チップ 370 のサイズを考慮して前記金属ポスト 510 の高さを 50 ~ 400 μm に形成することにより、前記金属ポスト 510 によって上部パッケージ 400 と下部パッケージ 300 間に発生する離隔空間内に前記半導体チップ 370 が配置されるようにし、前記半導体チップ 370 が前記上部パッケージ 400 に接触されないようにすることができる。 20

【 符号の説明 】

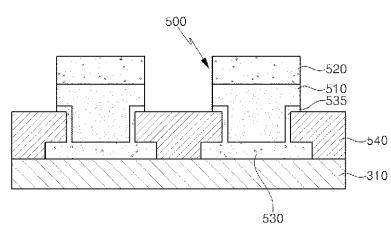
【 0 0 9 4 】

300 下部パッケージ、310 下部パッケージ基板、350 外部端子、370 下部素子、400 上部パッケージ、410 上部パッケージ基板、430 上部素子、500 金属ポスト。

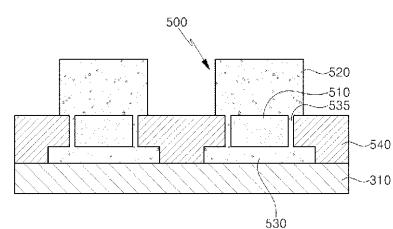
【図1】



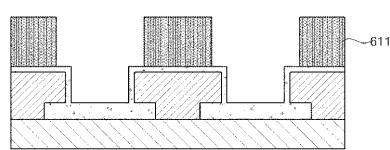
【図2】



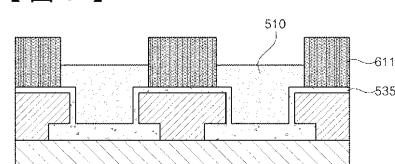
【図3】



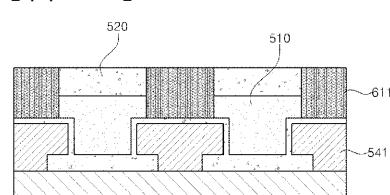
【図8】



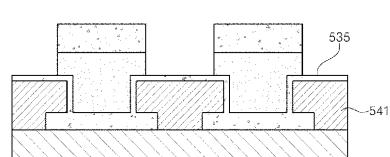
【図9】



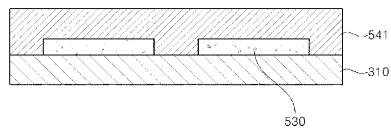
【図10】



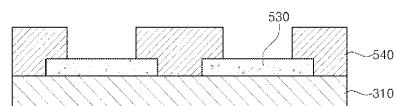
【図11】



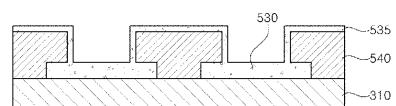
【図4】



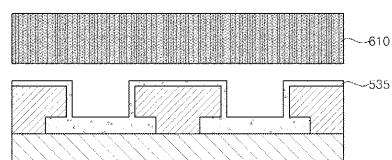
【図5】



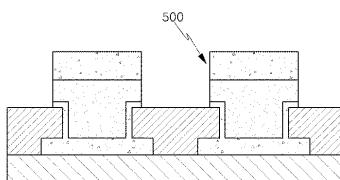
【図6】



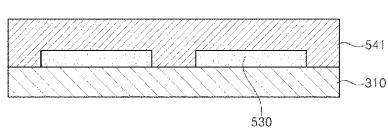
【図7】



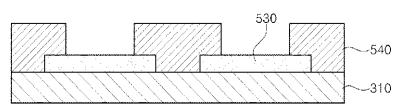
【図12】



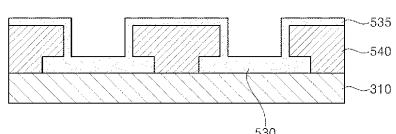
【図13】



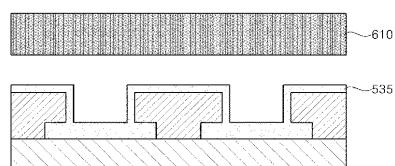
【図14】



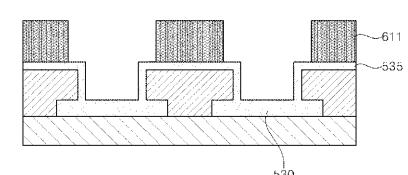
【図15】



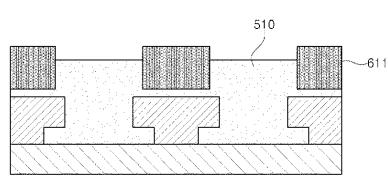
【図16】



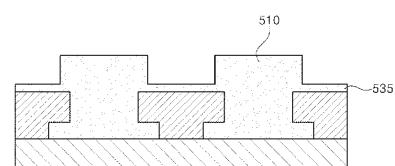
【図17】



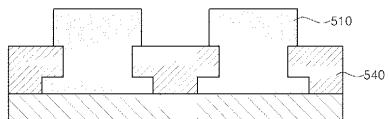
【図18】



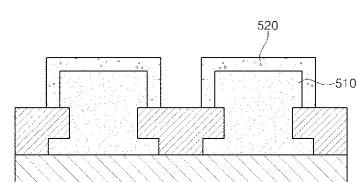
【図19】



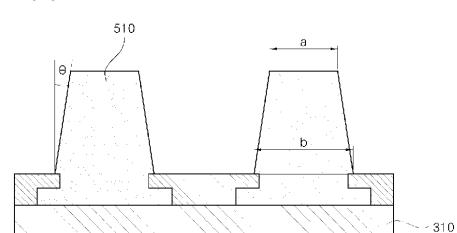
【図20】



【図21】



【図22】



フロントページの続き

(72)発明者 リュ、スン ウク

大韓民国 100 - 714 ソウル、チュン - ク、ハンガン - デロ、416、ソウルスクエア

(72)発明者 リー、ジ ヘン

大韓民国 100 - 714 ソウル、チュン - ク、ハンガン - デロ、416、ソウルスクエア

審査官 柴山 将隆

(56)参考文献 特開2010-186847(JP,A)

特開2012-231130(JP,A)

特開2009-021329(JP,A)

特開2013-182922(JP,A)

特開平11-145327(JP,A)

特開2012-069761(JP,A)

特開2010-098098(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/10

H01L 25/11

H01L 25/18

H01L 21/60