

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5386140号
(P5386140)

(45) 発行日 平成26年1月15日 (2014. 1. 15)

(24) 登録日 平成25年10月11日 (2013. 10. 11)

(51) Int. Cl.

F I

G 0 9 G 3/36 (2006. 01)

G 0 9 G 3/20 (2006. 01)

G 0 2 F 1/133 (2006. 01)

G 0 9 G 3/36

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 1 D

G 0 9 G 3/20 6 4 1 C

G 0 9 G 3/20 6 4 2 A

請求項の数 3 (全 40 頁) 最終頁に続く

(21) 出願番号 特願2008-267688 (P2008-267688)
 (22) 出願日 平成20年10月16日 (2008. 10. 16)
 (65) 公開番号 特開2009-122657 (P2009-122657A)
 (43) 公開日 平成21年6月4日 (2009. 6. 4)
 審査請求日 平成23年8月18日 (2011. 8. 18)
 (31) 優先権主張番号 特願2007-274141 (P2007-274141)
 (32) 優先日 平成19年10月22日 (2007. 10. 22)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 本田 達也
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

審査官 西島 篤宏

(56) 参考文献 特開平 0 5 - 2 1 0 1 1 5 (J P , A)

特開 2 0 0 6 - 0 1 0 8 9 7 (J P , A)
)特開 2 0 0 5 - 1 6 4 8 9 1 (J P , A)
)

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと、

前記第 1 のトランジスタの導電型と異なる導電型を有する、第 2 のトランジスタと、

容量素子と、

液晶素子と、

映像信号を供給することができる機能を有する第 1 の配線と、

前記第 1 のトランジスタを選択する信号を供給することができる機能を有する第 2 の配線と、

前記第 2 のトランジスタがオン状態の場合に、前記容量素子に電荷を供給することができ
る機能を有する第 3 の配線と、

前記第 2 のトランジスタを選択する信号を供給することができる機能を有する第 4 の配線と、を有し、

前記第 1 のトランジスタのゲートは、前記第 2 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース及びドレインの一方は、前記第 1 の配線と電氣的に接続され、

前記容量素子の第 1 の電極は、前記第 1 のトランジスタのソース及びドレインの他方と電氣的に接続され、

前記液晶素子の第 1 の電極は、前記容量素子の第 1 の電極と電氣的に接続され、

前記液晶素子の第 2 の電極は、電源電圧を供給することができる機能を有する第 5 の配

10

20

線と電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記第 4 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース及びドレインの一方は、前記容量素子の第 2 の電極と電氣的に接続され、

前記第 2 のトランジスタのソース及びドレインの他方は、前記第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタがオフ状態の抵抗は、前記第 1 のトランジスタがオフ状態のときの抵抗より、高い値を有することを特徴とする表示装置。

【請求項 2】

請求項 1 において、

前記第 1 のトランジスタは、第 1 のチャンネル形成領域と接する領域を有する第 1 のソース領域を有し、

前記第 1 のトランジスタは、前記第 1 のチャンネル形成領域と接する領域を有する第 1 のドレイン領域を有し、

前記第 2 のトランジスタは、第 2 のチャンネル形成領域と、第 2 のソース領域との間に第 1 の低濃度不純物領域を有し、

前記第 2 のトランジスタは、前記第 2 のチャンネル形成領域と、第 2 のドレイン領域との間に第 2 の低濃度不純物領域を有することを特徴とする表示装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 のトランジスタがオン状態のとき、

前記容量素子の電圧は、前記液晶素子の電圧より高い値を有することができることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。また表示装置を表示部に有する電子機器に関する。

【背景技術】

【0002】

液晶表示装置や E L (エレクトロルミネッセンス) 表示装置など、近年表示装置には、高精細化のために画素毎に薄膜トランジスタ (T F T : T h i n F i l m T r a n s i s t o r) を用いたアクティブ駆動型が多く用いられている。アクティブ駆動型では、各画素の画素電極の電位を独立して制御でき、ライン毎に画素を制御するパッシブ駆動型のように隣の画素に電荷が漏れるようなクロストークがないため、表示にムラがなく、コントラスト比の高い表示装置を作製することが可能である。

【0003】

従来のアクティブ駆動型の表示装置の一例として液晶表示装置における画素部の構成及び動作について図 2 4 を用いて説明する。図 2 4 は、従来の表示装置の構成を示す回路図である。

【0004】

図 2 4 に示すように、従来の表示装置は、走査線 7 0 0 と、信号線 7 0 1 と、画素と、を有し、画素は、ゲート端子と、ソース端子と、ドレイン端子と、を有し、ゲート端子が走査線 7 0 0 に電氣的に接続され、ソース端子及びドレイン端子の一方が信号線 7 0 1 に電氣的に接続されたスイッチングトランジスタ 7 0 2 と、第 1 の電極がスイッチングトランジスタ 7 0 2 のソース端子及びドレイン端子の他方に電氣的に接続された補助容量 (S t o r a g e C a p a c i t o r) 7 0 3 及び液晶容量 7 0 4 と、を有する。

【0005】

次に従来の表示装置の動作について説明する。書き込み時には走査線 7 0 0 からスイッチングトランジスタ 7 0 2 のゲート端子に信号が入力される。スイッチングトランジスタ 7 0 2 のゲートとソースの間に印加される電圧が閾値電圧以上になるとスイッチングトラ

10

20

30

40

50

ンジスタ702がオン状態になり、信号線701からスイッチングトランジスタ702を介して補助容量703及び液晶容量704の第1の電極にビデオ信号が入力される。第1の電極にビデオ信号が入力された補助容量703及び液晶容量704は、外部からの信号により第2の電極の電位が設定され、第1の電極の電位と第2の電極の電位の電位差（電圧）が印加される。液晶容量704は、印加された電圧に従って液晶分子が制御され、表示が行なわれる。

【0006】

なお、上記表示装置の駆動方法の一例としては、例えばフレーム反転駆動などがある。フレーム反転駆動とは、液晶の焼き付きを防止するために次のフレームで前フレーム時とは反対符号の信号が入力される。しかし、このフレーム反転をするためにスイッチングトランジスタ702のソースとドレイン間には書き込み電圧の2倍の電圧が印加されることになる。その結果、スイッチングトランジスタ702のドレイン端に高い電界が生じ、この電界に加速されたキャリア（ホットキャリア）がトランジスタを劣化させ、オフ電流の増加や閾値電圧の変動が起こる。

【0007】

スイッチングトランジスタが劣化することによりオフ電流が増加すると、スイッチングトランジスタ702がオフ状態（電位保持時）であっても補助容量703及び液晶容量704の電極から電荷が漏れ、液晶に印加される電圧が所望の値より低くなるため、表示画像にムラが生じるといった問題がある。

【0008】

上記のような液晶表示装置の各画素において、スイッチングトランジスタのスイッチング特性の変化に起因する液晶容量及び補助容量のいずれかの電圧の低下を低減する技術として、液晶容量及び補助容量のいずれかの共通電極側に電氣的に接続された電圧制御回路を設ける構成などが挙げられる。（例えば特許文献1）

【0009】

特許文献1は、各画素のスイッチングトランジスタのスイッチング特性の変化に合わせて補助容量の共通電極側から電位を調整することで電荷を補って容量素子の電圧を所定の値に維持するというものである。

【0010】

上記に挙げた液晶表示装置などを例とした、アクティブ駆動型の表示装置は、スイッチング素子のスイッチング特性の変化などにより、容量素子に保持されていた電圧が所望の値から変化してしまい、画素毎に表示画像にムラが生じるため、電圧の変化を抑制するための様々な回路構成が提案されている。

【特許文献1】特開平5-216442号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、従来の構成は、容量素子の電荷の流出による電圧の低下に合わせて電荷を補うものであるため、電荷の流出自体は低減されないという問題がある。

【0012】

上記問題を鑑み、本発明は、表示装置において、容量素子における電荷の流出を低減させることを課題とする。

【課題を解決するための手段】

【0013】

本発明の一は、画素を有する表示装置において、画素に設けられた画像データに対応する電圧が印加される表示素子と、表示素子の電圧と同じ値の電圧を保持する容量素子と、容量素子の第1の電極に電氣的に接続された電荷供給素子と、スイッチング素子と、を有する表示装置であり、電荷供給素子と容量素子の間にスイッチング素子を設けることにより容量素子に蓄積された電荷の流出を抑制する。

【0014】

より具体的には、本発明の一は、信号線と、画素と、を有し、前記画素は、第1のスイッチング素子と、第1の電極が前記第1のスイッチング素子を介して前記信号線に電氣的に接続された容量素子と、前記容量素子の前記第1の電極に電氣的に接続された表示素子と、第2のスイッチング素子と、前記第2のスイッチング素子を介して前記容量素子の第2の電極に電氣的に接続された電荷供給端子と、を有する表示装置である。

【0015】

また、本発明の一は、信号線と、走査線と、画素と、を有し、前記画素は、第1のトランジスタ、第1の容量素子、第2の容量素子、第2のトランジスタ、及び電荷供給端子を有し、前記第1のトランジスタは、ゲート端子が前記走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記信号線に電氣的に接続され、前記第1の容量素子は、第1の電極が前記第1のトランジスタのソース端子またはドレイン端子の他方に電氣的に接続され、前記第2の容量素子は、第1の電極が前記第1の容量素子の前記第1の電極に電氣的に接続され、前記第2のトランジスタは、ゲート端子が前記走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記第1の容量素子の第2の電極に電氣的に接続され、前記ソース端子及び前記ドレイン端子の他方が前記電荷供給端子に電氣的に接続される表示装置である。

10

【0016】

また、本発明の一は、信号線と、第1の走査線と、第2の走査線と、画素と、を有し、前記画素は、第1のトランジスタ、第1の容量素子、第2の容量素子、第2のトランジスタ、及び電荷供給端子と、を有し、前記第1のトランジスタは、ゲート端子が前記第1の走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記信号線に電氣的に接続され、前記第1の容量素子は、第1の電極が前記第1のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、前記第2の容量素子は、第1の電極が前記第1の容量素子の前記第1の電極に電氣的に接続され、前記第2のトランジスタは、ゲート端子が前記第2の走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記第1の容量素子の第2の電極に電氣的に接続され、前記ソース端子及び前記ドレイン端子の他方が前記電荷供給端子に電氣的に接続される表示装置である。

20

【0017】

また、本発明の一は、画素部と、信号線と、走査線と、前記走査線に電氣的に接続された走査線駆動回路と、前記信号線に電氣的に接続された信号線駆動回路と、前記走査線駆動回路及び前記信号線駆動回路に電氣的に接続され、前記走査線駆動回路及び前記信号線駆動回路に制御信号を出力する制御回路と、を有し、前記画素部は、第1のトランジスタ、第1の容量素子、第2の容量素子、第2のトランジスタ、及び電荷供給端子を有する複数の画素を備え、前記第1のトランジスタは、ゲート端子が前記走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記信号線に電氣的に接続され、前記第1の容量素子は、第1の電極が前記第1のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、前記第2の容量素子は、第1の電極が前記第1の容量素子の前記第1の電極に電氣的に接続され、前記第2のトランジスタは、ゲート端子が前記走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記第1の容量素子の第2の電極に電氣的に接続され、前記ソース端子及び前記ドレイン端子の他方が前記電荷供給端子に電氣的に接続される表示装置である。

30

40

【0018】

また、本発明の一は、画素部と、信号線と、第1の走査線と、第2の走査線と、前記第1の走査線及び前記第2の走査線に電氣的に接続された走査線駆動回路と、前記信号線に電氣的に接続された信号線駆動回路と、前記走査線駆動回路及び前記信号線駆動回路に電氣的に接続され、前記走査線駆動回路及び前記信号線駆動回路に制御信号を出力する制御回路と、を有し、前記画素部は、第1のトランジスタ、第1の容量素子、第2の容量素子、第2のトランジスタ、及び電荷供給端子を有する複数の画素を備え、前記第1のトランジスタは、ゲート端子が前記第1の走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記信号線に電氣的に接続され、前記第1の容量素子は、第1の電極が前記

50

第1のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、前記第2の容量素子は、第1の電極が前記第1の容量素子の前記第1の電極に電氣的に接続され、前記第2のトランジスタは、ゲート端子が前記第2の走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記第1の容量素子の第2の電極に電氣的に接続され、前記ソース端子及び前記ドレイン端子の他方が前記電荷供給端子に電氣的に接続される表示装置である。

【0019】

また、本発明の一は、画素部と、信号線と、走査線と、前記走査線に電氣的に接続された走査線駆動回路と、前記信号線に電氣的に接続された信号線駆動回路と、前記走査線駆動回路及び前記信号線駆動回路に電氣的に接続され、前記走査線駆動回路及び前記信号線駆動回路に制御信号を出力する制御回路と、を有し、前記画素部は、第1のトランジスタ、第1の容量素子、及び第2の容量素子を有する複数の画素と、第2のトランジスタと、電荷供給端子と、を備え、前記第1のトランジスタは、ゲート端子が前記走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記信号線に電氣的に接続され、前記第1の容量素子は、第1の電極が前記第1のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、前記第2の容量素子は、第1の電極が前記第1の容量素子の前記第1の電極に電氣的に接続され、前記第2のトランジスタは、ゲート端子が前記走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記複数の画素における前記第1の容量素子の第2の電極に電氣的に接続され、前記ソース端子及び前記ドレイン端子の他方が前記電荷供給端子に電氣的に接続される表示装置である。

【0020】

また、本発明の一は、画素部と、信号線と、第1の走査線と、第2の走査線と、前記第1の走査線及び前記第2の走査線に電氣的に接続された走査線駆動回路と、前記信号線に電氣的に接続された信号線駆動回路と、前記走査線駆動回路及び前記信号線駆動回路に電氣的に接続され、前記走査線駆動回路及び前記信号線駆動回路に制御信号を出力する制御回路と、を有し、前記画素部は、第1のトランジスタ、第1の容量素子、及び第2の容量素子を有する複数の画素と、第2のトランジスタと、電荷供給端子と、を備え、前記第1のトランジスタは、ゲート端子が前記第1の走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記信号線に電氣的に接続され、前記第1の容量素子は、第1の電極が前記第1のトランジスタの前記ソース端子及び前記ドレイン端子の他方に電氣的に接続され、前記第2の容量素子は、第1の電極が前記第1の容量素子の前記第1の電極に電氣的に接続され、前記第2のトランジスタは、ゲート端子が前記第2の走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記複数の画素における前記第1の容量素子の第2の電極に電氣的に接続され、前記ソース端子及び前記ドレイン端子の他方が前記電荷供給端子に電氣的に接続される表示装置である。

【0021】

また、本発明の一は、信号線と、電源線と、走査線と、画素と、を有し、前記画素は、第1のトランジスタ、容量素子、第2のトランジスタ、電荷供給端子、第3のトランジスタ、及び発光素子を有し、前記第1のトランジスタは、ゲート端子が前記走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記信号線に電氣的に接続され、前記容量素子は、第1の電極が前記第1のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、前記第2のトランジスタは、ゲート端子が前記第1のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、ソース端子及びドレイン端子の一方が前記電源線に電氣的に接続され、前記発光素子は、第1の電極が前記第2のトランジスタの前記ソース端子及びドレイン端子の他方に電氣的に接続され、前記第3のトランジスタは、ゲート端子が前記走査線に電氣的に接続され、前記ソース端子及びドレイン端子の一方が前記容量素子の第2の電極に電氣的に接続され、前記ソース端子及び前記ドレイン端子の他方が前記電荷供給端子に電氣的に接続される表示装置である。

【0022】

また、本発明の一は、信号線と、電源線と、第1の走査線と、第2の走査線と、画素と

10

20

30

40

50

、を有し、前記画素は、第1のトランジスタ、容量素子、第2のトランジスタ、発光素子、第3のトランジスタ、及び電荷供給端子を有し、前記第1のトランジスタは、ゲート端子が前記第1の走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記信号線に電氣的に接続され、前記容量素子は、第1の電極が前記第1のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、前記第2のトランジスタは、ゲート端子が前記第1のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、ソース端子及びドレイン端子の一方が前記電源線に電氣的に接続され、前記発光素子は、第1の電極が前記第2のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、前記第3のトランジスタは、ゲート端子が前記第2の走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記容量素子の第2の電極に電氣的に接続され、前記ソース端子及び前記ドレイン端子の他方が前記電荷供給端子に電氣的に接続される表示装置である。

10

【0023】

また、本発明の一は、画素部と、信号線と、電源線と、走査線と、前記走査線に電氣的に接続された走査線駆動回路と、前記信号線及び前記電源線に電氣的に接続された信号線駆動回路と、前記走査線駆動回路及び前記信号線駆動回路に電氣的に接続され、前記走査線駆動回路及び前記信号線駆動回路に制御信号を出力する制御回路と、を有し、前記画素部は、第1のトランジスタ、容量素子、第2のトランジスタ、及び発光素子、第3のトランジスタ、及び電荷供給端子を有する複数の画素を備え、前記第1のトランジスタは、ゲート端子が前記走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記信号線に電氣的に接続され、前記容量素子は、第1の電極が前記第1のトランジスタの前記ソース端子及びドレイン端子の他方に電氣的に接続され、前記第2のトランジスタは、ゲート端子が前記第1のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、ソース端子及びドレイン端子の一方が前記電源線に電氣的に接続され、前記発光素子は、第1の電極が前記第2のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、前記第3のトランジスタは、ゲート端子が前記走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記容量素子の第2の電極に電氣的に接続され、前記ソース端子及び前記ドレイン端子の他方が電荷供給端子に電氣的に接続される表示装置である。

20

【0024】

30

また、本発明の一は、画素部と、信号線と、電源線と、第1の走査線と、第2の走査線と、前記第1の走査線及び前記第2の走査線に電氣的に接続された走査線駆動回路と、前記信号線及び前記電源線に電氣的に接続された信号線駆動回路と、前記走査線駆動回路及び前記信号線駆動回路に電氣的に接続され、前記走査線駆動回路及び前記信号線駆動回路に制御信号を出力する制御回路と、を有し、前記画素部は、第1のトランジスタ、容量素子、第2のトランジスタ、発光素子、第3のトランジスタ、及び電荷供給端子を有する複数の画素を備え、前記第1のトランジスタは、ゲート端子が前記第1の走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記信号線に電氣的に接続され、前記容量素子は、第1の電極が前記第1のトランジスタの前記ソース端子及びドレイン端子の他方に電氣的に接続され、前記第2のトランジスタは、ゲート端子が前記第1のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、ソース端子及びドレイン端子の一方が前記電源線に電氣的に接続され、前記発光素子は、第1の電極が前記第2のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、前記第3のトランジスタは、ゲート端子が前記第2の走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記容量素子の第2の電極に電氣的に接続され、前記ソース端子及び前記ドレイン端子の他方が前記電荷供給端子に電氣的に接続される表示装置である。

40

【0025】

また、本発明の一は、画素部と、信号線と、電源線と、走査線と、前記走査線に電氣的に接続された走査線駆動回路と、前記信号線及び前記電源線に電氣的に接続された信号線駆動回路と、前記走査線駆動回路及び前記信号線駆動回路に電氣的に接続され、前記走査

50

線駆動回路及び前記信号線駆動回路に制御信号を出力する制御回路と、を有し、前記画素部は、第1のトランジスタ、容量素子、第2のトランジスタ、及び発光素子を有する複数の画素と、第3のトランジスタと、電荷供給端子と、を備え、前記第1のトランジスタは、ゲート端子が前記走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記信号線に電氣的に接続され、前記容量素子は、第1の電極が前記第1のトランジスタの前記ソース端子及びドレイン端子の他方に電氣的に接続され、前記第2のトランジスタは、ゲート端子が前記第1のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、ソース端子及びドレイン端子の一方が前記電源線に電氣的に接続され、前記発光素子は、第1の電極が前記第2のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、前記第3のトランジスタは、ゲート端子が前記走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記複数の画素における容量素子の第2の電極に電氣的に接続され、前記ソース端子及び前記ドレイン端子の他方が電荷供給端子に電氣的に接続される表示装置である。

10

【0026】

画素部と、信号線と、電源線と、第1の走査線と、第2の走査線と、前記第1の走査線及び前記第2の走査線に電氣的に接続された走査線駆動回路と、前記信号線及び前記電源線に電氣的に接続された信号線駆動回路と、前記走査線駆動回路及び前記信号線駆動回路に電氣的に接続され、前記走査線駆動回路及び前記信号線駆動回路に制御信号を出力する制御回路と、を有し、前記画素部は、第1のトランジスタ、容量素子、第2のトランジスタ、及び発光素子を有する複数の画素と、第3のトランジスタと、電荷供給端子と、を備え、前記第1のトランジスタは、ゲート端子が前記第1の走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記信号線に電氣的に接続され、前記容量素子は、第1の電極が前記第1のトランジスタの前記ソース端子及びドレイン端子の他方に電氣的に接続され、前記第2のトランジスタは、ゲート端子が前記第1のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、ソース端子及びドレイン端子の一方が前記電源線に電氣的に接続され、前記発光素子は、第1の電極が前記第2のトランジスタのソース端子及びドレイン端子の他方に電氣的に接続され、前記第3のトランジスタは、ゲート端子が前記第2の走査線に電氣的に接続され、ソース端子及びドレイン端子の一方が前記複数の画素における前記容量素子の第2の電極に電氣的に接続され、前記ソース端子及び前記ドレイン端子の他方が前記電荷供給端子に電氣的に接続される表示装置である。

20

30

【0027】

また、本発明の一は、上記表示装置を表示部に有する電子機器である。

【0028】

なお、本書類（明細書、特許請求の範囲又は図面など）におけるトランジスタは、ゲート端子、ドレイン端子、ソース端子の少なくとも3つの端子を有し、ゲート端子とは、ゲート電極の部分（ゲートとなる領域、導電膜、及び配線などを含む）または、ゲート電極と電氣的に接続されている部分の一部のことを言う。また、ソース端子とは、ソース電極の部分（ソースとなる領域、導電膜、及び配線などを含む）や、ソース電極と電氣的に接続されている部分の一部のことを言う。また、ドレイン端子とは、ドレイン電極（ドレインとなる領域、導電膜、及び配線などを含む）や、ドレイン電極と電氣的に接続されている部分の一部のことを言う。

40

【0029】

また、本書類（明細書、特許請求の範囲又は図面など）におけるトランジスタのソース端子とドレイン端子は、トランジスタの構造や動作条件等によって変わるため、いずれがソース端子またはドレイン端子であるかを限定することが困難である。そこで、本書類（明細書、特許請求の範囲又は図面など）においては、一方の端子をソース端子及びドレイン端子の一方と表記し、他方の端子をソース端子及びドレイン端子の他方と表記する。

【0030】

また、本書類（明細書、特許請求の範囲又は図面など）における容量素子及び発光素子は、一方の電極と、他方の電極の少なくとも2つの電極を有し、一方の電極の一部または

50

全部を第１の電極と表記し、他方の電極の一部または全部を第２の電極と表記する。

【発明の効果】

【００３１】

本発明により、表示装置の画素における容量素子の電荷の漏れを低減させることができる。

【発明を実施するための最良の形態】

【００３２】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではないとする。

【００３３】

（実施の形態１）

本実施の形態では、本発明の表示装置の一例について説明する。

【００３４】

本実施の形態における表示装置の構成について図１を用いて説明する。図１は、本実施の形態における表示装置の構成の概略を示す回路図である。

【００３５】

図１に示すように本実施の形態における表示装置は、信号線１００と、画素と、を有し、画素は、第１のスイッチング素子１０３と、第１の電極が第１のスイッチング素子１０３を介して信号線１００に電氣的に接続された容量素子１０１と、容量素子１０１の第１の電極に電氣的に接続された表示素子１０２と、第２のスイッチング素子１０４と、第２のスイッチング素子１０４を介して容量素子１０１の第２の電極に電氣的に接続された電荷供給端子１０５と、を有する。

【００３６】

第１のスイッチング素子１０３は、選択的にオン状態またはオフ状態にすることにより、信号線１００から容量素子１０１及び表示素子１０２へのビデオ信号の入力を制御する機能を有する。

【００３７】

表示素子１０２は、信号線１００からビデオ信号が入力されることにより印加された電圧に従って表示を行う機能を有する。なお表示素子１０２の例としては、例えば液晶素子や、ＥＬ素子などの表示素子を適用することができる。

【００３８】

容量素子１０１は、表示素子１０２の補助容量としての機能を有し、表示素子１０２の電極から流出した電荷を補い、表示素子１０２に印加される電圧の経時的低下を抑制する。

【００３９】

第２のスイッチング素子１０４は、選択的にオン状態またはオフ状態にすることにより、第１のスイッチング素子１０３の劣化によるオフ電流の増加に伴い、容量素子１０１に蓄積された電荷が流出するのを抑制する電位制御素子としての機能を有する。

【００４０】

なお、スイッチング素子としては、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチング素子として、トランジスタ（例えば、バイポーラトランジスタ、ＭＯＳトランジスタなど）、ダイオード（例えば、ＰＮダイオード、ＰＩＮダイオード、ショットキーダイオード、ＭＩＭ（Metal Insulator Metal）ダイオード、ＭＩＳ（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、サイリスタなどを用いることが出来る。または、これらを組み合わせた論理回路をスイッチング素子として用いることが出来る。

10

20

30

40

50

【 0 0 4 1 】

機械的なスイッチング素子の例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチング素子がある。これらのスイッチング素子は、機械的に動かすことができる電極を有し、その電極が動くことによって、接続と非接続とを制御して動作する。

【 0 0 4 2 】

電荷供給端子 1 0 5 は、第 2 のスイッチング素子 1 0 4 がオン状態の場合に、容量素子 1 0 1 に電荷を供給する機能を有する。なお、電荷供給端子 1 0 5 は、接地させた構成とすることができる。また、別途電源線を設けて電氣的に接続させた構成とすることも可能である。

10

【 0 0 4 3 】

次に図 1 の画素における動作について説明する。

【 0 0 4 4 】

まず表示素子 1 0 2 への書き込み動作について説明する。書き込み時には、第 1 のスイッチング素子 1 0 3 及び第 2 のスイッチング素子 1 0 4 をオン状態にする。オン状態にすることにより、第 1 のスイッチング素子 1 0 3 を介して信号線 1 0 0 からデータに対応した信号電位が容量素子 1 0 1 及び表示素子 1 0 2 に出力され、容量素子 1 0 1 及び表示素子 1 0 2 には、所定の値の電圧が印加される。

【 0 0 4 5 】

次に表示素子 1 0 2 における保持動作について説明する。保持状態時には、第 1 のスイッチング素子 1 0 3 及び第 2 のスイッチング素子 1 0 4 をオフ状態にする。オフ状態にすることにより、容量素子 1 0 1 及び表示素子 1 0 2 に印加された電圧を保持する。

20

【 0 0 4 6 】

しかしながら書き込み時において、第 1 のスイッチング素子 1 0 3 に高い電界が生じ、第 1 のスイッチング素子 1 0 3 が劣化する。第 1 のスイッチング素子 1 0 3 が劣化するとオフ電流が増加する。これにより表示素子 1 0 2 から第 1 のスイッチング素子 1 0 3 を介して電荷が流出する。また、容量素子 1 0 1 に関しても第 1 の電極から第 1 のスイッチング素子 1 0 3 を介して電荷が流出しやすい状態になる。表示素子 1 0 2 と容量素子 1 0 1 の両方から電荷の流出がある場合には、容量素子 1 0 1 は表示素子 1 0 2 の補助容量としては機能しなくなり、表示素子 1 0 2 の電圧降下を抑えることができない。しかし、書き込み時においては第 2 のスイッチング素子 1 0 4 には高い電圧が印加されないため、第 1 のスイッチング素子 1 0 3 に比べて劣化しにくく、オフ電流の増加または抵抗の低下は無視できる。容量素子 1 0 1 は、第 1 の電極が導通に近い状態であっても、第 2 の電極に電荷の移動を無視できるほどの大きな抵抗が付加されている場合には、第 1 の電極の電荷は移動しない。これは、第 1 の電極から電荷が移動するためには、移動した分の電荷が第 2 の電極に供給される必要があるが、第 2 のスイッチング素子 1 0 4 が抵抗の高いオフ状態であり、電荷が電荷供給端子 1 0 5 から容量素子 1 0 1 の第 2 の電極に供給されないためである。

30

【 0 0 4 7 】

以上のように、第 1 のスイッチング素子 1 0 3 のオフ電流の増加に起因する容量素子 1 0 1 の電荷の流出を低減することができる。これにより容量素子 1 0 1 から第 1 のスイッチング素子 1 0 3 を介して電荷を補い、表示素子 1 0 2 に印加する所定の電圧を維持し、表示（階調）のムラを低減することができる。

40

【 0 0 4 8 】

（実施の形態 2）

本実施の形態では、本発明の表示装置の具体的な例の一つとして、液晶表示装置について説明する。

【 0 0 4 9 】

まず本実施の形態における表示装置の構成について図 2 を用いて説明する。図 2 は、本実施の形態の表示装置の構成を示す回路図である。

50

【 0 0 5 0 】

図2に示すように、本実施の形態における表示装置は、走査線200と、信号線201と、画素と、を有し、画素は、ゲート端子が走査線200に電氣的に接続され、ソース端子及びドレイン端子の一方が信号線201に電氣的に接続された第1のトランジスタ202と、第1の電極が第1のトランジスタ202のソース端子及びドレイン端子の他方に電氣的に接続された第1の容量素子203と、第1の電極が第1の容量素子203の第1の電極に電氣的に接続された第2の容量素子204と、ゲート端子が走査線200に電氣的に接続され、ソース端子及びドレイン端子の一方が第1の容量素子203の第2の電極に電氣的に接続された第2のトランジスタ205と、第2のトランジスタ205のソース端子及びドレイン端子の他方に電氣的に接続された電荷供給端子206と、を有する。

10

【 0 0 5 1 】

第1のトランジスタ202は、スイッチング素子としての機能を有し、走査線200からゲート端子に入力された信号電位に従ってオン状態またはオフ状態となる。

【 0 0 5 2 】

第1の容量素子203は、補助容量としての機能を有し、第2の容量素子204に保持された電圧の時間的変動を補う機能を有する。第2の容量素子204は、第1の電極と第2の電極と液晶分子とを有し、第2の電極が接地されるか別途電源に接続される。また第2の容量素子204は、液晶容量としての機能を有する。第1の容量素子203及び第2の容量素子204は、第1のトランジスタ202をオン状態になることにより、ビデオ信号が信号線201から第1のトランジスタ202を介して入力され、第1の容量素子203及び第2の容量素子204に電荷が蓄積され、第1の容量素子203及び第2の容量素子204には所定の値の電圧が印加される。また、第2の容量素子204は、保持された電圧により透過率を変化させる。本発明の表示装置は、画素毎に透過率が所定の値に設定されることにより表示が行われる。

20

【 0 0 5 3 】

第2のトランジスタ205は、スイッチング素子としての機能を有し、走査線200からゲート端子に入力された信号電位に従ってオン状態またはオフ状態となる。第2のトランジスタ205をオン状態にすることにより、電荷供給端子206から第1の容量素子203の第2の電極に電荷が供給される。

【 0 0 5 4 】

電荷供給端子206は、第2のトランジスタ205がオン状態の場合に、第1の容量素子203に電荷を供給する機能を有する。なお、電荷供給端子206は、接地させた構成とすることができる。また、別途電源線を設けて電氣的に接続させた構成とすることも可能である。

30

【 0 0 5 5 】

次に図2の構成の表示装置における動作について説明する。

【 0 0 5 6 】

まず第1の容量素子203及び第2の容量素子204への書き込み動作について説明する。書き込み時には、走査線200から走査信号を第1のトランジスタ202及び第2のトランジスタ205のゲート端子に入力することにより、第1のトランジスタ202及び第2のトランジスタ205をオン状態にする。第1のトランジスタ202がオン状態になることにより、信号線201からビデオ信号が第1の容量素子203の第1の電極に入力される。また、第2のトランジスタ205がオン状態になることにより第1の容量素子203の第2の電極が接地される。第1の容量素子203及び第2の容量素子204は、ビデオ信号が入力されることにより所定の値の電圧が印加される。

40

【 0 0 5 7 】

次に第1の容量素子203及び第2の容量素子204におけるデータ保持動作について説明する。データ保持時には、第1のトランジスタ202及び第2のトランジスタ205をオフ状態にする。オフ状態にすることにより、第1の容量素子203及び第2の容量素子204には、所定の値の電圧が保持される。

50

【 0 0 5 8 】

書き込み時、第1のトランジスタ202のドレイン端子には高電界が印加され、ホットキャリアが発生し、第1のトランジスタ202は、ホットキャリア劣化によりオフ電流が増加し、オフ電流の増加に起因して第1の容量素子203の第1の電極から電荷が流出しやすい状態になる。第1の容量素子203は、第1の電極が導通状態であっても、トランジスタのオフ状態におけるチャネル抵抗ほどの大きな抵抗が第2の電極に付加されている場合には第1の電極の電荷は流出しない。これは、容量素子203の第1の電極から電荷が移動するためには、第2の電極に第1の電極から移動した分の電荷の供給が必要であるが、第2のトランジスタ205がオフ状態であり、電荷供給端子206から第1の容量素子203の第2の電極に電荷が供給されないためである。書き込み時においては、第2のトランジスタ205のソース端子とドレイン端子の電極間には第1のトランジスタ202のソース端子とドレイン端子の電極間に印加されるような高電圧が印加されず、第2のトランジスタ205は、第1のトランジスタ202に比べて劣化しにくいいため、第1のトランジスタ202に比べてオフ状態時の抵抗は大きくなる。そのため、第1のトランジスタ202のオフ電流の増加に起因する第1の容量素子203の電荷の流出を低減することができ、第1の容量素子203に保持された電圧値の低下を低減することができる。

10

【 0 0 5 9 】

以上のように、第2のトランジスタ205を設けることにより、第1のトランジスタ202のオフ電流増加に起因する第1の容量素子203の電荷の流出を低減することができ、第1の容量素子203は第1のトランジスタ202のオフ電流の増加に起因する第2の容量素子204に印加された電圧の経時的な低下を補うことが可能となり、画素の透過率の変動による表示（階調）のムラを低減することができる。

20

【 0 0 6 0 】

また、本実施の形態における表示装置の構成は、上記説明した構成だけではなく、他の構成においても適用することができる。本実施の形態の表示装置の他の構成例について図3を用いて説明する。図3は、本実施の形態における表示装置の他の構成例を示す回路図である。

【 0 0 6 1 】

図3に示すように、本実施の形態の表示装置の他の構成は、第1の走査線200と、第2の走査線207と、信号線201と、画素と、を有し、画素は、ゲート端子が第1の走査線200に電氣的に接続され、ソース端子及びドレイン端子の一方が信号線201に電氣的に接続された第1のトランジスタ202と、第1の電極が第1のトランジスタ202のソース端子及びドレイン端子の他方に電氣的に接続された第1の容量素子203と、第1の電極が第1の容量素子203の第1の電極に電氣的に接続された第2の容量素子204と、ゲート端子が第2の走査線207に電氣的に接続され、ソース端子及びドレイン端子の一方が第1の容量素子203の第2の電極に電氣的に接続された第2のトランジスタ205と、第2のトランジスタ205のソース端子及びドレイン端子の他方に電氣的に接続された電荷供給端子206と、を有する。

30

【 0 0 6 2 】

第1のトランジスタ202は、スイッチング素子としての機能を有し、第1の走査線200からゲート端子に入力された信号電位に従ってオン状態またはオフ状態になる。

40

【 0 0 6 3 】

第1の容量素子203は、補助容量として第2の容量素子204に保持された電圧の経時的変動を補助する機能を有する。また、第2の容量素子204は、第1の電極と第2の電極と液晶分子とを有し、第2の電極が接地されるか別途電源に接続される。また、第2の容量素子204は、液晶容量としての機能を有する。第1の容量素子203及び第2の容量素子204は、第1のトランジスタ202及び第2のトランジスタ205をオン状態にすることにより、信号線201から第1のトランジスタ202を介してビデオ信号が入力される。信号が入力されることにより、第1の容量素子203及び第2の容量素子204に電荷が蓄積され、電圧が印加される。第2の容量素子204における液晶分子は、第

50

2の容量素子204に保持された電圧に従って透過率が変化し、所定の透過率において表示を行う。

【0064】

第2のトランジスタ205は、スイッチング素子としての機能を有し、第2の走査線207からゲート端子に入力された信号電位に従ってオン状態またはオフ状態になり、第1のトランジスタ202のオフ電流の増加に起因する第1の容量素子203の電荷の流出を低減する機能を有する。なお、第1のトランジスタ202と第2のトランジスタ205はそれぞれ別の導電型にすることもできる。

【0065】

電荷供給端子206は、第2のトランジスタ205がオン状態の場合に、第1の容量素子203に電荷を供給する機能を有する。なお、電荷供給端子206は、接地させた構成とすることができる。また、別途電源線を設けて電氣的に接続させた構成とすることも可能である。

【0066】

次に図3の構成における動作について説明する。

【0067】

書き込み時に第1のトランジスタ202のドレイン端子には高電界が印加され、ホットキャリアが発生し、第1のトランジスタ202は、ホットキャリア劣化によりオフ電流が増加し、第1の容量素子203は、第1の電極から電荷が流出しやすい状態になる。第1の容量素子203は、第1の電極が導通状態であっても、トランジスタのオフ状態におけるチャネル抵抗ほどの大きな抵抗が第2の電極に付加されている場合には、第1の電極の電荷は移動しない。書き込み時において、第2のトランジスタ205には第1のトランジスタ202に印加されるような大きな電圧が印加されず、第1のトランジスタ202に比べて劣化しにくいいため、第2のトランジスタ205は、第1のトランジスタ202に比べてオフ状態における抵抗が高い。そのため、第1のトランジスタ202のオフ電流の増加に起因する容量素子の電荷の流出を低減することができ、第1の容量素子203の電圧値の低下を抑制することができる。

【0068】

以上のように、画素における2つのトランジスタを別々の走査線に電氣的に接続させることにより、個々に動作のタイミングを設定することができる。また第1のトランジスタ及び第2のトランジスタを別の導電型にするなど、設計上での選択の自由度が広がる。

【0069】

次に上記で説明した表示装置のより具体的な構成について説明する。

【0070】

まず、図2に示した表示装置のより具体的な構成について図4を用いて説明する。図4は、本実施の形態における本発明の表示装置の、より具体的な構成の一例を示す回路図である。

【0071】

図4に示すように、本実施の形態における表示装置は、複数の画素300を有する画素部301と、走査線302と、信号線303と、走査線302に電氣的に接続された走査線駆動回路(ゲートドライバ)304と、信号線303に電氣的に接続された信号線駆動回路(ソースドライバ)305と、走査線駆動回路304及び信号線駆動回路305に電氣的に接続された制御回路306と、を有する。

【0072】

画素部301に設けられた複数の画素300は、走査線302と信号線303との交差領域にマトリクス状に配置され、画素300毎に信号電位を独立して入力することができる。なお、画素部301に設けられた複数の画素300には、図2に示す画素構成を適用することができ、走査線302及び信号線303は、図2における走査線200及び信号線201に相当する。

【0073】

10

20

30

40

50

また、図 3 に示す構成を適用することもできる。図 3 に示す構成を適用する場合には、図 5 に示すように、第 2 の走査線 3 0 7 及び第 2 の走査線駆動回路 3 0 8 を設け、第 2 の走査線駆動回路 3 0 8 からの信号に従って第 1 のトランジスタ 2 0 2 を制御する。なお、第 2 の走査線 3 0 7 は、図 3 における第 2 の走査線 2 0 7 に相当する。

【 0 0 7 4 】

制御回路 3 0 6 は、入力された映像信号に応じて走査線駆動回路 3 0 4 及び信号線駆動回路 3 0 5 を制御する機能を有する。具体的には制御回路 3 0 6 は、走査線駆動回路 3 0 4 及び信号線駆動回路 3 0 5 にそれぞれ制御信号を出力する。

【 0 0 7 5 】

走査線駆動回路 3 0 4 は、制御回路 3 0 6 から入力された制御信号に応じて走査信号を走査線 3 0 2 に出力する機能を有する。

10

【 0 0 7 6 】

信号線駆動回路 3 0 5 は、制御回路 3 0 6 から入力された制御信号に応じてビデオ信号を信号線 3 0 3 に出力する機能を有する。

【 0 0 7 7 】

なお、制御回路 3 0 6 は、電源と、照明手段を有する構成とすることもできる。電源は、映像信号に応じて制御し、照明手段へ電力を供給する手段を有している。照明手段としては、エッジライト式のバックライトユニット、又は直下型のバックライトユニットを用いることも可能である。ただし、照明手段としては、フロントライトを用いてもよい。フロントライトとは、画素部の前面側に取り付け、全体を照らす発光体及び導光体で構成された板状のライトユニットである。このような照明手段により、低消費電力で、均等に画素部を照らすことができる。

20

【 0 0 7 8 】

また、図 4 及び図 5 において、駆動回路の位置を画素部 3 0 1 の左側と上側に配置する例について説明したが、これに限定されない。他の位置に配置することもできる。また複数の駆動回路を有する構成についても画素部に対して同じ側に配置することもできるし、別々の位置に配置することもできる。

【 0 0 7 9 】

次に本実施の形態における表示装置の走査線駆動回路及び信号線駆動回路の構成の一例について説明する。

30

【 0 0 8 0 】

まず走査線駆動回路の構成の一例について図 6 (A) を用いて説明する。図 6 (A) は、本実施の形態における表示装置の走査線駆動回路の構成の一例を示すブロック図である。

【 0 0 8 1 】

図 6 (A) に示すように走査線駆動回路 4 0 4 は、シフトレジスタ 4 4 1、レベルシフタ 4 4 2、バッファ 4 4 3 と、を有する。

【 0 0 8 2 】

シフトレジスタ 4 4 1 にはゲートスタートパルス (G S P)、ゲートクロック信号 (G C K) 等の信号が入力される。

40

【 0 0 8 3 】

次に信号線駆動回路の構成の一例について図 6 (B) を用いて説明する。図 6 (B) は本実施の形態における表示装置の信号線駆動回路の構成の一例を示すブロック図である。

【 0 0 8 4 】

図 6 (B) に示すように信号線駆動回路 4 0 3 は、シフトレジスタ 4 3 1、第 1 のラッチ回路 4 3 2、第 2 のラッチ回路 4 3 3、レベルシフタ 4 3 4、バッファ 4 3 5 と、を有する。

【 0 0 8 5 】

バッファ 4 3 5 は、振幅の小さい信号を増幅させる機能を有し、オペアンプ等を有する。シフトレジスタ 4 3 1 には、スタートパルス (S S P) 等の信号が、第 1 のラッチ回路

50

4 3 2 にはビデオ信号等のデータ (DATA) が入力される。第 2 のラッチ回路 4 3 3 にはラッチ (LAT) 信号を一時保持することができ、一斉に画素部へ入力させる。これを線順次駆動と呼ぶ。そのため、線順次駆動ではなく、点順次駆動を行う画素であれば、第 2 のラッチ回路 4 3 3 は不要とすることができる。

【0086】

なお、本実施の形態において、画素が設けられた一方の基板の上面と反対側には、偏光板、位相差板又はプリズムシートが配置することができ、他方の基板上には、カラーフィルタ、ブラックマトリクス、対向電極又は配向膜などが形成されている。なお、他方の基板の上面と反対側には、偏光板又は位相差板が配置されていてもよい。なお、カラーフィルタ及びブラックマトリクスは、一方の基板の上面に形成されてもよい。なお、一方の基板の上面側又はその反対側にスリット (格子) を配置することで、3次元表示を行うことができる。

【0087】

なお、偏光板、位相差板及びプリズムシートをそれぞれ、2つの基板の間に配置することが可能である。あるいは、2つの基板のうちのいずれかと一体とすることが可能である。

【0088】

次に本実施の形態における表示装置の動作について説明する。

【0089】

制御回路 3 0 6 により制御信号が走査線駆動回路 3 0 4 及び信号線駆動回路 3 0 5 に出力されることにより、走査線駆動回路 3 0 4 は、走査線 3 0 2 を介して走査信号を選択された画素に出力する。また、信号線駆動回路 3 0 5 は、信号線 3 0 3 を介してビデオ信号を選択された画素 3 0 0 に出力する。選択された画素は、入力された走査信号及びビデオ信号に従って上記で説明した表示動作を行う。

【0090】

なお、第 1 のトランジスタ 2 0 2 のオフ電流が大きい場合、第 2 の容量素子 2 0 4 からの電荷の流出が大きくなり、第 2 の容量素子 2 0 4 の電圧降下を補うために第 1 の容量素子 2 0 3 から第 2 の容量素子 2 0 4 に移動する電荷量も大きくなる。その結果、第 1 の容量素子 2 0 3 の電圧が低下し、第 1 の容量素子 2 0 3 と第 2 の容量素子 2 0 4 に印加される電圧は平均化されることで低下し、第 2 の容量素子 2 0 4 の電圧低下が起こる。第 2 の容量素子 2 0 4 の電圧低下を抑制する方法として第 2 のトランジスタ 2 0 5 のソース端子及びドレイン端子の他方の電位を所定の値の電位 V_s とする場合について図 7 を用いて説明する。図 7 は、本実施の形態の表示装置の他の構成を示す回路図である。

【0091】

図 7 に示すように、図 2 及び図 3 における表示装置の構成において、新たに電源線 3 0 9 を設け、電荷供給端子 2 0 6 を介して第 2 のトランジスタ 2 0 5 のソース端子及びドレイン端子の他方に電氣的に接続させる。さらに電源回路 3 1 0 を設けて電源線 3 0 9 に電氣的に接続させた構成とする。図 7 (A) は、図 2 に示した画素構成における第 2 のトランジスタ 2 0 5 のソース端子及びドレイン端子の他方を電源線 3 0 9 に電氣的に接続させた構成を示しており、図 7 (B) は、図 3 に示した画素構成における第 2 のトランジスタ 2 0 5 のソース端子及びドレイン端子の他方を電源線 3 0 9 に電氣的に接続させた構成を示している。このとき電源回路 3 1 0 は、信号線駆動回路 3 0 5 に同期させる。

【0092】

次に電源線 3 0 9 及び電源回路 3 1 0 を設けた場合の動作について説明する。

【0093】

電源回路 3 1 0 により第 2 のトランジスタ 2 0 5 のソース端子及びドレイン端子の他方の電位が V_s となるように電源線 3 0 9 を設定する。つまり画素における液晶電極から電荷が漏れることで起こる液晶電極の電位の降下分を見越して電位 V_s を所定の値に調整し、書き込み時の第 1 の容量素子 2 0 3 の電圧を第 2 の容量素子 2 0 4 の電圧よりも高く設定する。また、第 1 のトランジスタ 2 0 2 に寄生容量がある場合にはフィードスルー効果

10

20

30

40

50

による画素電極に印加される電圧の変動が問題となるが、第2のトランジスタ205のソース端子またはドレイン端子の他方の電位をフィードスルー効果分調整してやれば、フィードスルーを抑えることもできる。また、電源線309を設けることで、第1の容量素子203の容量（電極面積等）を小さくすることができるため、作製するパネルの開口率を向上させることができる。

【0094】

次に本実施の形態における表示装置の駆動のタイミングについて図8を用いて説明する。図8は、表示装置の動作を示すタイミングチャート図である。なお、図8における動作の方法の例として、フレーム反転駆動方法の場合について説明するが、これに限定されず、他の駆動方法をついても適用することができる。

10

【0095】

図8に示すように、書き込み時には1水平期間毎に液晶容量（第2の容量素子204） C_{liq} に電圧（電位差） V_{sig} が周期 t_w で印加され、補助容量（第1の容量素子203） C_s には $|V_{sig} - V_s|$ の電位差が印加される。ここで所定の電位 V_s の値は次のように見積もることができる。

【0096】

例えば、第1のトランジスタ202のオフ電流の時間平均を I_{off} 、一フレーム期間を T とおくと一フレーム期間中に液晶容量 C_{liq} から移動する電荷量 Q は次式で与えられる。

【0097】

【数1】

$$\Delta Q = \int_0^T (I_{off}) dt = I_{off} \times T \quad (1)$$

【0098】

これを用いて、第1のトランジスタ202のオフ電流の増加に起因して液晶電極から移動する電荷量 Q による液晶容量の電圧の低下 V_{liq} は次のように表される。

【0099】

【数2】

$$\Delta V_{liq} = \Delta Q / C_{liq} \quad (2)$$

30

【0100】

補助容量 C_s から液晶容量 C_{liq} に Q の電荷が移動して2つの容量素子の電位差が等しく V_{sig} になればよいから V_s を次のように設定すればよい。

【0101】

【数3】

$$|V_s| = \Delta Q / C_s \quad (3)$$

40

【0102】

所定の電位 V_s となるような信号を外部から入力することにより、第1のトランジスタ202のオフ電流の増加に起因する第2の容量素子204の電圧値の低下を抑制することができる。

【0103】

また、図4及び図5では、第2のトランジスタ205を画素毎に設ける場合について説明したが、第2のトランジスタ205を複数の画素で共通して用いることもできる。第2のトランジスタ205を複数の画素で共通に用いる場合の一例として図9を用いて説明する。図9は、本実施の形態の表示装置の他の構成を示す回路図である。

【0104】

50

図 9 に示すように、第 2 のトランジスタ 2 0 5 が画素 3 0 0 及び画素 3 1 1 における第 1 の容量素子 2 0 3 の第 2 の電極にそれぞれ電氣的に接続されている。図 9 (A) は、図 2 における第 2 のトランジスタ 2 0 5 を複数の画素で共通化したものを示し、図 9 (B) は、図 3 の画素における第 2 のトランジスタ 2 0 5 を複数の画素で共通に用いる構成を示したものである。また、本実施の形態では、画素 3 0 0 及び画素 3 1 1 だけではなく、3 つ以上の画素においても第 2 のトランジスタ 2 0 5 を共通して用いることができる。

【 0 1 0 5 】

複数の画素において、第 2 のトランジスタ 2 0 5 を共通で用いることにより、各画素におけるトランジスタが占める面積を小さくすることができる。これによりコントラスト比の高い表示装置を提供することができる。

10

【 0 1 0 6 】

以上のように、液晶表示装置における画素に第 2 のトランジスタ 2 0 5 を設けることにより、第 1 のトランジスタ 2 0 2 のオフ電流の増加に起因する第 1 の容量素子 2 0 3 の電荷の流出を低減させることができる。これにより第 1 のトランジスタ 2 0 2 のオフ電流の増加に起因する第 2 の容量素子 2 0 4 である液晶容量の電圧降下を補うことができ、表示のムラの少ない液晶表示装置を提供することができる。また、フレーム反転駆動など、第 1 のトランジスタ 2 0 2 に高い電圧が印加される場合においても表示のムラを低減することができる。

【 0 1 0 7 】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

20

【 0 1 0 8 】

(実施の形態 3)

本実施の形態では、本発明の表示装置の一例として、E L (エレクトロルミネッセンス) 表示装置について説明する。

【 0 1 0 9 】

まず本実施の形態の表示装置の構成について図 1 0 を用いて説明する。図 1 0 は、本実施の形態における表示装置の構成を示す回路図である。

【 0 1 1 0 】

図 1 0 に示すように、本実施の形態の表示装置は、走査線 5 0 0 と、信号線 5 0 1 と、電源線 5 0 2 と、画素と、を有し、画素は、ゲート端子が走査線 5 0 0 に電氣的に接続され、ソース端子及びドレイン端子の一方が信号線 5 0 1 に電氣的に接続された第 1 のトランジスタ 5 0 3 と、第 1 の電極が第 1 のトランジスタ 5 0 3 のソース端子及びドレイン端子の他方に電氣的に接続された容量素子 5 0 4 と、ゲート端子が第 1 のトランジスタ 5 0 3 のソース端子またはドレイン端子の他方に電氣的に接続され、ソース端子及びドレイン端子の一方が電源線 5 0 2 に電氣的に接続された第 2 のトランジスタ 5 0 6 と、第 1 の電極が第 2 のトランジスタ 5 0 6 のソース端子及びドレイン端子の他方に電氣的に接続された発光素子 5 0 7 と、ゲート端子が走査線 5 0 0 に電氣的に接続され、ソース端子及びドレイン端子の一方が容量素子 5 0 4 の第 2 の電極に電氣的に接続された第 3 のトランジスタ 5 0 5 と、第 3 のトランジスタ 5 0 5 のソース端子またはドレイン端子の他方に電氣的に接続された電荷供給端子 5 0 8 と、を有する。

30

40

【 0 1 1 1 】

第 1 のトランジスタ 5 0 3 は、スイッチング素子としての機能を有し、走査線 5 0 0 からゲート端子に印加された電位に従ってオン状態またはオフ状態となる。

【 0 1 1 2 】

容量素子 5 0 4 は、補助容量としての機能を有し、表示の保持状態において第 2 のトランジスタ 5 0 6 のゲート端子の電位 (信号線電位) を保持する機能を有する。容量素子 5 0 4 は、第 1 のトランジスタ 5 0 3 及び第 3 のトランジスタ 5 0 5 がオン状態となり、信号線 5 0 1 からビデオ信号が入力されることにより、電荷が蓄積され、電圧が印加される。

【 0 1 1 3 】

50

第3のトランジスタ505は、スイッチング素子としての機能を有し、走査線500からゲート端子に入力された信号に従ってオン状態またはオフ状態になる機能を有し、第3のトランジスタ505がオン状態になることにより容量素子504の第2の電極が接地される。

【0114】

第2のトランジスタ506は、発光素子507の駆動を制御する機能を有し、ゲート端子に入力された信号に従ってオン状態またはオフ状態になる。また第2のトランジスタ506がオン状態になることにより、第2のトランジスタ506を介して電源線502から電圧が発光素子507に印加される。

【0115】

発光素子507は、第1の電極が第2のトランジスタ506のソース端子またはドレイン端子の他方に電氣的に接続され、第2の電極は接地されるか別の値の電位に保持される。また、発光素子507は、電流が流れることにより発光する機能を有する。発光素子507としては、第1の電極と、第2の電極と、第1の電極及び第2の電極に挟持されたEL層を有する構成などを適用することができる。発光素子507における発光量は、発光素子507に流れる電流による電荷量によって変化する。

【0116】

電荷供給端子508は、第3のトランジスタ505がオン状態の場合に、容量素子504に電荷を供給する機能を有する。なお、電荷供給端子508は、接地させた構成とすることができる。また、別途電源線を設けて電氣的に接続させた構成とすることも可能である。

【0117】

次に本実施の形態における表示装置の動作の一例について説明する。

【0118】

EL表示装置の駆動方法にはアナログ方式とデジタル方式とがある。本実施の形態では、アナログ方式を例に挙げて説明するが、これに限定されず、他の駆動方式においても動作させることができる。

【0119】

まず第1のトランジスタ503及び第3のトランジスタ505をオン状態にする。第1のトランジスタ503及び第3のトランジスタ505をオン状態にすることにより、信号線501からの信号電位が容量素子504の第1の電極に入力され、容量素子504には所定の電圧が印加される。また第2のトランジスタ506のゲート端子に信号線501からの信号電位が入力され、第2のトランジスタ506は、ゲート端子に入力された信号電位に従ってオン状態になり、電源線502から第2のトランジスタ506を介して電流が発光素子507に供給され、発光素子507は、流れた電流量に応じて発光することにより表示を行う。

【0120】

次に保持動作について説明する。保持状態時には、第1のトランジスタ503及び第3のトランジスタ505をオフ状態にする。第1のトランジスタ503及び第3のトランジスタ505をオフ状態にすることにより、容量素子504に蓄積された電荷は保持され、電圧の値も保持される。

【0121】

書き込み時に第1のトランジスタ503のドレイン端子には高電界が印加され、ホットキャリアが発生する。第1のトランジスタ503は、ホットキャリアによりオフ電流が増加し、容量素子504の第1の電極から第1のトランジスタ503を介して電荷が流出しやすい状態になる。容量素子504は、第1の電極が導通状態であっても、トランジスタのオフ状態におけるチャネル抵抗ほどの大きな抵抗が第2の電極に付加されている場合には、第1の電極から電荷は移動しない。これは、容量素子504の第1の電極から電荷が移動するためには、容量素子504の第2の電極に第1の電極から流出した分の電荷の供給が必要であるが、第3のトランジスタ505がオフ状態であり、電荷供給端子508か

10

20

30

40

50

ら容量素子504の第2の電極に電荷が供給されないためである。書き込み時においては、第3のトランジスタ505には電圧が印加されず、第1のトランジスタ503に比べて劣化しにくいいため、第3のトランジスタ505は、第1のトランジスタ503に比べてオフ状態時の抵抗は大きい。そのため、第1のトランジスタ503のオフ電流の増加に起因する容量素子504の電荷の流出を低減することができ、電圧値の低下を抑制することができる。

【0122】

以上のように、第3のトランジスタ505を設け、第1のトランジスタ503のオフ電流の増加の影響を抑えることにより、第1のトランジスタのオフ電流の増加に起因する容量素子504の電荷の流出を低減することができ、表示のムラを低減することができる。

10

【0123】

また、本実施の形態における表示装置は、上記説明した構成だけではなく、他の構成においても適用することができる。本実施の形態の表示装置の他の構成例について図11を用いて説明する。図11は、本実施の形態における表示装置の他の構成例を示す回路図である。

【0124】

図11に示すように、本実施の形態の表示装置の他の構成は、第1の走査線500と、第2の走査線509と、信号線501と、電源線502と、画素と、を有し、画素は、ゲート端子が第1の走査線500に電氣的に接続され、ソース端子及びドレイン端子の一方が信号線501に電氣的に接続された第1のトランジスタ503と、第1の電極が第1のトランジスタ503のソース端子またはドレイン端子の他方に電氣的に接続された容量素子504と、ゲート端子が第1のトランジスタ503のソース端子及びドレイン端子の他方に電氣的に接続され、ソース端子またはドレイン端子の一方が電源線502に電氣的に接続された第2のトランジスタ506と、第1の電極が第2のトランジスタ506のソース端子またはドレイン端子の他方に電氣的に接続された発光素子507と、ゲート端子が第1の走査線500に電氣的に接続され、ソース端子またはドレイン端子の一方が容量素子504の第2の電極に電氣的に接続された第3のトランジスタ505と、第3のトランジスタ505のソース端子及びドレイン端子の他方に電氣的に接続された電荷供給端子508と、を有する。

20

【0125】

第1のトランジスタ503は、スイッチング素子としての機能を有し、第1の走査線500からゲート端子に入力された信号電位に従ってオン状態またはオフ状態となる。

30

【0126】

容量素子504は、補助容量としての機能を有し、発光素子507の時間的な電圧変化を補助する。容量素子504は、第1のトランジスタ503がオン状態となり、信号線501からビデオ信号が入力されることにより、電荷が蓄積され、電圧が印加される。

【0127】

第3のトランジスタ505は、スイッチング素子としての機能を有し、第2の走査線509からゲート端子に入力された信号電位に従ってオン状態またはオフ状態になる機能を有し、第3のトランジスタ505がオン状態になることにより容量素子504の第2の電極が接地される。

40

【0128】

第2のトランジスタ506は、発光素子507の駆動を制御する機能を有し、ゲート端子に入力された信号に従ってオン状態またはオフ状態になる。第2のトランジスタ506がオン状態になることにより、第2のトランジスタ506を介して電源線502から電圧が発光素子507に印加される。

【0129】

発光素子507は、第1の電極が第2のトランジスタ506のソース端子またはドレイン端子の他方に電氣的に接続され、第2の電極は、接地されるか別の値の電位に保持される。また発光素子507は、電流が入力されることにより発光する機能を有する。発光素

50

子507としては、第1の電極と、第2の電極と、第1の電極及び第2の電極に挟持されたEL層を有する構成などを適用することができる。発光素子507における発光量は、流れる電流による電荷量によって変化する。

【0130】

電荷供給端子508は、第3のトランジスタ505がオン状態の場合に、容量素子504に電荷を供給する機能を有する。なお、電荷供給端子508は、接地させた構成とすることができる。また、別途電源線を設けて電氣的に接続させた構成とすることも可能である。

【0131】

次に本実施の形態における表示装置の動作の一例について説明する。

10

【0132】

まず第1のトランジスタ503及び第3のトランジスタ505をオン状態にする。第1のトランジスタ503及び第3のトランジスタ505をオン状態にすることにより、容量素子504には、信号線501からの信号が入力され、所定の電圧が印加される。また、第2のトランジスタ506のゲート端子に信号線501からの信号が入力される。第2のトランジスタ506は、ゲート端子に入力された信号に従ってオン状態となり、第2のトランジスタ506を介して電源線502から電流が発光素子507に出力され、発光素子507は、流れた電流量に応じて発光することにより表示を行う。

【0133】

次に保持動作について説明する。保持状態時には、第1のトランジスタ503及び第3のトランジスタ505をオフ状態にする。第1のトランジスタ503及び第3のトランジスタ505をオフ状態にすることにより、容量素子504に蓄積された電荷は保持され、電圧の値も保持される。

20

【0134】

書き込み時に第1のトランジスタ503は、ホットキャリア劣化によりオフ電流が増加し、容量素子504の第1の電極から第1のトランジスタ503を介して電荷が流出しやすい状態になる。容量素子504は、第1の電極が導通に近い状態であっても、第2の電極に電荷の移動を無視できるほどの大きな抵抗が付加されている場合には、第1の電極から電荷は移動しない。これは、容量素子504の第1の電極から電荷が移動するためには、第2の電極に第1の電極から流出した分の電荷の供給が必要であるが、第3のトランジスタ505がオフ状態であり、電荷供給端子508から容量素子504の第2の電極に電荷が供給されないためである。書き込み時においては、第3のトランジスタ505には第1のトランジスタに印加されるような大きな電圧が印加されず、第1のトランジスタ503に比べて劣化しにくいいため、第3のトランジスタ505は、第1のトランジスタ503に比べてオフ状態時の抵抗は大きい。そのため、第1のトランジスタ503のオフ電流の増加に起因する容量素子504の電荷の流出を低減することができ、電圧降下を抑制することができる。

30

【0135】

以上のように、画素における2つのトランジスタを別々の走査線に電氣的に接続させることにより、個々に動作のタイミングを設定することができる。また第1のトランジスタ及び第2のトランジスタを別の導電型にするなど、設計上での選択の自由度が広がる。

40

【0136】

次に本実施の形態における表示装置のより具体的な構成について図12を用いて説明する。図12は、本実施の形態における表示装置のより具体的な構成を示す回路図である。

【0137】

図12に示すように、本実施の形態における表示装置は、複数の画素600を有する画素部601と、走査線602と、信号線603と、電源線604と、走査線602に電氣的に接続された走査線駆動回路(ゲートドライバ)605と、信号線603及び電源線604に電氣的に接続された信号線駆動回路(ソースドライバ)606と、走査線駆動回路605及び信号線駆動回路606に電氣的に接続された制御回路607と、画素部601

50

に電氣的に接続された電源回路 6 0 8 と、を有する。

【 0 1 3 8 】

画素部 6 0 1 に設けられた複数の画素 6 0 0 は、信号線 6 0 3 と走査線 6 0 2 との交差領域にマトリクス状に配置され、画素毎に信号を独立して入力することができる。なお、画素部 6 0 1 に設けられた複数の画素 6 0 0 には、図 9 に示した画素構成を適用することができ、信号線 6 0 3、電源線 6 0 4、及び走査線 6 0 2 は、図 1 0 における走査線 5 0 0、信号線 5 0 1、及び電源線 5 0 2 に相当する。

【 0 1 3 9 】

また、本実施の形態の表示装置において、図 1 1 に示す構成を適用することもできる。図 1 1 に示す構成を適用する場合には、図 1 3 に示すように、第 2 の走査線 6 0 9 及び第 2 の走査線駆動回路 6 1 0 を設け、第 2 の走査線 6 0 9 を第 3 のトランジスタ 5 0 5 のゲート端子に電氣的に接続させ、第 2 の走査線駆動回路 6 1 0 からの信号に従って第 3 のトランジスタ 5 0 5 を制御する。このとき、第 2 の走査線 6 0 9 は、図 1 1 における第 2 の走査線 5 0 9 に相当する。

10

【 0 1 4 0 】

制御回路 6 0 7 は、入力された映像信号に応じて走査線駆動回路 6 0 5 及び信号線駆動回路 6 0 6 を制御する機能を有する。具体的には、制御回路 6 0 7 は、走査線駆動回路 6 0 5 及び信号線駆動回路 6 0 6 にそれぞれ制御信号を出力する。

【 0 1 4 1 】

走査線駆動回路 6 0 5 は、制御回路 6 0 7 から入力された制御信号に応じて走査信号を走査線 6 0 2 に出力する機能を有する。

20

【 0 1 4 2 】

信号線駆動回路 6 0 6 は、制御回路 6 0 7 から入力された制御信号に応じてビデオ信号を信号線に出力する機能を有する。

【 0 1 4 3 】

電源回路 6 0 8 は、電源線 6 0 4 の電位を電源電位にする機能を有する。

【 0 1 4 4 】

なお、本実施の形態における表示装置の走査線駆動回路及び信号線駆動回路の構成の一例については、上記実施の形態 2 に示した表示装置の構成と同様のものを適用することができるため、説明を省略する。

30

【 0 1 4 5 】

次に本実施の形態における表示装置の動作について説明する。

【 0 1 4 6 】

制御回路 6 0 7 から制御信号が走査線駆動回路 6 0 5 及び信号線駆動回路 6 0 6 に出力されることにより、走査線駆動回路 6 0 5 は、走査線 6 0 2 を介して走査信号を選択された画素に出力する。また信号線駆動回路 6 0 6 は、選択された画素 6 0 0 に信号線 6 0 3 を介してビデオ信号を出力する。選択された画素は、入力された走査信号及びビデオ信号に従って上記で説明した画素の表示動作を行う。

【 0 1 4 7 】

以上により、画素部において表示を行うことができる。また補助容量の第 2 の電極に第 2 のトランジスタを設けることにより、第 1 のトランジスタのオフ電流の増加に起因する容量素子の電荷の流出を低減させ、表示のムラを抑えることができる。

40

【 0 1 4 8 】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【 0 1 4 9 】

(実施の形態 4)

本実施の形態においては、本発明の表示装置に用いることができるトランジスタの構造及び作製方法について説明する。

【 0 1 5 0 】

本実施の形態における本発明の表示装置に用いることができるトランジスタの構成につ

50

いて、図14を用いて説明する。図14は、本実施の形態におけるトランジスタの構成例を示す模式図である。

【0151】

図14に示すように、本実施の形態における表示装置に用いることのできるトランジスタは、第1のトランジスタ1001、第2のトランジスタ1002、第3のトランジスタ1003、第4のトランジスタ1004、第5のトランジスタ1005、または第6のトランジスタ1006など、複数の異なる構成のトランジスタを適用することができる。各トランジスタは、それぞれ基板1007と基板1007上に設けられた下地膜1008と、下地膜1008上に設けられた半導体層1009と、半導体層1009を覆うように設けられたゲート絶縁膜1012と、ゲート絶縁膜1012の一部の上に設けられたゲート電極1013と、ゲート電極1013を覆うように設けられた第1の絶縁膜1014と、第1の絶縁膜1014上に設けられた第2の絶縁膜1015と、第2の絶縁膜1015及び第1の絶縁膜1014及びゲート絶縁膜1012を介して半導体層1009における領域1011に接するように設けられた配線1017と、を有する。

10

【0152】

半導体層1009は、一部に不純物領域1011と、ゲート電極1013の下に位置する領域にチャネル領域とを有する。このとき不純物領域1011はソース領域又はドレイン領域として用いる。なお、図14においては、複数の異なる構造を有するトランジスタを並置して示しているが、これは、トランジスタの構造の説明に便宜のためであり、トランジスタが実際に図14のように並置されている必要はなく、必要に応じて作り分けることができる。

20

【0153】

次に図14における各トランジスタの構成について説明する。

【0154】

第1のトランジスタ1001は、シングルドレイン型のトランジスタであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高くできる利点がある。また、第1のトランジスタ1001は、半導体層1009において不純物の量を制御することにより、半導体層1009の抵抗率を制御できる。また、半導体層1009と配線1017との電気的な接続状態を、オーミック接続に近づけることができる。なお、不純物の量の異なる半導体層を作り分ける方法としては、ゲート電極1013をマスクとして半導体層1009に不純物をドーピングする方法を用いることができる。

30

【0155】

第2のトランジスタ1002は、ゲート電極1013に一定以上のテーパ角を有するトランジスタであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高くできる利点がある。また、第2のトランジスタ1002は、半導体層1009には不純物領域1011を第1の不純物領域として、不純物領域1011とチャネル領域との間に第2の不純物領域1010を有する。不純物領域1011、チャネル領域、第2の不純物領域1010は、それぞれ不純物濃度が異なり、第2の不純物領域1010は、低濃度ドレイン(Lightly Doped Drain: LDD)領域として用いる。このように、不純物の量を制御することで、半導体層1009の抵抗率を制御できる。半導体層1009と配線1017との電気的な接続状態を、オーミック接続に近づけることができる。LDD領域を有するため、トランジスタ内部に高電界がかかりにくく、ホットキャリアによる素子の劣化を抑制することができる。なお、不純物の量の異なる領域を有する半導体層を作り分ける方法としては、ゲート電極1013をマスクとして半導体層1009に不純物をドーピングする方法を用いることができる。トランジスタ1002においては、ゲート電極1013が一定以上のテーパ角を有しているため、ゲート電極1013を通過して半導体層1009にドーピングされる不純物の濃度に勾配を持たせることができ、簡便にLDD領域を形成することができる。

40

【0156】

第3のトランジスタ1003は、ゲート電極1013が少なくとも2層で構成され、下

50

層のゲート電極が上層のゲート電極よりも長い形状を有するトランジスタである。本明細書中においては、上層のゲート電極及び下層のゲート電極の形状を、帽子型と呼ぶ。ゲート電極 1013 の形状が帽子型であることによって、フォトマスクを追加することなく、LDD 領域を形成することができる。なお、第 3 のトランジスタ 1003 のように、LDD 領域がゲート電極 1013 と重なっている構造を、特に GOLD 構造 (Gate Overlapped LDD) と呼ぶ。なお、ゲート電極 1013 の形状を帽子型とする方法としては、次のような方法を用いてもよい。

【0157】

まず、ゲート電極 1013 をパターニングする際に、ドライエッチングにより、下層のゲート電極及び上層のゲート電極をエッチングして側面に傾斜 (テーパ) のある形状にする。続いて、異方性エッチングにより上層のゲート電極の傾斜を垂直に近くなるように加工する。これにより、断面形状が帽子型のゲート電極が形成される。その後、2 回、不純物元素をドーピングすることによって、チャンネル領域、LDD 領域として用いる第 2 の不純物領域 1010、ソース電極及びドレイン電極として用いる不純物領域 1011 が形成される。

【0158】

なお、ゲート電極 1013 と重なっている LDD 領域を Lov 領域、ゲート電極 1013 と重なっていない LDD 領域を Loff 領域と呼ぶことにする。ここで、Loff 領域はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリアによるオン電流値の劣化を防ぐ効果は低い。一方、Lov 領域はドレイン近傍の電界を緩和し、オン電流値の劣化の防止には有効であるが、オフ電流値を抑える効果は低い。よって、種々の回路毎に、求められる特性に応じた構造のトランジスタを作製することが好ましい。表示装置に半導体装置を適用する例で考えると、画素部に用いるトランジスタは、オフ電流値を抑えるために、Loff 領域を有するトランジスタを用いることが好適である。一方、周辺回路に用いるトランジスタは、ドレイン近傍の電界を緩和し、オン電流値の劣化を防止するために、Lov 領域を有するトランジスタを用いることが好適である。

【0159】

第 4 のトランジスタ 1004 は、ゲート電極 1013 の側面に接して設けられたサイドウォール 1016 を有するトランジスタである。サイドウォール 1016 を設けることによって、サイドウォール 1016 と重なる領域を LDD 領域とすることができる。

【0160】

第 5 のトランジスタ 1005 は、半導体層にマスクを用いてドーピングすることにより設けられた LDD (Loff) 領域を有するトランジスタである。半導体層にマスクを用いてドーピングすることにより、確実に LDD 領域を設けることができ、トランジスタのオフ電流値を低減することができる。

【0161】

第 6 のトランジスタ 1006 は、半導体層にマスクを用いてドーピングすることにより設けられた LDD (Lov) 領域を有するトランジスタである。半導体層にマスクを用いてドーピングすることにより、確実に LDD 領域を設けることができ、また、Lov 領域を有する構成にすることにより、トランジスタのドレイン近傍の電界を緩和し、オン電流値の劣化を低減することができる。

【0162】

次に、各トランジスタを構成する各層の特徴について説明する。

【0163】

基板 1007 は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板又はステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリエーテルサルフォン (PES) に代表されるプラスチック又はアクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。可撓性を有する基板を用いることによって、折り曲げが可能である半導体装置を作製することが可能となる。可撓性

10

20

30

40

50

を有す基板であれば、基板の面積及び基板の形状に大きな制限はないため、基板 1007 として、例えば、1 辺が 1 メートル以上であって、矩形状のものをを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。

【0164】

下地膜 1008 は、基板 1007 から Na などのアルカリ金属又はアルカリ土類金属が、半導体素子の特性に悪影響を及ぼすのを防ぐ機能を有する。下地膜 1008 としては、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素又は窒素を有する絶縁膜の単層構造若しくはこれらの積層構造で設けることができる。例えば、下地膜 1008 を 2 層構造で設ける場合、1 層目の膜として窒化酸化珪素膜を設け、2 層目の膜として酸化窒化珪素膜を設けるとよい。別の例として、下地膜 1008 を 3 層構造で設ける場合、1 層目の膜として酸化窒化珪素膜を設け、2 層目の膜として窒化酸化珪素膜を設け、3 層目の膜として酸化窒化珪素膜を設けるとよい。

【0165】

半導体層 1009 は、非晶質（アモルファス）半導体、または微結晶（マイクロクリスタル）半導体で形成することができる。あるいは、多結晶半導体層を用いても良い。例えば微結晶半導体は、材料ガスをグロー放電分解（プラズマ CVD）して形成する。材料ガスとしては、 SiH_4 、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることが可能である。あるいは、 GeF_4 を混合させても良い。この材料ガスを H_2 、あるいは、 H_2 と He 、 Ar 、 Kr 、 Ne から選ばれた一種又は複数種の希ガス元素で希釈してもよい。希釈率は 2 ~ 1000 倍の範囲、圧力は概略 0.1 Pa ~ 133 Pa の範囲、電源周波数は 1 MHz ~ 120 MHz、好ましくは 13 MHz ~ 60 MHz であり、基板加熱温度は 300 以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は $1 \times 10^{20} \text{ cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下とする。ここでは、スパッタ法、LPCVD 法、プラズマ CVD 法等を用いてシリコンを主成分とする材料（例えば $\text{Si}_x\text{Ge}_{1-x}$ 等）で非晶質半導体層を形成し、当該非晶質半導体層をレーザ結晶化法、RTA 又はファーンズアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などの結晶化法により結晶化させる。

【0166】

ゲート絶縁膜 1012 は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素又は窒素を有する絶縁膜の単層構造、若しくはこれらの積層構造で設けることができる。

【0167】

ゲート電極 1013 は、単層の導電膜、又は 2 層、3 層の導電膜の積層構造とすることができる。ゲート電極 1013 の材料としては、導電膜を用いることができる。たとえば、タンタル、チタン、モリブデン、タングステン、クロム、シリコンなどの元素の単体膜、あるいは、元素の窒化膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、あるいは、元素を組み合わせた合金膜（代表的には Mo-W 合金、Mo-Ta 合金）、あるいは、元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）などを用いることができる。なお、上述した単体膜、窒化膜、合金膜、シリサイド膜などは、単層で用いてもよいし、積層して用いてもよい。

【0168】

第 1 の絶縁膜 1014 は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素又は窒素を有する絶縁膜や DLC（ダイヤモンドライクカーボン）等の炭素を含む膜の単層構造、若しくはこれらの積層構造で設けることができる。

【0169】

第 2 の絶縁膜 1015 は、シロキサン樹脂、あるいは、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素又は窒素を有する絶縁膜や DLC（ダイヤモンドライクカーボン）等の炭素を含む膜、あるいは、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料、からなる単層若しくは積層構造

で設けることができる。なお、シロキサン樹脂とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む樹脂に相当する。シロキサンは、シリコンと酸素との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。有機基はフルオロ基を含んでもよい。なお、第1の絶縁膜1014を設けずにゲート電極1013を覆うように直接第2の絶縁膜1015を設けることも可能である。

【0170】

配線1017は、アルミニウム、ニッケル、炭素、タングステン、モリブデン、チタン、白金、銅、タンタル、金、またはマンガンなどの元素の単体膜、あるいは、元素の窒化膜、あるいは、元素を組み合わせた合金膜、あるいは、元素のシリサイド膜などを用いることができる。例えば、元素を複数含む合金として、炭素及びチタンを含有したアルミニウム合金、ニッケルを含有したアルミニウム合金、炭素及びニッケルを含有したアルミニウム合金、炭素及びマンガンを含有したアルミニウム合金等を用いることができる。例えば、積層構造で設ける場合、アルミニウムをモリブデン又はチタンなどで挟み込んだ構造とすることができる。上記構造にすることにより、アルミニウムにおいて熱や化学反応に対する耐性を向上することができる。

【0171】

次に、トランジスタの作製方法の例を、図15を用いて説明する。図15は、トランジスタの作製方法を示す模式図である。なお、トランジスタの構造及び作製方法は、図15に示すものに限定されず、様々な構造及び作製方法を用いることができる。

【0172】

まず図15(A)に示すように基板1007上に下地膜1008を形成する。次に下地膜1008表面にプラズマ処理を用いて酸化又は窒化を行うことにより、酸化又は窒化させる。なお、このプラズマ処理は、本作製方法の他の層を形成した後においても行うことができる。このように、プラズマ処理を用いて半導体層又は絶縁膜を酸化又は窒化することによって、当該半導体層又は当該絶縁膜の表面を改質し、CVD法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥の発生を抑制し半導体装置の特性等を向上させることが可能となる。

【0173】

次に図15(B)に示すように、酸化又は窒化された下地膜1008の一部の上に半導体層1009を形成する。さらにレジストマスクなどを用いて半導体層1009の一部に不純物領域1011を形成する。

【0174】

次に図15(C)に示すように半導体層1009及び下地膜1008を覆うようにゲート絶縁膜1012を形成する。

【0175】

次に図15(D)に示すように、ゲート絶縁膜1012を介して半導体層1009の一部の上にゲート電極1013を形成する。このときトランジスタの種類によってゲート電極1013は形状が異なるように形成される。また、一部のゲート電極1013にはサイドウォール1016を形成する。なお、サイドウォール1016としては、酸化珪素又は窒化珪素を用いることができる。サイドウォール1016をゲート電極1013の側面に形成する方法としては、例えば、ゲート電極1013を形成し、酸化珪素又は窒化珪素を成膜した後に、異方性エッチングによって酸化珪素膜又は窒化珪素膜をエッチングする方法を用いることができる。こうすることで、ゲート電極1013の側面にのみ酸化珪素膜又は窒化珪素膜を残すことができるので、ゲート電極1013の側面にサイドウォール1016を形成することができる。さらに一部の半導体層1009には、ゲート電極及び別途レジストマスクなどを用いて第2の不純物領域1010を形成する。

【0176】

次に図15(E)に示すように、ゲート絶縁膜1012及びゲート電極1013を覆うように第1の絶縁膜1014を形成する。なお、第1の絶縁膜1014は、スパッタ法又はプラズマCVD法等によって、形成することができる。その後第2の絶縁膜1015及

び配線 1017 を形成することにより、図 14 に示すような各構成のトランジスタが形成される。

【0177】

以上のように、本実施の形態におけるトランジスタの作製方法を用いることにより、用途に合わせてトランジスタを作り分けることができるため、容易に表示装置を作製することができる。

【0178】

次に、トランジスタを製造するための基板として、半導体基板を用いた例について説明する。半導体基板を用いて製造されたトランジスタは、移動度が高いため、トランジスタサイズを小さくすることができる。その結果、単位面積当たりのトランジスタ数を増やす（集積度を上げる）ことができ、同一の回路構成では集積度が大きいほど基板サイズを小さくすることができるため、製造コストを低減できる。さらに、同一の基板サイズでは集積度が大きいほど回路規模を大きくすることができるため、製造コストはほぼ同等のままで、より高い機能を持たせることが可能となる。その上、特性のばらつきが少ないため、製造の歩留まりも高くすることができる。さらに、動作電圧が小さいので、消費電力を低減することができる。さらに、移動度が高いため、高速動作が可能である。

【0179】

半導体基板を用いて製造されたトランジスタを集積して構成された回路は、ICチップ等の形態をとって装置に実装されることで、当該装置に様々な機能を持たせることができる。たとえば、表示装置の周辺駆動回路（データドライバ（ソースドライバ）、スキャンドライバ（ゲートドライバ）、タイミングコントローラ、画像処理回路、インターフェイス回路、電源回路、発振回路等）を、半導体基板を用いて製造されたトランジスタを集積して構成することで、サイズが小さく、消費電力が小さく、高速動作が可能な周辺駆動回路を、低コストで歩留まり高く製造することができる。なお、半導体基板を用いて製造されたトランジスタを集積して構成された回路は、単一の極性のトランジスタを有する構成であってもよい。こうすることで、製造プロセスを簡略化できるため、製造コストを低減できる。

【0180】

半導体基板を用いて製造されたトランジスタを集積して構成された回路は、その他には、たとえば、表示パネル（表示部）に用いることができる。より詳細には、LCOS（Liquid Crystal On Silicon）等の反射型液晶パネル、微小ミラーを集積したDMD（Digital Micromirror Device）素子、ELパネル等に用いることができる。これらの表示パネル（表示部）を、半導体基板を用いて製造することで、サイズが小さく、消費電力が小さく、高速動作が可能な表示パネル（表示部）を、低コストで歩留まり高く製造することができる。なお、表示パネル（表示部）には、大規模集積回路（LSI）など、表示パネル（表示部）の駆動以外の機能を持った素子上に形成されたものも含む。

【0181】

次に半導体基板を用いてトランジスタを作製する方法について図16及び図17を用いて説明する。図16及び図17は、半導体基板を用いたトランジスタの作製方法を示す図である。

【0182】

まず図16（A）に示すように、半導体基板1100に第1の絶縁膜1101（フィールド酸化膜ともいう）を設け、絶縁膜1101により第1の素子領域1103及び第2の素子領域1104と素子毎に分離された領域を形成する。また、第2の素子領域1104の半導体基板1100の一部にはpウェルが形成される。

【0183】

半導体基板1100は、半導体基板であれば特に限定されず用いることができる。例えば、n型又はp型の導電型を有する単結晶Si基板、化合物半導体基板（GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、ZnSe基板等）、貼り合わせ

10

20

30

40

50

法またはSIMOX (Separation by Implanted Oxygen) 法を用いて作製されたSOI (Silicon on Insulator) 基板等を用いることができる。

【0184】

次に図16 (B) に示すように、第1の素子領域1103の半導体基板1100上に第2の絶縁膜1105を形成し、第2の素子領域1104の半導体基板1100上に第3の絶縁膜1106を形成する。

【0185】

第2の絶縁膜1105及び第3の絶縁膜1106は、例えば、熱処理を行い半導体基板1100に設けられた第1の素子領域1103及び第2の素子領域1104の表面を酸化させることにより形成された酸化珪素膜を第2の絶縁膜1105及び第3の絶縁膜1106として用いることができる。

10

【0186】

次に図16 (C) に示すように、半導体基板1100及び第1の絶縁膜1101上に第1の導電膜1107及び第2の導電膜1108を形成する。

【0187】

第1の導電膜1107及び第2の導電膜1108としては、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、クロム、及びニオブ等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。あるいは、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素、金属材料を導入したシリサイド等に代表される半導体材料により形成することもできる。

20

【0188】

次に図17 (A) に示すように、第2の絶縁膜1105及び第3の絶縁膜1106の一部の上に第1のゲート電極1109及び第2のゲート電極1110を形成する。さらに図17 (B) に示すように、第1の素子領域1103において第1のゲート電極1109、第1の絶縁膜1101、及び第2の絶縁膜1105を覆うようにレジストマスク1113を形成し、レジストマスク1113及び第2のゲート電極1110をマスクとして不純物を添加し、不純物領域1114を形成する。また、第2のゲート電極1110の下に位置する半導体基板1100の部分をチャンネル領域1115とする。

30

【0189】

次に図17 (C) に示すように、第2の素子領域1104において、第2のゲート電極1110、第1の絶縁膜1101、及び第3の絶縁膜1106上にレジストマスク1116を形成し、レジストマスク1116及び第1のゲート電極1109をマスクとして不純物を添加し、不純物領域1117を形成する。また、第1のゲート電極1109の下に位置する半導体基板1100の部分をチャンネル領域1118とする。

【0190】

次に図17 (D) に示すように、第1のゲート電極1109及び第2のゲート電極1110、第1の絶縁膜1101、第2の絶縁膜1105、第3の絶縁膜1106を覆うように第4の絶縁膜1119を形成し、第4の絶縁膜1119、第2の絶縁膜1105、及び第3の絶縁膜1106を介して不純物領域1114または不純物領域1117に接するように配線1120を形成する。

40

【0191】

第4の絶縁膜1119は、CVD法やスパッタ法等により、酸化珪素、窒化珪素 (SiN_x)、酸化窒化珪素、窒化酸化珪素等の酸素または窒素を有する絶縁膜や、DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料などのいずれかの材料を単層または積層構造にすることにより設けることができる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコンと酸素との結合で骨格構造が構成される。置換基として、少なく

50

とも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。有機基はフルオロ基を含んでも良い。

【0192】

配線1120は、CVD法やスパッタリング法等により、アルミニウム、タングステン、チタン、タンタル、モリブデン、ニッケル、白金、銅、金、銀、マンガン、ネオジウム、炭素、シリコンから選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。配線1120は、例えば、第1のバリア膜とアルミニウムシリコン膜と第2のバリア膜の積層構造、第1のバリア膜とアルミニウムシリコン膜と窒化チタン膜と第2のバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、配線1120を形成する材料として最適である。例えば、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。例えば、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元する。その結果、配線1120は、結晶質半導体膜と、電氣的及び物理的に良好に接続することができる。

10

【0193】

なお、トランジスタの構造は図示した構造に限定されるものではないことを付記する。例えば、逆スタガ構造、フィンFET構造等の構造のトランジスタの構造を取り得る。フィンFET構造であることでトランジスタサイズの微細化に伴う短チャネル効果を抑制することができるため好適である。

20

【0194】

ここまで、トランジスタの構造及びトランジスタの作製方法について説明した。ここで、配線、電極、導電層、導電膜、端子、ビア、プラグなどは、アルミニウム、タンタル、チタン、モリブデン、タングステン、ネオジウム、クロム、ニッケル、白金、金、銀、銅、マグネシウム、スカンジウム、コバルト、亜鉛、ニオブ、シリコン、リン、ボロン、ヒ素、ガリウム、インジウム、または錫で構成された群から選ばれた一つもしくは複数の元素、または、群から選ばれた一つもしくは複数の元素を成分とする化合物、合金材料（例えば、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化珪素を含むインジウム錫酸化物（ITOS）、酸化亜鉛、酸化錫、酸化錫カドミウム、アルミニウムネオジウム、マグネシウム銀、モリブデンニオブなど）で形成されることが望ましい。または、配線、電極、導電層、導電膜、端子などは、これらの化合物を組み合わせた物質などを有して形成されることが望ましい。もしくは、群から選ばれた一つもしくは複数の元素とシリコンの化合物（シリサイド）（例えば、アルミニウムシリコン、モリブデンシリコン、ニッケルシリサイドなど）、群から選ばれた一つもしくは複数の元素と窒素の化合物（例えば、窒化チタン、窒化タンタル、窒化モリブデン等）を有して形成されることが望ましい。

30

40

【0195】

なお、シリコンには、n型不純物（リンなど）またはp型不純物（ボロンなど）を含んでいてもよい。シリコンが不純物を含むことにより、導電率の向上、又は通常の導体と同様な振る舞いを行うことが可能となる。従って、配線、電極などとして利用しやすくなる。

【0196】

なお、シリコンは、単結晶、多結晶（ポリシリコン）、微結晶（マイクロクリスタルシリコン）など、様々な結晶性を有するシリコンを用いることができる。あるいは、シリコンは非晶質（アモルファスシリコン）などの結晶性を有さないシリコンを用いることができる。単結晶シリコンまたは多結晶シリコンを用いることにより、配線、電極、導電層、

50

導電膜、端子などの抵抗を小さくすることができる。非晶質シリコンまたは微結晶シリコンを用いることにより、簡単な工程で配線などを形成することができる。

【0197】

なお、ITO、IZO、ITSO、酸化亜鉛、シリコン、酸化錫、酸化錫カドミウムは、透光性を有しているため、光を透過させる部分に用いることができる。たとえば、画素電極や共通電極として用いることができる。

【0198】

なお、IZOは、エッチングしやすく、加工しやすいため、望ましい。IZOは、エッチングしたときに、残渣が残ってしまう、ということも起こりにくい。したがって、画素電極としてIZOを用いると、液晶素子や発光素子に不具合（ショート、配向乱れなど）をもたらすことを低減できる。

10

【0199】

なお、配線、電極、導電層、導電膜、端子、ビア、プラグなどは、単層構造でもよいし、多層構造になっていてもよい。単層構造にすることにより、配線、電極、導電層、導電膜、端子などの製造工程を簡略化することができ、工程日数を少なくでき、コストを低減することができる。あるいは、多層構造にすることにより、それぞれの材料のメリットを生かしつつ、デメリットを低減させ、性能の良い配線、電極などを形成することができる。たとえば、低抵抗材料（アルミニウムなど）を多層構造の中に含むことにより、配線の低抵抗化を図ることができる。別の例として、低耐熱性の材料を、高耐熱性の材料で挟む積層構造にすることにより、低耐熱性の材料の持つメリットを生かしつつ、配線、電極などの耐熱性を高くすることができる。例えば、アルミニウムを含む層を、モリブデン、チタン、ネオジムなどを含む層で挟む積層構造にすると望ましい。

20

【0200】

ここで、配線、電極など同士が直接接する場合、お互いに悪影響を及ぼすことがある。例えば、一方の配線、電極などが他方の配線、電極など材料の中に入っている、性質を変えてしまい、本来の目的を果たせなくなる。別の例として、高抵抗な部分を形成又は製造するときに、問題が生じて、正常に製造できなくなったりすることがある。そのような場合、積層構造により反応しやすい材料を、反応しにくい材料で挟んだり、覆ったりするとよい。例えば、ITOとアルミニウムとを接続させる場合は、ITOとアルミニウムとの間に、チタン、モリブデン、ネオジム合金を挟むことが望ましい。別の例として、シリコンとアルミニウムとを接続させる場合は、シリコンとアルミニウムとの間に、チタン、モリブデン、ネオジム合金を挟むことが望ましい。

30

【0201】

なお、配線とは、導電体が配置されているものを言う。配線の形状は、線状でもよいし、線状ではなく短くてもよい。したがって、電極は、配線に含まれている。

【0202】

なお、配線、電極、導電層、導電膜、端子、ビア、プラグなどとして、カーボンナノチューブを用いても良い。さらに、カーボンナノチューブは、透光性を有しているため、光を透過させる部分に用いることができる。たとえば、画素電極や共通電極として用いることができる。

40

【0203】

以上のように、本実施の形態のトランジスタの作製方法を用いて本発明の表示装置のトランジスタを作製することができる。また、本発明の該トランジスタと、他の配線、回路、素子などと合わせて本発明の表示装置を作製することができる。

【0204】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0205】

（実施の形態5）

本実施の形態では、本発明の表示装置を具備する電子機器の例について説明する。

【0206】

50

本実施の形態における表示装置の一例を図 18 を用いて説明する。図 18 は本実施の形態における表示装置の一例を示す模式図である。

【0207】

図 18 に示すように、本実施の形態における表示装置の一例は、表示パネル（表示部）1200 と、回路基板 1205 を組み合わせた表示パネル（表示部）モジュールと、を有し、表示パネル（表示部）1200 は、画素部 1201、走査線駆動回路 1203 及び信号線駆動回路 1204 を有している。回路基板 1205 は、例えば、コントロール回路 1206 及び信号分割回路 1207 などをも有する。表示パネル（表示部）1200 と回路基板 1205 とは接続配線 1208 によって接続されている。接続配線には FPC 等を用いることができる。

10

【0208】

次に本実施の形態における表示装置の一例の構成を図 19 を用いて説明する。図 19 は本実施の形態における表示装置の一例の構成を示すブロック図である。

【0209】

図 19 に示すように、チューナ 1251 は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路 1252 と、映像信号増幅回路 1252 から出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 1253 と、その映像信号を駆動回路の入力仕様に換するためのコントロール回路 1261 により処理される。コントロール回路 1261 は、走査線駆動回路 1254 と信号線駆動回路 1255 にそれぞれ信号を出力する。そして、走査線駆動回路 1254 と信号線駆動回路 1255 が表示パネル（表示部）1260 を駆動する。デジタル駆動する場合には、信号線側に信号分割回路 1262 を設け、入力デジタル信号を m 個（m は正の整数）に分割して供給する構成としても良い。

20

【0210】

チューナ 1251 で受信した信号のうち、音声信号は音声信号増幅回路 1256 に送られ、その出力は音声信号処理回路 1257 を経てスピーカー 1258 に供給される。制御回路 1259 は受信局（受信周波数）及び音量の制御情報を入力部 1210 から受け、チューナ 1251 又は音声信号処理回路 1257 に信号を送出する。

【0211】

次に本実施の形態における表示装置の他の例を図 20 を用いて説明する。図 20 は本実施の形態における表示装置の他の例を示す模式図である。

30

【0212】

図 20 (A) に示すように、筐体 1300 内に収められた表示画面 1301 は、表示パネル（表示部）モジュールで形成される。なお、スピーカー 1302、入力手段（操作キー 1303、接続端子 1304、センサ 1305（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に於いて又は赤外線を測定する機能を含むもの）、マイクロフォン 1306）などが適宜備えられていてもよい。

【0213】

図 20 (B) は、ワイヤレスでディスプレイのみを持ち運び可能なテレビ受像器を示す。このテレビ受像器には、表示部 1309、スピーカー部 1311、入力手段（操作キー 1310、接続端子 1312、センサ 1313（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に於いて又は赤外線を測定する機能を含むもの）、マイクロフォン 1314）などが適宜備えられている。筐体 1308 にはバッテリー及び信号受信器が収められており、そのバッテリーで表示部 1309、スピーカー部 1311、センサ 1313 及びマイクロフォン 1314 を駆動させる。バッテリーは充電器 1307 で繰り返し充電が可能となっている。充電器 1307 は映像信号を送受信することが可能で、その映像信号をディスプレイの信号受信器に送信することができる。図 20 (B) に示す装置は、操作キー 1310 によって制御される。あるいは、図 20 (B) に示

40

50

す装置は、操作キー 1310 を操作することによって、充電器 1307 に信号を送ることが可能である。つまり、映像音声双方向通信装置であってもよい。あるいは、図 20 (B) に示す装置は、操作キー 1310 を操作することによって、充電器 1307 に信号を送り、さらに充電器 1307 が送信できる信号を他の電子機器に受信させることによって、他の電子機器の通信制御も可能である。つまり、汎用遠隔制御装置であってもよい。なお、本実施の形態の各々の図で述べた内容（一部でもよい）を表示部 1309 に適用することができる。

【0214】

次に本実施の形態における表示装置を具備する電子機器の一例として、携帯電話について図 21 を用いて説明する。図 21 は本実施の形態における携帯電話の構成を示す模式図である。

10

【0215】

図 21 に示すように、表示パネル（表示部）1411 は、ハウジング 1400 に脱着自在に組み込まれる。ハウジング 1400 は表示パネル（表示部）1411 のサイズに合わせて、形状又は寸法を適宜変更することができる。表示パネル（表示部）1411 が固定されハウジング 1400 はプリント基板 1401 に嵌入されモジュールとして組み立てられる。

【0216】

表示パネル（表示部）1411 は FPC 1412 を介してプリント基板 1401 に接続される。プリント基板 1401 には、スピーカー 1404、マイクロフォン 1402、送受信回路 1403、CPU、コントローラなどを含む信号処理回路 1403 及びセンサ 1408（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）が形成されている。このようなモジュールと、操作キー 1406、バッテリー 1407、アンテナ 1410 を組み合わせ、筐体 1409 に収納する。表示パネル（表示部）1411 の画素部は筐体 1409 に形成された開口窓から視認できるように配置する。

20

【0217】

表示パネル（表示部）1411 は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にトランジスタを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）を IC チップ上に形成し、その IC チップを COG (Chip On Glass) で表示パネル（表示部）1411 に実装しても良い。あるいは、その IC チップを TAB (Tape Automated Bonding) 又はプリント基板を用いてガラス基板と接続してもよい。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。携帯電話機の低コスト化を図ることができる。

30

【0218】

図 21 に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能を有する。カレンダー、日付又は時刻などを表示部に表示する機能を有する。表示部に表示した情報を操作又は編集する機能を有する。様々なソフトウェア（プログラム）によって処理を制御する機能を有する。無線通信機能を有する。無線通信機能を用いて他の携帯電話、固定電話又は音声通信機器と通話する機能を有する。無線通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。無線通信機能を用いて様々なデータの送信又は受信を行う機能を有する。着信、データの受信、又はアラームに応じてバイブレータが動作する機能を有する。着信、データの受信、又はアラームに応じて音が発生する機能を有する。なお、図 21 に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

40

【0219】

図 22 (A) はディスプレイであり、筐体 1500、支持台 1501、表示部 1502、スピーカー 1506、LED ランプ 1508、入力手段（接続端子 1503、センサ 1

50

504 (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい、又は赤外線を測定する機能を含むもの)、マイクロフォン1505、操作キー1507)等を含む。図22(A)に示すディスプレイは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。なお、図22(A)に示すディスプレイが有する機能はこれに限定されず、様々な機能を有することができる。

【0220】

図22(B)はカメラであり、本体1509、表示部1510、シャッターボタン1514、スピーカー1517、LEDランプ1519、入力手段(受像部1511、操作キー1512、外部接続ポート1513、接続端子1515、センサ1516(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい、又は赤外線を測定する機能を含むもの)、マイクロフォン1518)等を含む。図22(B)に示すカメラは、静止画を撮影する機能を有する。動画を撮影する機能を有する。撮影した画像(静止画、動画)を自動で補正する機能を有する。撮影した画像を記録媒体(外部又はカメラに内蔵)に保存する機能を有する。撮影した画像を表示部に表示する機能を有する。なお、図22(B)に示すカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【0221】

図22(C)はコンピュータであり、本体1520、筐体1521、表示部1522、スピーカー1529、LEDランプ1530、リーダ/ライタ1531、入力手段(キーボード1523、外部接続ポート1524、ポインティングデバイス1525、接続端子1526、センサ1527(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい、又は赤外線を測定する機能を含むもの)、マイクロフォン1528)等を含む。図22(C)に示すコンピュータは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。様々なソフトウェア(プログラム)によって処理を制御する機能を有する。無線通信又は有線通信などの通信機能を有する。通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。通信機能を用いて様々なデータの送信又は受信を行う機能を有する。なお、図22(C)に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

【0222】

図23(A)はモバイルコンピュータであり、本体1600、表示部1601、スイッチ1602、スピーカー1608、LEDランプ1609、入力手段(操作キー1603、赤外線ポート1604、接続端子1605、センサ1606(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい、又は赤外線を測定する機能を含むもの)、マイクロフォン1607)等を含む。図23(A)に示すモバイルコンピュータは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。表示部にタッチパネルの機能を有する。カレンダー、日付又は時刻などを表示する機能を表示部に有する。様々なソフトウェア(プログラム)によって処理を制御する機能を有する。無線通信機能を有する。無線通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。無線通信機能を用いて様々なデータの送信又は受信を行う機能を有する。なお、図23(A)に示すモバイルコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

【0223】

図23(B)は記録媒体を備えた携帯型の画像再生装置(たとえば、DVD再生装置)であり、本体1610、筐体1611、表示部A1612、表示部B1613、スピーカー部1616、LEDランプ1620、入力手段(記録媒体(DVD等)読込部1614、操作キー1615、接続端子1617、センサ1618(力、変位、位置、速度、加速

10

20

30

40

50

度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい、又は赤外線を測定する機能を含むもの)、マイクロフォン1619)等を含む。表示部A1612は主として画像情報を表示し、表示部B1613は主として文字情報を表示することができる。

【0224】

図23(C)はゴーグル型ディスプレイであり、本体1621、表示部1622、イヤホン1623、支持部1624、LEDランプ1629、スピーカー1628、入力手段(接続端子1625、センサ1626(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい、又は赤外線を測定する機能を含むもの)、マイクロフォン1627)等を含む。図23(C)に示すゴーグル型ディスプレイは、外部から取得した画像(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。なお、図23(C)に示すゴーグル型ディスプレイが有する機能はこれに限定されず、様々な機能を有することができる。

10

【0225】

図18乃至図23に示したように、電子機器は、何らかの情報を表示するための表示部を有する。

【0226】

以上のように本発明の表示装置は、様々な電子機器に適用することが可能であり、適用することにより、信頼性の高い電子機器を提供することができる。

20

【0227】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【図面の簡単な説明】

【0228】

【図1】実施の形態1における本発明の表示装置の構成を示す回路図である。

【図2】実施の形態2における本発明の表示装置の構成を示す回路図である。

【図3】実施の形態2における本発明の表示装置の構成を示す回路図である。

【図4】実施の形態2における本発明の表示装置のより具体的な構成を示す回路図である。

。

【図5】実施の形態2における本発明の表示装置のより具体的な他の構成を示す回路図である。

30

【図6】実施の形態2の本発明の表示装置における駆動回路の構成を示すブロック図である。

【図7】実施の形態2における本発明の表示装置のより具体的な他の構成を示す回路図である。

【図8】実施の形態2における本発明の表示装置の動作を示すタイミングチャート図である。

【図9】実施の形態2における本発明の表示装置のより具体的な他の構成を示す回路図である。

【図10】実施の形態3における本発明の表示装置の構成を示す回路図である。

40

【図11】実施の形態3における本発明の表示装置の他の構成を示す回路図である。

【図12】実施の形態3における本発明の表示装置のより具体的な構成を示す回路図である。

【図13】実施の形態3における本発明の表示装置のより具体的な他の構成を示す回路図である。

【図14】実施の形態4における本発明の表示装置に適用可能なトランジスタの構成を示す模式図である。

【図15】実施の形態4における本発明の表示装置に適用可能なトランジスタの作製方法を示す模式図である。

【図16】実施の形態4における本発明の表示装置に適用可能なトランジスタの作製方法

50

を示す模式図である。

【図 1 7】実施の形態 4 における本発明の表示装置に適用可能なトランジスタの作製方法を示す模式図である。

【図 1 8】実施の形態 5 における本発明の表示装置を有する電子機器を示す図である。

【図 1 9】実施の形態 5 における本発明の表示装置を有する電子機器を示す図である。

【図 2 0】実施の形態 5 における本発明の表示装置を有する電子機器を示す図である。

【図 2 1】実施の形態 5 における本発明の表示装置を有する電子機器を示す図である。

【図 2 2】実施の形態 5 における本発明の表示装置を有する電子機器を示す図である。

【図 2 3】実施の形態 5 における本発明の表示装置を有する電子機器を示す図である。

【図 2 4】従来における表示装置の構成を示す回路図である。

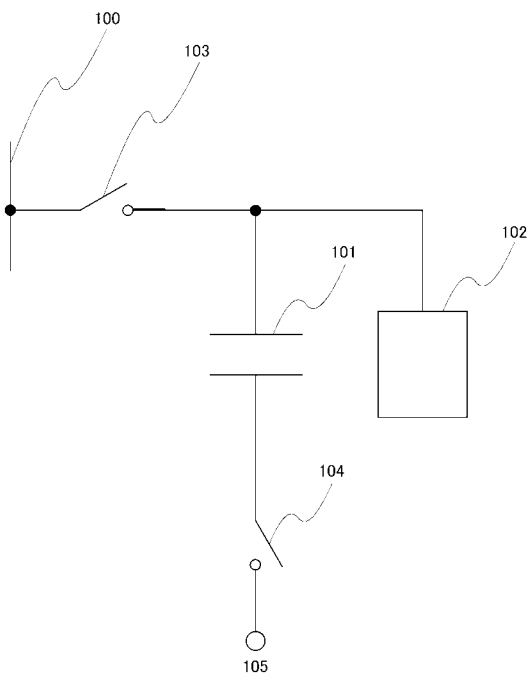
10

【符号の説明】

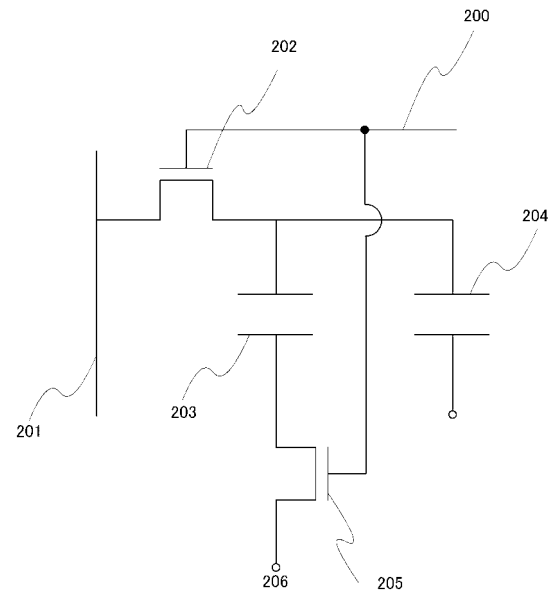
【 0 2 2 9 】

- 1 0 0 信号線
- 1 0 1 容量素子
- 1 0 2 表示素子
- 1 0 3 第 1 のスイッチング素子
- 1 0 4 第 2 のスイッチング素子
- 1 0 5 電荷供給端子

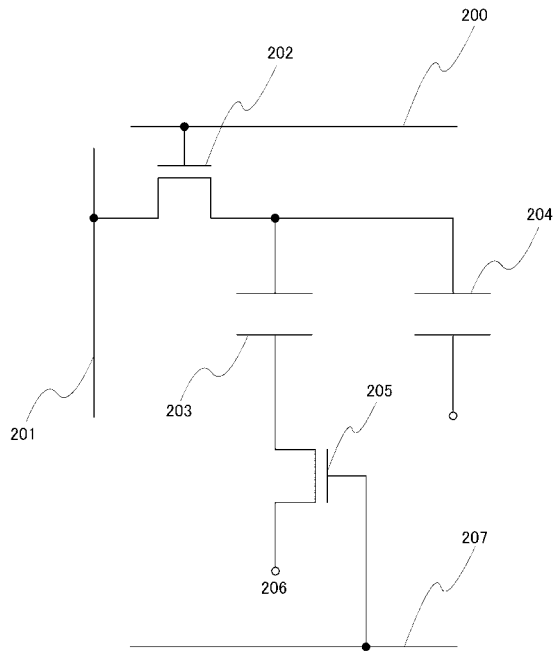
【図 1】



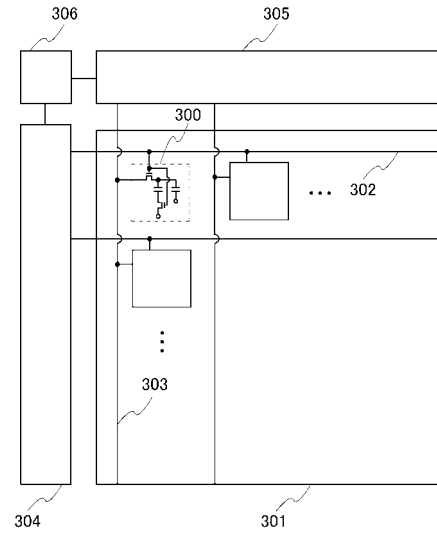
【図 2】



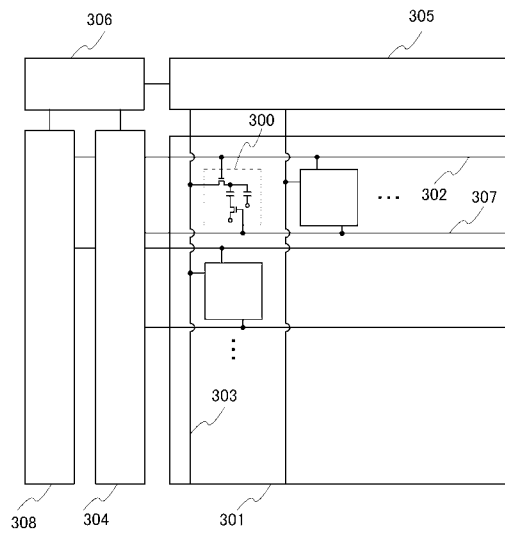
【図 3】



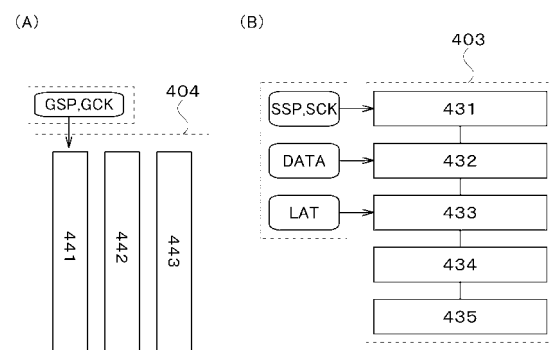
【図 4】



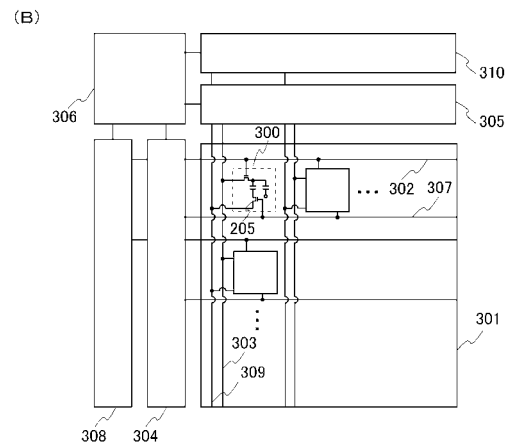
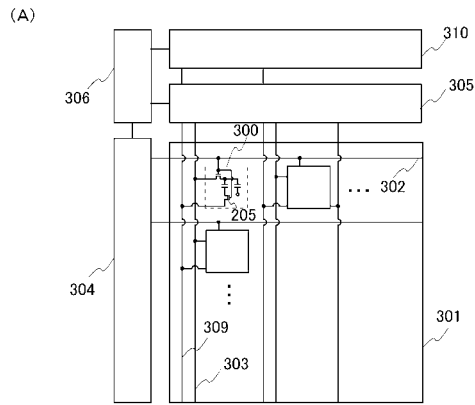
【図 5】



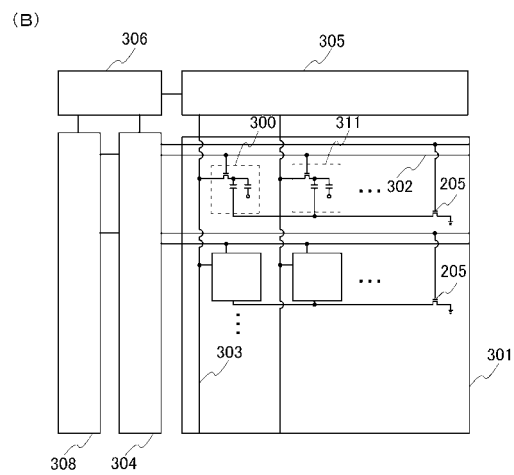
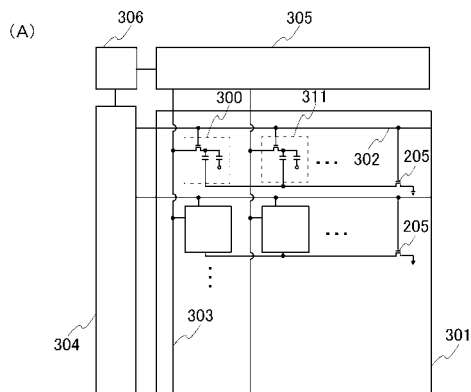
【図 6】



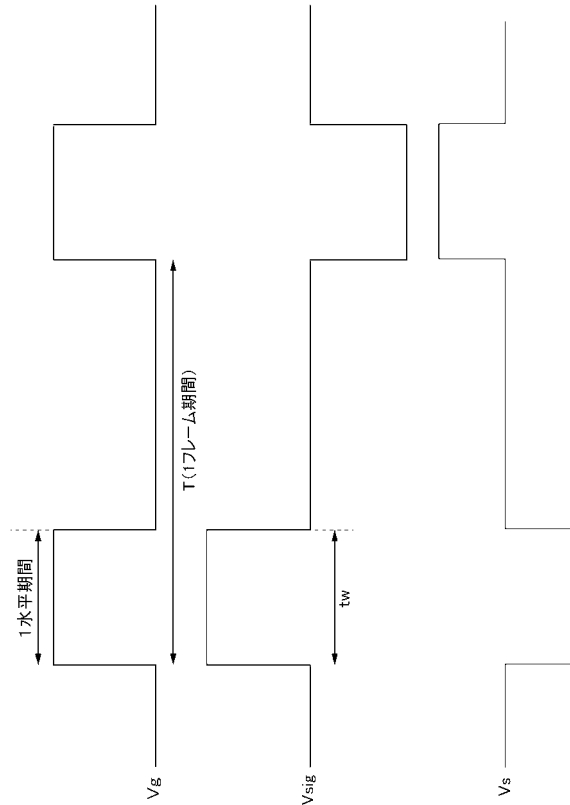
【図 7】



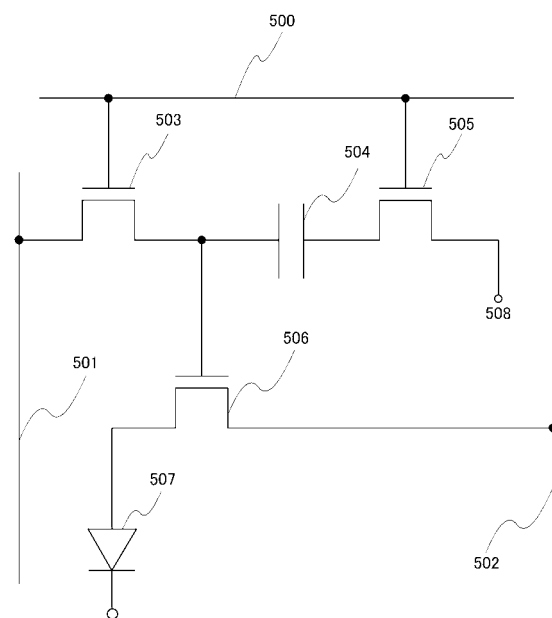
【図 9】



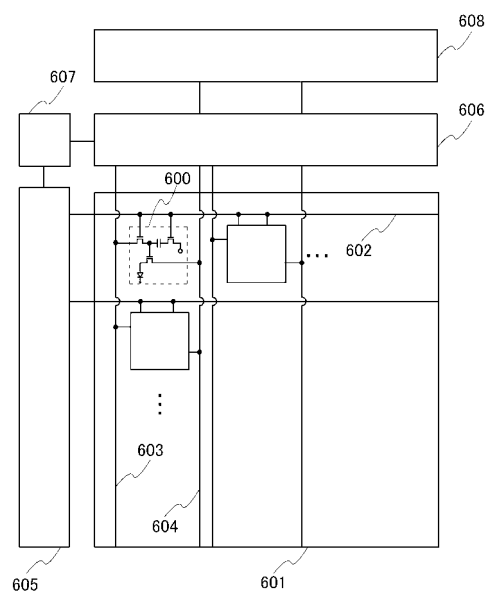
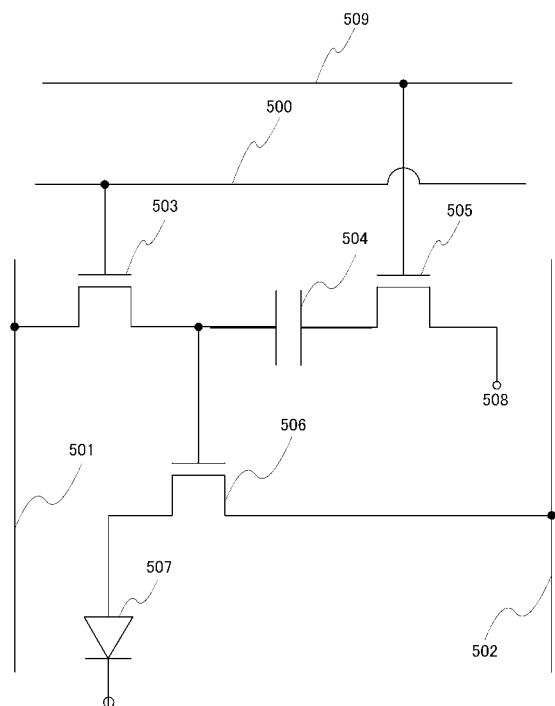
【図 8】



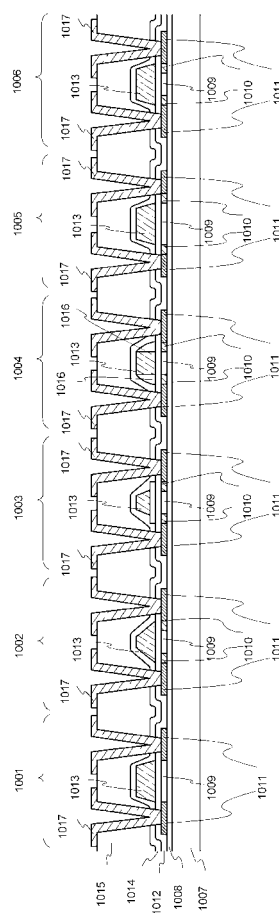
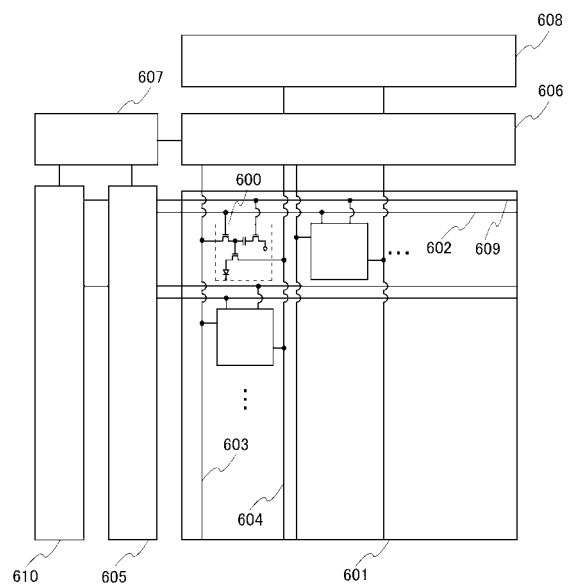
【図 10】



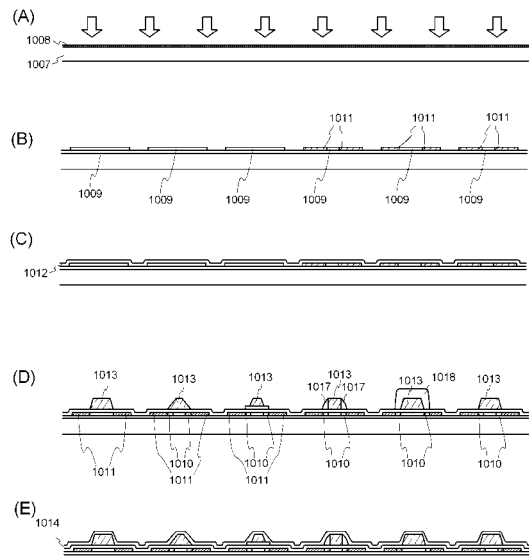
【 图 1 2 】



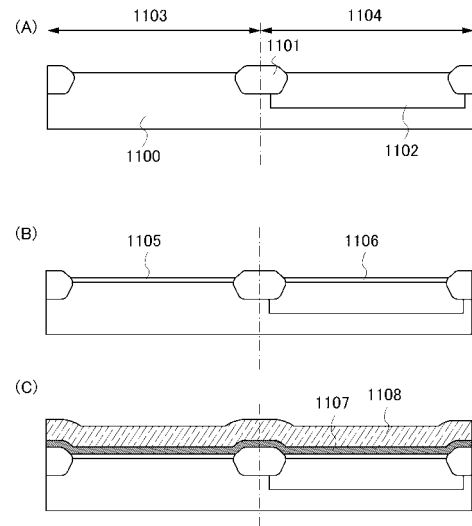
【 图 1 4 】



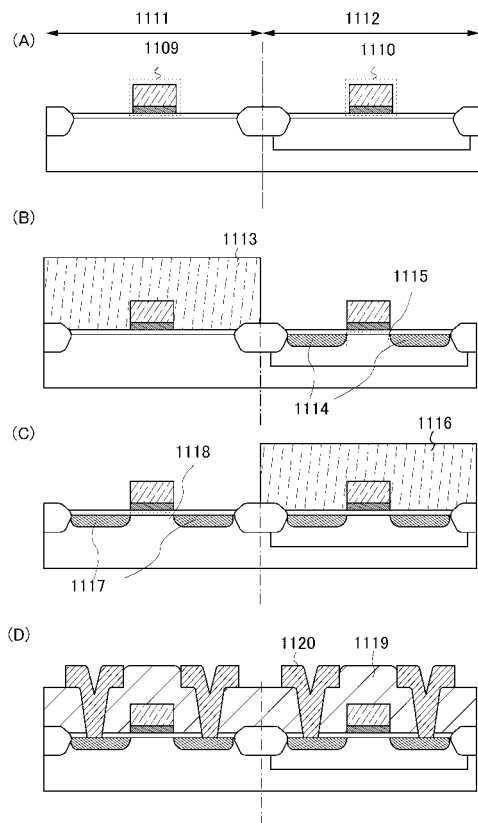
【図 15】



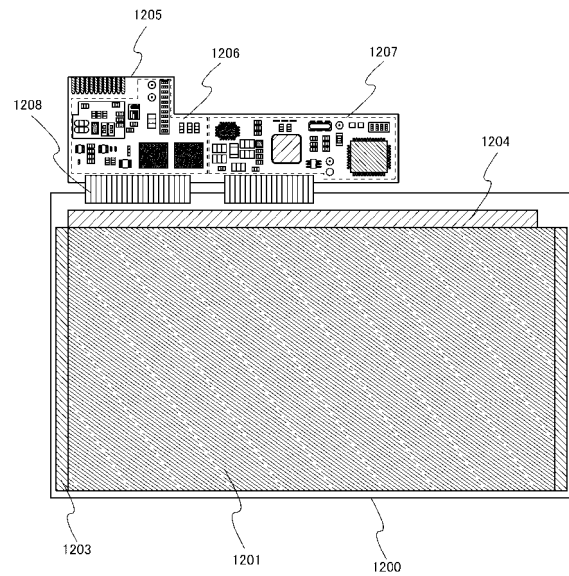
【図 16】



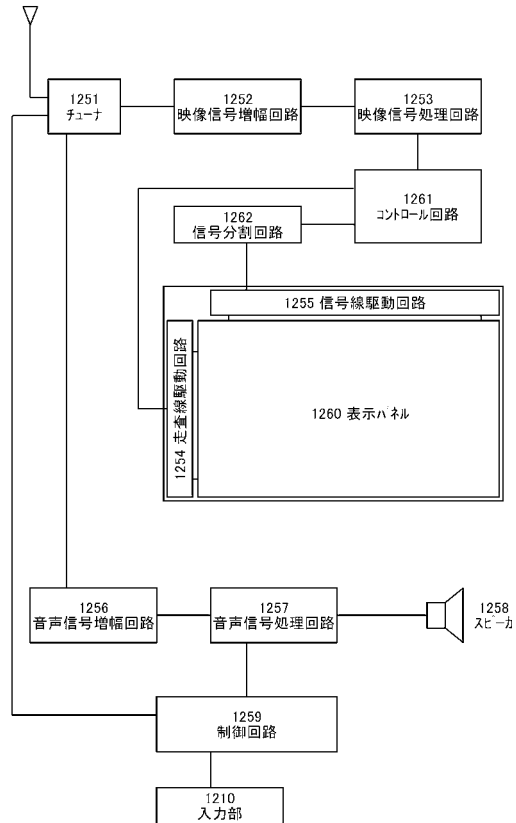
【図 17】



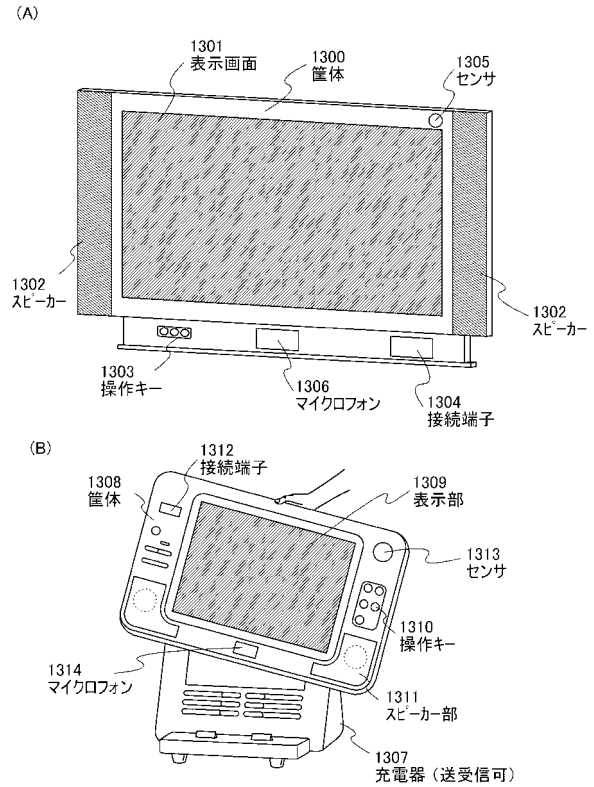
【図 18】



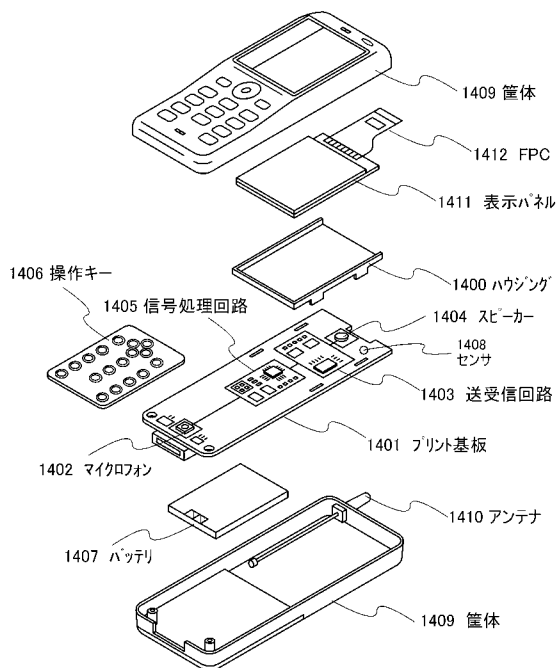
【図 19】



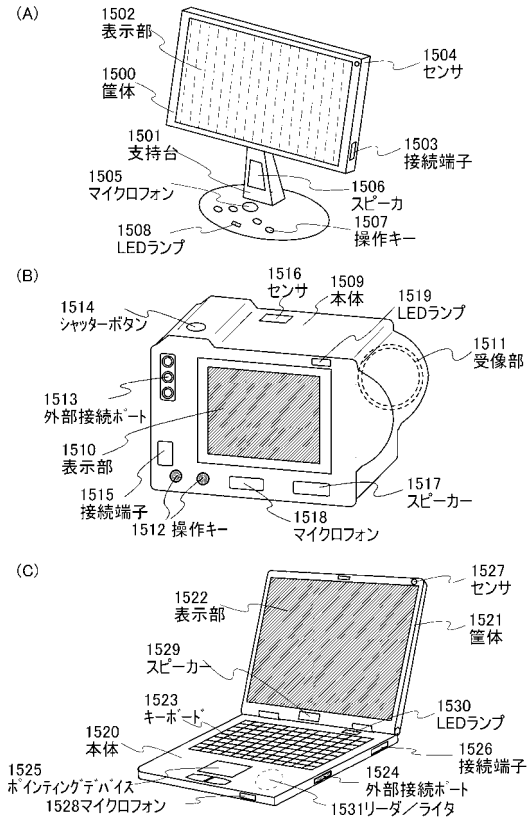
【図 20】



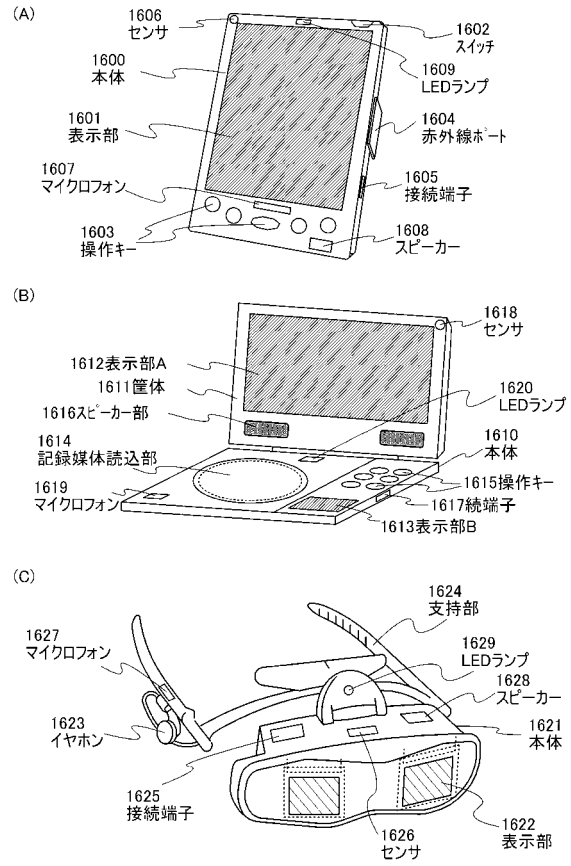
【図 21】



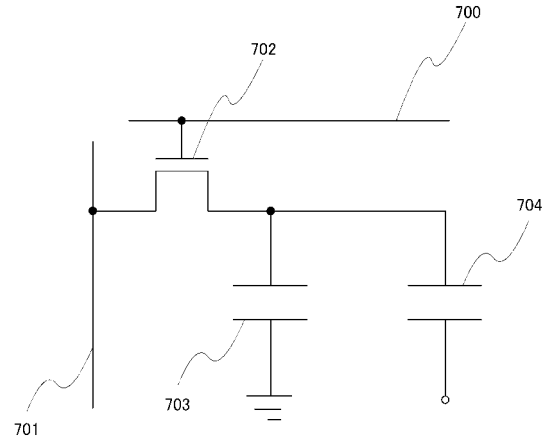
【図 22】



【図 23】



【図 24】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 1 1 H

G 0 2 F 1/133 5 5 0

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3