



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0049170
(43) 공개일자 2025년04월11일

(51) 국제특허분류(Int. Cl.)
G11C 7/16 (2015.01) G11C 7/06 (2021.01)
G11C 7/10 (2021.01) H03M 1/08 (2006.01)
(52) CPC특허분류
G11C 7/16 (2018.05)
G11C 7/06 (2013.01)
(21) 출원번호 10-2024-0068942
(22) 출원일자 2024년05월28일
심사청구일자 2024년05월28일
(30) 우선권주장
1020230131620 2023년10월04일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
김태환
서울특별시 관악구 보라매로3길 29(봉천동, 해태보라매타워)
(뒷면에 계속)
(74) 대리인
특허법인주연케이알피

전체 청구항 수 : 총 10 항

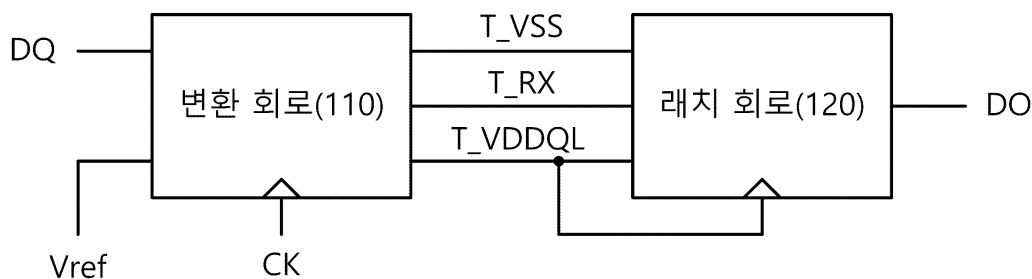
(54) 발명의 명칭 시간 간격을 감지하는 아날로그 디지털 변환기의 수신 회로 및 그 동작 방법

(57) 요약

본 발명은 아날로그 디지털 변환기의 수신 회로에 관한 것으로, 좀 더 자세하게는 시간 간격을 감지하여 수신되는 아날로그 신호를 디지털 신호로 변환하는 아날로그 디지털 변환기의 수신 회로에 관한 것이다. 본 발명의 실시 예에 따른 아날로그 디지털 변환기의 수신 회로는, 클럭 신호에 응답하여, 아날로그 형식의 입력 데이터 및

(뒷면에 계속)
대표도 - 도1

100



기준 전압에 기반하여, 제1 시간 신호, 제2 시간 신호 및 데이터 시간 신호를 생성하는 변환 회로, 및 상기 데이터 시간 신호, 상기 제1 시간 신호 및 상기 제2 시간 신호에 기반하여, 디지털 형식의 출력 데이터를 출력하는 래치 회로를 포함하고, 상기 래치 회로는, 상기 데이터 시간 신호가 로우 레벨로 천이되는 시점과 상기 제1 시간 신호가 로우 레벨로 천이되는 시점 간의 제1 시간 차를 판단하고, 상기 데이터 시간 신호가 로우 레벨로 천이되는 시점과 상기 제2 시간 신호가 로우 레벨로 천이되는 시점 간의 제2 시간 차를 판단하고, 상기 제1 시간 차와 상기 제2 시간 차 간의 크기를 비교하여, 상기 출력 데이터의 값을 결정할 수 있다.

(52) CPC특허분류

G11C 7/1084 (2013.01)

H03M 1/08 (2013.01)

박승우

서울특별시 마포구 마포대로 195(아현동, 마포 래미안 푸르지오)

(72) 발명자

심창민

서울특별시 동대문구 약령사로3길 22-9

심진철

서울특별시 성북구 삼선교로8길 16(삼선동1가)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711155324
과제번호	2022R1A2C3012245
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	차세대 xEV를 위한 48 V 및 12 V 배터리용 전력 관리 시스템
과제수행기관명	고려대학교 산학협력단
연구기간	2022.03.01 ~ 2027.02.28

명세서

청구범위

청구항 1

아날로그 디지털 변환기의 수신 회로에 있어서,

클럭 신호에 응답하여, 아날로그 형식의 입력 데이터 및 기준 전압에 기반하여, 제1 시간 신호, 제2 시간 신호 및 데이터 시간 신호를 생성하는 변환 회로; 및

상기 데이터 시간 신호, 상기 제1 시간 신호 및 상기 제2 시간 신호에 기반하여, 디지털 형식의 출력 데이터를 출력하는 래치 회로를 포함하고,

상기 래치 회로는:

상기 데이터 시간 신호가 로우 레벨로 천이되는 시점과 상기 제1 시간 신호가 로우 레벨로 천이되는 시점 간의 제1 시간 차를 판단하고,

상기 데이터 시간 신호가 로우 레벨로 천이되는 시점과 상기 제2 시간 신호가 로우 레벨로 천이되는 시점 간의 제2 시간 차를 판단하고,

상기 제1 시간 차와 상기 제2 시간 차 간의 크기를 비교하여, 상기 출력데이터의 값을 결정하는, 수신 회로.

청구항 2

제1항에 있어서,

상기 제1 시간 신호는 로우 레벨의 접지 전압과 대응되고,

상기 제2 시간 신호는 하이 레벨의 상기 기준 전압과 대응되는, 수신 회로.

청구항 3

제1항에 있어서,

상기 래치 회로는:

상기 제1 시간 차가 상기 제2 시간 차보다 작은 경우, 상기 출력 데이터의 값을 “0” 으로 출력하고,

상기 제1 시간 차가 상기 제2 시간 차보다 큰 경우, 상기 출력 데이터의 값을 “1” 로 출력하는, 수신 회로.

청구항 4

제1항에 있어서,

상기 변환 회로는:

상기 데이터 시간 신호가 출력되는 제1 노드와 그라운드 사이에 연결되고, 게이트 전극을 통해 상기 클럭 신호를 수신하는 제1 접지 트랜지스터, 및

상기 제1 노드와 연결되는 제1 차단 트랜지스터를 포함하고,

상기 제1 차단 트랜지스터는, 상기 클럭 신호의 값이 하이 레벨로 천이됨에 따라 상기 제1 노드에 발생하는 킥백 잡음을 차단하는, 수신 회로.

청구항 5

제4항에 있어서,

상기 변환 회로는, 상기 제1 차단 트랜지스터와 동작 전압 사이에 연결되는 제1 동작 트랜지스터를 더 포함하고,

상기 제1 차단 트랜지스터는, 상기 클럭 신호의 값이 로우 레벨로 천이됨에 따라 상기 제1 동작 트랜지스터의 기생 캐패시턴스로 인해 상기 제1 노드에 발생하는 킥백 잡음을 차단하는, 수신 회로.

청구항 6

제5항에 있어서,

상기 래치 회로는:

상기 동작 전압과 상기 그라운드 사이에 직렬로 연결되는 제1 래치 트랜지스터, 제2 래치 트랜지스터, 및 제3 래치 트랜지스터, 및

상기 동작 전압과 상기 그라운드 사이에 직렬로 연결되는 제4 래치 트랜지스터, 제5 래치 트랜지스터, 및 제6 래치 트랜지스터를 포함하고,

상기 제1 래치 트랜지스터, 상기 제3 래치 트랜지스터, 및 상기 제6 래치 트랜지스터는 각각의 게이트 전극에 입력되는 상기 제2 시간 신호에 따라 동작하고,

상기 제2 래치 트랜지스터 및 상기 제4 래치 트랜지스터는 각각의 게이트 전극에 입력되는 상기 데이터 시간 신호에 따라 동작하고,

상기 제5 래치 트랜지스터는 상기 제5 래치 트랜지스터의 게이트 전극에 입력되는 상기 제1 시간 신호에 따라 동작하는, 수신 회로.

청구항 7

제6항에 있어서,

상기 래치 회로는:

상기 제2 래치 트랜지스터와 상기 제3 래치 트랜지스터 사이의 제1 출력 노드에 저장되는 제1 전하량에 기반하여, 상기 제1 시간 차를 판단하고,

상기 제5 래치 트랜지스터와 상기 제6 래치 트랜지스터 사이의 제2 출력 노드에 저장되는 제2 전하량에 기반하여, 상기 제2 시간 차를 판단하고,

상기 제1 전하량과 상기 제2 전하량의 차이에 기반하여 상기 출력 데이터의 값을 결정하는, 수신 회로.

청구항 8

아날로그-디지털 변환기의 수신 회로의 동작 방법에 있어서,

클럭 신호에 응답하여, 아날로그 형식의 입력 데이터 및 기준 전압으로부터 제1 시간 신호, 제2 시간 신호 및 데이터 시간 신호를 출력하는 단계;

상기 데이터 시간 신호가 로우 레벨로 천이되는 시점과 상기 제1 시간 신호가 로우 레벨로 천이되는 시점 간의 제1 시간 차를 판단하는 단계;

상기 데이터 시간 신호가 로우 레벨로 천이되는 시점과 상기 제2 시간 신호가 로우 레벨로 천이되는 시점 간의 제2 시간 차를 판단하는 단계; 및

상기 제1 시간 차와 상기 제2 시간 차 간의 크기를 비교하여, 디지털 형식의 출력 데이터의 값을 결정하는 단계를 포함하는, 동작 방법.

청구항 9

제8항에 있어서,

상기 제1 시간 차와 상기 제2 시간 차 간의 크기를 비교하여, 상기 출력 데이터의 값을 결정하는 단계는,

상기 제1 시간 차가 상기 제2 시간 차보다 작은 경우, 상기 출력 데이터의 값을 “0” 으로 출력하는 단계, 및

상기 제1 시간 차가 상기 제2 시간 차보다 큰 경우, 상기 출력 데이터의 값을 “1” 로 출력하는 단계를 더 포함하는, 동작 방법.

청구항 10

제8항에 있어서,

상기 제1 시간 신호는 로우 레벨의 접지 전압과 대응되고,

상기 제2 시간 신호는 하이 레벨의 상기 기준 전압과 대응되는, 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 아날로그 디지털 변환기의 수신 회로 및 그 동작 방법에 관한 것으로, 좀 더 자세하게는 시간 간격을 감지하여 수신되는 아날로그 신호를 디지털 신호로 변환하는 아날로그 디지털 변환기의 수신 회로에 관한 것이다.

배경 기술

[0002] 메모리 인터페이스에서 아날로그-디지털 변환기(ADC)는 핵심이 되는 블록이다. 특히 병렬화된 구조를 갖는 3D 적층 메모리 인터페이스에서는 데이터 처리량의 증가로 인해 고속, 고해상도, 저전력의 아날로그-디지털 변환기가 요구되고 있다.

[0003] 특히, 데이터 처리량이 증가한 HBM(high bandwidth memory)의 경우, 고-대역폭의 데이터 처리를 지원하기 위해 요구되는 감지 증폭기와 비교기의 개수가 증가할 수 있다.

[0004] 다만, 단일한 기준 전압 생성기로부터 생성된 기준 전압이 복수의 감지 증폭기(sense amplifier)들로 제공되는 경우, 감지 증폭기들로부터 발생하는 킥백 잡음(kickback noise)에 취약할 수 있다.

[0005] 또한, 기준 전압에 오차가 발생하는 경우, 복수의 감지 증폭기들 모두가 같은 오차를 가질 수 있다.

[0006] 또한, 복수의 감지 증폭기들 각각의 오프셋(offset), 또는 입력 기준 잡음(input referred noise)으로 인해 수신되는 데이터의 신뢰도가 감소할 수 있다.

[0007] 즉, 고 대역폭의 메모리 장치에 구비되는 아날로그 디지털 변환기는 잡음에 취약한 특성을 가질 수 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 잡음에 둔감한 아날로그 디지털 변환기의 수신 회로를 제공하는 것에 목적이 있다.

[0009] 본 발명은 다수의 데이터 핀을 포함하는 메모리 장치에 대해서 수율을 향상시키는 아날로그 디지털 변환기의 수신 회로를 제공하는 것에 목적이 있다.

과제의 해결 수단

[0010] 본 발명의 아날로그 디지털 변환기의 수신 회로는, 클럭 신호에 응답하여, 아날로그 형식의 입력 데이터 및 기준 전압에 기반하여, 제1 시간 신호, 제2 시간 신호 및 데이터 시간 신호를 생성하는 변환 회로, 및 상기 데이터 시간 신호, 상기 제1 시간 신호 및 상기 제2 시간 신호에 기반하여, 디지털 형식의 출력 데이터를 출력하는 래치 회로를 포함하고, 상기 래치 회로는, 상기 데이터 시간 신호가 로우 레벨로 천이되는 시점과 상기 제1 시간 신호가 로우 레벨로 천이되는 시점 간의 제1 시간 차를 판단하고, 상기 데이터 시간 신호가 로우 레벨로 천이되는 시점과 상기 제2 시간 신호가 로우 레벨로 천이되는 시점 간의 제2 시간 차를 판단하고, 상기 제1 시간 차와 상기 제2 시간 차 간의 크기를 비교하여, 상기 출력 데이터의 값을 결정할 수 있다.

[0011] 일 실시 예에 따르면, 상기 제1 시간 신호는 로우 레벨의 접지 전압과 대응되고, 상기 제2 시간 신호는 하이 레벨의 상기 기준 전압과 대응될 수 있다.

[0012] 일 실시 예에 따르면, 상기 래치 회로는, 상기 제1 시간 차가 상기 제2 시간 차보다 작은 경우, 상기 출력 데이터의 값을 “0” 으로 출력하고, 상기 제1 시간 차가 상기 제2 시간 차보다 큰 경우, 상기 출력 데이터의 값을 “1” 로 출력할 수 있다.

- [0013] 일 실시 예에 따르면, 상기 변환 회로는, 상기 데이터 시간 신호가 출력되는 제1 노드와 그라운드 사이에 연결되고, 게이트 전극을 통해 상기 클럭 신호를 수신하는 제1 접지 트랜지스터, 및 상기 제1 노드와 연결되는 제1 차단 트랜지스터를 포함하고, 상기 제1 차단 트랜지스터는, 상기 클럭 신호의 값이 하이 레벨로 천이됨에 따라 상기 제1 노드에 발생하는 킥백 잡음을 차단할 수 있다.
- [0014] 일 실시 예에 따르면, 상기 변환 회로는, 상기 제1 차단 트랜지스터와 동작 전압 사이에 연결되는 제1 동작 트랜지스터를 더 포함하고, 상기 제1 차단 트랜지스터는, 상기 클럭 신호의 값이 로우 레벨로 천이됨에 따라 상기 제1 동작 트랜지스터의 기생 캐패시턴스로 인해 상기 제1 노드에 발생하는 킥백 잡음을 차단할 수 있다.
- [0015] 일 실시 예에 따르면, 상기 래치 회로는, 상기 동작 전압과 상기 그라운드 사이에 직렬로 연결되는 제1 래치 트랜지스터, 제2 래치 트랜지스터, 및 제3 래치 트랜지스터, 및 상기 동작 전압과 상기 그라운드 사이에 직렬로 연결되는 제4 래치 트랜지스터, 제5 래치 트랜지스터, 및 제6 래치 트랜지스터를 포함하고, 상기 제1 래치 트랜지스터, 상기 제3 래치 트랜지스터, 및 상기 제6 래치 트랜지스터는 각각의 게이트 전극에 입력되는 상기 제2 시간 신호에 따라 동작하고, 상기 제2 래치 트랜지스터 및 상기 제4 래치 트랜지스터는 각각의 게이트 전극에 입력되는 상기 데이터 시간 신호에 따라 동작하고, 상기 제5 래치 트랜지스터는 상기 제5 래치 트랜지스터의 게이트 전극에 입력되는 상기 제1 시간 신호에 따라 동작할 수 있다.
- [0016] 일 실시 예에 따르면, 상기 래치 회로는, 상기 제2 래치 트랜지스터와 상기 제3 래치 트랜지스터 사이의 제1 출력 노드에 저장되는 제1 전하량에 기반하여, 상기 제1 시간 차를 판단하고, 상기 제5 래치 트랜지스터와 상기 제6 래치 트랜지스터 사이의 제2 출력 노드에 저장되는 제2 전하량에 기반하여, 상기 제2 시간 차를 판단하고, 상기 제1 전하량과 상기 제2 전하량의 차이에 기반하여 상기 출력 데이터의 값을 결정할 수 있다.
- [0017] 본 발명의 아날로그-디지털 변환기의 수신 회로의 동작 방법은, 클럭 신호에 응답하여, 아날로그 형식의 입력 데이터 및 기준 전압으로부터 제1 시간 신호, 제2 시간 신호 및 데이터 시간 신호를 출력하는 단계, 상기 데이터 시간 신호가 로우 레벨로 천이되는 시점과 상기 제1 시간 신호가 로우 레벨로 천이되는 시점 간의 제1 시간 차를 판단하는 단계, 상기 데이터 시간 신호가 로우 레벨로 천이되는 시점과 상기 제2 시간 신호가 로우 레벨로 천이되는 시점 간의 제2 시간 차를 판단하는 단계, 및 상기 제1 시간 차와 상기 제2 시간 차 간의 크기를 비교하여, 디지털 형식의 출력 데이터의 값을 결정하는 단계를 포함할 수 있다.
- [0018] 일 실시 예에 따르면, 상기 제1 시간 차와 상기 제2 시간 차 간의 크기를 비교하여, 상기 출력 데이터의 값을 결정하는 단계는, 상기 제1 시간 차가 상기 제2 시간 차보다 작은 경우, 상기 출력 데이터의 값을 “0”으로 출력하는 단계, 및 상기 제1 시간 차가 상기 제2 시간 차보다 큰 경우, 상기 출력 데이터의 값을 “1”로 출력하는 단계를 더 포함할 수 있다.
- [0019] 일 실시 예에 따르면, 상기 제1 시간 신호는 로우 레벨의 접지 전압과 대응되고, 상기 제2 시간 신호는 하이 레벨의 상기 기준 전압과 대응될 수 있다.

발명의 효과

- [0020] 본 발명의 수신 회로는, 아날로그 디지털 변환기에서 발생하는 잡음으로 인한 성능 열화를 최소화할 수 있다.
- [0021] 본 발명의 수신 회로는, 아날로그 디지털 변환기에서 발생하는 잡음의 영향의 최소화함으로써, 아날로그 디지털 변환기를 포함하는 메모리 장치의 수율을 향상시킬 수 있다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 일 실시 예에 따른 수신 회로를 나타내는 블록도다.
- 도 2는, 일 실시 예에 따른 접지 전압과 기준 전압의 레벨을 도시한다.
- 도 3a는, 일 실시 예에 따른 데이터 시간 신호를 제1 시간 신호 및 제2 시간 신호와 비교하는 구성을 도시한다.
- 도 3b는, 다른 실시 예에 따른 데이터 시간 신호를 제1 시간 신호 및 제2 시간 신호와 비교하는 구성을 도시한다.
- 도 4는, 일 실시 예에 따른 변환 회로의 구성을 나타내는 회로도다.
- 도 5는, 일 실시 예에 따른 래치 회로의 구성을 나타내는 회로도다.

- 도 6a는, 종래의 아날로그 디지털 변환기에 대한 오프셋 잡음에 따른 시뮬레이션 결과를 도시한다.
- 도 6b는, 본 발명에 따른 아날로그 디지털 변환기에 대한 오프셋 잡음에 따른 시뮬레이션 결과를 도시한다.
- 도 7a는, 종래의 아날로그 디지털 변환기에 대한 기준 전압의 오차에 따른 시뮬레이션 결과를 도시한다.
- 도 7b는, 본 발명에 따른 아날로그 디지털 변환기에 대한 기준 전압의 오차에 따른 시뮬레이션 결과를 도시한다.
- 도 8은, 본 발명의 일 실시 예에 따른 킥백 잡음의 감소 효과를 나타내는 시뮬레이션 결과를 도시한다.
- 도 9는, 일 실시 예에 따른 수신 회로의 동작 방법을 나타내는 흐름도다.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 첨부된 도면을 참조하여 본 개시(present disclosure)를 설명한다. 본 개시는 다양한 변경을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들이 도면에 예시되고 관련된 상세한 설명이 기재되어 있다. 그러나, 이는 본 개시를 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 개시의 사상 및 기술 범위에 포함되는 모든 변경 및/또는 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용되었다.
- [0024] 본 개시 가운데 사용될 수 있는 "포함한다" 또는 "포함할 수 있다" 등의 표현은 개시된 해당 기능, 동작 또는 구성요소 등의 존재를 가리키며, 추가적인 하나 이상의 기능, 동작 또는 구성요소 등을 제한하지 않는다. 또한, 본 개시에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0025] 본 개시에서 "또는" 등의 표현은 함께 나열된 단어들의 어떠한, 그리고 모든 조합을 포함한다. 예를 들어, "A 또는 B"는, A를 포함할 수도, B를 포함할 수도, 또는 A 와 B 모두를 포함할 수도 있다.
- [0026] 본 개시 가운데 "제1," "제2," "첫째," 또는 "둘째," 등의 표현들이 본 개시의 다양한 구성요소들을 수식할 수 있지만, 해당 구성요소들을 한정하지 않는다. 예를 들어, 상기 표현들은 해당 구성요소들의 순서 및/또는 중요도 등을 한정하지 않는다. 상기 표현들은 한 구성요소를 다른 구성요소와 구분 짓기 위해 사용될 수 있다. 예를 들어, 제1 사용자 기기와 제 2 사용자 기기는 모두 사용자 기기이며, 서로 다른 사용자 기기를 나타낸다. 예를 들어, 본 개시의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해될 수 있어야 할 것이다.
- [0028] 본 개시에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 개시를 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 개시에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0030] 도 1은 본 발명의 일 실시 예에 따른 수신 회로를 나타내는 블록도다. 도 2는, 일 실시 예에 따른 접지 전압과 기준 전압의 레벨을 도시한다. 도 3a는, 일 실시 예에 따른 데이터 시간 신호를 제1 시간 신호 및 제2 시간 신호와 비교하는 구성을 도시한다. 도 3b는, 다른 실시 예에 따른 데이터 시간 신호를 제1 시간 신호 및 제2 시간 신호와 비교하는 구성을 도시한다.
- [0031] 도 1을 참조하면, 일 실시 예에 따른 수신 회로(100)는 변환 회로(110) 및 래치 회로(120)를 포함할 수 있다.
- [0032] 여기서, 수신 회로(100)는 아날로그 디지털 변환기(analog-to-digital converter, ADC)에서 송신 회로로부터

전달된 데이터를 획득하는 회로로 이해될 수 있다.

- [0033] 또한, 여기서, 수신 회로(100)가 구비되는 아날로그 디지털 변환기(ADC)는 메모리 장치(예: HBM(high bandwidth memory))에 구비되는 것으로 이해될 수 있다.
- [0034] 다만, 수신 회로(100)가 구비되는 장치 및 구성은 상술한 예시들에 한정되는 것은 아니다.
- [0035] 일 실시 예에 따르면, 수신 회로(100)는 입력 데이터(DQ) 및 기준 전압(Vref)에 기반하여, 제1 시간 신호(T_VSS), 제2 시간 신호(T_VDDQL), 및 데이터 시간 신호(T_RX)를 생성(또는, 출력)하는 변환 회로(110)를 포함할 수 있다.
- [0036] 보다 구체적으로, 변환 회로(110)는 클럭 신호(CK)에 응답하여, 아날로그 형식의 입력 데이터(DQ) 및 기준 전압(Vref)에 기반하여, 제1 시간 신호(T_VSS), 제2 시간 신호(T_VDDQL), 및 데이터 시간 신호(T_RX)를 생성할 수 있다.
- [0037] 도 1 및 도 2를 참조하면, 일 실시 예에 따른 기준 전압(Vref)은 하이 레벨의 동작 전압(VDDQL)과 동일한 값을 가질 수 있다.
- [0038] 일 실시 예에 따르면, 제1 시간 신호(T_VSS)는 로우 레벨의 접지 전압(VSS)과 대응될 수 있다. 또한, 제2 시간 신호(T_VDDQL)는 하이 레벨의 기준 전압(Vref)과 대응될 수 있다.
- [0039] 또한, 데이터 시간 신호(T_RX)는 접지 전압(VSS)과 기준 전압(Vref) 사이의 값을 갖는 입력 데이터(DQ)와 대응될 수 있다.
- [0040] 도 1, 도 2, 도 3a 및 도 3b를 함께 참조하면, 제1 시간 신호(T_VSS), 제2 시간 신호(T_VDDQL) 및 데이터 시간 신호(T_RX)는 각각 서로 다른 시간에 하이 레벨(예: “1”)에서 로우 레벨(예: “0”)로 천이되는 신호로 이해될 수 있다.
- [0041] 즉, 변환 회로(110)는 입력 데이터(DQ) 및 기준 전압(Vref)을 이용하여, 서로 다른 시간에 각각 서로 다른 시간에 하이 레벨(예: “1”)에서 로우 레벨(예: “0”)로 천이되는 제1 시간 신호(T_VSS), 제2 시간 신호(T_VDDQL) 및 데이터 시간 신호(T_RX)를 생성할 수 있다.
- [0042] 또한, 일 실시 예에 따르면, 수신 회로(100)는 제1 시간 신호(T_VSS), 제2 시간 신호(T_VDDQL) 및 데이터 시간 신호(T_RX)를 이용하여 출력 데이터(DO)를 출력하는 래치 회로(120)를 포함할 수 있다.
- [0043] 보다 구체적으로, 래치 회로(120)는 제1 시간 신호(T_VSS), 제2 시간 신호(T_VDDQL) 및 데이터 시간 신호(T_RX)에 기반하여, 디지털 형식의 출력 데이터(DO)를 출력할 수 있다.
- [0044] 도 3a 및 도 3b를 함께 참조하면, 일 실시 예에 따른 래치 회로(120)는 데이터 시간 신호(T_RX)가 로우 레벨로 천이되는 시점과, 제1 시간 신호(T_VSS) 및 제2 시간 신호(T_VDDQL) 각각이 로우 레벨로 천이되는 시점을 비교할 수 있다.
- [0045] 보다 구체적으로, 래치 회로(120)는 데이터 시간 신호(T_RX)가 로우 레벨로 천이되는 시점과, 제1 시간 신호(T_VSS)가 로우 레벨로 천이되는 시점을 비교할 수 있다.
- [0046] 래치 회로(120)는 데이터 시간 신호(T_RX)가 로우 레벨로 천이되는 시점과, 제1 시간 신호(T_VSS)가 로우 레벨로 천이되는 시점을 비교하여 제1 시간 차(T1)를 판단할 수 있다.
- [0047] 또한, 래치 회로(120)는 데이터 시간 신호(T_RX)가 로우 레벨로 천이되는 시점과, 제2 시간 신호(T_VDDQL)가 로우 레벨로 천이되는 시점을 비교할 수 있다.
- [0048] 래치 회로(120)는 데이터 시간 신호(T_RX)가 로우 레벨로 천이되는 시점과, 제2 시간 신호(T_VDDQL)가 로우 레벨로 천이되는 시점을 비교하여 제2 시간 차(T2)를 판단할 수 있다.
- [0049] 도 3a를 참조하면, 일 실시 예에 따라 제1 시간 차(T1)가 제2 시간 차(T2)보다 작은 경우, 래치 회로(120)는 출력 데이터(DO)의 값을 “0”으로 결정할 수 있다.
- [0050] 즉, 일 실시 예에 따라 제1 시간 차(T1)가 제2 시간 차(T2)보다 작은 경우, 래치 회로(120)는 “0”의 값을 갖는 출력 데이터(DO)를 출력할 수 있다.
- [0051] 반면, 도 3b를 참조하면, 일 실시 예에 따라 제1 시간 차(T1)가 제2 시간 차(T2)보다 큰 경우, 래치 회로(120)는 출력 데이터(DO)의 값을 “1”로 결정할 수 있다.

- [0052] 즉, 일 실시 예에 따라 제1 시간 차(T1)가 제2 시간 차(T2)보다 큰 경우, 래치 회로(120)는 “1”의 값을 갖는 출력 데이터(DO)를 출력할 수 있다.
- [0053] 즉, 래치 회로(120)는 데이터 시간 신호(T_RX)가 로우 레벨로 천이되는 시점이 제2 시간 신호(T_VDDQL)가 로우 레벨로 천이되는 시점보다 제1 시간 신호(T_VSS)가 로우 레벨로 천이되는 시점에 가까운 경우, “0”의 값을 갖는 출력 데이터(DO)를 출력할 수 있다.
- [0054] 반면, 래치 회로(120)는 데이터 시간 신호(T_RX)가 로우 레벨로 천이되는 시점이 제1 시간 신호(T_VSS)가 로우 레벨로 천이되는 시점보다 제2 시간 신호(T_VDDQL)가 로우 레벨로 천이되는 시점에 가까운 경우, “1”의 값을 갖는 출력 데이터(DO)를 출력할 수 있다.
- [0055] 상술한 구성들을 참조하면, 일 실시 예에 따른 래치 회로(120)는 입력 데이터(DQ)와 대응되는 데이터 시간 신호(T_RX)를 각각 로우 레벨의 접지 전압(VSS) 및 하이 레벨의 기준 전압(Vref)과 대응되는 제1 시간 신호(T_VSS) 및 제2 시간 신호(T_VDDQL) 간의 시간 차(또는, 시간 간격)를 판단할 수 있다.
- [0056] 나아가, 래치 회로(120)는 시간 차에 기반하여, 출력 데이터(DO)의 값을 “0” 또는 “1”로 결정할 수 있다.
- [0057] 이 경우, 데이터 시간 신호(T_RX)를 단지 기준 전압(Vref)과 대응되는 시간 신호와 비교하여 출력 데이터(DO)의 값을 결정하는 경우에 비해, 기준 전압(Vref)에 발생하는 오차로 인해 출력 데이터(DO)에 발생하는 오차가 감소할 수 있다.
- [0058] 예를 들어, 본 발명의 실시 예에 따르면, 데이터 시간 신호(T_RX)를 단지 기준 전압(Vref)과 대응되는 시간 신호와 비교하여 출력 데이터(DO)의 값을 결정하는 경우에 비해, 기준 전압(Vref)에 발생하는 오차로 인해 출력 데이터(DO)에 발생하는 오차가 절반으로 감소할 수 있다.
- [0059] 이를 통해, 본 발명의 실시 예에 따른 수신 회로(100)는 기준 전압(Vref)에 발생하는 오차로 인해 발생하는 아날로그 디지털 변환기의 성능 열화를 최소화할 수 있다.
- [0060] 도 4는, 일 실시 예에 따른 변환 회로의 구성을 나타내는 회로도다.
- [0061] 도 4를 참조하면, 일 실시 예에 따른 변환 회로(110)는 동작 전압(VDD)과 그라운드(ground) 사이에 연결되는 복수의 트랜지스터들을 포함할 수 있다.
- [0062] 여기서, 도 4에 도시된 변환 회로(110)는 도 1에 도시된 변환 회로(110)와 실질적으로 동일한 구성으로 이해될 수 있다.
- [0063] 일 실시 예에 따르면, 변환 회로(110)는 동작 전압(VDD)과 그라운드 사이에 서로 직렬로 연결되는 제1 접지 트랜지스터(GT1), 제1 차단 트랜지스터(BT1) 및 제1 동작 트랜지스터(OT1)를 포함할 수 있다.
- [0064] 보다 구체적으로, 변환 회로(110)는 데이터 시간 신호(T_RX)가 출력되는 제1 노드(N1)와 그라운드 사이에 연결되는 제1 접지 트랜지스터(GT1)를 포함할 수 있다.
- [0065] 여기서, 제1 접지 트랜지스터(GT1)는 제1 접지 트랜지스터(GT1)의 게이트 전극을 통해 입력되는 클럭 신호(CK)에 따라 턴-온(turn on) 또는 턴-오프(turn off) 될 수 있다.
- [0066] 또한, 예를 들어, 제1 접지 트랜지스터(GT1)는 NMOS 트랜지스터로 이해될 수 있다. 따라서, 제1 접지 트랜지스터(GT1)는 클럭 신호(CK)가 하이 레벨로 천이됨에 따라 턴-온 될 수 있다.
- [0067] 또한, 변환 회로(110)는 제1 노드(N1)와 연결되는 제1 차단 트랜지스터(BT1)를 포함할 수 있다.
- [0068] 보다 구체적으로, 제1 차단 트랜지스터(BT1)의 소스-드레인 전극 중 하나는 제1 노드(N1)와 연결될 수 있다. 또한, 제1 차단 트랜지스터(BT1)의 게이트 전극은 그라운드와 연결될 수 있다.
- [0069] 예를 들어, 제1 차단 트랜지스터(BT1)는 PMOS 트랜지스터로 이해될 수 있다.
- [0070] 또한, 변환 회로(110)는 동작 전압(VDD)과 제1 차단 트랜지스터(BT1) 사이에 연결되는 제1 동작 트랜지스터(OT1)를 포함할 수 있다.
- [0071] 보다 구체적으로, 제1 동작 트랜지스터(OT1)는 제1 동작 트랜지스터(OT1)의 게이트 전극으로 입력되는 입력 전압(VDQ)에 의해 턴-온 또는 턴-오프 될 수 있다.
- [0072] 여기서, 예를 들어, 입력 전압(VDQ)은 입력 데이터(DQ)의 전압 레벨로 이해될 수 있다.

- [0073] 또한, 여기서, 제1 동작 트랜지스터(OT1)는 PMOS 트랜지스터로 이해될 수 있다.
- [0074] 일 실시 예에 따르면, 제1 차단 트랜지스터(BT1)는 클럭 신호(CK)가 하이 레벨(예: “1”)로 천이됨에 따라, 턴-오프될 수 있다.
- [0075] 이를 통해, 제1 차단 트랜지스터(BT1)는 클럭 신호(CK)가 하이 레벨로 천이됨에 따라, 제1 노드(N1)와 입력 전압(VDQ) 간의 전기적 경로를 차단할 수 있다.
- [0076] 따라서, 제1 차단 트랜지스터(BT1)는 클럭 신호(CK)가 하이 레벨(예: “1”)로 천이됨에 따라, 제1 노드(N1)에 발생하는 킥백 잡음을 차단할 수 있다.
- [0077] 또한, 일 실시 예에 따르면, 변환 회로(110)는 동작 전압(VDD)과 제1 동작 트랜지스터(OT1) 사이에 연결되는 클럭 트랜지스터(MT)를 더 포함할 수 있다.
- [0078] 일 실시 예에 따른 클럭 트랜지스터(MT1)는 게이트 전극으로 입력되는 클럭 신호(CK)에 따라 턴-온 또는 턴-오프 될 수 있다.
- [0079] 여기서, 클럭 트랜지스터(MT)는 PMOS 트랜지스터로 이해될 수 있다. 따라서, 클럭 트랜지스터(MT)는 클럭 신호(CK)가 로우 레벨(예: “0”)로 천이되는 것에 응답하여, 턴-온 될 수 있다.
- [0080] 또한, 일 실시 예에 따른 제1 차단 트랜지스터(BT1)는 클럭 신호(CK)가 로우 레벨로 천이됨에 따라, 제1 노드(N1)와 입력 전압(VDQ) 간의 전기적 경로를 차단할 수 있다.
- [0081] 따라서, 제1 차단 트랜지스터(BT1)는 클럭 신호(CK)가 로우 레벨로 천이됨에 따라, 제1 동작 트랜지스터(OT1)의 기생 캐패시턴스로 인해 제1 노드(N1)에 발생하는 킥백 잡음을 차단할 수 있다.
- [0082] 또한, 일 실시 예에 따르면, 변환 회로(110)는 동작 전압(VDD)과 그라운드 사이에 서로 직렬로 연결되는 제2 접지 트랜지스터(GT2), 제2 차단 트랜지스터(BT2) 및 제2 동작 트랜지스터(OT2)를 포함할 수 있다.
- [0083] 보다 구체적으로, 변환 회로(110)는 제1 시간 신호(T_VSS)가 출력되는 제2 노드(N2)와 그라운드 사이에 연결되는 제2 접지 트랜지스터(GT2)를 포함할 수 있다.
- [0084] 여기서, 제2 접지 트랜지스터(GT2)는 제2 접지 트랜지스터(GT2)의 게이트 전극을 통해 입력되는 클럭 신호(CK)에 따라 턴-온 또는 턴-오프 될 수 있다.
- [0085] 또한, 예를 들어, 제2 접지 트랜지스터(GT2)는 NMOS 트랜지스터로 이해될 수 있다. 따라서, 제2 접지 트랜지스터(GT2)는 클럭 신호(CK)가 하이 레벨로 천이됨에 따라 턴-온 될 수 있다.
- [0086] 또한, 변환 회로(110)는 제2 노드(N2)와 연결되는 제2 차단 트랜지스터(BT2)를 포함할 수 있다.
- [0087] 보다 구체적으로, 제2 차단 트랜지스터(BT2)의 소스-드레인 전극 중 하나는 제2 노드(N2)와 연결될 수 있다. 또한, 제2 차단 트랜지스터(BT2)의 게이트 전극은 그라운드와 연결될 수 있다.
- [0088] 예를 들어, 제2 차단 트랜지스터(BT2)는 PMOS 트랜지스터로 이해될 수 있다.
- [0089] 또한, 변환 회로(110)는 동작 전압(VDD)과 제2 차단 트랜지스터(BT2) 사이에 연결되는 제2 동작 트랜지스터(OT2)를 포함할 수 있다.
- [0090] 보다 구체적으로, 제2 동작 트랜지스터(OT2)의 게이트 전극은 그라운드와 연결될 수 있다.
- [0091] 또한, 여기서, 제2 동작 트랜지스터(OT2)는 PMOS 트랜지스터로 이해될 수 있다.
- [0092] 일 실시 예에 따르면, 제2 차단 트랜지스터(BT2)는 클럭 신호(CK)가 하이 레벨(예: “1”)로 천이됨에 따라, 턴-오프될 수 있다.
- [0093] 이를 통해, 제2 차단 트랜지스터(BT2)는 클럭 신호(CK)가 하이 레벨로 천이됨에 따라, 제2 노드(N2)와 제2 동작 트랜지스터(OT2) 간의 전기적 경로를 차단할 수 있다.
- [0094] 따라서, 제2 차단 트랜지스터(BT2)는 클럭 신호(CK)가 하이 레벨로 천이됨에 따라, 제2 노드(N2)에 발생하는 킥백 잡음을 차단할 수 있다.
- [0095] 또한, 일 실시 예에 따른 제2 차단 트랜지스터(BT2)는 클럭 신호(CK)가 로우 레벨로 천이됨에 따라, 제2 노드(N2)와 동작 전압(VDD)(또는, 제2 동작 트랜지스터(OT2))간의 전기적 경로를 차단할 수 있다.

- [0096] 따라서, 제2 차단 트랜지스터(BT2)는 클럭 신호(CK)가 로우 레벨로 천이됨에 따라, 제2 동작 트랜지스터(OT2)의 기생 캐패시턴스로 인해 제2 노드(N2)에 발생하는 킥백 잡음을 차단할 수 있다.
- [0097] 또한, 일 실시 예에 따르면, 변환 회로(110)는 동작 전압(VDD)과 그라운드 사이에 서로 직렬로 연결되는 제3 접지 트랜지스터(GT3), 제3 차단 트랜지스터(BT3) 및 제3 동작 트랜지스터(OT3)를 포함할 수 있다.
- [0098] 보다 구체적으로, 변환 회로(110)는 제2 시간 신호(T_VDDQL)가 출력되는 제3 노드(N3)와 그라운드 사이에 연결되는 제3 접지 트랜지스터(GT3)를 포함할 수 있다.
- [0099] 여기서, 제3 접지 트랜지스터(GT3)는 제3 접지 트랜지스터(GT3)의 게이트 전극을 통해 입력되는 클럭 신호(CK)에 따라 턴-온 또는 턴-오프 될 수 있다.
- [0100] 또한, 예를 들어, 제3 접지 트랜지스터(GT3)는 NMOS 트랜지스터로 이해될 수 있다. 따라서, 제3 접지 트랜지스터(GT3)는 클럭 신호(CK)가 하이 레벨로 천이됨에 따라 턴-온 될 수 있다.
- [0101] 또한, 변환 회로(110)는 제3 노드(N3)와 연결되는 제3 차단 트랜지스터(BT3)를 포함할 수 있다.
- [0102] 보다 구체적으로, 제3 차단 트랜지스터(BT3)의 소스-드레인 전극 중 하나는 제3 노드(N3)와 연결될 수 있다. 또한, 제3 차단 트랜지스터(BT3)의 게이트 전극은 그라운드와 연결될 수 있다.
- [0103] 예를 들어, 제3 차단 트랜지스터(BT3)는 PMOS 트랜지스터로 이해될 수 있다.
- [0104] 또한, 변환 회로(110)는 동작 전압(VDD)과 제3 차단 트랜지스터(BT3) 사이에 연결되는 제3 동작 트랜지스터(OT3)를 포함할 수 있다.
- [0105] 보다 구체적으로, 제3 동작 트랜지스터(OT3)는 제3 동작 트랜지스터(OT3)의 게이트 전극으로 입력되는 기준 전압(Vref)에 의해 턴-온 또는 턴-오프될 수 있다.
- [0106] 여기서, 제3 동작 트랜지스터(OT3)는 PMOS 트랜지스터로 이해될 수 있다. 따라서, 제3 동작 트랜지스터(OT3)는 기준 전압(Vref)이 로우 레벨로 천이되는 것에 응답하여, 턴-온 될 수 있다.
- [0107] 일 실시 예에 따르면, 제3 차단 트랜지스터(BT3)는 클럭 신호(CK)가 하이 레벨(예: “1”)로 천이됨에 따라, 턴-오프될 수 있다.
- [0108] 이를 통해, 제3 차단 트랜지스터(BT3)는 클럭 신호(CK)가 하이 레벨로 천이됨에 따라, 제3 노드(N3)와 제3 동작 트랜지스터(OT3) 간의 전기적 경로를 차단할 수 있다.
- [0109] 따라서, 제3 차단 트랜지스터(BT3)는 클럭 신호(CK)가 하이 레벨로 천이됨에 따라, 제3 노드(N3)에 발생하는 킥백 잡음을 차단할 수 있다.
- [0110] 또한, 일 실시 예에 따른 제3 차단 트랜지스터(BT3)는 클럭 신호(CK)가 로우 레벨로 천이됨에 따라, 제3 노드(N3)와 동작 전압(VDD)(또는, 제3 동작 트랜지스터(OT3))간의 전기적 경로를 차단할 수 있다.
- [0111] 따라서, 제3 차단 트랜지스터(BT3)는 클럭 신호(CK)가 로우 레벨로 천이됨에 따라, 제3 동작 트랜지스터(OT3)의 기생 캐패시턴스로 인해 제3 노드(N3)에 발생하는 킥백 잡음을 차단할 수 있다.
- [0112] 상술한 구성들을 참조하면, 일 실시 예에 따른 변환 회로(110)는 킥백 잡음을 차단하는 제1 차단 트랜지스터(BT1), 제2 차단 트랜지스터(BT2), 및 제3 차단 트랜지스터(BT3)를 포함할 수 있다.
- [0113] 여기서, 킥백 잡음은 클럭 신호(CK)의 위상이 천이됨에 따라 동작 트랜지스터(OT1, OT2, OT3) 또는 접지 트랜지스터(GT1, GT2, GT3)의 기생 캐패시턴스로 인해 발생하는 잡음으로 이해될 수 있다.
- [0114] 따라서, 일 실시 예에 따른 변환 회로(110)는 제1 차단 트랜지스터(BT1), 제2 차단 트랜지스터(BT2), 및 제3 차단 트랜지스터(BT3)를 통해, 클럭 신호(CK)에 따라 발생하는 킥백 잡음을 최소화할 수 있다.
- [0115] 이를 통해, 본 발명의 실시 예에 따른 수신 회로(100)는 킥백 잡음에 따른 아날로그 디지털 변환기의 성능 열화를 최소화할 수 있다.
- [0116] 나아가, 본 발명의 실시 예에 따른 수신 회로(100)는 아날로그 디지털 변환기를 포함하는 메모리 장치의 수율을 향상시킬 수 있다.
- [0117] 도 5는, 일 실시 예에 따른 래치 회로의 구성을 나타내는 회로도다.

- [0118] 도 5를 참조하면, 일 실시 예에 따른 래치 회로(120)는 동작 전압(VDD)과 그라운드 사이에 연결되는 복수의 트랜지스터들을 포함할 수 있다.
- [0119] 여기서, 도 5에 도시된 래치 회로(120)는 도 1에 도시된 래치 회로(120)와 실질적으로 동일한 것으로 이해될 수 있다.
- [0120] 일 실시 예에 따르면, 래치 회로(120)는 동작 전압(VDD)과 그라운드 사이에 서로 직렬로 연결되는 제1 래치 트랜지스터(LT1), 제2 래치 트랜지스터(LT2) 및 제3 래치 트랜지스터(LT3)를 포함할 수 있다.
- [0121] 여기서, 제1 래치 트랜지스터(LT1), 및 제3 래치 트랜지스터(LT3)는 각각의 게이트 전극에 입력되는 제1 시간 신호(T_VSS)에 의해 턴-온 또는 턴-오프 될 수 있다.
- [0122] 또한, 제2 래치 트랜지스터(LT2)는 제2 래치 트랜지스터(LT2)의 게이트 전극에 입력되는 데이터 시간 신호(T_RX)에 의해 턴-온 또는 턴-오프 될 수 있다.
- [0123] 여기서, 예를 들어, 제1 래치 트랜지스터(LT1)는 PMOS 트랜지스터로 이해될 수 있다. 또한, 제2 래치 트랜지스터(LT2) 및 제3 래치 트랜지스터(LT3)는 NMOS 트랜지스터로 이해될 수 있다.
- [0124] 도 3a 및 도 5를 함께 참조하면, 일 실시 예에 따라 제1 시간 신호(T_VSS)가 로우 레벨(예: “0”)로 천이되고, 데이터 시간 신호(T_RX)가 하이 레벨(예: “1”)로 유지되는 동안, 제1 출력 노드(ON1)에 전하가 저장될 수 있다.
- [0125] 보다 구체적으로, 제1 시간 신호(T_VSS)가 로우 레벨로 천이되고, 데이터 시간 신호(T_RX)가 하이 레벨로 유지되는 동안, 제1 출력 노드(ON1)와 연결된 복수의 트랜지스터들(예: LT7, LT8, LT9)의 기생 캐패시터에 전하가 저장될 수 있다.
- [0126] 예를 들어, 제1 시간 신호(T_VSS)가 로우 레벨로 천이되고, 데이터 시간 신호(T_RX)가 하이 레벨로 유지되는 동안, 제1 출력 노드(ON1)에 제1 전하량(CG1)만큼 전하가 저장될 수 있다.
- [0127] 일 실시 예에 따르면, 래치 회로(120)는 제1 전하량(CG1)에 기반하여 제1 시간 차(T1)를 판단할 수 있다.
- [0128] 일 실시 예에 따르면, 래치 회로(120)는 동작 전압(VDD)과 그라운드 사이에 서로 직렬로 연결되는 제4 래치 트랜지스터(LT4), 제5 래치 트랜지스터(LT5) 및 제6 래치 트랜지스터(LT6)를 포함할 수 있다.
- [0129] 여기서, 제4 래치 트랜지스터(LT4)는 제4 래치 트랜지스터(LT4)의 게이트 전극에 입력되는 데이터 시간 신호(T_RX)에 의해 턴-온 또는 턴-오프 될 수 있다.
- [0130] 또한, 제5 래치 트랜지스터(LT5)는 제5 래치 트랜지스터(LT5)의 게이트 전극에 입력되는 제2 시간 신호(T_VDDQL)에 의해 턴-온 또는 턴-오프 될 수 있다.
- [0131] 또한, 제6 래치 트랜지스터(LT6)는 제6 래치 트랜지스터(LT6)의 게이트 전극에 입력되는 제1 시간 신호(T_VSS)에 의해 턴-온 또는 턴-오프 될 수 있다.
- [0132] 또한, 여기서, 예를 들어, 제4 래치 트랜지스터(LT4)는 PMOS 트랜지스터로 이해될 수 있다. 또한, 제5 래치 트랜지스터(LT5) 및 제6 래치 트랜지스터(LT6)는 NMOS 트랜지스터로 이해될 수 있다.
- [0133] 일 실시 예에 따라 데이터 시간 신호(T_RX)가 로우 레벨로 천이되고, 제2 시간 신호(T_VDDQL)가 하이 레벨로 유지되는 동안, 제2 출력 노드(ON2)에 전하가 저장될 수 있다.
- [0134] 보다 구체적으로, 데이터 시간 신호(T_RX)가 로우 레벨로 천이되고, 제2 시간 신호(T_VDDQL)가 하이 레벨로 유지되는 동안, 제2 출력 노드(ON2)와 연결된 복수의 트랜지스터들(예: LT8, LT9, LT10)의 기생 캐패시터에 전하가 저장될 수 있다.
- [0135] 예를 들어, 데이터 시간 신호(T_RX)가 로우 레벨로 천이되고, 제2 시간 신호(T_VDDQL)가 하이 레벨로 유지되는 동안, 제2 출력 노드(ON2)에 제2 전하량(CG2)만큼 전하가 저장될 수 있다.
- [0136] 일 실시 예에 따르면, 래치 회로(120)는 제2 전하량(CG2)에 기반하여 제2 시간 차(T2)를 판단할 수 있다.
- [0137] 일 실시 예에 따르면, 래치 회로(120)는 제7 래치 트랜지스터(LT7) 내지 제11 래치 트랜지스터(LT11)를 이용하여, 제1 전하량(CG1)과 제2 전하량(CG2) 간의 차이를 증폭시킬 수 있다.
- [0138] 나아가, 래치 회로(120)는 제1 전하량(CG1)과 제2 전하량(CG2) 간의 차이를 이용하여, 제1 시간 차(T1)와 제2

시간 차(T2) 간의 비교를 수행할 수 있다.

- [0139] 보다 구체적으로, 래치 회로(120)는 증폭된 제1 전하량(CG1)과 제2 전하량(CG2) 간의 차이를 이용하여, 제1 시간 차(T1)가 제2 시간 차(T2)보다 큰 지 여부를 판단할 수 있다.
- [0140] 제1 시간 차(T1)가 제2 시간 차(T2)보다 작은 경우, 래치 회로(120)는 출력 데이터(D0)의 값을 “0”으로 결정할 수 있다.
- [0141] 제1 시간 차(T1)가 제2 시간 차(T2)보다 작은 경우, 래치 회로(120)는 “0”의 값을 갖는 출력 데이터(D0)를 출력할 수 있다.
- [0142] 다른 실시 예에 따라 제1 시간 차(T1)가 제2 시간 차(T2)보다 큰 경우, 래치 회로(120)는 출력 데이터(D0)의 값을 “1”로 결정할 수 있다.
- [0143] 제1 시간 차(T1)가 제2 시간 차(T2)보다 큰 경우, 래치 회로(120)는 “1”의 값을 갖는 출력 데이터(D0)를 출력할 수 있다.
- [0144] 즉, 래치 회로(120)는 제1 출력 노드(ON1)와 제2 출력 노드(ON2)에 저장된 전하량의 차이에 기반하여, 출력 데이터(D0)의 값을 결정할 수 있다.
- [0145] 상술한 구성들을 참조하면, 일 실시 예에 따른 래치 회로(120)는 데이터 시간 신호(T_RX)가 로우 레벨로 천이되는 시점을 제1 시간 신호(T_VSS) 및 제2 시간 신호(T_VDDQL) 각각이 로우 레벨로 천이되는 시점과 비교하여 각각의 시간 차(T1, T2)를 판단할 수 있다.
- [0146] 나아가, 래치 회로(120)는 시간 차(T1, T2)에 기반하여, 출력 데이터(D0)의 값을 “0” 또는 “1”로 결정할 수 있다.
- [0147] 이 경우, 데이터 시간 신호(T_RX)를 기준 전압(Vref)과 대응되는 단일한 시간 신호와 비교하여 출력 데이터(D0)의 값을 결정하는 경우에 비해, 기준 전압(Vref)에 발생하는 오차가 출력 데이터(D0)에 미치는 영향을 감소시킬 수 있다.
- [0148] 예를 들어, 본 발명의 실시 예에 따르면, 데이터 시간 신호(T_RX)를 단지 기준 전압(Vref)과 대응되는 시간 신호와 비교하여 출력 데이터(D0)의 값을 결정하는 경우에 비해, 기준 전압(Vref)에 발생하는 오차로 인해 출력 데이터(D0)에 발생하는 오차를 절반으로 감소시킬 수 있다.
- [0149] 이를 통해, 본 발명의 실시 예에 따른 수신 회로(100)는 기준 전압(Vref)에 발생하는 오차로 인해 발생하는 아날로그 디지털 변환기의 성능 열화를 최소화할 수 있다.
- [0150] 나아가, 본 발명의 실시 예에 따른 수신 회로(100)는 아날로그 디지털 변환기를 포함하는 메모리 장치의 수율을 향상시킬 수 있다.
- [0151] 도 6a는, 종래의 아날로그 디지털 변환기에 대한 오프셋 잡음에 따른 시뮬레이션 결과를 도시한다. 도 6b는, 본 발명에 따른 아날로그 디지털 변환기에 대한 오프셋 잡음에 따른 시뮬레이션 결과를 도시한다.
- [0152] 도 6a 및 도 6b를 참조하면, 일 실시 예에 따른 오프셋 잡음이 수신 회로(100)에 미치는 영향은 Monte-Carlo 시뮬레이션에 의해 확인될 수 있다.
- [0153] 도 6a를 참조하면, 데이터 시간 신호(T_RX)를 기준 전압(Vref)과 대응되는 단일한 시간 신호와 비교하는 경우, 수신 회로(100)는 오프셋 잡음에 따라 135.5mV의 6 시그마 값을 가질 수 있다.
- [0154] 여기서, 6 시그마 값은, 정규 분포의 표준편차에 6을 곱한 값으로 이해될 수 있다. 또한, 6 시그마 값은 정규 분포에서 평균 값을 중심으로 흩어진 정도를 나타내는 변수로 이해될 수 있다.
- [0155] 도 6b를 참조하면, 본 발명의 실시 예에 따라, 데이터 시간 신호(T_RX)를 로우 레벨의 접지 전압(VSS)과 대응되는 제1 시간 신호(T_VSS) 및 하이 레벨의 기준 전압(Vref)과 대응되는 제2 시간 신호(T_VDDQL)와 각각 비교하는 경우, 수신 회로(100)는 오프셋 잡음에 따라 95.6mV의 6 시그마 값을 가질 수 있다.
- [0156] 즉, 본 발명의 실시 예에 따른 수신 회로(100)는, 데이터 시간 신호(T_RX)를 기준 전압(Vref)과 대응되는 단일한 시간 신호와 비교하여 출력 데이터(D0)의 값을 결정하는 경우에 비해 상대적으로 오프셋 잡음에 둔감할 수 있다.
- [0157] 따라서, 본 발명의 실시 예에 따른 수신 회로(100)는 오프셋 잡음으로 인해 출력 데이터(D0)에 발생하는 오차를

감소시킬 수 있다.

[0158] 이를 통해, 본 발명의 실시 예에 따른 수신 회로(100)는 오프셋 잡음으로 인해 발생하는 아날로그 디지털 변환기의 성능 열화를 최소화할 수 있다.

[0159] 나아가, 본 발명의 실시 예에 따른 수신 회로(100)는 아날로그 디지털 변환기를 포함하는 메모리 장치의 수율을 향상시킬 수 있다.

[0160] 도 7a는, 종래의 아날로그 디지털 변환기에 대한 기준 전압의 오차에 따른 시뮬레이션 결과를 도시한다. 도 7b는, 본 발명에 따른 아날로그 디지털 변환기에 대한 기준 전압의 오차에 따른 시뮬레이션 결과를 도시한다.

[0161] 도 7a 및 도 7b를 참조하면, 일 실시 예에 따른 기준 전압(Vref)의 오차가 수신 회로(100)에 미치는 영향은 시뮬레이션에 의해 확인될 수 있다.

[0162] 도 7a를 참조하면, 데이터 시간 신호(T_RX)를 기준 전압(Vref)과 대응되는 단일한 시간 신호와 비교하는 경우,

$\Delta VOS1$

수신 회로(100)는 기준 전압(Vref)의 오차에 따라 20mV의 제1 출력 전압 오차()를 가질 수 있다.

[0163] 도 7b를 참조하면, 본 발명의 실시 예에 따라, 데이터 시간 신호(T_RX)를 로우 레벨의 접지 전압(VSS)과 대응되는 제1 시간 신호(T_VSS) 및 하이 레벨의 기준 전압(Vref)과 대응되는 제2 시간 신호(T_VDDQL)와 비교하는 각각

$\Delta VOS2$

경우, 수신 회로(100)는 기준 전압(Vref)의 오차에 따라 16mV의 제2 출력 전압 오차()를 가질 수 있다.

$\Delta VOS1, \Delta VOS2$

[0164] 여기서, 출력 전압 오차()는, 기준 전압(Vref)에 오차가 발생함에 따라, 출력 데이터(DO)와 대응되는 전압에 발생하는 오차의 범위로 이해될 수 있다.

[0165] 즉, 본 발명의 실시 예에 따른 수신 회로(100)는, 데이터 시간 신호(T_RX)를 기준 전압(Vref)과 대응되는 단일한 시간 신호와 비교하여 출력 데이터(DO)의 값을 결정하는 경우에 비해 상대적으로 기준 전압(Vref)의 오차에 둔감할 수 있다.

[0166] 예를 들어, 본 발명의 실시 예에 따른 수신 회로(100)는, 데이터 시간 신호(T_RX)를 기준 전압(Vref)과 대응되는 단일한 시간 신호와 비교하여 출력 데이터(DO)의 값을 결정하는 경우에 비해 20%만큼 기준 전압(Vref)의 오차에 둔감할 수 있다.

[0167] 따라서, 본 발명의 실시 예에 따른 수신 회로(100)는 기준 전압(Vref)의 오차로 인해 출력 데이터(DO)에 발생하는 오차를 감소시킬 수 있다.

[0168] 이를 통해, 본 발명의 실시 예에 따른 수신 회로(100)는 기준 전압(Vref)의 오차로 인해 발생하는 아날로그 디지털 변환기의 성능 열화를 최소화할 수 있다.

[0169] 나아가, 본 발명의 실시 예에 따른 수신 회로(100)는 아날로그 디지털 변환기를 포함하는 메모리 장치의 수율을 향상시킬 수 있다.

[0170] 도 8은, 본 발명의 일 실시 예에 따른 킥백 잡음의 감소 효과를 나타내는 시뮬레이션 결과를 도시한다.

[0171] 도 8을 참조하면, 일 실시 예에 따른 킥백 잡음이 수신 회로(100)에 미치는 영향은 시뮬레이션에 의해 확인될 수 있다.

[0172] 여기서, 킥백 잡음은 변환 회로(110)가 클럭 신호(CK)에 응답하여 동작하는 동안, 변환 회로(110)에 포함된 트랜지스터들의 기생 캐패시턴스로 인해 발생하는 잡음(또는, 오차)로 이해될 수 있다.

[0173] 일 실시 예에 따르면, 데이터 시간 신호(T_RX)를 기준 전압(Vref)과 대응되는 단일한 시간 신호와 비교하는 경

$\Delta KB1$

우, 변환 회로(110)의 킥백 잡음에 따라 6.8mV의 제1 출력 오차()를 가질 수 있다.

[0174] 반면, 본 발명의 실시 예에 따라, 데이터 시간 신호(T_RX)를 로우 레벨의 접지 전압(VSS)과 대응되는 제1 시간

신호(T_VSS) 및 하이 레벨의 기준 전압(Vref)과 대응되는 제2 시간 신호(T_VDDQL)와 각각 비교하는 경우, 수신 $\Delta KB2$

회로(100)는 킥백 잡음에 따라 3.3mV의 제2 출력 오차()를 가질 수 있다.

$\Delta KB1, \Delta KB2$

- [0175] 여기서, 출력 오차()는, 킥백 잡음이 발생함에 따라, 출력 데이터(DO)와 대응되는 전압에 발생하는 잡음(또는, 오차)의 범위로 이해될 수 있다.
- [0176] 즉, 본 발명의 실시 예에 따른 수신 회로(100)는, 데이터 시간 신호(T_RX)를 기준 전압(Vref)과 대응되는 단일한 시간 신호와 비교하여 출력 데이터(DO)의 값을 결정하는 경우에 비해 상대적으로 킥백 잡음에 둔감할 수 있다.
- [0177] 예를 들어, 본 발명의 실시 예에 따른 수신 회로(100)는, 데이터 시간 신호(T_RX)를 기준 전압(Vref)과 대응되는 단일한 시간 신호와 비교하여 출력 데이터(DO)의 값을 결정하는 경우에 비해 약 절반만큼 킥백 잡음에 민감할 수 있다.
- [0178] 따라서, 본 발명의 실시 예에 따른 수신 회로(100)는 킥백 잡음으로 인해 출력 데이터(DO)에 발생하는 오차를 감소시킬 수 있다.
- [0179] 이를 통해, 본 발명의 실시 예에 따른 수신 회로(100)는 킥백 잡음으로 인해 발생하는 아날로그 디지털 변환기의 성능 열화를 최소화할 수 있다.
- [0180] 나아가, 본 발명의 실시 예에 따른 수신 회로(100)는 아날로그 디지털 변환기를 포함하는 메모리 장치의 수율을 향상시킬 수 있다.
- [0181] 도 9는, 일 실시 예에 따른 수신 회로의 동작 방법을 나타내는 흐름도다.
- [0182] 도 9를 참조하면, 일 실시 예에 따른 수신 회로(100)는 데이터 시간 신호(T_RX)를, 제1 시간 신호(T_VSS) 및 제2 시간 신호(T_VDDQL)와 각각 비교하여, 출력 데이터(DO)의 값을 결정할 수 있다.
- [0183] 단계 S10에서, 수신 회로(100)는 데이터 시간 신호(T_RX), 제1 시간 신호(T_VSS) 및 제2 시간 신호(T_VDDQL)를 생성(또는, 출력)할 수 있다.
- [0184] 보다 구체적으로, 수신 회로(100)(또는, 변환 회로(110))는 입력 데이터(DQ) 및 기준 전압(Vref)에 기반하여 데이터 시간 신호(T_RX), 제1 시간 신호(T_VSS) 및 제2 시간 신호(T_VDDQL)를 생성할 수 있다.
- [0185] 여기서, 변환 회로(110)는 클럭 신호(CK)에 응답하여 동작할 수 있다.
- [0186] 또한, 일 실시 예에 따른 제1 시간 신호(T_VSS)는 로우 레벨의 접지 전압(VSS)과 대응될 수 있다. 또한, 제2 시간 신호(T_VDDQL)는 하이 레벨의 기준 전압(Vref)과 대응될 수 있다.
- [0187] 또한, 데이터 시간 신호(T_RX)는 접지 전압(VSS)과 기준 전압(Vref) 사이의 값을 갖는 입력 데이터(DQ)와 대응될 수 있다.
- [0188] 또한, 예를 들어, 제1 시간 신호(T_VSS), 제2 시간 신호(T_VDDQL) 및 데이터 시간 신호(T_RX)는 각각 서로 다른 시간에 하이 레벨(예: “1”)에서 로우 레벨(예: “0”)로 천이되는 신호로 이해될 수 있다.
- [0189] 단계 S20에서, 일 실시 예에 따른 수신 회로(100)(또는, 래치 회로(120))는 데이터 시간 신호(T_RX)가 로우 레벨로 천이되는 시점과 제1 시간 신호(T_VSS)가 로우 레벨로 천이되는 시점 간의 제1 시간 차(T1)를 판단할 수 있다.
- [0190] 예를 들어, 수신 회로(100)는 제1 시간 신호(T_VSS)가 로우 레벨로 천이되고, 데이터 시간 신호(T_RX)가 하이 레벨로 유지되는 동안, 지정된 노드에 저장된 제1 전하량(CG1)에 기반하여 제1 시간 차(T1)를 판단할 수 있다.
- [0191] 단계 S30에서, 일 실시 예에 따른 수신 회로(100)(또는, 래치 회로(120))는 데이터 시간 신호(T_RX)가 로우 레벨로 천이되는 시점과 제2 시간 신호(T_VDDQL)가 로우 레벨로 천이되는 시점 간의 제2 시간 차(T2)를 판단할 수 있다.
- [0192] 예를 들어, 수신 회로(100)는 데이터 시간 신호(T_RX)가 로우 레벨로 천이되고, 제2 시간 신호(T_VDDQL)가 하이

레벨로 유지되는 동안, 지정된 노드에 저장된 제2 전하량(CG2)에 기반하여 제2 시간 차(T2)를 판단할 수 있다.

- [0193] 단계 S40에서, 일 실시 예에 따른 수신 회로(100)(또는, 래치 회로(120))는 출력 데이터(D0)의 값을 결정할 수 있다.
- [0194] 보다 구체적으로, 수신 회로(100)는 제1 전하량(CG1)과 제2 전하량(CG2) 간의 차이를 이용하여, 제1 시간 차(T1)와 제2 시간 차(T2) 간의 비교를 수행할 수 있다.
- [0195] 나아가, 일 실시 예에 따라 제1 시간 차(T1)가 제2 시간 차(T2)보다 작은 경우, 수신 회로(100)는 출력 데이터(D0)의 값을 “0”으로 결정할 수 있다.
- [0196] 다른 실시 예에 따라 제1 시간 차(T1)가 제2 시간 차(T2)보다 작은 경우, 수신 회로(100)는 “0”의 값을 갖는 출력 데이터(D0)를 출력할 수 있다.
- [0197] 상술한 구성들을 참조하면, 일 실시 예에 따른 수신 회로(100)는 데이터 시간 신호(T_RX)가 로우 레벨로 천이되는 시점을 제1 시간 신호(T_VSS) 및 제2 시간 신호(T_VDDQL) 각각이 로우 레벨로 천이되는 시점과 비교하여 각각의 시간 차(T1, T2)를 판단할 수 있다.
- [0198] 나아가, 수신 회로(100)는 시간 차(T1, T2)에 기반하여, 출력 데이터(D0)의 값을 “0” 또는 “1”로 결정할 수 있다.
- [0199] 이 경우, 데이터 시간 신호(T_RX)를 기준 전압(Vref)과 대응되는 단일한 시간 신호와 비교하여 출력 데이터(D0)의 값을 결정하는 경우에 비해, 수신 회로(100)에 발생하는 오차가 출력 데이터(D0)에 미치는 영향을 감소시킬 수 있다.
- [0200] 예를 들어, 본 발명의 실시 예에 따르면, 데이터 시간 신호(T_RX)를 단지 기준 전압(Vref)과 대응되는 시간 신호와 비교하여 출력 데이터(D0)의 값을 결정하는 경우에 비해, 기준 전압(Vref)에 발생하는 오차로 인해 출력 데이터(D0)에 발생하는 오차를 절반으로 감소시킬 수 있다.
- [0201] 이를 통해, 본 발명의 실시 예에 따른 수신 회로(100)는 수신 회로(100)에 발생하는 오차로 인해 발생하는 아날로그 디지털 변환기의 성능 열화를 최소화할 수 있다.
- [0202] 나아가, 본 발명의 실시 예에 따른 수신 회로(100)는 아날로그 디지털 변환기를 포함하는 메모리 장치의 수율을 향상시킬 수 있다.
- [0203] 이상과 같이 본 발명에 대해서 예시한 도면을 참조로 하여 설명하였으나, 본 명세서에 개시된 실시 예와 도면에 의해 본 발명이 한정되는 것은 아니며, 본 발명의 기술사상의 범위 내에서 통상의 기술자에 의해 다양한 변형이 이루어질 수 있음은 자명하다. 아울러 앞서 본 발명의 실시 예를 설명하면서 본 발명의 구성에 따른 작용 효과를 명시적으로 기재하여 설명하지 않았을 지라도, 해당 구성에 의해 예측 가능한 효과 또한 인정되어야 함은 당연하다.

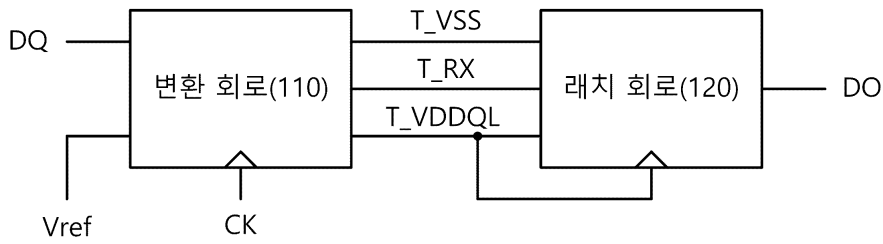
부호의 설명

- [0205] 100: 수신 회로
110: 변환 회로
120: 래치 회로

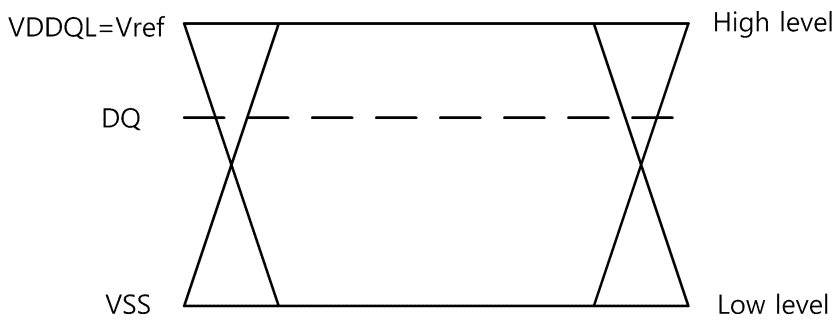
도면

도면1

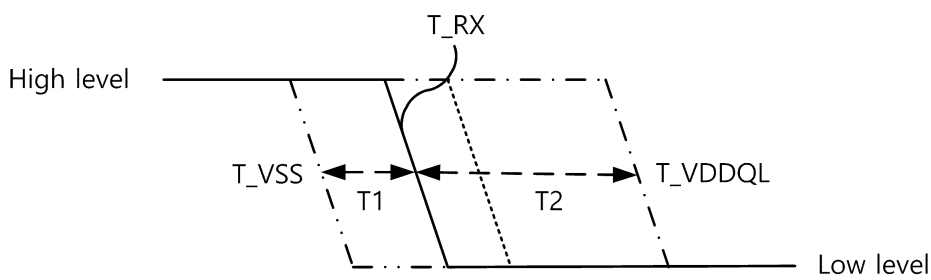
100



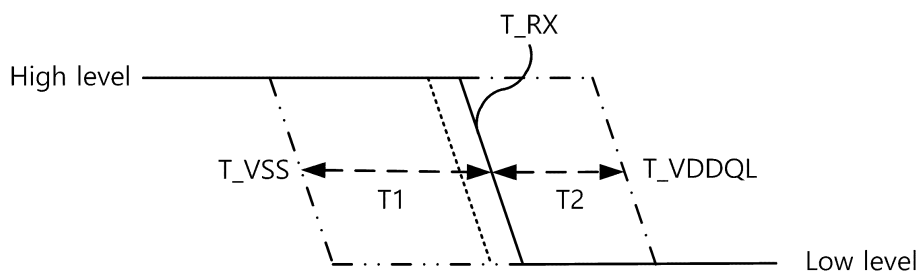
도면2



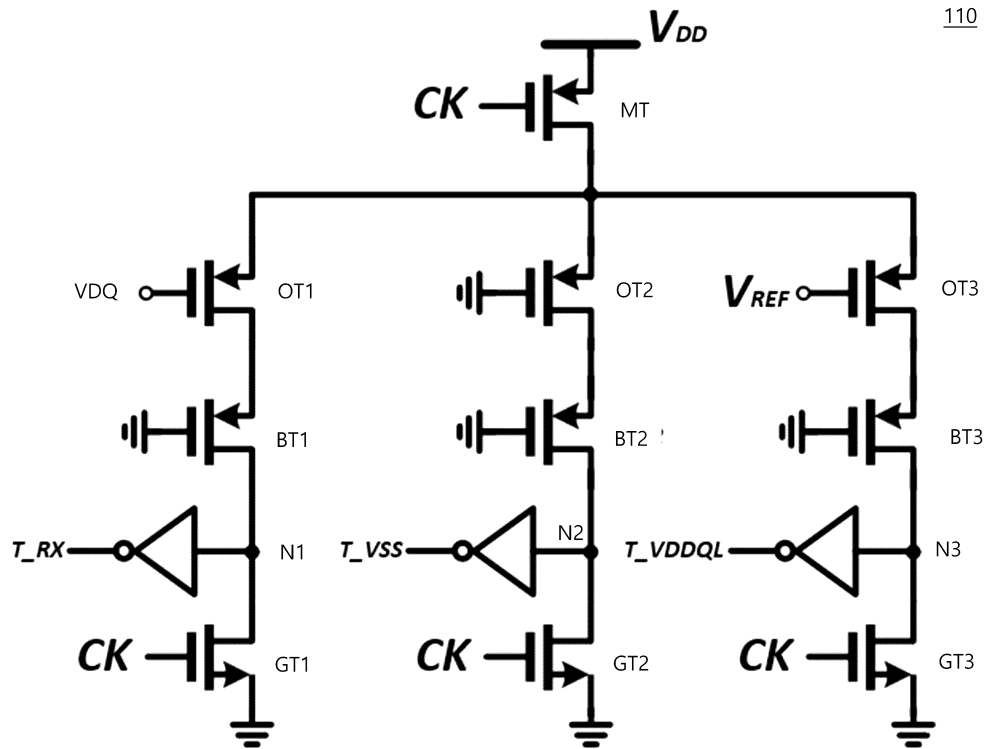
도면3a



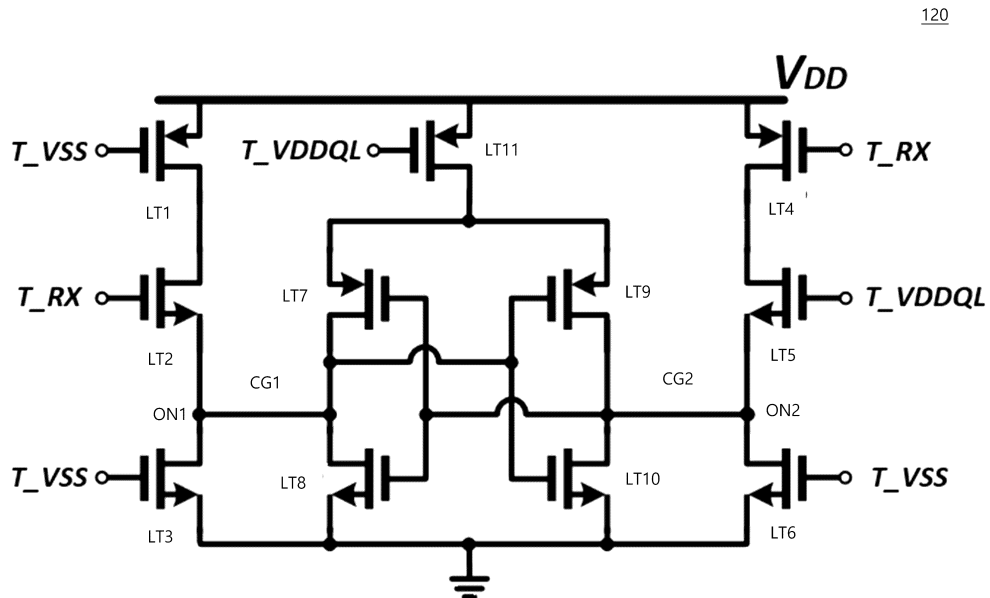
도면3b



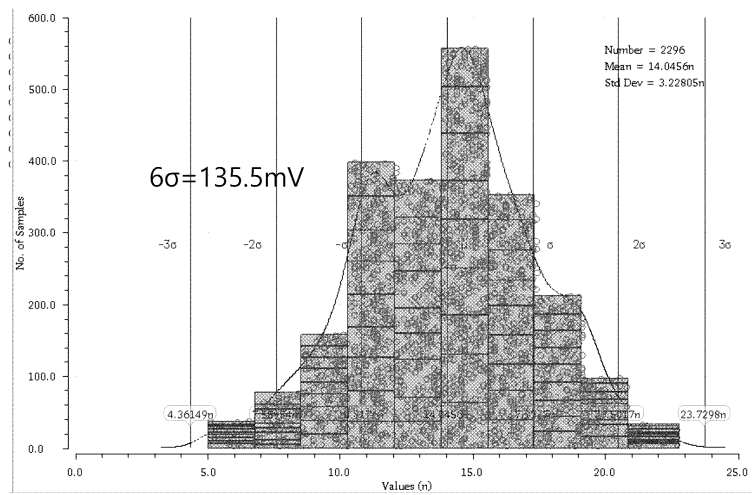
도면4



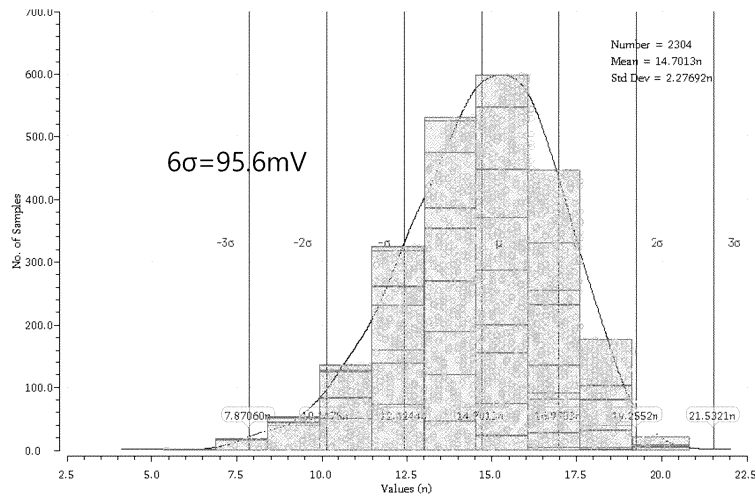
도면5



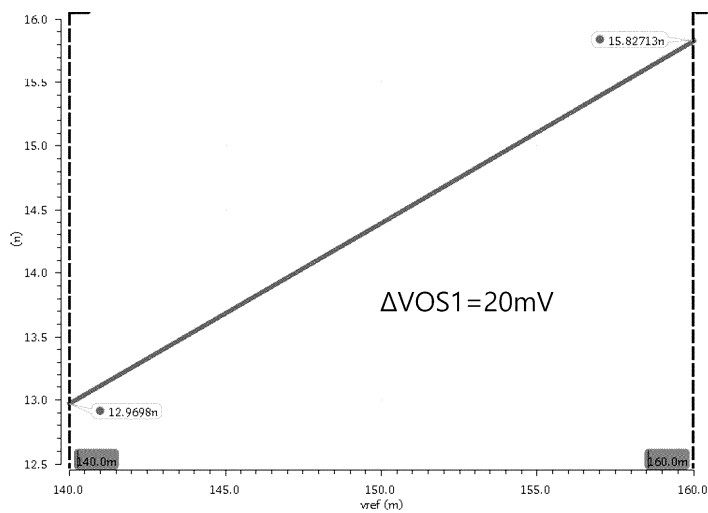
도면6a



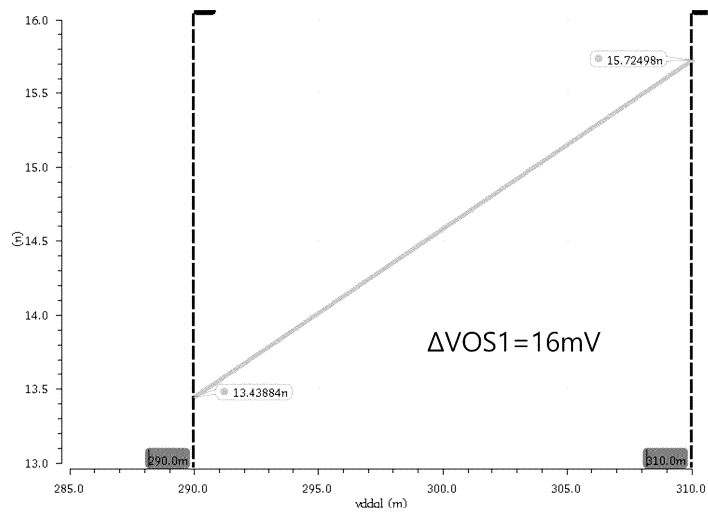
도면6b



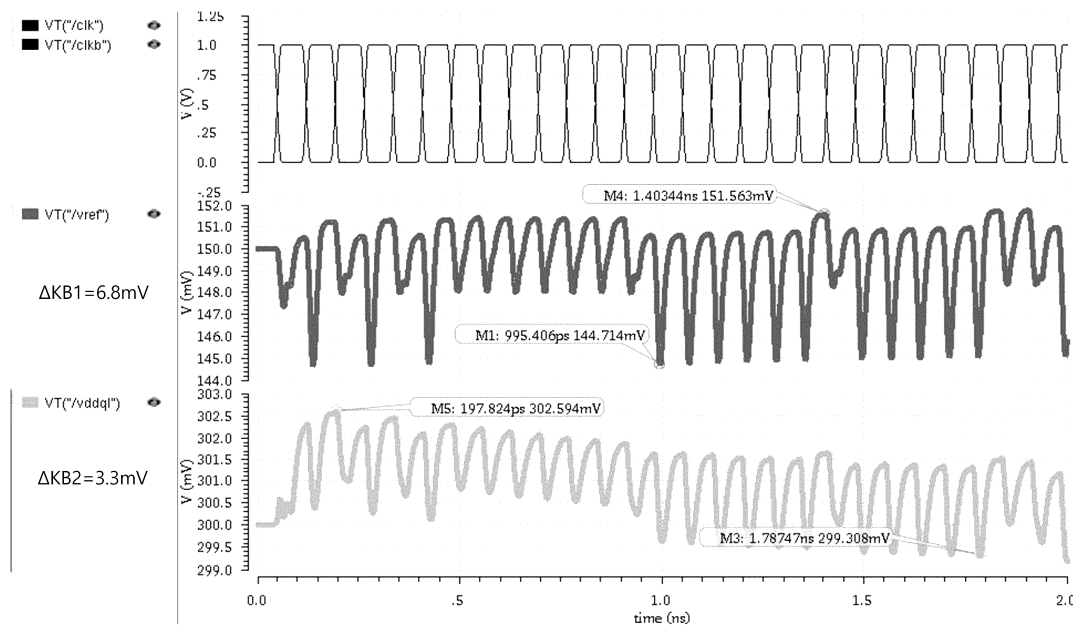
도면7a



도면7b



도면8



도면9

